

产品手册

Data Sheet

BLM32F103xB

32 位基于 ARM Cortex M3 核心的微控制器

版本:1.7

机密信息 不得转载

保留不通知的情况下，更改相关资料的权利

目录

1. 简介	9
1.1 概述.....	9
1.2 产品特性	9
2. 规格说明	11
2.1 器件对比	11
2.2 概述.....	12
2.2.1 ARM®的Cortex®-M3核心并内嵌闪存和SRAM.....	12
2.2.2 内置闪存存储器	12
2.2.3 CRC(循环冗余校验)计算单元.....	12
2.2.4 内置SRAM.....	12
2.2.5 嵌套的向量式中断控制器(NVIC)	12
2.2.6 外部中断/事件控制器(EXTI).....	12
2.2.7 时钟和启动.....	12
2.2.8 自举模式	13
2.2.9 供电方案	13
2.2.10 供电监控器	13
2.2.11 电压调压器	13
2.2.12 低功耗模式	13
2.2.13 DMA	14
2.2.14 RTC(实时时钟)和后备寄存器.....	14
2.2.15 定时器和看门狗	14
2.2.16 I2C总线	15
2.2.17 通用同步/异步收发器(UART).....	15
2.2.18 串行外设接口(SPI)	16
2.2.19 控制器区域网络(CAN)	16
2.2.20 通用串行总线(USB).....	16
2.2.21 通用输入输出接口(GPIO)	16

2.2.22	ADC(模拟/数字转换器)	16
2.2.23	DAC(数字/模拟转换)	16
2.2.24	温度传感器	17
2.2.25	串行单线SWD调试口(SWJ-DP)	17
2.2.26	比较器(COMP)	17
3.	引脚定义	20
4.	存储器映像	25
5.	电气特性	27
5.1	测试条件	27
5.1.1	最小和最大数值	27
5.1.2	典型数值	27
5.1.3	典型曲线	27
5.1.4	负载电容	27
5.1.5	引脚输入电压	28
5.1.6	供电方案	28
5.1.7	电流消耗测量	29
5.2	绝对最大额定值	29
5.3	绝对最大额定值工作条件	31
5.3.1	通用工作条件	31
5.3.2	上电和掉电时的工作条件	31
5.3.3	内嵌复位和电源控制模块特性	32
5.3.4	内置的参照电压	33
5.3.5	供电电流特性	33
5.3.6	外部时钟源特性	40
5.3.7	内部时钟源特性	44
5.3.8	PLL特性	45
5.3.9	存储器特性	45
5.3.10	EMC特性	46
5.3.11	绝对最大值(电气敏感性)	48

5.3.12	I/O端口特性	49
5.3.13	NRST引脚特性	52
5.3.14	TIM定时器特性	52
5.3.15	通信接口	53
5.3.16	CAN(控制器局域网)接口	58
5.3.17	12位ADC特性	58
5.3.18	温度传感器特性	62
5.3.19	DAC特性	63
5.3.20	比较器特性	65
6.	封装特性	66
6.1	封装LQFP64	66
6.2	封装LQFP48	67
7.	修改记录	68
8.	联系方式	69

图片目录

图1. BLM32F103xB模块框图	18
图2. 时钟树	19
图3. BLM32F103xB LQFP48引脚分布	20
图4. BLM32F103xB LQFP64引脚分布	21
图5. 引脚的负载条件	27
图6. 引脚输入电压	28
图7. 供电方案	28
图8. 电流消耗测量方案	29
图9. 运行模式下典型的电流消耗与频率的对比(3.3V供电, 数据处理代码在RAM中运行, 使能所有外设)	35
图10. 运行模式下典型的电流消耗与频率的对比(3.3V供电, 数据处理代码在RAM中运行, 关闭所有外设)	35
图11. 待机模式下的典型电流消耗在 $V_{DD}=3.3V$ (和 $3.6V$) 时与温度的对比	37
图12. 外部高速时钟源的交流时序图	41
图13. 外部低速时钟源的交流时序图	42
图14. 使用8MHz晶体的典型应用	43
图15. 使用32.768kHz晶体的典型应用	44
图16. 输入输出交流特性定义	51
图17. 建议的NRST引脚保护	52
图18. I2C总线交流波形和测量电路	54
图18. SPI时序图 - 从模式和CPHA=0	56
图19. SPI时序图 - 从模式和CPHA=1	56
图20. SPI时序图 - 主模式	57
图22. USB时序: 数据信号上升和下降时间定义	58
图23. ADC精度特性	61
图24. 使用ADC典型的连接图	61
图25. 供电电源和参考电源去藕线路(V_{REF+} 与 V_{DDA} 相连)	62
图26. 12Bit带缓冲/不带缓冲DAC	64

图27. LQFP64, 64脚低剖面方形扁平封装图	66
图28. LQFP48, 48脚低剖面方形扁平封装图	67

表格目录

表1. BLM32F103xB产品功能和外设配置	11
表2. 定时器功能比较	14
表3. BLM32F103xB引脚定义	22
表4. 存储器映像	25
表5. 电压特性	29
表6. 电流特性	30
表7. 温度特性	30
表8. 通用工作条件	31
表9. 上电和掉电时的工作条件	31
表10. 内嵌复位和电源控制模块特性	32
表11. 内置的参照电压	33
表12. 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行	34
表13. 运行模式下的最大电流消耗，数据处理代码从内部RAM中运行	34
表14. 睡眠模式下的最大电流消耗，代码运行在Flash或RAM中	36
表15. 停机和待机模式下的典型和最大电流消耗	36
表16. 运行模式下的典型电流消耗，数据处理代码从内部Flash中运行	38
表17. 睡眠模式下的典型电流消耗，数据处理代码从内部Flash或RAM中运行	39
表18. 内置外设的电流消耗	40
表19. 高速外部用户时钟特性	40
表20. 低速外部用户时钟特性	41
表21. HSE 8~24MHz振荡器特性	42
表22. LSE振荡器特性($f_{LSE}=32.768kHz$)	43
表23. HSI振荡器特性	44
表24. LSI振荡器特性	44
表25. 低功耗模式的唤醒时间	45
表26. PLL特性	45
表27. 闪存存储器特性	46

表28. 闪存存储器寿命和数据保存期限	46
表29. EMS特性	47
表30. EMI特性.....	47
表31. ESD绝对最大值	48
表32. 电气敏感性	48
表33. I/O静态特性	49
表34. 输出电压特性.....	50
表35. 输入输出交流特性.....	51
表34. NRST引脚特性	52
表37. TIMx特性	53
表38. I2C接口特性	53
表37. SCL频率($f_{PCLK1} = 36\text{MHz}$, $V_{DD} = 3.3\text{V}$)	54
表38. SPI特性	55
表41. USB启动时间	57
表42. USB直流特性	57
表43. USB全速电气特性	58
表44. ADC特性	59
表45. $f_{ADC}=14\text{MHz}$ 时的最大 R_{AIN}	60
表46. ADC精度 - 局限的测试条件.....	60
表47. ADC精度	60
表48. 温度传感器特性	62
表44. DAC特性	63
表50. 比较器特性	65

1. 简介

1.1 概述

BLM32F103xB使用高性能的ARM[®] Cortex[®]-M3 32位的RISC内核，工作频率为96MHz，内置高速存储器，丰富的增强I/O端口和联接到两条APB总线的外设。所有型号的器件都包含2个12位的ADC、2个12位的DAC、2个电压比较器、3个通用16位定时器和1个PWM定时器，还包含标准和先进的通信接口：多达2个I2C接口和SPI接口、3个UART接口、一个USB接口和一个CAN接口。

BLM32F103xB产品供电电压为2.5V至5.5V，包含-40°C至+85°C温度范围和-40°C至+105°C的扩展温度范围。一系列的省电模式保证低功耗应用的要求。

BLM32F103xB产品提供包括48脚与64脚共2种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得BLM32F103xB产品微控制器适合于多种应用场合：

- 电机驱动和应用控制
- 医疗和手持设备
- PC游戏外设和GPS平台
- 工业应用：可编程控制器(PLC)、变频器、打印机和扫描仪
- 警报系统、视频对讲、和暖气通风空调系统等

1.2 产品特性

- 内核：ARM 32位CORTEX[®]-M3处理器内核
 - 最高96MHz工作频率
 - 单周期乘法和硬件除法
- 存储器
 - 128K字节的闪存程序存储器
 - 高达20K字节的SRAM
- 时钟、复位和电源管理
 - 2.5~5.5伏供电和I/O引脚
 - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
 - 8~24MHz晶体振荡器
 - 内嵌经出厂调校的48MHz的RC振荡器
 - 内嵌带校准的40kHz的RC振荡器
 - 产生CPU时钟的PLL
 - 32.768kHz RTC振荡器
- 低功耗
 - 睡眠、停机和待机模式
 - V_{BAT}为RTC和后备寄存器供电
- 2个12位模数转换器，1μs转换时间(多达16个输入通道)
 - 转换范围：0至5.5V
 - 温度传感器
- 2个12位数模转换器

- 2个电压比较器
- DMA:
 - 7通道DMA控制器
 - 支持的外设：定时器、ADC、SPI、I2C和UART
- 多达51个快速I/O端口：
 - 最多51个多功能双向5V兼容I/O口
 - 所有I/O口可以映像到16个外部中断
- 调试模式
 - 串行单线调试(SWD)和JTAG接口
- 多达7个定时器
 - 3个16位定时器，每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数的通道和增量编码器输入
 - 1个16位带死区控制和紧急刹车，用于电机控制的PWM高级控制定时器
 - 2个看门狗定时器(独立的和窗口型的)
 - 系统时间定时器：24位自减型计数器
- 多达9个通信接口
 - 多达2个I2C接口
 - 多达3个UART接口
 - 多达2个SPI接口
 - CAN接口
 - USB 2.0全速接口
- CRC计算单元，96位的芯片唯一代码
- LQFP 48/64

注：

本文给出了BLM32F103xB产品的订购信息和器件的机械特性。有关完整的BLM32F103xB产品的详细信息，请参考BLM32F103xB产品数据手册第2.2节。

有关Cortex[®]-M3核心的相关信息，请参考《Cortex[®]-M3技术参考手册》。

2. 规格说明

2.1 器件对比

表1. BLM32F103xB产品功能和外设配置

外围接口	BLM32F103CB	BLM32F103RB
闪存-K字节	128	128
SRAM-K字节	20	20
定时器	通用目的	3
	高级控制	1
通讯接口	SPI	2
	I2C	2
	USART	3
	USB	1 (device)
	CAN	1
GPIO端口 (通道数)	37	51
12位同步ADC(通道数)	2 10 channels	2 16 channels ⁽¹⁾
CPU频率	96 MHz	
工作电压	2.0 to 5.5 V	
工作温度	周围环境温度: -40 to +85 °C / -40 to +105 °C 结温温度: -40 to + 125 °C	
封装	LQFP48	LQFP64

2.2 概述

2.2.1 ARM®的Cortex®-M3核心并内嵌闪存和SRAM

ARM的Cortex®-M3处理器是最新一代的嵌入式ARM处理器,它为实现MCU的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗,同时提供卓越的计算性能和先进的中断系统响应。

ARM的Cortex®-M3是32位的RISC处理器,提供额外的代码效率,在通常8和16位系统的存储空间上发挥了ARM内核的高性能。

BLM32F103xB拥有内置的ARM核心,因此它与所有的ARM工具和软件兼容。

2.2.2 内置闪存存储器

128K字节的内置闪存存储器,用于存放程序和数据。

2.2.3 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器,从一个32位的数据字产生一个CRC码。

在众多的应用中,基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内,它提供了一种检测闪存存储器错误的手段,CRC计算单元可以用于实时地计算软件的签名,并与在链接和生成该软件时产生的签名对比。

2.2.4 内置SRAM

20K字节的内置SRAM。

2.2.5 嵌套的向量式中断控制器(NVIC)

BLM32F103xB产品内置嵌套的向量式中断控制器,能够处理多达68个可屏蔽中断通道(不包括16个Cortex®-M3的中断线)和16个可编程优先级。

- 紧耦合的NVIC能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的NVIC接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复,无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.6 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含21个边沿检测器,用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿),并能够单独地被屏蔽;有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达40个通用I/O口连接到16个外部中断线。

2.2.7 时钟和启动

系统时钟的选择是在启动时进行,复位时内部48MHz的RC振荡器被选为默认的CPU时钟,随后可以选

择外部的、具失效监控的8~24MHz时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的RC振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置AHB的频率、高速APB(APB2和APB1)区域。AHB和高速APB的最高频率是96MHz。参考图2的时钟驱动框图。

2.2.8 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部SRAM自举

自举加载程序(Bootloader)存放于系统存储器中，可以通过UART1对闪存重新编程。

2.2.9 供电方案

- $V_{DD} = 2.5 \sim 5.5V$ ： V_{DD} 引脚为I/O引脚和内部调压器供电。
- V_{SSA} , $V_{DDA} = 2.5 \sim 5.5V$ ：为ADC、复位模块、RC振荡器和PLL的模拟部分提供供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
- $V_{BAT} = 1.8 \sim 5.5V$ ：当关闭 V_{DD} 时，(通过内部电源切换器)为RTC、外部32kHz振荡器和后备寄存器供电。

2.2.10 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过2.5V时工作；当 V_{DD} 低于设定的阈值(VPOR/PDR)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD功能需要通过程序开启。

2.2.11 电压调压器

调压器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

2.2.12 低功耗模式

BLM32F103xB产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠模式

在睡眠模式，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

- 停机模式

在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部1.8V部分的供电，HSI的RC振荡器和HSE晶体振荡器被关闭，调压器可以被置于普通模式或低功耗模式。

可以通过任一配置成EXTI的信号把微控制器从停机模式中唤醒，EXTI信号可以是16个外部I/O口之一、

PVD的输出的唤醒信号。

2.2.13 DMA

灵活的7路通用DMA可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA可以用于主要的外设：SPI、I2C、UART，通用、基本和高级控制定时器TIMx、ADC和DAC等。

2.2.14 RTC(实时时钟)和后备寄存器

RTC和后备寄存器通过一个开关供电，在V_{DD}有效时该开关选择V_{DD}供电，否则由V_{BAT}引脚供电。后备寄存器(10个16位的寄存器)可以用于在关闭V_{DD}时，保存20个字节的用户应用数据。RTC和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40kHz。为补偿天然晶体的偏差，可以通过输出一个512Hz的信号对RTC的时钟进行校准。RTC具有一个32位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时，它将产生一个1秒长的时间基准。

2.2.15 定时器和看门狗

中等容量的BLM32F103xB产品包含1个高级控制定时器、3个普通定时器，以及2个看门狗定时器和1个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表2. 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM1	16位	向上，向下， 向上/下	1~65536之间的 任意整数	可以	4	有
TIM2 TIM3 TIM4	16位	向上，向下， 向上/下	1~65536之间的 任意整数	可以	4	没有

高级控制定时器(TIM1)

高级控制定时器(TIM1)可以被看成是分配到6个通道的三相PWM发生器，它具有带死区插入的互补PWM输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为16位标准定时器时，它与TIMx定时器具有相同的功能。配置为16位PWM发生器时，它具有全调

制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时PWM输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与标准的TIM定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与TIM定时器协同操作，提供同步或事件链接功能。

通用定时器(TIMx)

BLM32F103xB产品中，内置了多达3个可同步运行的标准定时器(TIM2、TIM3和TIM4)。每个定时器都有一个16位的自动加载递加/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多12个输入捕获、输出比较或PWM通道。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

这些定时器还能够处理增量编码器的信号，也能处理1至3个霍尔传感器的数字输出。

独立看门狗

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40kHz的RC振荡器提供时钟；因为这个RC振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位的递减计数器
- 自动重加载功能
- 当计数器为0时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.16 I2C总线

多达2个I2C总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I2C接口支持7位或10位寻址，7位从模式时支持双从地址寻址。

2.2.17 通用同步/异步收发器(UART)

UART接口具有硬件的CTS和RTS信号管理。

所有UART接口都可以使用DMA操作。

2.2.18 串行外设接口(SPI)

多达2个SPI接口，在从或主模式下，全双工和半双工的通信速率可达18兆位/秒。3位的预分频器可产生8种主模式频率，可配置成每帧8位或16位。

所有的SPI接口都可以使用DMA操作。

2.2.19 控制器区域网络(CAN)

CAN接口兼容规范2.0A和2.0B(主动)，位速率高达1兆位/秒。它可以接收和发送11位标识符的标准帧，也可以接收和发送29位标识符的扩展帧。

2.2.20 通用串行总线(USB)

BLM32F103xB产品，内嵌一个兼容全速USB的设备控制器，遵循全速USB设备(12兆位/秒)标准，端点可由软件配置，具有待机/唤醒功能。USB专用的48MHz时钟由内部主PLL直接产生(时钟源必须是一个HSE晶体振荡器)。

2.2.21 通用输入输出接口(GPIO)

每个GPIO引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数GPIO引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的GPIO引脚都有大电流通过能力。

在需要的情况下，I/O引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入I/O寄存器。在APB2上的I/O脚可达18MHz的翻转速度。

2.2.22 ADC(模拟/数字转换器)

BLM32F103xB产品内嵌2个12位的模拟/数字转换器(ADC)，每个ADC可用多达8个外部通道，可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC可以使用DMA操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1)产生的事件，可以分别内部级联到ADC的触发，应用程序能使AD转换与时钟同步。

2.2.23 DAC(数字/模拟转换)

数字/模拟转换模块(DAC)是12位数字输入，电压输出的数字/模拟转换器。DAC可以配置成8位或者12位模式，也可以与DMA控制器配合使用。DAC工作在12位模式时，数据可以设置成左对齐，也可以设置成右对齐。DAC有2个输出通道，每个通道都有单独的转换器，可以工作在双DAC模式。在此模式下，可以同步地更新2个通道的输出，这2个通道的转换可以同时进行，也可以分别进行。

DAC主要特征：

- 2个DAC转换器：1个输出通道对应1个转换器
- 8位或者12位单调输出
- 12位模式下数据左对齐或者右对齐
- 同步更新功能

- 噪声波形生成
- 三角波形生成
- 双DAC通道同时或者分别转换
- 每个通道都有DMA功能
- 外部触发转换

2.2.24 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2.5V < V_{DDA} < 5.5V$ 之间。温度传感器在内部被连接到ADC1_IN9的输入通道上，用于将传感器的输出转换到数字数值。

2.2.25 串行单线SWD调试口(SWJ-DP)

内嵌ARM的两线串行调试端口(SW-DP)

ARM的SW-DP接口允许通过串行线调试工具连接到单片机。

2.2.26 比较器(COMP)

BLM32F103xB内嵌两个通用比较器COMP1和COMP2，可独立使用(适用所有终端上的I/O口)，也可与定时器结合使用。它们可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号
- 与DAC和定时器输出的PWM相结合，组成逐周期的电流控制回路

比较器为通用的可编程电压比较器，可独立使用，适用所有终端上的I/O口。支持两个独立的比较器。

比较器主要特征：

- 轨对轨比较器
- 每个比较器有可选门限
 - 可复用的I/O引脚
 - DAC模拟输出
 - 内部参考电压和三个等分电压值(1/4, 1/2, 3/4)
- 可编程迟滞电压
- 可编程的速率和功耗
- 输出端可以重定向到一个I/O端口或多个定时器输入端，可以触发以下事件：
 - 捕获事件
 - OCREF_CLR事件（逐周期电流控制）
 - 为实现快速PWM关断的刹车事件
- 两个比较器可以组合在一个窗口比较器中使用。
- 每个比较器都可产生中断，并支持把CPU从睡眠和停止模式唤醒(通过EXTI控制器)。

图1. BLM32F103xB模块框图

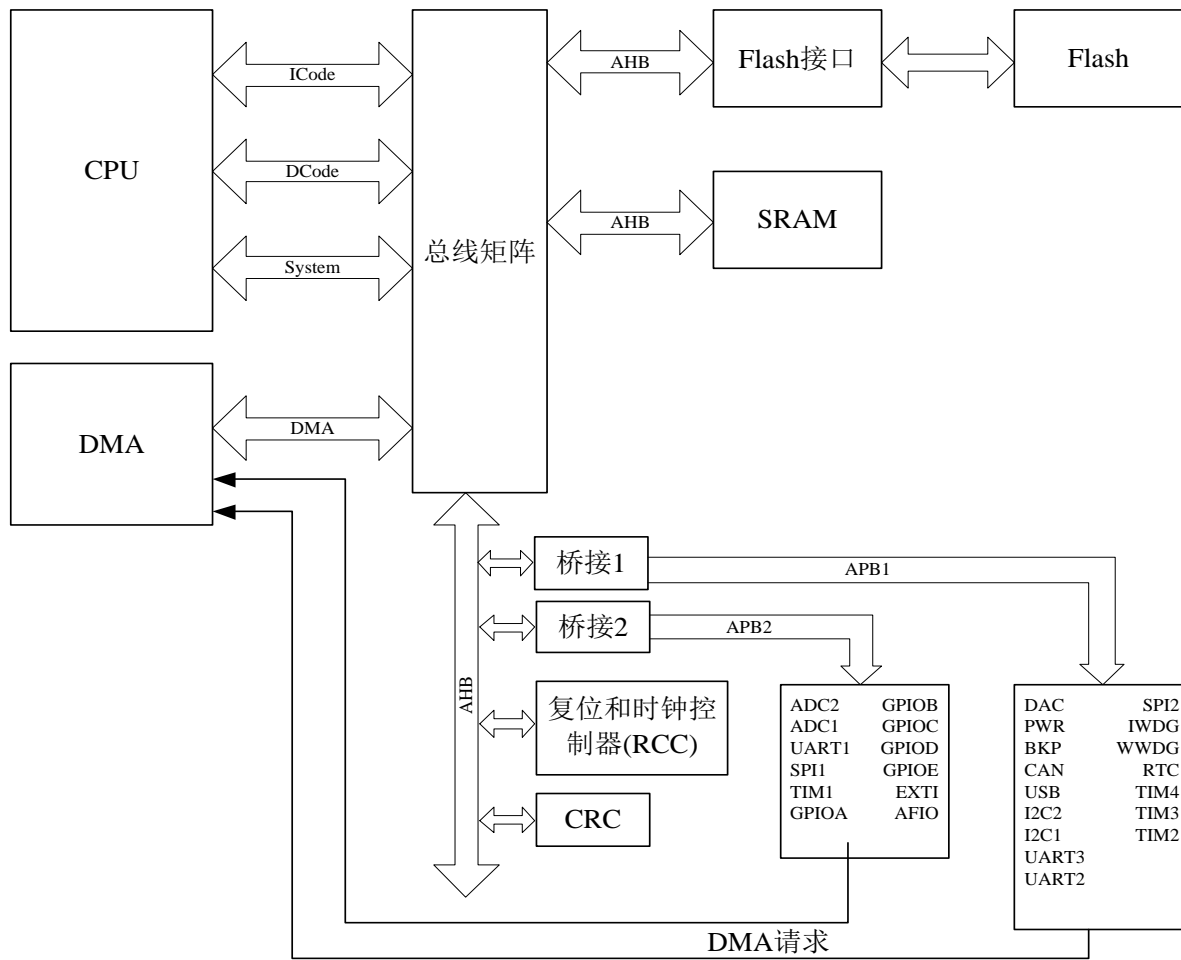
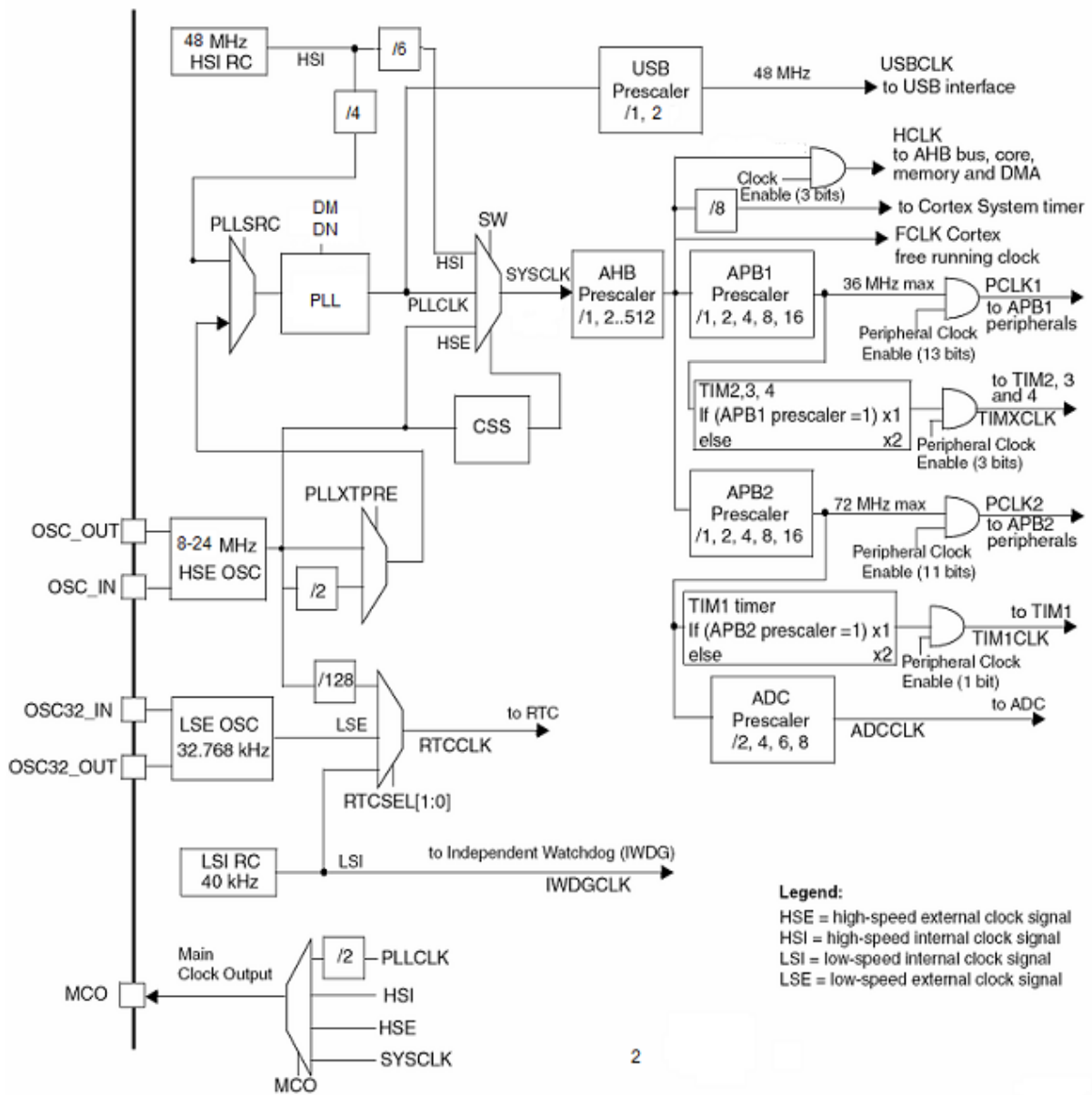


图2. 时钟树



2

3. 引脚定义

图3. BLM32F103xB LQFP48引脚分布

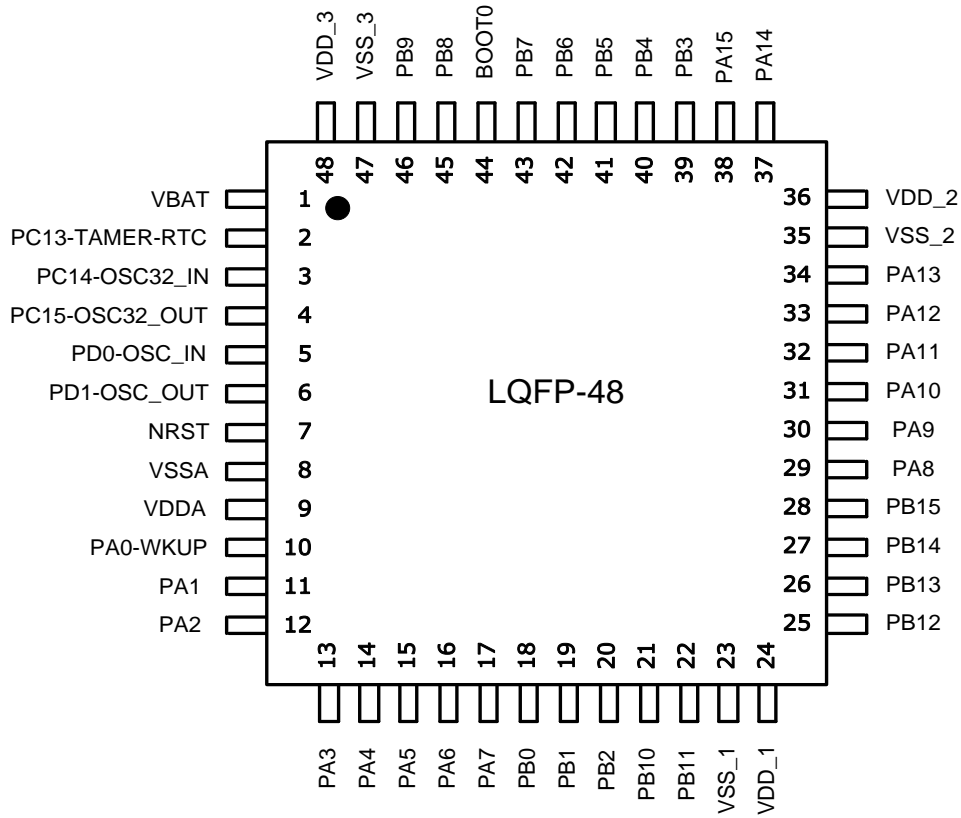


图4. BLM32F103xB LQFP64引脚分布

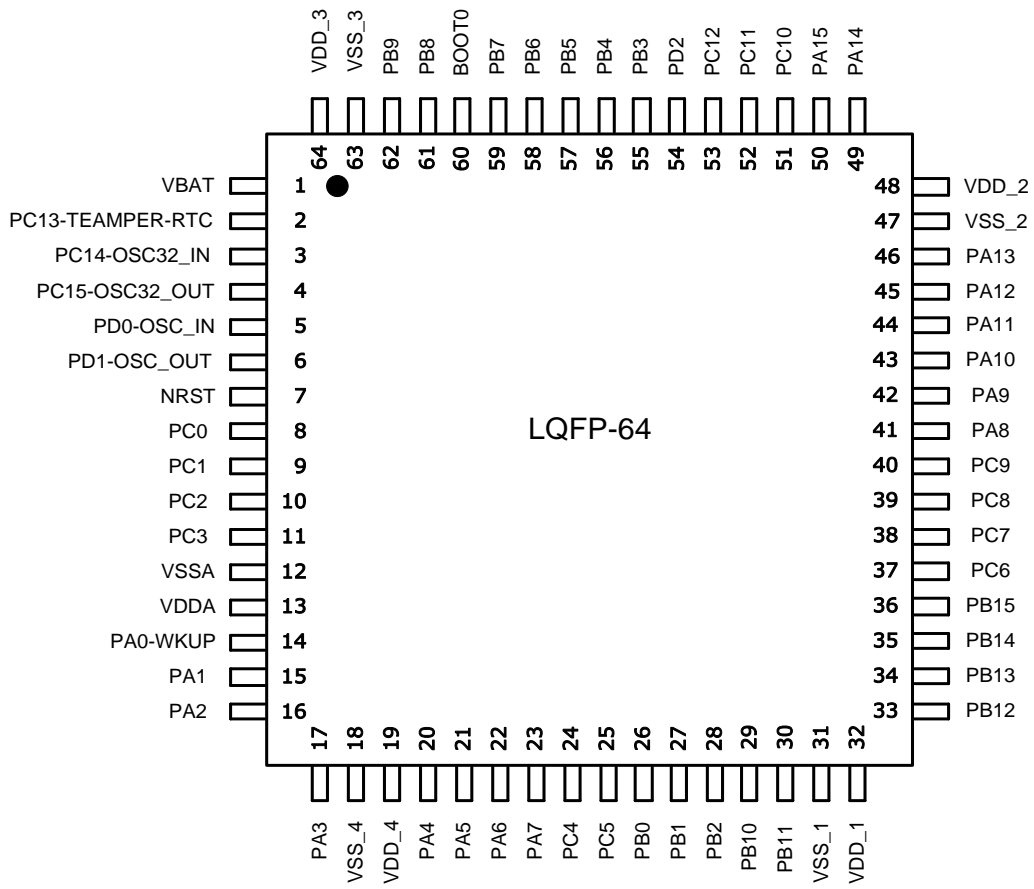


表3. BLM32F103xB引脚定义

引脚编码		引脚名称	类型	I/O	电 平	主功能	可选的复用功能	
LQF P48	LQF P64						默认复用功能	重定义功能
1	1	V _{BAT}	S			V _{BAT}		
2	2	PC13-TA MPER-RT C	I/O			PC13	TAMPER-RTC	
3	3	PC14-OS C32_IN	I/O			PC14	OSC32_IN	
4	4	PC15-OS C32_OUT	I/O			PC15	OSC32_OUT	
5	5	OSC_IN	I			OSC_I N		
6	6	OSC_OU T	O			OSC_ OUT		
7	7	NRST	I/O			NRST		
-	8	PC0	I/O			PC0	ADC12_IN10	
-	9	PC1	I/O			PC1	ADC12_IN11	
-	10	PC2	I/O			PC2	ADC12_IN12	
-	11	PC3	I/O			PC3	ADC12_IN13	
8	12	V _{SSA}	S			V _{SSA}		
9	13	V _{DDA}	S			V _{DDA}		
10	14	PA0-WKU P	I/O			PA0	WKUP/UART2_CTS ADC12_IN0/TIM2_CH1_ETR	
11	15	PA1	I/O			PA1	UART2_RTS/ ADC12_IN1/TIM2_CH2	
12	16	PA2	I/O			PA2	UART2_TX/ ADC12_IN2/TIM2_CH3	
13	17	PA3	I/O			PA3	UART2_RX/ ADC12_IN3/TIM2_CH4	
-	18	V _{SS_4}	S			V _{SS_4}		
-	19	V _{DD_4}	S			V _{DD_4}		
14	20	PA4	I/O			PA4	SPI1_NSS/UART2_CK/ADC1_IN4	
15	21	PA5	I/O			PA5	SPI1_SCK/ADC1_IN5	
16	22	PA6	I/O			PA6	SPI1_MISO/ ADC12_IN6/TIM3_CH1	TIM1_BKIN
17	23	PA7	I/O			PA7	SPI1_MOSI/ ADC12_IN7/TIM3_CH2	TIM1_CH1N
-	24	PC4	I/O			PC4	ADC12_IN14	
-	25	PC5	I/O			PC5	ADC12_IN15	
18	26	PB0	I/O			PB0	ADC12_IN8/TIM3_CH3	TIM1_CH2N
19	27	PB1	I/O			PB1	ADC12_IN9/TIM3_CH4	TIM1_CH3N
20	28	PB2	I/O	FT		PB2/B OOT1		

引脚编码		引脚名称	类型	I/O	电平	主功能	可选的复用功能	
LQF P48	LQF P64						默认复用功能	重定义功能
21	29	PB10	I/O	FT	PB10	I2C2_SCL/UART3_TX/COMP0_IN	TIM2_CH3	
22	30	PB11	I/O	FT	PB11	I2C2_SDA/UART3_RX/COMP1_IN	TIM2_CH4	
23	31	V _{SS_1}	S		V _{SS_1}			
24	32	V _{DD_1}	S		V _{DD_1}			
25	33	PB12	I/O	FT	PB12	SPI2_NSS/I2C2_SMBAI/ UART3_CK/TIM1_BKIN		
26	34	PB13	I/O	FT	PB13	SPI2_SCK/UART3_CTS/TIM1_CH1N		
27	35	PB14	I/O	FT	PB14	SPI2_MISO/UART3_RTS/TIM1_CH2N		
28	36	PB15	I/O	FT	PB15	SPI2_MOSI/TIM1_CH3N		
-	37	PC6	I/O	FT	PC6		TIM3_CH1	
-	38	PC7	I/O	FT	PC7		TIM3_CH2	
-	39	PC8	I/O	FT	PC8		TIM3_CH3	
-	40	PC9	I/O	FT	PC9		TIM3_CH4	
29	41	PA8	I/O	FT	PA8	UART1_CK		
						TIM1_CH1/MCO		
30	42	PA9	I/O	FT	PA9	UART1_TX		
						TIM1_CH2		
31	43	PA10	I/O	FT	PA10	UART1_RX/TIM1_CH3		
32	43	PA11	I/O	FT	PA11	UART1_CTS/USBDM CAN_RX/ TIM1_CH4		
33	45	PA12	I/O	FT	PA12	UART1_RTS/CAN_TX/TIM1_ETR		
34	46	PA13	I/O	FT	JTMS/ SWDI O		PA13	
35	47	V _{SS_2}	I/O	FT	V _{SS_2}			
36	48	V _{DD_2}	I/O	FT	V _{DD_2}			
37	49	PA14	I/O	FT	JTCK/S WCLK		PA14	
38	50	PA15	I/O	FT	JTDI		TIM2_CH1_ ETR	
							PA15/SPI1_ NSS	
-	51	PC10	I/O	FT	PC10		UART3_TX	
-	52	PC11	I/O	FT	PC11		UART3_RX	
-	53	PC12	I/O	FT	PC12		UART3_CK	
-	54	PD2	I/O	FT	PD2	TIM3_ETR		

引脚编码		引脚名称	类型	I/O 电 平	主功能	可选的复用功能	
LQF P48	LQF P64					默认复用功能	重定义功能
39	55	PB3	I/O	FT	JTDO		PB3/TRACE SWO
							TIM2_CH2/ SPI1_SCK
40	56	PB4	I/O	FT	NJTRST		PB4/ TIM3_CH1/S PI1_MISO
41	57	PB5	I/O		PB5	I2C1_SMBA1	TIM3_CH2/ SPI1_MOSI
42	58	PB6	I/O	FT	PB6	I2C1_SCL/ TIM4_CH1	UART1_TX
43	59	PB7	I/O	FT	PB7	I2C1_SDA/ TIM4_CH2	UART1_RX
44	60	BOOT0	I		BOOT0		
45	61	PB8	I/O	FT	PB8	TIM4_CH3/COMP0_OUT	I2C1_SCL/ CAN_RX
46	62	PB9	I/O	FT	PB9	TIM4_CH4/COMP1_OUT	I2C1_SDA/ CAN_TX
47	63	V _{SS_3}	S		V _{SS_3}		
48	64	V _{DD_3}	S		V _{DD_3}		

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻
2. FT: 容忍5V

4. 存储器映像

表4. 存储器映像

总线	编址范围	大小	外设	外设寄存器映像
AHB	0x4002 3400 - 0x4002 43FF	4 KB	Reserved	
	0x4002 3000 - 0x4002 33FF	1 KB	CRC	
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved	
	0x4002 2000 - 0x4002 23FF	1 KB	FLASH接口	
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved	
	0x4002 1000 - 0x4002 13FF	1 KB	复位和时钟控制(RCC)	
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved	
	0x4002 0000 - 0x4002 03FF	1 KB	DMA	
	0x4001 8000 - 0x4001 FFFF	32 KB	Reserved	
APB2	0x4001 4C00 - 0x4001 7FFF	13 KB	Reserved	
	0x4001 4800 - 0x4001 4BFF	1 KB	I2S2	
	0x4001 4400 - 0x4001 47FF	1 KB	I2S1	
	0x4001 4000 - 0x4001 43FF	1 KB	Reserved	
	0x4001 3C00 - 0x4001 3FFF	1 KB	比较器(Comparator)	
	0x4001 3800 - 0x4001 3BFF	1 KB	UART1	
	0x4001 3400 - 0x4001 37FF	1 KB	保留区块	
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1	
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1	
	0x4001 2800 - 0x4001 2BFF	1 KB	ADC2	
	0x4001 2400 - 0x4001 27FF	1 KB	ADC1	
	0x4001 1C00 - 0x4001 23FF	2 KB	Reserved	
	0x4001 1800 - 0x4001 1BFF	1 KB	GPIO端口E	
	0x4001 1400 - 0x4001 17FF	1 KB	GPIO端口D	
	0x4001 1000 - 0x4001 13FF	1 KB	GPIO端口C	
	0x4001 0C00 - 0x4001 0FFF	1 KB	GPIO端口B	
	0x4001 0800 - 0x4001 0BFF	1 KB	GPIO端口A	
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI	
0x4001 0000 - 0x4001 03FF	1 KB	AFIO		
	0x4000 8000 - 0x4000 FFFF	32 KB	Reserved	
APB1	0x4000 7800 - 0x4000 7FFF	2 KB	Reserved	
	0x4000 7400 - 0x4000 77FF	1 KB	DAC	
	0x4000 7000 - 0x4000 73FF	1 KB	电源控制(PWR)	
	0x4000 6C00 - 0x4000 7FFF	1 KB	后备寄存器(BKP)	

总线	编址范围	大小	外设	外设寄存器映像
	0x4000 6800 - 0x4000 6BFF	1 KB	Reserved	
	0x4000 6400 - 0x4000 67FF	1 KB	CAN	
	0x4000 6000 - 0x4000 63FF	1 KB	Reserved	
	0x4000 5C00 - 0x4000 5FFF	1 KB	USB	
	0x4000 5800 - 0x4000 5BFF	1 KB	I2C2	
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1	
	0x4000 4C00 - 0x4000 53FF	2 KB	Reserved	
	0x4000 4800 - 0x4000 4BFF	1 KB	UART3	
	0x4000 4400 - 0x4000 47FF	1 KB	UART2	
	0x4000 3C00 - 0x4000 43FF	2 KB	Reserved	
	0x4000 3800 - 0x4000 3BFF	1 KB	SPI2	
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved	
	0x4000 3000 - 0x4000 33FF	1 KB	IWWDG	
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG	
	0x4000 2800 - 0x4000 2BFF	1 KB	RTC	
	0x4000 0C00 - 0x4000 27FF	7 KB	Reserved	
	0x4000 0800 - 0x4000 0BFF	1 KB	TIM4	
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3	
	0x4000 0000 - 0x4000 03FF	1 KB	TIM2	
	0x2000 A000 - 0x3FFF FFFF	~512 MB	Reserved	
	0x2000 0000 - 0x2000 9FFF	40 KB	SRAM	
	0x1FFF FC00 - 0x1FFF FFFF	1 KB	Reserved	
	0x1FFF F800 - 0x1FFF FBFF	1 KB	Option bytes	
	0x1FFF F400 - 0x1FFF F7FF	1 KB	System memory	
	0x1000 2000 - 0x1FFF F3FF	~256 MB	Reserved	
	0x1000 0000 - 0x1000 1FFF	8KB	CCM RAM	
	0x0810 0000 - 0x0FFF FFFF	~128 MB	Reserved	
	0x0800 0000 - 0x080F FFFF	1 MB	Main Flash memory	
	0x0004 0000 - 0x07FF FFFF	~128 MB	Reserved	
	0x0000 0000 - 0x0003 FFFF	256 KB	主闪存存储器，系统存储器或是SRAM,有赖于BOOT的配置	

5. 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试 (T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$)得到。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2.5\text{V} \leq V_{DD} \leq 5.5\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均 $\pm 2\Sigma$)。

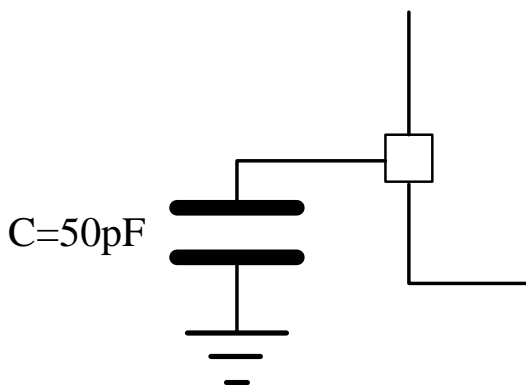
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于图5中。

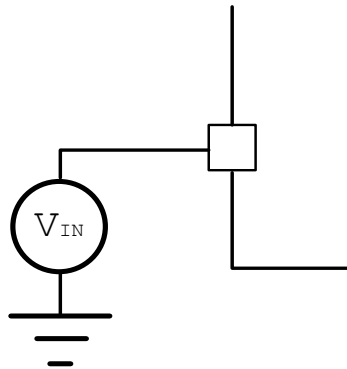
图5. 引脚的负载条件



5.1.5 引脚输入电压

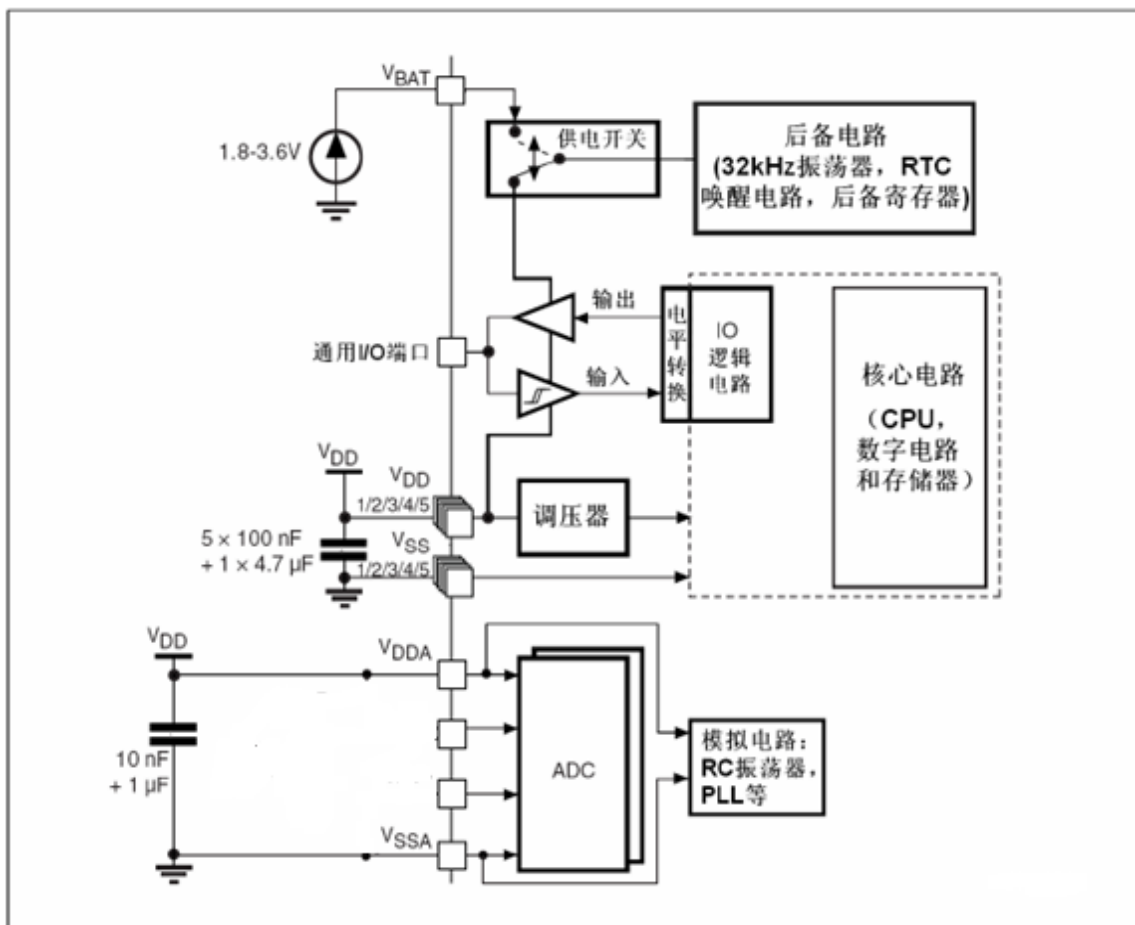
引脚上输入电压的测量方式示于图6中。

图6. 引脚输入电压



5.1.6 供电方案

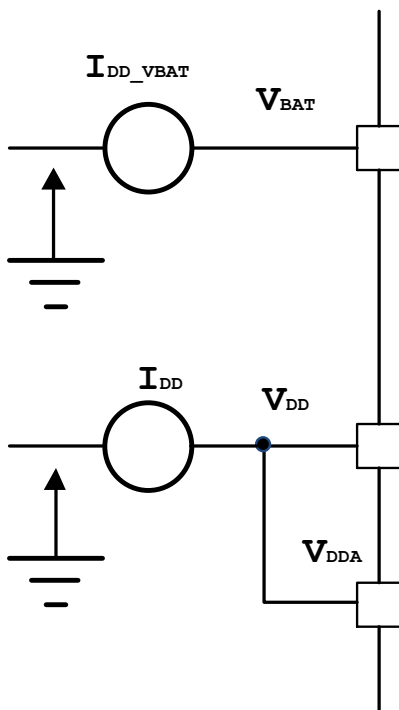
图7. 供电方案



注：上图中的4.7μF电容必须连接到V_{DD3}

5.1.7 电流消耗测量

图8. 电流消耗测量方案



5.2 绝对最大额定值

加在器件上的载荷如果超过‘绝对组最大额定值’列表(表5、表6、表7)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表5. 电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	5.5	V
V_{IN}	在5V容忍的引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	5.5	
	在其它引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	5.5	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差		50	
$V_{ESD}(HBM)$	ESD静电放电电压(人体模型)	参见5.3.11		

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。

2. $I_{INJ}(PIN)$ 绝对不可以超过它的极限(见表8),即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值,也要保证在外部限制 $I_{INJ}(PIN)$ 不超过其最大值。当 $V_{IN}>V_{INmax}$ 时,有一个正向注入电流;当 $V_{IN}<V_{SS}$ 时,有一个反向注入电流。

表6. 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	150	
I_{IO}	任意I/O和控制引脚上的输出灌电流	25	
	任意I/O和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}^{(2)(3)}$	NRST引脚的注入电流	±5	
	HSE的OSC_IN引脚和LSE的OSC_IN引脚的注入电流	±5	
	其他引脚的注入电流 ⁽⁴⁾	±5	
$\Sigma I_{INJ(PIN)}^{(2)}$	所有I/O和控制引脚上的总注入电流 ⁽⁴⁾	±25	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。

2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。

3. 反向注入电流会干扰器件的模拟性能。参看第5.3.17节。

4. 当几个I/O口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件4个I/O端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表7. 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	-65 ~ +150	°C
T_J	最大结温度	150	°C

5.3 绝对最大额定值工作条件

5.3.1 通用工作条件

表8. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率		0	48	MHz
f_{PCLK1}	内部APB1时钟频率		0	48	
f_{PCLK2}	内部APB2时钟频率		0	48	
V_{DD}	标准工作电压		2.5	5.5	V
$V_{DDA}^{(1)}$	模拟部分工作电压(未使用ADC)	必须与 $V_{DD}^{(2)}$ 相同	2.5	5.5	V
	模拟部分工作电压(使用ADC)		2.5	5.5	
V_{BAT}	备份部分工作电压		1.8	5.5	V
P_D	功率耗散 温度标号6: $T_A=85^{\circ}C$ 温度标号7 ⁽³⁾ : $T_A=105^{\circ}C$	LQFP64		444	mW
		LQFP48		363	
		LQFP32/UFQFN32		1110	
T_A	环境温度(温度标号6)	最大功率耗散	-40	85	$^{\circ}C$
		低功率耗散 ⁽⁴⁾	-40	105	
	环境温度(温度标号7)	最大功率耗散	-40	105	$^{\circ}C$
		低功率耗散 ⁽⁴⁾	-40	125	
T_J	结温度范围	温度标号6	-40	105	$^{\circ}C$
		温度标号7	-40	125	

1.当使用ADC时, 参见表44。

2.建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电, 在上电和正常操作期间, V_{DD} 和 V_{DDA} 之间最多允许有300mV的差别。

3.如果 T_A 较低, 只要 T_J 不超过 T_{Jmax} (参见第1节), 则允许更高的 P_D 数值。

4.在较低的功率耗散的状态下, 只要 T_J 不超过 T_{Jmax} (参见第1节), T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表9. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	-40	$\mu s/V$
	V_{DD} 下降速率		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表8列出的环境温度下和 V_{DD} 供电电压下测试得出。

表10. 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[3:0]=0000 (上升沿)		2.6		V
		PLS[3:0]=0000 (下降沿)		2.5		V
		PLS[3:0]=0001 (上升沿)		2.8		V
		PLS[3:0]=0001 (下降沿)		2.7		V
		PLS[3:0]=0010 (上升沿)		3.0		V
		PLS[3:0]=0010 (下降沿)		2.9		V
		PLS[3:0]=0011 (上升沿)		3.2		V
		PLS[3:0]=0011 (下降沿)		3.1		V
		PLS[3:0]=0100 (上升沿)		3.4		V
		PLS[3:0]=0100 (下降沿)		3.3		V
		PLS[3:0]=0101 (上升沿)		3.6		V
		PLS[3:0]=0101 (下降沿)		3.5		V
		PLS[3:0]=0110 (上升沿)		3.8		V
		PLS[3:0]=0110 (下降沿)		3.7		V
		PLS[3:0]=0111 (上升沿)		4.0		V
		PLS[3:0]=0111 (下降沿)		3.9		V
		PLS[3:0]=1000 (上升沿)		4.2		V
		PLS[3:0]=1000 (下降沿)		4.1		V
		PLS[3:0]=1001 (上升沿)		4.4		V
		PLS[3:0]=1001 (下降沿)		4.3		V
PLS[3:0]=1010 (上升沿)		4.6		V		
PLS[3:0]=1010 (下降沿)		4.5		V		
$V_{PVDhyst}^{(2)}$	PVD迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿		2.4		V
		上升沿		2.5		V
$V_{PDRhyst}^{(2)}$	PDR迟滞			100		mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间		1	2.5	4.5	mS

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。

5.3.4 内置的参照电压

下表中给出的参数是依据表8列出的环境温度下和 V_{DD} 供电电压下测试得出。

表11. 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$		1.2		V
		$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		1.2		V
$T_{S_vrefint}^{(1)}$	当读出内部参照电压时，ADC的采样时间			5.1	17.1 ⁽²⁾	μs

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图8。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到Dhrystone2.1代码等效的结果。

最大电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz时为0个等待周期，24~48MHz时为1个等待周期，48~72MHz时为2个等待周期，72~96MHz时为3个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。当开启外设时：
 $f_{PCLK1} = f_{HCLK}/2$, $f_{PCLK2} = f_{HCLK}$ 。

表12、表13、表14中给出的参数，是依据表8列出的环境温度下和 V_{DD} 供电电压下测试得出。

表12. 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f _{HCLK}	最大值 ⁽¹⁾		单位
				T _A =85°C	T _A =105°C	
I _{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ，使能所有外设	96MHz	61.8	61.6	mA
			72MHz	42.3	43.5	
			48MHz	30.2	31.3	
			36MHz	27.1	28.0	
			24MHz	19.9	20.1	
			8MHz	10.8	12.0	
		外部时钟 ⁽²⁾ ，关闭所有外设	96MHz	43.5	43.6	
			72MHz	32.8	32.9	
			48MHz	18.2	18.6	
			36MHz	16.2	17.6	
			24MHz	13.5	14.5	
			8MHz	10.0	11.22	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

表13. 运行模式下的最大电流消耗，数据处理代码从内部RAM中运行

符号	参数	条件	f _{HCLK}	最大值		单位
				T _A =85°C	T _A =105°C	
I _{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ，使能所有外设	96MHz	61.3	62.2	mA
			72MHz	48.0	50.0	
			48MHz	31.5	32	
			36MHz	24.0	25.5	
			24MHz	17.5	18.0	
			8MHz	7.5	8.0	
		外部时钟 ⁽²⁾ ，关闭所有外设	96MHz	39.3	40.1	
			72MHz	31.1	32.2	
			48MHz	23.6	24.1	
			36MHz	21.0	22.5	
			24MHz	15.6	16.2	
			8MHz	9.0	10.2	

1. 由综合评估得出，在生产中以V_{DDmax}和f_{HCLKmax}为条件测试。
2. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

图9. 运行模式下典型的电流消耗与频率的对比(3.3V供电, 数据处理代码在RAM中运行, 使能所有外设)

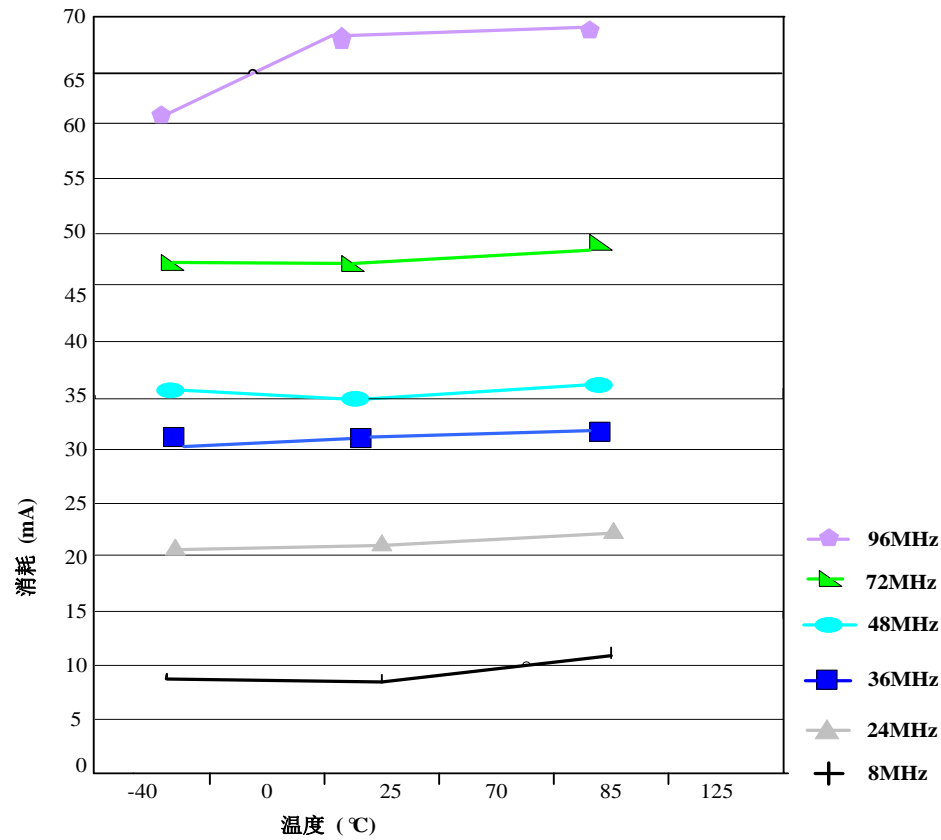


图10. 运行模式下典型的电流消耗与频率的对比(3.3V供电, 数据处理代码在RAM中运行, 关闭所有外设)

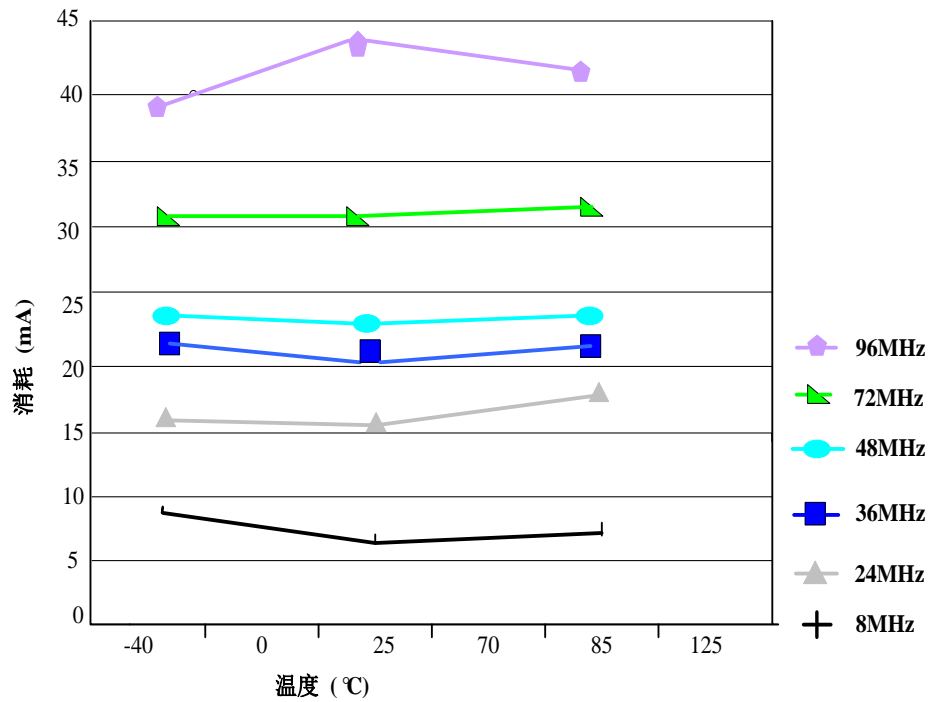


表14. 睡眠模式下的最大电流消耗，代码运行在Flash或RAM中

符号	参数	条件	f _{HCLK}	最大值		单位
				T _A =85°C	T _A =105°C	
I _{DD}	睡眠模式下的供应电流	外部时钟 ⁽²⁾ ，使能所有外设	96MHz	52.6	52.8	mA
			72MHz	33.03	35.99	
			48MHz	25.33	26.26	
			36MHz	22.5	23.26	
			24MHz	16.9	17.96	
			8MHz	8.99	10.17	
		外部时钟 ⁽²⁾ ，关闭所有外设	96MHz	27.9	28.45	
			72MHz	15.2	16.36	
			48MHz	12.1	13.03	
			36MHz	11.4	12.26	
			24MHz	10.2	11.21	
			8MHz	7.1	8.37	

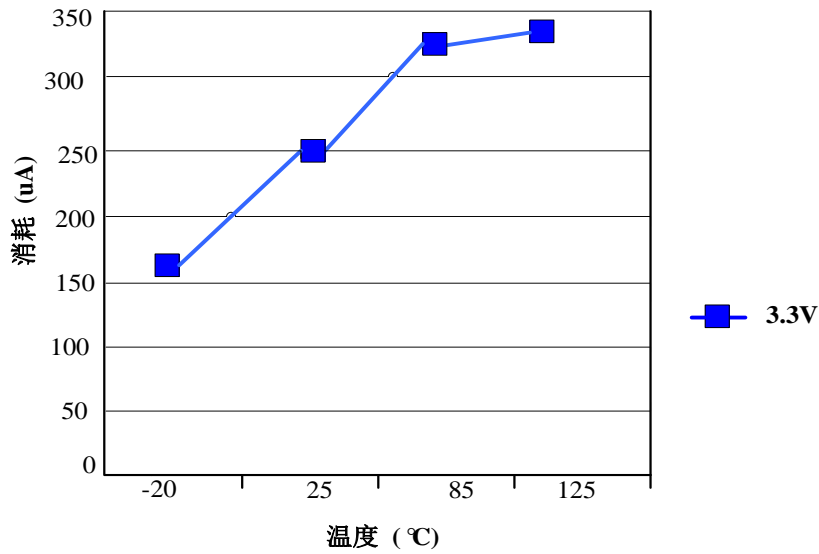
1. 由综合评估得出，在生产中以V_{DDmax}和以f_{HCLKmax}使能外设为条件测试。
2. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

表15. 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	f _{HCLK}		最大值		单位
			V _{DD} =3.3V	V _{DD} =5V	T _A =85°C	T _A =105°C	
I _{DD}	停机模式下的供应电流	低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	97.6	98.2	4090	5140	μA
	待机模式下的供应电流	低速内部RC振荡器和独立看门狗处于开启状态	0.6	0.6			
		低速内部RC振荡器处于开启状态,独立看门狗处于关闭状态	0.6	0.6			
		低速内部RC振荡器和独立看门狗处于关闭状态,低速振荡器处于关闭状态	0	0	490	500	
I _{DD_VBAT}	备份区域的供应电流	低速振荡器和RTC处于开启状态	3	16.2			

1. 典型值是在 T_A=25°C 下测试得到。
2. 由综合评估得出，不在生产中测试。

图11. 待机模式下的典型电流消耗在 $V_{DD}=3.3V$ (和 $3.6V$) 时与温度的对比



典型的电流消耗

MCU处于下述条件下:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz时为0个等待周期, 24~48MHz时为1个等待周期, 48~72MHz时为2个等待周期, 72~96MHz时为3个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表8。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。当开启外设时:
 $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$, $f_{ADCCLK} = f_{PCLK2}/4$ 。

表16. 运行模式下的典型电流消耗，数据处理代码从内部Flash中运行

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I _{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾	96MHz	52.5	28.43	mA
			72MHz	41.35	22.78	
			48MHz	30.23	18.23	
			36MHz	27.29	17.11	
			24MHz	19.97	13.52	
			16MHz	15.81	11.28	
			8MHz	10.32	8.41	
			4MHz			
			2MHz			
			1MHz			
		500kHz				
		运行于高速内部RC振荡器(HSI)，使用AHB预分频以降低频率	96MHz	38.26	20.50	
			72MHz	35.65	18.26	
			48MHz	32.59	17.57	
			36MHz	21.58	11.92	
			24MHz	15.35	8.72	
			16MHz	10.23	6.93	
			8MHz	6.46	4.58	
			4MHz			
			2MHz			
1MHz						
500kHz						

1. 典型值是在T_A=25°C、V_{DD}=3.3V时测试得到。

2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CR2寄存器的ADON位)时才会增加。

3. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

表17. 睡眠模式下的典型电流消耗，数据处理代码从内部Flash或RAM中运行

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I _{DD}	睡眠模式下的供应电流	外部时钟 ⁽³⁾	96MHz	42.6	17.58	mA
			72MHz	33.49	14.25	
			48MHz	24.87	11.84	
			36MHz	22.52	11.60	
			24MHz	16.95	10.29	
			16MHz	13.59	9.12	
			8MHz	7.91	6.41	
			4MHz			
			2MHz			
			1MHz			
		500kHz				
		运行于高速内部RC振荡器(HSI)，使用AHB预分频以降低频率	96MHz	31.61	11.93	
			72MHz	28.35	11.3	
			48MHz	26.91	10.3	
			36MHz	17.35	9.05	
			24MHz	12.42	5.42	
			16MHz	7.86	4.51	
			8MHz	4.56	2.51	
			4MHz			
			2MHz			
1MHz						
500kHz						

1. 典型值是在T_A=25°C、V_{DD}=3.3V时测试得到。

2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CR2寄存器的ADON位)时才会增加。

3. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

内置外设电流消耗

内置外设的电流消耗列于表18，MCU的工作条件如下：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上——V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和V_{DD}供电电压条件列于表8。

表18. 内置外设的电流消耗⁽¹⁾

内置外设		25°C时的 典型功耗	单位	内置外设		25°C时的 典型功耗	单位
APB1	TIM2	1.22	mA	APB2	GPIOA	0.26	mA
	TIM3	1.17			GPIOB	1.0	
	I2C1	0.71			GPIOC	0.23	
	UART2	0.05			GIOD	0.19	
	UART3	0.03			GPIOE	0.14	
	I2C1	0.71			ADC1 ⁽²⁾	0.66	
	I2C2	0.78			TIM1	1.54	
	USB	5.45			SPI1	1.9	
	CAN	0.57			UART1	0.45	

1. $f_{HCLK}=96\text{MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, 每个外设的预分频系数为默认值。

2. ADC的特殊条件: $f_{HCLK}=56\text{MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, $f_{ADCCLK} = f_{APB2}/4$, ADC_CR2寄存器的ADON=1。

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表8的条件。

表19. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		0	8	32	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		$0.7V_{DD}$		V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}		$0.3V_{DD}$	
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN高或低的时间 ⁽¹⁾		16			ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN上升或下降的时间 ⁽¹⁾				20	
$C_{in(HSE)}$	OSC_IN输入容抗 ⁽¹⁾			5		pF
$DuCy_{(HSE)}$	占空比		45		55	%
I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	uA

1. 由设计保证，不在生产中测试。

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表8的条件。

表20. 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE_ext}	用户外部时钟频率 ⁽¹⁾		0	32.678	1000	KHz
V_{LSEH}	OSC_IN输入引脚高电平电压		$0.7V_{DD}$		V_{DD}	V
V_{LSEL}	OSC_IN输入引脚低电平电压		V_{SS}		$0.3V_{DD}$	
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC_IN高或低的时间 ⁽¹⁾		450			ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC_IN上升或下降的时间 ⁽¹⁾				50	
$C_{in(LSE)}$	OSC_IN输入容抗 ⁽¹⁾			5		pF
$DuCy_{(LSE)}$	占空比		30		70	%
I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	μA

1. 由设计保证，不在生产中测试。

图12. 外部高速时钟源的交流时序图

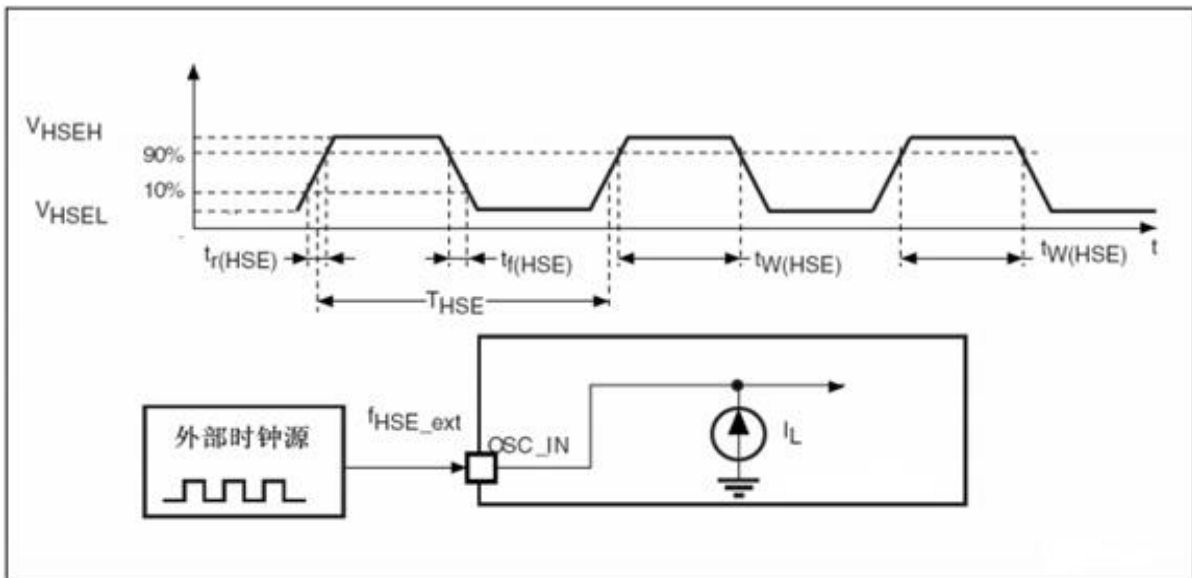
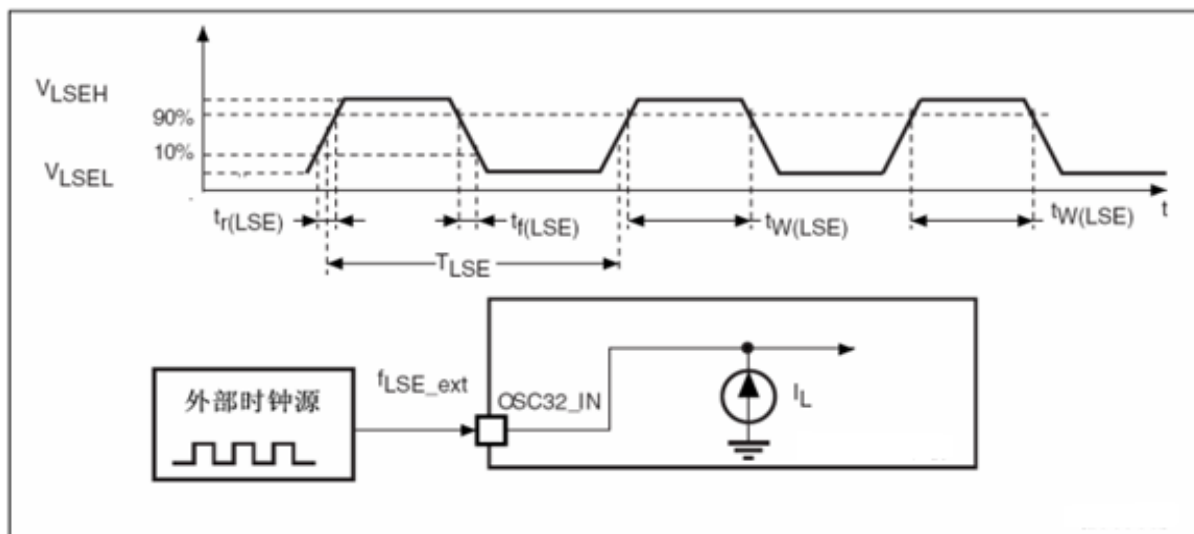


图13. 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个8~24MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的

信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

 表21. HSE 8~24MHz振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		8	12	24	MHz
R_F	反馈电阻			1000		k Ω
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽⁴⁾	$R_S = 30\Omega$		30		pF
I_2	HSE驱动电流	$V_{DD}=3.3V$, $V_{IN}=V_{SS}$ 30pF负载			1	mA
g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}^{(5)}$	启动时间	V_{DD} 是稳定的		2		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。

2. 由综合评估得出，不在生产中测试。

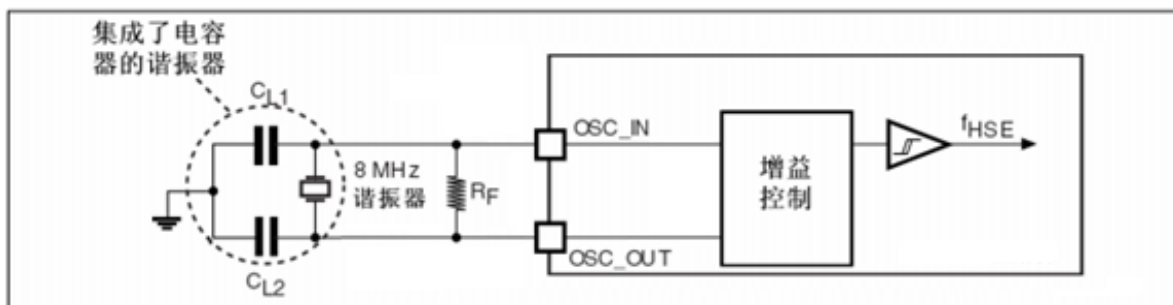
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按10pF估计)。

4. 相对较低的RF电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果MCU是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。

5. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是

在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图14. 使用8MHz晶体的典型应用



使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768kHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表24中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(译注：这里提到的晶体谐振器就是我们通常说的无源晶振)

注意：对于 C_{L1} 和 C_{L2} ，建议使用高质量的5pF~15pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2pF至7pF之间。

警告：为了避免超出 C_{L1} 和 C_{L2} 的最大值(15pF)，强烈建议使用负载电容 $C_L \leq 7pF$ 的谐振器，不能使用负载电容为12.5pF的谐振器。

例如：如果选择了一个负载电容 $C_L = 6pF$ 的谐振器并且 $C_{stray} = 2pF$ ，则 $C_{L1} = C_{L2} = 8pF$ 。

表22. LSE振荡器特性($f_{LSE} = 32.768kHz$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		MΩ
C_{L1} C_{L2} ⁽²⁾	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾	$R_S = 30\Omega$			15	pF
i_2	LSE驱动电流	$V_{DD} = 3.3V$, $V_{IN} = V_{SS}$			1.4	uA
g_m	振荡器的跨导		5			μA/V
$t_{SU(HSE)}$ ⁽⁴⁾	启动时间	V_{DD} 是稳定的		3		s

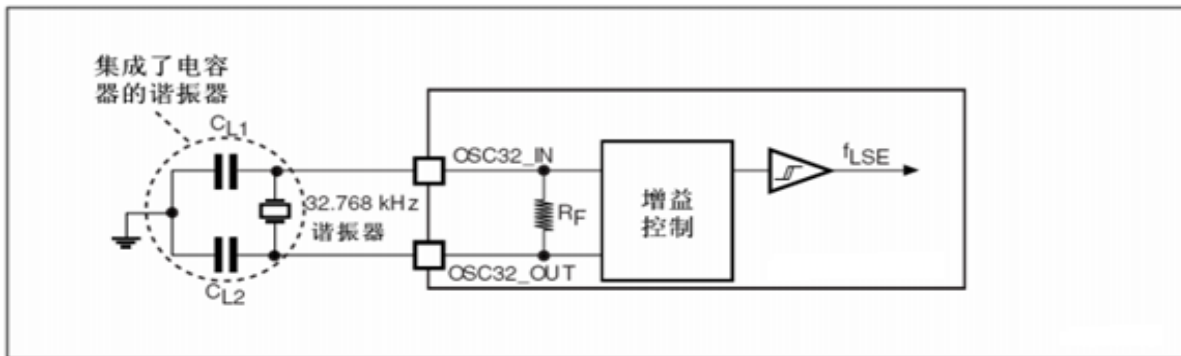
1. 由综合评估得出，不在生产中测试。

2. 参见本表格上方的注意和警告段落。

3. 选择具有较小 R_S 值的高质量振荡器(如MSIV-TIN32.768kHz)，可以优化电流消耗。详情请咨询晶体制造商。

4. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图15. 使用32.768kHz晶体的典型应用



5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表8的条件测量得到。

高速内部(HSI)RC振荡器

表23. HSI振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率			48		MHz
ACC_{HSI}	HSI振荡器的精度	$T_A = -40\sim 105^\circ\text{C}$	-5		5	%
		$T_A = -10\sim 85^\circ\text{C}$				
		$T_A = 0\sim 70^\circ\text{C}$				
		$T_A = 25^\circ\text{C}$	-1		1	
$t_{\text{SU(HSI)}}$	HSI振荡器启动时间				2	μs
$I_{\text{DD(HSI)}}$	HSI振荡器功耗				200	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。

2. 由设计保证, 不在生产中测试。

低速内部(LSI)RC振荡器

表24. LSI振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	频率		26	40	52	KHz
$t_{\text{SU(LSI)}}^{(3)}$	LSI振荡器启动时间				60	μs
$I_{\text{DD(LSI)}}^{(3)}$	LSI振荡器功耗				2	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。

2. 由综合评估得出, 不在生产中测试。

3. 由设计保证, 不在生产中测试。

从低功耗模式唤醒的时间

表25列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式：时钟源是RC振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表8的条件测量得到。

表25. 低功耗模式的唤醒时间

符号	参数	条件	最大值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	使用HSI RC时钟唤醒	1.8	μs
$t_{WUSTOP}^{(1)}$	从停机模式唤醒(调压器处于运行模式)	HSI RC时钟唤醒 = $2\mu s$	5.4	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	HSI RC时钟唤醒 = $2\mu s$ 调压器从关闭模式唤醒时间 = $38\mu s$	50	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.8 PLL特性

表26列出的参数是使用环境温度和供电电压符合表8的条件测量得到。

表26. PLL特性⁽¹⁾

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	8		24	MHz
	PLL输入时钟占空比	20		80	%
f_{PLL_OUT}	PLL倍频输出时钟	40		200	MHz
t_{LOCK}	PLL锁相时间			100	μs

1. 由设计保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

5.3.9 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 $T_A = -40\sim 105^\circ C$ 得到。

表27. 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16位的编程时间	$T_A = -40\sim 105^{\circ}C$	40	52.5	70	μs
t_{ERASE}	页(1K字节)擦除时间	$T_A = -40\sim 105^{\circ}C$	4		6	ms
t_{ME}	整片擦除时间	$T_A = -40\sim 105^{\circ}C$	20		40	ms
I_{DD}	供电电流	读模式, $f_{HCLK}=96MHz$, 2个等待周期, $V_{DD}=3.3V$			20	mA
		写/擦除模式, $f_{HCLK}=96MHz$, $V_{DD}=3.3V$			5	mA
		掉电模式/停机, $V_{DD}=3.3\sim 3.6V$			50	μA
V_{prog}	编程电压		2.5		5.5	V

1. 由设计保证, 不在生产中测试。

表28. 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	寿命(译注: 擦写次数)	$T_A = -40\sim 85^{\circ}C$ (尾缀为6) $T_A = -40\sim 105^{\circ}C$ (尾缀为7)	10			千次
t_{RET}	数据保存期限	$T_A = 85^{\circ}C$ 时, 1000次擦写 ⁽²⁾ 之后	30			年
		$T_A = 105^{\circ}C$, 1000次擦写 ⁽²⁾ 之后	10			
		$T_A = 55^{\circ}C$, 1万次擦写 ⁽²⁾ 之后	20			

1. 由综合评估得出, 不在生产中测试。

2. 循环测试均是在整个温度范围下进行。

5.3.10 EMC特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性EMS(电磁敏感性)

当运行一个简单的应用程序时(通过I/O端口闪烁2个LED), 测试样品被施加2种电磁干扰直到产生错误, LED闪烁指示了错误的产生。

- 静电放电(ESD)(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合IEC 1000-4-2标准。
- FTB: 在 V_{DD} 和 V_{SS} 上通过一个100pF的电容施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合IEC 1000-4-4标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于应用笔记AN1709中定义的EMS级别和类型进行的测试。

表29. EMS特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一I/O脚, 从而导致功能错误的电压极限。	$V_{DD}=3.3V$, $T_A=+25\text{ }^\circ\text{C}$, $f_{HCLK}=96\text{MHz}$ 。符合IEC 1000-4-2	2B
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过100pF的电容施加的、导致功能错误的瞬变脉冲群电压极限。	$V_{DD}=3.3V$, $T_A=+25\text{ }^\circ\text{C}$, $f_{HCLK}=96\text{MHz}$ 。符合IEC 1000-4-4	4A

设计牢靠的软件以避免噪声的问题

在器件级进行EMC的评估和优化, 是在典型的应用环境中进行的。应该注意的是, 好的EMC性能与用户应用和具体的软件密切相关。

因此, 建议用户对软件实行EMC优化, 并进行与EMC有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制, 如:

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等.....)

认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏), 可以通过人工地在NRST上引入一个低电平或在晶振引脚上引入一个持续1秒的低电平而重现。

在进行ESD测试时, 可以把超出应用要求的电压直接施加在芯片上, 当检测到意外动作的地方, 软件部分需要加强以防止发生不可恢复的错误

电磁干扰(EMI)

在运行一个简单的应用程序时(通过I/O端口闪烁2个LED), 监测芯片发射的电磁场。这个发射测试符合SAE J1752/3标准, 这个标准规定了测试板和引脚的负载。

表30. EMI特性

符号	参数	条件	监测的频段	最大值(f_{HSE}/f_{HCLK})		单位
				8/48MHz	8/96MHz	
S_{EMI}	峰值	$V_{DD}=3.3V$, $T_A=25\text{ }^\circ\text{C}$, LQFP100封装 符合SAE J1752/3	0.1~30MHz	12	12	dB μ V
			30~130MHz	22	19	
			130MHz~1GHz	23	29	
			SAM EMI级别	4	4	

5.3.11 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关(3片x(n+1)供电引脚)。这个测试符合JESD22-A114/C101标准。

表31. ESD绝对最大值

符号	参数	条件	类型	最大值	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A=+25^{\circ}C$, 符合JESD22-A114	2	4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A=+25^{\circ}C$, 符合JESD22-C101	II	500	

1. 由综合评估得出, 不在生产中测试。

静态栓锁

为了评估栓锁性能, 需要在6个样品上进行2个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD 78A集成电路栓锁标准。

表32. 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T_A=+105^{\circ}C$, 符合JESD 78A	II类A

5.3.12 I/O端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表8的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表33. I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL端口	-0.5		0.8	V
V_{IH}	输入高电平电压		2		$V_{DD}+0.5$	
V_{IL}	输入低电平电压	CMOS端口	-0.5		$0.35V_{DD}$	V
V_{IH}	输入高电平电压		$0.65V_{DD}$		$V_{DD}+0.5$	
V_{hys}	I/O脚施密特触发器电压迟滞 ⁽¹⁾		$10\%V_{DD}$			mV
I_{lkg}	输入漏电流 ⁽²⁾				3	μA
R_{PU}	弱上拉等效电阻 ⁽³⁾	$V_{IN} = V_{SS}$	20	40	100	k Ω
R_{PD}	弱下拉等效电阻 ⁽³⁾	$V_{IN} = V_{DD}$	20	40	100	
C_{IO}	I/O引脚的电容				10	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。

2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的PMOS/NMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数：

- 对于 V_{IH} ：
 - 如果 V_{DD} 是介于[2.50V~3.08V]；使用CMOS特性但包含TTL。
 - 如果 V_{DD} 是介于[3.08V~3.60V]；使用TTL特性但包含CMOS。
- 对于 V_{IL} ：
 - 使用CMOS特性但包含TTL。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8mA$ 电流，并且吸收 $+20mA$ 电流(不严格的 V_{OL})。

在用户应用中，I/O脚的数目必须保证驱动电流不能超过5.2节给出的绝对最大额定值：

- 所有I/O端口从 V_{DD} 上获取的电流总和，加上MCU在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} (参见表6)。
- 所有I/O端口吸收并从 V_{SS} 上流出的电流总和，加上MCU在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} (参见表6)。

输出电压

除非特别说明，

表34列出的参数是使用环境温度和 V_{DD} 供电电压符合表8的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表34. 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平，当8个引脚同时吸收电流	TTL端口， $I_{IO}=+8mA$ $2.7V < V_{DD} < 3.6V$		0.5	V
$V_{OH}^{(2)}$	输出高电平，当8个引脚同时输出电流		$0.8V_{DD}$		
$V_{OL}^{(1)}$	输出低电平，当8个引脚同时吸收电流	CMOS端口， $I_{IO}=+8mA$ $2.7V < V_{DD} < 3.6V$		0.5	
$V_{OH}^{(2)}$	输出高电平，当8个引脚同时输出电流		$0.8V_{DD}$		
$V_{OL}^{(1)(3)}$	输出低电平，当8个引脚同时吸收电流	$I_{IO} = +20mA$		0.5	
$V_{OH}^{(2)(3)}$	输出高电平，当8个引脚同时输出电流	$2.7V < V_{DD} < 3.6V$	$0.8V_{DD}$		
$V_{OL}^{(1)(3)}$	输出低电平，当8个引脚同时吸收电流	$I_{IO} = +6mA$		0.5	
$V_{OH}^{(2)(3)}$	输出高电平，当8个引脚同时输出电流	$2V < V_{DD} < 2.7V$	$0.8V_{DD}$		

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VSS} 。

2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VDD} 。

3. 由综合评估得出，不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图16和表35给出。

除非特别说明，表35列出的参数是使用环境温度和供电电压符合表8的条件测量得到。

表35. 输入输出交流特性⁽¹⁾

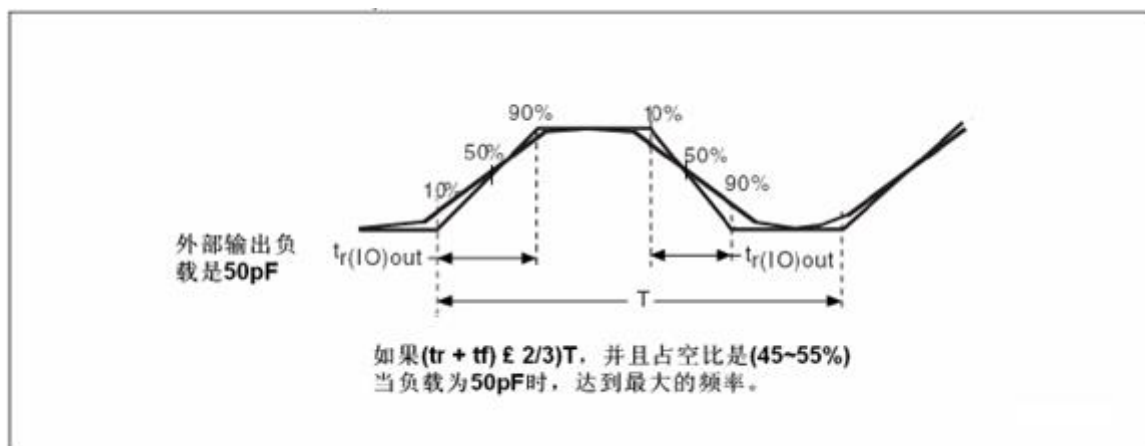
MODEx[1:0]的配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L=50\text{pF}$, $V_{\text{DD}}=2\sim 3.6\text{V}$		2	MHz
	$t_{\text{f}(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L=50\text{pF}$, $V_{\text{DD}}=2\sim 3.6\text{V}$		125 ⁽³⁾	ns
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间			125 ⁽³⁾	
01 (10MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L=50\text{pF}$, $V_{\text{DD}}=2\sim 3.6\text{V}$		10	MHz
	$t_{\text{f}(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L=50\text{pF}$, $V_{\text{DD}}=2\sim 3.6\text{V}$		25 ⁽³⁾	ns
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间			25 ⁽³⁾	
11 (50MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L=30\text{pF}$, $V_{\text{DD}}=2.7\sim 3.6\text{V}$		50	MHz
			$C_L=50\text{pF}$, $V_{\text{DD}}=2.7\sim 3.6\text{V}$		30	
			$C_L=50\text{pF}$, $V_{\text{DD}}=2\sim 2.7\text{V}$		20	
	$t_{\text{f}(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L=30\text{pF}$, $V_{\text{DD}}=2.7\sim 3.6\text{V}$		5	ns
			$C_L=50\text{pF}$, $V_{\text{DD}}=2.7\sim 3.6\text{V}$		8	
			$C_L=50\text{pF}$, $V_{\text{DD}}=2\sim 2.7\text{V}$		12	
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间	$C_L=30\text{pF}$, $V_{\text{DD}}=2.7\sim 3.6\text{V}$		5	
			$C_L=50\text{pF}$, $V_{\text{DD}}=2.7\sim 3.6\text{V}$		8	
			$C_L=50\text{pF}$, $V_{\text{DD}}=2\sim 2.7\text{V}$		12	
$t_{\text{EXTI}\text{pw}}$	EXTI控制器检测到外部信号的脉冲宽度			10		

1. I/O端口的速度可以通过MODEx[1:0]配置。参见BLM32F103xB参考手册中有关GPIO端口配置寄存器的说明。

2. 最大频率在图23中定义。

3. 由设计保证，不在生产中测试。

图16. 输入输出交流特性定义



5.3.13 NRST引脚特性

NRST引脚输入驱动使用CMOS工艺，它连接了一个不能断开的上拉电阻， R_{PU} (参见表33)。

除非特别说明，表36列出的参数是使用环境温度和 V_{DD} 供电电压符合表8的条件测量得到。

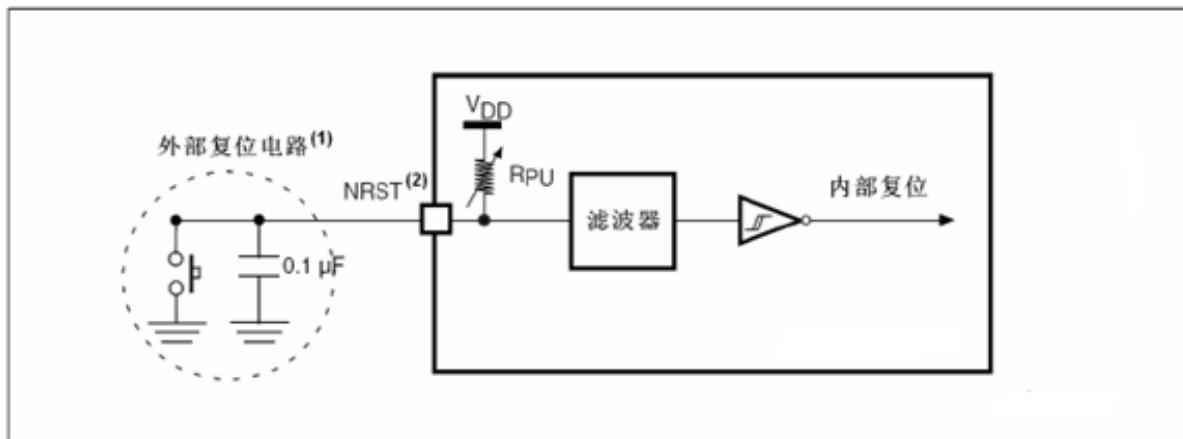
表36. NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压		-0.5		0.8	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压		2		$V_{DD}+0.5$	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞			0.1 V_{DD}		mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	20	40	100	k Ω
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲				100	ns
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲		300			

1. 由设计保证，不在生产中测试。

2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

图17. 建议的NRST引脚保护



1. 复位网络是为了防止寄生复位。

2. 用户必须保证NRST引脚的电位能够低于表36中列出的最大 $V_{IL(NRST)}$ 以下，否则MCU不能得到复位。

5.3.14 TIM定时器特性

表37列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，参见第5.3.12节。

表37. TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间		1		t _{TIMxCLK}
		f _{TIMxCLK} =96MHz	10.4		ns
f _{EXT}	CH1至CH4的定时器外部时钟频率		0	f _{TIMxCLK} /2	MHz
		f _{TIMxCLK} =96MHz	0	48	
Re _{TIM}	定时器分辨率			16	位
t _{COUNTER}	当选择了内部时钟时, 16位计数器时钟周期		1	65536	t _{TIMxCLK}
		f _{TIMxCLK} =96MHz	0.0104	682	μs
t _{MAX_COUNT}	最大可能的计数			65536 x 65536	t _{TIMxCLK}
		f _{TIMxCLK} =96MHz		44.7	s

1. TIMx是一个通用的名称, 代表TIM1~TIM4。

5.3.15 通信接口

I2C接口特性

除非特别说明, 表38列出的参数是使用环境温度, f_{PCLK1}频率和V_{DD}供电电压符合表8的条件测量得到。

BLM32F103xB的I2C接口符合标准I2C通信协议, 但有如下限制: SDA和SCL不是“真”开漏的引脚, 当配置为开漏输出时, 在引出脚和V_{DD}之间的PMOS管被关闭, 但仍然存在。

I2C接口特性列于表38, 有关输入输出复用功能引脚(SDA和SCL)的特性详情, 参见第5.3.12节。

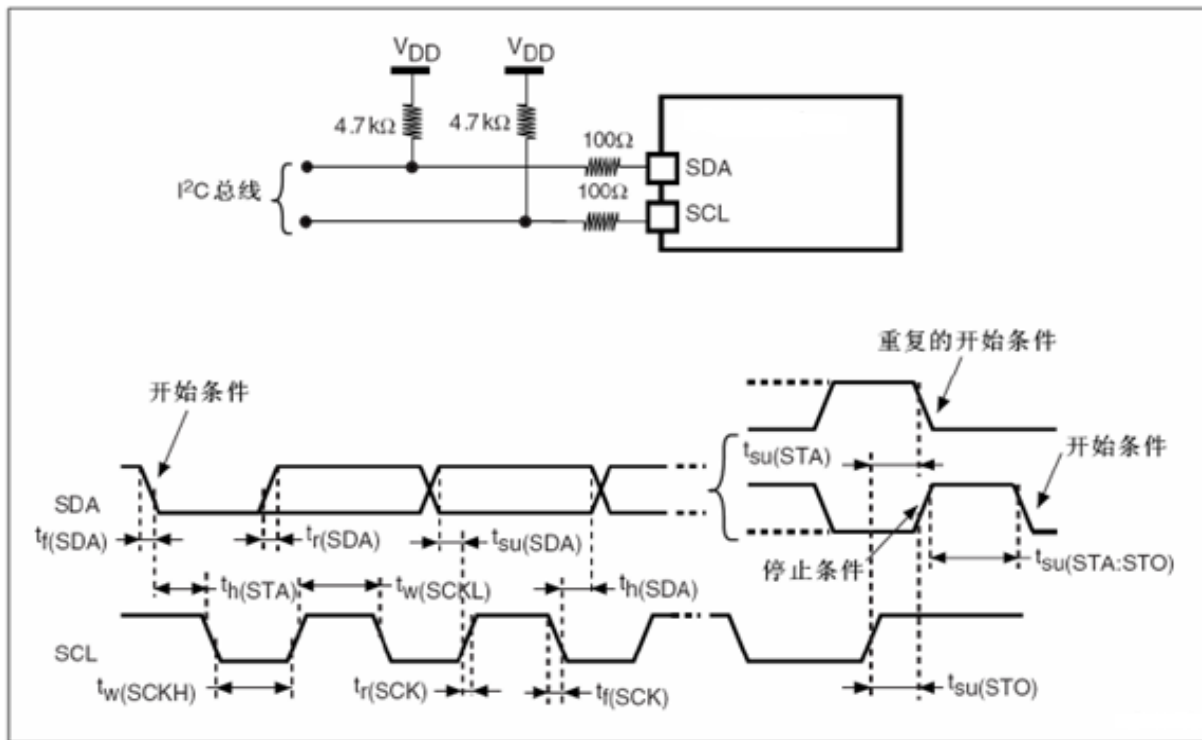
表38. I2C接口特性

符号	参数	标准I2C ⁽¹⁾		快速I2C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
t _w (SCLL)	SCL时钟低时间	4.7		1.3		μs
t _w (SCLH)	SCL时钟高时间	4.0		0.6		
t _{su} (SDA)	SDA建立时间	250		100		ns
t _h (SDA)	SDA数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
t _r (SDA) t _r (SCL)	SDA和SCL上升时间		1000	2.0+0.1C _b	300	
t _r (SDA) t _r (SCL)	SDA和SCL下降时间		300		300	
t _h (STA)	开始条件保持时间	4.0		0.6		μs
t _{su} (STA)	重复的开始条件建立时间	4.7		0.6		
t _{su} (STO)	停止条件建立时间	4.0		0.6		
t _w (STO:STA)	停止条件至开始条件的时间(总线空闲)	4.7		1.3		
C _b	每条总线的容性负载		400		400	pF

1. 由设计保证, 不在生产中测试。

2. 为达到标准模式I2C的最大频率， f_{PCLK1} 必须大于2MHz。为达到快速模式I2C的最大频率， f_{PCLK1} 必须大于4MHz。
3. 如果不要拉长SCL信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越SCL下降沿未定义的区域，在MCU内部必须保证SDA信号上至少300ns的保持时间。

图18. I2C总线交流波形和测量电路⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

表39. SCL频率($f_{PCLK1} = 36\text{MHz}$, $V_{DD} = 3.3\text{V}$)⁽¹⁾⁽²⁾

$f_{SCL}(\text{kHz})$	I2C寄存器数值
	RP = 4.7kΩ
400	
300	
200	
100	
50	
20	

1. R_p = 外部上拉电阻， f_{SCL} = I2C速度。
2. 对于200kHz左右的速度，速度的误差是±5%。对于其它速度范围，速度的误差是±2%。这些变化取决于设计中外部元器件的精度。

SPI接口特性

除非特别说明，表40列出的参数是使用环境温度， f_{PCLKx} 频率和 V_{DD} 供电电压符合表8的条件测量得到。

有关输入输出复用功能引脚(NSS、SCK、MOSI、MISO)的特性详情，参见第5.3.12节。

表40. SPI特性⁽¹⁾

符号	参数	条件	最大值	最小值	单位
$f_{SCK1}/t_c(SCK)$	SPI时钟频率	主模式	0	36	MHz
		从模式	0	18	
$t_r(SCK)$ $t_f(SCK)$	SPI时钟上升和下降时间	负载电容: C=30pF		8	ns
$t_{su}(NSS)^{(2)}$	NSS建立时间	从模式	$4t_{PCLK}$		
$t_h(NSS)^{(2)}$	NSS保持时间	从模式	73		
$t_w(SCKH)^{(2)}$ $t_w(SCKL)^{(2)}$	SCK高和低的时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	50	60	
$t_{su}(MI)^{(2)}$	数据输入建立时间, 主模式	SPI1	1		
$t_{su}(SI)^{(2)}$	数据输入建立时间, 从模式		1		
$t_h(MI)^{(2)}$	数据输入保持时间, 主模式	SPI1	1		
$t_h(SI)^{(2)}$	数据输入保持时间, 从模式		3		
$t_a(SO)^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 36MHz$, 预分频系数=4	0	55	
		从模式, $f_{PCLK} = 24MHz$		$4t_{PCLK}$	
$t_{dis}(SO)^{(2)(4)}$	数据输出禁止时间	从模式	10		
$t_v(SO)^{(2)(1)}$	数据输出有效时间	从模式(使能边沿之后)		25	
$t_v(MO)^{(2)(1)}$	数据输出有效时间	主模式(使能边沿之后)		3	
$t_h(SO)^{(2)}$	数据输出保持时间	从模式(使能边沿之后)	25		
$t_h(MO)^{(2)}$		主模式(使能边沿之后)	4		

1. 重映射的SPI1特性需要进一步确定。
2. 由综合评估得出，不在生产中测试。
3. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
4. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图19. SPI时序图 - 从模式和CPHA=0

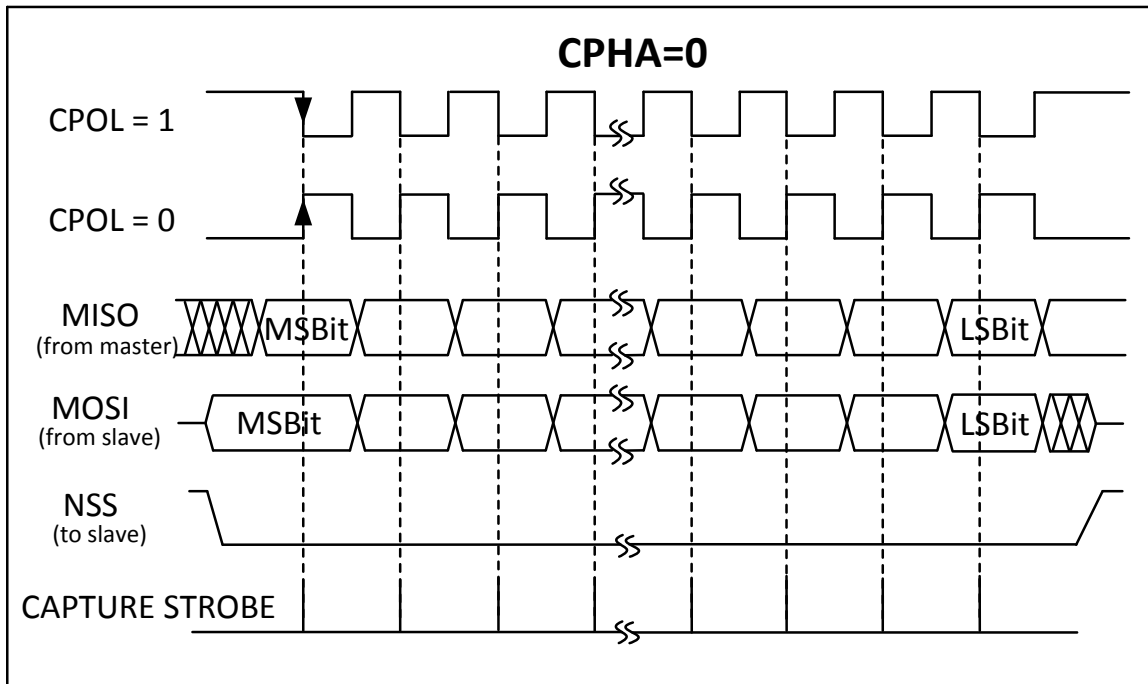
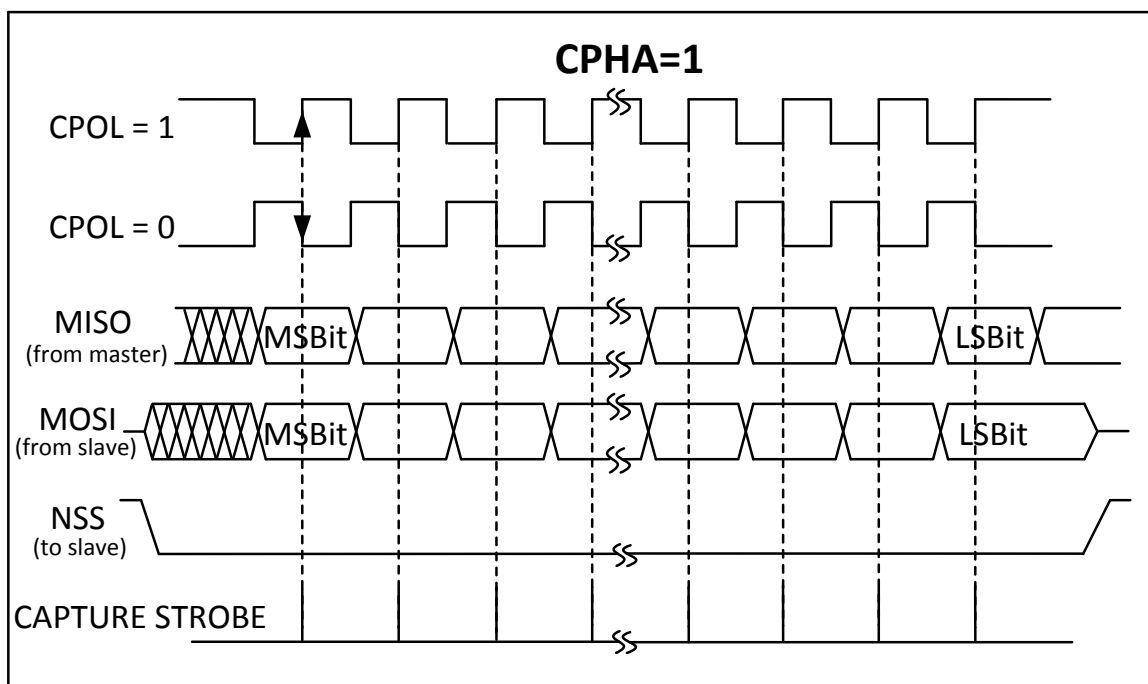
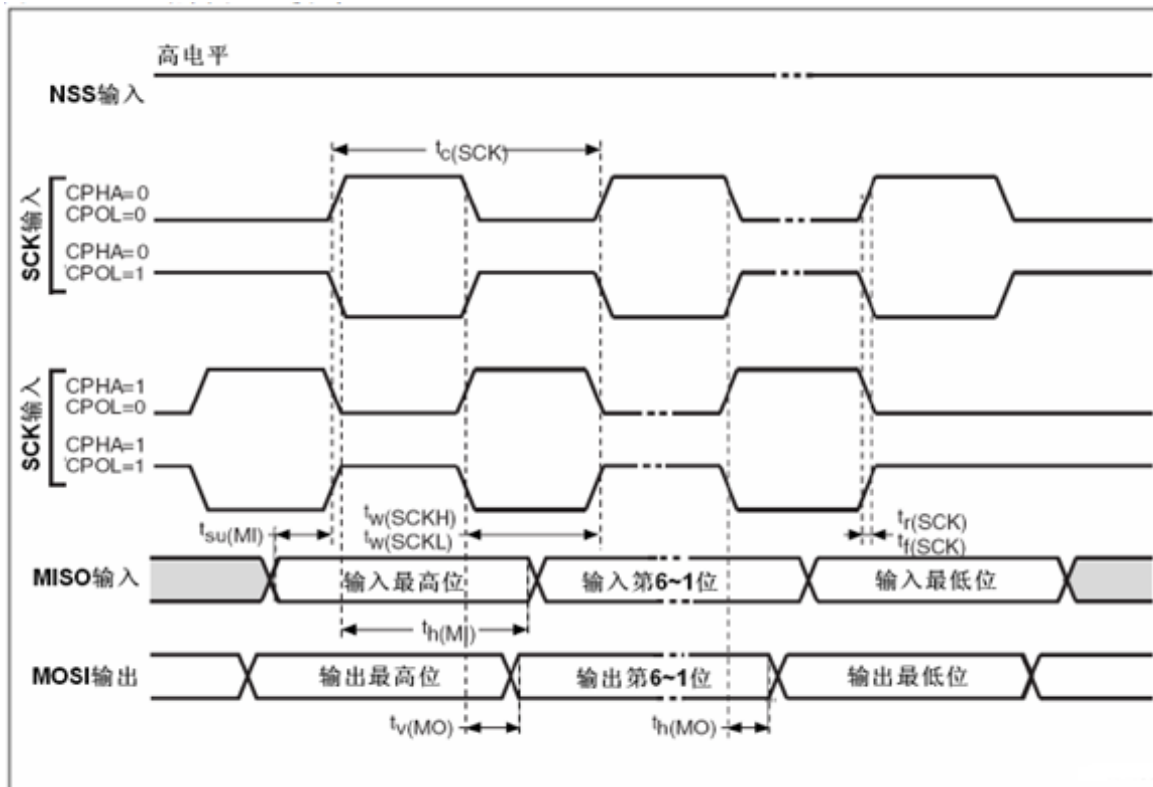


图20. SPI时序图 - 从模式和CPHA=1⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

图21. SPI时序图 - 主模式⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

USB 特性

表41. USB启动时间

符号	参数	最大值	单位
t _{STARTUP} ⁽¹⁾	USB收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表42. USB直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
V _{DD}	USB操作电压 ⁽²⁾		3.0	5.5	V
V _{DI} ⁽⁴⁾	差分输入灵敏度	I(USBDP, USBDM)	0.2		
V _{CM} ⁽⁴⁾	差分共模范围	包含V _{DI} 范围	0.8	2.5	
V _{SE} ⁽⁴⁾	单端接收器阈值		1.3	2.0	
输出电平					
V _{OL}	静态输出低电平	1.5kΩ的R _L 接至3.6V ⁽⁵⁾		0.3	V
V _{OH}	静态输出高电平	15kΩ的R _L 接至V _{SS} ⁽⁵⁾	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。

2. 为了与USB 2.0全速电气规范兼容，USB DP(D+)引脚必须通过一个1.5kΩ电阻接至3.0~3.6V电压。
3. BLM32F103xB的正确USB功能可以在2.7V得到保证，而不是在2.7~3.0V电压范围下降级的电气特性。
4. 由综合评估保证，不在生产中测试。
5. R_L 是连接到USB驱动器上的负载。

图22. USB时序：数据信号上升和下降时间定义

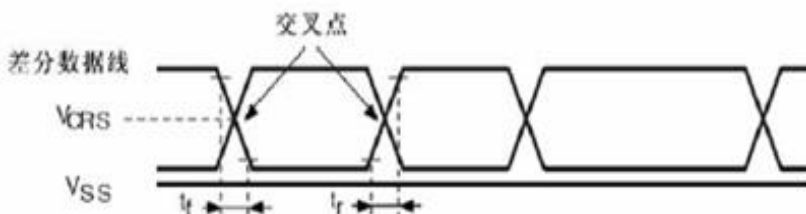


表43. USB全速电气特性⁽¹⁾

符号	参数	条件	最大值	最小值	单位
t_r	上升时间 ⁽²⁾	$C_L \leq 50\text{pF}$	4	20	ns
t_f	下降时间 ⁽²⁾	$C_L \leq 50\text{pF}$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	90	110	%
V_{CRS}	输出信号交叉电压		1.3	2.0	V

1. 由设计保证，不在生产中测试。
2. 测量数据信号从10%至90%。更多详细信息，参见USB规范第7章(2.0版)。

5.3.16 CAN(控制器局域网)接口

有关输入输出复用功能引脚(CAN_TX和CAN_RX)的特性详情，参见第5.3.12节。

5.3.17 12位ADC特性

除非特别说明，表44的参数是使用符合表8的条件的环境温度、 f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

注：建议在每次上电时执行一次校准。

表44. ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		3	5	5.5	V
V_{REF+}	正参考电压		3		V_{DDA}	V
f_{ADC}	ADC时钟频率				14	MHz
$f_S^{(2)}$	采样速率				1	MHz
$f_{TRIG}^{(2)}$	外部触发频率	$f_{ADC} = 14\text{MHz}$				kHz
						$1/f_{ADC}$
$V_{AIN}^{(3)}$	转换电压范围		0(V_{SSA} 或 V_{REF-} -连接到地)		V_{REF+}	V
$R_{AIN}^{(2)}$	外部输入阻抗		参见公式1和表46			k Ω
$R_{ADC}^{(2)}$	采样开关电阻					k Ω
$C_{ADC}^{(2)}$	内部采样和保持电容					pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 14\text{MHz}$				μs
						$1/f_{ADC}$
$t_{lat}^{(2)}$	注入触发转换时延	$f_{ADC} = 14\text{MHz}$				μs
						$1/f_{ADC}$
$t_{latr}^{(2)}$	常规触发转换时延	$f_{ADC} = 14\text{MHz}$				μs
						$1/f_{ADC}$
$t_S^{(2)}$	采样时间	$f_{ADC} = 14\text{MHz}$				μs
						$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电时间					μs
$t_{CONV}^{(2)}$	总的转换时间(包括采样时间)	$f_{ADC} = 14\text{MHz}$				μs
			14~252(采样 t_S +逐步逼近12.5)			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在VFQFPN36、LQFP48和LQFP64封装产品中， V_{REF+} 在内部连接到 V_{DDA} ， V_{REF-} 在内部连接到 V_{SSA} 。TFBGA64封装的产品中具有 V_{REF} 引脚但没有 V_{REF-} 引脚(V_{REF-} 在内部连接到 V_{SSA})。详见表3和图4。
4. 对于外部触发，必须在表46列出的时延中加上一个延迟 $1/f_{PCLK2}$ 。

公式1: 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式1)用于决定最大的外部阻抗，使得误差可以小于1/4 LSB。其中N=12(表示12位分辨率)。

表45. $f_{ADC}=14\text{MHz}^{(1)}$ 时的最大 R_{AIN}

TS(周期)	tS(μs)	最大 $R_{AIN}(\text{k}\Omega)$
1.5	0.11	
7.5	0.54	
13.5	0.96	
28.5	2.04	
41.5	2.96	
55.5	3.96	
71.5	5.11	
239.5	17.1	

1. 由设计保证，不在生产中测试。

表46. ADC精度 - 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK2}=56\text{MHz}$, $f_{ADC}=14\text{MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA}=3\sim 3.6\text{V}$, $T_A=25^\circ\text{C}$ 测量是在ADC校准之后进行的			LSB
EO	偏移误差				
EG	增益误差				
ED	微分线性误差		± 2		
EL	积分线性误差		± 4		

1. ADC的直流精度数值是在经过内部校准后测量的。

2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。

如果正向的注入电流，只要处于第5.3.12节中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响ADC精度。

3. 由综合评估保证，不在生产中测试。

表47. ADC精度⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK2}=56\text{MHz}$, $f_{ADC}=14\text{MHz}$, $R_{AIN} < 10\text{k}\Omega$, $V_{DDA}=2.4\sim 3.6\text{V}$ 测量是在ADC校准之后进行的			LSB
EO	偏移误差				
EG	增益误差				
ED	微分线性误差		± 2		
EL	积分线性误差		± 4		

1. ADC的直流精度数值是在经过内部校准后测量的。

2. 最佳的性能可以在受限的 V_{DD} 、频率、 V_{REF} 和温度范围下实现。

3. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。

如果正向的注入电流，只要处于第5.3.12节中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响ADC精度。

4. 由综合评估保证，不在生产中测试。

图23. ADC精度特性

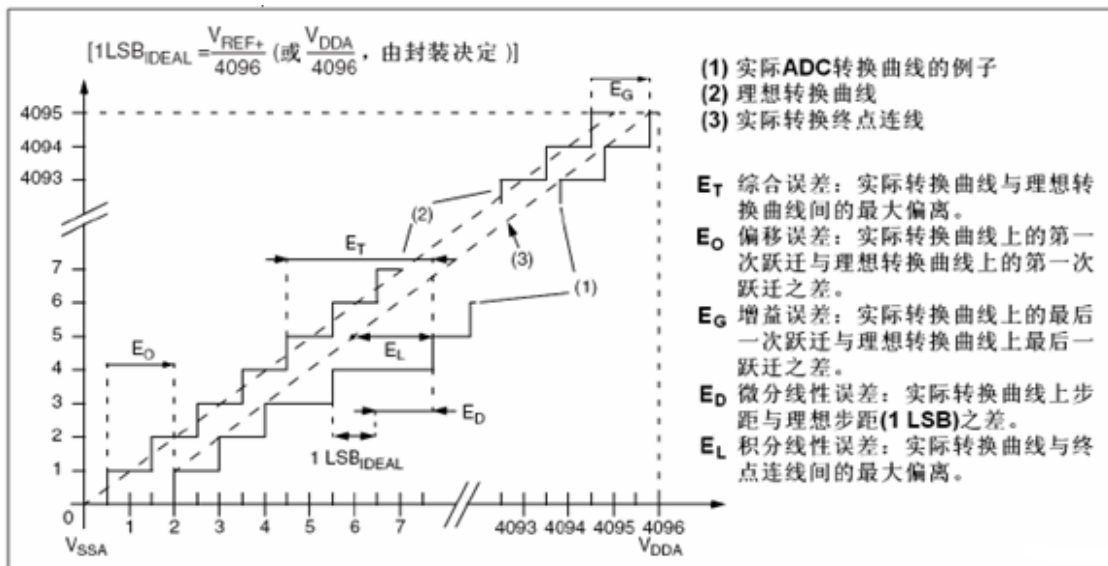
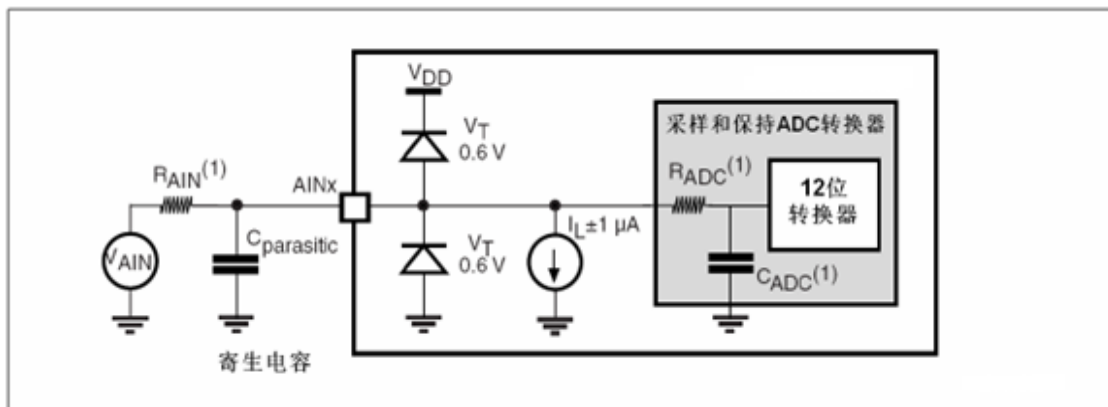


图24. 使用ADC典型的连接图



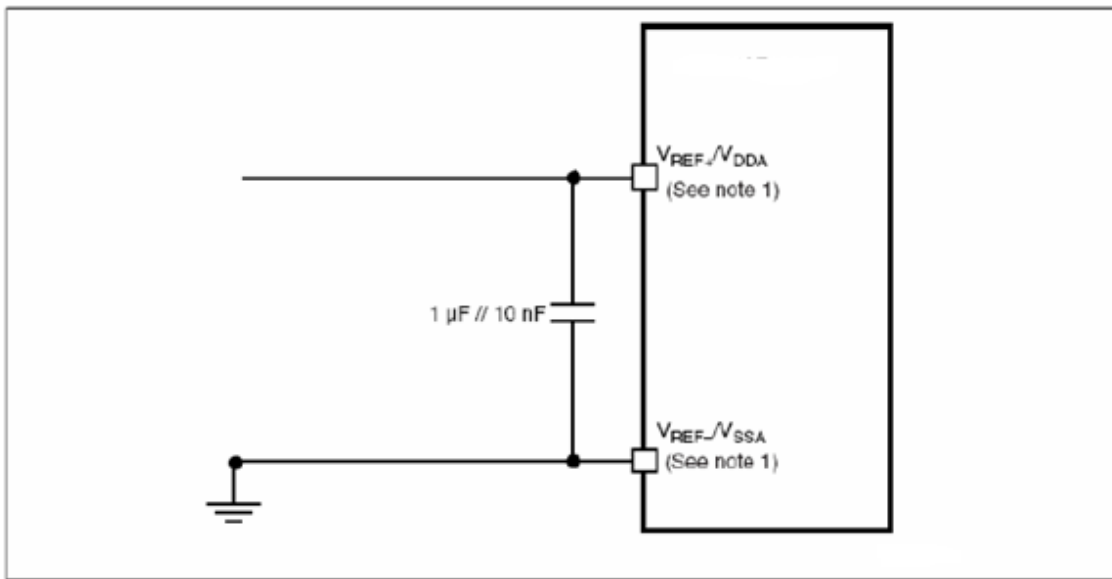
1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值, 参见表44。

2. $C_{\text{parasitic}}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{\text{parasitic}}$ 数值将降低转换的精度, 解决的办法是减小 f_{ADC} 。

PCB设计建议

电源的去耦必须按照图25连接。图中的10nF电容必须是瓷介电容(好的质量), 它们应该尽可能地靠近MCU芯片。

图25. 供电电源和参考电源去藕线路(V_{REF+} 与 V_{DDA} 相连)



1. V_{REF+} 和 V_{REF-} 输入只出现在100脚以上的产品。

5.3.18 温度传感器特性

表48. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度		±1.5		°C
Avg_Slope ⁽¹⁾	平均斜率		4.78		mV/°C
$V_{25}^{(1)}$	在25°C时的电压		1.4		V
$t_{START}^{(2)}$	建立时间		10		μs
$T_{S_temp}^{(2)(3)}$	当读取温度时, ADC采样时间				μs

1. 由综合评估保证, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.19 DAC特性

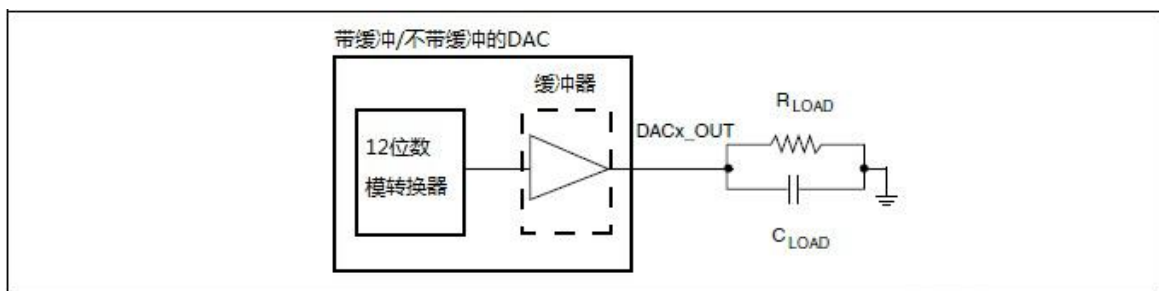
表49. DAC特性

符号	参数	注释	最小值	典型值	最大值	单位
V _{DDA}	模拟供电电压		3	5	5.5	V
V _{REF+}	参考供电电压	V _{REF+} 必须总是小于V _{DDA}	3		V _{DDA}	V
V _{SSA}	地		0		0	V
R _{LOAD} ⁽¹⁾	有Buffer时, V _{SSA} 上的阻抗					KΩ
	有Buffer时, V _{DDA} 上的阻抗					KΩ
R _O ⁽¹⁾	无Buffer时的输出阻抗	无Buffer时, DAC_OUT与V _{SS} 之间的阻抗最小为1.5MΩ				KΩ
C _{LOAD} ⁽¹⁾	负载	有Buffer时, DAC_OUT上的最大负载				pF
DAC_OUTmin ⁽¹⁾	有Buffer时, DAC_OUT上的最低电压	给DAC一个最大输出偏移,它相当于在V _{REF+} =3.6V时给一个12位的0x0E0~0xF1C之间的输入				V
DAC_OUTmax ⁽¹⁾	有Buffer时, DAC_OUT上的最高电压	或在V _{REF+} =2.4V时给一个12位的0x155~0xEAB之间的输入				V
DAC_OUTmin ⁽¹⁾	无Buffer时, DAC_OUT上的最低电压	给DAC一个最大输出偏移				mV
DAC_OUTmax ⁽¹⁾	无Buffer时, DAC_OUT上的最高电压					V
I _{DDVREF+}	休眠模式(待机模式)下, DAC直流电流损耗	无负载, V _{REF+} =3.6V, 输入最差值0x0E4时的直流损耗				μA
I _{DDA}	休眠模式(待机模式)下, DAC 直流电流损耗	无负载下, 输入中间值0x800				μA
		无负载, V _{REF+} =3.6V, 输入最差值0xF1C时的直流损耗				μA
DNL ⁽²⁾	差分线性, 两个连续值(LSB)之间的差异	DAC配置为10Bit				LSB
		DAC配置为12Bit		±2		LSB
INL ⁽²⁾	非线性积分	DAC配置为10Bit				LSB
		DAC配置为12Bit		±4		LSB

符号	参数	注释	最小值	典型值	最大值	单位
Offset ⁽²⁾	偏移误差 (0x800的测量值 与理想值V _{REF+} /2 之间的差异)	DAC配置为12Bit				
		DAC配置为10Bit, V _{REF+} =3.6V				
		DAC配置为12Bit, V _{REF+} =3.6V				
Gain error ⁽²⁾	增益误差	DAC配置为12Bit				%
t _{SETTLING} ⁽²⁾	建立时间	C _{LOAD} ≤50pF, R _{LOAD} ≥5kΩ			4	μs
Update rate ⁽²⁾	当输入一最小变 量时(输入值以单 BIT累加), DAC_OUT的最 大频率变化	C _{LOAD} ≤50pF, R _{LOAD} ≥5kΩ			1	MS/s
t _{WAKEUP} ⁽²⁾	关断状态下的唤 醒时间(在DAC控 制寄存器内配置 ENx)	C _{LOAD} ≤50pF, R _{LOAD} ≥5kΩ				μs
PSRR+ ⁽¹⁾	供电抑制比 (V _{DDA})(静态直流 测量)	无R _{LOAD} , C _{LOAD} =50pF				dB

1. 设计担保, 非产品测试
2. 初步数值

图26. 12Bit带缓冲/不带缓冲DAC



5.3.20 比较器特性

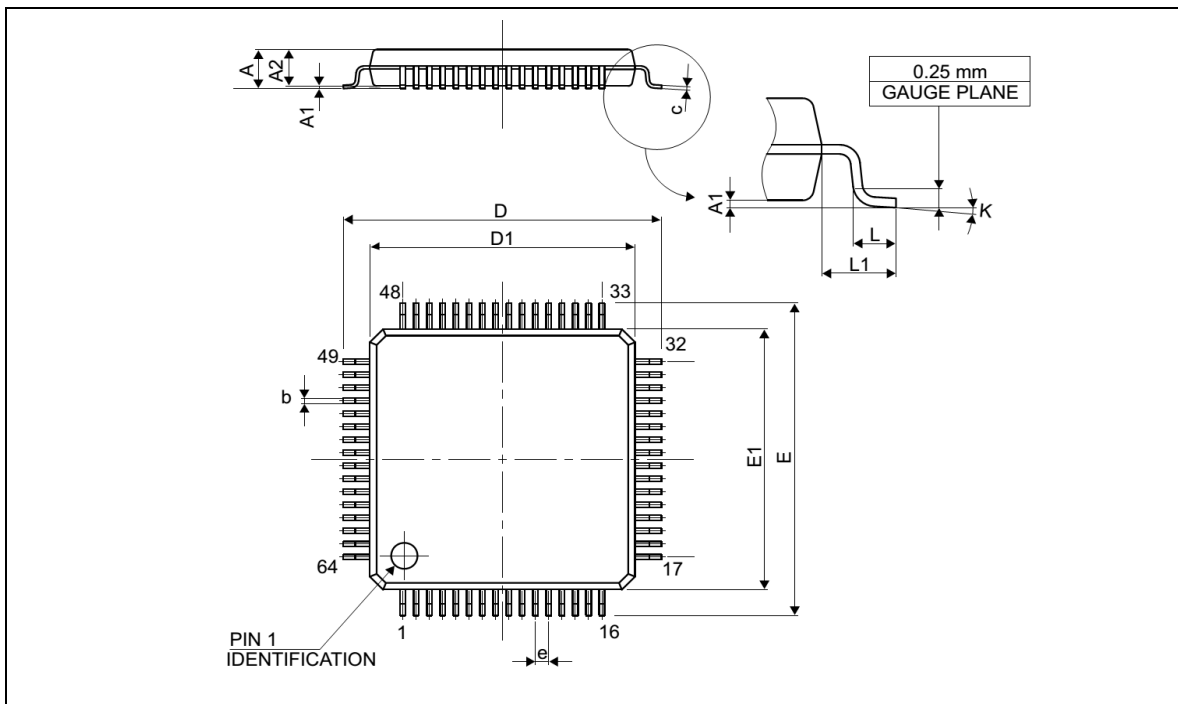
表50. 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位	
V_{DDA}	模拟供电电压		3	5	5.5	V	
V_{IN}	比较器输入电压						
V_{BG}	计数器输入电压						
V_{SC}	计数器偏移电压					mV	
t_{s_SC}	计数器断电启动时间					ms	
t_{START}	比较器启动时间	启动时间满足传播延迟规则				μs	
t_D	在200mV的基值， 100mV的过驱动下的 传播延迟	超低功耗模式				μs	
		低功耗模式					
		普通功耗模式					
		高速模式	$V_{DDA} \geq 2.7 V$			ns	
	$V_{DDA} \leq 2.7 V$						
	在满伏的基值， 100mV的过驱动下的 传播延迟	超低功耗模式				μs	
		低功耗模式					
		普通功耗模式					
高速模式		$V_{DDA} \geq 2.7 V$			ns		
	$V_{DDA} \leq 2.7 V$						
V_{offset}	比较器偏移误差			± 4	± 10	mV	
$\frac{dV_{offset}}{dT}$	偏移误差/温度系数					$\mu V/^\circ C$	
$I_{DD(COMP)}$	COMP电流损耗	超低功耗模式			8	μA	
		低功耗模式			16		
		普通功耗模式			32		
		高速模式			64		
V_{hys}	比较器迟滞现象	无迟滞现象 (COMPxHYST[1:0]=00)				mV	
		低迟滞现象 (COMPxHYST[1:0]=01)	高速模式				
			其他供电模式				
		中迟滞现象 (COMPxHYST[1:0]=10)	高速模式				
			其他供电模式				
		高迟滞现象 (COMPxHYST[1:0]=11)	高速模式				
			其他供电模式				

6. 封装特性

6.1 封装LQFP64

图27. LQFP64, 64脚低剖面方形扁平封装图

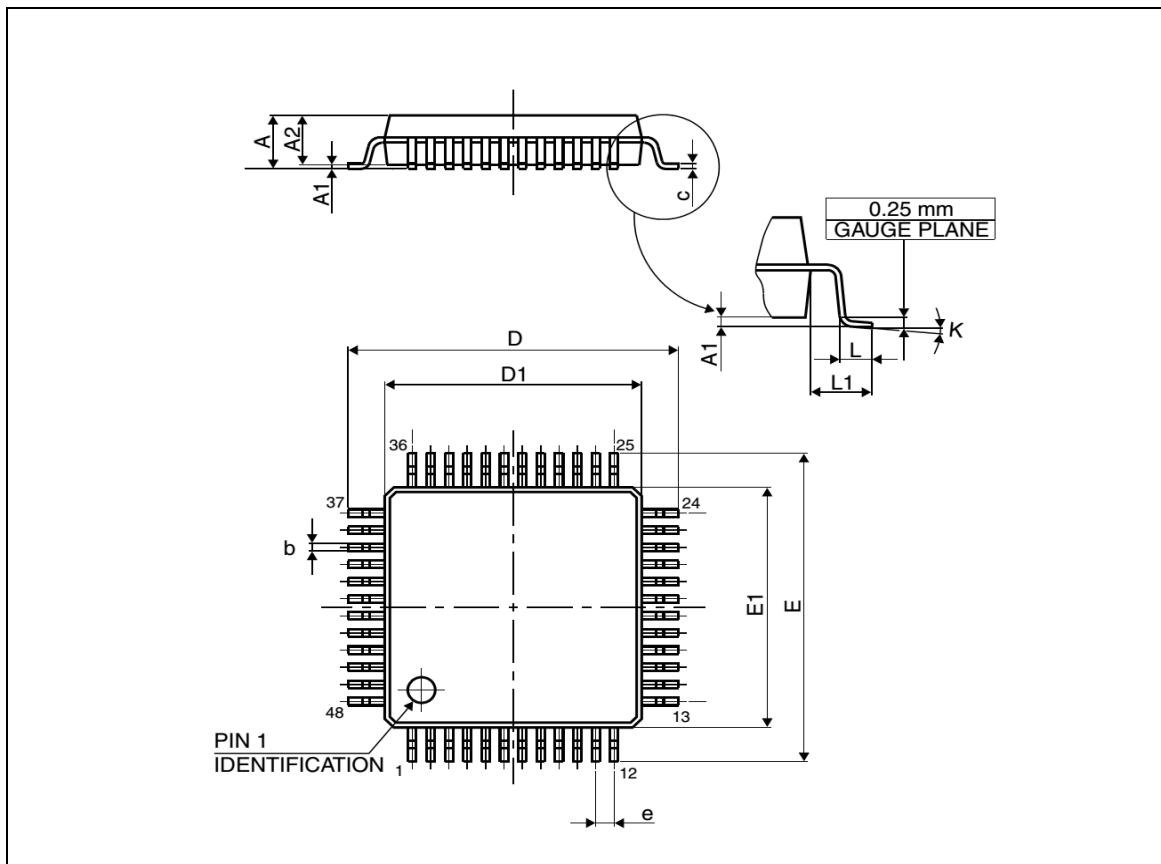


1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

标号	毫米		
	最小值	典型值	最大值
A			1.60
A1	0.05		0.20
A2	1.35	1.40	1.45
b	0.19		0.27
c	0.13		0.18
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e		0.5	
K	0°	3.5°	7°
L	0.45		0.75
L1		1.00	
N	引脚数目=64		

6.2 封装LQFP48

图28. LQFP48, 48脚低剖面方形扁平封装图



1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

标号	毫米		
	最小值	典型值	最大值
A			1.60
A1	0.05		0.20
A2	1.35	1.40	1.45
b	0.19		0.27
c	0.13		0.18
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e		0.5	
K	0°	3.5°	7°
L	0.45		0.75
L1		1.00	
N	引脚数目=64		

7. 修改记录

版本	内容	日期
V1.5	Working version	2015/11/18
V1.6	修改全文格式页眉页脚，更改图表	2016/02/26

8. 联系方式



Betterlife

深圳贝特莱电子科技有限公司

SHENZHEN BETTERLIFE ELECTRONIC SCIENCE AND TECHNOLOGY CO., LTD

地址：深圳市南山区高新科技园中区软件园 4 栋 403 室

电话：0086-0755-26425882

传真：0086-0755-26741889

网站：www.blestech.com