

AD5110/AD5112/AD5114

产品特性

标称电阻容差误差: ±8%(最大值)

游标电流: ±6 mA

可变电阻器模式下的温度系数: 35 ppm/°C

低功耗: 2.5 μA(最大值, 2.7 V, 125°C)

宽带宽: 4 MHz(5 kΩ选项)

上电EEPROM刷新时间: < 50 μs

125°C时典型数据保留期: 50年

100万写周期

模拟电源电压: 2.3 V至5.5 V

逻辑电源电压: 1.8 V至5.5 V

宽工作温度范围: -40°C至+125°C

2 mm × 2 mm × 0.55 mm、8引脚超薄LFCSP封装

应用

机械电位计的替代产品

便携式电子设备的电平调整

音量控制

低分辨率DAC

LCD面板亮度与对比度控制

可编程电压至电流转换

可编程滤波器、延迟、时间常数

反馈电阻的可编程电源

传感器校准

概述

AD5110/AD5112/AD5114为128/64/32位调整应用提供一种非易失性解决方案, 保证±8%的低电阻容差误差, A、B和W引脚忍受最高±6 mA的电流密度。低电阻容差、低标称温度系数和高带宽特性可以简化开环应用和容差匹配应用。

新的低游标电阻特性将电阻阵列两个末端的游标电阻降低至45 Ω(典型值)。

功能框图

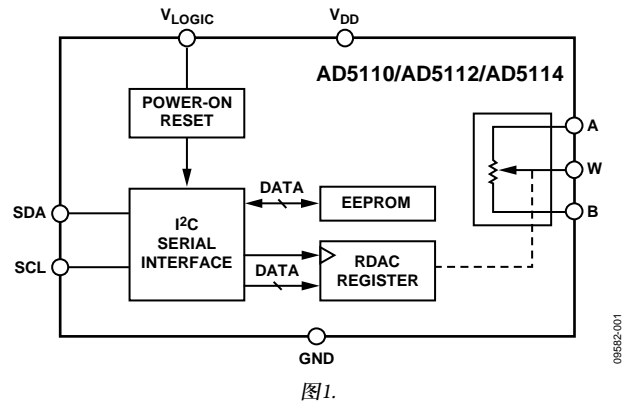


表1. ±8%电阻容差系列

型号	电阻(kΩ)	位	接口
AD5110	10, 80	128	I ² C
AD5111	10, 80	128	升/降
AD5112	5, 10, 80	64	I ² C
AD5113	5, 10, 80	64	升/降
AD5116	5, 10, 80	64	按钮
AD5114	10, 80	32	I ² C
AD5115	10, 80	32	升/降

游标设置可以通过I²C兼容型数字接口控制, 也可以利用该接口回读游标寄存器和EEPROM内容。电阻容差存储在EEPROM中, 端到端容差精度为0.1%。

AD5110/AD5112/AD5114采用2 mm × 2 mm LFCSP封装, 保证工作温度范围为-40°C至+125°C的扩展工业温度范围。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2011–2012 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	工作原理.....	19
应用.....	1	RDAC寄存器和EEPROM.....	19
功能框图.....	1	I ² C串行数据接口.....	19
概述.....	1	输入移位寄存器.....	20
修订历史.....	2	写操作.....	21
技术规格.....	3	EEPROM写入应答轮询.....	23
电气特性—AD5110.....	3	读操作.....	23
电气特性—AD5112.....	5	复位.....	23
电气特性—AD5114.....	7	关断模式.....	23
接口时序规格.....	9	RDAC架构.....	24
移位寄存器和时序图.....	10	对可变电阻进行编程.....	24
绝对最大额定值.....	11	对电位计分压器进行编程.....	25
热阻.....	11	端电压范围.....	26
ESD警告.....	11	上电时序.....	26
引脚配置和功能描述.....	12	布局和电源偏置.....	26
典型性能参数.....	13	外形尺寸.....	27
测试电路.....	18	订购指南.....	27

修订历史

2012年11月—修订版A至修订版B

低功耗从2.5 mA更改为2.5 μ A.....	1
表2中I _{DD} 单位从mA更改为 μ A.....	4
表3中I _{DD} 单位从mA更改为 μ A.....	6
表4中I _{DD} 单位从mA更改为 μ A.....	8
更改图45.....	23

2012年4月—修订版0至修订版A

更改“产品特性”部分.....	1
更改表2中的正电源电流.....	4
更改表3中的正电源电流.....	6
更改表4中的正电源电流.....	8
更新“外形尺寸”.....	27

2011年10月—修订版0：初始版

技术规格

电气特性—AD5110

10 k Ω 和80 k Ω 版本：除非另有说明， $V_{DD} = 2.3 \text{ V}$ 至 5.5 V ， $V_{LOGIC} = 1.8 \text{ V}$ 至 V_{DD} ， $V_A = V_{DD}$ ， $V_B = 0 \text{ V}$ ， $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表2.

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
直流特性—可变电阻器模式						
分辨率	N		7			位
电阻积分非线性 ²	R-INL	$R_{AB} = 10 \text{ k}\Omega$, $V_{DD} = 2.3 \text{ V}$ 至 2.7 V $R_{AB} = 10 \text{ k}\Omega$, $V_{DD} = 2.7 \text{ V}$ 至 5.5 V $R_{AB} = 80 \text{ k}\Omega$	-2.5 -1 -0.5	± 0.5 ± 0.25 ± 0.1	+2.5 +1 +0.5	LSB LSB LSB
电阻差分非线性 ²	R-DNL		-1	± 0.25	+1	LSB
标称电阻容差	$\Delta R_{AB}/R_{AB}$		-8		+8	%
电阻温度系数 ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	代码 = 满量程		35		ppm/ $^\circ\text{C}$
游标电阻	R_W	代码 = 零电平		70	140	Ω
	R_{BS}	代码 = 底部量程		45	80	Ω
	R_{TS}	代码 = 顶部量程		70	140	Ω
直流特性—电位计分压器模式						
积分非线性 ⁴	积分非线性(INL)		-0.5	± 0.15	+0.5	LSB
差分非线性 ⁴	微分非线性(DNL)		-0.5	± 0.15	+0.5	LSB
满量程误差	V_{WFSE}	$R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 80 \text{ k}\Omega$	-2.5 -1.5			LSB LSB
零刻度误差	V_{WZSE}	$R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 80 \text{ k}\Omega$			1.5 0.5	LSB LSB
分压器温度系数 ³	$(\Delta V_W/V_W)/\Delta T \times 10^6$	代码 = 半量程		± 10		ppm/ $^\circ\text{C}$
电阻端						
最大连续 I_A 、 I_B 和 I_W 电流 ³		$R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 80 \text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
端电压范围 ⁵			GND		V_{DD}	V
电容A、电容B ³	C_A, C_B	$f = 1 \text{ MHz}$ ，针对GND测量，代码 = 半量程， $V_W = V_A = 2.5 \text{ V}$ 或 $V_W = V_B = 2.5 \text{ V}$		20		pF
电容W ³	C_W	$f = 1 \text{ MHz}$ ，针对GND测量，代码 = 半量程， $V_A = V_B = 2.5 \text{ V}$ $V_A = V_W = V_B$		35		pF
共模漏电流 ³			-500	± 15	+500	nA
数字输入						
输入逻辑 ³						
高电平	V_{INH}	$V_{LOGIC} = 1.8 \text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3 \text{ V}$ 至 5.5 V	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
低电平	V_{INL}	$V_{LOGIC} = 1.8 \text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3 \text{ V}$ 至 5.5 V			$0.2 \times V_{LOGIC}$ $0.3 \times V_{LOGIC}$	V V
输入迟滞 ³	V_{HYST}		$0.1 \times V_{LOGIC}$			V
输入电流 ³	I_{IN}				± 1	μA
输入电容 ³	C_{IN}			5		pF
数字输出(SDA)						
输出低电平 ³	V_{OL}	$I_{SINK} = 3 \text{ mA}$ $I_{SINK} = 6 \text{ mA}$			0.2 0.4	V V
三态漏电流			-1		+1	μA
三态输出电容 ³				2		pF

AD5110/AD5112/AD5114

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
电源						
单电源电压范围			2.3		5.5	V
逻辑电源电压范围			1.8		V_{DD}	V
正电源电流	I_{DD}	$V_{DD} = 5\text{ V}$ $V_{DD} = 2.7\text{ V}$ $V_{DD} = 2.3\text{ V}$		0.75	3.5	μA
EEMEM存储电流 ^{3,6}	$I_{DD_NVM_STORE}$			2		μA
EEMEM读取电流 ^{3,7}	$I_{DD_NVM_READ}$			320		μA
逻辑电源电流	I_{LOGIC}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		30		nA
功耗 ⁸	P_{DISS}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		5		μW
电源抑制 ³	PSR	$\Delta V_{DD}/\Delta V_{SS} = 5\text{ V} \pm 10\%$				
		$R_{AB} = 10\text{ k}\Omega$		-50		dB
		$R_{AB} = 80\text{ k}\Omega$		-64		dB
动态特性 ^{3,9}						
带宽	带宽	代码 = 半量程, -3 dB $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		2		MHz
				200		kHz
总谐波失真	总谐波失真(THD)	$V_A = V_{DD}/2 + 1\text{ V rms}$, $V_B = V_{DD}/2$, $f = 1\text{ kHz}$, 代码 = 半量程 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		-80		dB
				-85		dB
V_W 建立时间	t_s	$V_A = 5\text{ V}$, $V_B = 0\text{ V}$, $\pm 0.5\text{ LSB}$ 误差带 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		3		μs
				12		μs
电阻噪声密度	e_{N_WB}	代码 = 半量程, $T_A = 25^\circ\text{C}$, $f = 100\text{ kHz}$ $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		9		nV/ $\sqrt{\text{Hz}}$
				20		nV/ $\sqrt{\text{Hz}}$
FLASH/EE存储器可靠性 ³						
耐久性 ¹⁰		$T_A = 25^\circ\text{C}$		1		百万周期
			100			千周期
数据保留期 ¹¹				50		年

¹ 典型值代表25°C、 $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 且 $V_{LOGIC} = 5\text{ V}$ 时的读数平均值。

² 电阻位置非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。最大游标电阻限制在 $0.75 \times V_{DD}/R_{AB}$ 。

³ 通过设计和特性保证, 但未经生产测试。

⁴ INL和DNL在 V_{WB} 处测得, 条件是将RDAC配置为类似于电压输出DAC的电位分压器。 $V_A = V_{DD}$ 且 $V_B = 0\text{ V}$ 。单调性工作条件保证DNL规格限值为 $\pm 1\text{ LSB}$ (最大值)。

⁵ 电阻端A、电阻端B和电阻端W彼此没有极性限制。

⁶ 与工作电流不同, NVM编程的电源电流持续约30 ms。

⁷ 与工作电流不同, NVM读取的电源电流持续约20 μs 。

⁸ P_{DISS} 可通过 $(I_{DD} \times V_{DD}) + (I_{LOGIC} \times V_{LOGIC})$ 计算。

⁹ 所有动态特性均采用 $V_{DD} = 5.5\text{ V}$ 且 $V_{LOGIC} = 5\text{ V}$ 。

¹⁰ 耐久性在150°C时依据JEDEC 22标准方法A117认定为100,000个周期。

¹¹ 根据JEDEC 22标准方法A117, 保持期限相当于125°C结温时的寿命。保持期限(基于1 eV的激活能)随Flash/EE存储器的结温递减。

电气特性—AD5112

5 k Ω 、10 k Ω 和80 k Ω 版本：除非另有说明， $V_{DD} = 2.3 \text{ V}$ 至 5.5 V ， $V_{LOGIC} = 1.8 \text{ V}$ 至 V_{DD} ， $V_A = V_{DD}$ ， $V_B = 0 \text{ V}$ ， $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表3.

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
直流特性—可变电阻器模式						
分辨率	N		6			位
电阻积分非线性 ²	R-INL	$R_{AB} = 5 \text{ k}\Omega$ ， $V_{DD} = 2.3 \text{ V}$ 至 2.7 V $R_{AB} = 5 \text{ k}\Omega$ ， $V_{DD} = 2.7 \text{ V}$ 至 5.5 V $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 80 \text{ k}\Omega$	-2.5 -1 -1 -0.25	± 0.5 ± 0.25 ± 0.25 ± 0.1	+2.5 +1 +1 +0.25	LSB LSB LSB LSB
电阻差分非线性 ²	R-DNL		+1	± 0.25	+1	LSB
标称电阻容差	$\Delta R_{AB}/R_{AB}$		-8		+8	%
电阻温度系数 ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	代码 = 满量程		35		ppm/ $^\circ\text{C}$
游标电阻	R_W	代码 = 零电平		70	140	Ω
	R_{BS}	代码 = 底部量程		45	80	Ω
	R_{TS}	代码 = 顶部量程		70	140	Ω
直流特性—电位计分压器模式						
积分非线性 ⁴	积分非线性(INL)		-0.5	± 0.15	+0.5	LSB
差分非线性 ⁴	微分非线性(DNL)		-0.5	± 0.15	+0.5	LSB
满量程误差	V_{WFSE}	$R_{AB} = 5 \text{ k}\Omega$ $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 80 \text{ k}\Omega$	-2.5 -1.5 -1			LSB LSB LSB
零刻度误差	V_{WZSE}	$R_{AB} = 5 \text{ k}\Omega$ $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 80 \text{ k}\Omega$			1.5 1 0.25	LSB LSB LSB
分压器温度系数 ³	$(\Delta V_W/V_W)/\Delta T \times 10^6$	代码 = 半量程		± 10		ppm/ $^\circ\text{C}$
电阻端						
最大连续 I_A 、 I_B 和 I_W 电流 ³		$R_{AB} = 5 \text{ k}\Omega$ ，10 k Ω $R_{AB} = 80 \text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
端电压范围 ⁵			GND		V_{DD}	V
电容A、电容B ³	C_A 、 C_B	$f = 1 \text{ MHz}$ ，针对GND测量，代码 = 半量程， $V_W = V_A = 2.5 \text{ V}$ 或 $V_W = V_B = 2.5 \text{ V}$		20		pF
电容W ³	C_W	$f = 1 \text{ MHz}$ ，针对GND测量，代码 = 半量程， $V_A = V_B = 2.5 \text{ V}$ $V_A = V_W = V_B$		35		pF
共模漏电流 ³			-500	± 15	+500	nA
数字输入						
输入逻辑 ³						
高电平	V_{INH}	$V_{LOGIC} = 1.8 \text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3 \text{ V}$ 至 5.5 V	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
低电平	V_{INL}	$V_{LOGIC} = 1.8 \text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3 \text{ V}$ 至 5.5 V			$0.2 \times V_{LOGIC}$ $0.3 \times V_{LOGIC}$	V V
输入迟滞 ³	V_{HYST}		$0.1 \times V_{LOGIC}$			V
输入电流 ³	I_N				± 1	μA
输入电容 ³	C_{IN}			5		pF
数字输出(SDA)						
输出低电平 ³	V_{OL}	$I_{SINK} = 3 \text{ mA}$ $I_{SINK} = 6 \text{ mA}$			0.2 0.4	V V
三态漏电流			-1		+1	μA
三态输出电容 ³				2		pF

AD5110/AD5112/AD5114

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
电源						
单电源电压范围			2.3		5.5	V
逻辑电源电压范围			1.8		V _{DD}	V
正电源电流	I _{DD}	V _{DD} = 5 V		0.75	3.5	μA
		V _{DD} = 2.7 V			2.5	μA
		V _{DD} = 2.3 V			2.4	μA
EEMEM存储电流 ^{3,6}	I _{DD,NVM_STORE}			2		mA
EEMEM读取电流 ^{3,7}	I _{DD,NVM_READ}			320		μA
逻辑电源电流	I _{LOGIC}	V _{IH} = V _{LOGIC} or V _{IL} = GND		30		nA
功耗 ⁸	P _{DISS}	V _{IH} = V _{LOGIC} or V _{IL} = GND		5		μW
电源抑制 ³	PSR	ΔV _{DD} /ΔV _{SS} = 5 V ± 10%				
		R _{AB} = 5 kΩ		-43		dB
		R _{AB} = 10 kΩ		-50		dB
		R _{AB} = 80 kΩ		-64		dB
动态特性 ^{3,9}						
带宽	带宽	代码 = 半量程 - 3 dB				
		R _{AB} = 5 kΩ		4		MHz
		R _{AB} = 10 kΩ		2		MHz
		R _{AB} = 80 kΩ		200		kHz
总谐波失真	总谐波失真(THD)	V _A = V _{DD} /2 + 1 V rms, V _B = V _{DD} /2, f = 1 kHz, 代码 = 半量程				
		R _{AB} = 5 kΩ		-75		dB
		R _{AB} = 10 kΩ		-80		dB
		R _{AB} = 80 kΩ		-85		dB
V _W 建立时间	t _s	V _A = 5 V, V _B = 0 V, ±0.5 LSB误差带				μs
		R _{AB} = 5 kΩ		2.5		μs
		R _{AB} = 10 kΩ		3		μs
		R _{AB} = 80 kΩ		10		μs
电阻噪声密度	e _{N,WB}	代码 = 半量程, T _A = 25°C, f = 100 kHz				
		R _{AB} = 5 kΩ		7		nV/√Hz
		R _{AB} = 10 kΩ		9		nV/√Hz
		R _{AB} = 80 kΩ		20		nV/√Hz
FLASH/EE存储器可靠性 ³						
耐久性 ¹⁰		T _A = 25°C		1		百万周期
			100			千周期
数据保留期 ¹¹				50		年

¹ 典型值代表25°C、V_{DD} = 5 V、V_{SS} = 0 V且V_{LOGIC} = 5 V时的读数平均值。

² 电阻位置非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。最大游标电阻限制在0.75 × V_{DD}/R_{AB}。

³ 通过设计和特性保证，但未经生产测试。

⁴ INL和DNL在V_{WB}处测得，条件是将RDAC配置为类似于电压输出DAC的电位分压器。V_A = V_{DD}且V_B = 0 V。单调性工作条件保证DNL规格限值为±1 LSB(最大值)。

⁵ 电阻端A、电阻端B和电阻端W彼此没有极性限制。

⁶ 与工作电流不同，NVM编程的电源电流持续约30 ms。

⁷ 与工作电流不同，NVM读取的电源电流持续约20 μs。

⁸ P_{DISS}可通过(I_{DD} × V_{DD}) + (I_{LOGIC} × V_{LOGIC})计算。

⁹ 所有动态特性均采用V_{DD} = 5.5 V且V_{LOGIC} = 5 V。

¹⁰ 耐久性在150°C时依据JEDEC 22标准方法A117认定为100,000个周期。

¹¹ 根据JEDEC 22标准方法A117，保持期限相当于125°C结温时的寿命。保持期限(基于1 eV的激活能)随Flash/EE存储器的结温递减。

电气特性—AD5114

10 kΩ和80 kΩ版本：除非另有说明， $V_{DD} = 2.3\text{ V}$ 至 5.5 V ， $V_{LOGIC} = 1.8\text{ V}$ 至 V_{DD} ， $V_A = V_{DD}$ ， $V_B = 0\text{ V}$ ， $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表4.

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
直流特性—可变电阻器模式						
分辨率	N		5			Bits
电阻积分非线性 ²	R-INL		-0.5		+0.5	LSB
电阻差分非线性 ²	R-DNL		-0.25		+0.25	LSB
标称电阻容差	$\Delta R_{AB}/R_{AB}$		-8		+8	%
电阻温度系数 ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	代码 = 满量程		35		ppm/°C
游标电阻	R_W	代码 = 零电平		70	140	Ω
	R_{BS}	代码 = 底部量程		45	80	Ω
	R_{TS}	代码 = 顶部量程		70	140	Ω
直流特性—电位计分压器模式						
积分非线性 ⁴	积分非线性(INL)		-0.25		+0.25	LSB
差分非线性 ⁴	微分非线性(DNL)		-0.25		+0.25	LSB
满量程误差	V_{WFSE}	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$	-1			LSB
零刻度误差	V_{WZSE}	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$	-0.5		1	LSB
分压器温度系数 ³	$(\Delta V_W/V_W)/\Delta T \times 10^6$	代码 = 半量程		±10		ppm/°C
电阻端						
最大连续 I_A 、 I_B 和 I_W 电流 ³		$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$	-6		+6	mA
端电压范围 ⁵			-1.5		+1.5	mA
电容A、电容B ³	C_A , C_B	f = 1 MHz, 针对GND测量, 代码 = 半量程, $V_W = V_A = 2.5\text{ V}$ 或 $V_W = V_B = 2.5\text{ V}$	GND	20	V_{DD}	V
电容W ³	C_W	f = 1 MHz, 针对GND测量, 代码 = 半量程, $V_A = V_B = 2.5\text{ V}$		35		pF
共模漏电流 ³		$V_A = V_W = V_B$	-500	±15	+500	nA
数字输入						
输入逻辑 ³						
高电平	V_{INH}	$V_{LOGIC} = 1.8\text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3\text{ V}$ 至 5.5 V	$0.8 \times V_{LOGIC}$			V
低电平	V_{INL}	$V_{LOGIC} = 1.8\text{ V}$ 至 2.3 V $V_{LOGIC} = 2.3\text{ V}$ 至 5.5 V			$0.2 \times V_{LOGIC}$	V
输入迟滞 ³	V_{HYST}		$0.1 \times V_{LOGIC}$		$0.3 \times V_{LOGIC}$	V
输入电流 ³	I_N				±1	μA
输入电容 ³	C_{IN}			5		pF
数字输出(SDA)						
输出低电平 ³	V_{OL}	$I_{SINK} = 3\text{ mA}$ $I_{SINK} = 6\text{ mA}$			0.2	V
三态漏电流			-1		+1	μA
三态输出电容 ³				2		pF

AD5110/AD5112/AD5114

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
电源						
单电源电压范围			2.3		5.5	V
逻辑电源电压范围			1.8		V_{DD}	V
正电源电流	I_{DD}	$V_{DD} = 5\text{ V}$ $V_{DD} = 2.7\text{ V}$ $V_{DD} = 2.3\text{ V}$		0.75	3.5	μA
EEMEM存储电流 ^{3,6}	$I_{DD_NVM_STORE}$			2	2.4	μA
EEMEM读取电流 ^{3,7}	$I_{DD_NVM_READ}$			320		μA
逻辑电源电流	I_{LOGIC}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		30		nA
功耗 ⁸	P_{DISS}	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = \text{GND}$		5		μW
电源抑制 ³	PSR	$\Delta V_{DD}/\Delta V_{SS} = 5\text{ V} \pm 10\%$				
		$R_{AB} = 10\text{ k}\Omega$		-50		dB
		$R_{AB} = 80\text{ k}\Omega$		-64		dB
动态特性 ^{3,9}						
带宽	BW	代码 = 半量程, -3 dB $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		2		MHz
				200		kHz
总谐波失真	THD	$V_A = V_{DD}/2 + 1\text{ V rms}$, $V_B = V_{DD}/2$, $f = 1\text{ kHz}$, 代码 = 半量程 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		-80		dB
				-85		dB
V_W 建立时间	t_s	$V_A = 5\text{ V}$, $V_B = 0\text{ V}$, $\pm 0.5\text{ LSB}$ 误差带 $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		2.7		μs
				9.5		μs
电阻噪声密度	e_{N_WB}	代码 = 半量程, $T_A = 25^\circ\text{C}$, $f = 100\text{ kHz}$ $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 80\text{ k}\Omega$		9		nV/ $\sqrt{\text{Hz}}$
				20		nV/ $\sqrt{\text{Hz}}$
FLASH/EE存储器可靠性 ³						
耐久性 ¹⁰		$T_A = 25^\circ\text{C}$		1		百万周期
			100			千周期
数据保留期 ¹¹				50		年

¹ 典型值代表25°C、 $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 且 $V_{LOGIC} = 5\text{ V}$ 时的读数平均值。

² 电阻位置非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。最大游标电阻限制在 $0.75 \times V_{DD}/R_{AB}$ 。

³ 通过设计和特性保证，但未经生产测试。

⁴ INL和DNL在 V_{WB} 处测得，条件是将RDAC配置为类似于电压输出DAC的电位分压器。 $V_A = V_{DD}$ 且 $V_B = 0\text{ V}$ 。单调性工作条件保证DNL规格限值为 $\pm 1\text{ LSB}$ (最大值)。

⁵ 电阻端A、电阻端B和电阻端W彼此没有极性限制。

⁶ 与工作电流不同，NVM编程的电源电流持续约30 ms。

⁷ 与工作电流不同，NVM读取的电源电流持续约20 μs 。

⁸ P_{DISS} 可通过 $(I_{DD} \times V_{DD}) + (I_{LOGIC} \times V_{LOGIC})$ 计算。

⁹ 所有动态特性均采用 $V_{DD} = 5.5\text{ V}$ 且 $V_{LOGIC} = 5\text{ V}$ 。

¹⁰ 耐久性在150°C时依据JEDEC 22标准方法A117认定为100,000个周期。

¹¹ 根据JEDEC 22标准方法A117，保持期限相当于125°C结温时的寿命。保持期限(基于1 eV的激活能)随Flash/EE存储器的结温递减。

接口时序规格

除非另有说明， $V_{\text{LOGIC}} = 1.8\text{ V}$ 至 5.5 V ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表5.

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位	描述
f_{SCL}^2	标准模式			100	kHz	串行时钟频率
	快速模式			400	kHz	
t_1	标准模式	4.0			μs	t_{HIGH} ，SCL高电平时间
	快速模式	0.6			μs	
t_2	标准模式	4.7			μs	t_{LOW} ，SCL低电平时间
	快速模式	1.3			μs	
t_3	标准模式	250			ns	$t_{\text{SU,DAT}}$ ，数据建立时间
	快速模式	100			ns	
t_4	标准模式	0		3.45	μs	$t_{\text{HD,DAT}}$ ，数据保持时间
	快速模式	0		0.9	μs	
t_5	标准模式	4.7			μs	$t_{\text{SU,STA}}$ ，重复起始条件的建立时间
	快速模式	0.6			μs	
t_6	标准模式	4			μs	$t_{\text{HD,STA}}$ ，(重复)起始条件保持时间
	快速模式	0.6			μs	
t_7	标准模式	4.7			μs	t_{BUF} ，一个停止条件与一个起始条件之间的总线空闲时间
	快速模式	1.3			μs	
t_8	标准模式	4			μs	$t_{\text{SU,STO}}$ ，停止条件的建立时间
	快速模式	0.6			μs	
t_9	标准模式			1000	ns	t_{RDA} ，SDA信号的上升时间
	快速模式	$20 + 0.1 C_L$		300	ns	
t_{10}	标准模式			300	ns	t_{FDA} ，SDA信号的下降时间
	快速模式	$20 + 0.1 C_L$		300	ns	
t_{11}	标准模式			1000	ns	t_{RCL} ，SCL信号的上升时间
	快速模式	$20 + 0.1 C_L$		300	ns	
t_{11A}	标准模式			1000	ns	t_{RCL1} ，重复起始条件和应答位后的SCL信号上升时间。
	快速模式	$20 + 0.1 C_L$		300	ns	
t_{12}	标准模式			300	ns	t_{FCL} ，SCL信号的下降时间
	快速模式	$20 + 0.1 C_L$		300	ns	
t_{SP}^3	快速模式	0		50	ns	抑制尖峰的脉冲宽度
$t_{\text{EEPROM_PROGRAM}}^4$			15	50	ms	存储器编程时间
$t_{\text{POWER_UP}}^5$				50	μs	EEPROM上电恢复时间
t_{RESET}				25	μs	复位EEPROM恢复时间

¹ 最大总线电容限制在400 pF。

² SDA和SCL时序通过输入滤波器使能来测量。关闭输入滤波器可提高传输速率，但对器件的EMC特性有不利影响。

³ SCL和SDA输入的输入滤波在快速模式下可抑制小于50 ns的噪声尖峰。

⁴ EEPROM编程时间取决于温度和EEPROM写入周期。温度越低且写入周期越长，时序性能就越高。

⁵ V_{DD} 等于2.3 V后的最长时间。

AD5110/AD5112/AD5114

移位寄存器和时序图

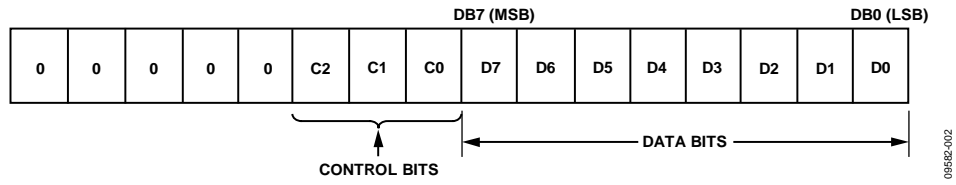


图2. 输入寄存器内容

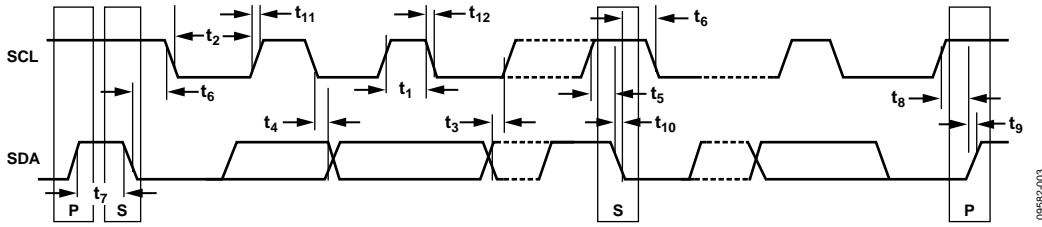


图3. 双线式串行接口时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表6.

参数	额定值
V_{DD} 至GND	-0.3 V至+7.0 V
VLOGIC至GND	-0.3 V至+7.0 V
V_A 、 V_W 、 V_B 至GND	GND - 0.3 V至 $V_{DD} + 0.3$ V
I_A 、 I_W 、 I_B	
脉冲驱动 ¹	
频率 > 10 kHz	
$R_{AW} = 5$ k Ω 和10 k Ω	± 6 mA/d ²
$R_{AW} = 80$ k Ω	± 1.5 mA/d ²
频率 ≤ 10 kHz	
$R_{AW} = 5$ k Ω 和10 k Ω	± 6 mA/ $\sqrt{d^2}$
$R_{AW} = 80$ k Ω	± 1.5 mA/ $\sqrt{d^2}$
连续	
$R_{AW} = 5$ k Ω 和10 k Ω	± 6 mA
$R_{AW} = 80$ k Ω	± 1.5 mA
数字输入SDA和SCL	-0.3 V至+7 V或 $V_{LOGIC} + 0.3$ V (取较小者)
工作温度范围 ³	-40°C至+125°C
最大结温(T_J Max)	150°C
存储温度范围	-65°C至+150°C
回流焊	
峰值温度	260°C
峰值温度时间	20秒至40秒
封装功耗	$(T_J \text{ max} - T_A)/\theta_{JA}$

¹ 最大端电流受以下几个方面限制：开关的最大电流处理能力、封装的最大功耗以及给定电阻条件下可在A、B和W端中任何两个之间施加的最大电压。

² 脉冲占空系数。

³ 包括对EEPROM存储器进行编程。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 由JEDEC规格JESD-51定义，其值取决于测试板和测试环境。

表7. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
8引脚LFCSP	90 ¹	25	°C/W

¹ JEDEC 252P测试板，静止空气(0 m/s气流)。

ESD警告

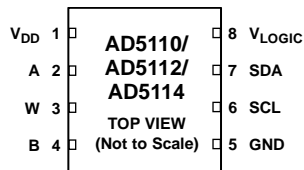


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD5110/AD5112/AD5114

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD IS INTERNALLY FLOATING.

09552-004

图4. 引脚配置

表8. 引脚功能描述

引脚编号	名称	描述
1	V _{DD}	正电源；2.3 V至5.5 V。此引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
2	A	RDAC的A端。GND ≤ V _A ≤ V _{DD} 。
3	W	RDAC的游标端。GND ≤ V _W ≤ V _{DD} 。
4	B	RDAC的B端。GND ≤ V _B ≤ V _{DD} 。
5	GND	接地引脚，逻辑地基准点。
6	SCL	串行时钟线。此引脚与SDA线配合使用，将数据输入或输出16-bit输入寄存器。
7	SDA	串行数据线。此引脚与SCL线配合使用，将数据输入或输出16-bit输入寄存器。它是一种双向开漏数据线，应通过一个外部上拉电阻上拉至电源。
8	V _{LOGIC} EPAD	逻辑电源；1.8 V至V _{DD} 。此引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。 裸露焊盘。裸露焊盘内部浮空。

典型性能参数

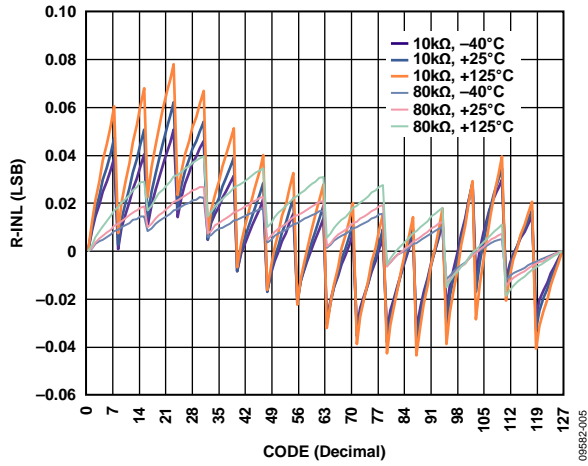


图5. R-INL与代码的关系(AD5110)

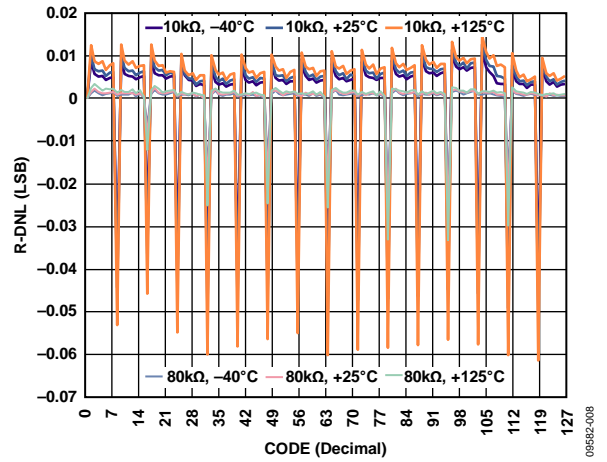


图8. R-DNL与代码的关系(AD5110)

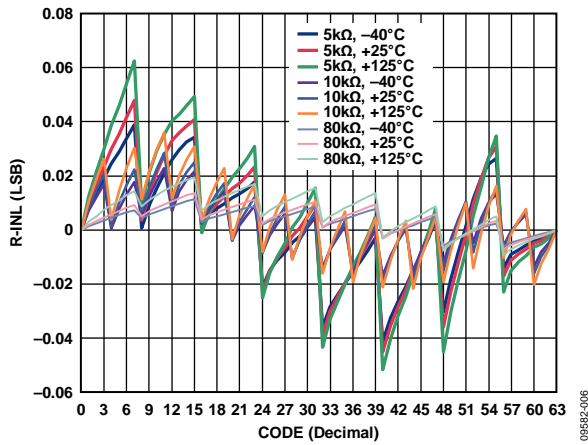


图6. R-INL与代码的关系(AD5112)

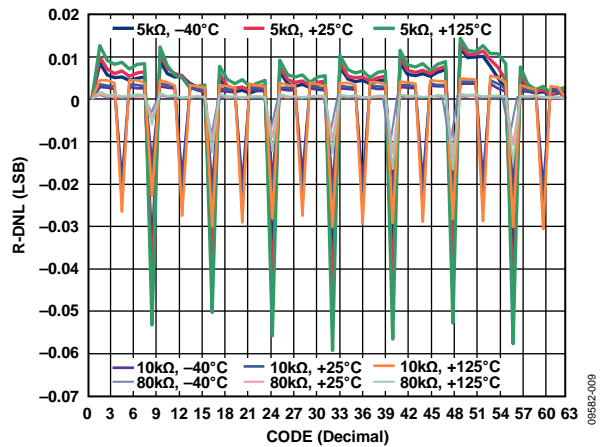


图9. R-DNL与代码的关系(AD5112)

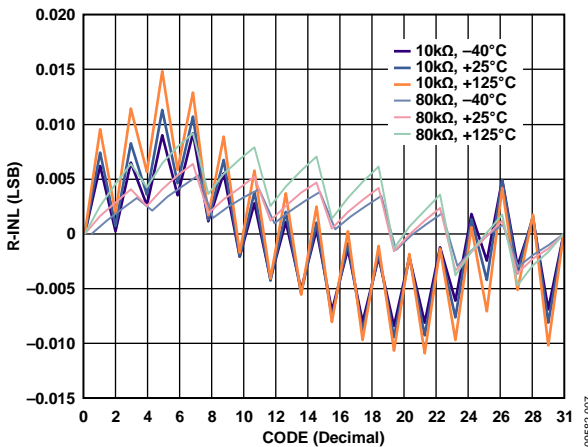


图7. R-INL与代码的关系(AD5114)

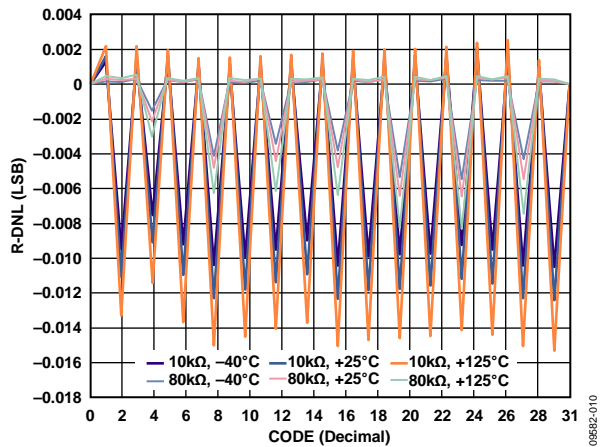


图10. R-DNL与代码的关系(AD5114)

AD5110/AD5112/AD5114

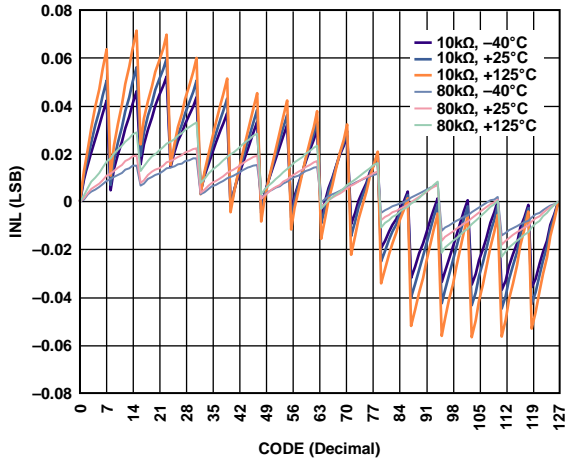


图11. INL与代码的关系(AD5110)

09582-011

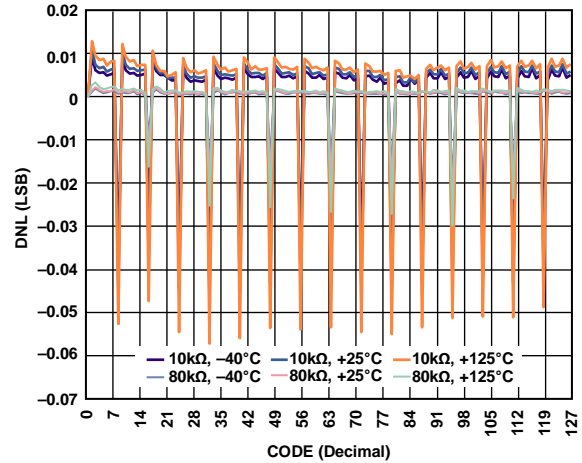


图14. DNL与代码的关系(AD5110)

09582-014

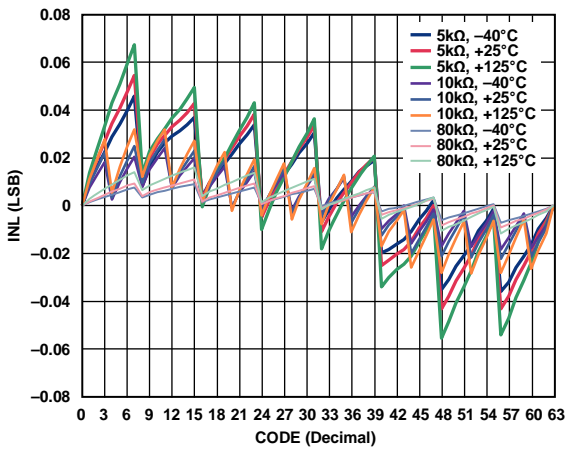


图12. INL与代码的关系(AD5112)

09582-012

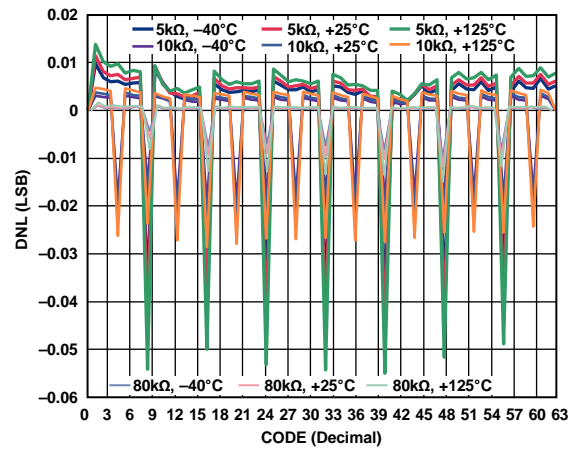


图15. DNL与代码的关系(AD5112)

09582-015

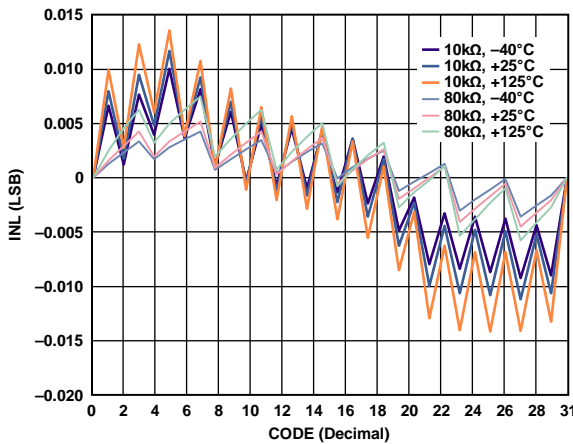


图13. INL与代码的关系(AD5114)

09582-013

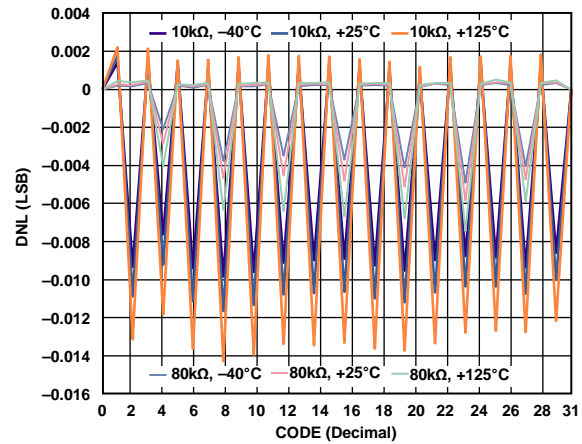


图16. DNL与代码的关系(AD5114)

09582-016

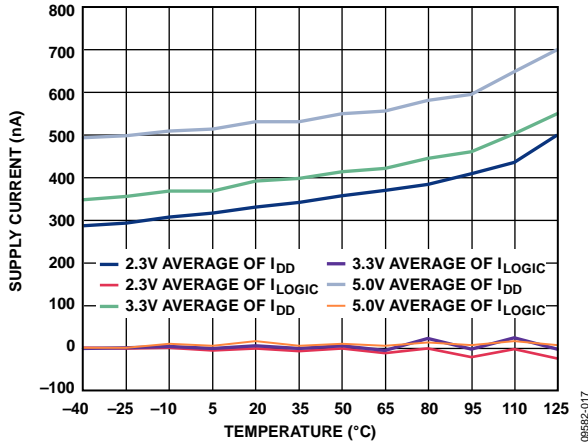


图17. 电源电流与温度的关系

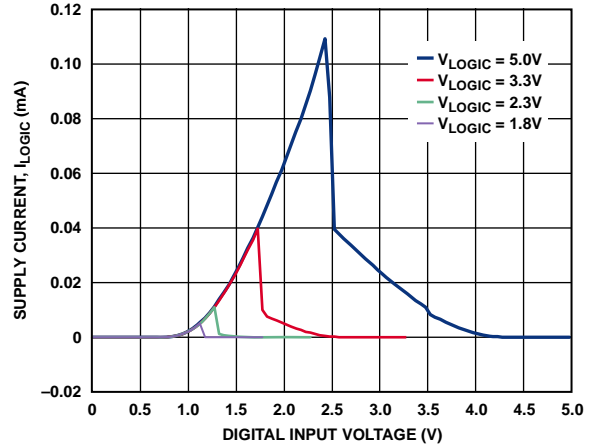


图20. 电源电流(I_{LOGIC})与数字输入电压的关系

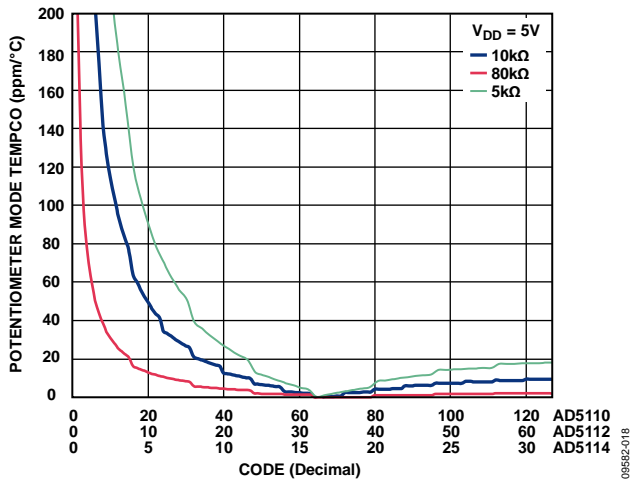


图18. 电位计模式温度系数($(\Delta V_W/V_W)/\Delta T \times 10^6$)与代码的关系

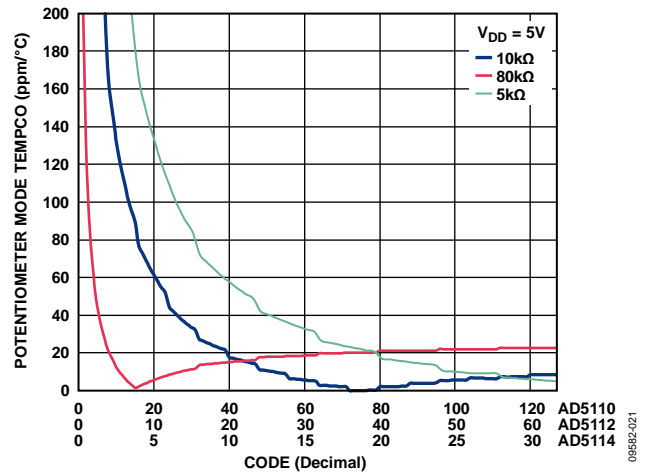


图21. 可变电阻器模式温度系数($(\Delta R_{WB}/R_{WB})/\Delta T \times 10^6$)与代码的关系

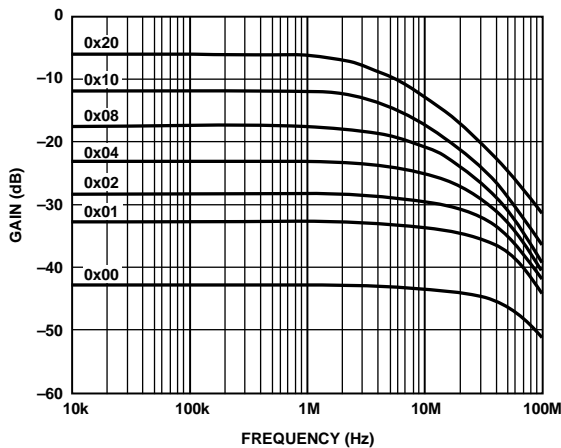


图19. 5 kΩ增益与频率和代码的关系

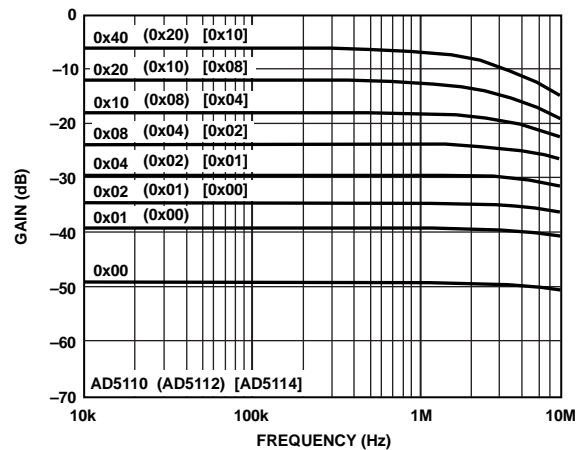


图22. 10 kΩ增益与频率和代码的关系

AD5110/AD5112/AD5114

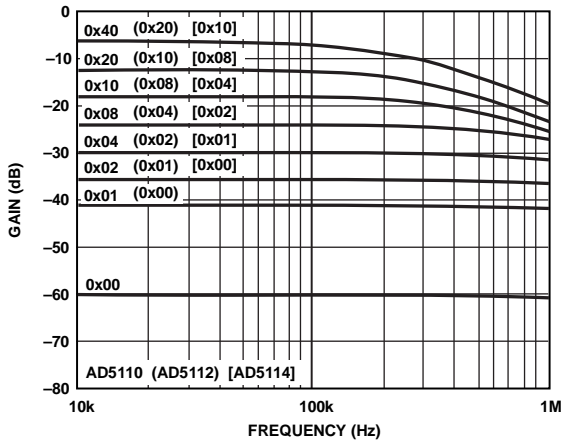


图23. 80 kΩ增益与频率和代码的关系

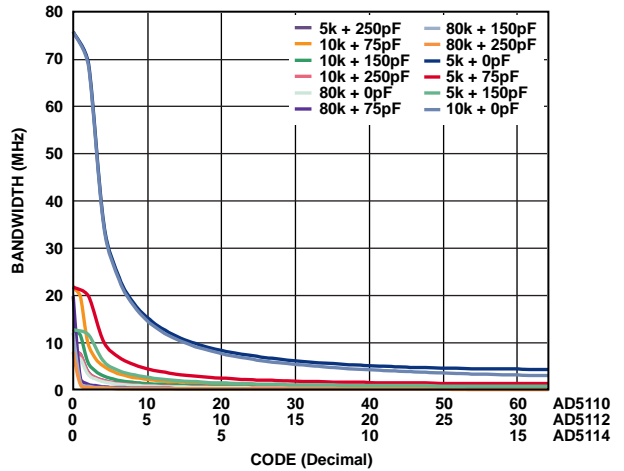


图26. 最大带宽与代码和净电容的关系

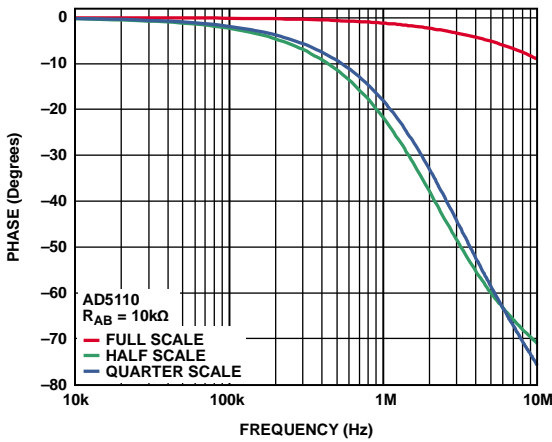


图24. 归一化相位平坦度与频率的关系

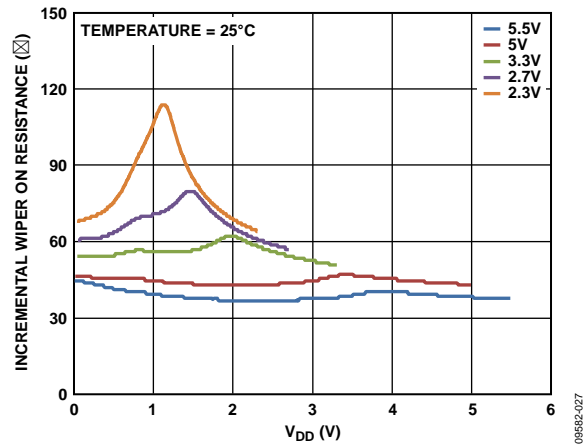


图27. 增量式游标导电电阻与V_{DD}的关系

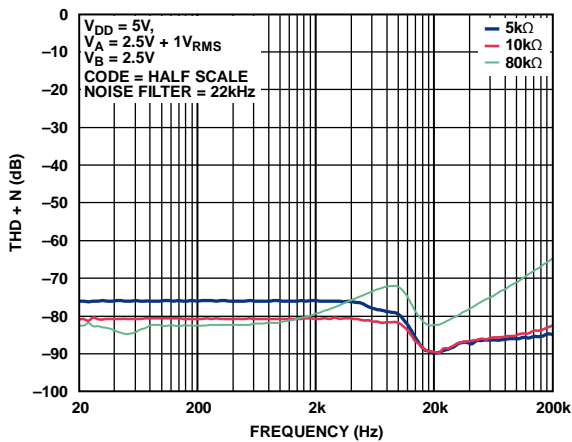


图25. 总谐波失真加噪声(THD + N)与频率的关系

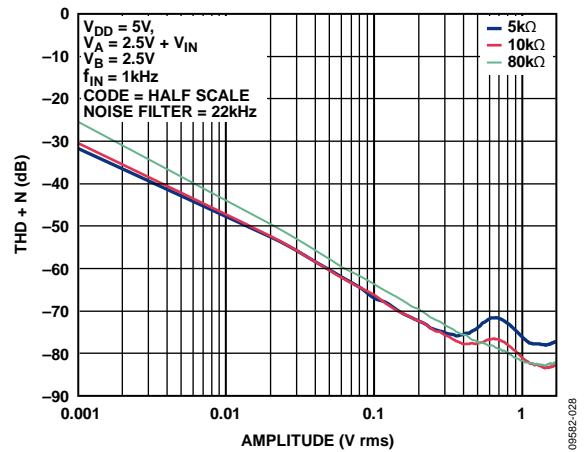


图28. 总谐波失真加噪声(THD + N)与幅度的关系

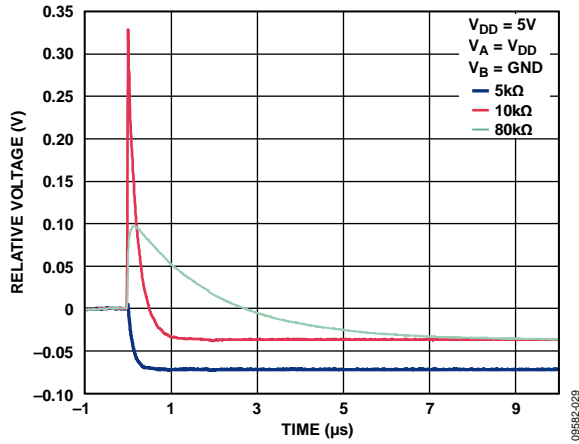


图29. 最大转换毛刺

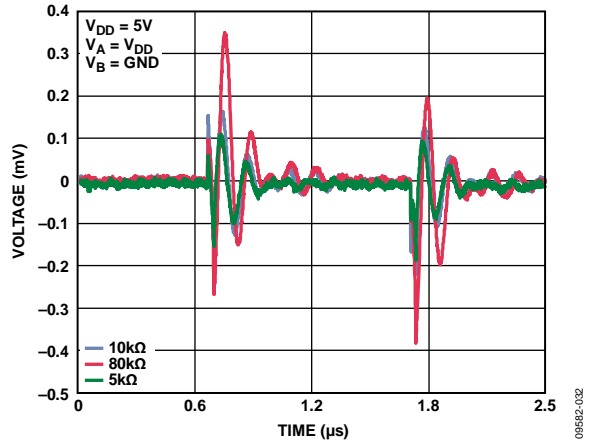


图32. 数字馈通

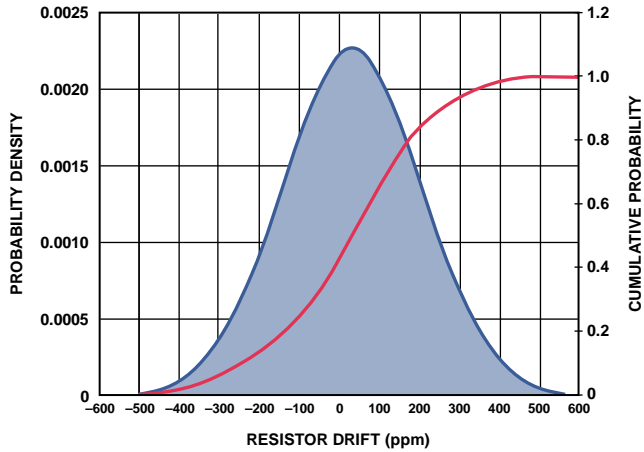


图30. 电阻寿命漂移

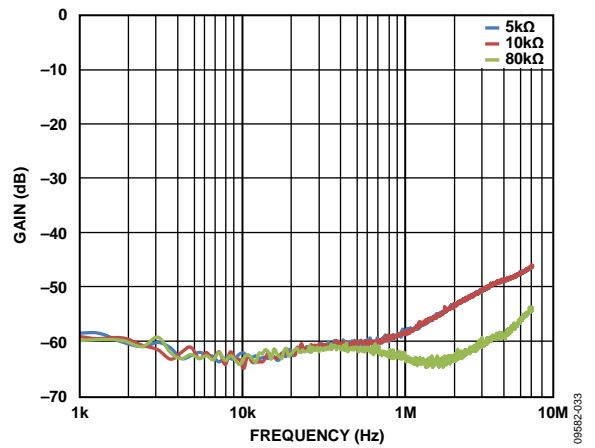


图33. 关断隔离与频率的关系

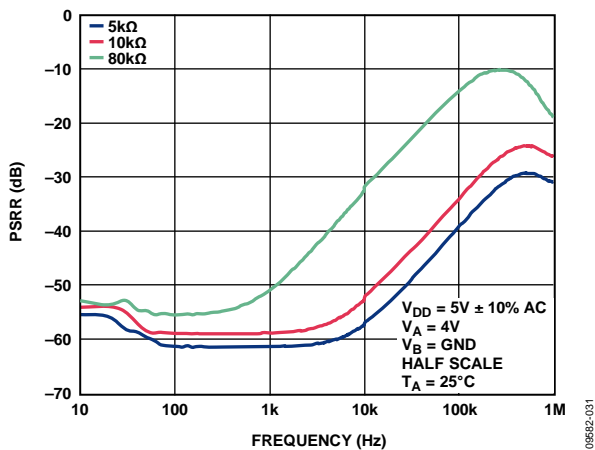


图31. 电源抑制比(PSRR)与频率的关系

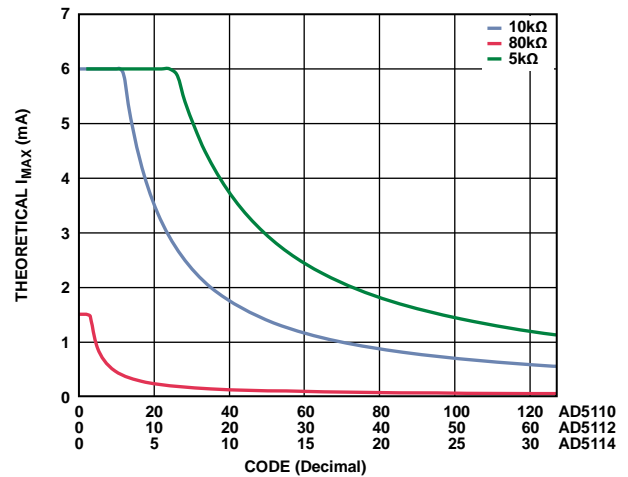


图34. 最大理论电流与代码的关系

测试电路

图35至图40定义了“技术规格”部分使用的测试条件。

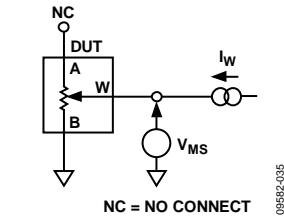


图35. 电阻位置非线性误差
(可变电阻器操作: R-INL, R-DNL)

09582-035

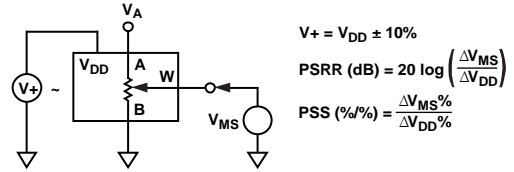


图38. 电源灵敏度(PSS、PSRR)

$$V_+ = V_{DD} \pm 10\%$$

$$PSRR \text{ (dB)} = 20 \log \left(\frac{\Delta V_{MS}}{\Delta V_{DD}} \right)$$

$$PSS \text{ (%/%) } = \frac{\Delta V_{MS}}{\Delta V_{DD}} \%$$

09582-038

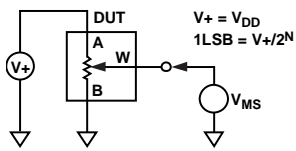


图36. 电位计分压器非线性误差(INL、DNL)

09582-036

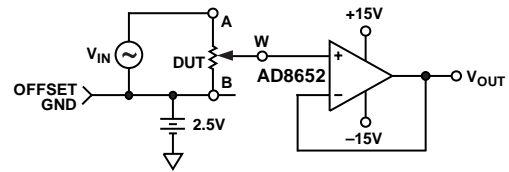


图39 增益与相位和频率的关系

09582-039

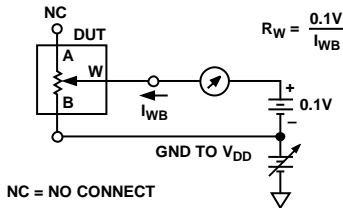


图37. 游标电阻

09582-037

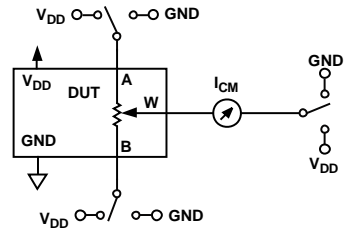


图40. 共模漏电流

09582-040

工作原理

AD5110/AD5112/AD5114数字可编程电阻均设计用作真可变电阻，用于处理端电压范围为 $GND < V_{\text{TERM}} < V_{\text{DD}}$ 的模拟信号。电阻游标位置取决于RDAC寄存器内容。RDAC寄存器用作暂存寄存器，允许无限制地更改电阻设置。

RDAC寄存器可以利用I²C接口编入任何位置设置。找到所需的游标位置后，可以将该值存储在EEPROM存储器中。以后上电时游标位置始终会恢复到该位置。存储EEPROM数据大约需要18 ms；在这段时间内，器件会锁定并不会应答任何新命令，因而可防止出现任何更改。

RDAC寄存器和EEPROM

RDAC寄存器直接控制数字电位计游标的位置。例如，当RDAC寄存器载入0x3F(128抽头)时，游标连接到可变电阻的满量程。RDAC寄存器是一种标准逻辑寄存器，不存在更改次数限制。

可使用I²C接口来写入和读取RDAC寄存器(见表10)。

可使用命令1将RDAC寄存器的内容存储到EEPROM中(见表10)。因此，在任何日后开关电源时序中，RDAC寄存器会始终设置为该位置。可使用表10中的命令6来回读保存到EEPROM中的数据。此外，电阻容差误差也保存在EEPROM中；可以回读此数据并用于计算端到端容差，从而提供0.1%的精度。

低游标电阻特性

AD5110/AD5112/AD5114包含额外功能，用于使W端和A端或B端之间的电阻最小。这些额外功能称为“底部量程”和“顶部量程”。采用底部量程时，游标电阻典型值从70 Ω降至45 Ω。采用顶部量程时，A端和W端之间的电阻减少1 LSB，总电阻则降至70 Ω。额外步骤并不等于1 LSB，也未包含在INL、DNL、R-INL和R-DNL规格中。

I²C串行数据接口

AD5110/AD5112/AD5114具有双线式I²C兼容型串行接口。这些器件可作为从机连接到I²C总线，受主机的控制。典型写序列的时序图参见图3。

AD5110/AD5112/AD5114支持标准(100 kHz)和快速(400 kHz)数据传输模式。不支持10位寻址和广播寻址。

双线式串行总线协议按如下方式工作：

1. 主机通过建立起始条件而启动数据传输；起始条件即为SDA线上发生高低转换而SCL处于高电平时。之后的字节是地址字节，由7-bit从机地址和一个R/W位组成。与发送地址对应的从机通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答位)。在这个阶段，在选定器件等待从移位寄存器读写数据期间，总线上的所有其它器件保持空闲状态。
2. 如果R/W位为高，则主机由从机读取数据。不过，如果R/W位设为低电平，则主机对从机写入。
3. 数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间，并且在SCL高电平期间保持稳定。
4. 读取或写入所有数据位之后，停止条件随即建立。在写入模式下，主器件在第10个时钟脉冲期间拉高SDA线，以建立停止条件。在读取模式下，主机会向第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低，然后在第10个时钟脉冲期间拉高，以建立停止条件。

I²C地址

AD5110/AD5112/AD5114各自具有两个不同的从机地址选项。从机地址列表参见表9。

表9. 器件地址选择

型号	7-bit I ² C器件地址
AD511X ¹ BCPZ Y ²	0101111
AD511X ¹ BCPZ Y ² -1	0101100

¹ 型号。

² 电阻。

AD5110/AD5112/AD5114

输入移位寄存器

对于AD5110/AD5112/AD5114，输入移位寄存器为16位宽(见图2)。该16位字由五个未用位(应设为0)、三个控制位和八个RDAC数据位组成。在AD5112中，如果从RDAC寄存器读取或向其中写入数据，则DB0位为无关位。在AD5114中，如果从RDAC寄存器读取或向其中写入数据，则DB0位和DB1位为无关位。数据以MSB优先(Bit DB15)方式加载。

三个控制位决定软件命令的功能(见表10)。图3所示为AD5110/AD5112/AD5114典型写序列的时序图。

命令位(Cx)控制数字电位计的工作模式和内部EEPROM。数据位(Dx)为载入解码寄存器的值。

表10. 命令操作真值表

命令编号	命令			数据 ¹								操作					
	DB10	DB8		DB7									DB0				
	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0						
0	0	0	0	X	X	X	X	X	X	X	X	X	无操作				
1	0	0	1	X	X	X	X	X	X	X	X	X	将RDAC寄存器的内容写入EEPROM				
2	0	1	0	7	6	5	4	3	2	1 ²	0 ^{2,3}	0 ^{2,3}	将串行寄存器数据内容写入RDAC				
				MSB													
				1	0	0	0	0	0	0	0	0	0	0	0	顶部量程	
3	0	1	1	1	1	1	1	1	1	1	1	1	底部量程				
				X	X	X	X	X	X	X	X	X	A0	软件关断			
															0: 关闭关断 1: 开启关断		
4	1	0	0	X	X	X	X	X	X	X	X	X	软件复位: 利用EEPROM内容刷新RDAC寄存器				
5	1	0	1	X	X	X	X	X	X	X	X	X	读取RDAC寄存器的内容				
6	1	1	0	X	X	X	X	X	X	X	A1	A0	读取EEPROM的内容				
															A1	A0	数据
															0	0	保存的游标位置
											0	1	电阻容差				

¹ X表示无关。

² 在AD5114中，此位为无关位。

³ 在AD5112中，此位为无关位。

写操作

写入AD5110/AD5112/AD5114时，用户必须先写入启动命令和地址字节(R/W = 0)，接着AD5110/AD5112/AD5114通过拉低SDA做出应答，表示其已做好接收数据准备。

然后向DAC写入两个字节的的数据，先是最高有效字节，其

后为最低有效字节。所有这些数据字节得到AD5110/AD5112/AD5114应答后，随即出现停止条件。AD5110/AD5112/AD5114的写操作如图41、图42和图43所示。

利用重复写入功能，只需对器件进行一次寻址，用户便可以灵活地多次更新该器件，如图44所示。

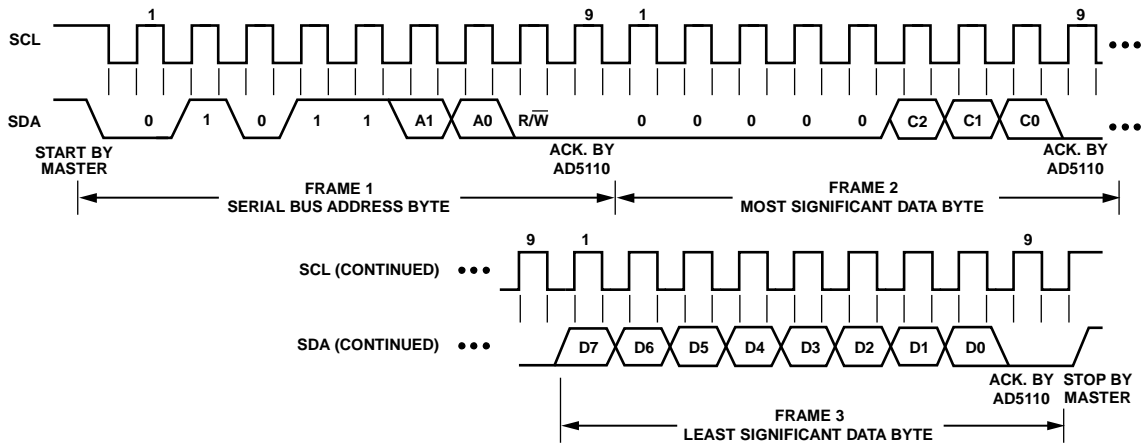


图41. AD5110接口写命令

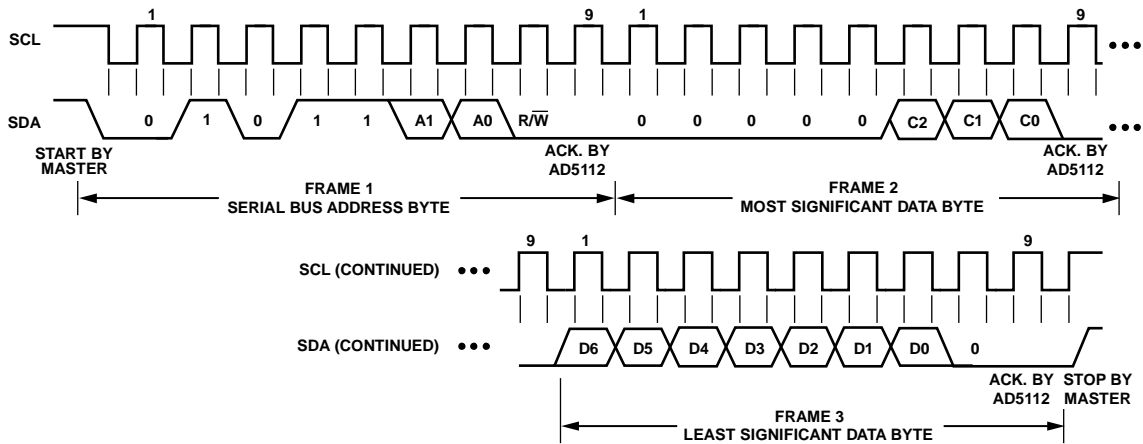


图42. AD5112接口写命令

AD5110/AD5112/AD5114

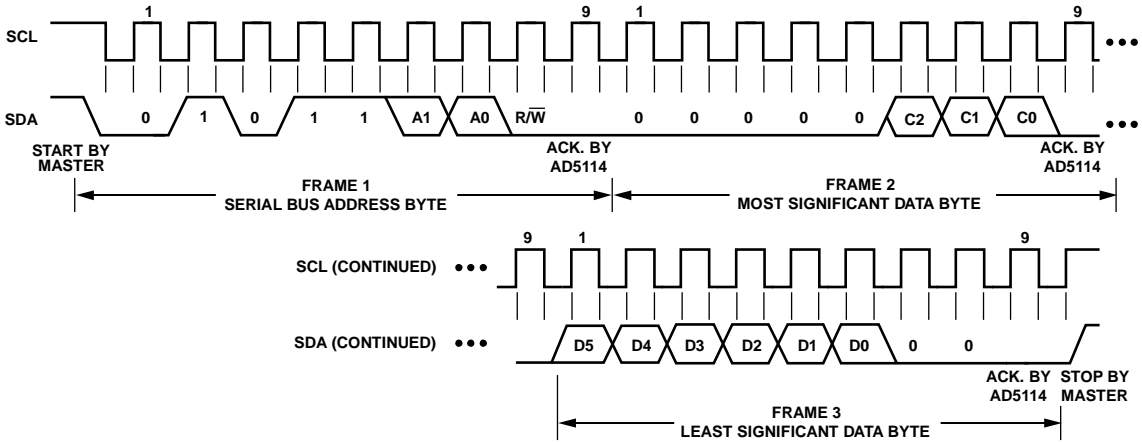


图43. AD5114接口写命令

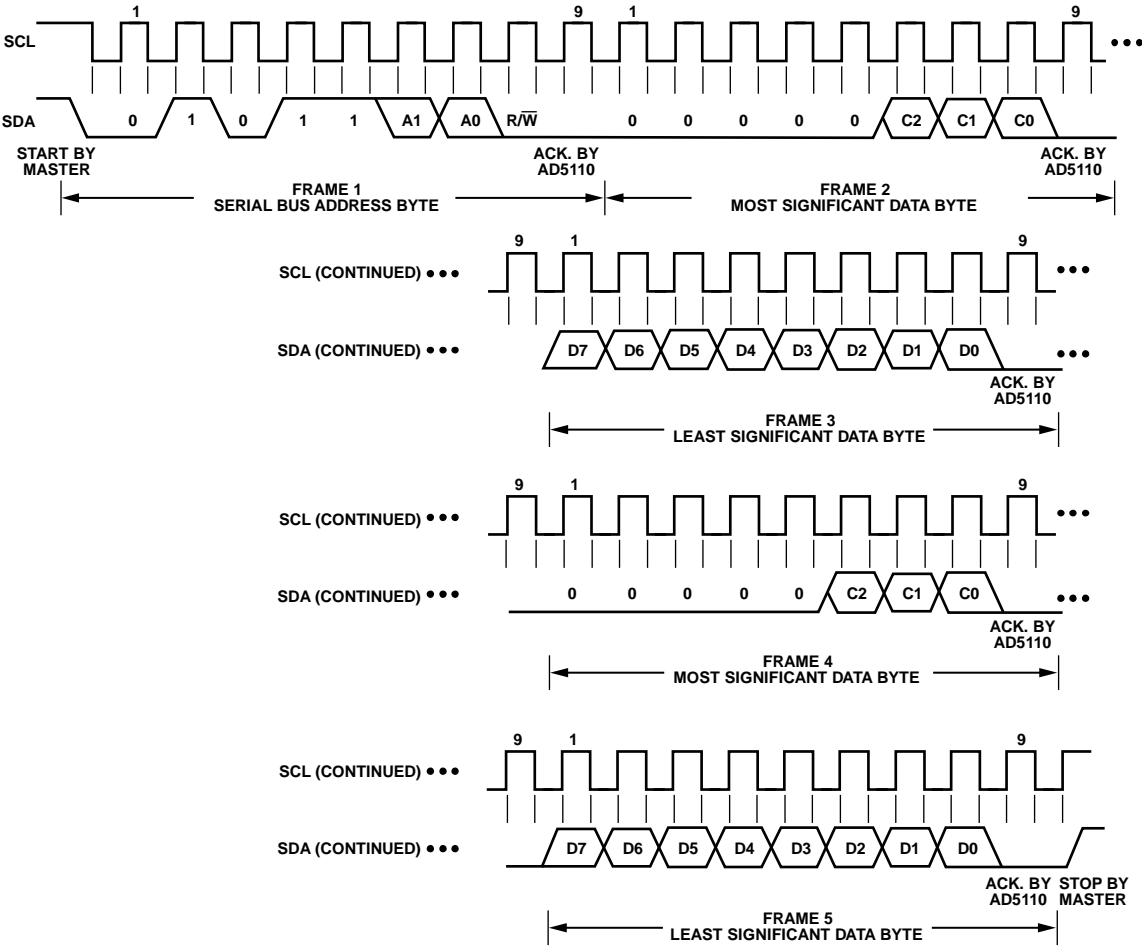


图44. AD5110接口多次写入

EEPROM写入应答轮询

每对EEPROM执行一次写操作后，即开始一个内部写入周期。器件的I²C接口会被禁用。要确定内部写入周期是否完成以及I²C接口是否使能，可执行接口轮询。执行I²C接口轮询的方法是发送一个起始条件，后跟从机地址和写入位。如果I²C接口以应答位回应，则说明写入周期完成，该接口已准备好继续执行其它操作。否则，将一直重复执行I²C接口轮询，直到成功为止。

读操作

AD5110/AD5112/AD5114允许使用命令6(见表10)通过I²C接口来回读RDAC寄存器和EEPROM存储器的内容。

从AD5110/AD5112/AD5114回读数据时，用户必须先向器件发出一个回读命令。此时必须先写入启动命令和地址字节(R/W = 0)，接着AD5110/AD5112/AD5114通过拉低SDA做出应答，表示其已做好数据接收准备。

然后向AD5110/AD5112/AD5114写入两个字节的的数据，先是最高有效字节，其后为最低有效字节。所有这些字节得到AD5110/AD5112/AD5114应答后，随即出现停止条件。这些字节包含读取指令，能回读RDAC寄存器和

EEPROM存储器。然后，用户便可以回读数据。此时必须先写入启动命令和地址字节(R/W = 1)，接着器件通过拉低SDA做出应答，表示其已做好数据发送准备。然后从器件读取两个字节的的数据，均由主机应答，如图45所示。随即出现停止条件。如果主机未对第一个字节做出应答，则AD5110/AD5112/AD5114不会传送第二个字节。AD5110/AD5112/AD5114不支持重复回读。

复位

AD5110/AD5112/AD5114可以通过执行命令4(见表10)来进行复位。复位命令会将EEPROM的内容载入RDAC寄存器，大约需要25 μs。EEPROM在出厂时预加载至中间电平，因此首次上电时为中间电平。

关断模式

AD5110/AD5112/AD5114可以通过执行软件关断命令(即命令3，见表10)来关断。此功能会将RDAC置于零功耗状态，其中A端开路，游标(W端)连接到B端，但存在45 Ω的有限游标电阻。通过执行命令3(见表10)并将Bit DB0设为0，可使器件退出关断模式。

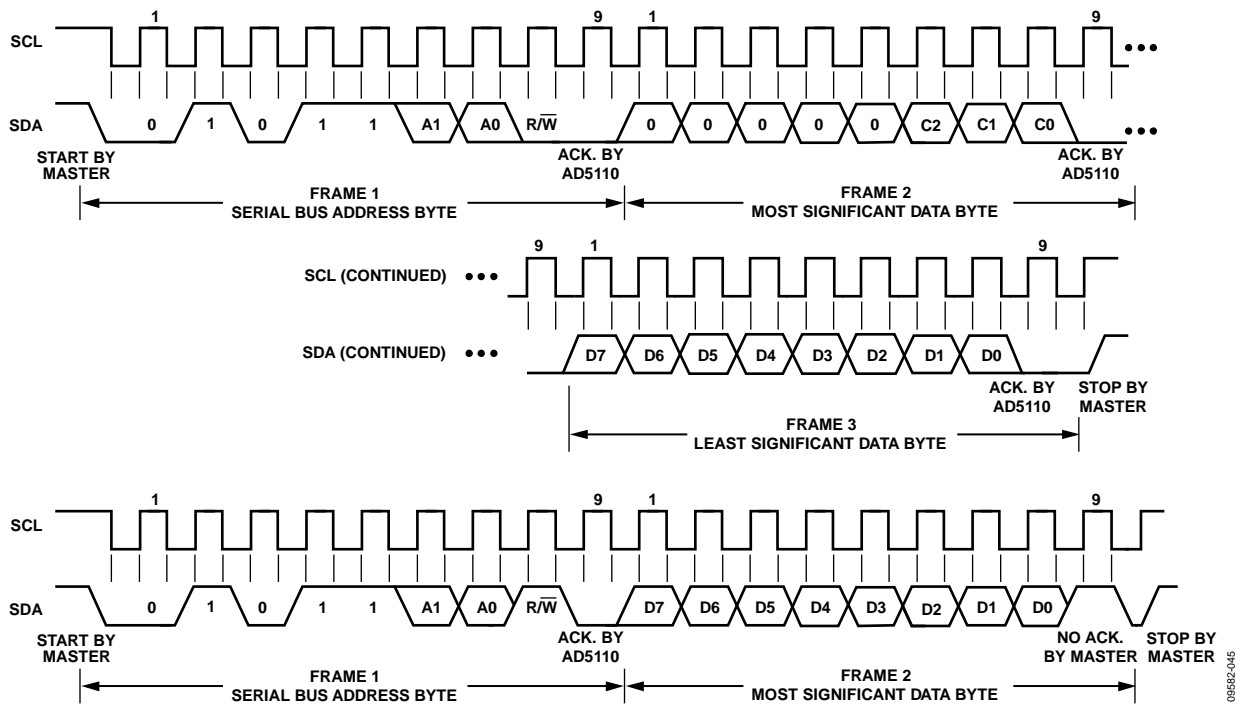


图45. AD5110接口读命令

AD5110/AD5112/AD5114

RDAC架构

为了实现最佳性能，ADI公司的所有数字电位计均采用了RDAC分段专利架构。具体而言，AD5110/AD5112/AD5114采用二级分段方法，如图46所示。AD5110/AD5112/AD5114的游标开关设计采用传输门CMOS拓扑并从 V_{DD} 获得栅极电压。

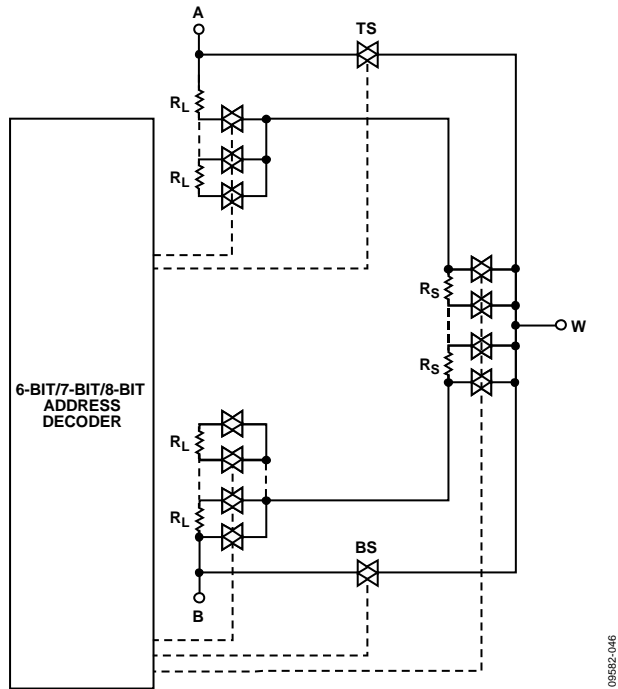


图46. AD5110/AD5112/AD5114 RDAC电路示意图

顶部量程/底部量程架构

此外，AD5110/AD5112/AD5114包括一项新功能，用于减少端电阻。这些额外功能称为“底部量程”和“顶部量程”。采用底部量程时，游标电阻典型值从70 Ω降至45 Ω。采用顶部量程时，A端和W端之间的电阻减少1 LSB，总电阻则降至70 Ω。额外步骤并不等于1 LSB，也未包含在INL、DNL、R-INL和R-DNL规格中。

可变电阻编程

可变电阻器操作—±8%电阻容差

只有两个端用作可变电阻时，AD5110/AD5112/AD5114采用可变电阻器模式工作。不用的一端可以悬空或者连接到W端，如图47所示。

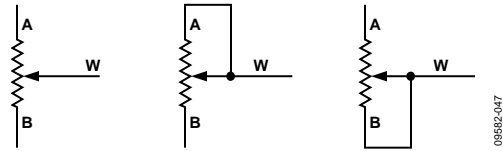


图47. 可变电阻器模式配置

A端和B端之间的标称电阻 R_{AB} 为5 kΩ、10 kΩ或80 kΩ，并具有32/64/128个可供游标端访问的触点。RDAC锁存器中的5/6/7位数据经过解码，用于选择32/64/128种可能的游标设置之一。确定W端和B端间的数字编程输出电阻的通用公式如下：

AD5110:

$$R_{WB} = R_{BS} \quad \text{底部量程(0xFF)} \quad (1)$$

$$R_{WB}(D) = \frac{D}{128} \times R_{AB} + R_W \quad \text{从0x00到0x80} \quad (2)$$

AD5112:

$$R_{WB} = R_{BS} \quad \text{底部量程(0xFF)} \quad (3)$$

$$R_{WB}(D) = \frac{D}{64} \times R_{AB} + R_W \quad \text{从0x00到0x40} \quad (4)$$

AD5114:

$$R_{WB} = R_{BS} \quad \text{底部量程(0xFF)} \quad (5)$$

$$R_{WB}(D) = \frac{D}{32} \times R_{AB} + R_W \quad \text{从0x00到0x20} \quad (6)$$

其中：

D 为载入5/6/7位RDAC寄存器的二进制代码的十进制等效值。

R_{AB} 是端到端电阻。

R_W 是游标电阻。

R_{BS} 是底部量程的游标电阻。

与机械电位计相似，W端和A端间RDAC电阻也会产生数字控制式互补电阻 R_{WA} 。 R_{WA} 还会产生最大8%的绝对电阻误差。 R_{WA} 从最大电阻值开始，随着载入锁存器的数据增大而减小。此操作的通用公式如下：

AD5110:

$$R_{AW} = R_{AB} + R_W \quad \text{底部量程}(0x\text{FF}) \quad (7)$$

$$R_{AW}(D) = \frac{128-D}{128} \times R_{AB} + R_W \quad \text{从}0x00\text{到}0x7\text{F} \quad (8)$$

$$R_{AW} = R_{TS} \quad \text{顶部量程}(0x80) \quad (9)$$

AD5112:

$$R_{AW} = R_{AB} + R_W \quad \text{底部量程}(0x\text{FF}) \quad (10)$$

$$R_{AW}(D) = \frac{64-D}{64} \times R_{AB} + R_W \quad \text{从}0x00\text{到}0x3\text{F} \quad (11)$$

$$R_{AW} = R_{TS} \quad \text{顶部量程}(0x40) \quad (12)$$

AD5114:

$$R_{AW} = R_{AB} + R_W \quad \text{底部量程}(0x\text{FF}) \quad (13)$$

$$R_{AW}(D) = \frac{32-D}{32} \times R_{AB} + R_W \quad \text{从}0x00\text{到}0x1\text{F} \quad (14)$$

$$R_{AW} = R_{TS} \quad \text{顶部量程}(0x20) \quad (15)$$

其中：

D 为载入5/6/7位RDAC寄存器的二进制代码的十进制等效值。

R_{AB} 是端到端电阻。

R_W 是游标电阻。

R_{TS} 是顶部量程的游标电阻。

在底部量程或顶部量程条件下，总共存在45 Ω的有限游标电阻。无论器件的设置如何，都应将A端和B端、W端和A端以及W端和B端之间的电流限制为±6 mA的最大连续电流或表6中规定的脉冲电流。否则，内部开关触点可能会出现性能下降，甚至是发生损坏。

计算实际端到端电阻

电阻容差在出厂测试过程中存储到内部存储器中。因此，可计算实际端到端电阻，针对校准、容差匹配和精密应用极具价值。

百分比电阻容差以定点格式并采用8-bit符号幅度二进制形式存储。可通过执行命令6和设置Bit DB0(A0)来回读该数据。MSB为符号位(0 = -且1 = +)，后续四位为整数部分，小数部分由三个LSB表示，如表11所示。

表11. 容差格式

数据字节								
DB7	DB6	DB5	DB4	DB3		DB2	DB1	DB0
Sign	2 ⁴	2 ³	2 ²	2 ¹	.	2 ⁻¹	2 ⁻²	2 ⁻³

例如，如果 $R_{AB} = 10 \text{ k}\Omega$ 且数据回读显示01010010，那么端到端电阻计算公式如下：

如果

DB[7]为0 = 负

DB[6:3]为1010 = 10

DB[2:0]为010 = $2 \times 2^{-3} = 0.25$

则

容差 = -10.25%，因此 $R_{AB} = 8.975 \text{ k}\Omega$

电位计分压器编程

电压输出操作

数字电位计很容易在游标至B和游标至A处产生分压器，其电压与A至B处的输入电压成比例，如图48所示。不同于 V_{DD} 至GND的极性(必须为正)，A至B、W至A和W至B上的电压可以是任一极性。

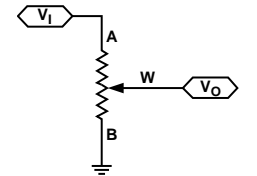


图48. 电位计模式配置

将A端连接到5 V且B端连接到地时，可在游标W至B端处产生0 V至5 V的输出电压。以下通用公式定义针对施加于A端和B端的任意有效输入电压， V_W 处相对于地的输出电压：

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} \times V_A + \frac{R_{AW}(D)}{R_{AB}} \times V_B \quad (16)$$

其中：

$R_{WB}(D)$ 可从公式1至公式6获得。

$R_{AW}(D)$ 可从公式7至公式15获得。

在分压器模式下使用数字电位计，可提高整个温度范围内的操作精度。与可变电阻器模式不同，输出电压主要取决于内部电阻 R_{AW} 和 R_{WB} 的比值，而非绝对值。因此，温度漂移降到5 ppm/°C。

AD5110/AD5112/AD5114

端电压范围

AD5110/AD5112/AD5114内置ESD二极管来提供保护功能。这些二极管还设置端工作电压的电压边界。A端、B端或W端超过 V_{DD} 的正信号会被正偏二极管箝位。 V_A 、 V_W 和 V_B 之间没有极性限制，但不得超过 V_{DD} 或低于GND。

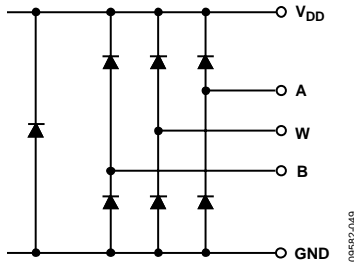


图49. 由 V_{DD} 和GND设置的最大端电压

上电时序

由于会用二极管来限制A端、B端和W端(见图49)处的顺从电压，因此必须先给 V_{DD} 供电，然后再向A端、B端和W端施加电压。否则，该二极管会正偏，以致 V_{DD} 意外上电。理想的上电时序为GND、 V_{DD} 、 V_{LOGIC} 、数字输入、 V_A 、 V_B

和 V_W 。只要在 V_{DD} 和 V_{LOGIC} 之后上电， V_A 、 V_B 、 V_W 和数字输入的上电顺序就无关紧要。无论电源的上电时序和斜坡速率如何，一旦 V_{LOGIC} 上电，上电预设即会激活，该功能会将EEPROM值恢复到RDAC寄存器。

布局布线和电源偏置

使用紧凑且引线长度最短的布局设计始终是一种较好的做法。连接到输入端的引线应尽可能保持直线，使导体长度最短。接地路径应具有低电阻、低电感。用优质电容将电源旁路也是一种较好的做法。电源处也应当运用低等效串联电阻(ESR) $1\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 钽电容或电解质电容，以便尽可能减少瞬态干扰，并滤除低频纹波。图50所示为AD5110/AD5112/AD5114的基本电源旁路配置。

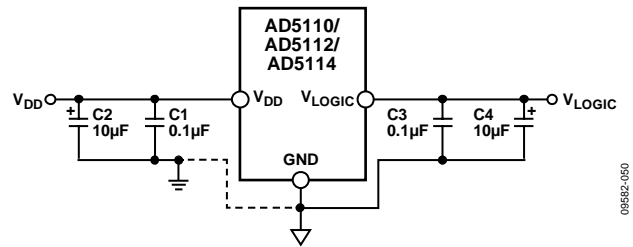


图50. 电源旁路

外形尺寸

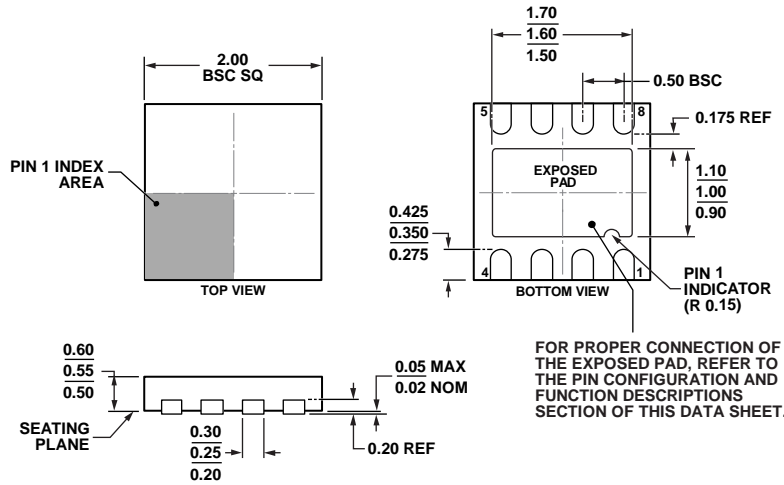


图51. 8引脚架构芯片级封装[LFCSP_UD]
2.00 mm × 2.00 mm超薄体双引脚
(CP-8-10)
图示尺寸单位: mm

07-11-2011-B

订购指南

型号 ^{1,2}	R _{AB} (kΩ)	分辨率	温度范围	封装描述	I ² C地址	封装选项	标识
AD5110BCPZ10-RL7	10	128	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	4J
AD5110BCPZ10-500R7	10	128	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	4J
AD5110BCPZ10-1-RL7	10	128	-40°C至+125°C	8引脚 LFCSP_UD	0101100	CP-8-10	4H
AD5110BCPZ80-RL7	80	128	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	4L
AD5110BCPZ80-500R7	80	128	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	4L
AD5110BCPZ80-1-RL7	80	128	-40°C至+125°C	8引脚 LFCSP_UD	0101100	CP-8-10	4K
AD5112BCPZ5-RL7	5	64	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	7P
AD5112BCPZ5-500R7	5	64	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	7P
AD5112BCPZ5-1-RL7	5	64	-40°C至+125°C	8引脚 LFCSP_UD	0101100	CP-8-10	7N
AD5112BCPZ10-RL7	10	64	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	7L
AD5112BCPZ10-500R7	10	64	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	7L
AD5112BCPZ10-1-RL7	10	64	-40°C至+125°C	8引脚 LFCSP_UD	0101100	CP-8-10	7K
AD5112BCPZ80-RL7	80	64	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	7R
AD5112BCPZ80-500R7	80	64	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	7R
AD5112BCPZ80-1-RL7	80	64	-40°C至+125°C	8引脚 LFCSP_UD	0101100	CP-8-10	7Q
AD5114BCPZ10-RL7	10	32	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	81
AD5114BCPZ10-500R7	10	32	-40°C至+125°C	8引脚 LFCSP_UD	0101111	CP-8-10	81
AD5114BCPZ10-1-RL7	10	32	-40°C至+125°C	8引脚 LFCSP_UD	0101100	CP-8-10	80
AD5114BCPZ80-RL7	80	32	-40°C至+125°C	8引脚 LFCSP_WD	0101111	CP-8-10	83
AD5114BCPZ80-500R7	80	32	-40°C至+125°C	8引脚 LFCSP_WD	0101111	CP-8-10	83
AD5114BCPZ80-1-RL7	80	32	-40°C至+125°C	8引脚 LFCSP_WD	0101100	CP-8-10	82
EVAL-AD5110SDZ				评估板			

¹ Z = 符合RoHS标准的器件。

² EVAL-AD5110SDZ的R_{AB}为10 kΩ。

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。