

PCIE 总线接口芯片 CH367

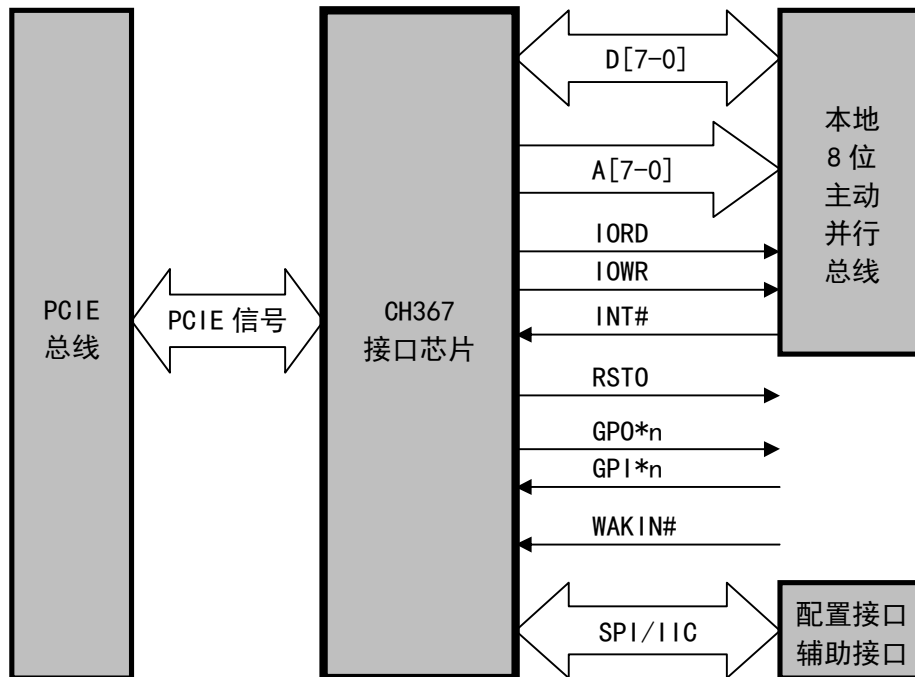
手册

版本: 1A

<http://wch.cn>

1、概述

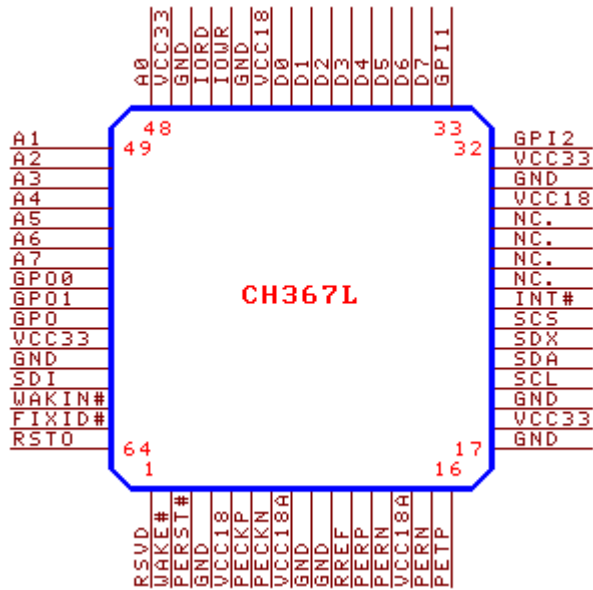
CH367 是一个连接 PCI-Express 总线的通用接口芯片, 支持 I/O 端口映射和扩展 ROM 以及中断。CH367 将高速 PCIE 总线转换为简便易用的类似于 ISA 总线的 8 位主动并行接口, 用于制作低成本的基于 PCIE 总线的计算机板卡, 以及将原先基于 ISA 总线或者 PCI 总线的板卡升级到 PCIE 总线上。PCIE 总线与其它主流总线相比, 速度更快, 实时性更好, 可控性更佳, 所以 CH367 适用于高速实时的 I/O 控制卡、通讯接口卡、数据采集卡等。下图为其一般应用框图。



2、特点

- 基于 PCIE 总线提供 8 位主动并行总线。
- 支持 I/O 读写, 自动分配 I/O 基址, 支持长度达 232 字节的 I/O 端口。
- 读写脉冲的宽度从 30ns 到 450ns 可选, 存取速度可达每秒 1MB。
- 支持电平中断或者边沿中断请求输入, 支持中断共享。
- 支持闪存扩展 ROM 无硬盘引导, 可以提供扩展 ROM 应用的子程序库 BRM。
- 提供高速的 3 线或者 4 线 SPI 串行主机接口。
- 提供两线串行主机接口, 可以挂接类似 24C0X 的串口 EEPROM 器件用于存储非易失数据。
- 可以在 EEPROM 器件中设定 PCIE 板卡的设备标识 (Vendor ID, Device ID, Class Code 等)。
- 内置 2μs 至 8ms 的硬件计时单元, 用于软件运行过程中作为延时参考。
- 驱动程序支持 Windows 98/ME/NT4.0/2000/XP/Vista 以及 Linux, 通过 DLL 提供应用层 API。
- 3.3V 电源电压, I/O 引脚支持 5V 耐压, 支持低功耗睡眠模式。
- 支持 PCMCIA 之 ExpressCard 笔记本插卡。
- LQFP-64 无铅封装, 兼容 RoHS。

3、封装



封装形式	塑体宽度	引脚间距		封装说明	订货型号
LQFP-64	7mm x 7mm	0.4mm	15.7mil	超小 LQFP64 脚贴片	CH367L

4、引脚

4.1. 电源线

引脚号	引脚名称	类型	引脚说明
18, 31, 47, 59	VCC33	电源	3.3V I/O 电源
5, 29, 42	VCC18	电源	1.8V 内核电源
8, 14	VCC18A	电源	1.8V 传输电源
4, 9, 10, 17, 19, 30, 43, 46, 60	GND	电源	公共接地端
25, 26, 27, 28	NC.	空脚	禁止连接

4.2. PCIE 总线信号线

引脚号	引脚名称	类型	引脚说明
3	PERST#	输入	系统复位信号线，低电平有效
6, 7	PECKP/PECKN	输入	系统参考时钟差分输入
12, 13	PERP/PERN	PCIE 输入	PCIE 接收器差分信号输入
16, 15	PETP/PETN	PCIE 输出	PCIE 发送器差分信号输出
2	WAKE#	开漏输出	总线唤醒输出，低电平有效，未用到则不连接

4.3. 本地端信号线

引脚号	引脚名称	类型	引脚说明
34-41	D7~D0	三态输出及输入	8 位双向数据信号线，内置上拉电阻
55-48	A7~A0	输出	8 位地址信号线
45	IORD	输出	I/O 端口的读选通，低电平脉冲有效
44	IOWR	输出	I/O 端口的写选通，低电平脉冲有效
24	INT#	输入	中断请求输入，电平或者边沿有效，内置上拉电阻

4.4. 辅助信号线

引脚号	引脚名称	类型	引脚说明
11	RREF	输入	系统参考电流输入，需要外接 12KΩ 电阻到 GND
20	SCL	输出	通用输出，SPI 时钟输出，外部配置芯片的时钟输出，可以外接串行 EEPROM 配置芯片 24CXX 的 SCL 引脚
21	SDA	开漏输出及输入	通用输出及输入，内置上拉电阻，可以外接串行 EEPROM 配置芯片 24CXX 的 SDA 引脚
22	SDX	三态双向	通用输出及输入，SPI 数据输出及输入，内置上拉电阻
23	SCS	输出	通用输出，SPI 片选输出
61	SDI	输入	通用输入，SPI 数据输入，内置上拉电阻
33	GP11	输入	通用输入，内置上拉电阻
32	GP12	输入	通用输入，内置上拉电阻
56	GPO0	输出	通用输出，默认为低电平
57	GPO1	输出	通用输出，默认为低电平
58	GPO	输出	通用输出，默认为高电平
64	RST0	输出	低电平有效的复位输出，通用输出
62	WAKIN#	输入	唤醒请求输入，低电平有效，未用到则必须接高电平
63	FIXID#	输入	禁止自动加载识别信息输入，低电平有效，内置上拉
1	RSVD	保留	保留引脚，禁止连接

5、寄存器

5.1. 基本约定

- 5.1.1. 属性简写：R=完全只读，W=可读可写，S=只读但可以事先设定，....=省略号。
 5.1.2. 数据的数制：如果以 H 结尾则为十六进制数，否则为二进制数。
 5.1.3. 数值的通配符以及属性：r=保留（禁止使用），x=任意值，....=省略号。

5.2. PCIE 配置空间

地址	寄存器名称	寄存器属性	系统复位后默认值
01H-00H	VID 厂商标识: Vendor ID	SSSS	1C00H
03H-02H	DID 设备标识: Device ID	SSSS	复位时 SDI 为高: 5831H 复位时 SDI 为低: 5830H
05H-04H	命令寄存器: Command	RRRRRWRWRRRRWWW	0000000000000000
07H-06H	状态寄存器: Status	RRRRRRRRRRRRRRRR	000000000001x000
08H	芯片版本: Revision ID	SS	10H
0BH-09H	设备类代码: Class Code	SSSSSS	100000H
0FH-0CH		RRRRRRWW	00000000H
13H-10H	I/O 基址: I/O Base Address	WWWWWRRR	00000001H
2BH-14H		RRRR... RRRR	0000... 0000H
2DH-2CH	子系统厂商标识: Subsystem Vendor ID	SSSS	与 VID 相同
2FH-2EH	子系统标识: Subsystem ID	SSSS	与 DID 相同
33H-30H	扩展 ROM 基址: ROM Base Address	WWWWWWWWWWWWWWWW WRRRRRRRRRRRRRRRW	0000000000000000 0000000000000000

3BH-34H		RRRR... RRRR	0000... 0060H
3FH-3CH	中断号和中断引脚等: Interrupt Line & Pin	RRRRRRRRRRRRRRRRR RRRRRRRRWWWWWWW	0000000000000000 0000000100000000
FFFH-40H	保留	(禁止使用)	(禁止使用)

5.3. I/O 基址的寄存器

寄存器的实际地址为 I/O 基址加表中的偏移地址。

偏移地址	寄存器名称	简称	寄存器属性	系统复位后默认值
E7H-00H	标准的本地 I/O 端口	I OXR	WW	连接到 I/O 设备
E8H	通用输出寄存器	GPOR	WWWRRWWW	000rr111
E9H	通用变量寄存器	GPVR	WWWWWWW	00001010
EAH	通用输入寄存器	GPIR	RRRRRRRR	11r11111
EBH	中断控制寄存器	INTCR	RRRWWWWR	rrr0000r
FOH-ECH	保留		(禁止使用)	xxH
F1H	通用输出寄存器 2	GPOR2	WRRRRRWW	1rrrrr00
F7H-F2H	保留		(禁止使用)	xxH
F8H	杂项控制和状态寄存器	MICSR	WRRRRRW	1rrr10r1
F9H	保留		(禁止使用)	xxH
FAH	读写速度控制寄存器	SPDCR	RRWWWWW	rr000111
FBH	保留		(禁止使用)	xxH
FCH	硬件循环计数寄存器	CNTR	RR	xxH
FDH	SPI 控制寄存器	SPICR	WWWRRRRR	0000xxxx
FEH	SPI 数据寄存器	SPIDR	WW	xxH
FFH	保留		(禁止使用)	xxH

5.4. 寄存器的位

寄存器名称	位址	属性	位的使用说明(默认值)	位值=0	位值=1
通用输出寄存器 GPOR (I/O 基址+0E8H 地址)	位 0	W	设定 SDA 引脚的输出值(1)	低电平	高电平
	位 1	W	设定 SCL 引脚的输出值(1)	低电平	高电平
	位 2	W	设定 SCS 引脚的输出值(1)	低电平	高电平
	位 5	W	使能支持被强制唤醒(0)	不支持	支持
	位 6	W	设定 SDX 引脚的数据方向(0)	输入	输出
	位 7	W	设定 SDX 引脚的输出值(0)	低电平	高电平
通用输入寄存器 GPIR (I/O 基址+0EAH 地址)	位 0	R	输入 SDA 引脚的状态(1)	低电平	高电平
	位 1	R	输入 GPI1 引脚的状态(1)	低电平	高电平
	位 2	R	输入 GPI2 引脚的状态(1)	低电平	高电平
	位 3	R	输入 INT#引脚的状态(1)	低电平	高电平
	位 4	R	输入 WAKIN#引脚的状态(1)	低电平	高电平
	位 6	R	输入 SDI 引脚的状态(1)	低电平	高电平
	位 7	R	输入 SDX 引脚的状态(1)	低电平	高电平
中断控制寄存器 INTCR (I/O 基址+0EBH 地址)	位 1	W	全局中断使能(0)	禁止中断	使能中断
	位 2	W	INT#引脚中断输入的极性(0)	低电平 上升沿	高电平 下降沿
	位 3	W	INT#引脚中断输入的类型(0)	电平	边沿
	位 4	W	中断请求重试使能(0)	禁止重试	使能重试

通用输出寄存器 2 GPOR2 (I/O 基址+0F1H 地址)	位 0	W	设定 GP00 引脚的输出值 (0)	低电平	高电平	
	位 1	W	设定 GP01 引脚的输出值 (0)	低电平	高电平	
	位 7	W	设定 GP0 引脚的输出值 (1)	低电平	高电平	
杂项控制和状态寄存器 MICSR (I/O 基址+0F8H 地址)	位 0	W	设定 GP0 引脚的输出值 (1)	低电平	高电平	
	位 2	W	中断激活状态 (0)	无中断	有中断	
	位 3	R	输入 INT# 引脚的状态 (1)	低电平	高电平	
读写速度控制寄存器 SPDCR (I/O 基址+0FAH 地址)	位 0	WWWW	含建立时间和保持时间的读写信号总宽度 (0111), 步距为 30nS, 0000~1111 对应 60nS~510nS, 该总宽度减去位 4 的建立时间, 减去位 5 的保持时间, 得到读写脉冲净宽度, 最小为 0nS, 最大为 480nS			
	位 1		W	数据和地址输出建立时间 (0)	15nS	45nS
	位 2		W	数据和地址输出保持时间 (0)	15nS	45nS
SPI 控制寄存器 SPICR (I/O 基址+0FDH 地址)	位 0 ~位 3	RRRR	硬件循环计数的高 4 位 (XXXX), 与硬件循环计数寄存器 CNTR 合在一起共 12 位			
	位 4	R	SPI 传输正在进行状态 (0)	空闲	正在传输	
	位 5	W	选择 SPI 串行时钟频率 (0)	31.3MHz	15.6MHz	
	位 6	W	选择 SPI 数据输入引脚 (0)	SDX	SDI	
	位 7	W	使能读 SPIDR 后启动新传输 (0)	读后空闲	读后启动	

6、功能说明

6.1. 外部配置芯片

CH367 芯片会在每次开机或者 PCIE 总线复位后检查外部的 24CXX 配置芯片中的数据, 如果连接了配置芯片并且数据有效则自动加载到 CH367 芯片中替换默认的 PCIE 识别信息。

FIXID# 引脚用于设定是否检查外部配置芯片, 为低电平则不检查外部配置芯片, 从而禁止自动加载识别信息。

配置芯片 24CXX 是一种 4 脚或者 8 脚封装的非易失串行 EEPROM 存储器, 除了向 CH367 提供配置信息之外, 还可以供应用程序自行保存一些其它参数。CH367 支持以下型号的 24CXX 芯片: 24C01 (A)、24C02、24C04、24C08、24C16 等。

下表是配置芯片 24CXX 中的数据定义。

字节地址	简称	数据用途说明	默认值
00H	SIG	外部配置芯片有效标志, 必须是 78H	78H
01H	CFG	配置参数	00H
03H-02H	RSVD	(保留单元)	0000H
05H-04H	VID	厂商标识: Vendor ID	自定义
07H-06H	DID	设备标识: Device ID	自定义
08H	RID	芯片版本: Revision ID	自定义
0BH-09H	CLS	设备类代码: Class Code	100000H
0DH-0CH	SVID	子系统厂商标识: Subsystem Vendor ID	自定义
0FH-0EH	SID	子系统标识: Subsystem ID	自定义
1FH-10H	RSVD	(保留单元)	00H 或 FFH
其它地址	APP	用户或应用程序自定义单元	

6.2. 空间映射

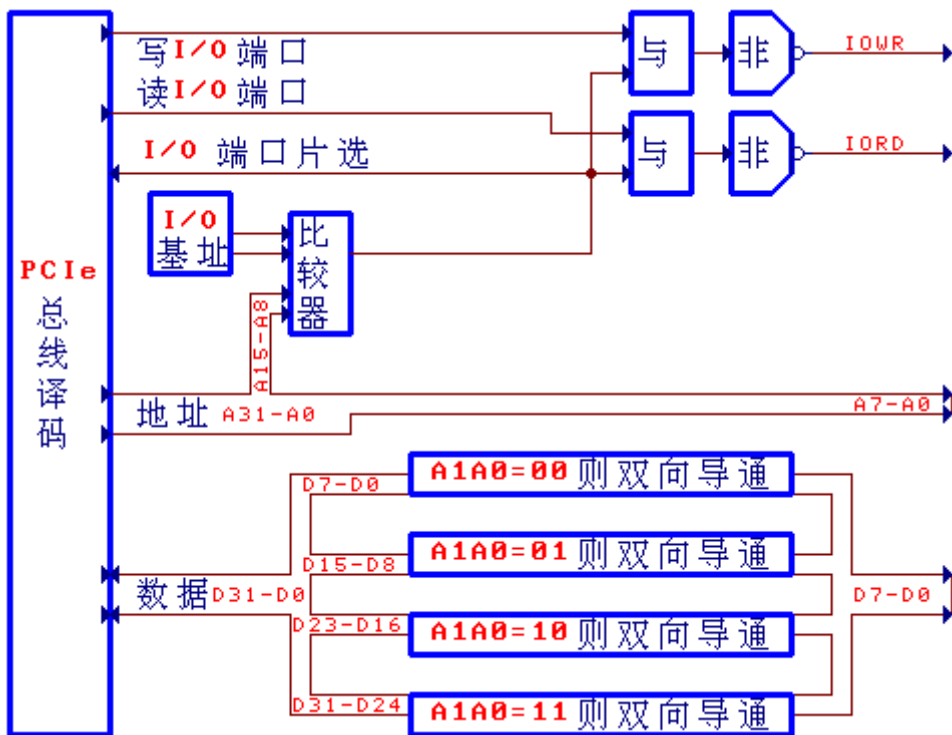
PC 机中包括三种空间: 存储器空间、I/O 空间、配置空间。存储器空间主要包括内存、显存、扩

展 ROM、设备缓冲区等，一般用于存放大量数据和进行数据块交换。I/O 空间主要包括设备的控制寄存器和状态寄存器，一般用于控制和查询设备的工作状态以及少量数据的交换。配置空间主要用于向系统提供设备自身的基本信息，并接受系统对设备全局状态的控制和查询。

为了避免地址冲突，PCIe 总线要求各个设备所占用的地址能够重定位。重定位是由设备的配置空间的基址寄存器实现的，通常情况下，各个设备的基址寄存器总是被 BIOS 或者操作系统分配为不同的基址，从而将各个设备分别映射到不同的地址范围。在需要时，应用程序也可以自行修改基址。

CH367 的 I/O 空间占用 256 字节，去掉 CH367 自用寄存器，还可以提供 232 字节给外部设备使用，偏移地址是 00H~E7H，实际地址是 I/O 基址加上偏移地址。

6.3. 内部结构和信号线



上图是 CH367 内部的主要结构。CH367 对 PCIe 总线的各种信号进行译码后，产生内部数据总线 D31~D0、内部地址总线 A31~A0、读 I/O 端口信号、写 I/O 端口信号等。图中已经标明了各个信号的传输方向。

结构图右侧的信号是指 CH367 提供给本地端的各个外部引脚。地址线 A7~A0 用于提供相对于基址的偏移地址，数据总线 D7~D0 在读操作时用于输入数据，在写操作时用于输出数据。IORD 用于提供 I/O 读选通脉冲信号，IOWR 用于提供 I/O 写选通脉冲信号，上述引脚的读写选通脉冲信号都是低电平有效。CH367 提供的地址线、数据总线、读写选通信号线类似于 ISA 总线的信号线，所以非常适合将 ISA 板卡升级到 PCIe 总线上。并且从图中可以看出，CH367 提供的读写选通信号已经在芯片内部被片选控制，CH367 输出的读写选通信号只是在其基址映射范围内有效，所以外部设备不再需要片选译码。

在 I/O 读写操作期间，CH367 的 A7~A0 输出 I/O 端口的偏移地址，提供给外部设备的有效偏移地址范围是 00H~E7H，外部设备可以进一步对 A7~A0 进行译码产生二级片选信号。

6.4. 数据宽度

CH367 支持 PC 机程序以单字节为单位对 I/O 端口进行读写，CH367 的内部寄存器（位于 I/O 基址 +0E8H 及以上地址）总是支持 PC 机程序以单字节、双字节（字）、四字节（双字）为单位存取。

执行双字节存取时，起始地址必须是基址范围内的任意字边界的地址（2 的倍数）；执行四字节存取时，起始地址必须是基址范围内的任意双字边界的地址（4 的倍数）。

6.5. 硬件中断

CH367 支持电平或者边沿中断请求输入，由中断控制寄存器 INTCR 的位 3 选择，其极性由位 2 选择，分别有四种：低电平有效、高电平有效、上升沿有效、下降沿有效。

在边沿中断方式下，当 INT#引脚检测到有效边沿输入后，CH367 的中断激活状态位（杂项控制和状态寄存器 MISC 的位 2）自动设置为 1，以记忆该边沿，同时向 PCIE 总线申请中断。进入中断服务程序后，软件必须及时清除该中断激活状态位，以取消（结束）本次中断请求。

在电平中断方式下，当 INT#引脚检测到有效电平输入后，CH367 直接向 PCIE 总线申请中断。当输入电平无效后，CH367 会向 PCIE 总线取消（结束）本次中断请求。如果在 CH367 向 PCIE 总线申请中断后很快又取消中断请求，那么本次中断请求有可能会被 PC 机忽略。

如果 PC 机程序以软件方式将 CH367 的中断激活状态位设置为 1，也可以使 CH367 进入中断激活状态，从而向 PCIE 总线申请中断。这样的软件中断与由 INT#引脚外部输入导致的硬件中断具有完全相同的特性，可以用于测试 CH367 的中断功能。

标准的中断过程如下：

- ① 外部电路向 INT#引脚输出有效的中断请求信号。
- ② CH367 通过 PCIE 总线向 PC 机申请中断（对于边沿中断，需要先记忆到中断激活状态位）。
- ③ PC 机进入 CH367 的中断服务程序。
- ④ 中断服务程序进行必要的中断处理，该步骤也可以在退出中断前再执行。
- ⑤ 如果是电平中断，那么中断服务程序应该通知外部电路撤消中断请求。
- ⑥ 如果是边沿中断，那么中断服务程序必须将中断激活状态位清除为 0。
- ⑦ CH367 通过 PCIE 总线撤消了对 PC 机的中断请求。
- ⑧ 中断处理完毕，PC 机退出 CH367 的中断服务程序。

6.6. 示例说明

基于 CH367 设计一块类似于打印口的 PCIE 板卡。设计约定板卡的 I/O 偏移地址 00H 是数据端口，偏移地址 01H 是状态端口，偏移地址 02H 是控制端口。当插入 PC 机后，该板卡可能被分配一个 I/O 基址 9500H，则数据端口的实际 I/O 地址是 9500H，状态端口的 I/O 地址是 9501H，控制端口的 I/O 地址是 9502H。区分各个端口是对 CH367 的 A7~A0 进行地址译码实现的，如果不需要其它端口，也可以只对 A1~A0 进行简化译码。

如果将两块完全相同的上述板卡插入 PC 机，则第二块板卡也会被系统自动分配一个 I/O 基址，但一定不会与第一块板卡的 I/O 基址相同。如果第二块板卡的 I/O 基址是 C700H，则第二块板卡的控制端口的实际 I/O 地址是 C702H，从而使得两块完全相同的 PCIE 板卡分别具有不同的 I/O 端口地址，避免了 I/O 地址冲突。

板卡设计者和相关的应用程序事先知道各个端口的偏移地址，但是无法事先知道板卡的 I/O 基址，所以应用程序在对 PCIE 板卡进行 I/O 操作前，需要通过板卡的配置空间的 I/O 基址寄存器了解当前板卡的 I/O 基址，再由 I/O 基址加上各个端口的偏移地址计算出各个端口的实际 I/O 地址，最后根据实际 I/O 地址对各个端口进行 I/O 操作。

以下是相应的读写过程示例。

- ① 向控制端口写出数据 5AH，对应 C 语言程序“outportb(loBase+2, 0x5A)”，此处变量 loBase 等于系统自动分配的实际基地址 0x9500。执行后 CH367 的地址线 A7~A0 输出控制端口的偏移地址 02H（地址 9502 被分解为基址 9500H 和偏移地址 02H，CH367 只输出偏移地址，不输出基址），CH367 的数据线 D7~D0 输出 5AH，同时 IOWR 输出一个低电平脉冲，脉冲宽度由 CH367 的读写速度控制寄存器事先设定，默认是 240nS。
- ② 从数据端口和状态端口读入数据，对应 C 语言程序“inport(loBase+0)”，返回结果的低字节是从数据端口读取的数据，高字节是从状态端口读取的数据。执行后 CH367 的地址线 A7~A0 首先输出数据端口的偏移地址 00H，同时 IORD 输出第一个低电平脉冲，外部设备应该将数据输出到数据总线 D7~D0 上；然后 CH367 的地址线 A7~A0 输出状态端口的偏移地址 01H，同时 IORD 输出第二个低电平脉冲，外部设备应该将状态输出到数据总线 D7~D0 上。

6.7. 其它应用说明

CH367 芯片的 RSTO 引脚为复位输出，低电平有效。在系统复位期间，RSTO 引脚输出低电平；在完成 SPI 接口 FlashROM 配置信息加载后，RSTO 输出高电平；然后再进行 IIC 接口 EEPROM 配置信息加载；最后 CH367 芯片进入正常工作状态，RSTO 引脚切换为通用输出引脚。

CH367 芯片的 GP0 引脚为通用输出。在系统复位期间，GP0 引脚输出高电平；同时检查通用输入引脚 GPI1 的状态，在复位完成、进行 SPI 接口 FlashROM 配置信息加载前，GP0 引脚根据 GPI1 的状态重新设定，复位时 GPI1 为高则 GP0 保持为高电平，复位时 GPI1 为低则 GP0 切换为低电平；最后 CH367 芯片进入正常工作状态，GP0 引脚作为普通的通用输出引脚。

CH367 提供了宽度为 12 位的硬件计时单元 (SPICR[3:0]+CNTR)，以 PCIE 总线主频的 204.8 分频为计时输入，对于 PCIE 总线的标准 100MHz 主频，硬件循环计数寄存器每隔 2.048 μ s 增加一个计数，从 000H 计数到 0FFFH 再循环到 000H 共需要 8388.608 μ s。通过比较前后两次读取的计数的差值，可以计算出实际延时，用来代替误差较大的计算机软件指令循环。

CH367 芯片的输出引脚都是 3.3V LVCMOS 电平，兼容 5V TTL 电平，输入引脚除 PCIE 信号引脚和 WAKIN#引脚之外，都能够承受 5V 耐压，兼容 5V CMOS 电平、3.3V LVCMOS 和 5V TTL 及 LVTTTL 电平。

7、参数

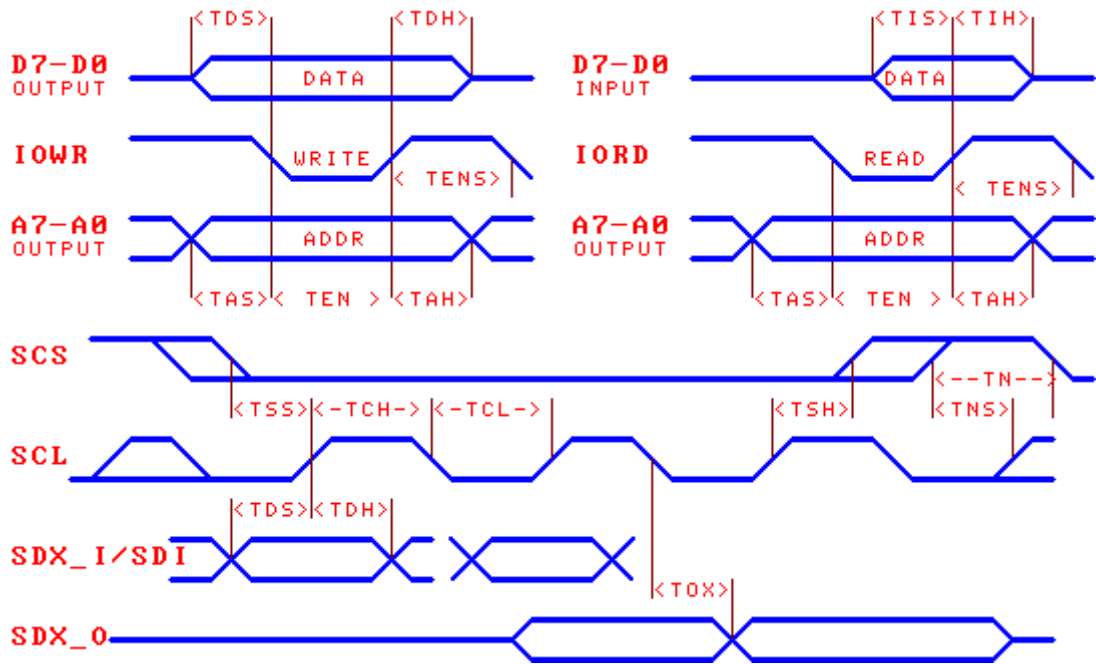
7.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	125	°C
VCC33	I/O 电源电压 (VCC33 接电源, GND 接地)	-0.4	4.2	V
VCC18 VCC18A	内核电源电压 (VCC18 接电源, GND 接地) 传输电源电压 (VCC18A 接电源, GND 接地)	-0.4	2.3	V
VIO	PCIE 信号和 WAKIN#输入或者输出引脚上的电压	-0.4	VCC33+0.4	V
VI05	其它输入或者输出引脚上的电压	-0.4	5.4V	V

7.2. 电气参数（测试条件：TA=25°C，VCC33=3.3V，不包括连接 PCIE 总线的引脚）

名称	参数说明	最小值	典型值	最大值	单位
VCC33	I/O 电源电压	3.0	3.3	3.6	V
VCC18 VCC18A	内核电源电压 传输电源电压	1.65	1.8	1.95	V
ICC	工作时的总电源电流		200	260	mA
VIL	低电平输入电压	-0.4		0.7	V
VIH	高电平输入电压	2.0		VCC33+0.4	V
VOL4	SDA 引脚低电平输出电压 (4mA 吸入电流)			0.4	V
VOL	其它引脚低电平输出电压 (6mA 吸入电流)			0.4	V
VOH	高电平输出电压 (4mA 输出电流)	VCC33-0.4			V
IIN	无上拉的输入端的输入电流			10	μ A
IUP	带上拉的输入端的输入电流	20	40	100	μ A

7.3. 时序参数（测试条件：TA=25°C，VCC33=3.3V，参考附图）



名称	参数说明	最小值	典型值	最大值	单位
FCLK	CLK 输入频率 (PCIe 总线的主频)	0	100	105	MHz
FSCL2	两线接口自动加载时 SCL 输出频率		244	260	KHz
FSCL3	三线接口自动加载时 SCL 输出频率		31	35	MHz
TINTEG	有效边沿中断的最小脉冲宽度	5			nS
TEN	IORD、IOWR 读或写选通的低电平脉冲宽度	30	可选择 30~480	480	nS
TENS	IORD、IOWR 连续选通的高电平间隔宽度	90			nS
TAS	地址 A7~A0 输出建立时间	12	可选择 15 或 45		nS
TAH	地址 A7~A0 输出保持时间	12	可选择 15 或 45		nS
TDS	数据 D7~D0 输出建立时间	12	可选择 15 或 45		nS
TDH	数据 D7~D0 输出保持时间	12	可选择 15 或 45		nS
TIS	数据 D7~D0 输入建立时间	10			nS
TIH	数据 D7~D0 输入保持时间	0			nS
TSS	SCK 上升沿之前 SCS 有效的建立时间	11	16 或 32		nS
TSH	SCK 上升沿之后 SCS 有效的保持时间	11	16 或 32		nS
TNS	SCK 上升沿之前 SCS 无效的建立时间	10			nS
TN	SCS 无效时间 (SPI 操作间隔时间)	110			nS
TCH	SCK 时钟的高电平时间	13	16 或 32		nS
TCL	SCK 时钟的低电平时间	13	16 或 32		nS
TDS	SCK 上升沿之前 SDX/SDI 输入的建立时间	5			nS
TDH	SCK 上升沿之后 SDX/SDI 输入的保持时间	0			nS
TOX	SCK 下降沿到 SDX 输出有效或者改变	0	2	5	nS

8、应用

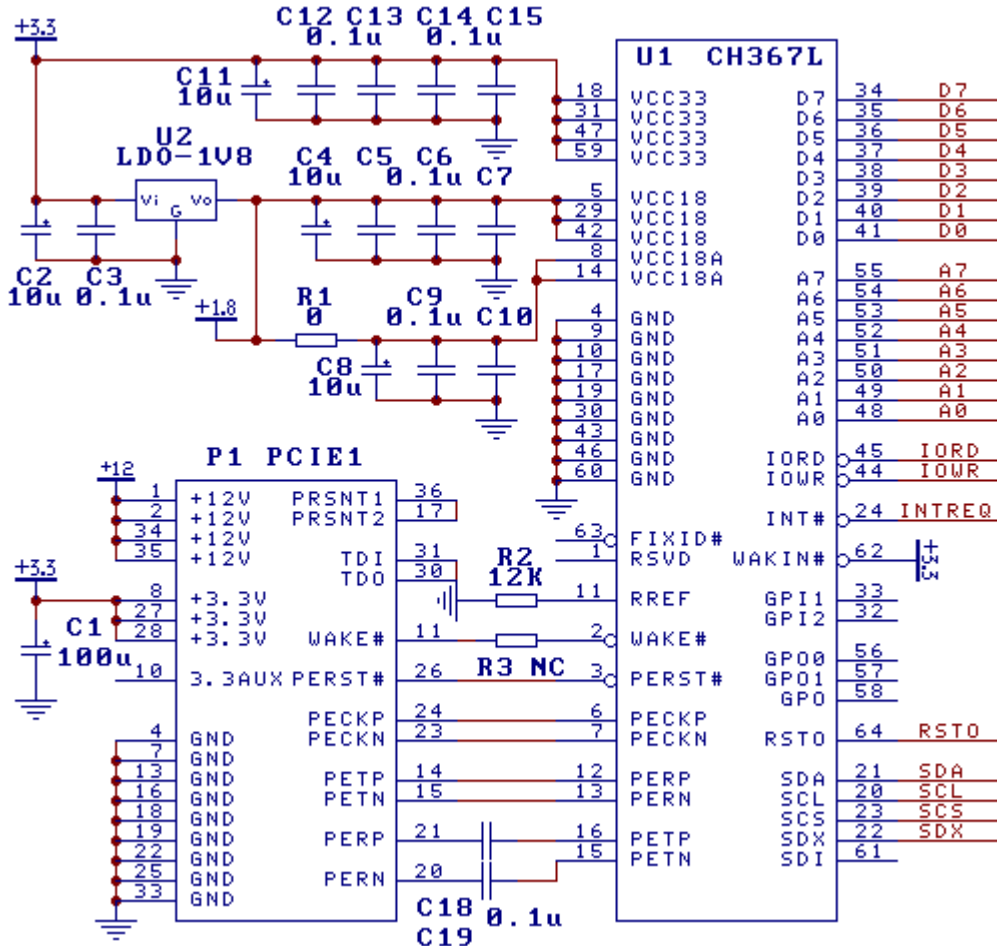
8.1. 连接 PCIE 总线（下图）

这是 CH367 芯片与 PCIE 总线连接的基本电路。

图中电容用于电源退耦，容量为 10uF 的电容是钽电容，容量为 0.1uF 的电容是独石或者高频瓷片电容，分别就近并联在 CH367 的电源引脚上。

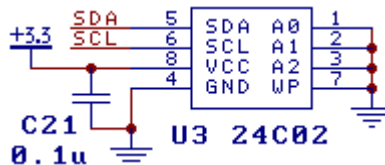
如果未用到唤醒功能，那么可以去掉 R3，将 WAKE# 引脚悬空，但 WAKIN# 引脚仍然要接高电平。

CH367 属于高频电路，在设计 PCB 板时请参考 PCIE 总线规范，或者参考 PCIE_PCB.PDF 文档。



8.2. 连接配置芯片（下图）

CH367 支持外部 EEPROM 配置芯片 24CXX，用于提供 VID/DID 等 PCIE 板卡的识别信息。

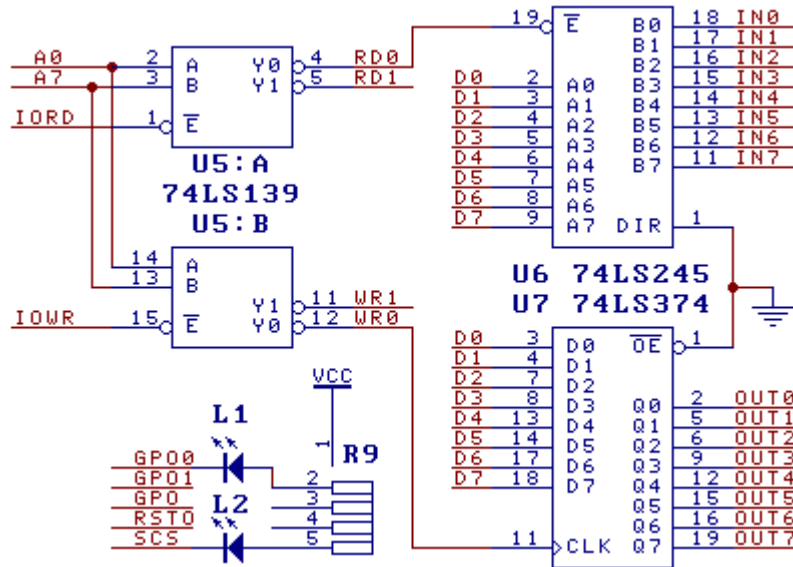


8.3. I/O 端口应用（下图）

读选通/使能 IORD 和写选通/使能 IOWR 控制 74LS139 的译码使能，74LS139 将地址译码输出 2 路读控制和 2 路写控制，经过 74LS245 输入缓冲和 74LS374 锁存输出，获得 2 组每组 8 位缓冲输入和 2 组每组 8 位锁存输出。例如，CH367 的 I/O 基址被设定为 5A00H，则读取 5A00H 端口就是读取第一组缓冲输入，写入 5A01H 端口就是写入第二组锁存输出。

通用输出引脚 GP00、GP01、GP0 和 RSTO 以及未用到的 SCS 都可以作为控制输出，GP00 和 GP01 在系统复位后默认为低电平，GP0 在复位期间为高电平，在复位后则由 GPI1 输入状态设定。

CH367 输出引脚的驱动电流大于 5mA，可以在串接限流电阻后直接驱动 LED 显示。CH367 提供了 8 根地址线 A7~A0 用于 I/O 地址译码，有效偏移地址范围是 0EFH~00H，长度不超过 232 字节，一般情况下，外部电路可以无需片选线或者直接强制片选。



基于 CH367 的通用驱动程序 WDM 和动态链接库 DLL，上述操作的 C 语言程序是：

```

UCHAR  mByte; // 数据单元，用于保存从 I/O 端口中读出的数据或者准备写入 I/O 的数据
mPCH367_I0_REG  mIoBase; // I/O 端口基址，实际数据单元的地址等于基址加上偏移地址
CH367GetIoBaseAddr( &mIoBase ); // 获取 I/O 端口的基址，这是可选操作，不必执行，
// 如果不获取 I/O 基址则可以在 I/O 操作中只指定偏移地址，相当于 I/O 基址为 0，
// 在调用 CH367 的 DLL 后，DLL 会自动将偏移地址加上基址再进行 I/O 操作，
// 存储器与此类似，如果存储器操作中只指定偏移地址，则 DLL 会自动加上存储器基址
CH367ReadIoByte( &mIoBase -> mCH367_IOXR[0x00], &mByte );
// 上述操作从 I/O 端口的 00H 偏移地址读取一个字节的的数据，即读入第一组缓冲输入
CH367WriteIoByte( &mIoBase -> mCH367_IOXR[0x01], 0x47 );
// 上述操作将数据 47H 写到 I/O 端口的 01H 偏移地址，即作为第二组锁存输出
CH367WriteIoByte( &mIoBase -> mCH367_GPOR2, 0x02 );
// 设置 GPO0 为低电平，GPO1 为高电平，GPO 为低电平

```

在 DOS 下或者没有操作系统的 PC 机中，上述操作的汇编程序是：

```

MOV  AX, 0B109H           ;以字为单位读取 PCIE 配置空间
MOV  BX, CH367_PCIE_BUS_DEV_ADDR ;CH367 板卡的 PCIE 地址，即总线/设备/功能号
MOV  DI, 0010H           ;I/O 端口基址寄存器的偏移地址 PC_BASE_ADDR0
INT  1AH                 ;读取 I/O 端口的基址，由计算机初始化时自动设置
AND  CX, 0FFFEH         ;获得 I/O 端口的基址，最低位为指示位，要屏蔽掉
MOV  BX, CX              ;该值为 I/O 端口的基址
LEA  DX, [BX]. CH367_IOXR[0] ;第一组缓冲输入的 I/O 端口地址，I/O 基址加 0
IN   AL, DX              ;读取 74LS245 缓冲输入的数据
LEA  DX, [BX]. CH367_IOXR[1] ;第二组锁存输出的 I/O 端口地址，I/O 基址加 1
MOV  AL, 47H            ;将数据 47H 写入 74LS374 锁存输出寄存器
OUT  DX, AL              ;通用输出寄存器 2 的 I/O 端口地址，在 CH367 内部
LEA  DX, [BX]. CH367_GPOR2 ;为了保持其余引脚的状态，先读取原 GPO 引脚状态
IN   AL, DX              ;仅将 GPO1 置为高电平，而其余引脚保持不变
OR   AL, 02H            ;仅将 GPO0 置为低电平，而其余引脚保持不变
AND  AL, 0FEH           ;将新的 GPO 写入通用输出寄存器 2
OUT  DX, AL

```

8.4. 连接单片机等

PC 机通过 CH367 与单片机或者 DSP 进行双向数据传输, 可以使用四种方式: 一是使用双口 SRAM, 让 CH367 和单片机能够读写同一块存储器, 以大数据块为单位进行双向数据交换; 二是使用双向缓冲接口芯片 CH421, 分别为 CH367 写单片机和单片机写 CH367 提供 64 字节的缓冲区, 以 64 字节的数据块为单位进行双向数据交换; 三是使用 CH367 的 SPI 主机接口或者 CH382 的异步串口以字节为单位进行数据交换, 不需要增加额外的硬件成本。