



## 目录

特性 .....	1	工作原理 .....	16
应用 .....	1	电路信息 .....	14
概述 .....	1	模拟输入 .....	13
功能框图 .....	1	差分输入 .....	15
修订历史 .....	2	电流检测应用 .....	15
技术规格 .....	3	电压检测应用 .....	15
时序规格 .....	5	数字滤波器 .....	16
隔离和安全相关特性 .....	6	应用信息 .....	28
法规信息 .....	6	接地和布局 .....	26
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12隔离特性		AD7401A性能评估 .....	18
绝对最大额定值 .....	8	隔离寿命 .....	18
ESD警告 .....	8	外形尺寸 .....	31
引脚配置和功能描述 .....	9	订购指南 .....	18
典型工作特性 .....	18		
术语 .....	13		

## 修订历史

### 2011年3月—修订版A至修订版B

#### 更改概述

更改表1 .....	3
------------	---

### 2011年1月—修订版0至修订版A

更改特性、UL认证值 .....	1
------------------	---

更改表3、输入至输出瞬时耐受电压值 .....	6
-------------------------	---

更改表4、隔离电压值和尾注1 .....	6
----------------------	---

### 2008年7月—版本0:初始版

## 技术规格

除非另有说明,  $V_{DD1} = 4.5\text{ V}$ 至 $5.5\text{ V}$ ,  $V_{DD2} = 3\text{ V}$ 至 $5.5\text{ V}$ ,  $V_{IN+} = -200\text{ mV}$ 至 $+200\text{ mV}$ ,  $V_{IN-} = 0\text{ V}$ (单端);  $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ,  $f_{MCLKIN} = 16\text{ MHz}$ (最大值), <sup>1</sup>测试使用Verilog代码所定义的Sinc3滤波器, 抽取率为256。

表1

参数	Y 版本 <sup>1, 2</sup>			单位	测试条件/注释
	最小值	典型值	最大值		
静态性能					
分辨率	16			Bits	滤波器输出截断至16位
积分非线性(INL) <sup>3</sup>		$\pm 1.5$	$\pm 7$	LSB	$V_{IN+} = \pm 200\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}, f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup>
		$\pm 2$	$\pm 13$	LSB	$V_{IN+} = \pm 250\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}, f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup>
		$\pm 1.5$	$\pm 11$	LSB	$V_{IN+} = \pm 200\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}, f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup>
		$\pm 2$	$\pm 46$	LSB	$V_{IN+} = \pm 250\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}, f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup>
微分非线性(DNL) <sup>3</sup>			$\pm 0.9$	LSB	保证16位无失码, $f_{MCLKIN} = 20\text{ MHz}$ (最大值), <sup>1</sup> $V_{IN+} = -250\text{ mV}$ 至 $+250\text{ mV}$
失调误差 <sup>3</sup>		$\pm 0.25$	$\pm 0.5$	mV	$f_{MCLKIN} = 20\text{ MHz}$ (最大值), <sup>1</sup> $V_{IN+} = -250\text{ mV}$ 至 $+250\text{ mV}$
失调漂移与温度的关系 <sup>3</sup>		1	3.5	$\mu\text{V}/^\circ\text{C}$	$f_{MCLKIN} = 20\text{ MHz}$ (最大值), <sup>1</sup> $V_{IN+} = -250\text{ mV}$ 至 $+250\text{ mV}$
失调漂移与 $V_{DD1}$ 的关系 <sup>3</sup>		120		$\mu\text{V}/\text{V}$	
增益误差 <sup>3</sup>		0.07	$\pm 1.5$	mV	
		$\pm 1$		mV	$f_{MCLKIN} = 20\text{ MHz}$ (最大值), <sup>1</sup> $V_{IN+} = -250\text{ mV}$ 至 $+250\text{ mV}$
增益误差漂移与温度的关系 <sup>3</sup>		23		$\mu\text{V}/^\circ\text{C}$	
增益误差与 $V_{DD1}$ 的关系 <sup>3</sup>		110		$\mu\text{V}/\text{V}$	
模拟输入					
输入电压范围		$\pm 200$	$\pm 250$	mV	满足特定性能; 满量程 $\pm 320\text{ mV}$
动态输入电流		$\pm 13$	$\pm 18$	$\mu\text{A}$	$V_{IN+} = 500\text{ mV}, V_{IN-} = 0\text{ V}, f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup>
		$\pm 10$	$\pm 15$	$\mu\text{A}$	$V_{IN+} = 400\text{ mV}, V_{IN-} = 0\text{ V}, f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup>
		0.08		$\mu\text{A}$	$V_{IN+} = 0\text{ V}, V_{IN-} = 0\text{ V}, f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup>
直流漏电流		$\pm 0.01$	$\pm 0.6$	$\mu\text{A}$	
输入电容		10		pF	
动态特性					
信纳比(SINAD) <sup>3</sup>	76	82		dB	$V_{IN+} = \pm 200\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ , $f_{MCLKIN} = 5\text{ MHz}$ 至 $20\text{ MHz}$ 1
	71	82		dB	$V_{IN+} = \pm 250\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ , $f_{MCLKIN} = 5\text{ MHz}$ 至 $20\text{ MHz}$ 1
	72	82		dB	$V_{IN+} = \pm 200\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ , $f_{MCLKIN} = 5\text{ MHz}$ 至 $20\text{ MHz}$ 1
		82		dB	$V_{IN+} = \pm 250\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ , $f_{MCLKIN} = 5\text{ MHz}$ 至 $20\text{ MHz}$ 1
信噪比(SNR) <sup>3</sup>	81	83		dB	$V_{IN+} = \pm 250\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ , $f_{MCLKIN} = 5\text{ MHz}$ 至 $20\text{ MHz}$ 1
	80	82		dB	$V_{IN+} = \pm 200\text{ mV}, T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ , $f_{MCLKIN} = 5\text{ MHz}$ 至 $20\text{ MHz}$ 1
总谐波失真(THD) <sup>3</sup>		-90		dB	$f_{MCLKIN} = 20\text{ MHz}$ (最大值) <sup>1</sup> , $V_{IN+} = -250\text{ mV}$ 至 $+250\text{ mV}$
峰值谐波或杂散噪声(SFDR) <sup>3</sup>		-92		dB	
有效位数(ENOB) <sup>3</sup>	12.3	13.3		Bits	
绝缘瞬变抗扰度 <sup>3</sup>	25	30		kV/ $\mu\text{s}$	
逻辑输入					
输入高电压 $V_{IH}$	$0.8 \times V_{DD2}$			V	
输入低电压 $V_{IL}$			$0.2 \times V_{DD2}$	V	
输入电流 $I_{IN}$		$\pm 0.5$		$\mu\text{A}$	
悬空态漏电流		1		$\mu\text{A}$	
输入电容 $C_{IN}$ <sup>4</sup>		10		pF	

# AD7401A

参数	Y 版本 <sup>1, 2</sup>			单位	测试条件/注释
	最小值	典型值	最大值		
逻辑输出					
输出高电压 $V_{OH}$	$V_{DD2} - 0.1$			V	$I_o = -200 \mu A$
输出低电压 $V_{OL}$			0.4	V	$I_o = +200 \mu A$
电源要求					
$V_{DD1}$	4.5		5.5	V	
$V_{DD2}$	3		5.5	V	
$I_{DD1}^5$		10	12	mA	$V_{DD1} = 5.5 V$
$I_{DD2}^6$		7	9	mA	$V_{DD2} = 5.5 V$
		3	4	mA	$V_{DD2} = 3.3 V$
功耗图17。		93.5		mW	$V_{DD1} = V_{DD2} = 5.5 V$

<sup>1</sup> 当 $f_{MCLK} > 16 \text{ MHz}$ 至 $20 \text{ MHz}$ 时，传号空号比为48/52至52/48， $V_{DD1} = V_{DD2} = 5 V \pm 5\%$ ， $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

<sup>2</sup> 所有电压均参照其各自的地。

<sup>3</sup> 参见“术语”部分。

<sup>4</sup> 样片在初次发布期间均经过测试，以确保符合标准要求。

<sup>5</sup> 参见图15。

<sup>6</sup> 参见图17。

## 时序规格

除非另有说明,  $V_{DD1} = 4.5\text{ V至}5.5\text{ V}$ ,  $V_{DD2} = 3\text{ V至}5.5\text{ V}$ ,  $T_A = -40^\circ\text{C至}+125^\circ\text{C}$ 。

表2

参数 <sup>1</sup>	在 $T_{MIN}$ 、 $T_{MAX}$ 时的限值	单位	描述
$f_{MCLKIN}^{2,3}$	20	MHz(最大值)	主机时钟输入频率
	5	MHz(最小值)	主机时钟输入频率
$t_1^4$	25	ns(最大值)	MCLKIN上升沿后的数据访问时间
$t_2^4$	15	ns(最小值)	MCLKIN上升沿后的数据保持时间
$t_3$	$0.4 \times t_{MCLKIN}$	ns(最小值)	主机时钟信号保持低电平状态的时间
$t_4$	$0.4 \times t_{MCLKIN}$	ns(最小值)	主机时钟信号保持高电平状态的时间

<sup>1</sup> 样片在初次发布期间均经过测试, 以确保符合标准要求。

<sup>2</sup> 当 $f_{MCLKIN} \leq 16\text{ MHz}$ 时, 时钟输入的传号空号比为40/60至60/40; 当 $16\text{ MHz} < f_{MCLKIN} < 20\text{ MHz}$ 时, 时钟输入的传号空号比为48/52至52/48。

<sup>3</sup> 当 $f_{MCLKIN} > 16\text{ MHz至}20\text{ MHz}$ 时,  $V_{DD1} = V_{DD2} = 5\text{ V} \pm 5\%$ 。

<sup>4</sup> 测量时, 负载电路如图2所示, 定义为输出跨越0.8 V或2.0 V所需的时间。

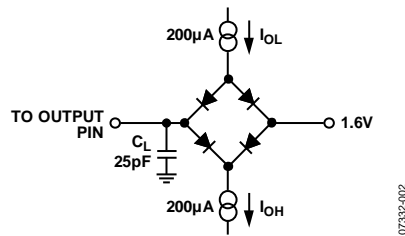


图2. 数字输出时序规格的负载电路

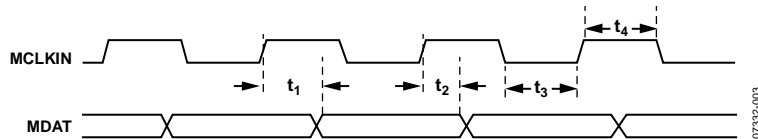


图3. 数据时序

# AD7401A

## 隔离和安全相关特性

表3

参数	符号	值	单位	条件
输入至输出瞬时耐受电压	V <sub>ISO</sub>	V	V	持续1分钟
最小外部气隙(间隙)	L(I01)	毫米	mm	测量输入端至输出端, 空气最短距离
最小外部爬电距离	L(I02)	毫米	mm	测量输入端至输出端, 沿壳体最短距离
最小内部间隙		毫米	mm	隔离距离
漏电阴抗(相对漏电指数)	CTI	V	V	DIN IEC 112/VDE 0303第1部分
隔离组				材料组(DIN VDE 0110, 1/89, 表1)

## 法规信息

表4

UL <sup>1</sup>	CSA	VDE <sup>2</sup>
1577器件认可程序认可 <sup>1</sup>	CSA元件验收通知#5A批准	DIN V VDE V 0884-10 (VDE V 0884-10):2006-12认证 <sup>2</sup>
5000 V rms隔离电压	强化绝缘符合CSA 60950-1-03和IEC 60950-1标准, 630 V rms最大工作电压	强化绝缘符合DIN V VDE V 0884-10(VDE V0884-10):2006-12, 891 V 峰值
文件E214100	文件205078	文件2471900-4880-0001

<sup>1</sup> 依据UL1577, 每个AD7401A器件都经过1秒钟绝缘测试电压≥ 6,000 V rms的验证测试(漏电流检测限值为15 μA)。

<sup>2</sup> 依据DIN V VDE V 0884-10, 每个AD7401A器件都经过1秒钟绝缘测试电压≥1,671V峰值的验证测试(局部放电检测限值为5 pC)。

**DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12隔离特性**

此隔离器适合安全限制数据范围内的增强的电隔离。通过保护电路保持安全数据。

**表5**

描述	符号	特性	单位
DIN VDE 0110安装分类 额定电源电压≤ 300 V rms 额定电源电压≤ 450 V rms 额定电源电压≤ 600 V rms		I至IV I至II I至II	
气候分类		40/105/21	
污染度(DIN VDE 0110, 表1)		2	
最大工作绝缘电压	$V_{IORM}$	891	V 峰值
输入至输出测试电压, 方法B1 $V_{IORM} \times 1.875 = V_{PR}$ , 100%生产测试, $t_m = 1$ 秒, 局部放电 < 5 pC	$V_{PR}$	1671	V 峰值
输入至输出测试电压, 方法A 跟随环境测试子类 <sup>1</sup> $V_{IORM} \times 1.6 = V_{PR}$ , $t_m = 60$ 秒, 局部放电 < 5 pC 跟随输入和/或安全测试子类2/安全测试子类3 $V_{IORM} \times 1.2 = V_{PR}$ , $t_m = 60$ 秒, 局部放电 < 5 pC	$V_{PR}$	1426 1069	V 峰值 V 峰值
可支持的最高过压(瞬变过压 $t_{TR} = 10$ 秒)	$V_{TR}$	6000	V 峰值
安全限定值(出现故障时允许的最大值, 见图4) 壳温 第1侧电流 第2侧电流	$T_S$ $I_{S1}$ $I_{S2}$	150 265 335	°C mA mA
$T_S$ 时的绝缘电阻, $V_{IO} = 500$ V	$R_S$	$>10^9$	Ω

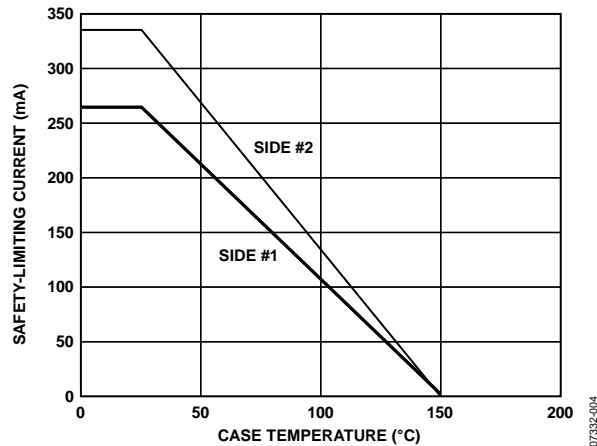


图4. 热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与壳温的关

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。所有电压均参照其各自的地。

表6

参数	额定值
$V_{DD1}$ 至 $\text{GND}_1$	-0.3 V 至 +6.5 V
$V_{DD2}$ 至 $\text{GND}_2$	-0.3 V 至 +6.5 V
模拟输入电压至 $\text{GND}_1$	-0.3 V 至 $V_{DD1} + 0.3 \text{ V}$
数字输入电压至 $\text{GND}_2$	-0.3 V 至 $V_{DD1} + 0.5 \text{ V}$
输出电压至 $\text{GND}_2$	-0.3 V 至 $V_{DD2} + 0.3 \text{ V}$
输入电流至除电源外的任何引脚 <sup>1</sup>	$\pm 10 \text{ mA}$
工作温度范围	$-40^\circ\text{C}$ 至 $+125^\circ\text{C}$
存储温度范围	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
结温	$150^\circ\text{C}$
封装: SOIC	
$\theta_{JA}$ 热阻 <sup>2</sup>	$89.2^\circ\text{C}/\text{W}$
$\theta_{JC}$ 热阻 <sup>2</sup>	$55.6^\circ\text{C}/\text{W}$
电阻(输入至输出), $R_{I-O}$	$10^{12} \Omega$
电容(输入至输出), $C_{I-O}$ <sup>3</sup>	$1.7 \text{ pF typ}$
无铅回流焊	
温度	$260^\circ\text{C}$
ESD	$1.5 \text{ kV}$

<sup>1</sup> 100 mA 以下的瞬态电流不会造成 SCR 闩锁。

<sup>2</sup> EDEC 2S2P 标准板。

<sup>3</sup>  $f = 1 \text{ MHz}$ 。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

表7. 最大连续工作电压<sup>1</sup>

参数	最大值	单位	约束条件
交流电压，双极性波形	565	V peak	最少50年寿命
交流电压，单极性波形	891	V peak	CSA/VDE 允许的最大工作电流
直流电压	891	V	CSA/VDE 允许的最大工作电流

<sup>1</sup> 指隔离栅上的连续电压幅度。详情见“隔离寿命”部分。

## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



## 引脚配置和功能描述

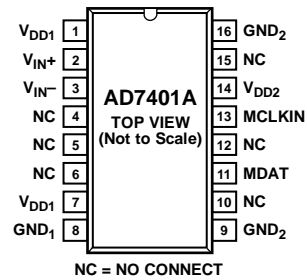


图5. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	描述
1, 7	V <sub>DD1</sub>	电源电压(4.5 V至5.5 V)。这是AD7401A隔离端的电源电压，参照GND <sub>1</sub> 。
2	V <sub>IN+</sub>	正向模拟输入。额定范围为±250 mV。
3	V <sub>IN-</sub>	负向模拟输入。一般情况下，与GND <sub>1</sub> 相连。
4至6, 10, 12, 15	NC	不连接。
8	GND <sub>1</sub>	接地1。这是隔离端一侧所有电路的接地基准点。
9, 16	GND <sub>2</sub>	接地2。这是非隔离端一侧所有电路的接地基准点。
11	MDAT	串行数据输出。单个位调制器输出以串行数据流的形式输入该引脚。各个位在MCLKIN输入的上升沿逐位移出，并在下一个MCLKIN上升沿有效。
13	MCLKIN	主机时钟逻辑输入。最大值为20 MHz。调幅器输出的位流在MCLKIN的上升沿有效。
14	V <sub>DD2</sub>	电源电压。3 V至5.5 V。该引脚用来为非隔离端提供电源电压；相对于GND <sub>2</sub> 。

# AD7401A

## 典型工作特性

除非另有说明,  $T_A = 25^\circ\text{C}$ , 采用25 kHz砖墙式滤波器。

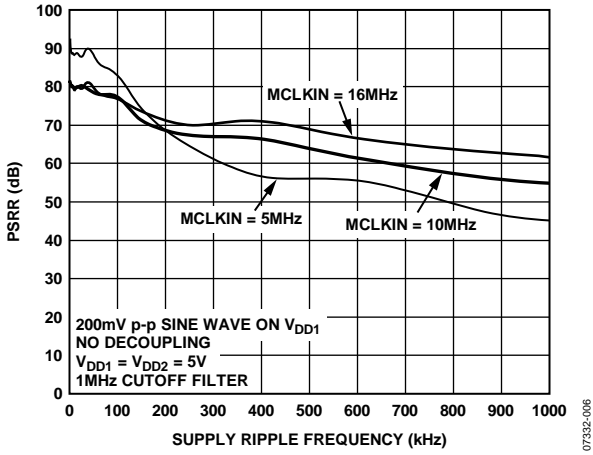


图6. 电源抑制比(PSRR)与电源纹波频率的关系, 无电源去耦

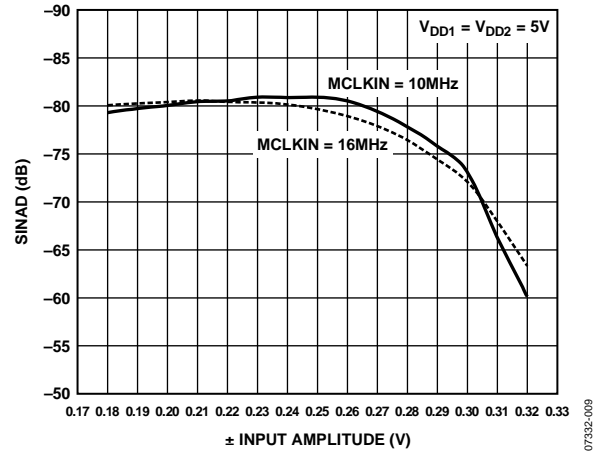


图9. SINAD与 $V_{IN}$ 的关系

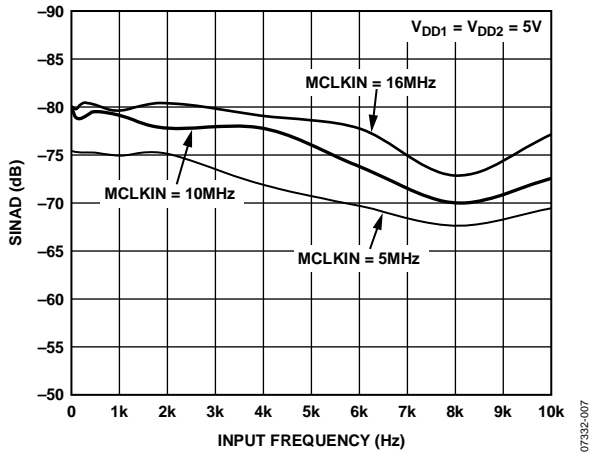


图7. SINAD与模拟输入频率的关系

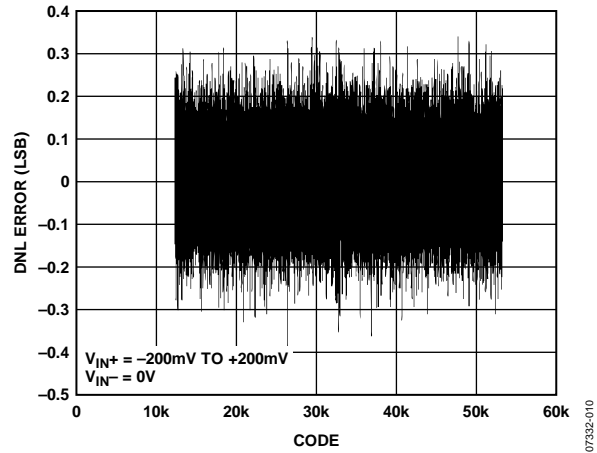


图10. 典型的DNL( $\pm 200\text{ mV}$ )

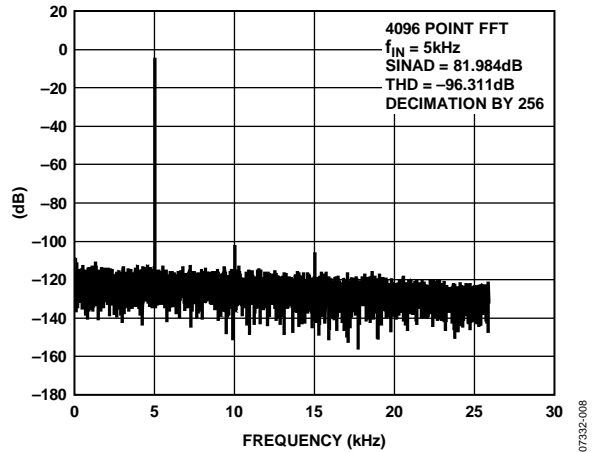


图8. 典型FFT( $\pm 200\text{ mV}$ )

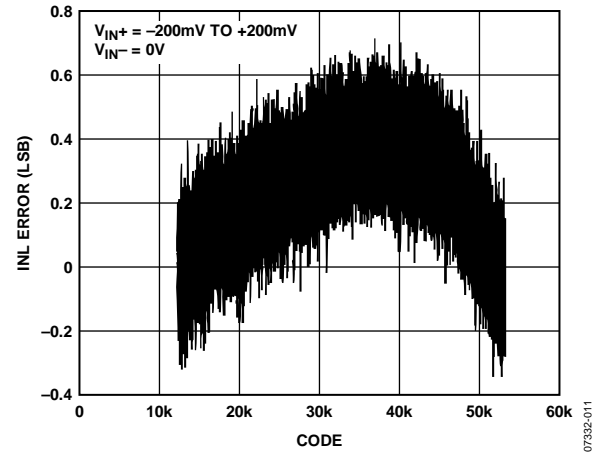


图11. 典型的INL( $\pm 200\text{ mV}$ )

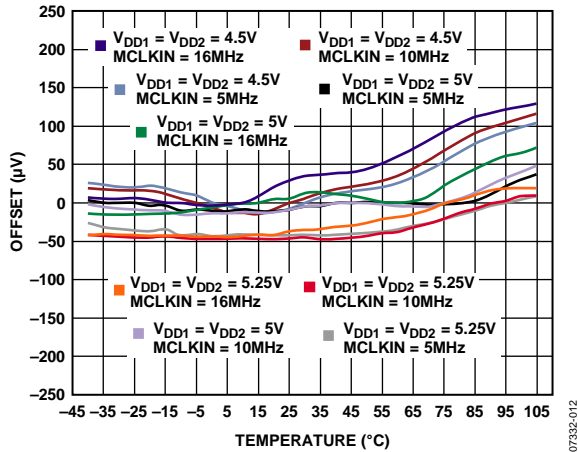


图12. 不同电源电压下, 失调漂移与温度的关系

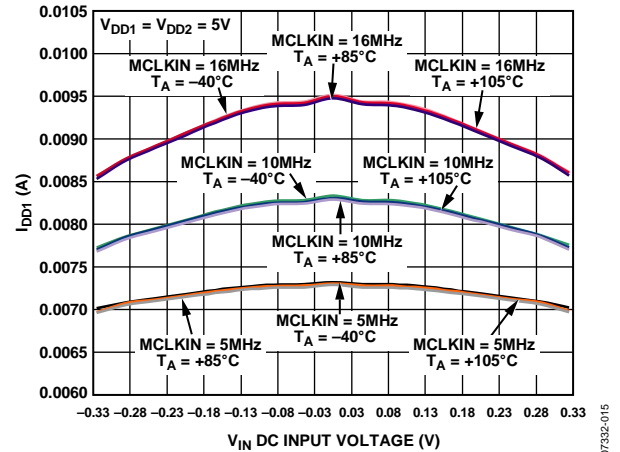


图15. 不同温度下,  $I_{DD1}$  与  $V_{IN}$  的关系

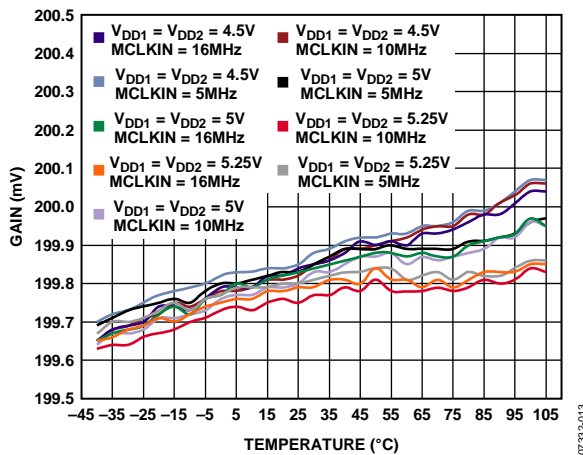


图13. 不同电源电压下, 增益误差漂移与温度的关系

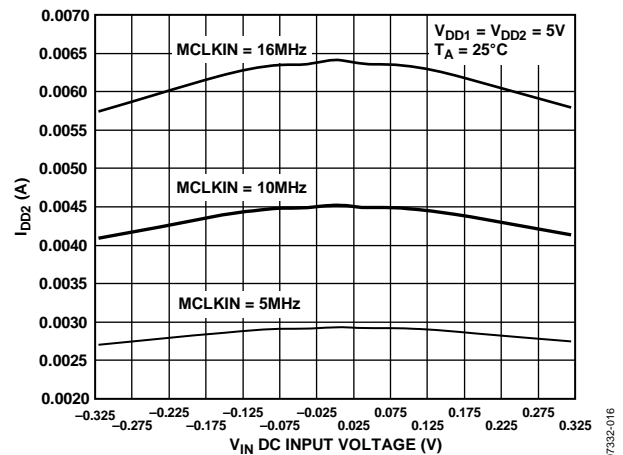


图16.  $I_{DD2}$  与  $V_{IN}$  直流输入电压的关系

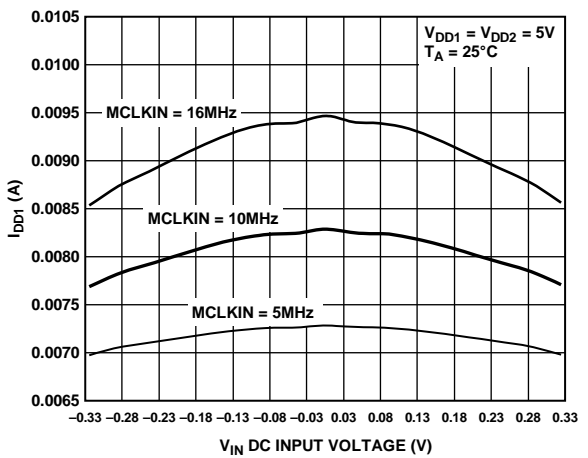


图14.  $I_{DD1}$  与  $V_{IN}$  直流输入电压的关系

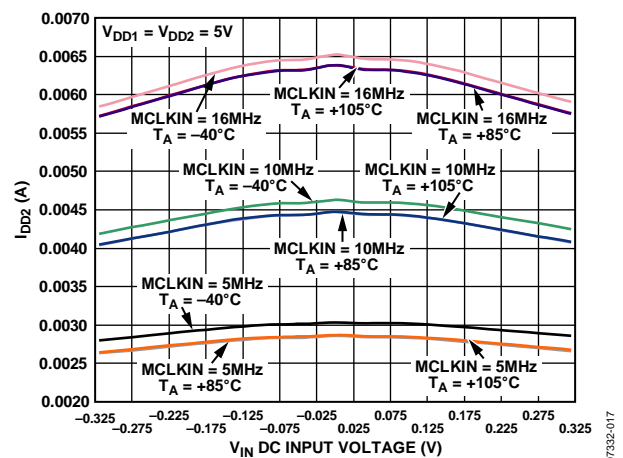


图17. 不同温度下,  $I_{DD2}$  与  $V_{IN}$  的关系

# AD7401A

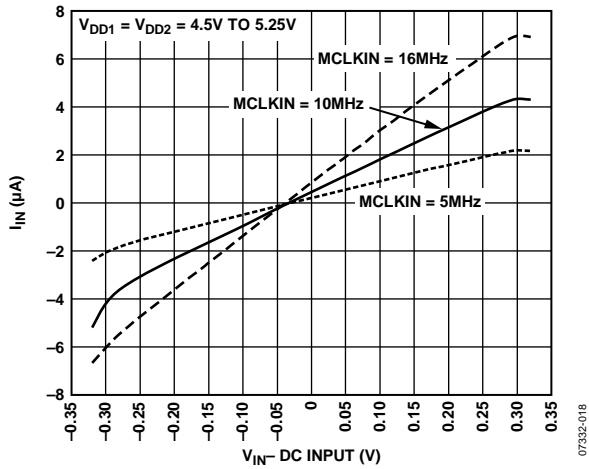


图18.  $I_{IN}$  与  $V_{IN}$  直流输入的关系

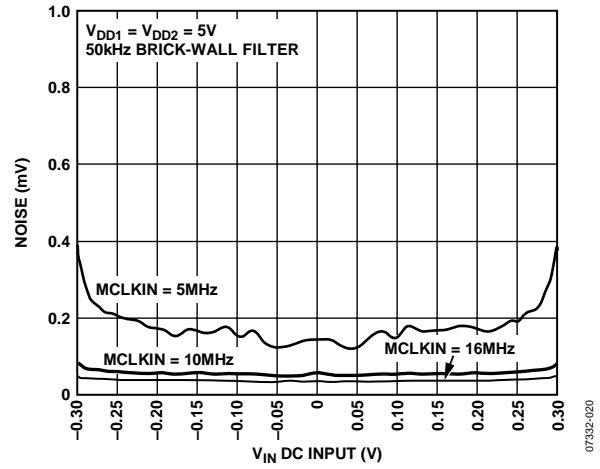


图20. 均方根噪声电压与  $V_{IN}$  直流输入的关系

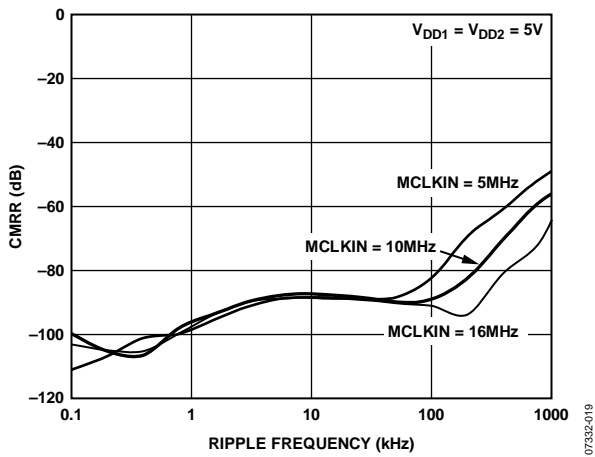


图19. 共模抑制比(CMRR)与共模纹波频率的关系

## 术语

### 微分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

### 积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。对16位代码7169来说，传递函数的端点是指定的负满量程 $-250\text{ mV}(V_{\text{IN}+} - V_{\text{IN}-})$ ；而对16位代码58366来说，端点为指定的正满量程 $+250\text{ mV}(V_{\text{IN}+} - V_{\text{IN}-})$ 。

### 失调误差

失调误差衡量中间代码(16位对应的是32768)与理想值 $V_{\text{IN}+} - V_{\text{IN}-}$ (即0 V)之间的差值。

### 增益误差

增益误差包括正满量程增益误差和负满量程增益误差。正满量程增益误差表示在修正失调误差之后，指定的正满量程代码(在16位数据中的对应值为32768)与理想值 $V_{\text{IN}+} - V_{\text{IN}-}$ ( $+250\text{ mV}$ )之间的差值。负满量程增益误差表示在修正失调误差之后，指定的正满量程代码(在16位数据中的对应值为7169)与理想值 $V_{\text{IN}+} - V_{\text{IN}-}$ ( $-250\text{ mV}$ )之间的差值。增益误差包含基准误差。

### 信纳比(SINAD)

信纳比(SINAD)是指在ADC输出端测得的信号对噪声及失真比。这里的“信号”是基波幅值的均方根幅值。噪声为所有达到采样频率一半( $f_s/2$ , 直流信号除外)的非基波信号之和。在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$\text{信纳比} = (6.02N + 1.76)\text{dB}$$

因此，12位转换器的信纳比理论值为74dB。

### 有效位数(ENOB)

ENOB的计算公式为：

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02\text{位}$$

### 总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7401A，其定义为

$$\text{THD}(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

$V_1$ 是基波幅度的均方根值。

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 及 $V_6$ 是二次到六次谐波幅度的均方根值。

### 峰值谐波或杂散噪声

峰值谐波或杂散噪声是指在ADC输出频谱(最高达 $f_s/2$ , 直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的ADC，它为噪声峰值。

### 共模抑制比(CMRR)

共模抑制比定义为 $\pm 250\text{ mV}$ 频率 $f$ 下ADC输出功率与频率 $f_s$ 下施加于共模电压 $V_{\text{IN}+}$ 和 $V_{\text{IN}-}$ 的 $250\text{ mV}$ 峰峰值正弦波功率的比值。

$$\text{PSRR}(\text{dB}) = 10 \log(P_f/P_{f_s})$$

其中：

$P_f$ 为频率 $f$ 下ADC的输出功率。

$P_{f_s}$ 是频率 $f_s$ 下ADC的输出功率。

### 电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程( $\pm 250\text{ mV}$ )转换点变化(见图6)。

### 绝缘瞬变抗扰度

绝缘瞬变抗扰度规定了应用在绝缘临界状态下的绝缘瞬变脉冲上升/下降的速率。如果超过绝缘临界值，可能导致对数据或时钟的损坏。AD7401A的测试是施加一频率为100KHz的瞬变脉冲

# AD7401A

## 工作原理 电路信息

AD7401A隔离 $\Sigma$ - $\Delta$ 调制器可将模拟输入信号转换为高速(最高频率为20 MHz)、单个位数据流;调制器输出每个位数据的平均时间与输入信号直接成正比。图23显示使用AD7401A在模拟输入、电流检测电阻和数字输出之间提供隔离的典型应用电路;数字滤波器将对数字输出进行处理,以提供N位字。

### 模拟输入

AD7401A的差分模拟输入功能通过开关电容电路来实现。该电路实现一个二阶调制器级,能够将输入信号转换为1位输出流。采样时钟(MCLKIN)提供转换过程时钟信号以及输出数据帧时钟。这个时钟源与AD7401A外部相连。调制器连续对模拟输入信号进行采样,并将其与内部电压基准进行比较。精确表示模拟输入随时间变化的数据流出现在转换器的输出端(见图21)。

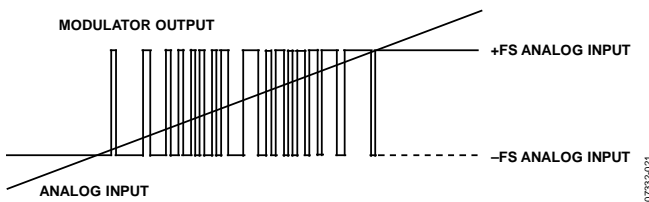


图21. 模拟输入与调制器输出的关系

在理想状态下, 0 V差分信号可以使MDAT输出引脚完成0-1转换。该输出处于高、低电平状态的时间相等。200 mV差分输入可生成由0、1组成的数据流;信号处于高电平状态的时间占81.25%(对+250 mV输入来说,输出流为高的时间占89.06%)。-200 mV差分输入也可生成由0、1组成的数据流;信号处于高电平状态的时间占18.75%(对-250 mV输入来说,输出流为高的时间占10.94%)。

在理想状态下, 320 mV差分输入可生成一个全1数据流。这是AD7401A的绝对满量程范围,而200 mV是额定满量程范围;见表9。

表9. 模拟输入范围

模拟输入	输入电压
满量程范围	+640 mV
正满量程	+320 mV
典型正输入范围	+250 mV
额定正输入范围	+200 mV
零点	0 mV
额定负输入范围	-200 mV
典型负输入范围	-250 mV
负满量程	-320 mV

为重构原始信息,这一输入需要经过数字滤波和抽取处理。推荐使用Sinc3滤波器;它比AD7401A调制器高一阶。假设采用频率为16 MHz的外部时钟频率,如果抽取率为256,则生成的16位字速率为62.5 kHz。16位输出模式下,AD7401A的传递函数如图22所示。

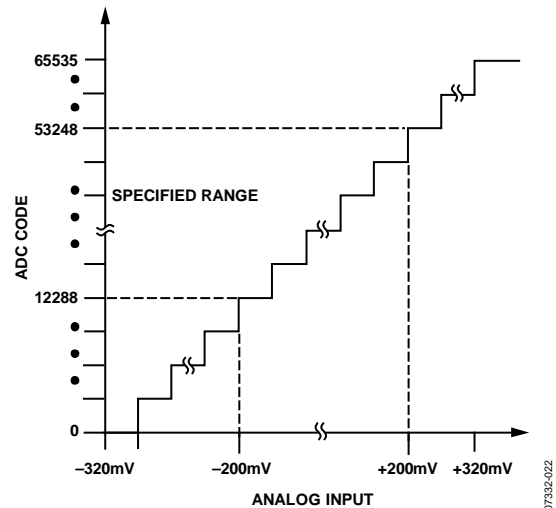


图22. 经滤波和抽取后的16位传递特性

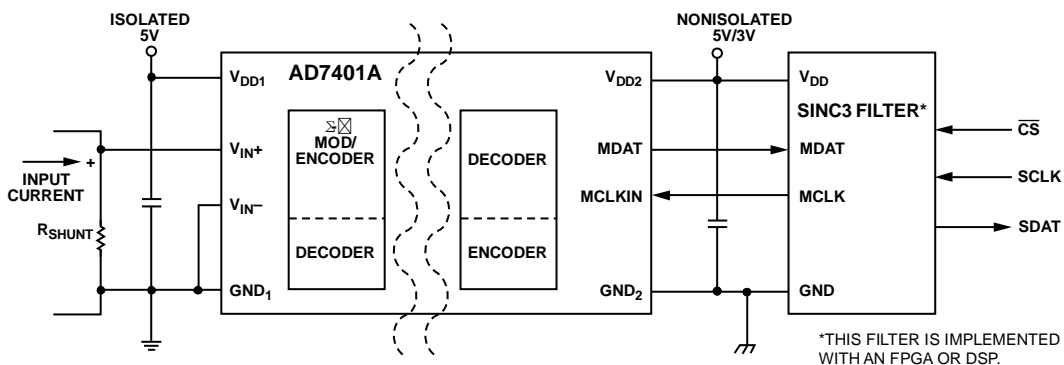


图23. 典型应用电路

## 差分输入

调制器的模拟输入电路采用开关电路原理。高线性采样电容将模拟信号转换为电荷。模拟输入的一个简化等效电路如图24所示。用于驱动模拟输入的信号源必须能够在每半个MCLKIN周期内为采样电容充电，并在接下来的半个周期内建立至所需精度。

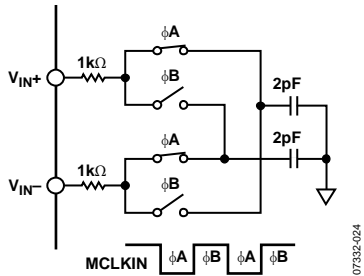


图21. 模拟输入与调制器输出的关系

由于AD7401A对其各个模拟输入引脚上的差分电压信号进行采样，因此，在每个输入端连接一个可提供低共模噪声的输入电路，可以获得低噪声性能。用来驱动模拟输入的放大器对AD7401A的高性能起着关键作用。

将容性负载切换至运算放大器的输出端时，幅度会有短暂的降低。运算放大器会尝试修正这一错误，在这一过程中，压摆率将达到极限值。这一非线性反应可导致过度振荡，从而造成信号失真。为解决这一问题，可在放大器与AD7401A的输入端之间连接一个低通RC滤波器。各个输入引脚处的外部电容有助于提供在采样过程中产生的电流尖峰；电阻可以避免负载瞬变影响运算放大器。

驱动差分输入以实现最佳性能的推荐电路配置如图25所示。在两个输入引脚之间的电容提供源电流或吸电流，从而使一个输入引脚为另一个输入引脚提供所需的大部分电荷。串联电阻也能够避免运算放大器受采样过程中产生的电流尖峰影响。推荐电阻值为22 Ω，电容值为47 pF。

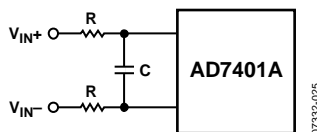


图25. 差分输入RC网络

## 电流检测应用

AD7401A是电流检测应用的理想器件，电流检测需要监控分流电阻上的电压。流经外部分流电阻的负载电流在AD7401A的输入端产生电压。AD7401A可将流经电流检测电阻的模拟输入与数字输出隔离开。通过选择具有不同阻值的分流电阻，可以检测不同的电流。

### 选择RSHUNT

与AD7401A结合使用的分流电阻值，由特定应用要求的电压、电流和功率决定。小电阻可降低功耗，而低电感电阻可防止感应产生电压尖峰，良好的容差器件则可减小电流波动。最终选择的电阻值是低功耗与良好的精度这两个要求折中的结果。低值电阻的功耗较低，但为了利用ADC的整个输入范围，以便实现最高信噪比(SNR)性能，可能需要使用值较高的电阻。

当检测电流已知时，AD7401A电流传感器的电压范围( $\pm 200$  mV)除以最大检测电流，以获得合适的分流值。如果分流电阻的功耗过大，可以减小分流电阻，此时所用的ADC输入范围较小。由于失调误差是固定的，输入范围越小，则误差越明显；因此，使用较小ADC输入范围所产生的转换结果更易受到噪声和失调误差的影响。

RSHUNT必须能够承受大小为 $I^2R$ 的功耗。如果超过该电阻的功耗额定值，则其值可能会漂移，或者电阻受损而造成开路。这可能会导致AD7401A引脚上的差分电压超过绝对最大额定值。如果ISENSE的高频成分较大，请选择电感较低的电阻。

### 电压检测应用

AD7401A还可以用于检测隔离电压。例如，在电动机控制应用中，该器件可以用来检测总线电压。在某些应用中，需要被检测的电压可能超出AD7401A的额定模拟输入电压范围，这时，可以利用一个分压器网络将监控电压降至所需的范围内。

# AD7401A

## 数字滤波器

整个系统的分辨率和吞吐率取决于所选的滤波器和所采用的抽取率。如图26所示，抽取率越高，系统的精度越高。但精度与吞吐率之间存在一定程度的折衷，因此，较高的抽取率产生吞吐率较低的解决方案。注意：针对特定的带宽要求，MCLKIN频率越高，允许使用的抽取率越高，从而使SNR性能提高。

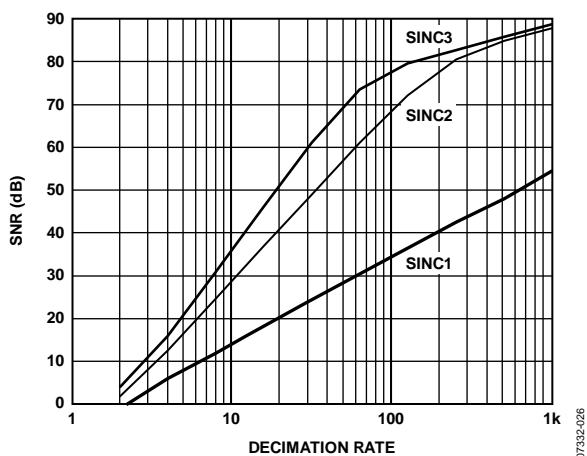


图26. 对于不同类型的滤波器，SNR与抽取率的关系

建议将AD7401A与一个Sinc3滤波器搭配使用。该滤波器可在FPGA或DSP上实现。

$$H(z) = \left( \frac{1 - Z^{DR}}{1 - Z^{-1}} \right)^3$$

其中：DR为抽取率。

下列Verilog代码提供在Xilinx® Spartan-II 2.5 V FPGA上实现Sinc3滤波器的示例。该代码也可用于其它FPGA(如：Altera®器件)。注意尽管此时数据读取是在时钟负沿完成，但也可以选择在校正沿完成。

```

/*`Data is read on negative clk edge*/
module DEC256SINC24B(mdata1, mclk1, reset,
DATA);
input  mclk1;          /*used to clk filter*/
input  reset;         /*used to reset filter*/
input  mdata1;        /*ip data to be
filtered*/
output [15:0] DATA;  /*filtered op*/
integer location;
integer info_file;

reg [23:0] ip_data1;
reg [23:0] acc1;
reg [23:0] acc2;
reg [23:0] acc3;
reg [23:0] acc3_d1;
reg [23:0] acc3_d2;
reg [23:0] diff1;
reg [23:0] diff2;
reg [23:0] diff3;
reg [23:0] diff1_d;
reg [23:0] diff2_d;
reg [15:0] DATA;
reg [7:0] word_count;

reg word_clk;
reg init;

/*Perform the Sinc ACTION*/
always @ (mdata1)
if(mdata1==0)
    ip_data1 <= 0;          /* change from a 0
to a -1 for 2's comp */
else
    ip_data1 <= 1;

/*ACCUMULATOR (INTEGRATOR)
Perform the accumulation (IIR) at the speed
of the modulator.

```

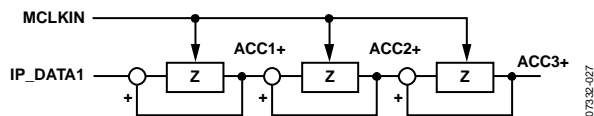


图27. 累加器



```

Z = one sample delay
MCLKOUT = modulators conversion bit rate
*/

always @ (posedge mclk1 or posedge reset)
if (reset)
  begin
    /*initialize acc registers on reset*/
    acc1 <= 0;
    acc2 <= 0;
    acc3 <= 0;
  end
else
  begin
    /*perform accumulation process*/
    acc1 <= acc1 + ip_data1;
    acc2 <= acc2 + acc1;
    acc3 <= acc3 + acc2;
  end

/*DECIMATION STAGE (MCLKOUT/ WORD_CLK)
*/

always @ (negedge mclk1 or posedge reset)
if (reset)
  word_count <= 0;
else
  word_count <= word_count + 1;

always @ (word_count)
  word_clk <= word_count[7];

/*DIFFERENTIATOR ( including decimation
stage)
Perform the differentiation stage (FIR) at a
lower speed.

```

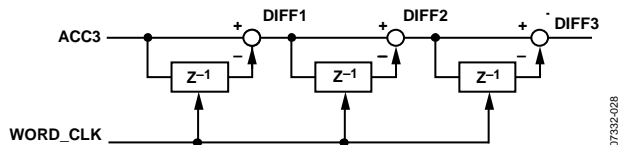


图28. 差分器

```

Z = one sample delay
WORD_CLK = output word rate
*/

always @ (posedge word_clk or posedge reset)
if(reset)
  begin
    acc3_d2 <= 0;
    diff1_d <= 0;
    diff2_d <= 0;
    diff1 <= 0;
    diff2 <= 0;
    diff3 <= 0;
  end
else
  begin
    diff1 <= acc3 - acc3_d2;
    diff2 <= diff1 - diff1_d;
    diff3 <= diff2 - diff2_d;
    acc3_d2 <= acc3;
    diff1_d <= diff1;
    diff2_d <= diff2;
  end

/* Clock the Sinc output into an output
register

```

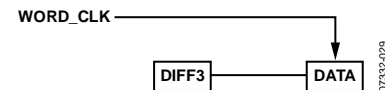


图29. 将Sinc输出逐个输入输出寄存器

```

WORD_CLK = output word rate
*/

always @ (posedge word_clk)
begin
  DATA[15] <= diff3[23];
  DATA[14] <= diff3[22];
  DATA[13] <= diff3[21];
  DATA[12] <= diff3[20];
  DATA[11] <= diff3[19];
  DATA[10] <= diff3[18];
  DATA[9] <= diff3[17];
  DATA[8] <= diff3[16];
  DATA[7] <= diff3[15];
  DATA[6] <= diff3[14];
  DATA[5] <= diff3[13];
  DATA[4] <= diff3[12];
  DATA[3] <= diff3[11];
  DATA[2] <= diff3[10];
  DATA[1] <= diff3[9];
  DATA[0] <= diff3[8];
end
endmodule

```

## 应用信息

### 接地和布局布线

建议在 $V_{DD1}$ 和 $V_{DD2}$ 处分别连接100 nF电源去耦电容。在具有高共模瞬变的应用中，要确保隔离栅两端的电路板耦合最小。此外，电路板布局时要考虑，任何耦合都不会出现并影响特定器件侧所有的引脚。如果不满足设计要求，将会使引脚间的电压差异超过器件的绝对最大额定值，造成器件门锁或者永久损坏。去耦电容应尽量靠近电源引脚。

应尽量降低模拟输入端的串联电阻，以避免产生信号失真(尤其在高温条件下)。如果可能，应保证各个模拟输入引脚的源阻抗相等，以降低失调误差。注意失配和热电偶对模拟输入PCB走线的影响，以降低失调漂移。

### AD7401A性能评估

AD7401A评估板布提供分离接地层，其中一层位于AD7401A套件下方，以确保绝缘性能。该评估板在评估期间可以访问器件的每一个引脚。

评估板套件包括装配完善且经过测试的评估板、文档以及在PC上通过EVAL-CED1Z控制评估板的软件。软件还包括一个在FPGA上实现的Sinc3滤波器。评估板既可以与EVAL-CED1Z板搭配使用，又可以独立使用。用户可以利用软件对AD7401A执行交流(快速傅里叶变换)和直流(码字直方图)测试。随评估板提供的CD内包含软件和文档。

### 隔离寿命

所有隔离结构在长时间使用和/或电压作用下都易于击穿。除了监管机构所执行的测试外，ADI公司还进行一系列广泛的评估来确定AD7401A内部隔离结构的寿命。

在这些测试中，器件将承受连续的交叉绝缘电压。为了加速错误的发生，测试电压都超过正常电压值。这些单元的故障时间值被记录下来并用于计算加速系数。加速系数接着用于计算正常工作条件下的故障时间。表7中列出的是以下两个值中的较低者：

- 确保器件至少可使用50年的数值。
- CSA/VDE最大认证工作电压

还应注意，AD7401A的使用寿命随施加于隔离栅的波形类型而异。iCoupler隔离结构以不同速率衰减，这由波形是否为双极性交流、单极性交流或直流决定。图30、图31和图32显示了不同隔离电压波形。

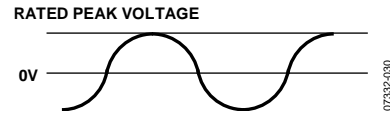


图30. 双极性交流波形

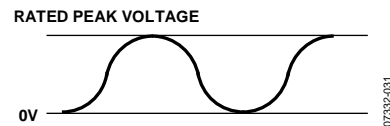


图31. 单极性交流波形

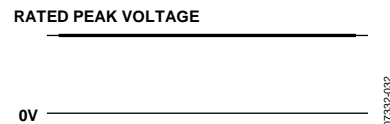
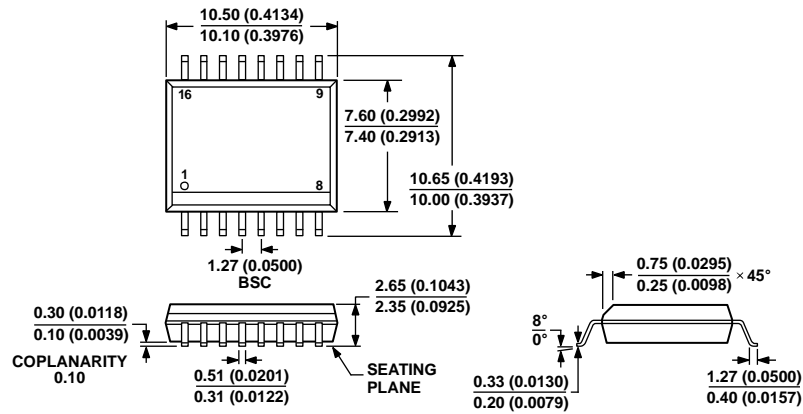


图32. 直流波形

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-013-AA  
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

图33. 16引脚标准小型封装[SOIC\_W]宽体(RW-16)  
图示尺寸单位: mm和(inches)

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
AD7401AYRWZ	-40℃ 至+125℃	16引脚标准小型封装(SOIC_W)	RW-16
AD7401AYRWZ-RL	-40℃ 至+125℃	16引脚标准小型封装(SOIC_W)	RW-16
EVAL-AD7401AEDZ		评估板	
EVAL-CED1Z		开发板	

<sup>1</sup> Z = 符合RoHS标准的器件。

**AD7401A**

**注释**