

产品特性

- 8路同步采样输入
- 真双极性模拟输入范围: $\pm 10\text{V}$ 、 $\pm 5\text{V}$
- 5V单模拟电源, V_{DRIVE} : 2.3V至5.25V
- 完全集成的数据采集解决方案
 - 模拟输入箝位保护
 - 具有1M Ω 模拟输入阻抗的输入缓冲器
 - 二阶抗混叠模拟滤波器
 - 片内精密基准电压及缓冲
 - 18位、200 kSPS ADC(所有通道)
 - 通过数字滤波器提供过采样功能
- 灵活的并行/串行接口
- SPI/QSPI™/MICROWIRE™/DSP兼容
- 14位至18位的引脚兼容解决方案
- 性能
 - 模拟输入通道提供7kV ESD额定值
 - 98 dB SNR, -107 dB THD
 - 低功耗: 100 mW
 - 待机模式: 25 mW
- 64引脚LQFP封装

应用

- 电力线监控和保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统(DAS)

配套产品

- 外部基准电压源: [ADR421](#)、[ADR431](#)
- 数字隔离器: [ADuM1402](#)、[ADuM5000](#)、[ADuM5402](#)
- 电压调节器设计工具: [ADIsimPower](#)、[电源监控器参数搜索](#)
- [AD7608产品页面上的完整配套产品列表](#)

表1. 高分辨率、双极性输入、同步采样DAS解决方案

分辨率	单端输入	真差分输入	同步采样通道数
18 位	AD7608¹	AD7609	8
16 位	AD7606 AD7606-6 AD7606-4		8 6 4
14 位	AD7607		8

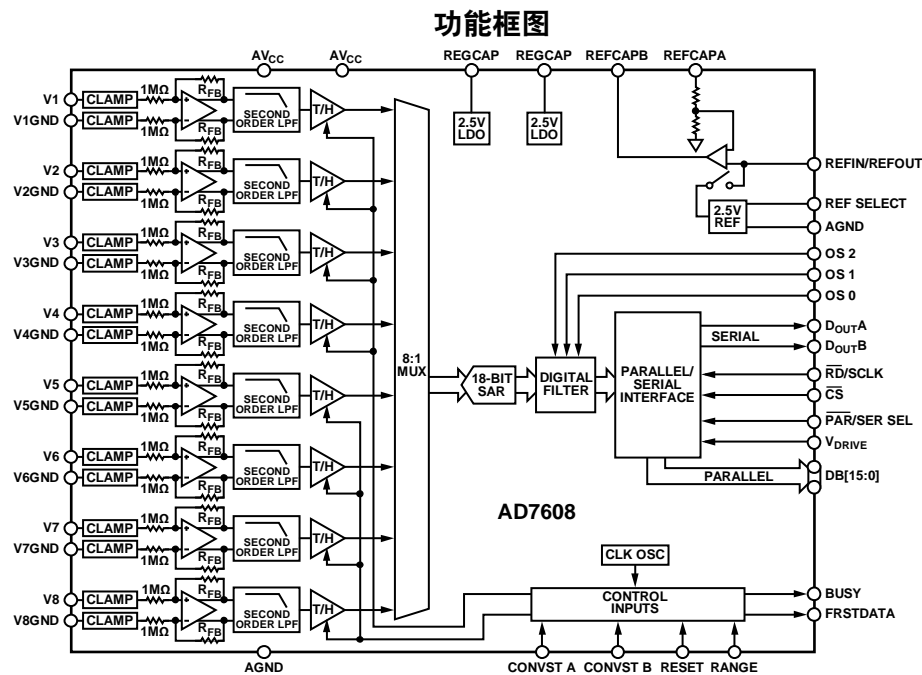


图1

¹专利正在申请中。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2011-2012 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	转换器详解	19
应用.....	1	模拟输入	19
配套产品	1	ADC传递函数	20
功能框图	1	内部/外部基准电压	21
修订历史	2	典型连接图	22
概述.....	3	省电模式	22
规格.....	4	转换控制	23
时序规格	6	数字接口	24
绝对最大额定值	10	并行接口($\overline{\text{PAR}}/\text{SER SEL} = 0$)	24
热阻	10	串行接口($\overline{\text{PAR}}/\text{SER SEL} = 1$)	25
ESD警告	10	转换期间读取	25
引脚配置和功能描述	11	数字滤波器	26
典型工作特性	14	布局指南	30
术语	18	外形尺寸	32
工作原理	19	订购指南	32

修订历史

2012年1月—修订版0至修订版A

更改模拟输入范围部分

19

2011年4月—修订版0: 初始版

概述

AD7608是一款18位、8通道同步采样模数数据采集系统(DAS)，该器件内置模拟输入箝位保护、二阶抗混叠滤波器、跟踪保持放大器、18位电荷再分配逐次逼近型模数转换器(ADC)、灵活的数字滤波器、2.5 V基准电压源、基准电压缓冲以及高速串行和并行接口。

AD7608采用5 V单电源供电，可以处理 ± 10 V和 ± 5 V真双极性输入信号，同时所有通道均能以高达200 kSPS的吞吐

速率采样。输入箝位保护电路可以耐受最高达 ± 16.5 V的电压。无论以何种采样频率工作，AD7608的模拟输入阻抗均为1 M Ω 。它采用单电源工作方式，具有片内滤波和高输入阻抗，因此无需驱动运算放大器和外部双极性电源。AD7608抗混叠滤波器的3 dB截止频率为22 kHz；当采样速率为200 kSPS时，它具有40 dB抗混叠抑制特性。灵活的数字滤波器采用引脚驱动，可以改善信噪比(SNR)，并降低3 dB带宽。

技术规格

除非另有说明, $V_{REF} = 2.5\text{ V}$ 外部/内部基准电压, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.3\text{ V}$ 至 5.25 V , $f_{SAMPLE} = 200\text{ kSPS}$, $T_A = T_{MIN}$ 至 T_{MAX} 。¹

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	$f_{IN} = 1\text{ kHz}$ 正弦波, 除非另有说明				
信噪比(SNR) ^{2,3}	16倍过采样; $\pm 10\text{ V}$ 范围; $f_{IN} = 130\text{ Hz}$	98	99.5		dB
	16倍过采样; $\pm 5\text{ V}$ 范围; $f_{IN} = 130\text{ Hz}$	95.5	97.5		dB
	无过采样; $\pm 10\text{ V}$ 范围	89.5	90.9		dB
	无过采样; $\pm 5\text{ V}$ 范围	88.5	90		dB
信纳比(SINAD) ²	无过采样; $\pm 10\text{ V}$ 范围	88.5	90.5		dB
	无过采样; $\pm 5\text{ V}$ 范围	88	89.5		dB
动态范围	无过采样; $\pm 10\text{ V}$ 范围		91.5		dB
	无过采样; $\pm 5\text{ V}$ 范围		90.5		dB
总谐波失真(THD) ²			-107	-95	dB
峰值谐波或杂散噪声(SFDR) ²			-108		dB
交调失真(IMD) ²	$f_a = 1\text{ kHz}$, $f_b = 1.1\text{ kHz}$				
二阶项			-110		dB
三阶项			-106		dB
通道间隔离 ²	未选中通道的 f_{IN} 高达 160 kHz		-95		dB
模拟输入滤波器					
全功率带宽	-3 dB, $\pm 10\text{ V}$ 范围		23		kHz
	-3 dB, $\pm 5\text{ V}$ 范围		15		kHz
	-0.1 dB, $\pm 10\text{ V}$ 范围		10		kHz
	-0.1 dB, $\pm 5\text{ V}$ 范围		5		kHz
群延迟时间	$\pm 10\text{ V}$ 范围		11		μs
	$\pm 5\text{ V}$ 范围		15		μs
直流精度					
分辨率	无失码	18			位
微分非线性 ²			± 0.75	$-0.99/+2.6$	LSB ⁴
积分非线性 ²			± 2.5	± 7.5	LSB
总不可调整误差(TUE)	$\pm 10\text{ V}$ 范围		± 15		LSB
	$\pm 5\text{ V}$ $\pm 10\text{ V}$ 范围		± 40		LSB
正满量程误差 ^{2,5}	外部基准电压源		± 15	± 128	LSB
	内部基准电压源		± 40		LSB
正满量程误差漂移	外部基准电压源		± 2		ppm/ $^{\circ}\text{C}$
	内部基准电压源		± 7		ppm/ $^{\circ}\text{C}$
正满量程误差匹配 ²	$\pm 10\text{ V}$ 范围		12	95	LSB
	$\pm 5\text{ V}$ 范围		30	128	LSB
双极性零代码误差 ^{2,6}	$\pm 10\text{ V}$ 范围		± 3.5	± 24	LSB
	$\pm 5\text{ V}$ 范围		± 3.5	± 48	LSB
双极性零代码误差漂移	$\pm 10\text{ V}$ 范围		10		$\mu\text{V}/^{\circ}\text{C}$
	$\pm 5\text{ V}$ 范围		5		$\mu\text{V}/^{\circ}\text{C}$
双极性零代码误差匹配 ²	$\pm 10\text{ V}$ 范围		3	30	LSB
	$\pm 5\text{ V}$ 范围		21	65	LSB
负满量程误差 ^{2,5}	外部基准电压源		± 15	± 128	LSB
	内部基准电压源		± 40		LSB
负满量程误差漂移	外部基准电压源		± 4		ppm/ $^{\circ}\text{C}$
	内部基准电压源		± 8		ppm/ $^{\circ}\text{C}$
负满量程误差匹配 ²	$\pm 10\text{ V}$ 范围		12	95	LSB
	$\pm 5\text{ V}$ 范围		30	128	LSB

参数	测试条件/注释	最小值	典型值	最大值	单位
模拟输入					
输入电压范围	RANGE = 1			±10	V
	RANGE = 0			±5	V
模拟输入电流	10 V; 见图 28		5.4		μA
	5 V; 见图 28		2.5		μA
输入电容 ⁷			5		pF
输入阻抗			1		MΩ
基准电压输入/输出					
基准输入电压范围		2.475	2.5	2.525	V
直流漏电流				±1	μA
输入电容 ⁷	REF SELECT = 1		7.5		pF
基准输出电压	REFIN/REFOUT		2.49/ 2.505		V
基准源温度系数				±10	ppm/°C
逻辑输入					
输入高电压(V _{INH})		0.9 × V _{DRIVE}			V
输入低电压(V _{INL})				0.1 × V _{DRIVE}	V
输入电流(I _{IN})				±2	μA
输入电容(C _{IN}) ⁷			5		pF
逻辑输出					
输出高电压(V _{OH})	I _{SOURCE} = 100 μA	V _{DRIVE} - 0.2			V
输出低电压(V _{OL})	I _{SINK} = 100 μA			0.2	V
浮空态漏电流			±1	±20	μA
浮空态输出电容 ⁷			5		pF
输出编码	二进制补码				
转换速率					
转换时间	包括所有八个通道; 见表3		4		μs
采样保持器采集时间			1		μs
吞吐速率	每个通道, 包括所有8个通道			200	kSPS
电源要求					
AV _{CC}		4.75		5.25	V
V _{DRIVE}		2.3		5.25	V
I _{TOTAL}	数字输入 = 0 V 或 V _{DRIVE}				
正常模式(静态)			16	22	mA
正常模式(工作状态) ⁸	f _{SAMPLE} = 200 kSPS		20	27	mA
待机模式			5	8	mA
关断模式			2	11	μA
功耗					
正常模式(静态)			80	115.5	mW
正常模式(工作状态) ⁸	f _{SAMPLE} = 200 kSPS		100	142	mW
待机模式			25	42	mW
待机模式			10	58	μW

¹ B级温度范围为-40°C至+85°C。

² 参见术语部分。

³ 此特性适用于转换期间或转换之后读取时。如果在并行模式下的转换期间读取且V_{DRIVE} = 5 V, 则SNR典型值降低1.5 dB, THD典型值降低3 dB。

⁴ LSB表示最低有效位。±5 V输入范围时, 1 LSB = 38.14 μV。±10 V输入范围时, 1 LSB = 76.29 μV。

⁵ 这些特性包括全温度范围变化和内部基准电压缓冲的贡献, 但不包括外部基准电压源的误差贡献。

⁶ 双极性零代码误差相对于模拟输入电压而计算。

⁷ 样品在初次发布期间均经过测试, 以确保符合标准要求。

⁸ 工作功耗/电流数值包括以过采样模式运行时的贡献。

AD7068

时序规格

除非另有说明, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.3\text{ V}$ 至 5.25 V , $V_{REF} = 2.5\text{ V}$ 外部/内部基准电压, $T_A = T_{MIN}$ 至 T_{MAX} 。¹

表3.

参数	T_{MIN} 、 T_{MAX} 的限值			单位	描述
	最小值	典型值	最大值		
并行/串行/字节模式					
t_{CYCLE}			5	μs	1/吞吐速率 并行模式, 转换期间或之后读取; 或者串行模式: $V_{DRIVE} = 3.3\text{ V}$ 至 5.25 V , 利用 D_{OUTA} 和 D_{OUTB} 线路在转换期间读取
		5		μs	串行模式, 转换期间读取; $V_{DRIVE} = 2.7\text{ V}$
			10.5	μs	串行模式, 转换之后读取; $V_{DRIVE} = 2.3\text{ V}$, D_{OUTA} 和 D_{OUTB} 线路
t_{CONV}					转换时间
	3.45	4	4.15	μs	过采样关闭
	7.87		9.1	μs	2倍过采样
	16.05		18.8	μs	4倍过采样
	33		39	μs	8倍过采样
	66		78	μs	16倍过采样
	133		158	μs	32倍过采样
	257		315	μs	64倍过采样
$t_{WAKE-UP\ STANDBY}$			100	μs	\overline{STBY} 上升沿到 $CONVST\ x$ 上升沿; 从待机模式上电的时间
$t_{WAKE-UP\ SHUTDOWN}$					
内部基准电压源			30	ms	\overline{STBY} 上升沿到 $CONVST\ x$ 上升沿; 从待机模式上电的时间
外部基准电压源			13	ms	\overline{STBY} 上升沿到 $CONVST\ x$ 上升沿; 从待机模式上电的时间
t_{RESET}	50			ns	RESET高电平脉冲宽度
t_{OS_SETUP}	20			ns	BUSY到OS x引脚设置时间
t_{OS_HOLD}	20			ns	BUSY到OS x引脚保持时间
t_1			40	ns	$CONVST\ x$ 高电平到BUSY高电平
t_2	25			ns	最短 $CONVST\ x$ 低电平脉冲
t_3	25			ns	最短 $CONVST\ x$ 高电平脉冲
t_4	0			ns	BUSY下降沿到CS下降沿设置时间
t_5^2			0.5	ms	$CONVST\ A/CONVST\ B$ 上升沿之间最大容许延迟时间
t_6			25	ns	最后 \overline{CS} 上升沿与BUSY下降沿之间的最长时间
t_7	25			ns	RESET低电平到 $CONVST\ x$ 高电平之间的最短延迟时间
并行/字节读取操作					
t_8	0			ns	\overline{CS} 到 \overline{RD} 设置时间
t_9	0			ns	\overline{CS} 到 \overline{RD} 保持时间
t_{10}					\overline{RD} 低电平脉冲宽度
	16			ns	V_{DRIVE} 高于 4.75 V
	21			ns	V_{DRIVE} 高于 3.3 V
	25			ns	V_{DRIVE} 高于 2.7 V
	32			ns	V_{DRIVE} 高于 2.3 V
t_{11}	15			ns	\overline{RD} 高电平脉冲宽度
t_{12}	22			ns	\overline{CS} 高电平脉冲宽度(见图5); \overline{CS} 与 \overline{RD} 相连

参数	T _{MIN} 、T _{MAX} 的限值			单位	描述
	最小值	典型值	最大值		
t ₁₃			16	ns	从 \overline{CS} 直到DB[15:0]三态禁用的延迟时间 V _{DRIVE} 高于4.75 V
			20	ns	V _{DRIVE} 高于3.3 V
			25	ns	V _{DRIVE} 高于2.7 V
			30	ns	V _{DRIVE} 高于2.3 V
t ₁₄ ³			16	ns	RD下降沿后的数据访问时间 V _{DRIVE} 高于4.75 V
			21	ns	V _{DRIVE} 高于3.3 V
			25	ns	V _{DRIVE} 高于2.7 V
			32	ns	V _{DRIVE} 高于2.3 V
t ₁₅	6			ns	RD下降沿后的数据保持时间
t ₁₆	6			ns	\overline{CS} 到DB[15:0]保持时间
t ₁₇			22	ns	从 \overline{CS} 上升沿到DB[15:0]三态使能的延迟时间
串行读取操作					
f _{SCLK}			23.5	MHz	串行读取时钟频率 V _{DRIVE} 高于4.75 V
			17	MHz	V _{DRIVE} 高于3.3 V
			14.5	MHz	V _{DRIVE} 高于2.7 V
			11.5	MHz	V _{DRIVE} 高于2.3 V
t ₁₈					从 \overline{CS} 直到D _{OUTA} /D _{OUTB} 三态禁用的延迟时间/ 从 \overline{CS} 直到MSB有效的延迟时间
			15	ns	V _{DRIVE} 高于4.75 V
			20	ns	V _{DRIVE} 高于3.3 V
t ₁₉ ³			30	ns	V _{DRIVE} = 2.3 V至2.7 V SCLK上升沿之后的数据访问时间
			17	ns	V _{DRIVE} 高于4.75 V
			23	ns	V _{DRIVE} 高于3.3 V
			27	ns	V _{DRIVE} 高于2.7 V
t ₂₀	0.4 t _{SCLK}		34	ns	V _{DRIVE} 高于2.3 V
				ns	SCLK低电平脉冲宽度
t ₂₁	0.4 t _{SCLK}			ns	SCLK高电平脉冲宽度
t ₂₂	7			ns	SCLK上升沿到D _{OUTA} /D _{OUTB} 有效的保持时间
t ₂₃			22	ns	\overline{CS} 上升沿到D _{OUTA} /D _{OUTB} 三态使能
FRSTDATA操作					
t ₂₄			15	ns	从 \overline{CS} 下降沿直到FRSTDATA三态禁用的延迟时间 V _{DRIVE} 高于4.75 V
			20	ns	V _{DRIVE} 高于3.3 V
			25	ns	V _{DRIVE} 高于2.7 V
			30	ns	V _{DRIVE} 高于2.3 V
t ₂₅				ns	从CS下降沿直到FRSTDATA高电平的延迟时间，串行模式
			15	ns	V _{DRIVE} 高于4.75 V
			20	ns	V _{DRIVE} 高于3.3 V
			25	ns	V _{DRIVE} 高于2.7 V
t ₂₆			30	ns	V _{DRIVE} 高于2.3 V
				ns	从RD下降沿到FRSTDATA高电平的延迟时间
			16	ns	V _{DRIVE} 高于4.75 V
			20	ns	V _{DRIVE} 高于3.3 V
			25	ns	V _{DRIVE} 高于2.7 V
			30	ns	V _{DRIVE} 高于2.3 V

AD7068

参数	T _{MIN} , T _{MAX} 的限值			单位	描述
	最小值	典型值	最大值		
t ₂₇			19	ns	从RD下降沿到FRSTDATA低电平的延迟时间 V _{DRIVE} = 3.3 V至5.25 V
t ₂₈			24	ns	V _{DRIVE} = 2.3 V至2.7 V
			17	ns	V _{DRIVE} = 3.3 V至5.25 V
t ₂₉			22	ns	V _{DRIVE} = 2.3 V至2.7 V
			24	ns	从CS上升沿直到FRSTDATA三态使能的延迟时间

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。所有输入信号均指定t_r = t_f = 5 ns(10%到90%的V_{DD})并从1.6V电平起开始计时。

² CONVST x信号之间的延迟用确保通道集之间的性能匹配小于40 LSB时的最大容许时间来衡量。

³ 对于这些测量，数据输出引脚上使用了缓冲，它相当于输出引脚上有20 pF的负载。

时序图

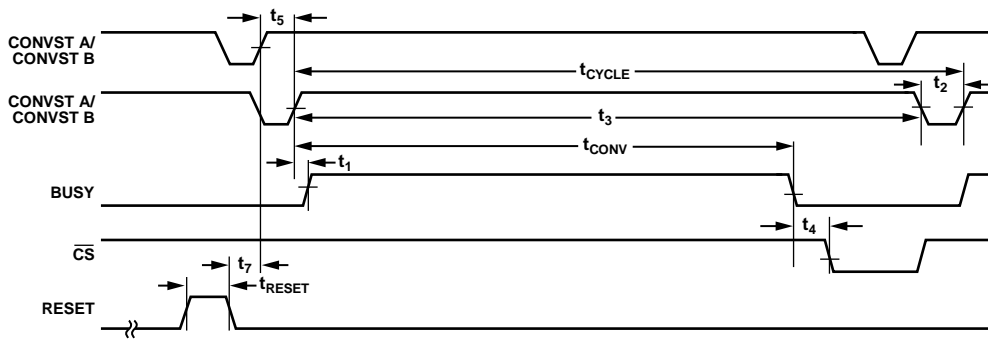


图2. CONVST x时序—转换之后读取

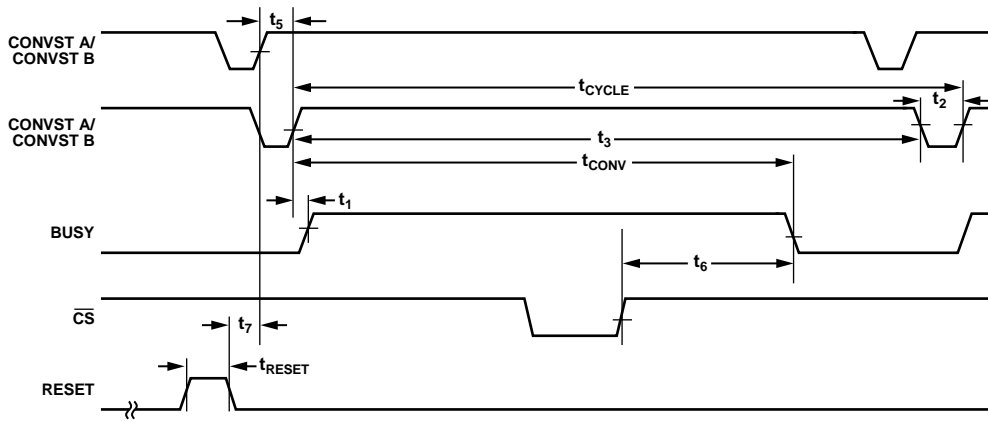


图3. CONVST x时序—转换期间读取

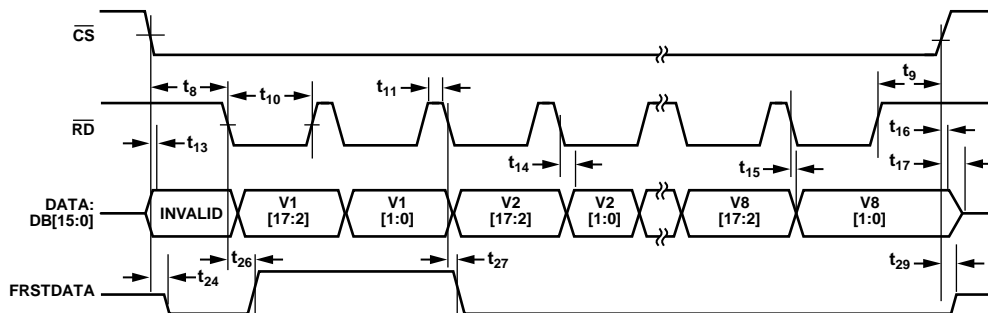


图4. 并行模式，独立的CS和RD脉冲

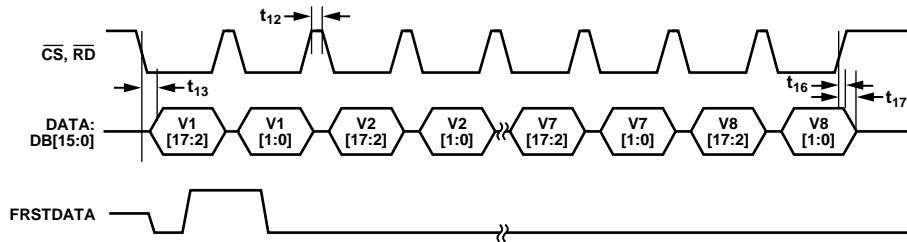


图5. \overline{CS} 和 \overline{RD} 相连的并行模式

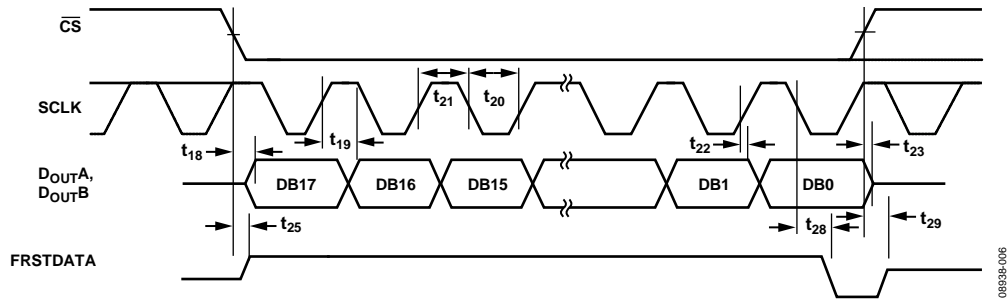


图6. 串行读取操作(通道1)

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表4.

参数	额定值
AV_{CC} 至AGND	-0.3 V 至 +7 V
V_{DRIVE} 至AGND	-0.3 V 至 $AV_{CC} + 0.3$ V
模拟输入电压至AGND ¹	± 16.5 V
数字输入电压至AGND	-0.3 V 至 $V_{DRIVE} + 0.3$ V
数字输出电压至AGND	-0.3 V 至 $V_{DRIVE} + 0.3$ V
REFIN至AGND	-0.3 V 至 $AV_{CC} + 0.3$ V
输入电流至除电源外的任何引脚 ¹	± 10 mA
工作温度范围	
B级	-40°C 至 +85°C
存储温度范围	-65°C 至 +150°C
结温	150°C
铅锡焊接温度	
回流焊(10秒至30秒)	240 (+0)°C
无铅回流焊温度	260 (+0)°C
ESD(除模拟输入外的所有引脚)	2 kV
ESD(仅模拟输入引脚)	7 kV

¹ 100 mA以下的瞬态电流不会造成SCR门锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。这些技术规格适用于4层电路板。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
64引脚LQFP	45	11	$^\circ\text{C}/\text{W}$

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

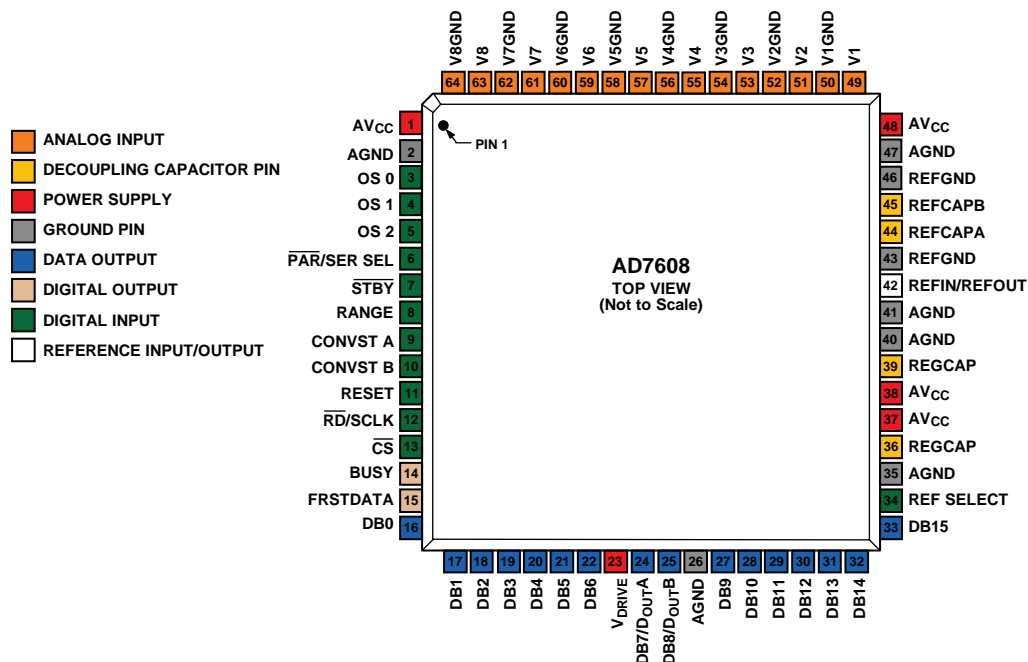


图7. 引脚配置

08938-007

表6. 引脚功能描述

引脚编号	类型 ¹	引脚名称	描述
1, 37, 38, 48	P	AV _{CC}	模拟电源电压4.75 V至5.25 V，这是内部前端放大器和ADC内核的电源电压。应将这些电源引脚去耦至AGND。
2, 26, 35, 40, 41, 47	P	AGND	模拟地。此引脚是AD7608上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都应参考这些引脚。所有6个AGND引脚都应连到系统的AGND平面。
5, 4, 3	DI	OS [2:0]	过采样模式引脚。逻辑输入。这些输入用来选择过采样率。OS 2为MSB控制位，OS 0则为LSB控制位。
6	DI	$\overline{\text{PAR/SER SEL}}$	关于过采样工作模式的更多信息，见数字滤波器部分；关于过采样位解码，见表8。并行/串行接口选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与逻辑高电平相连，则选择串行接口。串行模式下，RD/SCLK引脚用作串行时钟输入。DB7/D _{OUT} A引脚和DB8/D _{OUT} B引脚用作串行数据输出。
7	DI	$\overline{\text{STBY}}$	当选择串行接口时，应将DB[15:9]和DB[6:0]引脚连到GND。待机模式输入。此引脚用来让AD7608进入两种省电模式之一：待机模式或关断模式。进入何种省电模式，取决于RANGE引脚的状态，如表7所示。待机模式下，除片内基准电压、稳压器和稳压器缓冲外的所有其它电路均关断。关断模式下，所有电路均关断。
8	DI	RANGE	模拟输入范围选择。逻辑输入。此引脚的极性决定模拟输入通道的输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为±10 V。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为±5 V。此引脚的逻辑状态改变会立即影响模拟输入范围。转换期间建议不要更改此引脚的逻辑状态。详细信息请参见模拟输入部分。
9, 10	DI	CONVST A, CONVST B	转换开始输入A和转换开始输入B。逻辑输入。这些逻辑输入用来启动模拟输入通道转换。要对所有输入通道同时采样，可以将CONVST A和CONVST B短路连在一起，并施加一个转换开始信号。或者，可以利用CONVST A启动对V1、V2、V3和V4的同时采样，并利用CONVST B启动对其它模拟输入(V5、V6、V7和V8)的同时采样。这只有在过采样未开启时才可行。当CONVST A或CONVST B引脚从低电平变为高电平时，相应模拟输入的前端采样保持电路被设置为保持。利用此功能，可以在模拟输入组之间内在地产生相位延迟。

AD7608

引脚编号	类型 ¹	引脚名称	描述
11	DI	RESET	复位输入。当设置为逻辑高电平时，RESET上升沿复位AD7608。经过 $t_{\text{WAKE-UP}}$ 后，器件应该在上电后收到一个RESET脉冲。RESET高脉冲宽度典型值为100 ns。如果在转换期间施加RESET脉冲，转换将中断。如果在读取期间施加RESET脉冲，输出寄存器的内容将复位至全0。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	选择并行接口时为并行数据读取控制输入($\overline{\text{RD}}$)/选择串行接口时为串行时钟输入(SCLK)。在并行模式下，如果 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于逻辑低电平，则会启用输出总线。 在并行模式下，需要两个 $\overline{\text{RD}}$ 脉冲来读取每个通道的全部18位转换结果。首个 $\overline{\text{RD}}$ 脉冲输出DB[17:2]，第二个 $\overline{\text{RD}}$ 脉冲输出DB[1:0]。 在串行模式下，此引脚用作数据传输的串行时钟输入。 $\overline{\text{CS}}$ 下降沿使数据输出线路 $D_{\text{OUT}A}$ 和 $D_{\text{OUT}B}$ 脱离三态，并逐个输出转换结果的MSB。SCLK上升沿将随后的所有数据位逐个送至串行数据输出 $D_{\text{OUT}A}$ 和 $D_{\text{OUT}B}$ 。更多信息请参见转换控制部分。
13	DI	$\overline{\text{CS}}$	片选。此低电平有效逻辑输入使能数据帧传输。在并行模式下，如果 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于逻辑低电平，则会使能输出总线DB[15:0]，使转换结果输出在并行数据总线上。在串行模式下，利用 $\overline{\text{CS}}$ 使能串行数据帧传输，并逐个输出串行输出数据的最高有效位(MSB)。
14	DO	BUSY	输出繁忙。CONVST A和CONVST B均达到上升沿之后，此引脚变为逻辑高电平，表示转换过程已开始。BUSY输出保持高电平，直到所有通道的转换过程完成为止。BUSY下降沿表示转换数据正被锁存至输出数据寄存器，经过时间 t_{d} 之后便可供读取。在BUSY为高电平时执行的数据读取操作应当在BUSY下降沿之前完成。当BUSY信号为高电平时，CONVST A或CONVST B的上升沿不起作用。
15	DO	FRSTDATA	数字输出。FRSTDATA输出信号指示何时在并行或串行接口上回读第一通道V1。当 $\overline{\text{CS}}$ 输入为高电平时，FRSTDATA输出引脚处于三态。 $\overline{\text{CS}}$ 下降沿使FRSTDATA脱离三态。在并行模式下，与V1结果相对应的 $\overline{\text{RD}}$ 下降沿随后将FRSTDATA引脚设为高电平，表示输出数据总线可以提供V1的结果。在 $\overline{\text{RD}}$ 的下一个下降沿之后，FRSTDATA输出恢复逻辑低电平。在串行模式下，FRSTDATA在 $\overline{\text{CS}}$ 下降沿变为高电平，因为此时将在 $D_{\text{OUT}A}$ 上输出V1的MSB。在 $\overline{\text{CS}}$ 下降沿之后的第18个SCLK下降沿，它恢复低电平。详情见转换控制部分。
22 至 16	DO	DB[6:0]	并行输出数据位DB6至DB0。当 $\overline{\text{PAR/SER SEL}} = 0$ 时，这些引脚充当三态并行数字输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，这些引脚用来在首个 $\overline{\text{RD}}$ 脉冲期间输出转换结果的DB8至DB2，在第二个 $\overline{\text{RD}}$ 脉冲期间输出0。当 $\overline{\text{PAR/SER SEL}} = 1$ 时，这些引脚应与GND相连。
23	P	V_{DRIVE}	逻辑电源输入。此引脚的电源电压(2.3 V至5.25 V)决定逻辑接口的工作电压。此引脚的标称电源与主机接口(即DSP和FPGA)电源相同。
24	DO	DB7/D _{OUT} A	并行输出数据位7(DB7)/串行接口数据输出引脚($D_{\text{OUT}A}$)。当 $\overline{\text{PAR/SER SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，此引脚用来输出转换结果的DB9。当 $\overline{\text{PAR/SER SEL}} = 1$ 时，此引脚用作 $D_{\text{OUT}A}$ ，并输出串行转换数据。详情见转换控制部分。
25	DO	DB8/D _{OUT} B	并行输出数据位8(DB8)/串行接口数据输出引脚($D_{\text{OUT}B}$)。当 $\overline{\text{PAR/SER SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，此引脚用来输出转换结果的DB10。当 $\overline{\text{PAR/SER SEL}} = 1$ 时，此引脚用作DOUTB，并输出串行转换数据。详情见转换控制部分。
31 至 27	DO	DB[13:9]	并行输出数据位DB13至DB9。当 $\overline{\text{PAR/SER SEL}} = 0$ 时，这些引脚充当三态并行数字输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，这些引脚用来在首个 $\overline{\text{RD}}$ 脉冲期间输出转换结果的DB15至DB11，在第二个 $\overline{\text{RD}}$ 脉冲期间输出0。当 $\overline{\text{PAR/SER SEL}} = 1$ 时，这些引脚应与GND相连。
32	DO/DI	DB14	并行输出数据位14 (DB14)。当 $\overline{\text{PAR/SER SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，这些引脚用来在首个 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 脉冲期间输出转换结果的DB16，在第二个 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 脉冲期间输出相同转换结果的DB0。当 $\overline{\text{PAR/SER SEL}} = 1$ 时，此引脚应与GND相连。
33	DO/DI	DB15	并行输出数据位15(DB15)。当 $\overline{\text{PAR/SER SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。此引脚用来在首个 $\overline{\text{RD}}$ 脉冲期间输出转换结果的DB17，在第二个 $\overline{\text{RD}}$ 脉冲期间输出相同转换结果的DB1。当 $\overline{\text{PAR/SER SEL}} = 1$ 时，此引脚应与GND相连。

引脚编号	类型 ¹	引脚名称	描述
34	DI	REF SELECT	内部/外部基准电压选择输入。逻辑输入。如果此引脚设置为逻辑高电平，则选择并使能内部基准电压；如果此引脚设置为逻辑低电平，则禁用内部基准电压，并且必须将一个外部基准电压施加于REFIN/REFOUT引脚。
36, 39	P	REGCAP	内部稳压器电压输出的去耦电容引脚。应分别将这些输出引脚通过一个1 μF电容去耦至AGND。这些输出引脚上的电压在2.5 V至2.7 V范围内。
42	REF	REFIN/ REFOUT	基准电压输入/基准电压输出。如果REF SELECT引脚设置为逻辑高电平，此引脚将提供2.5 V片内基准电压供外部使用。或者，可将REF SELECT引脚设置为逻辑低电平以禁用内部基准电压，并将2.5 V外部基准电压施加到此输入端。参见内部/外部基准电压部分。无论使用内部还是外部基准电压，都需要对此引脚去耦。应在此引脚与REFGND引脚附近的地之间连接一个10 μF电容。基准电压接地引脚。这些引脚应连接到AGND。
43, 46	REF	REFGND	基准电压缓冲输出强制/检测引脚。
44, 45	REF	REFCAPA, REFCAPB	必须将这些引脚连在一起，并通过低ESR 10 μF陶瓷电容去耦至AGND。
49, 51, 53, 55, 57, 59, 61, 63	AI	V1 to V8	模拟输入。这些引脚是单端模拟输入。这些通道的模拟输入范围由RANGE引脚决定。
50, 52, 54, 56, 58, 60, 62, 64	AI/ GND	V1GND 至 V8GND	模拟输入接地引脚。这些引脚与V1至V8模拟输入引脚相对应。所有模拟输入AGND引脚都连到系统的AGND平面。

¹ 指引脚类型的分类：P表示电源，AI表示模拟输入，REF表示基准电压，DI表示数字输入，DO表示数字输出。

典型工作特性

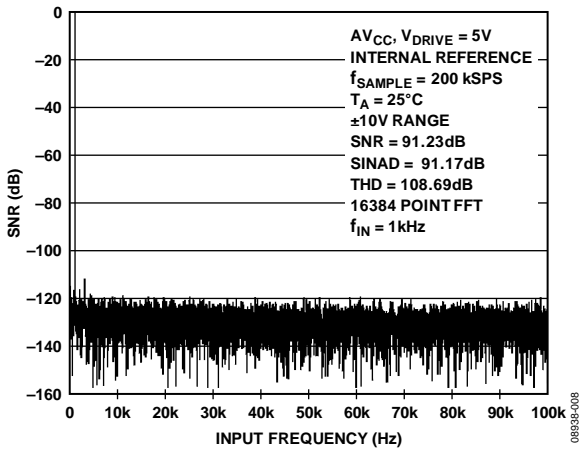


图8. FFT曲线图, $\pm 10V$ 范围

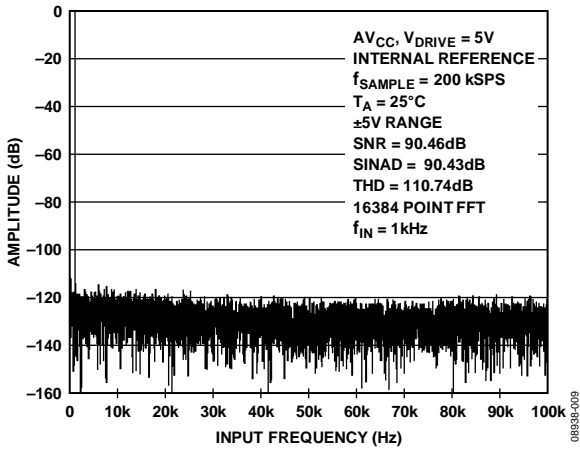


图9. FFT曲线图, $\pm 5V$ 范围

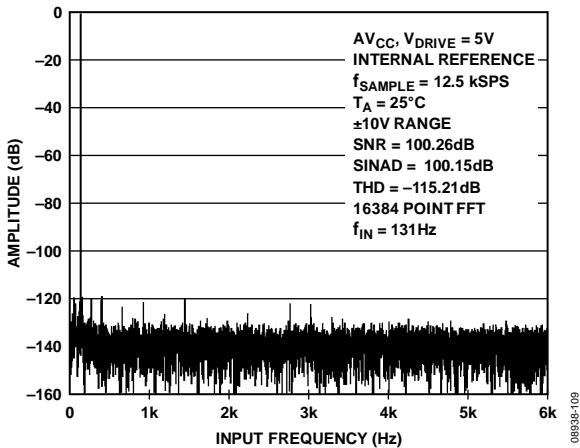


图10. 16倍过采样FFT曲线图, $\pm 10V$ 范围

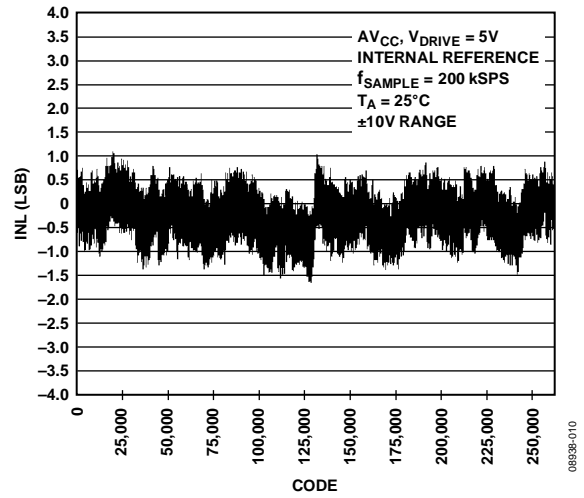


图11. 典型INL, $\pm 10V$ 范围

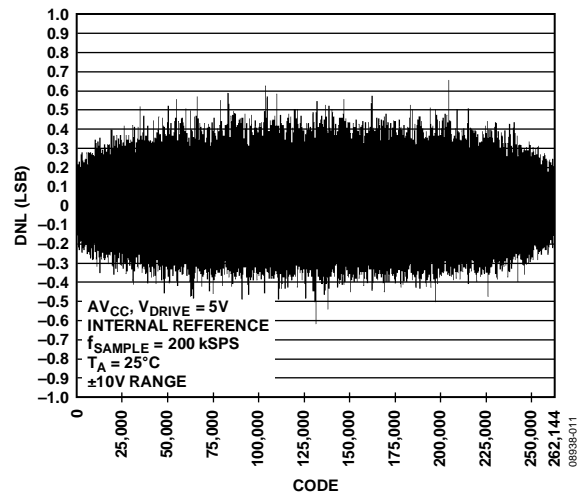


图12. 典型DNL, $\pm 10V$ 范围

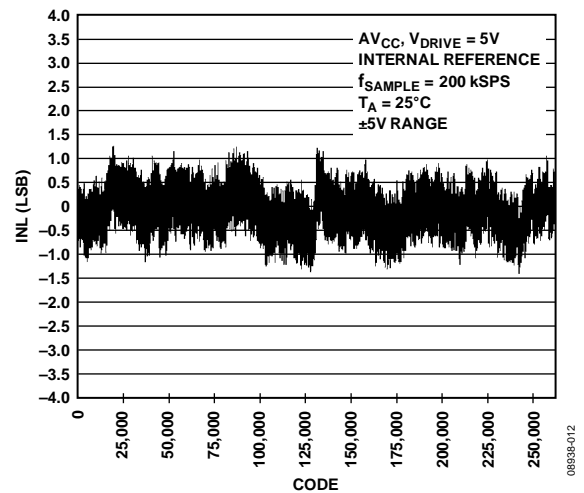


图13. 典型INL, $\pm 5V$ 范围

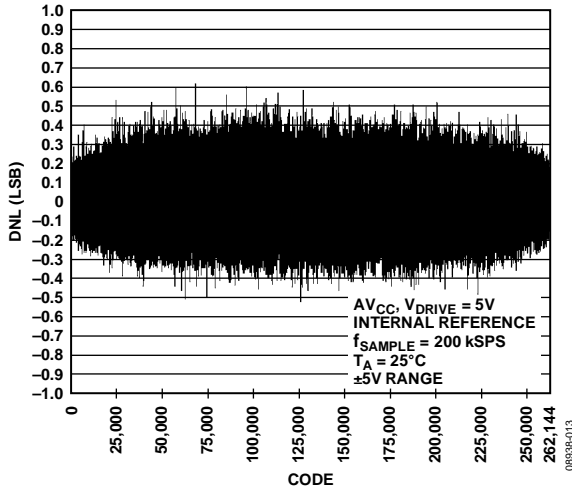


图14. 典型DNL, ±5 V范围

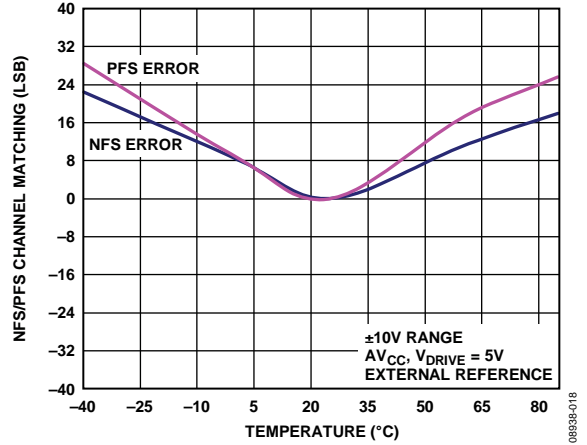


图17. NFS/PFS误差匹配

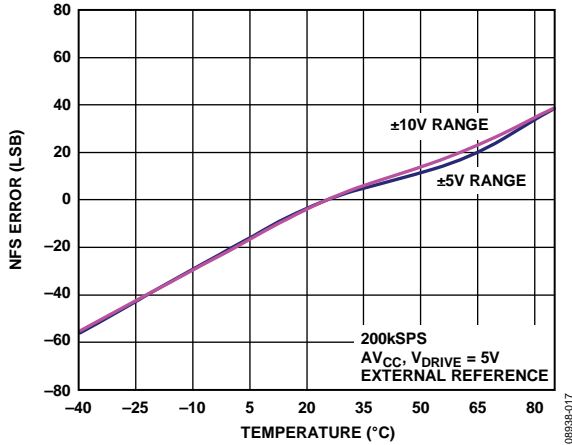


图15. NFS误差与温度的关系

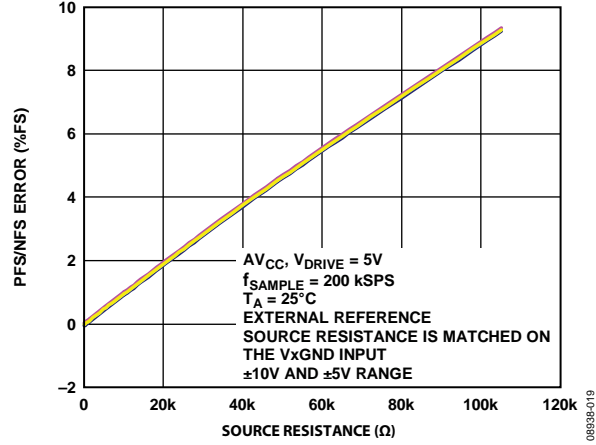


图18. PFS/NFS误差与信号源电阻的关系

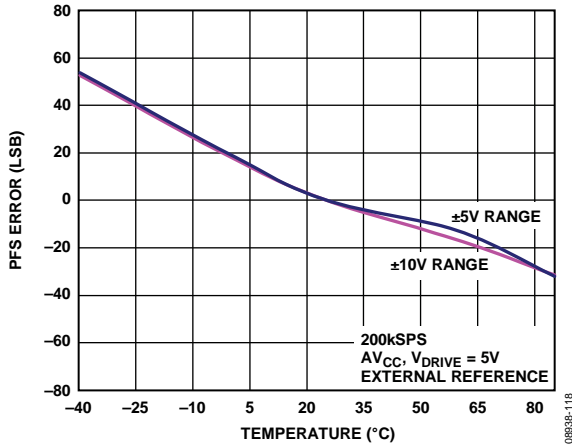


图16. PFS误差与温度的关系

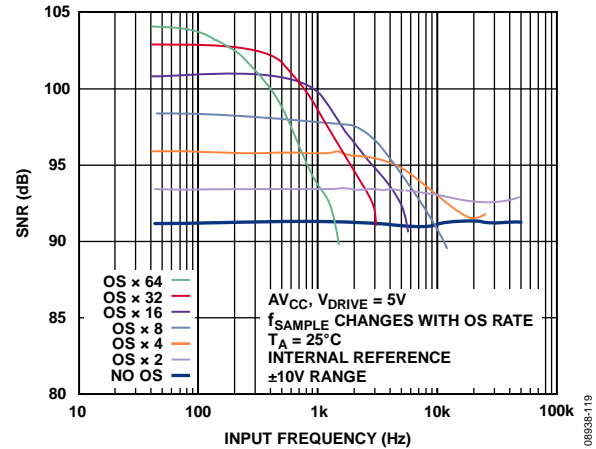


图19. 不同过采样倍率下SNR与输入频率的关系, ±10 V范围

AD7068

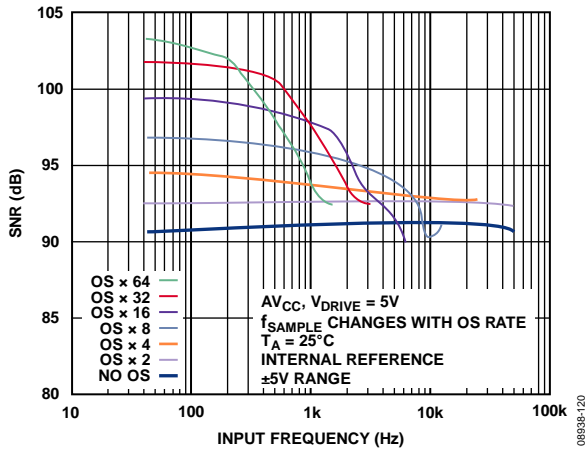


图20. 不同过采样率下SNR与输入频率的关系, ±5 V范围

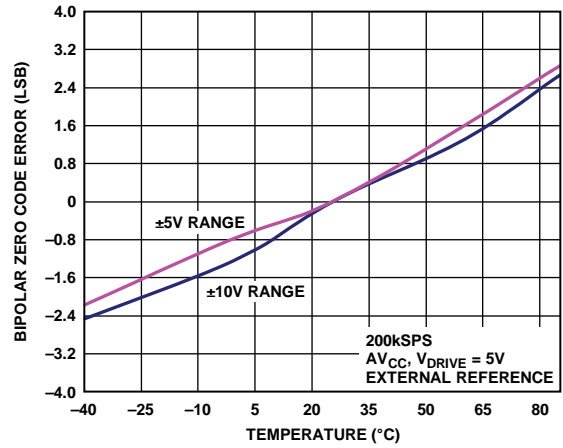


图23. 双极性零代码误差与温度的关系

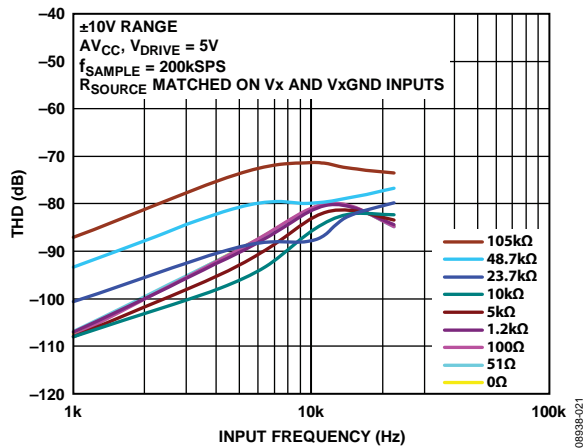


图21. 各种源阻抗下THD与输入频率的关系, ±10 V范围

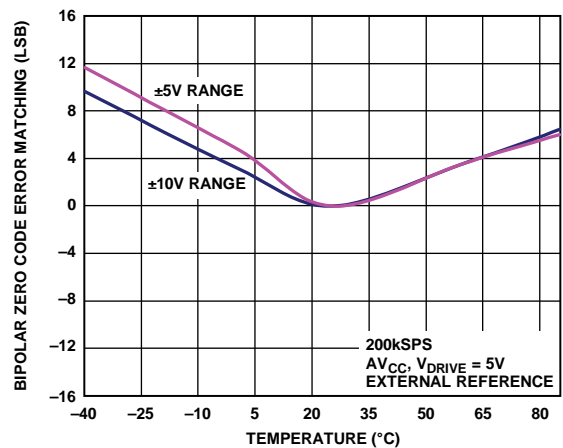


图24. 通道间的双极性零代码误差匹配

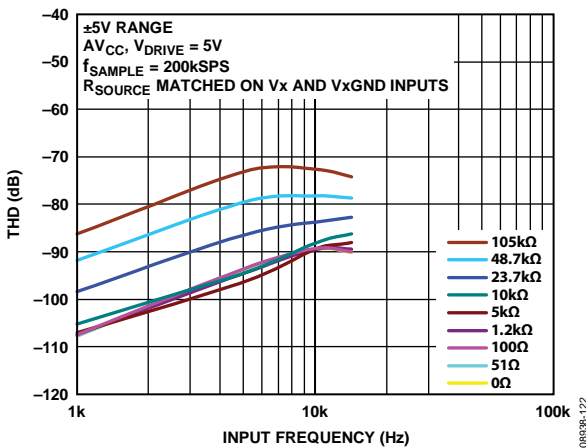


图22. 各种源阻抗下THD与输入频率的关系, ±5 V范围

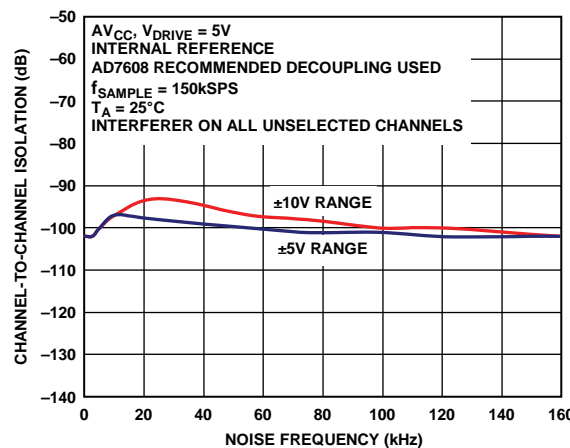


图25. 通道间隔离

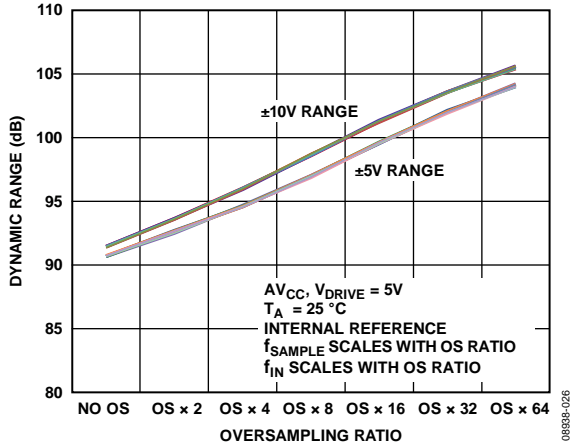


图26. 动态范围与过采样率的关系

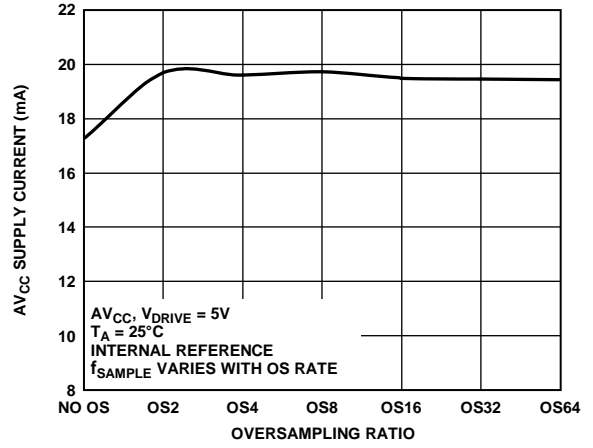


图29. 电源电流与过采样率的关系

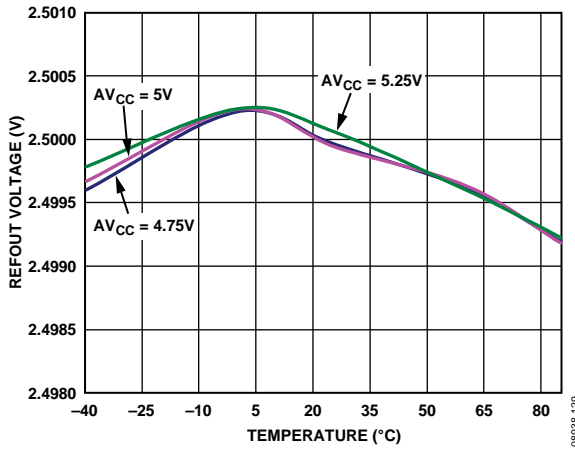


图27. 不同电源电压下基准输出电压与温度的关系

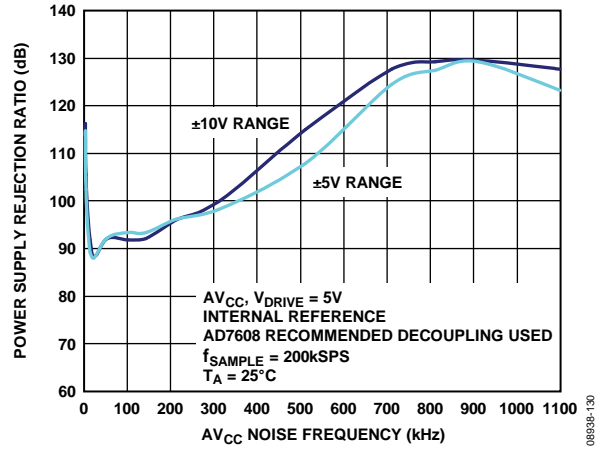


图30. 电源抑制比(PSRR)

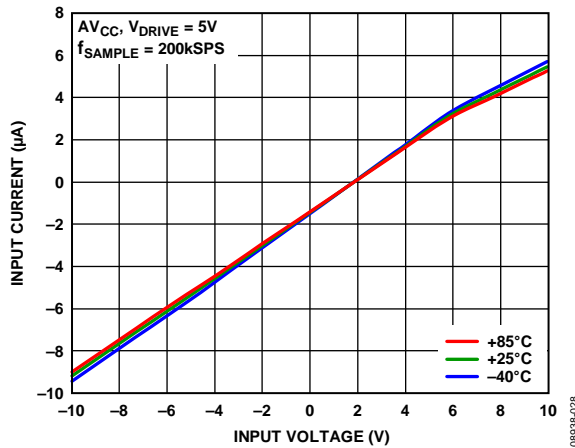


图28. 不同温度的模拟输入电流与输入电压的关系

术语

积分非线性

ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的1/2 LSB处的零电平，终点在高于最后一个码转换的1/2 LSB处的满量程。

微分非线性

ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零代码误差

半量程转换(全1到全0)与理想值，即 $0\text{ V} - \frac{1}{2}\text{ LSB}$ 的偏差。

双极性零代码误差匹配

任何两个输入通道之间双极性零代码误差的绝对差。

正满量程误差

校正双极性零代码误差之后，实际的最后一个码转换与理想的最后一个码转换($10\text{ V} - \frac{1}{2}\text{ LSB}$ (9.99988)和 $5\text{ V} - \frac{1}{2}\text{ LSB}$ (4.99994))的偏差。正满量程误差包括内部基准电压缓冲的贡献。

正满量程误差匹配

任何两个输入通道之间正满量程误差的绝对差。

负满量程误差

校正双极性零代码误差之后，第一个码转换与理想的第一个码转换($-10\text{ V} + \frac{1}{2}\text{ LSB}$ (-9.99996)和 $-5\text{ V} + \frac{1}{2}\text{ LSB}$ (-4.99998))的偏差。负满量程误差包括内部基准电压缓冲的贡献。

负满量程误差匹配

任何两个输入通道之间负满量程误差的绝对差。

信纳比(SINAD)

在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数；量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想N位转换器，信纳比值理论值计算公式为：

$$\text{信纳比} = (6.02 N + 1.76) \text{ dB}$$

因此，18位转换器的信纳比理论值为110.12 dB。

总谐波失真(THD)

所有谐波均方根和与基波均方根之比。对于AD7068，其定义为

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

其中：

V_1 是基波幅度的均方根值。

V_2 至 V_9 是二次到九次谐波幅值的均方根值。

峰值谐波或杂散噪声

在ADC输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪声内的ADC，则由噪声峰值决定。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频率 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, \dots$)的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

交调失真根据THD参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝(dB)表示。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。电源抑制比(PSRR)定义为满量程频率 f 下ADC输出功率与频率 f_s 下施加于ADC V_{DD} 和 V_{SS} 电源的100 mV峰峰值正弦波功率的比值：

$$\text{PSRR (dB)} = 10 \log (P_f/P_{f_s})$$

其中：

P_f 是在频率 f 下ADC的输出功率。

P_{f_s} 是在频率 f_s 下耦合到 $A_{V_{CC}}$ 电源的功率。

通道间隔离

通道间隔离衡量所有输入通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、最高160 kHz正弦波信号，然后决定该信号在选定通道内随所施加的1 kHz正弦波信号的衰减程度来测量(见图25)。

工作原理

转换器详解

AD7608是一款采用高速、低功耗、电荷再分配逐次逼近型模数转换器(ADC)的数据采集系统,可以对8个模拟输入通道进行同步采样。其模拟输入可以接受真双极性输入信号。使用RANGE引脚可以选择 $\pm 10\text{ V}$ 或 $\pm 5\text{ V}$ 的输入范围。

AD7608采用5 V单电源供电。

该器件内置输入箝位保护、输入信号调整放大器、二阶抗混叠滤波器、采样保持放大器、片内基准电压源、基准电压缓冲、高速ADC、数字滤波器以及高速并行和串行接口。AD7608的采样通过CONVST x信号进行控制。

模拟输入

模拟输入范围

AD7608可处理真双极性、单端输入电压。RANGE引脚的逻辑电平决定所有模拟输入通道的模拟输入范围。如果此引脚与逻辑高电平相连,则所有通道的模拟输入范围为 $\pm 10\text{ V}$ 。如果此引脚与逻辑低电平相连,则所有通道的模拟输入范围为 $\pm 5\text{ V}$ 。RANGE引脚的逻辑状态改变会立即影响模拟输入范围,但是,除正常采集时间要求外,还有典型值约为80 μs 的建立时间要求。建议根据系统信号所需的输入范围,通过硬连线设置RANGE引脚。

在正常操作期间,所施加的模拟输入电压应保持在通过RANGE引脚选择的模拟输入范围内。上电后必须施加RESET脉冲,以确保将模拟输入通道配置为所选范围。

在省电模式下,建议将模拟输入连到GND。依据输入箝位保护部分,过压箝位保护推荐用于瞬变过压条件,不应长期保持活动状态。在上述条件以外对模拟输入施加应力可能降低AD7608的双极性零代码误差和THD性能。

模拟输入阻抗

AD7608的模拟输入阻抗为1 M Ω 。这是固定输入阻抗,不随AD7608采样频率而变化。高模拟输入阻抗可免除AD7608前端的驱动放大器,允许其与信号源或传感器直接相连。由于无需驱动放大器,因此可去掉信号链中的双极性电源(它通常是系统中的噪声源)。

模拟输入箝位保护

图31显示了AD7608的模拟输入结构。每个AD7608模拟输入均包含箝位保护电路。虽然采用5 V单电源供电,但此模拟输入箝位保护允许输入过压达到 $\pm 16.5\text{ V}$ 。

模拟输入箝位保护

图31显示了AD7608的模拟输入结构。每个AD7608模拟输入均包含箝位保护电路。虽然采用5 V单电源供电,但此模拟输入箝位保护允许输入过压达到 $\pm 16.5\text{ V}$ 。

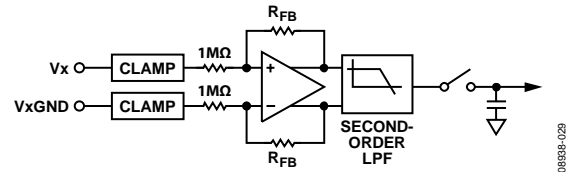


图31. 模拟输入电路

图32显示了箝位电路电压与电流的关系。当输入电压不超过 $\pm 16.5\text{ V}$ 时,箝位电路中无电流。当输入电压超过 $\pm 16.5\text{ V}$ 时,AD7608箝位电路开启。

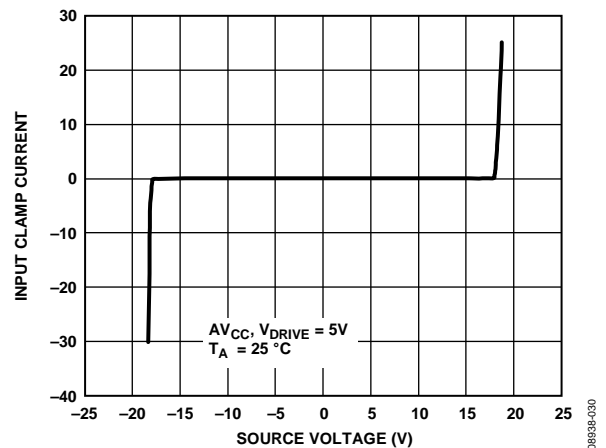


图32. 输入箝位保护特性

模拟输入通道上应放置一个串联电阻,以将输入电压超过 $\pm 16.5\text{ V}$ 时的电流限制在 $\pm 10\text{ mA}$ 以下。如果模拟输入通道Vx上有一个串联电阻,则模拟输入GND通道VxGND上也需要一个与之对应相等的电阻(见图33)。如果VxGND通道上没有对应的电阻,该通道将出现失调误差。

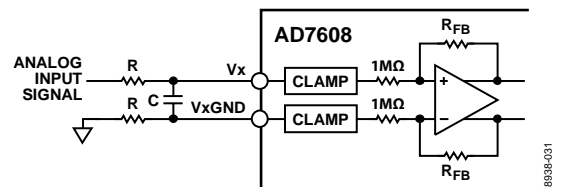


图33. 模拟输入端的输入电阻匹配

AD7608

模拟输入抗混叠滤波器

AD7608还提供了模拟抗混叠滤波器(二阶巴特沃兹滤波器)。图34和图35分别显示了模拟抗混叠滤波器的频率和相位响应。在±5 V范围内, -3dB带宽典型值为15 kHz。在±10 V范围内, -3dB带宽典型值为23 kHz。

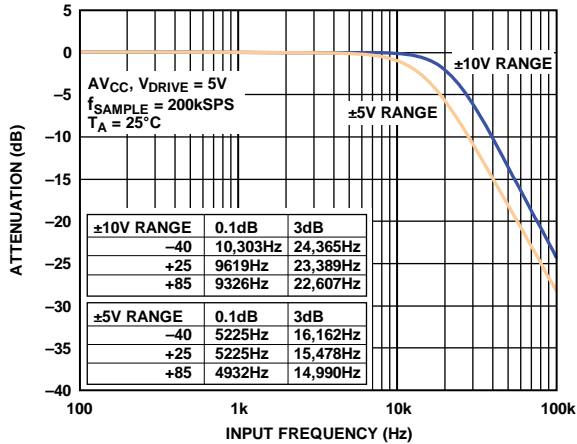


图34. 模拟抗混叠滤波器频率响应

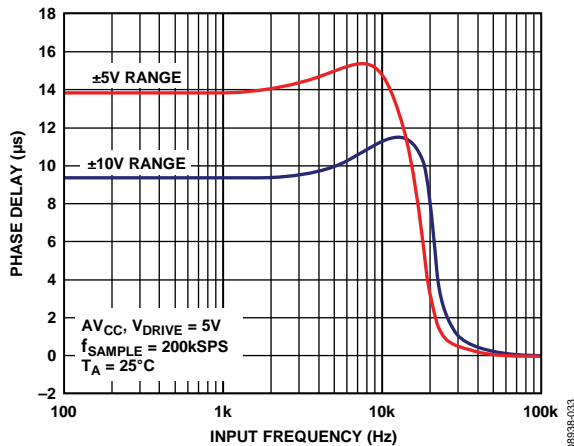


图35. 模拟抗混叠滤波器相位响应

采样保持放大器

利用采样保持放大器, AD7608 ADC可以用18位分辨率精确采集满量程幅度的输入正弦波。采样保持放大器在CONVST_x上升沿时对其各自输入进行同步采样。一个器件的所有八个采样保持放大器以及不同器件的采样保持放大器的孔径时间(即从外部CONVST_x信号上升沿到采样保持器实际进入保持模式的延迟时间)通过设计保证严格匹

配。此匹配允许对一个系统中的一个以上AD7608进行同步采样。

BUSY下降沿表示所有8个通道的转换过程均已结束, 此时采样保持器返回跟踪模式, 下一批转换的采集时间开始计时。

转换采用内部时钟, AD7608所有通道的转换时间为4 µs。8个通道均完成转换后, BUSY信号恢复低电平, 表示转换过程结束。在BUSY下降沿时, 采样保持放大器返回跟踪模式。BUSY变为低电平后, 可以通过并行、并行字节或串行接口从输出寄存器中读取新数据。或者, 当BUSY为高电平时, 可以读取前一次转换的数据。在转换期间从AD7608读取数据对性能几乎没有影响, 可以实现更快的吞吐速率。在并行模式且V_{DRIVE} > 3.3 V时, 如果在转换期间读取, 信噪比(SNR)将降低约1.5 dB。

ADC传递函数

AD7608的输出编码方式为二进制补码。所设计的码转换在连续LSB整数值的中间(即1/2 LSB、3/2 LSB)进行。AD7608的LSB大小为FSR/262,144。其理想传递特性如图36所示。

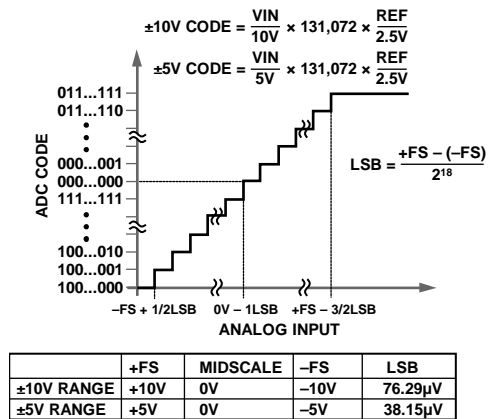


图36. AD7608传递特性

LSB大小取决于所选的模拟输入范围。

内部/外部基准电压

AD7608内置一个2.5 V片内带隙基准电压源。REFIN/REFOUT引脚既可使用该2.5V基准电压，以在内部产生4.5V片内基准电压，也允许施加一个2.5 V外部基准电压。所施加的2.5 V外部基准电压也会被内部缓冲的放大至4.5 V。此4.5 V缓冲的基准电压是SAR ADC所用的基准电压。

REF SELECT引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到REFIN/REFOUT引脚。内部基准电压缓冲始终使能。复位之后，AD7608工作在REF SELECT引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对REFIN/REFOUT引脚去耦。REFIN/REFOUT引脚需要10 μ F陶瓷去耦电容。

AD7608内置一个基准电压缓冲，缓冲配置为将REF电压放大至约4.5 V，如图37所示。REFCAPA和REFCAPB引脚必须在外部短路连在一起，并通过一个10 μ F陶瓷电容连接至REFGND，以确保基准电压缓冲工作在闭环中。REFIN/REFOUT引脚提供的基准电压为2.5 V。

当AD7608配置为外部基准电压模式时，REFIN/REFOUT引脚为高输入阻抗引脚。对于使用多个AD7608器件的应用，建议根据应用要求采取下列配置。

外部基准电压模式

可以用一个外部基准电压源ADR421驱动所有AD7608器件的REFIN/REFOUT引脚(见图38)。此配置中，AD7608的每一个REFIN/REFOUT引脚都应该使用至少一个100 nF的去耦电容。

内部基准电压模式

配置为内部基准电压工作模式的一个AD7608器件，可以用来驱动配置为外部基准电压工作模式的其余AD7608器件(见图39)。配置为内部基准电压模式的AD7608应利用10 μ F陶瓷去耦电容对其REFIN/REFOUT引脚去耦。配置为外部基准电压模式的其它AD7608器件应各利用至少一个100 nF的去耦电容对其REFIN/REFOUT引脚去耦。

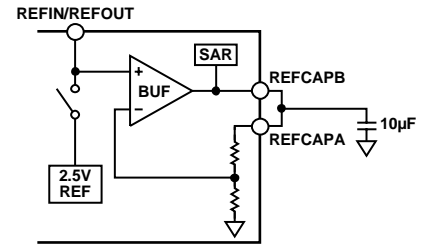


图37. 基准电压电路

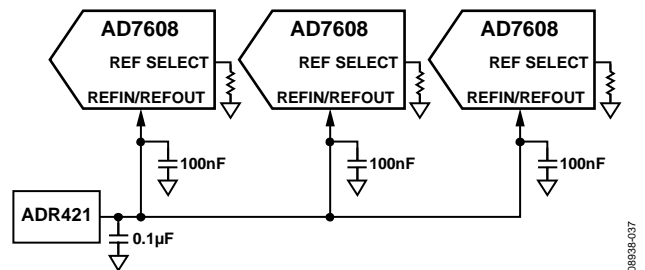


图38. 驱动多个AD7608 REFIN引脚的单个外部基准电压源

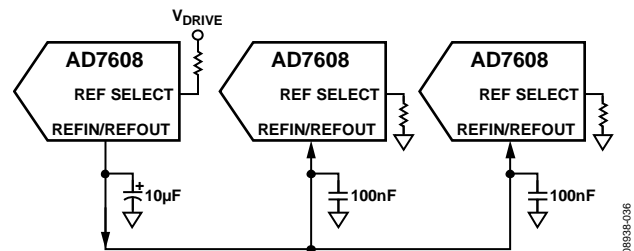


图39. 驱动多个AD7608 REFIN引脚的内部基准电压源

AD7608

典型连接图

图40显示了AD7608的典型连接图。器件有四个AVCC电源引脚。这四个电源引脚应各使用一个100 nF去耦电容。在电源侧使用一个10 μF电容去耦。AD7608既可在内部基准电压下工作，也可在外部施加的基准电压下工作。在此配置中，AD7608被配置为在内部基准电压下工作。当电路板上只有一个AD7608器件时，应利用一个10 μF电容对其REFIN/REFOUT引脚去耦。当应用中使用多个AD7608器件时，请参阅内部/外部基准电压部分。REFCAPA和REFCAPB引脚短路连在一起，并通过一个10 μF陶瓷电容来去耦。

V_{DRIVE}电源连接到为处理器供电的同一电源。V_{DRIVE}电压控制输出逻辑信号的电压值。关于布局、去耦和接地提示，请参考布局指南部分。

为AD7608提供电源后，对器件应用RESET信号，以确保将其配置为正确工作模式。

省电模式

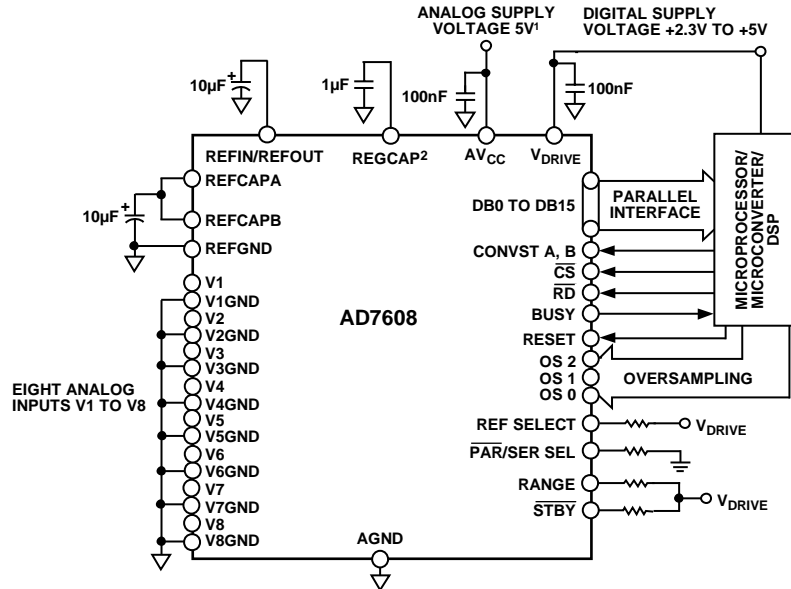
AD7608提供两种省电模式：待机模式和关断模式。STBY引脚控制AD7608是处在正常模式还是两种省电模式之一。当STBY引脚为低电平时，RANGE引脚的状态决定选择何

种省电模式。表7显示了选择不同省电模式所需的配置。当AD7608处于待机模式时，最大功耗为8 mA，上电时间约为100 μs，因为REFCAPA和REFCAPB引脚上的电容必须充电。待机模式下，片内基准电压源和稳压器仍然上电，放大器和ADC内核则关断。

当AD7608处于关断模式时，最大功耗为11 μA，上电时间约为13 ms(外部基准电压模式)。关断模式下，所有电路均关断。当AD7608从关断模式上电时，经过所需的上电时间后，必须对AD7608施加RESET信号。

表7. 省电模式选择

省电模式	STBY	RANGE
待机	0	1
关断		0



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN (PIN 1, PIN 37, PIN 38, PIN 48). DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV_{CC} PIN 37 AND PIN 38.
²DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

图40. 典型连接图

转换控制

所有模拟输入通道同步采样

AD7068可以对所有模拟输入通道进行同步采样。当两个 CONVST x 引脚(CONVST A和CONVST B)连在一起时,所有通道同步采样。使用一个CONVST x信号便可控制两个 CONVST x输入。此公用CONVST x信号的上升沿启动对所有模拟输入通道的同步采样。

AD7068内置一个片内振荡器用于转换。所有ADC通道的转换时间为 t_{CONV} 。BUSY信号告知用户正在进行转换,因此当施加CONVST x上升沿时,BUSY变为逻辑高电平,在整个转换过程结束时变为低电平。BUSY信号下降沿用来使所有八个采样保持放大器返回跟踪模式。BUSY下降沿还表示,现在可以从并行总线(DB[15:0])或 D_{OUTA} 和 D_{OUTB} 串行数据线路读取新数据。

两组通道同步采样

AD7068还允许模拟输入通道分两组进行同步采样。这可以用在电力线保护和测量系统中,以补偿PT和CT变压器所引入的相位差。在50 Hz系统,它可以提供最多 9° 的相位补偿;在60 Hz系统中,它可以提供最多 10° 的相位补偿。

通过脉冲独立激活两个CONVST x引脚,并且只有在不使用过采样时,才可实现这种采样方式。CONVST A用来启动对第一组通道的同步采样(V1至V4);CONVST B用来启动对第二组模拟输入通道的同步采样(V5至V8),如图41所示。在CONVST A上升沿时,第一组通道的采样保持放大器进入保持模式。在CONVST B上升沿时,第二组通道的采样保持放大器进入保持模式。当两个CONVST x均已达到上升沿时,转换过程开始,因此在后一CONVST x信号的上升沿时,BUSY变为高电平。在表3中,时间 t_5 表示CONVST x采样点之间的最大容许时间。

使用两个独立的CONVST x信号时,数据读取过程不变。

将所有不使用的模拟输入通道接AGND。不使用通道的结果仍会包括在所读取的数据中,因为始终会转换所有通道。

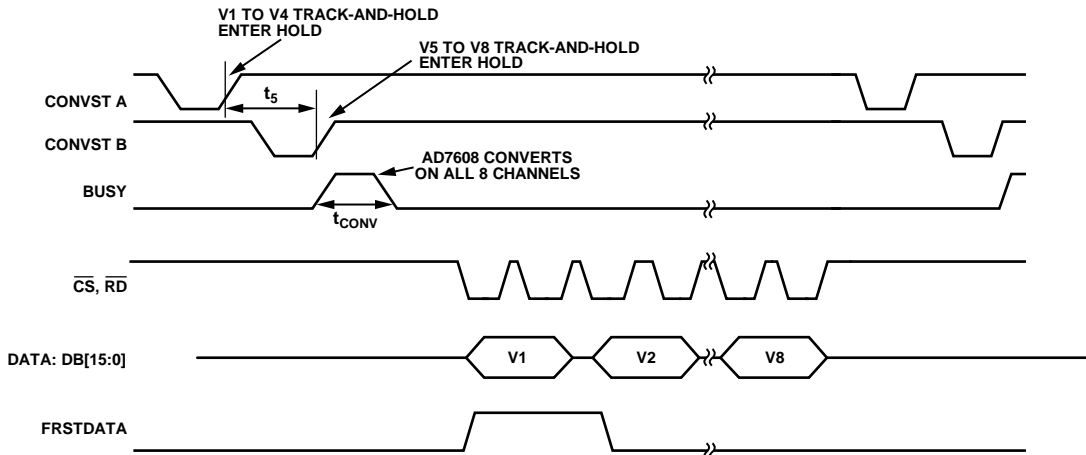


图41.通道分组进行同步采样,使用独立的CONVST A/CONVST B信号—并行模式

08938-1039

数字接口

AD7608提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过 $\overline{\text{PAR/SER SEL}}$ 引脚来选择。

下面几节讨论这些接口模式的工作原理。

并行接口($\overline{\text{PAR/SER SEL}} = 0$)

可以用标准 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号通过并行数据总线从AD7608读取数据。通过并行总线读取数据时，需将 $\overline{\text{PAR/SER SEL}}$ 引脚和低电平相连。通过内部选通 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 输入信号，可以将转换结果输出到数据总线。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 同时处于逻辑低电平时，数据线DB15至DB0不再呈高阻态。

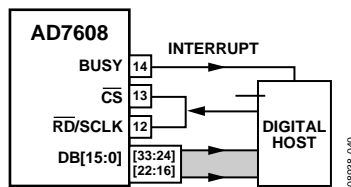


图42. AD7608接口图—一个AD7608使用并行总线， $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 短路连在一起

$\overline{\text{CS}}$ 输入信号的上升沿使总线进入三态，其下降沿使总线脱离高阻抗状态。 $\overline{\text{CS}}$ 是使能数据线的控制信号，利用该功能可以让多个AD7608共享同一并行数据总线。

$\overline{\text{CS}}$ 信号可永久性地接低电平，而 $\overline{\text{RD}}$ 信号可用来获取转换结果，如图4所示。BUSY信号变为低电平后，可以读取新数据(图2)；或者，在BUSY为高电平时，可以读取前一次转换的数据(图3)。

$\overline{\text{RD}}$ 引脚用来从输出转换结果寄存器读取数据。需要两个 $\overline{\text{RD}}$ 脉冲以读取每个通道的全部18位转换结果。对AD7608 $\overline{\text{RD}}$ 引脚施加一个16 $\overline{\text{RD}}$ 脉冲序列，可使各通道的转换结果按升序逐个输出到16位并行输出总线。BUSY变为低电平后的第一个 $\overline{\text{RD}}$ 下降沿输出V1的转换结果DB[17:2]，下一个 $\overline{\text{RD}}$ 下降沿则用V1的转换结果DB[1:0]更新总线。需要16个 $\overline{\text{RD}}$ 脉冲以读取AD7608的8个18位转换结果。在AD7608上， $\overline{\text{RD}}$ 的第16个下降沿输出通道V8的转换结果DB[1:0]。当 $\overline{\text{RD}}$ 信号为逻辑低电平时，可将各通道的数据转换结果传输到数字主机(DSP、FPGA)。

当系统/板上只有一个AD7608且它不共享并行总线时，可以仅用数字主机的一个控制信号来读取数据。 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号可以连在一起，如图5所示。这种情况下，数据总线在 $\overline{\text{CS/RD}}$ 的下降沿时脱离三态。利用 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 合并信号，可以从AD7608输出数据，并由数字主机读取。这种情况下， $\overline{\text{CS}}$ 用来使能各数据通道的数据帧传输。本例中需要16个 $\overline{\text{CS}}$ 脉冲以读取8个通道的数据。

串行接口 ($\overline{\text{PAR/SER SEL}} = 1$)

若要通过串行接口从AD7608回读数据， $\overline{\text{PAR/SER SEL}}$ 引脚应连接高电平。 $\overline{\text{CS}}$ 和SCLK信号用来传输AD7608的数据。AD7608有两个串行数据输出引脚： D_{OUTA} 和 D_{OUTB} 。可通过单或双 D_{OUT} 线路从AD7608回读数据。对于AD7608，通道V1至V4的转换结果首先出现在 D_{OUTA} 上，通道V5至V8的转换结果则首先出现在 D_{OUTB} 上。

$\overline{\text{CS}}$ 下降沿使数据输出线路(D_{OUTA} 和 D_{OUTB})脱离三态，并逐个输出转换结果的MSB。SCLK上升沿将随后的所有数据位逐个送至串行数据输出 D_{OUTA} 和 D_{OUTB} 。可以使 $\overline{\text{CS}}$ 输入在整个串行读取过程中保持低电平，也可以通过脉冲激活它，以使能各通道的18个SCLK周期帧读取。

图43显示采用双 D_{OUT} 线路在AD7608上读取8个同步转换结果。这种情况下，使用72个SCLK传输来访问AD7608的数据，并且 $\overline{\text{CS}}$ 保持低电平，以使能全部72个SCLK周期帧。也可以仅用一路 D_{OUT} 线逐个输出数据；这种情况下，建议用 D_{OUTA} 访问所有转换数据，因为通道数据以升序输出。对于AD7608，通过一路 D_{OUT} 线访问所有8个转换结果时，总共需要144个SCLK周期。可以通过一个 $\overline{\text{CS}}$ 信号使能这144个SCLK周期帧，也可以通过 $\overline{\text{CS}}$ 信号独立使能各组的18个SCLK周期帧。只用一路 D_{OUT} 线的缺点是：如果在转换后读取，则吞吐速率会下降。串行模式下，不用的 D_{OUT} 线应保持不连接。对于AD7608，如果 D_{OUTB} 用作一路 D_{OUT} 线，通道结果将以V5、V6、V7、V8、V1、V2、V3、V4的顺序输出；不过，在 D_{OUTB} 上读取V5后，FRSTDATA指示就会恢复低电平。

图6显示串行模式下从AD7608读取一个通道的数据(由 $\overline{\text{CS}}$ 信号使能帧传输)的时序图。

SCLK输入信号为串行读取操作提供时钟源。 $\overline{\text{CS}}$ 变为低电平，以从AD7608访问数据。 $\overline{\text{CS}}$ 下降沿使总线脱离三态，并逐个输出18位转换结果的MSB。此MSB在 $\overline{\text{CS}}$ 下降沿后的第一个SCLK下降沿有效。后续17个数据位在SCLK的上升沿逐个输出。数据在SCLK下降沿有效。要访问各转换结果，必须提供18个时钟周期。

FRSTDATA输出信号指示何时回读第一通道V1。当 $\overline{\text{CS}}$ 输入为高电平时，FRSTDATA输出引脚处于三态。在串行模式下， $\overline{\text{CS}}$ 下降沿使FRSTDATA脱离三态，并将FRSTDATA引脚设为高电平，表示 D_{OUTA} 输出数据线可以提供V1的结果。在第18个SCLK下降沿之后，FRSTDATA输出恢复逻辑低电平。如果所有通道都在 D_{OUTB} 上读取，则当V1输出到串行数据输出引脚时，FRSTDATA输出不会变为高电平。只有当 D_{OUTA} 提供V1结果时(此时 D_{OUTB} 提供V5结果)，它才会变为高电平。

转换期间读取

当BUSY为高电平，转换正在进行时，也可以从AD7608读取数据。这几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。转换期间可以执行并行或串行读取，可以使用或不用过采样。图3显示并行或串行模式下BUSY为高电平时读取操作的时序图。使用串行接口及3.3 V至5.25 V的 V_{DRIVE} 时，转换期间执行读取可以实现最高吞吐速率。

在BUSY下降沿时，输出数据寄存器会被新转换数据更新，除此之外的任何时候都可以从AD7608读取数据，这种情况下应满足表3所示的时间 t_e 要求。

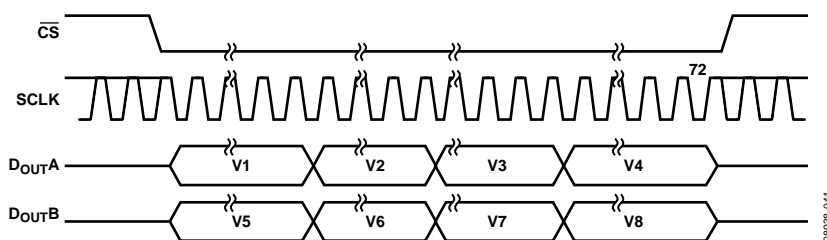


图43. 采用双 D_{OUT} 线路的AD7608串行接口

数字滤波器

AD7068内置一个可选的数字一阶sinc滤波器，在使用较低吞吐速率或需要更高信噪比或更宽动态范围的应用中，应使用该滤波器。数字滤波器的过采样倍率由过采样引脚OS [2:0]控制(见表8)。OS2为MSB控制位，OS0则为LSB控制位。表8提供了用来选择不同过采样倍率的过采样位解码。OS引脚在BUSY的下降沿锁存，从而设置下一个转换的过采样倍率(见图45)。除过采样功能外，输出结果被抽取为18位分辨率。

如果OS引脚选择过采样率8，则下一个CONVST x上升沿采集各通道的第一个样点，一个内部产生的采样信号采集所有通道的其余7个样点。然后对这些样点求平均值，以改进SNR性能。表8显示了±10 V范围和±5 V范围的典型SNR性能。如表8所示，SNR性能随着过采样率提高而改善。随着过采样率提高，3 dB带宽降低，容许的采样频率也降低。在所需采样频率为10 kSPS的应用中，过采样率最高可以为16。此时，应用的SNR性能会有改善，但输入3 dB带宽在约6 kHz以下。

开启过采样时，CONVST A和CONVST B引脚必须连在一起驱动，转换过程中BUSY保持高电平的时间会延长。BUSY保持高电平的总时间取决于所选的过采样倍率；过采样倍率越高，则BUSY保持高电平的时间或总转换时间越长(见表3)。

图44显示转换时间和BUSY信号宽度随着过采样倍率提高而延长。例如，当采样速率为10 kSPS时，周期时间为100 μs。图44显示了OS × 2和OS × 4的情况；对于10 kSPS采样速率，仍有足够的周期时间来进一步提高过采样倍率，使SNR性能得到更大的改善。例如，在初始采样或吞吐速率为200 kSPS的应用中，如果开启过采样，则必须降低吞吐速率，以满足较长的转换时间要求，并顾及到读取操作。当开启过采样时，为实现最快吞吐速率，可以在BUSY高电平期间执行读取操作。BUSY下降沿用于以新转换数据更新输出数据寄存器，因此转换数据的读取不应发生在此边沿上。

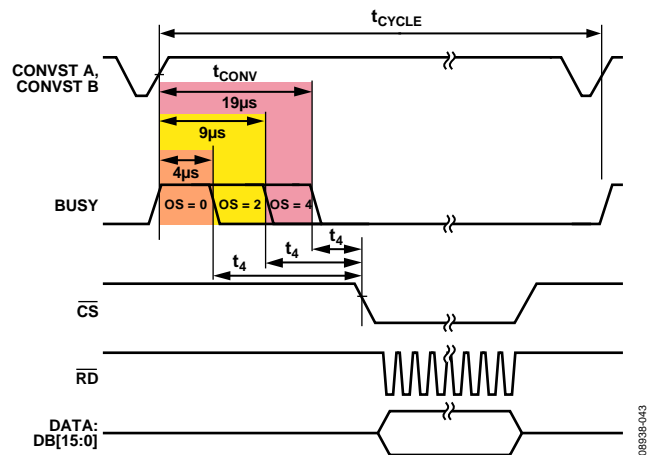


图44. 无过采样、2倍过采样和4倍过采样，转换之后读取

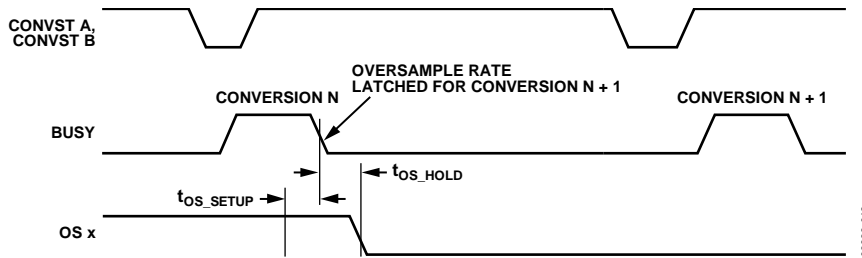


图45. OS引脚时序

表8. 过采样位解码

OS [2:0]	过采样率	±5V范围 SNR(dB) ¹	±10V范围 SNR(dB) ¹	±5V范围 3 dB带宽(kHz)	±10V范围 3 dB带宽(kHz)	最大吞吐量 CONVST x频率(kHz)
000	无过采样	90.5	91.2	15	22	200
001	2	92.5	93.4	15	22	100
010	4	94.45	95.7	13.7	18.5	50
011	8	96.5	98	10.3	11.9	25
100	16	99.1	100.4	6	6	12.5
101	32	101.7	102.8	3	3	6.25
110	64	103	103.5	1.5	1.5	3.125
111	无效					

¹ SNR值使用满量程100 Hz输入信号。

图46至图52以直方图形式显示了过采样对输出码字分布的影响。随着过采样倍率提高，码字分布缩小。(图46至图52中， $AV_{CC} = V_{DRIVE} = 5\text{ V}$ ，采样倍率与过采样率呈比例关系。)

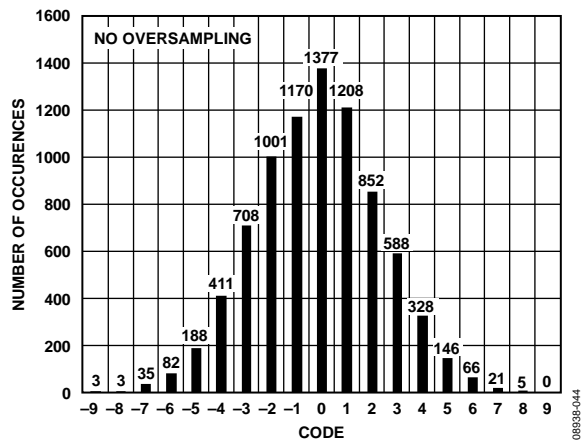


图46. 码直方图：无过采样(18个码)

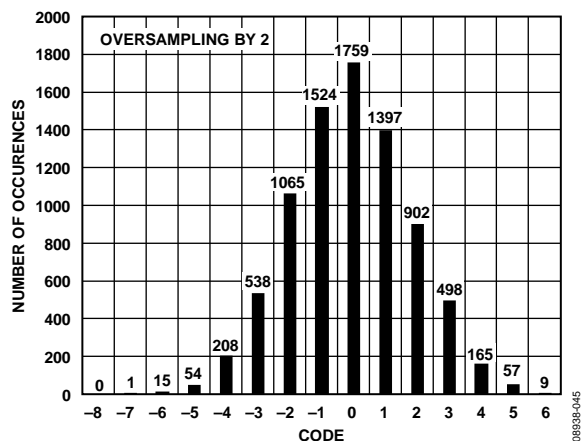


图47. 码直方图：2倍过采样(14个码)

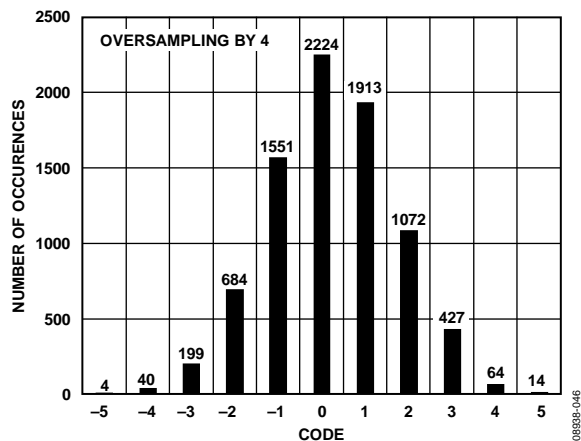


图48. 码直方图：4倍过采样(11个码)

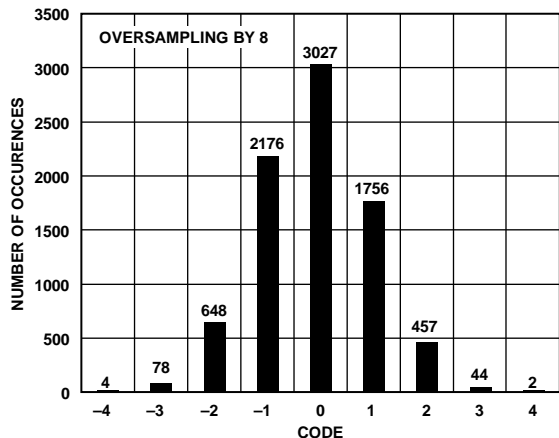


图49. 码直方图：8倍过采样(9个码)

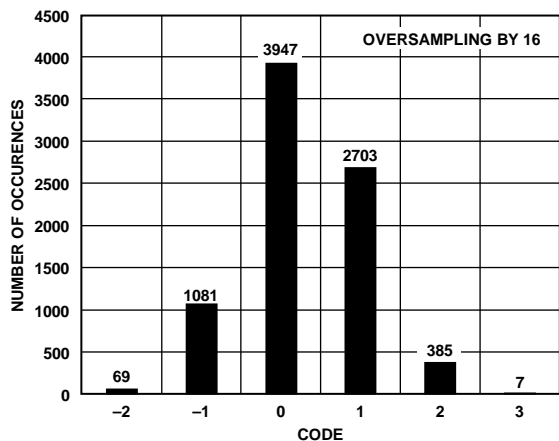


图50. 码直方图：16倍过采样(6个码)

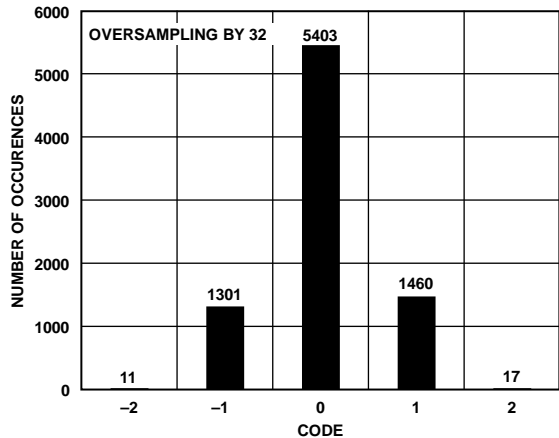


图51. 码直方图：32倍过采样(5个码)

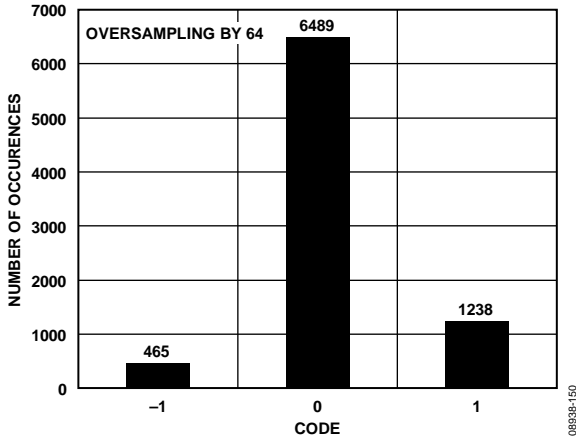


图52. 码直方图：64倍过采样(3个码)

当选择过采样模式时，其效果是在ADC之后增加数字滤波器功能。不同的过采样倍率和CONVST x采样频率将产生不同的数字滤波器频率曲线。

图53至图58显示了2倍过采样至64倍过采样的数字滤波器频率曲线。模拟抗混叠滤波器和过采样数字滤波器组合可以简化AD7068之前的滤波器设计。该数字滤波同时提供陡峭滚降的幅频响应与线性的相频响应。

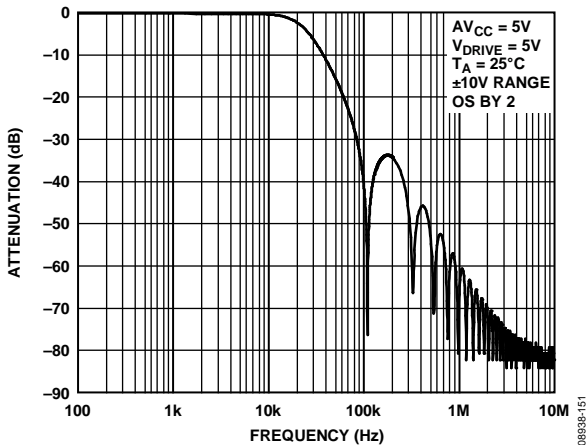


图53. 2倍过采样的数字滤波器

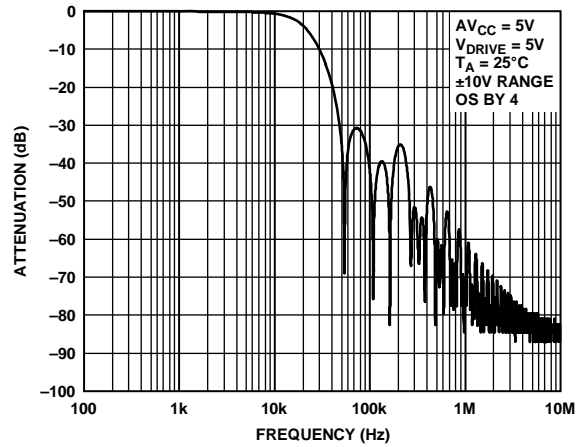


图54. 4倍过采样的数字滤波器响应

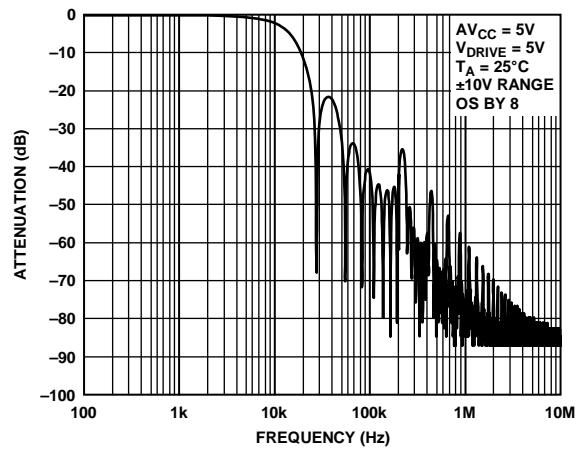


图55. 8倍过采样的数字滤波器响应

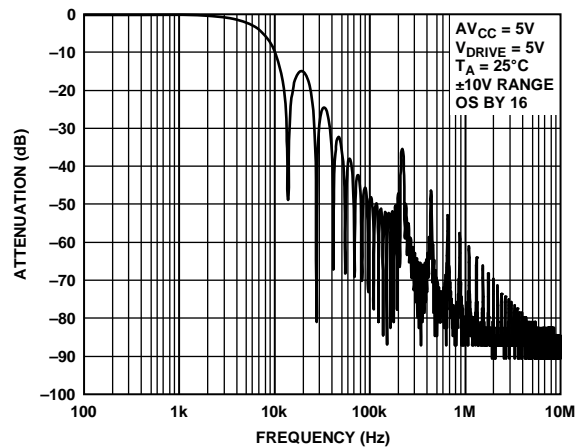


图56. 16倍过采样的数字滤波器响应

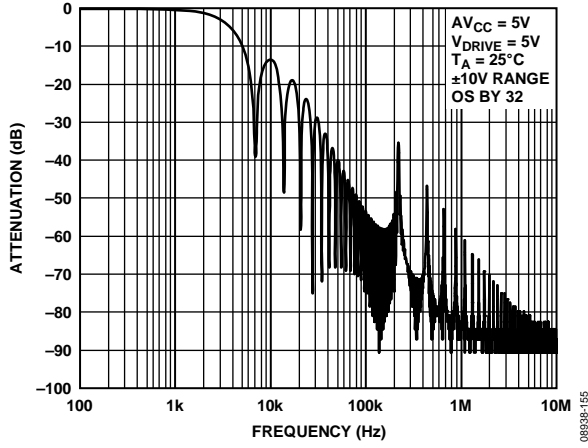


图57. 32倍过采样的数字滤波器响应

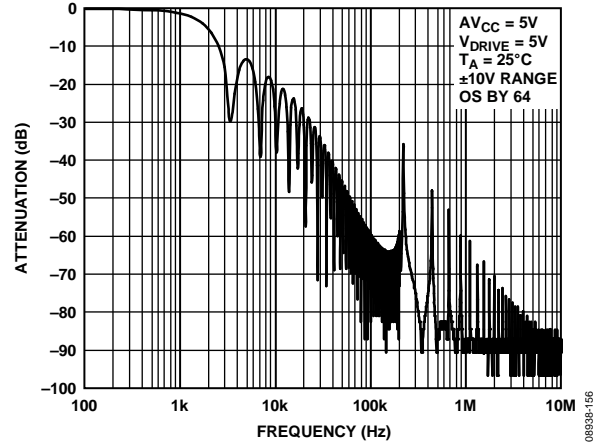


图58. 64倍过采样的数字滤波器响应

AD7068

布局指南

安装AD7068所用的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的不同区域内。

至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。在使用分割的地层时，数字地和模拟地应单点连接。单点接地点最好尽可能靠近AD7068。

如果AD7068系统内有多个器件要求模数接地，仍应坚持单点接地，把接地点放置在尽可能靠近AD7068的一个星型接地点。确保每个接地引脚与地层的良好连接。避免多个接地引脚共用一个到地层的连接的情况。每个接地引脚应使用单个过孔或多个过孔接入接地层。

应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7068下方，以避免噪声耦合。如CONVST A、CONVST B或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。避免数字信号与模拟信号交叠。电路板邻近层上的走线应彼此垂直，以减小电路板的馈通效应。

AD7068上 AV_{CC} 和 V_{DRIVE} 引脚的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。可能的话，应使用电源层，并在AD7068电源引脚与电路板的电源走线之间建立良好连接。各电源引脚应使用单个过孔或多个过孔。

良好的去耦也很重要，以便降低AD7068的电源阻抗，并减少电源尖峰幅度。去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。REFIN/REFOUT引脚和REFCAPA、REFCAPB引脚的去耦电容应尽可能靠近相应的AD7068引脚。可能的话，应将这些电容放在电路板上与AD7068器件相同的一侧。图59显示AD7068电路板顶层的建议去耦配置。图60显示底层去耦配置，它用于四个 AV_{CC} 引脚和 V_{DRIVE} 引脚的去耦。

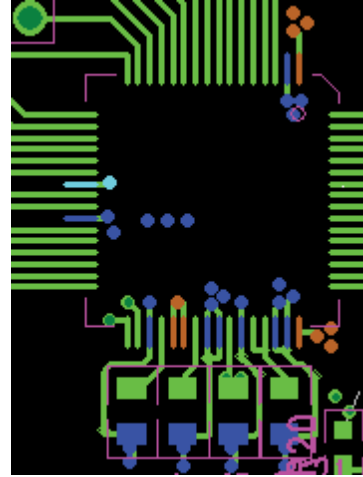


图59. REFIN/REFOUT、REFCAPA、REFCAPB和REGCAP引脚的顶层去耦

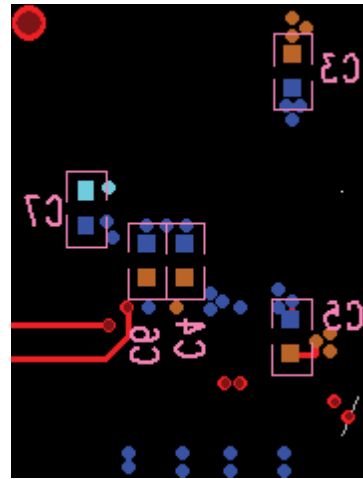


图60. 底层去耦

在内置多个AD7068器件的系统中，为确保器件之间的性能匹配良好，这些器件必须采用对称布局。

图61显示采用两个AD7068器件的布局。AV_{CC}电压平面沿两个器件的右侧布设，V_{DRIVE}电源走线沿两个AD7068器件的左侧布设。基准电压芯片位于两个器件之间，基准电压走线向北布设到U1的引脚42，向南布设到U2的引脚42。使用不分割的、连续的接地层。

这些对称布局原则适用于含有两个以上AD7068器件的系统。AD7068器件可以沿南北方向放置，基准电压位于AD7068器件的中间，基准电压走线则沿南北方向布设，类似于图61。

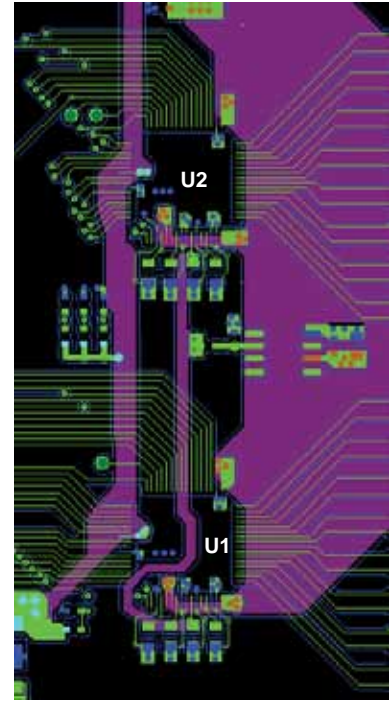
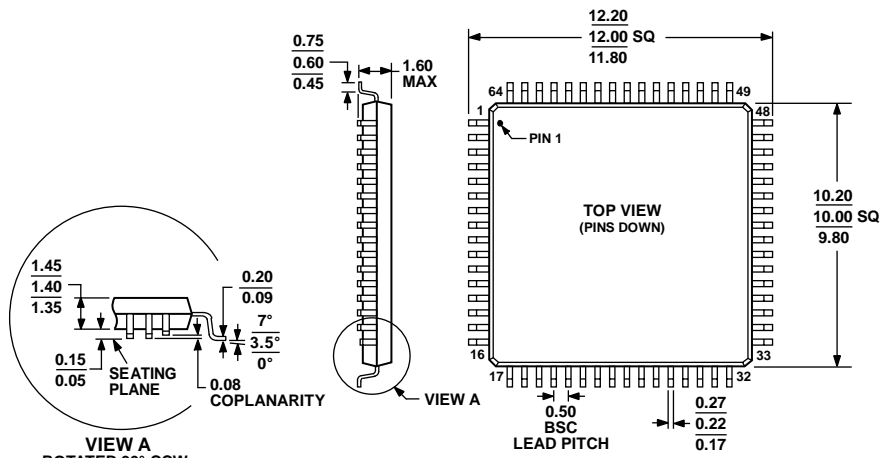


图61. 多个AD7068器件的布局—顶层和电源层

AD7068

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图62. 64引脚薄型四方扁平封装[LQFP]
(ST-64-2)

尺寸单位: mm

051706-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7608BSTZ	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7608BSTZ-RL	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
EVAL-AD7608EDZ	-40°C 至 +85°C	AD7608评估板	
CED1Z		转换器评估开发板	

¹ Z = 符合RoHS标准的器件。