

OPAx363、OPAx364 1.8V 7MHz 90dB CMRR 单电源轨至轨 I/O 运算放大器

1 特性

- 1.8V 运行电压
- 微型封装
- 带宽: 7MHz
- CMRR: 90dB (典型)
- 压摆率: 5V/ μ s
- 低失调电压: 500 μ V (最大值)
- 静态电流: 每个通道750 μ A (最大值)
- 关断模式: 每个通道小于 1 μ A

2 应用

- 信号调节
- 数据采集
- 过程控制
- 有源滤波器
- 测试设备

3 说明

OPA363 和 OPA364 系列是两款高性能 CMOS 运算放大器，针对超低电压单电源运行进行优化。这些微型低成本放大器设计用于在介于 1.8V (± 0.9 V) 到 5.5V (± 2.75 V) 之间的单电源上运行。应用包括在电池供电系统中的传感器放大和信号调节。

OPAx363 和 OPA364 系列提供出色的 CMRR，而不存在与传统互补输入级关联的交叉。此特性可在驱动模数 (A/D) 转换器方面实现优异的性能，而不会降低微分线性和 THD。输入共模范围同时包括正负电源。电源轨的输出电压摆幅在 10mV 以内。

OPA363 系列包括关断模式。在逻辑控制下，这些放大器可从正常运行状态切换到待机电流小于 1 μ A 的状态。

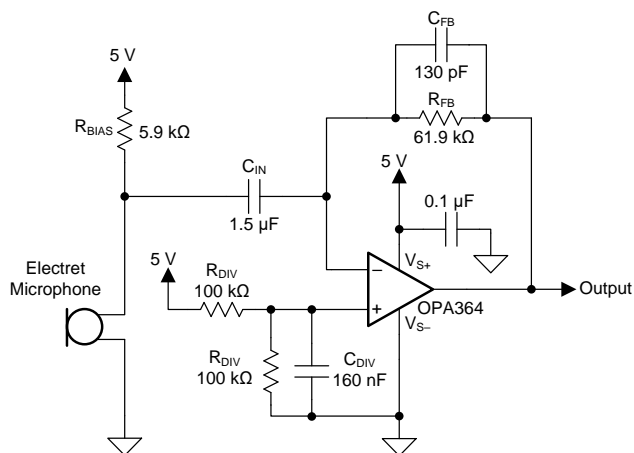
单通道版本采用微型 5 引脚 SOT-23 (6 引脚 SOT-23 用于关断模式) 和 8 引脚 SOIC。双通道版本采用 8 引脚 VSSOP、10 引脚 VSSOP、16 引脚 UQFN 和 8 引脚 SOIC 封装。这四种封装都可应用 14 引脚 TSSOP 和 14 引脚 SOIC 封装。所有器件版本的额定工作温度范围均为 -40°C 至 $+125^{\circ}\text{C}$ 。

器件信息(1)

器件编号	封装	封装尺寸 (标称值)
OPA363	SOT-23 (6) 在器件信息表中将	2.60mm x 1.60mm
	SOIC (8)	4.90mm x 3.91mm
OPA364	SOT-23 (5) 在器件信息表中将	2.60mm x 1.60mm
	SOIC (8)	4.90mm x 3.91mm
OPA2363	VSSOP (10)	3.00mm x 3.00mm
	UQFN (16)	2.60mm x 1.80mm
OPA2364	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm
OPA4364	SOIC (14)	8.65mm x 3.91mm
	TSSOP (14)	5.00mm x 4.40mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

单电源麦克风前置放大器



Copyright © 2017, Texas Instruments Incorporated



目录

1	特性	1	8.2	功能方框图	17
2	应用	1	8.3	特性说明	18
3	说明	1	8.4	器件功能模式	19
4	修订历史记录	2	9	应用和实施	20
5	器件比较表	4	9.1	应用信息	20
5.1	器件比较表	4	9.2	典型应用	22
6	引脚配置和功能	4	10	电源建议	25
7	规格	8	11	布局	25
7.1	绝对最大额定值	8	11.1	布局指南	25
7.2	ESD 额定值	8	11.2	布局示例	25
7.3	建议运行条件	8	12	器件和文档支持	27
7.4	热性能信息: OPA363	9	12.1	器件支持	27
7.5	热性能信息: OPA364	9	12.2	文档支持	27
7.6	热性能信息: OPA2363	10	12.3	相关链接	28
7.7	热性能信息: OPA2364	10	12.4	接收文档更新通知	28
7.8	热性能信息: OPA4364	10	12.5	社区资源	28
7.9	电气特性	11	12.6	商标	28
7.10	典型特性	13	12.7	静电放电警告	28
8	详细说明	17	12.8	术语表	28
8.1	概述	17	13	机械、封装和可订购信息	28

4 修订历史记录

注: 之前版本的页码可能与当前版本有所不同。

Changes from Revision E (January 2018) to Revision F	Page
• 已更改 OPA363 SOT-23 (5) 改为 SOT-23 (6)	1
• 已添加 将 OPA363 SOIC (8) 封装添加到器件信息表中	1
• 已更改 OPA364 SOT-23 (6) 改为 SOT-23 (5)	1
• 已删除 从器件信息表中删除了 OPA2364 VSSOP (10) 和 UQFN (16) 封装	1
• 已删除 从器件信息表中删除了 OPA2363 SOIC (8) 和 VSSOP (8) 封装	1

Changes from Revision D (September 2016) to Revision E	Page
• 已更改 将器件信息表中的 OPA36x 和 OPA236x 部件编号更改为 OPA364 和 OPA2363	1
• 已添加 在器件信息表中增加了 OPA2364 器件	1
• 更正了引脚配置和功能部分中的引脚图	4
• 更正了引脚配置和功能部分中的引脚表格式	4
• Added 在绝对最大额定值表的电源电压参数中增加了最小值 0V	8
• Added 在绝对最大额定值表的电源电压参数中增加了“[V+] – [V-]”	8
• Deleted 从绝对最大额定值表中删除了工作温度范围	8
• Added 在绝对最大额定值表中的结温和存储温度范围中增加了“温度”一词	8
• Added 在建议运行条件表中的电源电压参数中增加了“[V+] – [V-]”	8
• Changed 将输出电压摆幅参数单位从 V 改为 mV	11
• Deleted 删除了电气特性表中的温度范围部分	11
• Changed 在电气特性表中将 PSRR 测试条件从 $V_{CM} = 0$ 改为 $V_{CM} = (V-)$	11
• Deleted 删除了应用信息部分中的缓冲基准电压	20
• Changed Figure 33	25
• Added Figure 34	26

-
- 已更改 在整个产品说明书中将“IC”更改为“器件” 27
-

Changes from Revision C (May 2013) to Revision D
Page

-
- 已添加 增加了 ESD 额定值表、特性说明部分、器件功能模式、应用和实施部分、电源建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分 1
 - 已删除 删除了封装和订购信息部分。请参阅产品说明书末尾的 POA。 1
-

Changes from Revision B (February 2003) to Revision C
Page

-
- 将产品说明书转换为当前格式 1
 - 已添加 在产品说明书中增加了 RSV 封装 (UQFN-16) 1
 - 在布局指南部分的最后一个项目符号中增加了文本 25
-

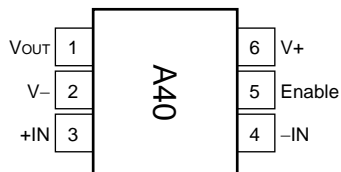
5 器件比较表

5.1 器件比较表

	OPA363	OPA364	OPA2363	OPA2364	OPA4364
SOT-23-5		X			
SOT-23-6 (关断)	X				
MSOP-8				X	
MSOP-10			X		
SO-8	X	X		X	
TSSOP-14					X
SO-14					X
UQFN-16			X		

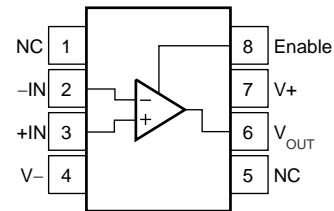
6 引脚配置和功能

OPA363 : DBV 封装
6 引脚 SOT-23
俯视图



(1) 根据标记确定方向。

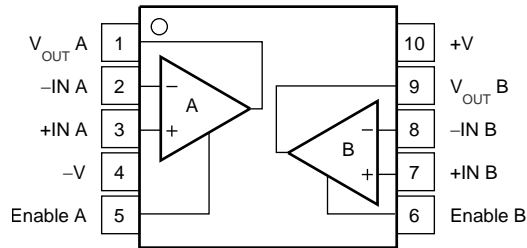
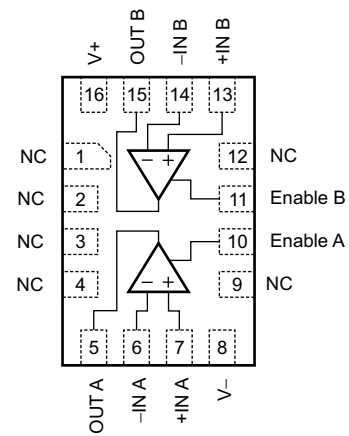
OPA363 : D 封装
8 引脚 SOIC
俯视图



NC = 无内部连接

引脚功能 : OPA363

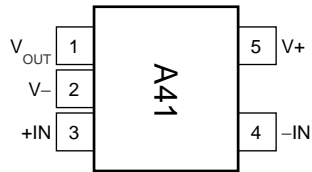
名称	引脚		I/O	说明
	SOIC	SOT-23		
使能	8	5	I	使能
-IN	2	4	I	负 (反相) 输入
+IN	3	3	I	正 (同相) 输入
NC	1, 5	—	—	没有与内部电路连接 (可以悬空)
V _{OUT}	6	1	O	输出
V-	4	2	—	负电源 (最低)
V+	7	6	—	正电源 (最高)

**OPA2363 : DGS 封装
10 引脚 MSOP
俯视图**

**OPA2363 : RSV 封装
16 引脚 UQFN
俯视图**


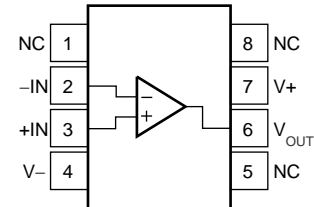
NC = 无内部连接

引脚功能 : OPA2363

名称	引脚		I/O	说明
	MSOP	UQFN		
Enable A	5	10	I	使能 A 放大器
Enable B	6	11	I	使能 B 放大器
-IN A	2	6	I	反相输入, 通道 A
+IN A	3	7	I	同相输入, 通道 A
-IN B	8	14	I	反相输入, 通道 B
+IN B	7	13	I	同相输入, 通道 B
NC	—	1、2、3、 4、9、12	—	没有与内部电路连接 (可以悬空)
OUT A	—	5	O	输出, 通道 A
OUT B	—	15	O	输出, 通道 B
V _{OUT A}	1	—	O	输出, 通道 A
V _{OUT B}	9	—	O	输出, 通道 B
-V, V-	4	8	—	负电源 (最低)
+V, V+	10	16	—	正电源 (最高)

**OPA364 : DBV 封装
5 引脚 SOT-23
俯视图**


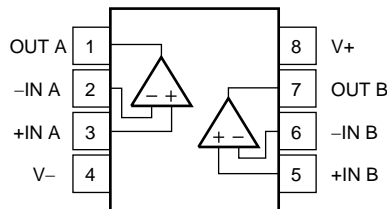
(1) 根据标记确定方向。

**OPA364 : D 封装
8 引脚 SOIC
俯视图**


NC = 无内部连接

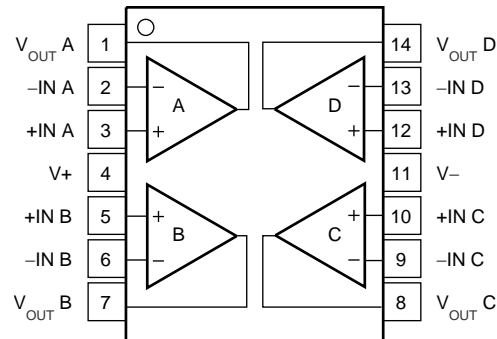
引脚功能 : OPA364

引脚		I/O	说明	
名称	SOIC			SOT-23
-IN	2	4	I	负 (反相) 输入
+IN	3	3	I	正 (同相) 输入
NC	1、5、8	—	—	没有与内部电路连接 (可以悬空)
V _{OUT}	6	1	O	输出
V-	4	2	—	负电源 (最低)
V+	7	5	—	正电源 (最高)

**OPA2364 : DGK 和 D 封装
8 引脚 MSOP 和 SOIC
俯视图**

引脚功能 : OPA2364

引脚		I/O	说明
名称	编号		
-IN A	2	I	反相输入, 通道 A
+IN A	3	I	同相输入, 通道 A
-IN B	6	I	反相输入, 通道 B
+IN B	5	I	同相输入, 通道 B
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
V-	4	—	负电源 (最低)
V+	8	—	正电源 (最高)

OPA4364 : D 和 PW 封装
14 引脚 SOIC 和 TSSOP
俯视图



NC = 无内部连接。

引脚功能 : OPA4364

引脚		I/O	说明
名称	编号		
-IN A	2	I	反相输入, 通道 A
+IN A	3	I	同相输入, 通道 A
-IN B	6	I	反相输入, 通道 B
+IN B	5	I	同相输入, 通道 B
-IN C	9	I	反相输入, 通道 C
+IN C	10	I	同相输入, 通道 C
-IN D	13	I	反相输入, 通道 D
+IN D	12	I	同相输入, 通道 D
V _{OUT} A	1	O	输出, 通道 A
V _{OUT} B	7	O	输出, 通道 B
V _{OUT} C	8	O	输出, 通道 C
V _{OUT} D	14	O	输出, 通道 D
V-	11	—	负电源 (最低)
V+	4	—	正电源 (最高)

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电压	电源 ([V+] – [V-])	0	5.5	V
	信号输入引脚 ⁽²⁾	-0.5	(V+) + 0.5	
电流	信号输入引脚 ⁽²⁾	-10	10	mA
	输出短路 ⁽³⁾	连续		mA
结温, T _J		150		°C
贮存温度, T _{stg}		-65		

(1) 应力超出绝对最大额定值下列出的值有可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。在绝对最大额定值条件下长时间运行可能会影响器件可靠性。

(2) 输入端子被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。

(3) 对地短路, 每个封装对应一个放大器。

7.2 ESD 额定值

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±750	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

自然通风工作温度范围内 (除非另有说明)

		最小值	标称值	最大值	单位
	电源电压 ([V+] – [V-])	1.8		5.5	V
T _A	工作温度	-40		125	°C

7.4 热性能信息：OPA363

热指标 ⁽¹⁾		OPA363	
		DBV (SOT-23)	
		5 引脚	
			单位
$R_{\theta JA}$	结至环境热阻	211.4	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	137	°C/W
$R_{\theta JB}$	结至电路板热阻	39.8	°C/W
Ψ_{JT}	结至顶部特征参数	20.6	°C/W
Ψ_{JB}	结至电路板特征参数	38.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

7.5 热性能信息：OPA364

热指标 ⁽¹⁾		OPA364		单位
		DBV (SOT-23)	D (SOIC)	
		6 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	182.7	125.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	130.7	73.7	°C/W
$R_{\theta JB}$	结至电路板热阻	34.1	65.7	°C/W
Ψ_{JT}	结至顶部特征参数	24.8	25.4	°C/W
Ψ_{JB}	结至电路板特征参数	33.5	65.2	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

7.6 热性能信息：OPA2363

热指标 ⁽¹⁾	OPA2363				单位
	D (SOIC)	DGK (VSSOP)	DGS (VSSOP)	UQFN (RSV)	
	8 引脚	8 引脚	10 引脚	16 引脚	
R _{θJA} 结至环境热阻	125.3	171.8	166.4	112.4	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	73.7	63.2	55.9	44	°C/W
R _{θJB} 结至电路板热阻	65.7	92.4	86.6	41.2	°C/W
ψ _{JT} 结至顶部特征参数	25.4	9.5	6.8	0.8	°C/W
ψ _{JB} 结至电路板特征参数	65.2	91	85.2	41.2	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

7.7 热性能信息：OPA2364

热指标 ⁽¹⁾	OPA2364				单位
	D (SOIC)	DGK (VSSOP)	DGS (VSSOP)	UQFN (RSV)	
	8 引脚	8 引脚	10 引脚	16 引脚	
R _{θJA} 结至环境热阻	125.3	171.8	166.4	112.4	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	73.7	63.2	55.9	44	°C/W
R _{θJB} 结至电路板热阻	65.7	92.4	86.6	41.2	°C/W
ψ _{JT} 结至顶部特征参数	25.4	9.5	6.8	0.8	°C/W
ψ _{JB} 结至电路板特征参数	65.2	91	85.2	41.2	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

7.8 热性能信息：OPA4364

热指标 ⁽¹⁾	OPA4364		单位
	D (SOIC)	PW (TSSOP)	
	14 引脚	14 引脚	
R _{θJA} 结至环境热阻	82.6	107.5	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	41.1	31.9	°C/W
R _{θJB} 结至电路板热阻	37.1	50.6	°C/W
ψ _{JT} 结至顶部特征参数	9.4	1.9	°C/W
ψ _{JB} 结至电路板特征参数	36.8	49.9	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

7.9 电气特性

当 $T_A = 25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{\text{OUT}} = V_S / 2$, $V_{\text{CM}} = V_S / 2$, $V_S = 1.8\text{V}$ 至 5.5V (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入偏移电压	$V_S = 5\text{V}$ (OPA363I, OPA364I)			500	μV
	OPA2363I, OPA2364I			900	μV
	OPA363AI, OPA364AI, OPA2363AI, OPA2364AI, OPA4364AI		1	2.5	mV
dV_{OS}/dT 漂移	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		3		$\mu\text{V}/^\circ\text{C}$
PSRR 输入失调电压与电源间的关系	$V_S = 1.8\text{V}$ 至 5.5V $V_{\text{CM}} = (V_-)$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		80	330	$\mu\text{V}/\text{V}$
通道分离, 直流			1		$\mu\text{V}/\text{V}$
输入偏置电流					
I_B 输入偏置电流	$T_A = 25^\circ\text{C}$		± 1	± 10	pA
	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		请参阅 典型特性		
I_{OS} 输入偏移电流			± 1	± 10	pA
噪声					
e_n 输入电压噪声,	$f = 0.1\text{Hz}$ 至 10Hz		10		μV_{PP}
e_n 输入电压噪声密度	$f = 10\text{kHz}$		17		$\text{nV}/\sqrt{\text{Hz}}$
i_n 输入电流噪声密度	$f = 10\text{kHz}$		0.6		$\text{fA}/\sqrt{\text{Hz}}$
输入电压范围					
V_{CM} 共模电压范围		$(V_-) - 0.1$		$(V_+) + 0.1$	V
CMRR 共模抑制比	$(V_-) - 0.1\text{V} < V_{\text{CM}} < (V_+) + 0.1\text{V}$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	74	90		dB
输入电容					
差分			2		pF
共模			3		pF
开环增益					
A_{OL} 开环电压增益	$R_L = 10\text{k}\Omega$ $100\text{mV} < V_O < (V_+) - 100\text{mV}$	$T_A = 25^\circ\text{C}$	94	100	dB
		$T_A = 25^\circ\text{C}$ (OPA4364)	90		dB
	$R_L = 10\text{k}\Omega$ $100\text{mV} < V_O < (V_+) - 100\text{mV}$	$V_S = 1.8\text{V}$ 至 5.5V $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	86		dB
频率响应					
GBW 增益带宽积	$C_L = 100\text{pF}$		7		MHz
SR 压摆率	$C_L = 100\text{pF}$, $G = 1$		5		$\text{V}/\mu\text{s}$
t_S 建立时间	0.1%, $C_L = 100\text{pF}$, $V_S = 5\text{V}$, 4V 阶跃, $G = 1$		1		μs
	0.01%, $C_L = 100\text{pF}$, $V_S = 5\text{V}$, 4V 阶跃, $G = 1$		1.5		μs
过载恢复时间	$C_L = 100\text{pF}$ $V_{\text{IN}} \times \text{增益} > V_S$		0.8		μs
THD+N 总谐波失真 + 噪声	$C_L = 100\text{pF}$, $V_S = 5\text{V}$, $G = 1$, $f = 20\text{Hz}$ 至 20kHz		0.002%		
输出					
电压输出摆幅	$R_L = 10\text{k}\Omega$, $T_A = 25^\circ\text{C}$		10	20	mV
	$R_L = 10\text{k}\Omega$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			20	mV
I_{SC} 短路电流			请参阅 典型特性		
C_{LOAD} 容性负载驱动			请参阅 典型特性		
关断 (OPA363)					
$t_{\text{关闭}}$ 关断时间			1		μs
t_{ON} 开通时间 ⁽¹⁾			20		μs
V_L 逻辑低阈值	关断			$(V_-) + 0.8$	V
V_H 逻辑高阈值	放大器处于正常工作状态		0.75 (V+)	5.5	V
$I_{\text{Q(sd)}}$ 关断时的静态电流 (每个放大器)				0.9	μA

(1) 当输入失调电压恢复至特定范围时, 器件视为已启用。

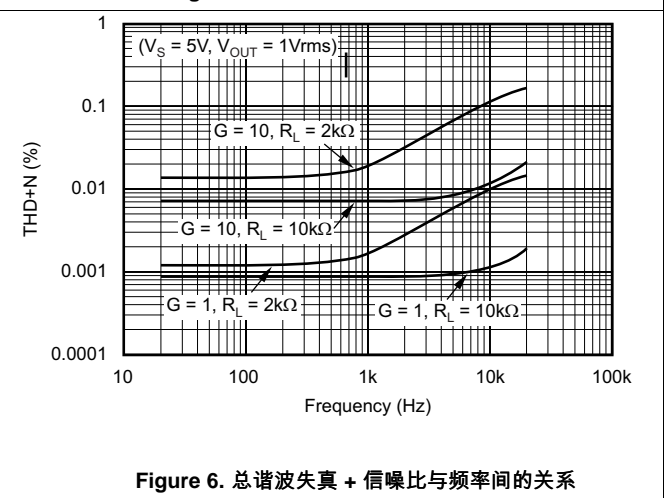
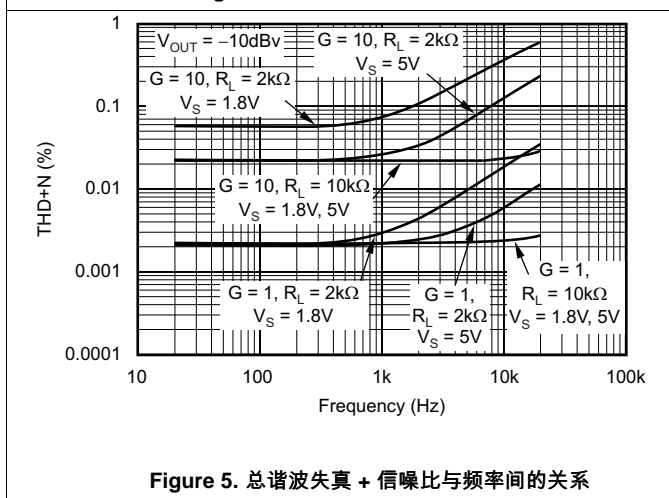
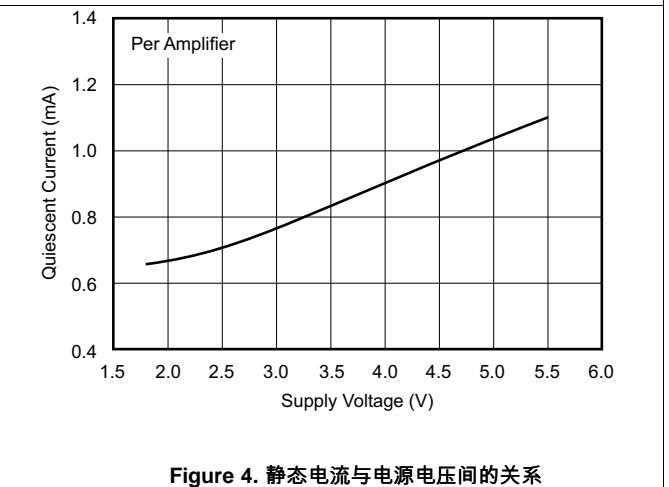
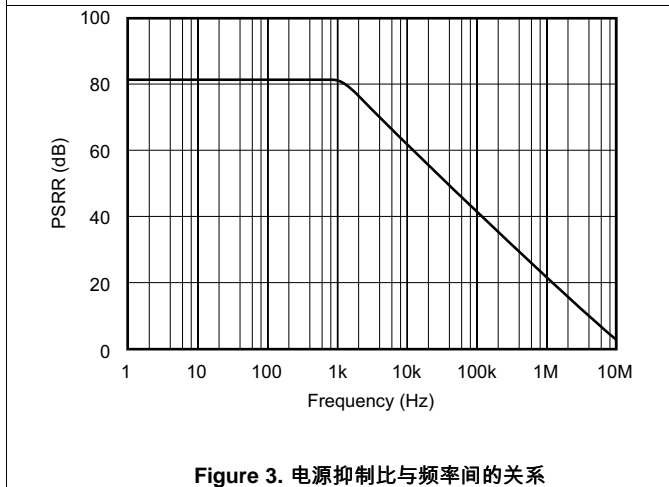
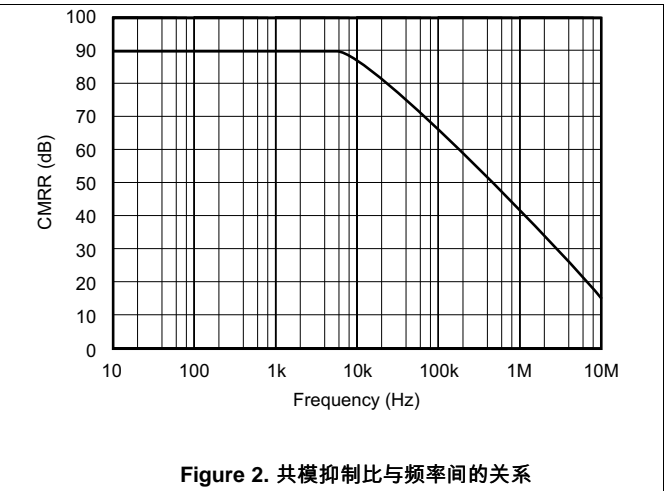
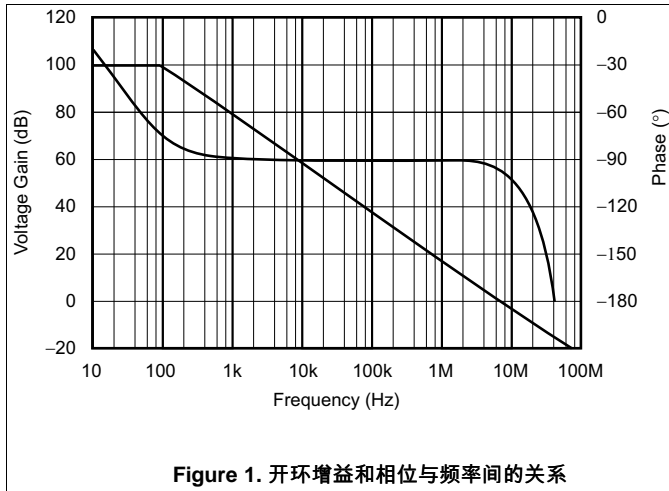
电气特性 (continued)

 当 $T_A = 25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{\text{OUT}} = V_S / 2$, $V_{\text{CM}} = V_S / 2$, $V_S = 1.8\text{V}$ 至 5.5V (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_S	额定电压范围		1.8		5.5	V
I_Q	静态电流 (每个放大器)	$V_S = 1.8\text{V}$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		650	750	μA
		$V_S = 3.6\text{V}$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		850	1000	μA
		$V_S = 5.5\text{V}$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		1.1	1.4	mA

7.10 典型特性

当 $T_A = 25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{OUT} = V_S / 2$, $V_{CM} = V_S / 2$ (除非另有说明)



典型特性 (continued)

当 $T_A = 25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{OUT} = V_S / 2$, $V_{CM} = V_S / 2$ (除非另有说明)

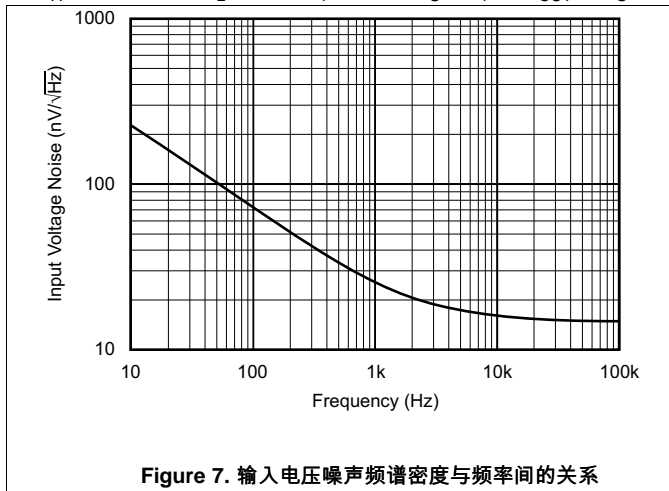


Figure 7. 输入电压噪声频谱密度与频率间的关系

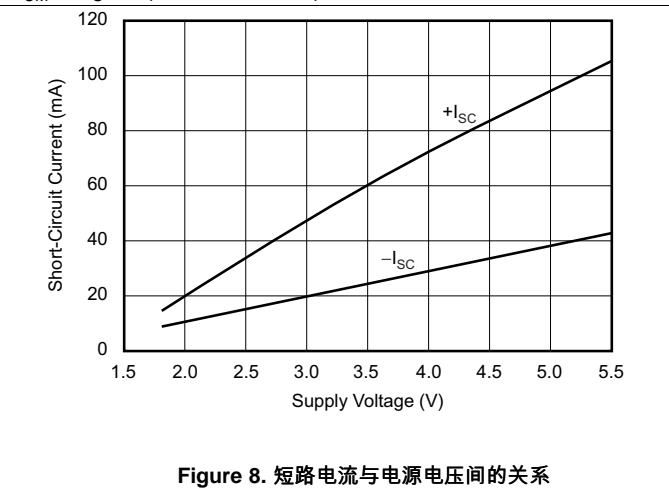


Figure 8. 短路电流与电源电压间的关系

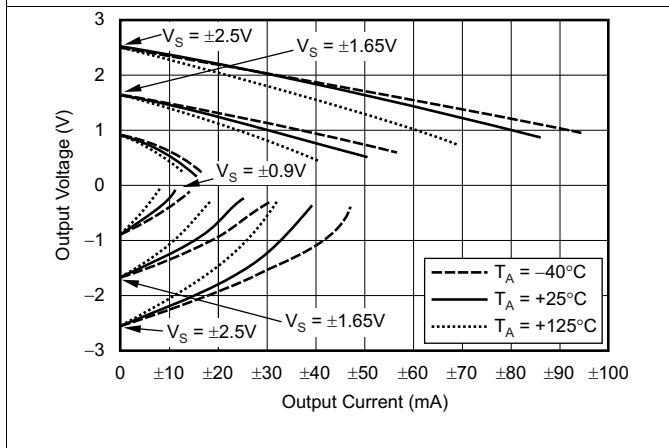


Figure 9. 输出电压摆幅与输出电流间的关系

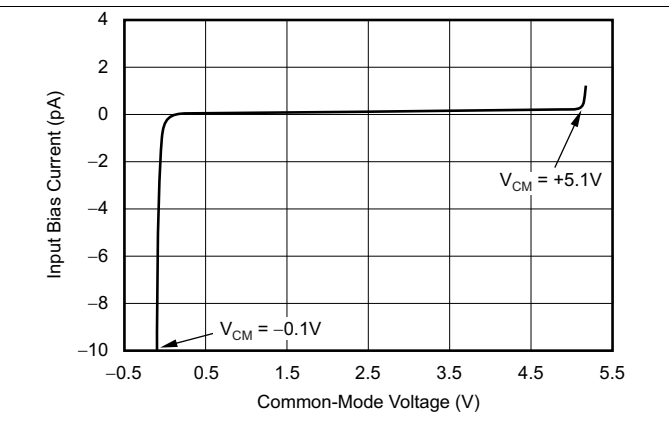


Figure 10. 输入偏置电流与输入共模电压间的关系

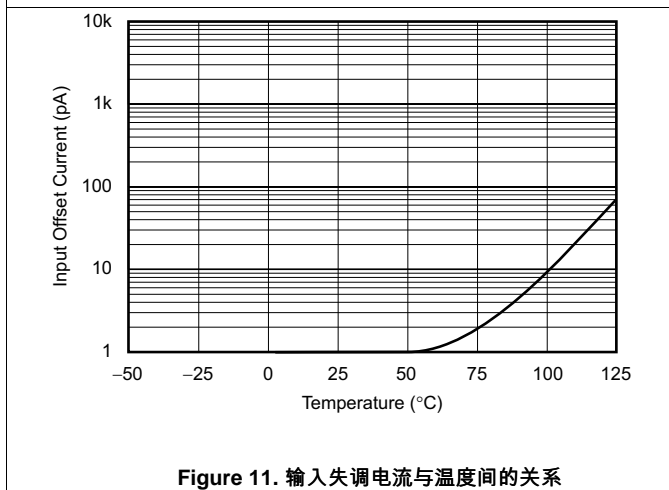


Figure 11. 输入失调电流与温度间的关系

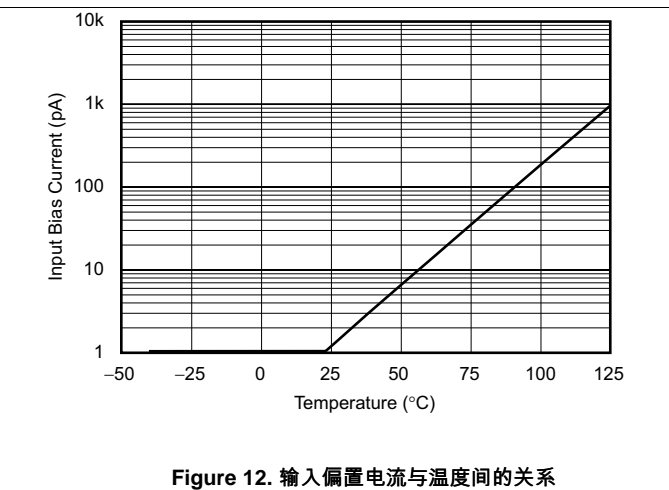


Figure 12. 输入偏置电流与温度间的关系

典型特性 (continued)

当 $T_A = 25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{OUT} = V_S / 2$, $V_{CM} = V_S / 2$ (除非另有说明)

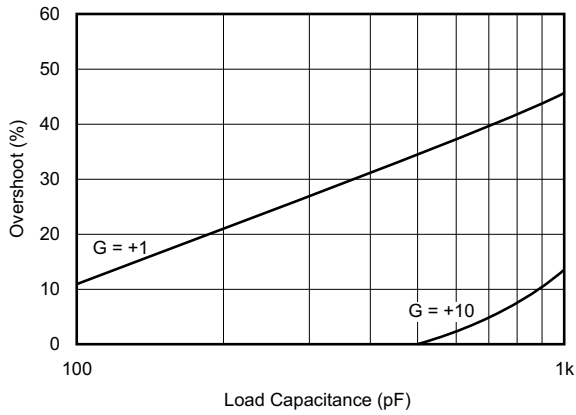


Figure 13. 小信号过冲与负载电容间的关系

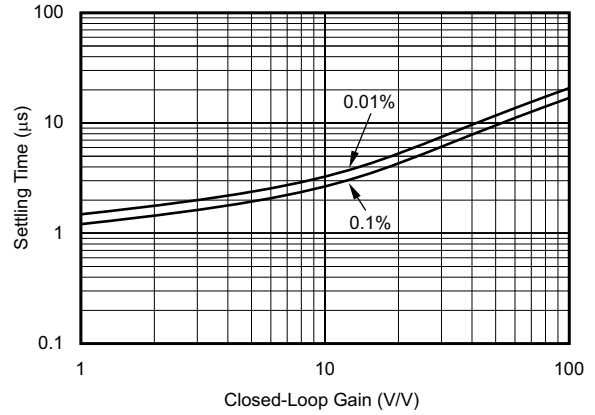


Figure 14. 趋稳时间与闭环增益间的关系

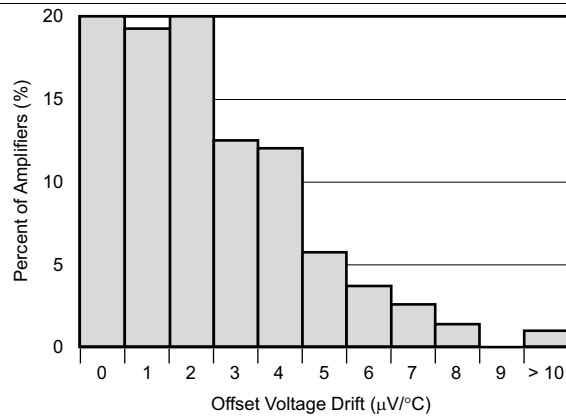


Figure 15. 温漂分布

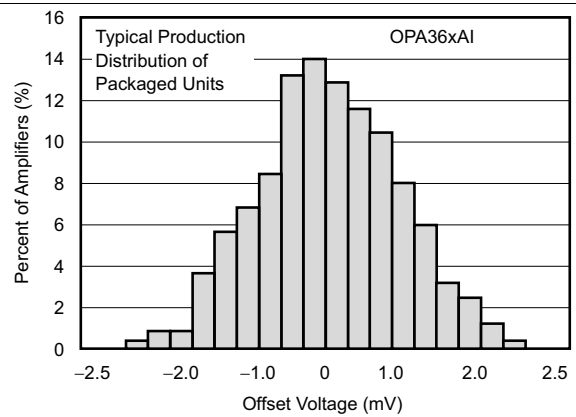


Figure 16. 失调电压产生分布

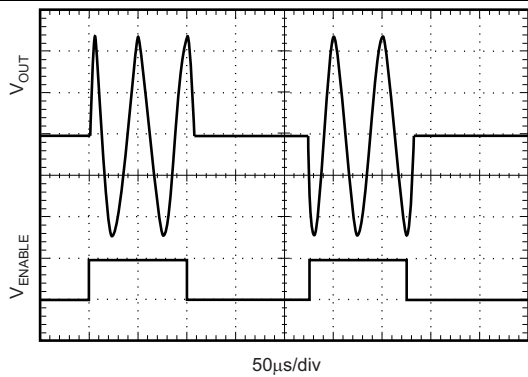


Figure 17. 输出使能特性 ($V_S = 5\text{V}$, $V_{OUT} = 20\text{kHz}$ 正弦信号)

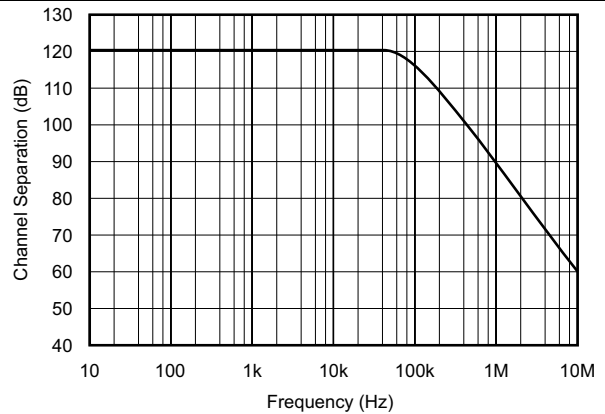
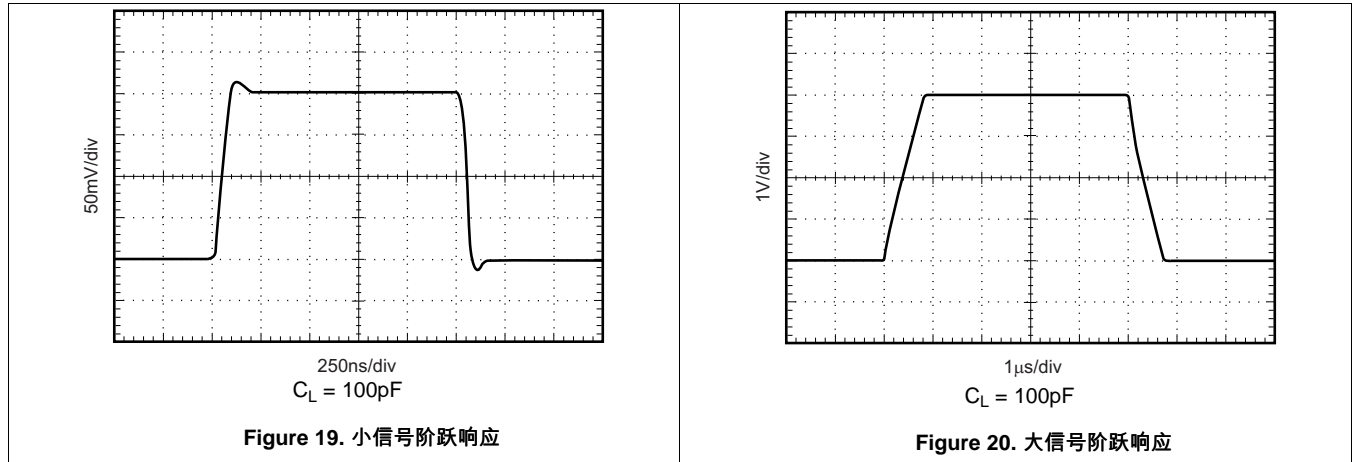


Figure 18. 通道分离与频率间的关系

典型特性 (continued)

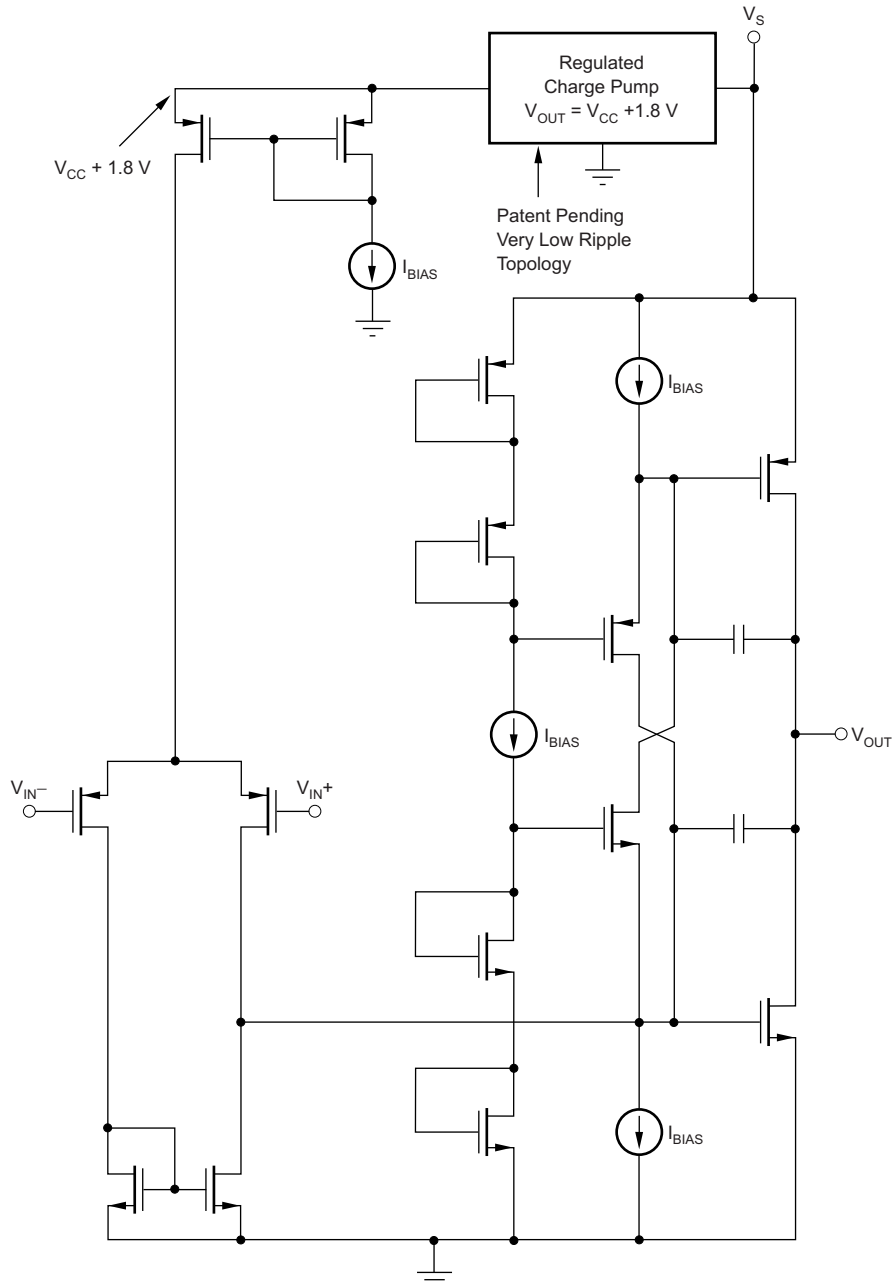
 当 $T_A = 25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{\text{OUT}} = V_S / 2$, $V_{\text{CM}} = V_S / 2$ (除非另有说明)


8 详细 说明

8.1 概述

OPA363 和 OPA364 系列运算放大器是轨至轨运算放大器，在低至 $\pm 0.9V$ 的电源电压下仍具有出色的 CMRR、低噪声、低失调电压和宽带宽。OPA363 采用一个附加引脚来实现关断和使能功能。这些系列不会出现相位反转，具有单位增益稳定的特性。在 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的额定工业温度范围内，OPA363 和 OPA364 系列可在宽应用范围内实现精确性能。

8.2 功能方框图



Copyright © 2017, Texas Instruments Incorporated

8.3 特性说明

8.3.1 轨至轨输入

OPA363 和 OPA364 采用出色的轨至轨运行，电源电压低至 $\pm 0.9V$ 。OPA363 和 OPA364 系列的输入共模电压范围超出电源轨 100mV。OPA363 和 OPA364 独特的输入拓扑消除了大部分轨至轨互补级运算放大器所特有的输入失调电压转换区域，因此 OPA363 和 OPA364 能够在整个共模输入范围内提供卓越的共模性能，如 Figure 21 中所示。此特性可在驱动模数转换器时防止差动线性误差和 THD 的恶化。功能方框图显示了 OPA363 和 OPA364 的简化原理图。

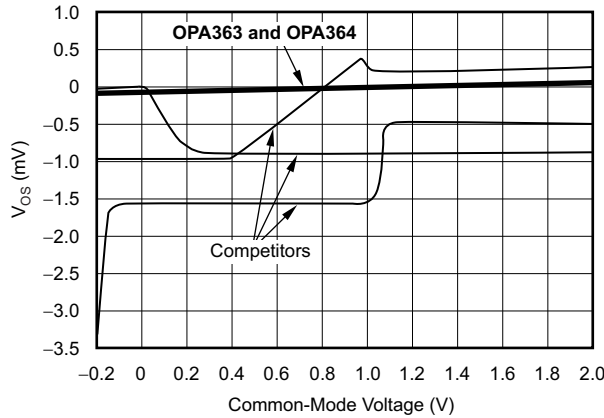


Figure 21. OPA363 和 OPA364 在整个共模范围内具有线性失调电压

8.3.2 工作电压

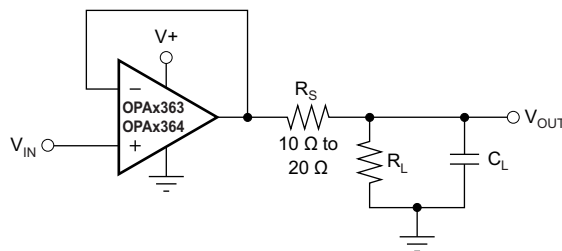
OPA363 和 OPA364 系列运算放大器参数的额定工作电压范围为 1.8V 至 5.5V。必须在电源引脚上放置一个 0.1 μ F 旁路电容器，并尽可能靠近器件。高于 5.5V (绝对最大值) 的电源电压会对放大器造成永久性损坏。多种规格在 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的温度范围内适用。典型特性中显示了随工作电压或温度的变化而显著变化的参数。

8.3.3 容性负载

OPAx363 和 OPAx364 系列运算放大器可驱动各种容性负载。不过在某些特定情况下，所有运算放大器都可能会变得不稳定。在确定稳定性时，运算放大器配置、增益和负载值只是其中几个要考虑的因素。采用单位增益配置的运算放大器最容易受到容性负载的影响。容性负载受运算放大器输出电阻的影响，在小信号响应中生成一个极点，致使相补角降级。

在单位增益配置下，OPAx363 和 OPAx364 系列运算放大器在纯容性负载达到大约 1000pF 时提供出色的性能。负载电容器的等效串联电阻 (ESR) 可能足够大，使 OPA363 和 OPA364 能够直接驱动非常大的容性负载 (大于 1 μ F)。提高增益可增强放大器驱动更大电容的能力；请参阅 Figure 13。

增强单位增益配置条件下容性负载驱动能力的方法之一就是给输出串联插入一个 10 Ω 到 20 Ω 的电阻，如 Figure 22 中所示。此电阻将大幅减少与大容性负载相关的振铃。然而，如果有一个与容性负载并联的电阻负载，则该负载会形成一个分压器，从而在输出端形成直流误差并略微减小输出摆幅。此误差可能微不足道。例如，在 $R_L = 10k\Omega$ 和 $R_S = 20\Omega$ 的条件下，在输出端存在大约 0.2% 的误差。



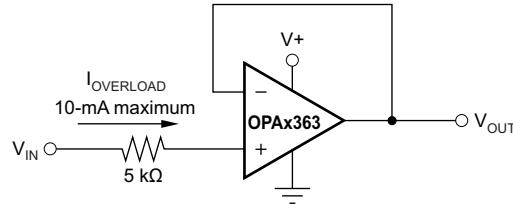
Copyright © 2017, Texas Instruments Incorporated

Figure 22. 增强容性负载驱动能力

特性说明 (continued)

8.3.4 输入和 ESD 保护

所有 OPAx363 和 OPAx364 引脚都通过连接到电源的内部 ESD 保护二极管实现防静电保护。如果外部电流限制为 10mA (如绝对最大额定值和 Figure 23 中所述)，这些二极管还能提供过驱保护。



Copyright © 2017, Texas Instruments Incorporated

Figure 23. 输入电流保护

8.4 器件功能模式

8.4.1 使能功能

OPAx363 的关断 (使能) 功能以运算放大器的负电源电压为基准。逻辑高电平将启用运算放大器。有效逻辑高电平是指大于施加到使能引脚的正电源 75% 的电压。有效逻辑高电平最多可高出负电源 5.5V (与正电源电压无关)。有效逻辑低电平是指超出负电源引脚电压不足 0.8V。如果使用双电源或分离式电源，请注意确保逻辑输入信号将负电源电压作为适当基准。该引脚必须连接到有效的高电压或低电压或者得到驱动，而不是保留开路状态。

逻辑输入是高阻抗 CMOS 输入。为双运算放大器提供独立的逻辑输入。对于电池供电的应用，这种特性可减小平均电流并延长电池使用寿命。启用时间为 20μs；禁用时间为 1μs。禁用时，输出呈现高阻抗状态。该配置允许将 OPAx363 作为门控放大器，或将输出复用到公共模拟输出总线上。

9 应用和实例

NOTE

以下应用部分中的信息不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

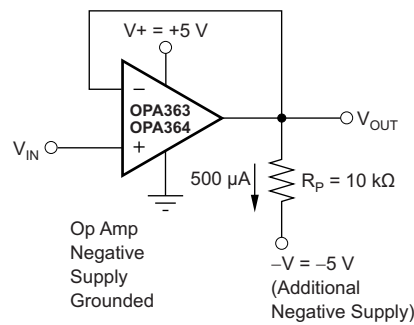
子部分

9.1 应用信息

9.1.1 实现到运算放大器负轨的输出摆幅

有些应用要求介于 0V 和正满量程电压之间的准确输出电压摆幅。良好的单电源运算放大器可能能够在单电源接地电压的几毫伏范围内摆动，但随着输出趋于 0V，放大器的输出级会阻止输出达到放大器的负电源轨。

在单电源运行的情况下，OPAx363 或 OPAx364 的输出可摆动到接地或稍微低于接地。这需要另一个电阻器和另一个比运算放大器负电源负值更大的电源。可以在输出和另一个负电源之间连接一个下拉电阻器，以降低输出，避免其达到本可达到的值，如 Figure 24 中所示。



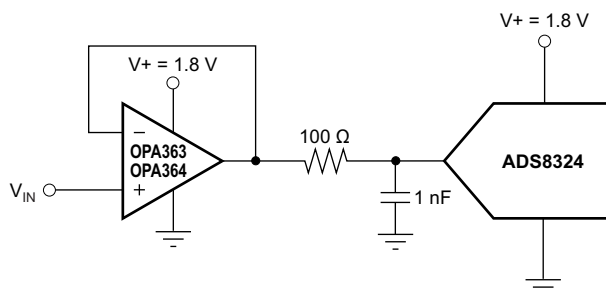
Copyright © 2017, Texas Instruments Incorporated

Figure 24. OPA363 和 OPA364 摆动到接地

此技术并不适用于所有运算放大器。如果通过输出级维持在大约 500µA，OPAx363 和 OPA3x64 的输出级可将输出电压降至低于大多数运算放大器的输出电压。要计算合适值的负载电阻器和负电源， $R_L = -V / 500\mu A$ 。OPAx363 和 OPAx364 的特性使其在所述条件下具备良好的性能，降至 0V 和低至 -10mV 时仍可保持出色的精度。低于 -10mV 即会出现限制和非线性，当输出再次驱动到 -10mV 以上之后便会恢复线性。

9.1.2 直接驱动 ADS8324 和 MSP430

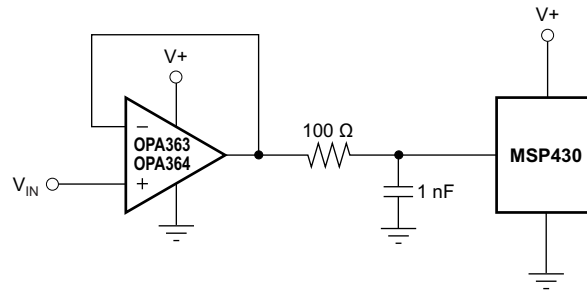
OPAx363 和 OPAx364 系列运算放大器针对驱动中速（最高 100kHz）采样模数转换器进行了优化。然而，它们还可为更高速的转换器提供出色的性能。OPAx363 和 OPAx364 的无交叉输入级可直接驱动模数转换器，而不会降低差分线性度和 THD。这两个系列不仅提供信号增益，同时还能有效缓冲模数转换器输入电容并实现电荷注入。Figure 25 和 Figure 26 分别显示了将 OPAx363 和 OPAx364 配置为驱动 ADS8324 和在 MSP430 上驱动 12 位模数转换器。



Copyright © 2017, Texas Instruments Incorporated

Figure 25. OPAx363 和 OPAx364 直接驱动 ADS8324

应用信息 (continued)

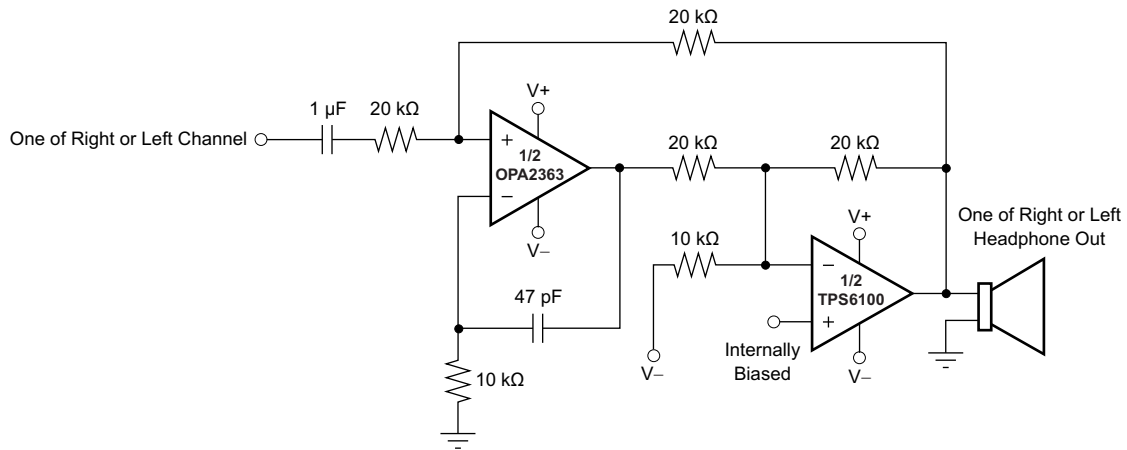


Copyright © 2017, Texas Instruments Incorporated

Figure 26. 在 MSP430 上驱动 12 位模数转换器

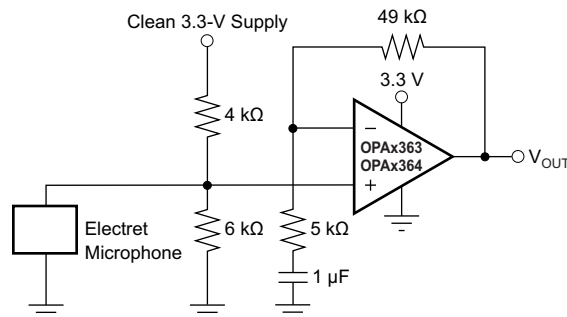
9.1.3 音频 应用

OPAx363 和 OPAx364 运算放大器系列在整个输入共模范围内具有线性失调电压。此外，OPAx363 和 OPAx364 还具有低噪声的特性，因此非常适合音频 应用。OPA2363 和 OPA2364 可在单电源 1.8V 电压下运行，因此是便携式立体声设备中双立体声耳机驱动器和麦克风前置放大器的理想之选；请参阅Figure 27 和Figure 28。



Copyright © 2017, Texas Instruments Incorporated

Figure 27. OPA2363 配置为双立体声耳机驱动器的一半



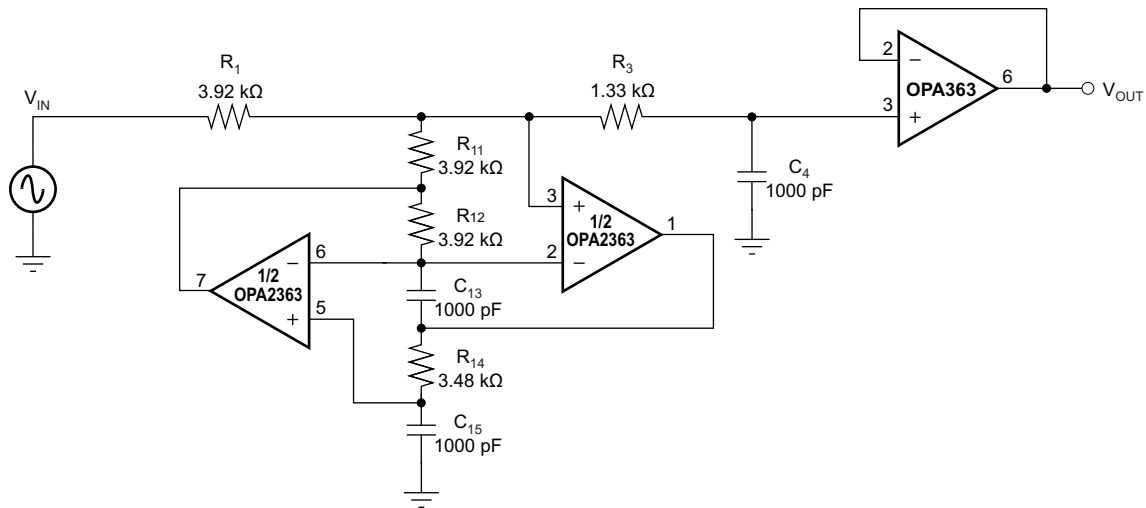
Copyright © 2017, Texas Instruments Incorporated

Figure 28. 麦克风前置放大器

应用信息 (continued)

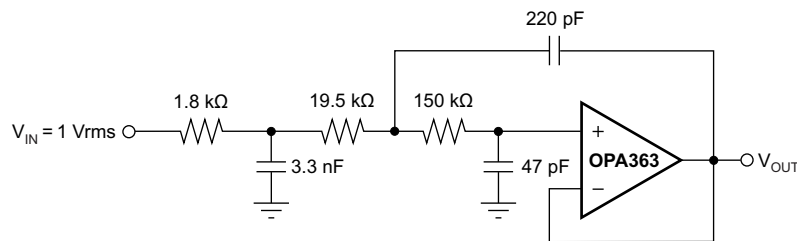
9.1.4 有源滤波

OPAx363 和 OPAx364 具有低谐波失真和噪声规格以及高增益和压摆率，因此是有源滤波应用的理想之选。Figure 29 显示了将 OPA2363 配置为低失真三阶普通导抗变换器 (GIC) 滤波器。Figure 30 显示了 Sallen-Key 3 极低通贝塞耳滤波器的实施。



Copyright © 2017, Texas Instruments Incorporated

Figure 29. OPA2363 用作三阶 40kHz 低通 GIC 滤波器



Copyright © 2017, Texas Instruments Incorporated

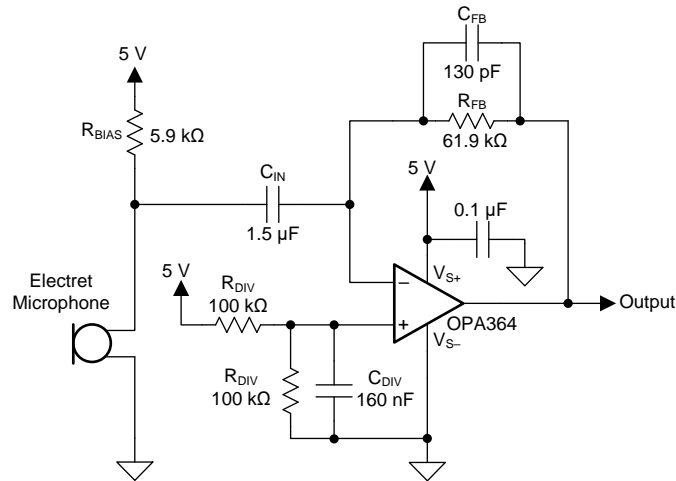
Figure 30. OPAx363 或 OPAx364 配置为 3 极 20kHz Sallen-Key 滤波器

9.2 典型应用

9.2.1 单电源驻极体麦克风前置放大器

驻极体麦克风因尺寸小巧、成本低廉，且具有相对较好的信噪比 (SNR)，通常用于便携式电子产品。OPA364 封装尺寸小，具有优异的交流性能，因此是驻极体麦克风前置放大器电路的绝佳选择。Figure 31 中所示的电路是单电源驻极体麦克风前置放大器电路。

典型应用 (continued)



Copyright © 2017, Texas Instruments Incorporated

Figure 31. 使用单电源电压的驻极体麦克风前置放大器电路

9.2.1.1 设计要求

- 5V 单电源
- 100dB_{SPL} 输入的 1V_{RMS} 输出
- 20Hz 到 20kHz, -3dB 带宽
- 麦克风灵敏度: 8μA/Pa
- 麦克风工作电压: 2V 到 10V
- 麦克风偏置电流: 500μA

9.2.1.2 详细设计流程

在此电路中, 将运算放大器配置为互阻抗放大器, 可将麦克风的信号电流转换为输出电压。电路增益由反馈电阻器 R_{FB} 决定, 该值必须根据麦克风灵敏度计算。在此设计中, 选择的麦克风输出电流为每帕斯卡气压 8μA。使用此值, 100dB_{SPL} 声压级或 2 帕斯卡气压的输出电流通过 Equation 1 计算。

$$i_{mic} = \frac{8 \mu A}{1 Pa} \times 2 Pa = 16 \mu A \tag{1}$$

然后根据此电流用 Equation 2 计算 R_{FB}, 导出 100dB_{SPL} 输入信号的 1V_{RMS} 输出。

$$R_{FB} = \frac{V_O}{i_{mic}} = \frac{1 V_{RMS}}{16 \mu A} = 62500 \rightarrow 61.9 k\Omega \tag{2}$$

用 Equation 3 计算反馈电容 (C_{FB}), 将放大器带宽限制为 20kHz。

$$C_{FB} = \frac{1}{2 \cdot \pi \cdot R_{FB} \cdot f_H} = \frac{1}{2 \cdot \pi \cdot (61.9 k\Omega) \cdot (20 kHz)} = 128.5 \times 10^{-12} \rightarrow 130 pF \tag{3}$$

要求 R_{BIAS} 通过电容器 C_{IN} 转移麦克风信号电流, 而不是从电源 V_{CC} 上流过。R_{BIAS} 的值更大, 因此可为 C_{IN} 使用更小的电容器, 并降低电路的整体噪声。然而, R_{BIAS} 的最大值受到麦克风偏置电流和最低工作电压的限制。

用 Equation 4 计算 R_{BIAS} 的值。

$$R_{BIAS} = \frac{V_{CC} - V_{MIC}}{I_{BIAS}} = \frac{5 V - 2 V}{500 \mu A} = 6000 \rightarrow 5.9 k\Omega \tag{4}$$

输入电容器 C_{IN} 与电阻器 R_{BIAS} 结合使用, 形成一个高通滤波器。滤波器转角频率计算如 Equation 5 所示, 将高通转角频率设为 20Hz。

典型应用 (continued)

$$C_{IN} = \frac{1}{2 \cdot \pi \cdot R_{BIAS} \cdot f_L} = \frac{1}{2 \cdot \pi \cdot (5.9 \text{ k}\Omega) \cdot (20 \text{ Hz})} = 1.349 \times 10^{-6} \rightarrow 1.5 \mu\text{F} \tag{5}$$

运算放大器同相输入端的分压器网络用于对运算放大器输出施加偏压，使其达到中间电源点 ($V_{CC} / 2$)，从而最大程度地增加电路的输出电压范围。通过为分压器中的两个电阻选择相同值，可轻松实现此效果。这些电阻器的绝对值受到该分压器消耗的可接受的电源电流的限制。通过将可接受的电源电流限值选择为 $25\mu\text{A}$ ，得出分压器中电阻器的值为 $100\text{k}\Omega$ ，如Equation 6 中所示。

$$R_{DIV} = \frac{V_{CC}}{2 \cdot I_{DIV}} = \frac{5 \text{ V}}{2 \cdot 25 \mu\text{A}} = 100 \text{ k}\Omega \tag{6}$$

最后，为了最大程度地降低分压器产生的额外噪声，需要在运算放大器同相输入端放置一个电容器。此电容器与分压器电阻器并联组合共同形成一个低通滤波器。选择 20Hz 的滤波器转角频率可将放大器通带内分压器产生的噪声降至最低；请参阅Equation 7。

$$C_{DIV} = \frac{1}{2 \cdot \pi \cdot \left(\frac{R_{DIV}}{2}\right) \cdot f_L} = \frac{1}{2 \cdot \pi \cdot \left(\frac{100 \text{ k}\Omega}{2}\right) \cdot (20 \text{ Hz})} = 1.592 \times 10^{-7} \rightarrow 160 \text{ nF} \tag{7}$$

9.2.1.3 应用曲线

麦克风前置放大器的传递函数如Figure 32 所示。电路的标称增益为 95.82dB ，或者每安培输入电流 $61,800\text{V}$ 。电路的 -3dB 带宽限制为 17.99Hz 和 19.23kHz 。

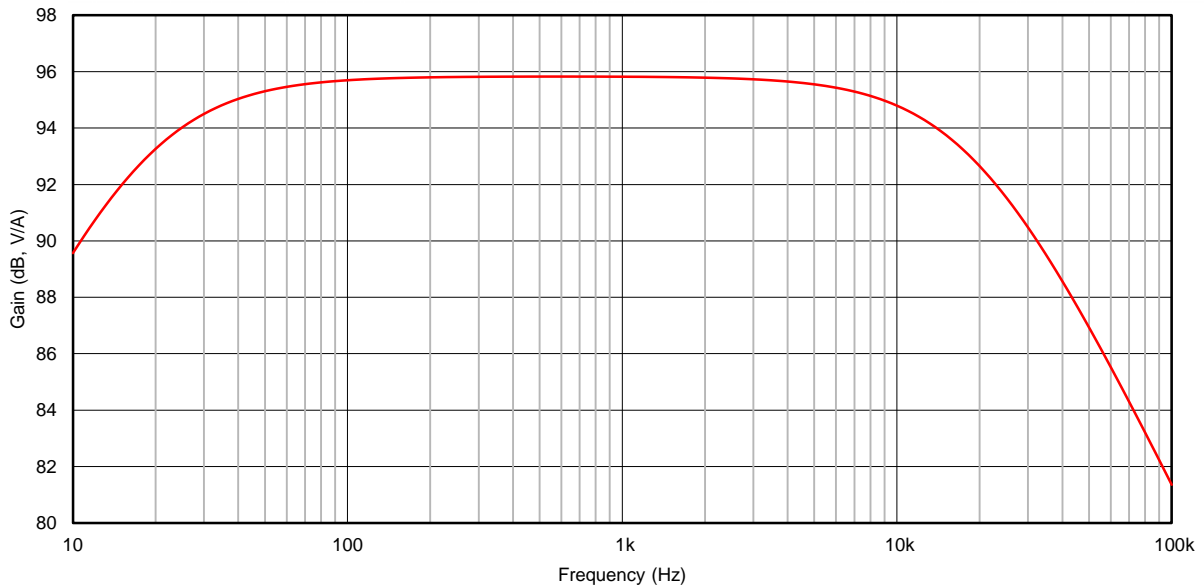


Figure 32. 麦克风前置放大器传递函数

10 电源建议

OPAx363 和 OPAx364 的额定工作电压范围是 2.7V 至 5.5V ($\pm 1.35V$ 至 $\pm 2.75V$)。电气特性 中展示了可能会随工作电压的变化而显著变化的参数。

11 布局

11.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身的电源引脚传入模拟电路。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR 0.1 μ F 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源 应用的理想之选。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地平面有助于散热和降低 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如 Figure 33 所示，使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入迹线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的湿气。在大多数情形下，清洗后在 85°C 下低温烘烤 30 分钟即可。

11.2 布局示例

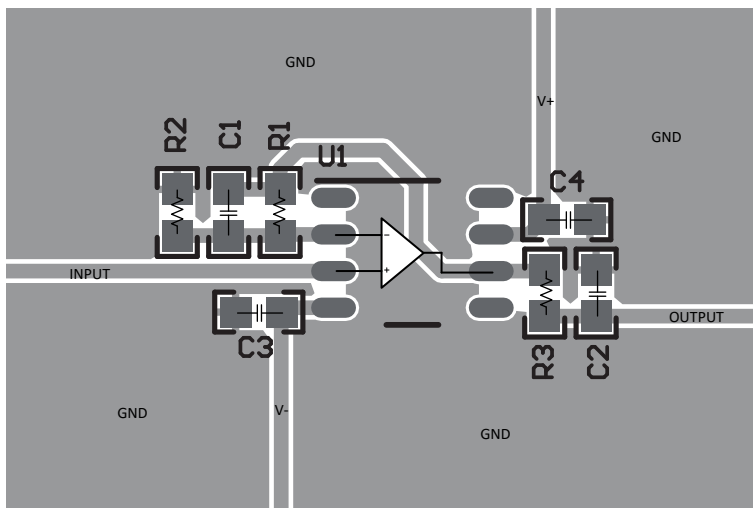
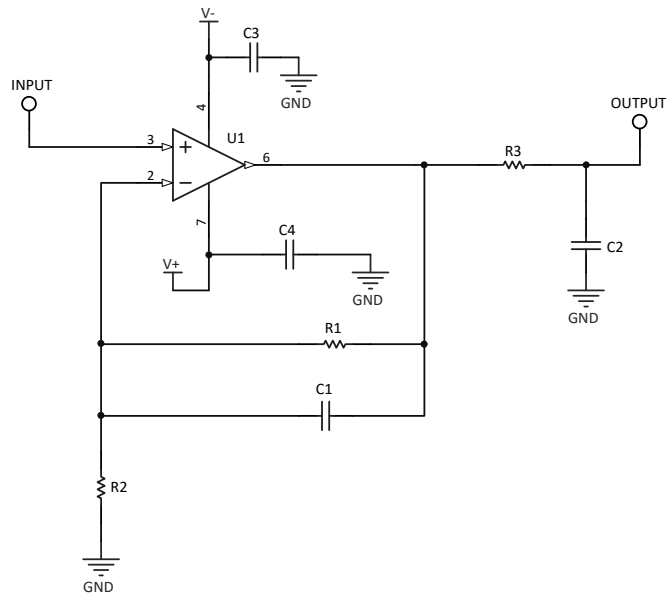


Figure 33. 同相配置的运算放大器电路板布局

布局示例 (接下页)


Figure 34. 布局示例原理图

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

12.1.1.1 TINA-TI™ (免费软件下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™提供) 或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

12.1.1.2 DIP 适配器 EVM

DIP 适配器 EVM 工具提供了一种针对小型表面贴装器件进行原型设计的简易低成本方法。这些 TI 封装的评估工具：D 或 U (8 引脚 SOIC)、PW (8 引脚 TSSOP)、DGK (8 引脚 MSOP)、DBV (6 引脚 SOT-23、5 引脚 SOT-23 和 3 引脚 SOT-23)、DCK (6 引脚 SC-70 和 5 引脚 SC-70) 和 DRL (6 引脚 SOT-563)。DIP 适配器 EVM 也可搭配引脚排使用或直接与现有电路相连。

12.1.1.3 通用运放 EVM

通用运放 EVM 是一系列通用空白电路板，可简化采用各种器件封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、MSOP、TSSOP 和 SOT-23 封装。

注

这些电路板均为空白电路板，用户必须自行提供相关器件。TI 建议您在订购通用运算放大器 EVM 时申请几个运算放大器器件样品。

12.1.1.4 TI 高精度设计

TI 高精度设计的模拟设计方案是由 TI 公司高精度模拟实验室设计应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 <http://www.ti.com.cn/ww/analog/precision-designs/>。

12.1.1.5 WEBENCH®滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH 滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来打造最佳滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 [WEBENCH® 滤波器设计器](#)。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

12.2 文档支持

12.2.1 相关文档

使用 OPAx363 和 OPAx364 时，建议参考下列相关文档。所有这些文档都可从 www.ti.com.cn 上下载 (除非另有说明)。

- [《AB-045 运算放大器性能分析》](#)
- [《AB-067 运算放大器的单电源操作》](#)
- [《AB-105 在放大器中进行调优》](#)

文档支持 (接下页)

- 《QFN/SON PCB 连接》
- 《四方扁平无引线逻辑器件封装》

12.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 1. 相关链接

部件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
OPA363	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2363	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA364	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2364	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4364	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.4 接收文档更新通知

如需接收文档更新通知，请访问 ti.com.cn 上的器件产品文件夹。单击右上角的 [通知我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查阅已修订文档中包含的修订历史记录。

12.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

TI E2E™ 在线社区 *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

12.6 商标

TINA-TI, E2E are trademarks of Texas Instruments.
 WEBENCH is a registered trademark of Texas Instruments.
 TINA, DesignSoft are trademarks of DesignSoft, Inc.
 All other trademarks are the property of their respective owners.

12.7 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.8 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2363AIDGSR	ACTIVE	VSSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHK	Samples
OPA2363AIDGST	ACTIVE	VSSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHK	Samples
OPA2363AIDGSTG4	ACTIVE	VSSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHK	Samples
OPA2363AIRSVR	ACTIVE	UQFN	RSV	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	SIN	Samples
OPA2363IDGSR	ACTIVE	VSSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHK	Samples
OPA2363IDGST	ACTIVE	VSSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHK	Samples
OPA2364AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2364 A	Samples
OPA2364AIDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2364 A	Samples
OPA2364AIDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHL	Samples
OPA2364AIDGKRG4	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHL	Samples
OPA2364AIDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHL	Samples
OPA2364AIDGKTG4	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHL	Samples
OPA2364AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2364 A	Samples
OPA2364AIDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2364 A	Samples
OPA2364ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2364	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2364IDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHL	Samples
OPA2364IDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHL	Samples
OPA2364IDGKTG4	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BHL	Samples
OPA2364IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2364	Samples
OPA2364IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2364	Samples
OPA363AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 363 A	Samples
OPA363AIDBVR	ACTIVE	SOT-23	DBV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A40	Samples
OPA363AIDBVT	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A40	Samples
OPA363AIDBVTG4	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A40	Samples
OPA363ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 363	Samples
OPA363IDBVR	ACTIVE	SOT-23	DBV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A40	Samples
OPA363IDBVT	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A40	Samples
OPA363IDBVTG4	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A40	Samples
OPA364AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 364 A	Samples
OPA364AIDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A41	Samples
OPA364AIDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A41	Samples
OPA364AIDBVTG4	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A41	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA364AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 364 A	Samples
OPA364ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 364	Samples
OPA364IDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A41	Samples
OPA364IDBVRG4	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A41	Samples
OPA364IDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A41	Samples
OPA364IDBVTG4	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A41	Samples
OPA364IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 364	Samples
OPA364IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 364	Samples
OPA4364AID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4364A	Samples
OPA4364AIDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4364A	Samples
OPA4364AIDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4364A	Samples
OPA4364AIPWR	ACTIVE	TSSOP	PW	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4364A	Samples
OPA4364AIPWT	ACTIVE	TSSOP	PW	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4364A	Samples
OPA4364AIPWTG4	ACTIVE	TSSOP	PW	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4364A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

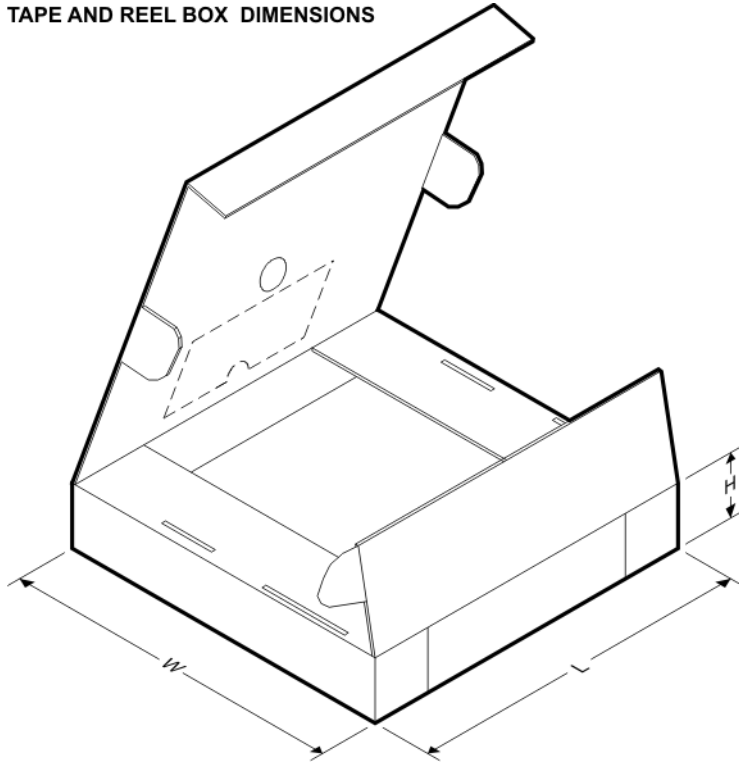
TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2363AIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2363AIDGST	VSSOP	DGS	10	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2363AIRSVR	UQFN	RSV	16	3000	177.8	12.4	2.0	2.8	0.7	4.0	12.0	Q1
OPA2363IDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2363IDGST	VSSOP	DGS	10	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2364AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2364AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2364AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2364IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2364IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2364IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA363AIDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA363AIDBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA363IDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA363IDBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA364AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA364IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4364AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA4364AIPWR	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4364AIPWT	TSSOP	PW	14	250	180.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2363AIDGSR	VSSOP	DGS	10	2500	367.0	367.0	35.0
OPA2363AIDGST	VSSOP	DGS	10	250	210.0	185.0	35.0
OPA2363AIRSVR	UQFN	RSV	16	3000	223.0	270.0	35.0
OPA2363IDGSR	VSSOP	DGS	10	2500	367.0	367.0	35.0
OPA2363IDGST	VSSOP	DGS	10	250	210.0	185.0	35.0
OPA2364AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
OPA2364AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
OPA2364AIDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA2364IDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
OPA2364IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
OPA2364IDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA363AIDBVR	SOT-23	DBV	6	3000	565.0	140.0	75.0
OPA363AIDBVT	SOT-23	DBV	6	250	565.0	140.0	75.0
OPA363IDBVR	SOT-23	DBV	6	3000	565.0	140.0	75.0
OPA363IDBVT	SOT-23	DBV	6	250	565.0	140.0	75.0

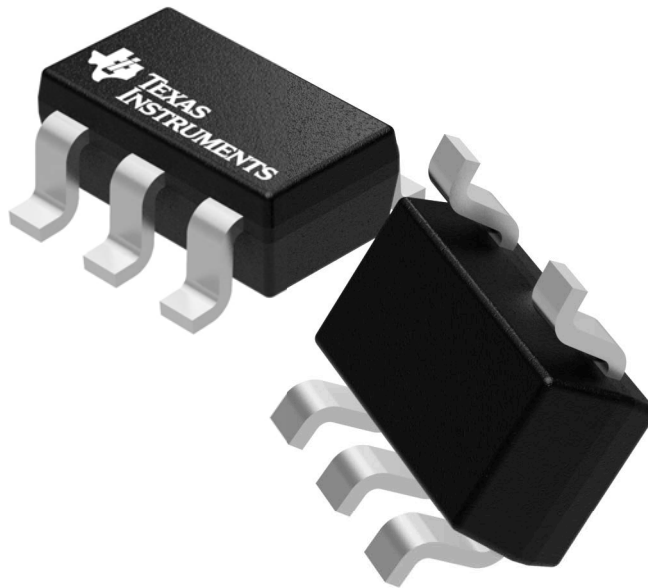
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA364AIDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA364IDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA4364AIDR	SOIC	D	14	2500	367.0	367.0	38.0
OPA4364AIPWR	TSSOP	PW	14	2500	367.0	367.0	35.0
OPA4364AIPWT	TSSOP	PW	14	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

DBV 5

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4073253/P

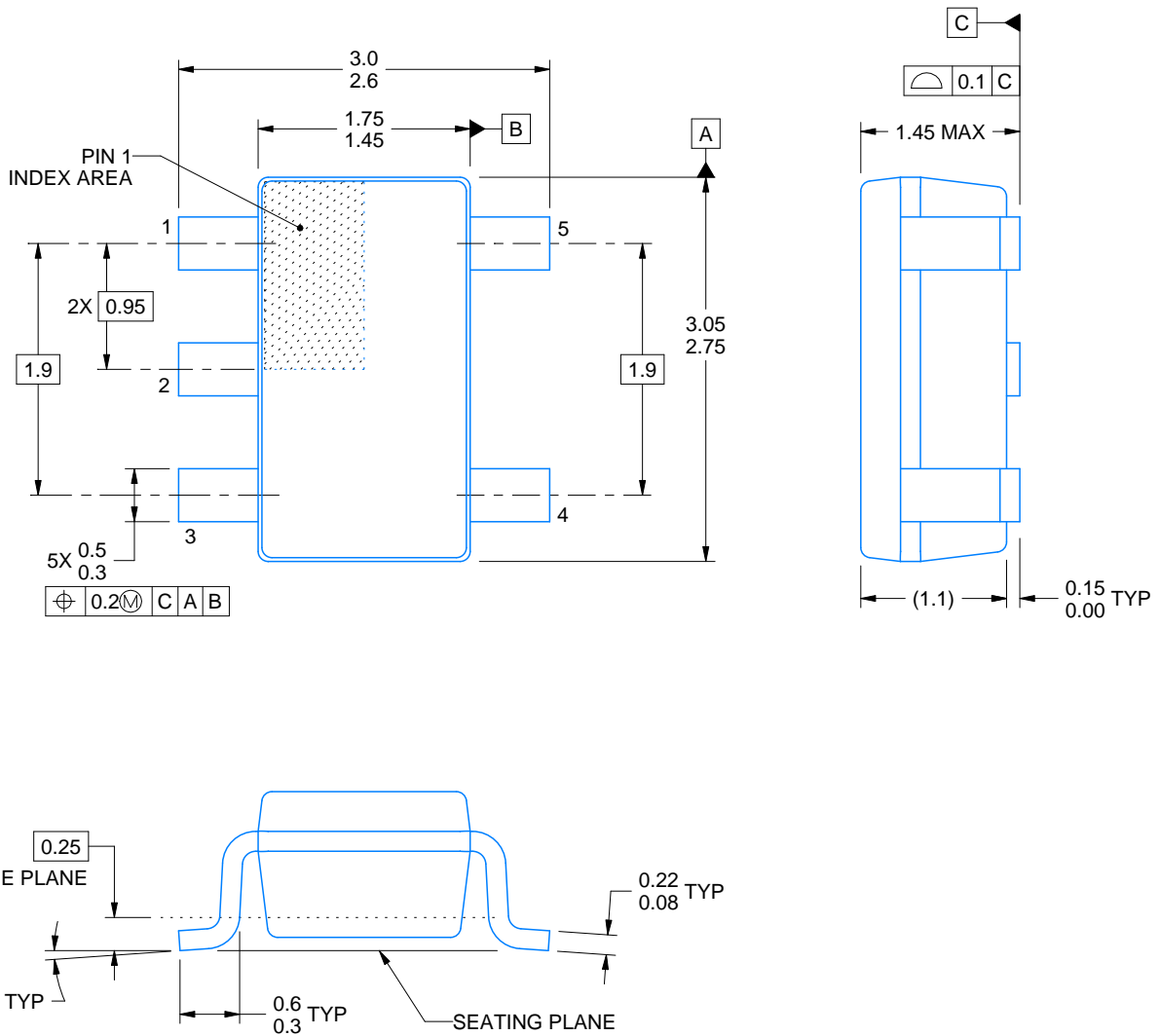
DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/C 04/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

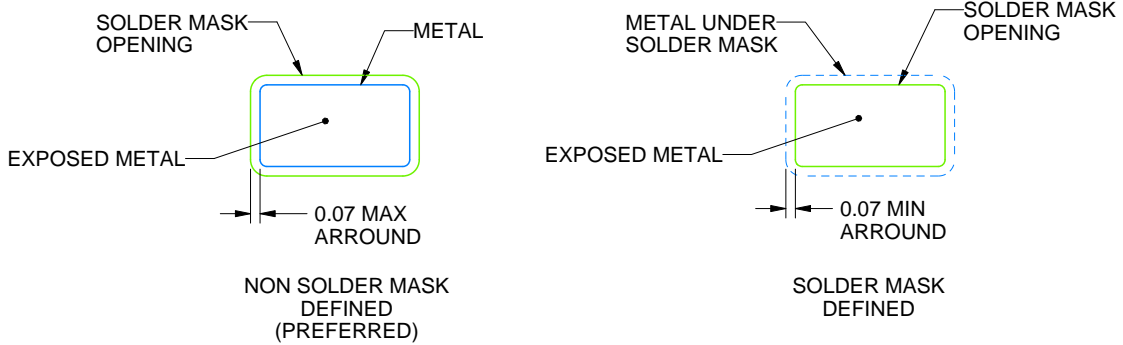
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/C 04/2017

NOTES: (continued)

- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/C 04/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

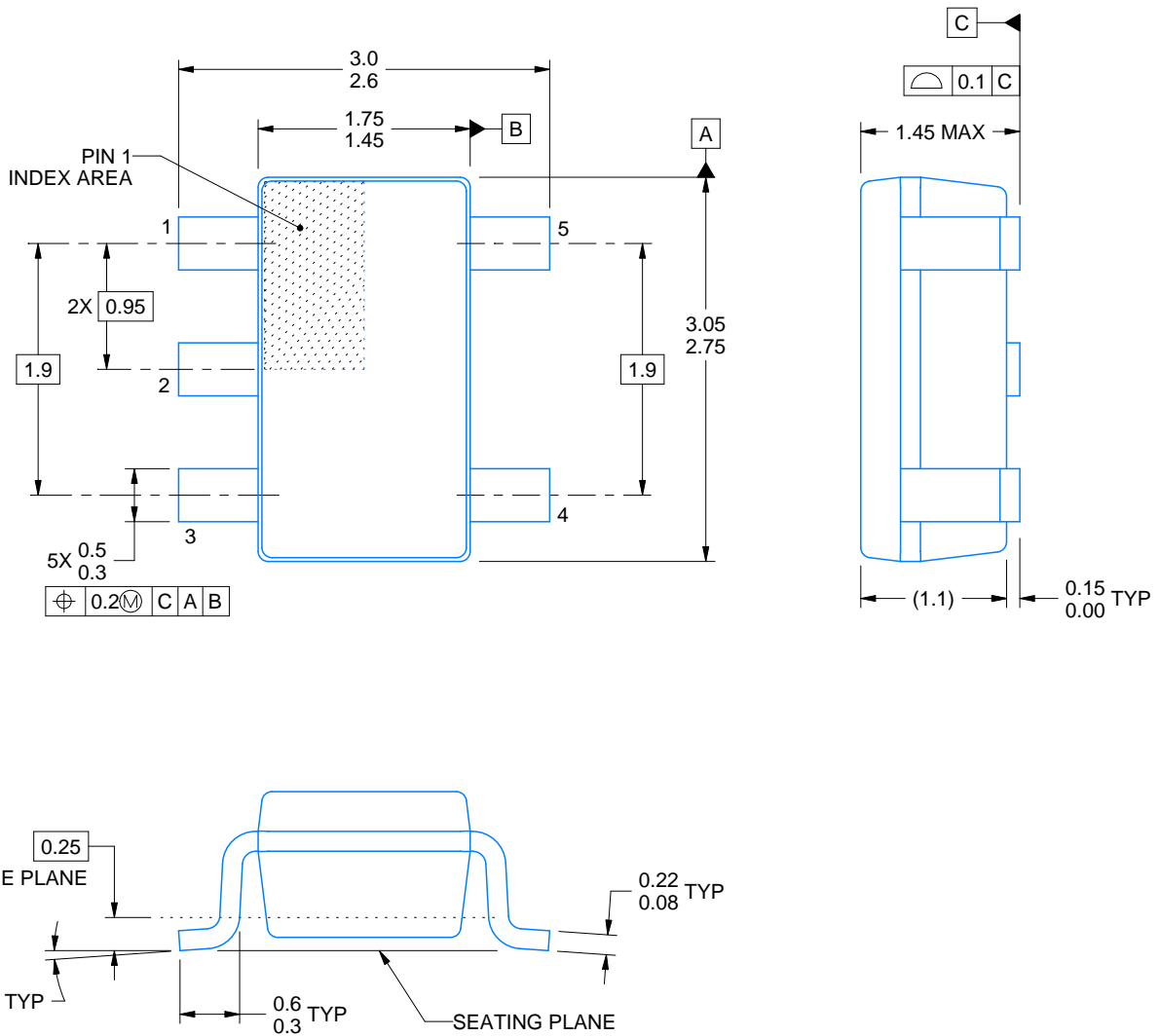
DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/C 04/2017

NOTES:

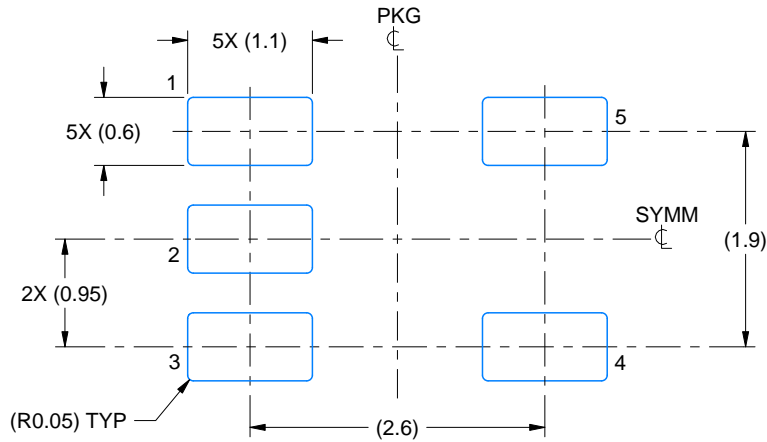
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

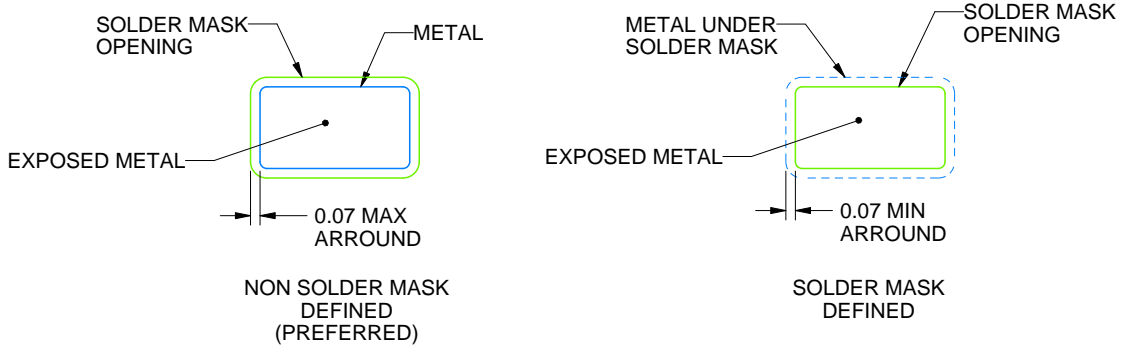
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/C 04/2017

NOTES: (continued)

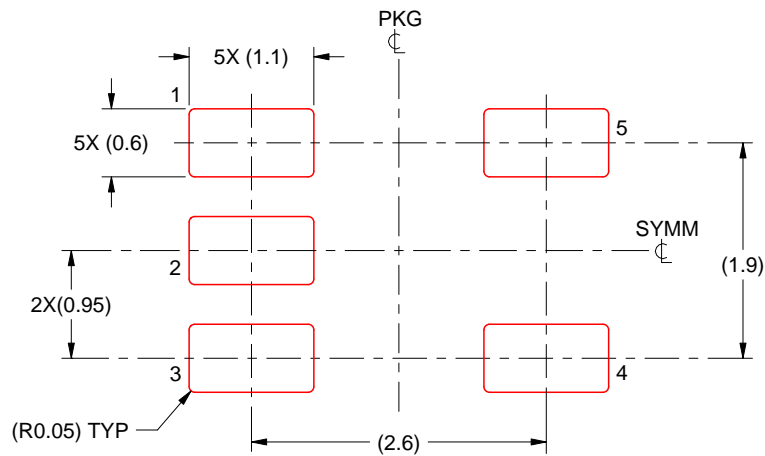
- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/C 04/2017

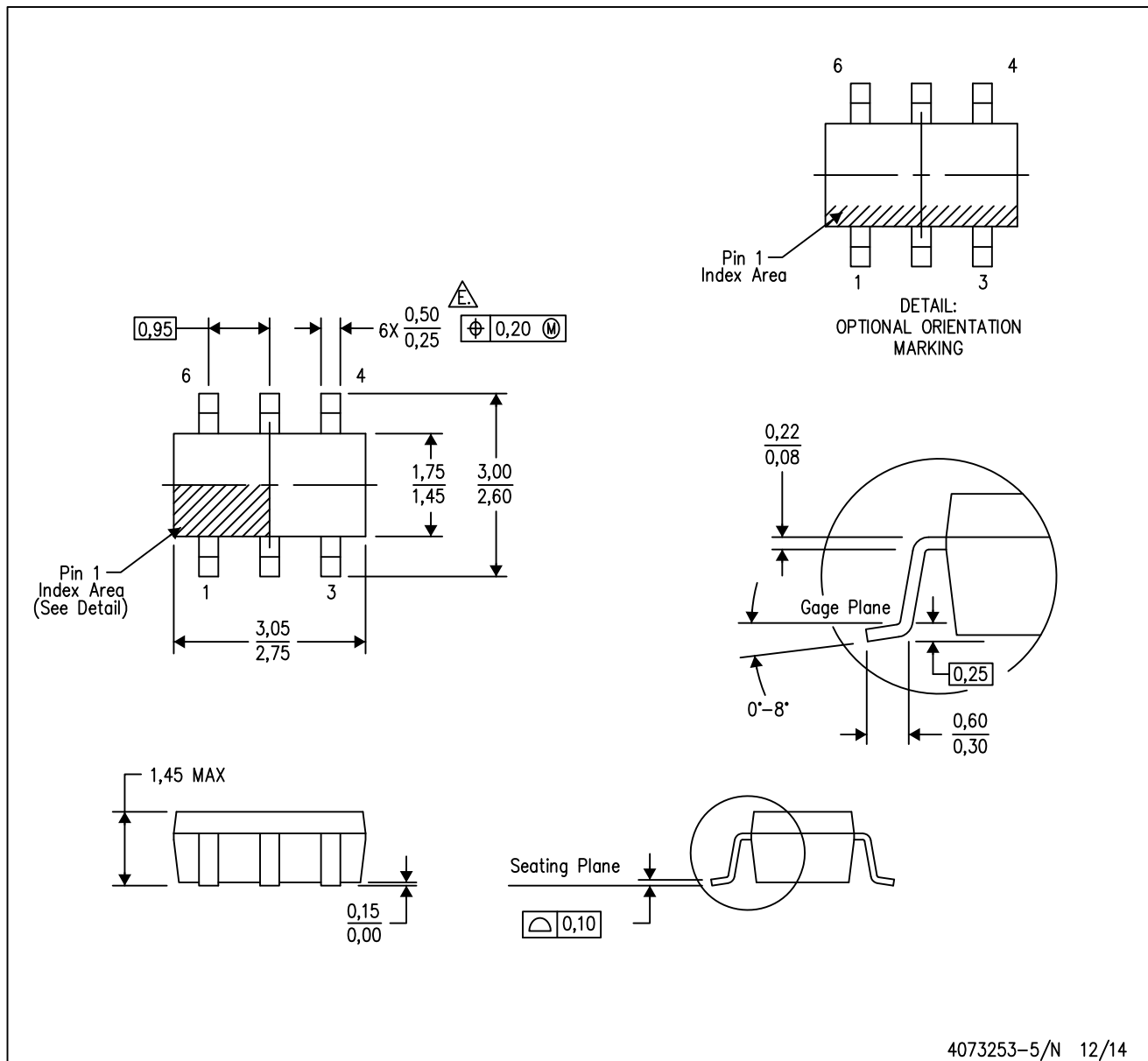
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

DBV (R-PDSO-G6)

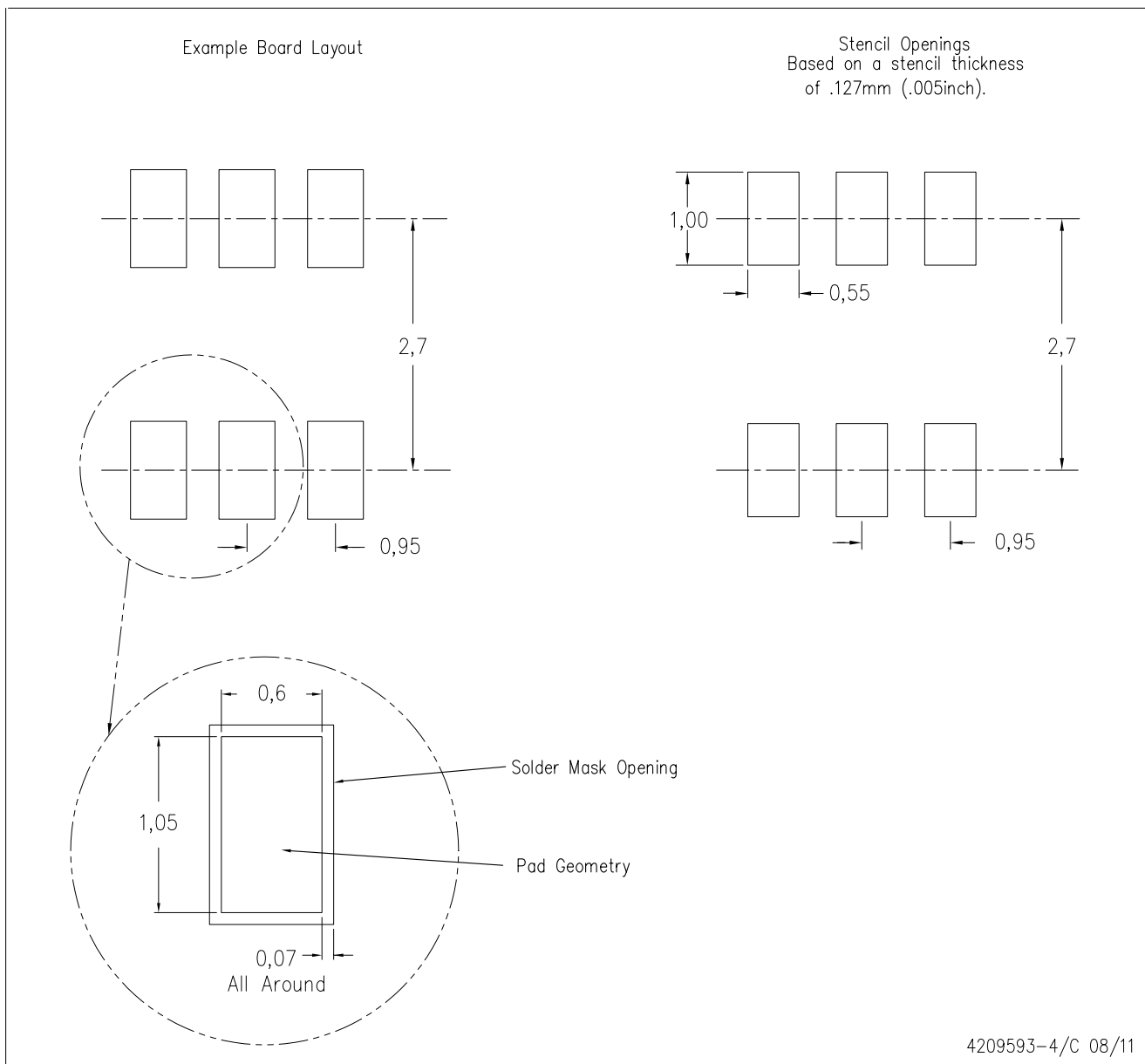
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
 - Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
- ⚠ Falls within JEDEC MO-178 Variation AB, except minimum lead width.

DBV (R-PDSO-G6)

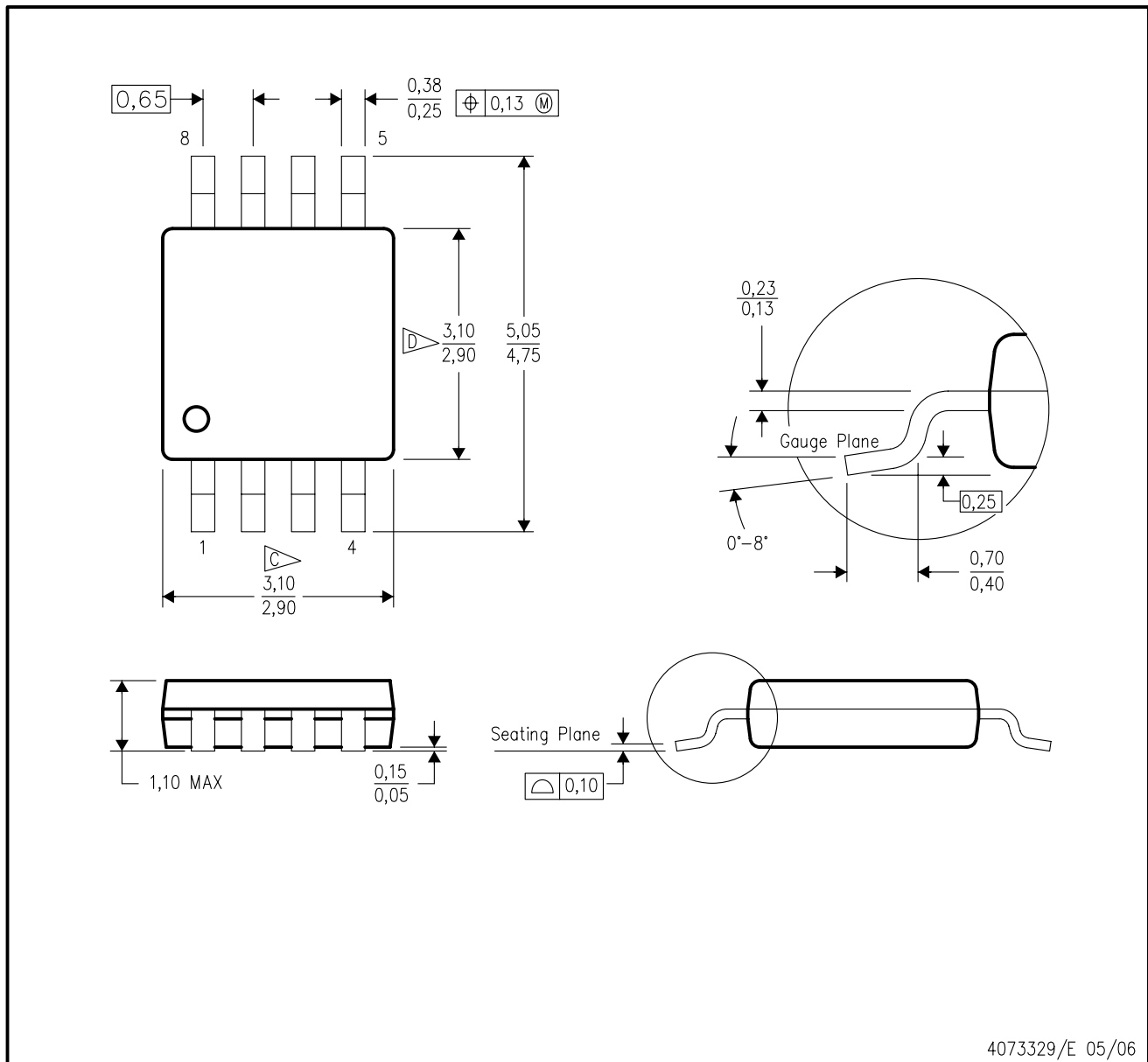
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - D. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



4073329/E 05/06

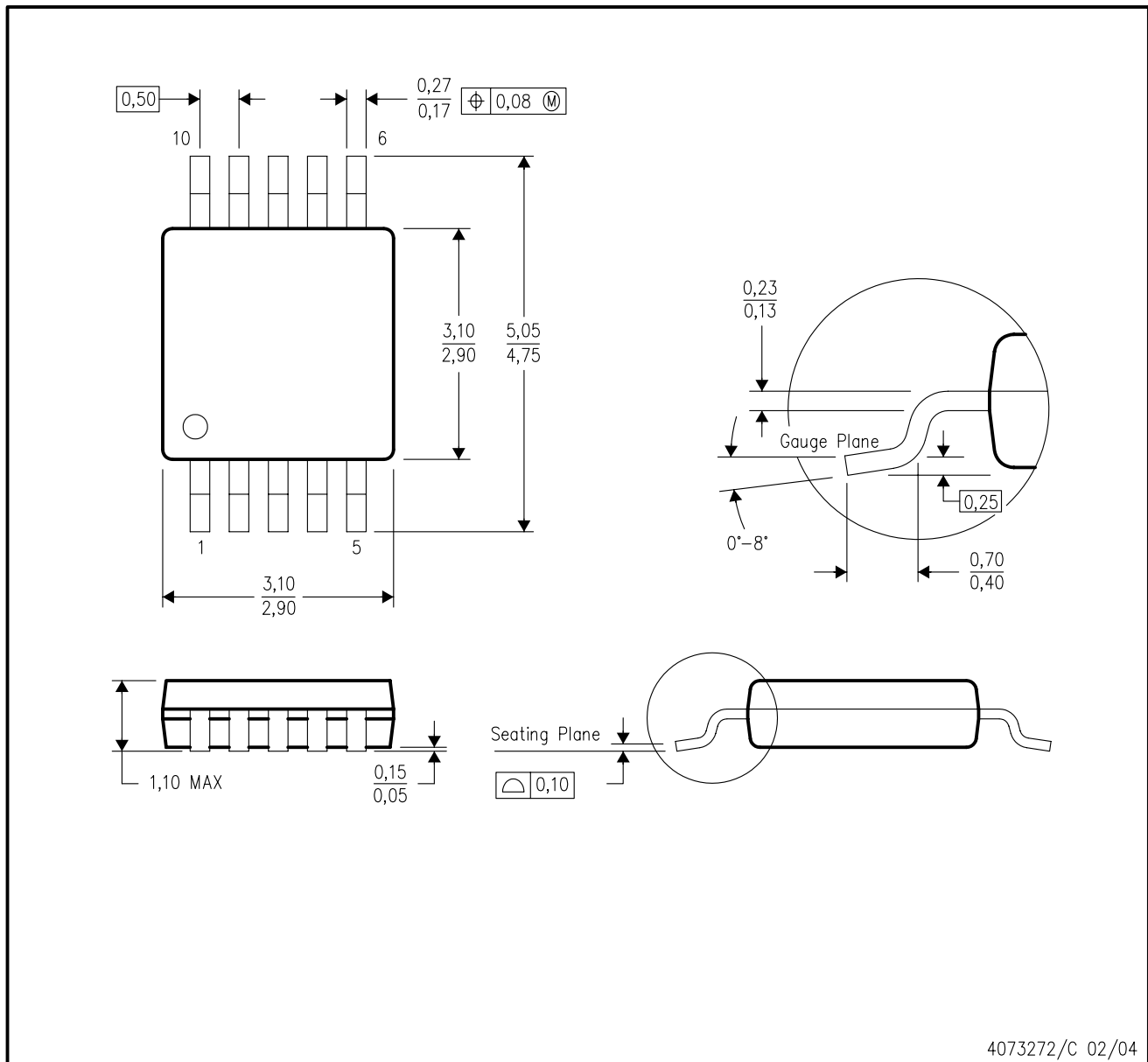
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
 - E. Falls within JEDEC MO-187 variation AA, except interlead flash.



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DGS (S-PDSO-G10)

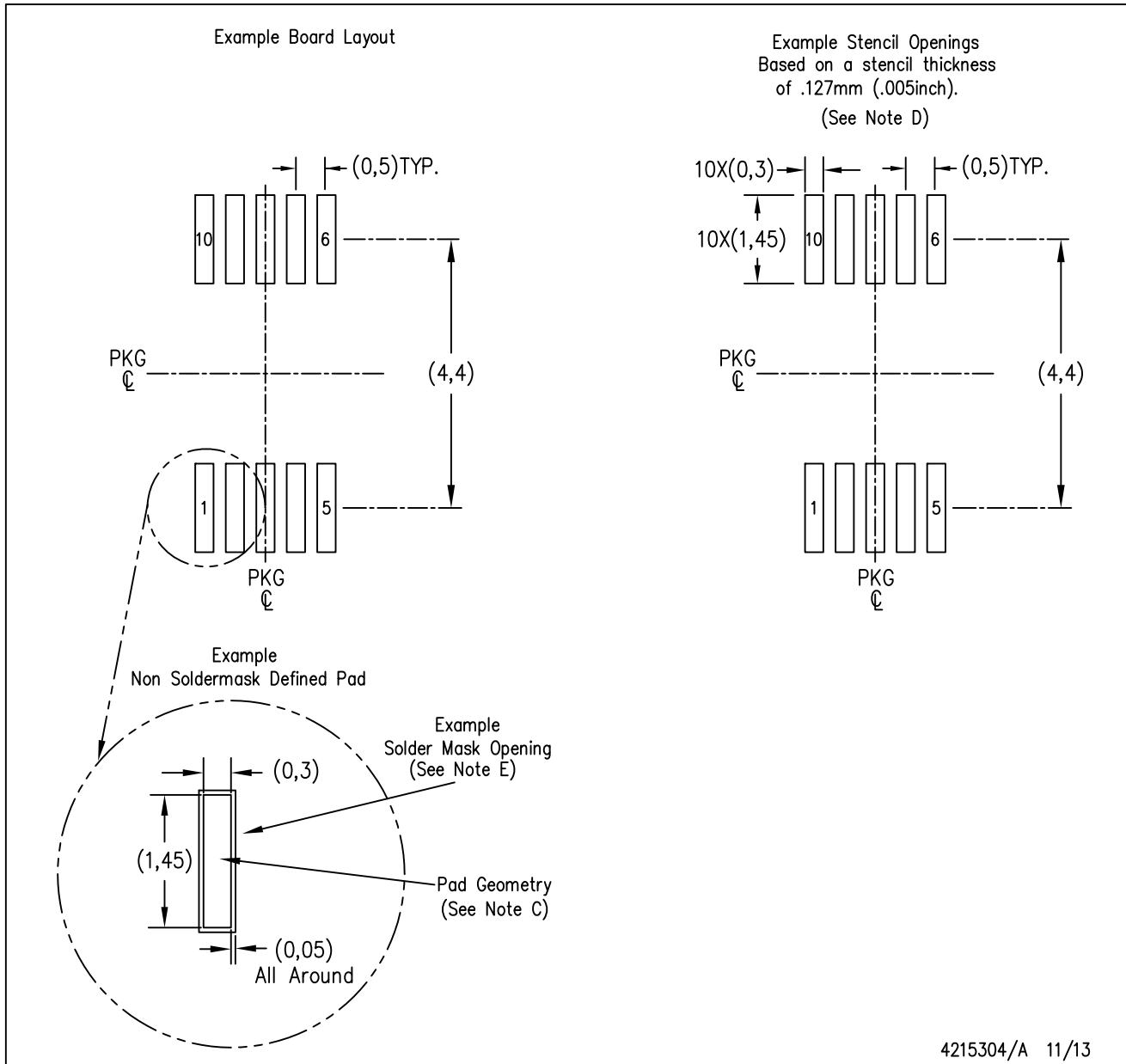
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion.
 - D. Falls within JEDEC MO-187 variation BA.

DGS (S-PDSO-G10)

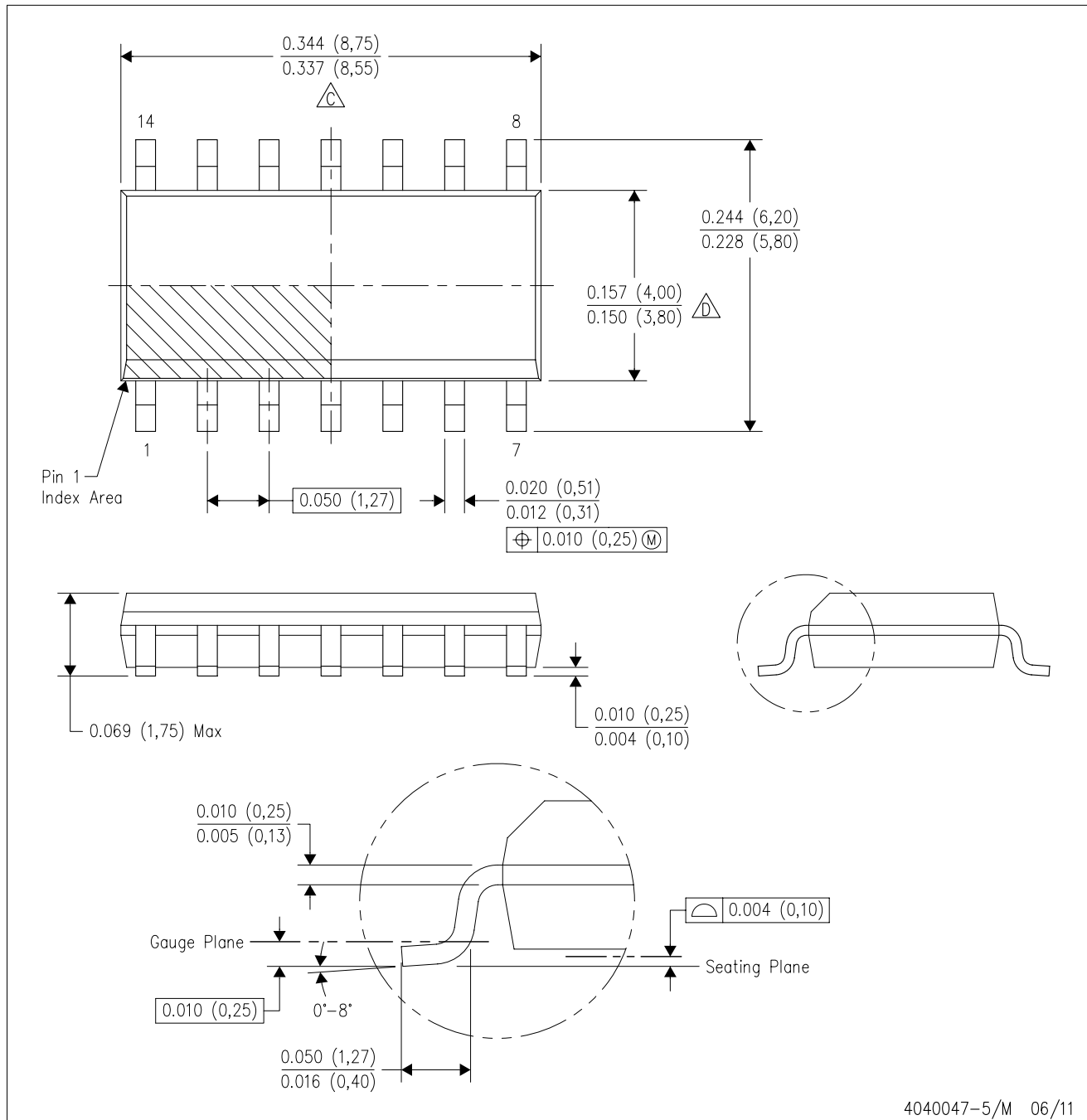
PLASTIC SMALL OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE

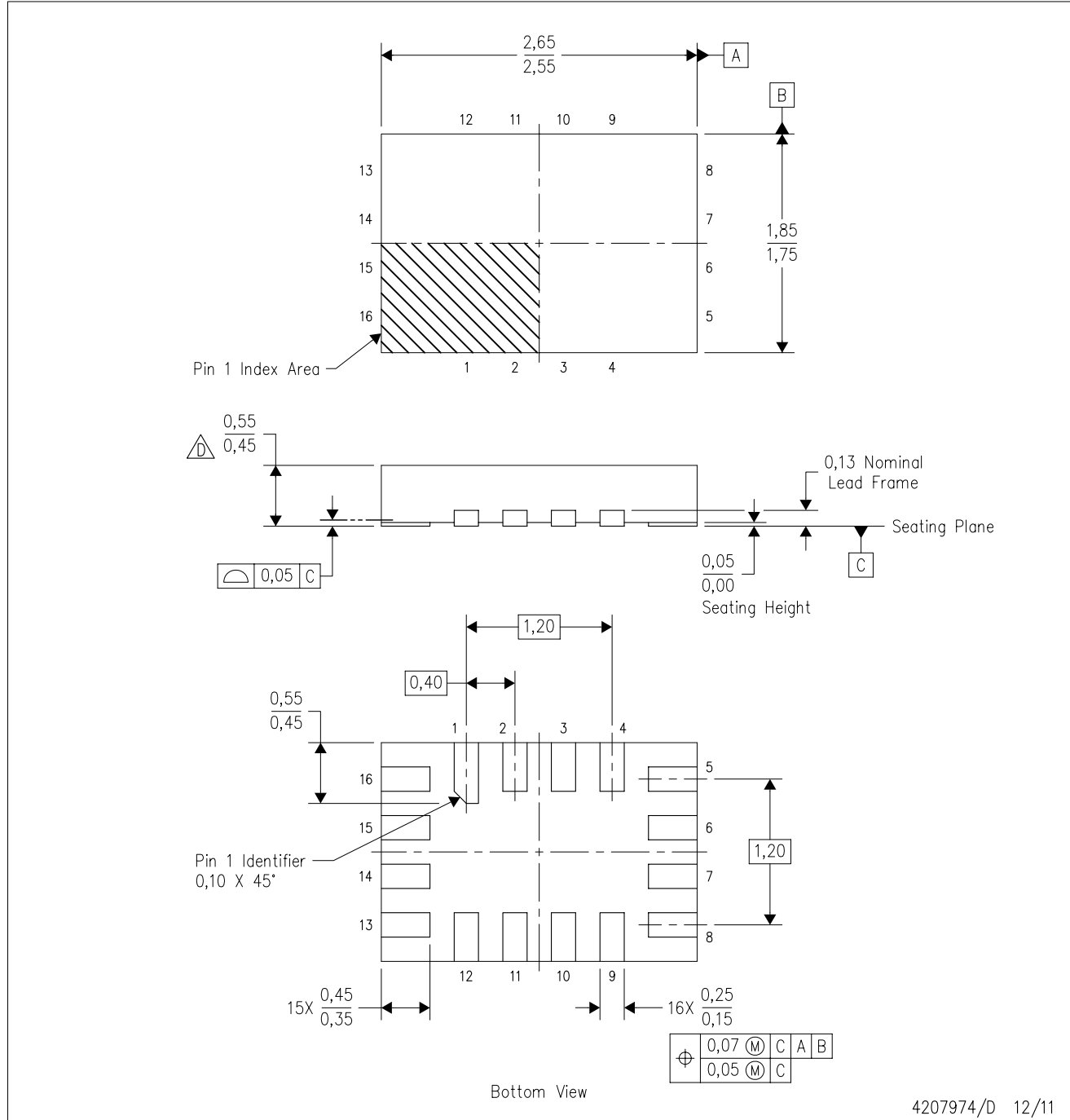


4211284-2/G 08/15

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

RSV (R-PUQFN-N16)

PLASTIC QUAD FLATPACK NO-LEAD

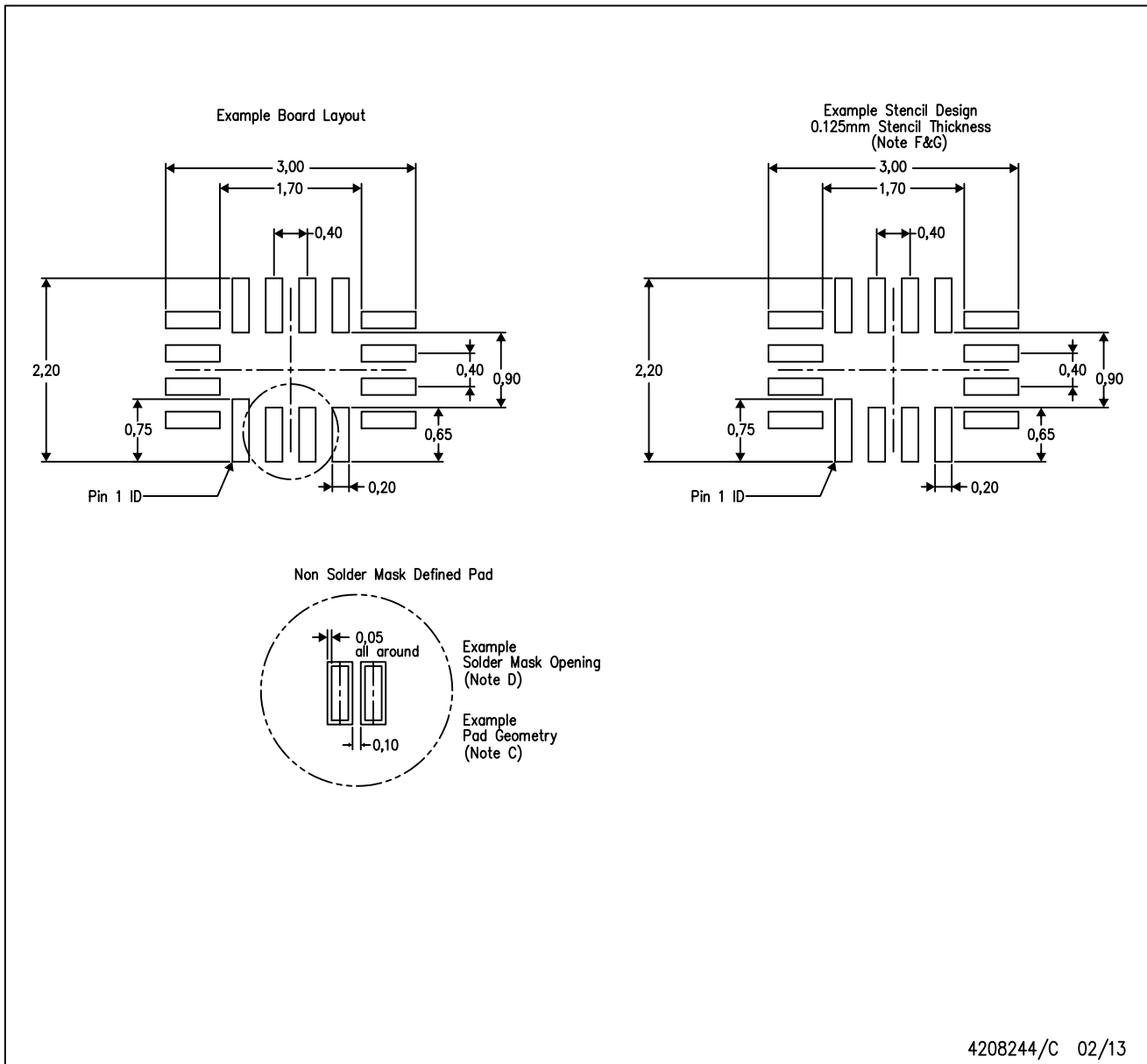


4207974/D 12/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 - This package complies to JEDEC MO-288 variation UFHE, except minimum package thickness.

RSV (R-PUQFN-N16)

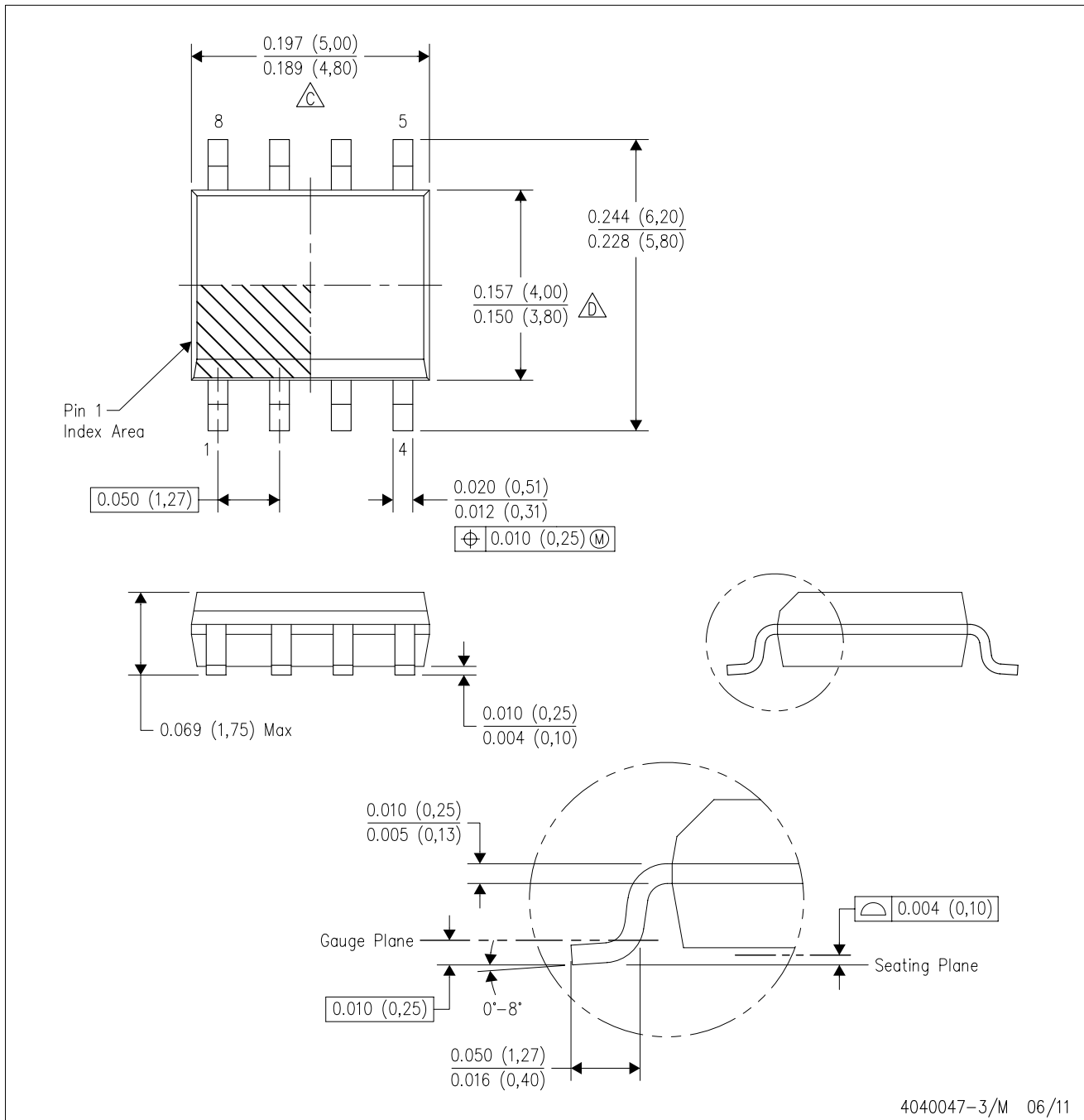
PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
 - E. Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
 - F. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - G. Side aperture dimensions over-print land for acceptable area ratio > 0.66. Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.

D (R-PDSO-G8)

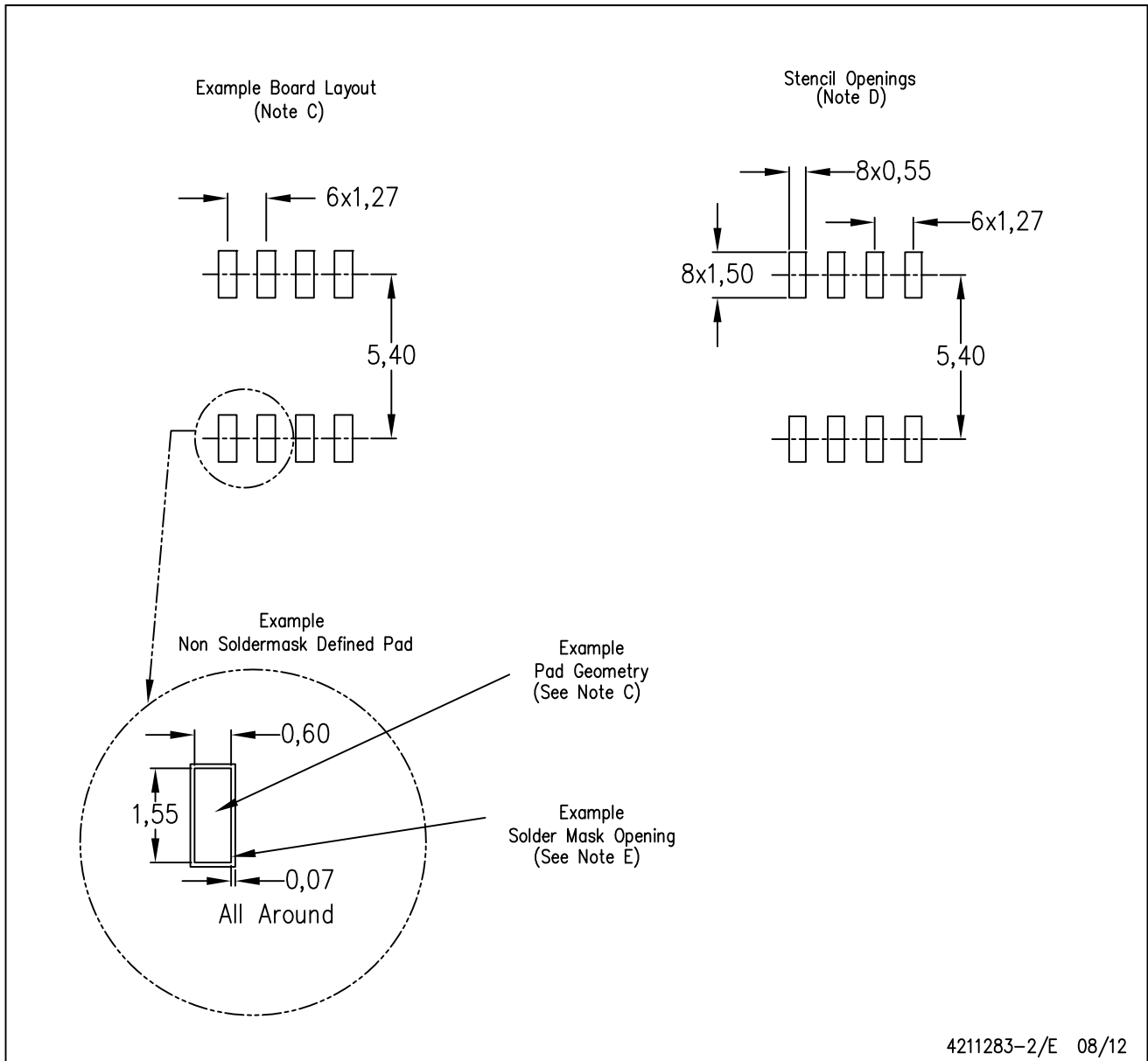
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AA.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



4211283-2/E 08/12

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明

德州仪器 (TI) 公司有权按照最新发布的 JESD46 对其半导体产品和服务进行纠正、增强、改进和其他修改，并不再按最新发布的 JESD48 提供任何产品和服务。买方在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。

TI 公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于 TI 已认证和批准上市的已封装集成电路产品的销售。另有其他条款可能适用于其他类型 TI 产品及服务的使用或销售。

复制 TI 数据表上 TI 信息的重要部分时，不得变更该等信息，且必须随附所有相关保证、条件、限制和通知，否则不得复制。TI 对该等复制文件不承担任何责任。第三方信息可能受到其它限制条件的制约。在转售 TI 产品或服务时，如果存在对产品或服务参数的虚假陈述，则会失去相关 TI 产品或服务的明示或暗示保证，且构成不公平的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

买方和在系统中整合 TI 产品的其他开发人员（总称“设计人员”）理解并同意，设计人员在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，及设计人员的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。设计人员就自己设计的应用声明，其具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。设计人员同意，在使用或分发包含 TI 产品的任何应用前，将彻底测试该等应用和和该等应用所用 TI 产品的功能而设计。

TI 提供技术、应用或其他设计建议、质量特点、可靠性数据或其他服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用，如果设计人员（个人，或如果是代表公司，则为设计人员的公司）以任何方式下载、访问或使用任何特定的 TI 资源，即表示其同意仅为该等目标，按照本通知的条款使用任何特定 TI 资源。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

设计人员只有在开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关单项 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等许可包括但不限于任何专利权、版权、屏蔽作品权或与应用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为或对设计人员进行辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

除 TI 已明确指出特定产品已达到特定行业标准（例如 ISO/TS 16949 和 ISO 26262）的要求外，TI 不对未达到任何该等行业标准要求而承担任何责任。

如果 TI 明确宣称产品有助于功能安全或符合行业功能安全标准，则该等产品旨在帮助客户设计和创作自己的符合相关功能安全标准和要求的的应用。在应用内使用产品的行为本身不会配有 任何安全特性。设计人员必须确保遵守适用于其应用的相关安全要求和标准而设计。设计人员不可将任何 TI 产品用于关乎性命的医疗设备，除非已由各方获得授权的管理人员签署专门的合同对此类应用专门作出规定。关乎性命的医疗设备是指出现故障会导致严重身体伤害或死亡的医疗设备（例如生命保障设备、心脏起搏器、心脏除颤器、人工心脏泵、神经刺激器以及植入设备）。此类设备包括但不限于，美国食品药品监督管理局认定为 III 类设备的设备，以及在美国以外的其他国家或地区认定为同等类别设备的所有医疗设备。

TI 可能明确指定某些产品具备某些特定资格（例如 Q100、军用级或增强型产品）。设计人员同意，其具备一切必要专业知识，可以为自己的应用选择适合的产品，并且正确选择产品的风险由设计人员承担。设计人员单方面负责遵守与该等选择有关的所有法律或监管要求。

设计人员同意向 TI 及其代表全额赔偿因其不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司