

# 数据手册

**GM8905C**

24 位 FPD-LINK II 发送器

2015.3

成都振芯科技股份有限公司

## 24 位 FPD-LINK II 发送器

GM8905C

GM8905C		
版本记录：1.0		当前版本时间：2015 年 3 月
新旧版本改动比较：		
旧版 文档页数	当前版本 文档页数	主题（和旧版本相比的主要变化）

如果您有技术、交付或价格方面的任何问题，请联系成都振芯科技股份有限公司的相关办公室或当地的代理商，或访问官方网站：[www.corpro.cn](http://www.corpro.cn) 谢谢！

编制时间：2015 年 3 月

由成都振芯科技股份有限公司发布

发布地点：成都

成都振芯科技股份有限公司版权所有

# 24 位 FPD-LINK II 发送器

# GM8905C

## 1 概述

GM8905C 型 24 位 FPD-LINK II 发送器，其主要功能是实现将并行的 24bit 的 RGB 数据以及 3 位控制信号（HS/VS/DE）转换为 1 路高速差分信号输出。

芯片内部集成终端电阻，可通过外部I/O 或I<sup>2</sup>C总线进行配置，支持power down模式。芯片core电源V<sub>DDn</sub>为 1.8V，IO电源V<sub>DDIO</sub>可支持 3.3V和 1.8V两种电压。

该芯片的主要应用领域是视频图像的高速传输，采用 1 对差分传输线缆即可实现视频信号传输，极大提高了视频图像传输系统的集成度。

## 2 特征

- a) 工作温度范围：-40℃～85℃；
- b) 电源电压V<sub>DDn</sub>： 1.8V；
- c) 电源电压V<sub>DDIO</sub>： 3.3V或 1.8V；
- d) 封装形式： QFN48；
- e) 器件等级： 工业级。

## 3 封装及引脚功能说明

本器件采用 48 引线的方形扁平无引脚封装（QFN48），引脚排序如下所示。

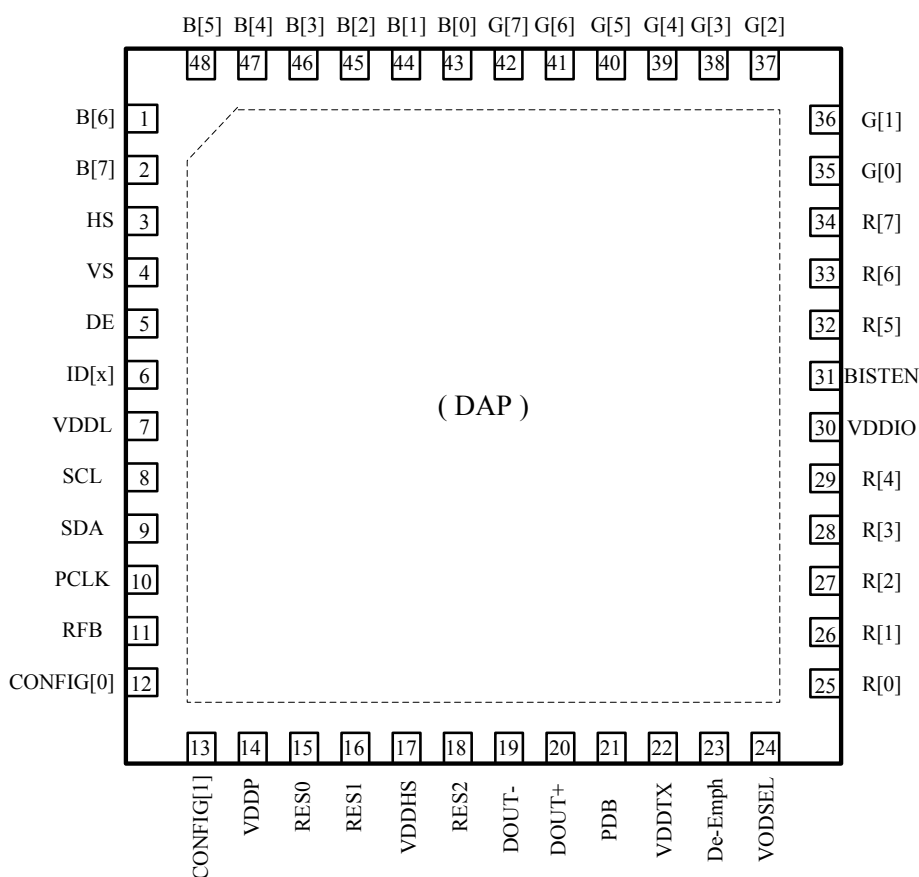


图 1 GM8905C 引脚排布图

该芯片的各引脚功能描述见表 1：

## 24 位 FPD-LINK II 发送器

## GM8905C

表 1 引脚描述

管脚名	序号	类型	描述												
LVCMOS 并行接口															
R[7:0]	34, 33, 32, 29, 28, 27, 26, 25	I, LVCMOS w/ pull-down	RED 并行数据输入端 (MSB = 7, LSB = 0)												
G[7:0]	42, 41, 40, 39, 38, 37, 36, 35	I, LVCMOS w/ pull-down	GREEN 并行数据输入端 (MSB = 7, LSB = 0)												
B[7:0]	2, 1, 48, 47, 46, 45, 44, 43	I, LVCMOS w/ pull-down	BLUE 并行数据输入端 (MSB = 7, LSB = 0)												
HS	3	I, LVCMOS w/ pull-down	Horizontal Sync 数据输入端												
VS	4	I, LVCMOS w/ pull-down	Vertical Sync 数据输入端												
DE	5	I, LVCMOS w/ pull-down	Data Enable 数据输入端												
PCLK	10	I, LVCMOS w/ pull-down	Pixel Clock 数据输入端 采样关系通过 RFB 管脚配置												
控制配置接口															
PDB	21	I, LVCMOS w/ pull-down	Power-down Mode 控制输入端 PDB = 1, 芯片正常工作; PDB = 0, 芯片关断。												
VODSEL	24	I, LVCMOS w/ pull-down	差分摆幅控制输入端 VODSEL = 1, LVDS VOD=420 mV; VODSEL = 0, LVDS VOD=280 mV。												
De-Emph	23	I, Analog w/ pull-up	去加重控制输入端 通过可调电阻下拉到 GND 可实现不同的去加重控制 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Resistor Value (k<math>\Omega</math>)</th> <th>去加重设置</th> </tr> </thead> <tbody> <tr> <td>Open</td> <td>去加重关断</td> </tr> <tr> <td>0.6</td> <td>~12dB</td> </tr> <tr> <td>1.0</td> <td>~9dB</td> </tr> <tr> <td>2.0</td> <td>~6dB</td> </tr> <tr> <td>5.0</td> <td>~3dB</td> </tr> </tbody> </table>	Resistor Value (k $\Omega$ )	去加重设置	Open	去加重关断	0.6	~12dB	1.0	~9dB	2.0	~6dB	5.0	~3dB
Resistor Value (k $\Omega$ )	去加重设置														
Open	去加重关断														
0.6	~12dB														
1.0	~9dB														
2.0	~6dB														
5.0	~3dB														
RFB	11	I, LVCMOS w/ pull-down	时钟采样沿控制 RFB = 1, 时钟上升沿采样输入并行数据 RFB = 0, 时钟下降沿采样输入并行数据												
CONFIG [1:0]	13, 12	I, LVCMOS w/ pull-down	模式控制 CONFIG[1:0] = 00: 对接 DS90UR906 或 GM8906C, 控制信号滤波功能关断 CONFIG[1:0] = 01: 对接 DS90UR906 或 GM8906C, 控制信号滤波功能开启												

## 24 位 FPD-LINK II 发送器

## GM8905C

Pin name	Pin#	Type	Description		
控制配置接口					
ID[x]	6	I, Analog	I <sup>2</sup> C配置芯片地址设置 通过 RID 接地和 10 k $\Omega$ 电阻上拉到 1.8V 电源分压控制。		
			RID k $\Omega$ (5% tol)	Address 7' b	Address 8' b 0 appended (WRITE)
			0.47	7b' 110 1001 (h' 69)	8b' 1101 0010 (h' D2)
			2.7	7b' 110 1010 (h' 6A)	8b' 1101 0100 (h' D4)
			8.2	7b' 110 1011 (h' 6B)	8b' 1101 0110 (h' D6)
Open	7b' 110 1110 (h' 6E)	8b' 1101 1100 (h' DC)			
RID $\neq$ 0 $\Omega$ , 端口禁止直接接到 GND.					
SCL	8	I, LVCMOS	I <sup>2</sup> C配置时钟输入端, 需要 4.7k $\Omega$ 电阻上拉到VDDIO		
SDA	9	I/O, LVCMOS Open Drain	I <sup>2</sup> C配置数据输入/输出端, 需要 4.7k $\Omega$ 电阻上拉到VDDIO		
BISTEN	31	I, LVCMOS w/ pull-down	BIST 测试模式控制输入端 BISTEN = 1, BIST 测试模式使能; BISTEN = 0, BIST 测试模式关断。		
RES[2:0]	18, 16, 15	I, LVCMOS w/ pull-down	保留管脚, 接到 GND.		
串行接口					
DOUT+	20	0, LVDS	差分输出正端。 输出必须接 100 nF 的 AC 耦合电容。		
DOUT-	19	0, LVDS	差分输出负端。 输出必须接 100 nF 的 AC 耦合电容。		
电源和地					
VDD (VDDn and VDDIO)电源上电时间必须要小于 1.5ms, 如果慢于 1.5ms 就需要在 PDB 管脚增加到地的滤波电容, 保证在电源上电完成后, 再使能芯片。输入并行数据摆幅必须配合 VDDIO 电源进行同步设计, 两者保持一致。					
VDDL	7	Power	数字电源端, 1.8 V $\pm$ 5%		
VDDP	14	Power	锁相环电源端, 1.8 V $\pm$ 5%		
VDDHS	17	Power	高速串行电源端, 1.8 V $\pm$ 5%		
VDDTX	22	Power	输出驱动电源端, 1.8 V $\pm$ 5%		
VDDIO	30	Power	LVCMOS I/O 电源端, 1.8 V $\pm$ 5% OR 3.3 V $\pm$ 10%		
GND	DAP	Ground	DAP 为芯片 GND 端, 在芯片背面, PCB 设计上 DAP 连接至少需设计 9 个以上 GND 通孔, 保证芯片有很好的地接触。		

## 24 位 FPD-LINK II 发送器

## GM8905C

## 4 功能描述

功能框图如下图所示。本器件采用第二代平板显示图像（FPD\_LINK II）传输的串行压缩方式，实现将并行 24 位 RGB 数据以及 3 位控制信号（HS/VS/DE）转换为 1 路高速差分信号输出的功能。器件内部集成终端电阻，可通过外部 I/O 或 I<sup>2</sup>C 总线进行配置，主要由输入缓冲器模块、串行器模块、直流平衡编码器、去加重驱动器模块、锁相环模块、I<sup>2</sup>C 配置模块及误码校验模块构成。

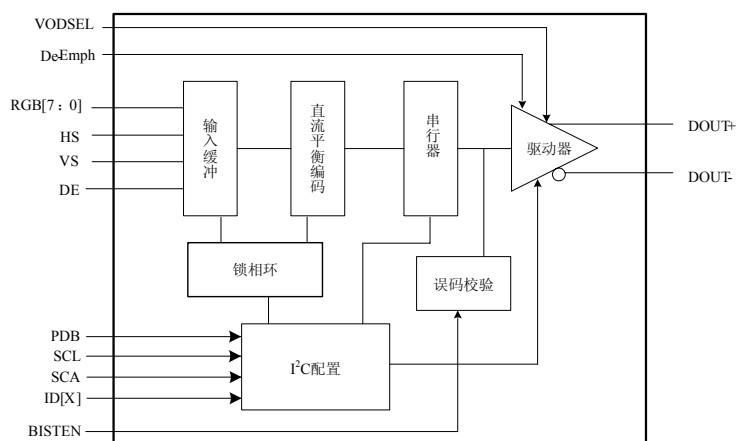


图 2 GM8905C 功能框图

## 5 参数指标

## 5.1 极限工作条件

绝对最大额定值如下：

电源电压 ( $V_{DDL}$ ,  $V_{DDP}$ ,  $V_{DDHS}$ ,  $V_{DDTX}$ ) :  $-0.3V \sim 2.5V$

电源电压 ( $V_{DDIO}$ ) :  $-0.3V \sim 4V$ ;

结温 ( $T_j$ ) :  $150^{\circ}C$ ;

引线耐焊接温度 ( $T_h$ ) (4s) :  $260^{\circ}C$ ;

功耗 ( $P_D$ ) : 1W;

热阻 ( $R_{\theta jc}$ ) :  $27^{\circ}C/W$ ;

贮存环境温度 ( $T_{stg}$ ) :  $-65^{\circ}C \sim 150^{\circ}C$ ;

静电放电敏感度 ( $V_{ESD}$ ) : 2000V。

## 5.2 推荐工作条件

推荐工作条件如下：

电源电压 ( $V_{DDL}$ ,  $V_{DDP}$ ,  $V_{DDHS}$ ,  $V_{DDTX}$ ) :  $1.8V \pm 0.09V$ ;

电源电压 ( $V_{DDIO}$ ) :  $3.3V \pm 0.3V$ 、 $1.8V \pm 0.09V$ ;

输入时钟频率 ( $f_{TCLK}$ ) :  $5MHz \sim 65MHz$ ;

电源噪声电压 ( $V_{noise}$ ) :  $\leq 50mV$ ;

工作温度 ( $T_A$ ) :  $-40^{\circ}C \sim 85^{\circ}C$ 。

## 5.3 静态参数

# 24 位 FPD-LINK II 发送器

# GM8905C

表 1 静态参数表

特性	符号	条 件: 除另有规定, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ , $V_{\text{DDIO}}=3.3\text{V}$ 或 $1.8\text{V}$ 、 $V_{\text{DDTX}}=V_{\text{DDL}}=V_{\text{DDHS}}=V_{\text{DDP}}=1.8\text{V}$	极限值		单位	
			最小	最大		
输入高电平电压	$V_{\text{IH}}$	$V_{\text{DDIO}}=3.6\text{V}$	2.20	$V_{\text{DDIO}}$	V	
		$V_{\text{DDIO}}=1.89\text{V}$	1.23	$V_{\text{DDIO}}$		
输入低电平电压	$V_{\text{IL}}$	$V_{\text{DDIO}}=3.0\text{V}$	GND	0.8	V	
		$V_{\text{DDIO}}=1.71\text{V}$	GND	0.6		
输入漏电流	$I_{\text{IN}}$	$V_{\text{IN}}=0\text{V}$ 或 $V_{\text{DDIO}}$ , $V_{\text{DDIO}}=3.6\text{V}$	-15	15	$\mu\text{A}$	
输出差分电压摆幅	$V_{\text{OD}}$	$R_L=100\Omega$	$V_{\text{VODSEL}}=0$	205	400	mV
			$V_{\text{VODSEL}}=1$	320	600	
输出差分共模电压	$V_{\text{OS}}$	$R_L=100\Omega$ , $V_{\text{VODSEL}}=0$	1	1.8	V	
输出短路电流	$/I_{\text{OS}}/$	$V_{\text{DOUT}\pm}=0$ , $V_{\text{VODSEL}}=0$ , $V_{\text{DDIO}}=3.6\text{V}$	—	72	mA	
关断电源电流	$I_{\text{DDZ}}$	$V_{\text{PDB}}=0\text{V}$ , 其他输入接 $0\text{V}$	—	5	mA	

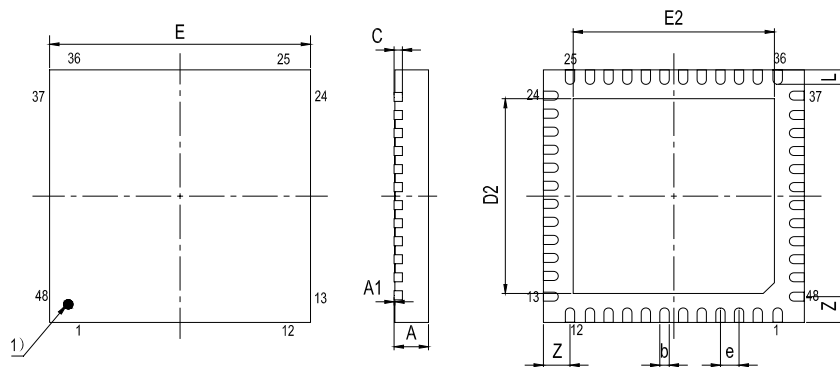
## 5.4 动态参数

表 2 动态参数表

特性	符号	条 件: 除另有规定, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ , $V_{\text{DDIO}}=3.3\text{V}$ 或 $1.8\text{V}$ 、 $V_{\text{DDTX}}=V_{\text{DDL}}=V_{\text{DDHS}}=V_{\text{DDP}}=1.8\text{V}$	极限值		单位
			最小	最大	
电源电流	$I_{\text{DD}}$	$V_{\text{DDIO}}=3.6\text{V}$ , 分辨率 $1024*768$ , $60\text{Hz}$ 刷新率 ( $f=65\text{MHz}$ ) 的视频图像传输	—	260	mA
差分输出上升时间	$t_{\text{R}}$	$R_L=100\Omega$ , $V_{\text{VODSEL}}=0$ , $f=65\text{MHz}$	—	500	ps
差分输出下降时间	$t_{\text{F}}$	$R_L=100\Omega$ , $V_{\text{VODSEL}}=0$ , $f=65\text{MHz}$	—	500	ps
功能测试	—	分辨率 $1024*768$ , $60\text{Hz}$ 刷新率 ( $f=65\text{MHz}$ ) 的视频图像传输	—	—	—

## 6 机械尺寸

本器件采用 48 引线的方形扁平无引脚封装 (QFN48)。外形尺寸按图 3 的规定。



注: 1) 为引出端标志区。

图 3 GM8905C 尺寸图

# 24 位 FPD-LINK II 发送器

# GM8905C

具体的尺寸见下表：

表 3 外形尺寸参数

单位：mm

尺寸符号	数 值		
	最 小	公 称	最 大
A	0.70	—	0.80
b	0.18	—	0.30
c	0.18	—	0.23
D	6.90	—	7.10
E	6.90	—	7.10
e	—	0.50	—
D <sub>2</sub>	—	5.40	—
E <sub>2</sub>	—	5.40	—
L	0.35	—	0.45

## 7 产品应用信息

### 7.1 典型应用图

GM8905C 主要应用于 DVI、VGA 和控制信号的编码传输。

下图为 GM8905C 应用于 VGA 视频传输的应用原理图。VGA 视频源经视频解码模块解码成 RGB: 888、DE、HS、VS 和并行像素时钟 PCLK 信号，该视频信号经 GM8905C 编码成 FPD-LINK II 高速串行差分信号，经屏蔽双绞线，采用交流耦合的形式传输给 GM8906C，经解码还原成 RGB 视频格式信号，再通过视频编码信号，发送到显示屏进行终端显示。

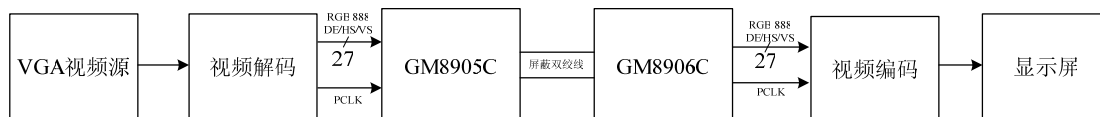


图 4 GM8905C VGA 视频传输应用图

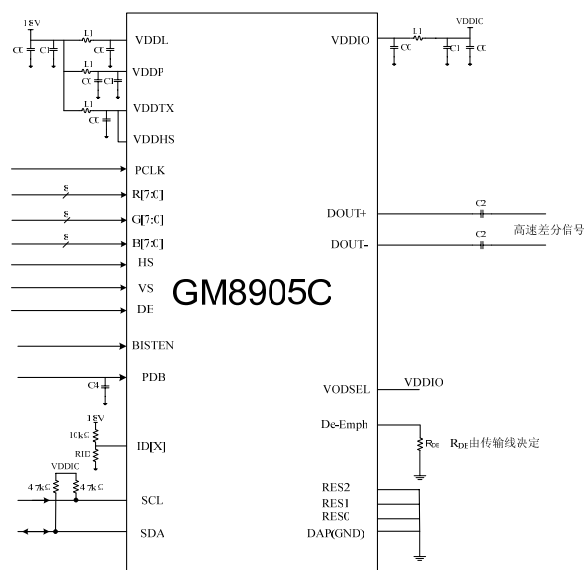


图 5 GM8905C 典型连接图



## 24 位 FPD-LINK II 发送器

## GM8905C

上图为 GM8905C 典型应用中的连接图，其外围无源器件推荐值：电容 C0=0.1 $\mu$ F、C1=4.7 $\mu$ F、C2=0.1 $\mu$ F、C3=4.7 $\mu$ F、C4=10 $\mu$ F；磁珠 L1=60  $\Omega$ /100MHz，电阻 RID 为芯片地址配置电阻。详见下表。

表 4 ID[X]地址配置表

RID(k $\Omega$ )	地址(7'b)	地址(8'b)
0.47	7'b1110001 (h'71)	8'b11100010 (h'E2)
2.7	7'b1110010 (h'72)	8'b11100100 (h'E4)
8.2	7'b1110011 (h'73)	8'b11100110 (h'E6)
开路	7'b1110110 (h'76)	8'b11101100 (h'EC)

内部寄存器配置如下表所示。

表 5 寄存器配置

ADD	Register Name	Bit(s)	Default(bin)	Function	Description
0	Ser Config 1	7	0	Reserved	Reserved
		6	0	Reserved	Reserved
		5	0	VODSEL	输出摆幅控制： 0: VOD=300mV。 1: VOD=450mV。
		4	0	RFB	时钟与数据采样关系： 0: 输入数据是下降沿采样。 1: 输入数据是上升沿采样。
		3:2	00	CONFIG	兼容模式配置： 00: 控制信号滤波器不使能 01: 控制信号滤波器使能
		1	0	SLEEP	0: 正常模式。 1: 睡眠模式。
		0	0	REG	0: 配置设置来自于控制引脚。 1: 配置设置来自于寄存器，除 I2C_ID 外。
1	Device ID	7	0	REG ID	0: 地址来自于 ID[X]引脚 1: 地址来自于寄存器。
		6:0	1101000	ID[X]	串行总线器件地址，4 个地址如下： 7b' 1101 001 (h'69)； 7b' 1101 010 (h'6A)； 7b' 1101 011 (h'6B)； 7b' 1101 110 (h'6E)。

## 24 位 FPD-LINK II 发送器

## GM8905C

ADD	Register Name	Bit(s)	Default(bin)	Function	Description
2	De-Emphasis Control	7:5	000	De-E Setting	去加重选档。 000: 由外部电阻决定。 001: -1dB 010: -2dB 011: -3.3dB 100: -5dB 101: -6.7dB 110: -9dB 111: -12dB
		4	0	De-E EN	去加重使能信号 0: 开通去加重功能; 1: 关断去加重功能。
		3:0	0000	Reserved	Reserved

### 7.2 输入控制信号时序要求

GM8905C 对输入的 RGB 数据和控制信号 HS、VS、DE 有如下时序要求，需要通过 MCU 单元对视频控制信号 HS、VS、DE 做延迟一拍的处理，已保证 GM8905C 能够正确的接收视频信号，并正确完成编码传输。

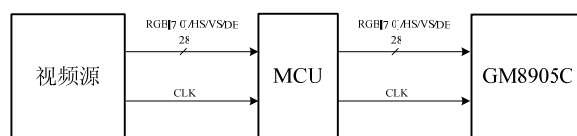


图 6 GM8905C 时序调整原理图

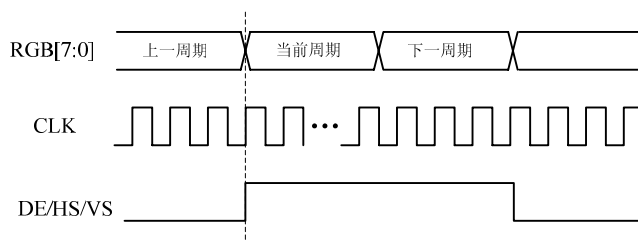


图 7 MCU 接收到的图像数据和控制信号时序关系

上图为视频源发送出，MCU 接收到的图像数据和控制信号时序关系，HS、VS、DE 跟 RGB[7:0]是同步关系。

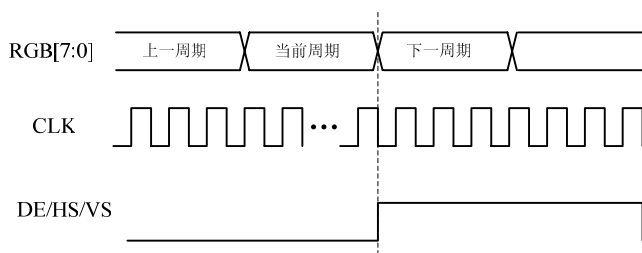


图 8 MCU 时序调整后 GM8905C 接收到的图像数据和控制信号时序关系

上图为图像数据和控制信号经过 MCU 处理后，GM8905C 接收到的图像数据和控制信

---

## 24 位 FPD-LINK II 发送器

## GM8905C

---

号关系。控制信号 HS、VS、DE 经过 MCU 通过比 RGB 信号多打一拍，再与 RGB 信号同步。

在车机或其他类似应用情况下，GM8905C 的输入数据控制时序，可以通过调制主控芯片，将控制信号多打一拍，再与 RGB 信号同步，最后输出给 GM8905C，就可以实现图像的正确编码传输。

### 7.3 应用说明

芯片应用中应注意以下几点：

- a) 电源必须加滤波电容，电容值大小可根据实际情况考虑；
  - b) 信号的输入或输出端串联匹配电阻改善信号质量；
  - c) 应用过程中，芯片的电源电压、输入电压范围、测试温度以及测试条件等都需要严格遵守数据手册规定；
  - d) 用于测试和焊接的工作台面，测试仪器以及高低温箱等都必须具有防静电设施；
  - e) 测试和使用过程中，操作人员也必须带防静电腕带，在防静电台面上进行操作，禁止直接手持芯片；
  - f) 测试和使用过程中出现异常现象时，应该注意保护芯片。
-