

8 位 MCU
HR7P155

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2018 年 05 月 17 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

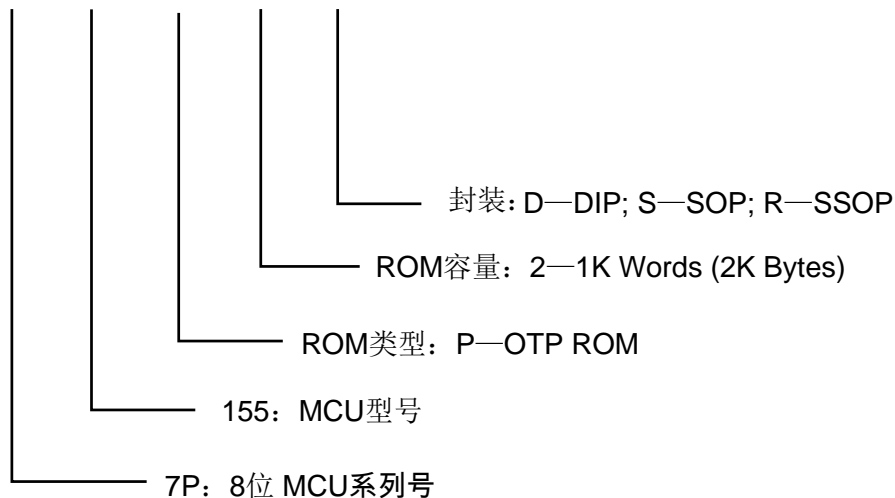
注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型号	程序存储器	数据存储器	封装
HR7P155P2D*	OTP: 1K Words	SRAM: 64 Bytes	DIP14
HR7P155P2S			SOP14
HR7P155P2R*			SSOP10

注*: 此型号已停产

HR 7P No. X X X



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@essemi.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成, 本资料中所记载的实例以正确的使用方法和标准操作为前提, 使用方在应用该等实例时请充分考虑外部诸条件, 上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性, 上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因, 上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息, 请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2013-11-13	初版
V1.1	2014-2-26	修改 10pin 管脚复用，修改工作电压范围，更新 T8Px 模块 PWM 描述
V1.2	2014-6-23	修改 LDO 稳定时间
V1.3	2014-08-07	更新免责声明
V1.4	2014-09-05	去掉不支持功能模块
V1.5	2014-12-3	优化芯片简介中程序存储器大小的描述
V1.6		统一修改公司名称、logo 及网址等
V1.7	2016-08-16	增加了未引出的和未使用的 I/O 管脚处理以及 VPP 脚管脚电压要求
V1.8	2018-1-17	修订概述中部分内容。
V1.9	2018-5-17	<ol style="list-style-type: none"> 1. 更新 PA3 无施密特触发输入相关内容； 2. 更新全局中断使能 GIE 和低优先级中断使能 GIEL 的清 0 和置 1 的操作注意事项。

目 录

内容目录

第 1 章	芯片简介	10
1.1	概述	10
1.2	结构框图	12
1.3	管脚分配图	13
1.3.1	14-pin.....	13
1.3.2	10-pin.....	13
1.4	管脚说明	14
1.4.1	管脚封装对照表	14
1.4.2	管脚复用说明	15
第 2 章	内核特性	17
2.1	CPU 内核概述	17
2.2	系统时钟和机器周期.....	17
2.3	指令集概述	17
2.4	特殊功能寄存器	18
第 3 章	存储资源	20
3.1	程序存储器	20
3.1.1	概述.....	20
3.1.2	程序计数器 (PC)	20
3.1.3	程序堆栈	21
3.1.4	程序存储器查表操作	21
3.1.4.1	概述	21
3.1.4.2	操作例程	21
3.1.5	特殊功能寄存器	22
3.2	数据存储器	23
3.2.1	概述.....	23
3.2.2	寻址方式	24
3.2.2.1	直接寻址	24
3.2.2.2	GPR 特殊寻址	24
3.2.2.3	间接寻址	25
3.2.3	特殊功能寄存器地址分配表	26
3.2.4	特殊功能寄存器	28
第 4 章	输入/输出端口	29
4.1	概述	29
4.2	结构框图.....	29
4.3	I/O 端口弱上拉	30
4.4	I/O 端口驱动能力.....	30
4.5	外部按键中断 (KINT)	30
4.6	外部端口中断 (PINT)	31
4.7	特殊功能寄存器.....	32
第 5 章	外设	35
5.1	定时器/计数器模块 (Timer/Counter)	35

5.1.1	两路 8 位 PWM 时基定时器 (T8P1/2)	35
5.1.1.1	概述	35
5.1.1.2	内部结构图	35
5.1.1.3	预分频器和后分频器	36
5.1.1.4	工作模式	36
5.1.1.5	定时器模式	37
5.1.1.6	PWM 输出模式	37
5.1.1.7	特殊功能寄存器	39
5.2	模拟数字转换器(ADC)	41
5.2.1	概述	41
5.2.2	内部结构图	41
5.2.3	ADC 时序特征示意图	41
5.2.4	参考例程	42
5.2.5	特殊功能寄存器	43
第 6 章	特殊功能及操作特性	45
6.1	系统时钟与振荡器	45
6.1.1	概述	45
6.1.2	时钟源	45
6.1.2.1	外部时钟	45
6.1.2.2	内部时钟	47
6.1.3	系统时钟切换	47
6.1.3.1	系统上电时序	47
6.1.3.2	系统时钟切换时序	48
6.1.4	特殊功能寄存器	50
6.2	看门狗定时器	53
6.2.1	概述	53
6.2.2	内部结构图	53
6.2.3	特殊功能寄存器	54
6.3	复位模块	55
6.3.1	概述	55
6.3.2	复位时序图	55
6.3.3	低电压复位配置	56
6.3.4	特殊功能寄存器	56
6.4	中断处理	57
6.4.1	概述	57
6.4.2	中断逻辑表	57
6.4.3	默认中断模式	58
6.4.4	操作说明	58
6.4.5	特殊功能寄存器	58
6.5	低功耗操作	63
6.5.1	MCU 低功耗模式	63
6.5.2	低功耗模式配置	63
6.5.3	IDLE 唤醒方式配置	64
6.5.4	唤醒时间计算	64

6.5.5	特殊功能寄存器	65
6.6	芯片配置字	66
第 7 章	芯片封装图	68
7.1	14-pin 封装图.....	68
7.2	10-pin 封装图.....	70
附录 1	指令集	71
附录 1.1	概述	71
附录 1.2	寄存器操作指令	71
附录 1.3	程序控制指令	71
附录 1.4	算术/逻辑运算指令	73
附录 2	特殊功能寄存器总表	75
附录 3	电气特性.....	77
附录 3.1	参数特性表.....	77
附录 3.2	参数特性图.....	82

图目录

图 1-1	HR7P155 结构框图.....	12
图 1-2	DIP14/SOP14 顶视图.....	13
图 1-3	SSOP10 顶视图.....	13
图 3-1	HR7P155 程序区地址映射和堆栈示意图.....	20
图 3-2	数据区地址映射示意图.....	23
图 3-3	普通直接寻址示意图.....	24
图 3-4	GPR 特殊寻址示意图.....	24
图 3-5	间接寻址示意图.....	25
图 4-1	输入/输出端口结构图 A.....	29
图 4-2	输入/输出端口结构图 B.....	30
图 5-1	T8Px 内部结构图.....	35
图 5-2	PWM 输出模式示意图.....	38
图 5-3	PWM 输出示意图.....	38
图 5-4	ADC 内部结构图.....	41
图 5-5	ADC 时序特征示意图.....	41
图 6-1	系统时钟切换图.....	45
图 6-2	晶体/陶瓷振荡器模式 (HS、XT、LP 模式).....	46
图 6-3	振荡器 RC/RCIO 模式等效电路图及外围参考图.....	46
图 6-4	系统上电时序图.....	47
图 6-5	INTOSCL 时钟切换到 HS/XT/RC/INTOSCH 时钟时序图.....	48
图 6-6	HS/XT/RC/INTOSCH 时钟切换到 INTOSCL 时钟时序图.....	48
图 6-7	低速 LP 时钟切换到 INTOSCH 时钟时序图.....	49
图 6-8	INTOSCH 时钟切换到低速 LP 时钟时序图.....	49
图 6-9	看门狗定时器内部结构图.....	53
图 6-10	芯片复位原理图.....	55
图 6-11	上电复位时序示意图.....	55
图 6-12	低电压复位时序示意图.....	55
图 6-13	中断控制逻辑.....	57

表目录

表 1-1	管脚封装对照表	14
表 1-2	管脚说明	16
表 4-1	I/O 端口结构信息表.....	29
表 4-2	I/O 端口弱上拉	30
表 4-3	I/O 端口强驱动能力.....	30
表 4-4	外部按键中断	31
表 4-5	外部端口中断	31
表 5-1	T8Px 后分频器配置表.....	36
表 5-2	T8Px 预分频器配置表.....	36
表 5-3	T8Px 工作模式配置表.....	36
表 6-1	晶体振荡器电容参数参考表	46
表 6-2	外部 RC 模式推荐参数.....	46
表 6-3	低电压检测配置表.....	56
表 6-4	中断逻辑表.....	57
表 6-5	低功耗模式配置表.....	63
表 6-6	休眠唤醒表.....	64

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ HR7P RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 机器周期为 2 个系统时钟周期
 - ◇ 复位向量位于 000_H，中断向量位于 004_H
 - ◇ 支持中断处理，10 个中断源
 - ◇ CPU 最高工作频率
 - 2MHz (VDD=2.2~5.5V)
 - 8MHz (VDD=2.7~5.5V)
 - 16MHz (VDD=3.0~5.5V)
- ◆ 存储资源
 - ◇ 1K Words OTP 程序存储器（用户实际可用 992 Words，剩余 32Words 为保留区，客户不可使用），4 级程序堆栈
 - ◇ 64 Bytes SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址、相对寻址及查表读操作
 - ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ I/O 端口
 - ◇ 最多支持 11 个 I/O 和 1 个输入
 - PA 端口 (PA0~PA7)
 - PB 端口 (PB0~PB3)
 - ◇ 支持 4 个外部端口中断 PINT
 - ◇ 支持 1 个外部按键中断 KINT，最多支持 8 个输入端 (KIN0~KIN7)
 - ◇ 支持独立的可配置内部弱上拉输入端口
 - ◇ 支持独立的可配置大电流驱动端口
- ◆ 复位及时钟
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌掉电复位电路 BOR
 - ◇ 内嵌低电压检测中断电路
 - ◇ 支持独立硬件看门狗定时器
 - ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 支持内部分频选择，最低可分频至 32KHz
 - 出厂校准精度为±2%（常温 25℃，VDD=3.0V~5.5V）
 - ◇ 支持内部低频 32KHz RC 振荡器时钟源（作为 WDT 时钟源，且可配置为系统时钟源）

- ◇ 支持外部振荡器时钟源
- ◇ 支持高低速系统时钟切换
- ◆ 外设
 - ◇ 8 位 PWM 时基定时器 T8P1
 - 定时器模式（时钟源为系统时钟二分频（ $F_{osc}/2$ ））
 - 支持可配置预分频器及可配置后分频器
 - 支持脉宽调制（PWM）输出扩展功能
 - 支持中断产生
 - ◇ 8 位 PWM 时基定时器 T8P2
 - 定时器模式（时钟源为系统时钟二分频（ $F_{osc}/2$ ））
 - 支持可配置预分频器及可配置后分频器
 - 支持脉宽调制（PWM）输出扩展功能
 - 支持中断产生
 - ◇ 模拟数字转换器 ADC
 - 支持 12 位数字转换精度
 - 支持 6 通道模拟输入端
 - 支持电源电压检测，电源分压比可选
 - 支持外部参考源
 - 支持内部参考源（参考源为 VDD/4V/3V/2.1V 可选）
 - 支持中断产生
- ◆ 低功耗特性
 - ◇ IDLE 电流
 - 15uA@5.0V, 25°C, 典型值
 - ◇ 动态电流
 - 35uA@32KHz, 5.0V, 25°C, 典型值
 - 1.5mA@16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - ◇ 支持在线编程（ISP）接口
 - ◇ 支持编程代码加密保护
- ◆ 设计及工艺
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 10 个管脚，采用 SSOP 封装
 - ◇ 14 个管脚，采用 DIP/SOP 封装
- ◆ 工作条件
 - ◇ 工作电压范围：2.2V ~ 5.5V
 - ◇ 工作温度范围：-40°C ~ 85°C

1.2 结构框图

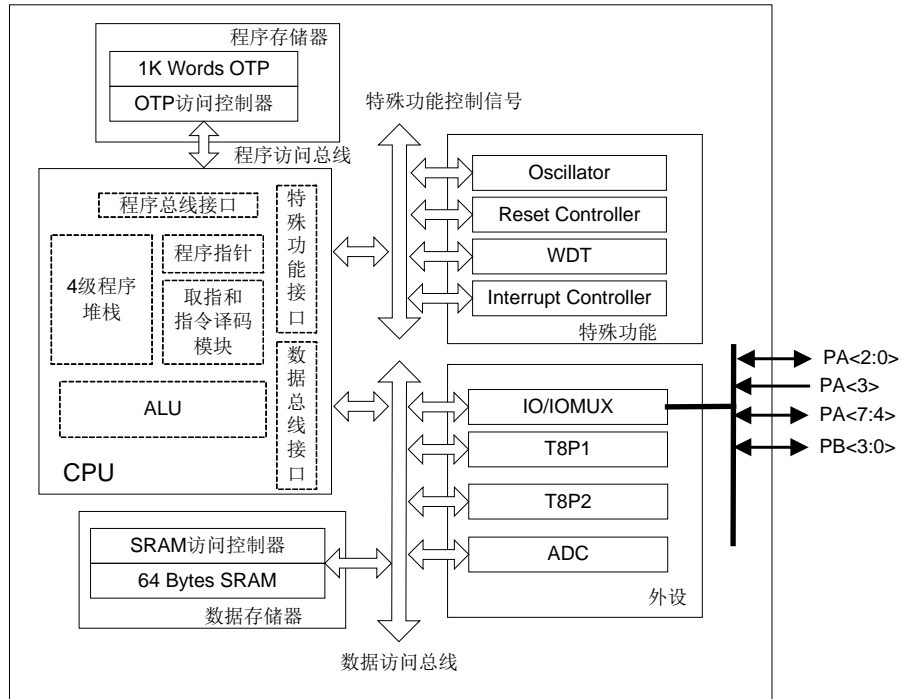


图 1-1 HR7P155 结构框图

1.3 管脚分配图

1.3.1 14-pin



图 1-2 DIP14/SOP14 顶视图

1.3.2 10-pin

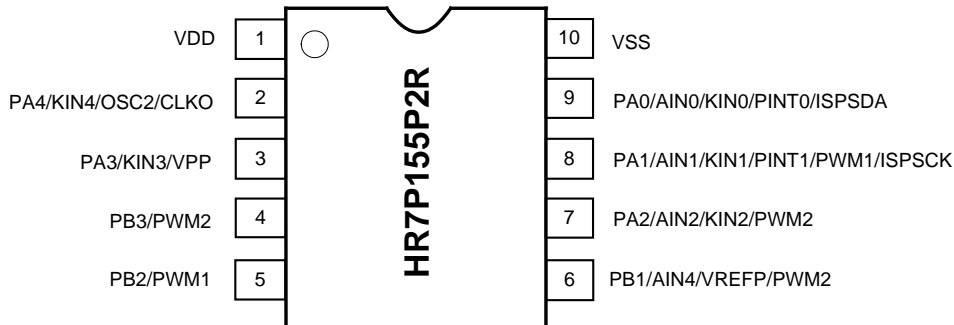


图 1-3 SSOP10 顶视图

注 1: T8P1 的 PWM1 输出端口可配置。
 注 2: T8P2 的 PWM2 输出端口可配置。
 注 3: 如果产品封装引脚数小于最大引脚数, 则未引出的和未使用的 I/O 管脚都需设置为输出低电平。否则芯片功耗可能会出现异常, 芯片工作稳定性也容易因外界干扰而降低。
 注 4: 用户系统必须保证 VPP 管脚电压低于芯片电源电压 VDD, 否则芯片可能进入异常工作模式。如果该管脚上电压存在过冲, 则用户系统必须限制该脉冲的电压不高于 VDD+0.5V, 脉冲宽度不超过 100us。

1.4 管脚说明

1.4.1 管脚封装对照表

管脚名	HR7P155	
	DIP14/SOP14	SSOP10
PA0/AIN0/KIN0/PINT0/ISPSDA	13	9
PA1/AIN1/KIN1/PINT1/PWM1/ISPSCK	12	8
PA2/AIN2/KIN2/PWM2	11	7
PA3/KIN3/VPP	4	3
PA4/KIN4/OSC2/CLKO	3	2
PA5/KIN5/OSC1/CLKI	2	-
PA6/KIN6/PINT2/PWM1	8	-
PA7/AIN5/KIN7/PINT3	7	-
PB0/AIN3/VREFN /PWM1	10	-
PB1/AIN4/VREFP/PWM2	9	6
PB2/PWM1	6	5
PB3/PWM2	5	4
VDD	1	1
VSS	14	10

表 1-1 管脚封装对照表

1.4.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/AIN0/KIN0/PINT0/ ISPSDA	PA0	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	AIN0	A	ADC 模拟通道 0	
	KIN0	D	外部按键唤醒输入 0	
	PINT0	D	外部端口中断输入 0	
	ISPSDA	D	串行编程数据输入输出	
PA1/AIN1/KIN1/PINT1/ PWM1/ISPSCK	PA1	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	AIN1	A	ADC 模拟通道 1	
	KIN1	D	外部按键唤醒输入 1	
	PINT1	D	外部端口中断输入 1	
	PWM1	D	T8P1 PWM 输出	
ISPSCK	D	串行编程时钟输入		
	PA2	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	AIN2	A	ADC 模拟通道 2	
	KIN2	D	外部按键唤醒输入 2	
PWM2	D	T8P2 PWM 输出		
PA3/KIN3/VPP	PA3	D	通用 I	可单独使能弱上拉
	KIN3	D	外部按键唤醒输入 3	
	VPP	A	OTP 编程高压输入	
PA4/KIN4/OSC2/CLKO	PA4	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	KIN4	D	外部按键唤醒输入 4	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	Fosc/16 参考时钟输出	
PA5/KIN5/OSC1/CLKI	PA5	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	KIN5	D	外部按键唤醒输入 5	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	时钟输入	
PA6/KIN6/PINT2/PWM1	PA6	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	KIN6	D	外部按键唤醒输入 6	
	PINT2	D	外部端口中断输入 2	
	PWM1	D	T8P1 PWM 输出	
PA7/AIN5/KIN7/PINT3	PA7	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	AIN5	A	ADC 模拟通道 5	
	KIN7	D	外部按键唤醒输入 7	
	PINT3	D	外部端口中断输入 3	

[续]

管脚名	管脚复用	A/D	端口说明	备注
PB0/AIN3/VREFN/PWM1	PB0	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	AIN3	A	ADC 模拟通道 3	
	VREFN	A	ADC 外部参考电压负端	
	PWM1	D	T8P1 PWM 输出	
PB1/AIN4/VREFP/PWM2	PB1	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	AIN4	A	ADC 模拟通道 4	
	VREFP	A	ADC 外部参考电压正端	
	PWM2	D	T8P2 PWM 输出	
PB2/PWM1	PB2	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	PWM1	D	T8P1 PWM 输出	
PB3/PWM2	PB3	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端口
	PWM2	D	T8P2 PWM 输出	
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字;

注 2: 除 PA3 外, 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动, PA3 为 TTL 输入;

注 3: T8P1 的 PWM 输出可配置成 4 个管脚中的一个输出;

注 4: T8P2 的 PWM 输出可配置成 3 个管脚中的一个输出。

第 2 章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 系统时钟工作频率最高为 16MHz
 - ◇ 机器周期为 2 个系统时钟周期
 - ◇ 支持中断处理，共 10 个中断源

2.2 系统时钟和机器周期

本芯片系统时钟频率最高支持 16MHz。通过片内时钟生成器产生两个不重叠的正交时钟 phase1 (p1)，phase2 (p2)。两个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 HR7P 系列 79 条精简指令集系统。

除了部分条件跳转与控制程序流程的指令为双（机器）周期指令，其他指令均为单（机器）周期指令。若芯片系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

具体指令集请参考《附录 指令集》。

2.4 特殊功能寄存器

寄存器名称		程序状态字寄存器 (PSW)	
地址	FF84 _H		
复位值	x00x xxxx		
C	bit0	R/W	全进位或全借位标志位 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	半进位或半借位标志位 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
OV	bit3	R/W	溢出标志位 0: 无溢出 1: 溢出
N	bit4	R/W	负数标志位 0: 正数 1: 负数
OF	bit5	R	程序压栈溢出标志位 0: 程序压栈未溢出 1: 程序压栈溢出
UF	bit6	R	程序出栈溢出标志位 0: 程序出栈未溢出 1: 程序出栈溢出
-	bit7	-	-

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。
注 2: OF 和 UF 位为只读标志位, 仅上电复位和复位指令会将其清零, 其他复位不影响该两位标志位。

寄存器名称		A 寄存器 (AREG)	
地址	FF85 _H		
复位值	xxxx xxxx		
A	bit7-0	R/W	A 寄存器

寄存器名称		程序计数器<7:0> (PCRL)	
地址	FF8B _H		
复位值	0000 0000		
PCRL	bit7-0	R/W	程序计数器低 8 位

寄存器名称	程序计数器<15:8> (PCRH)		
地址	FF8C _H		
复位值	0000 0000		
PCRH	bit1-0	R/W	程序计数器高 2 位
-	bit7-2	-	-

第 3 章 存储资源

3.1 程序存储器

3.1.1 概述

本芯片程序存储器为 1K Words OTP，地址范围 000_H~3FF_H，其中 3E0_H~3FF_H 为保留区。

寻址到保留区会执行 NOP 指令，然后程序计数器 PC 回到地址 000_H。

复位向量位于 000_H，中断向量入口地址位于 004_H。

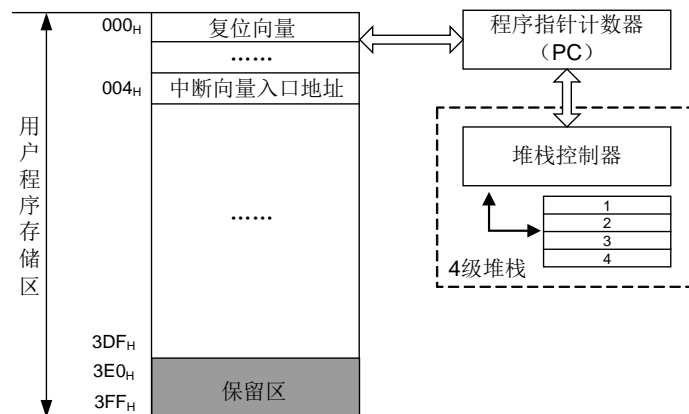


图 3-1 HR7P155 程序区地址映射和堆栈示意图

3.1.2 程序计数器 (PC)

10 位程序计数器 PC<9:0>。本芯片最大可寻址 1K Words 程序存储空间 000_H ~ 3FF_H，寻址到保留区会执行 NOP 指令，然后程序计数器 PC 回到地址 000_H。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 2 位不能直接读写，只能通过 PCRH 寄存器来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<9:8>=PCRH<1:0>，因此，修改 PC 时，应先修改 PCRH<1:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<9:8>=PCRH<1:0>。
3. 执行 CALL, GOTO 指令时，PC<9:0>为指令中 10 位立即数 I（操作数）。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<9:0>被修改为该 16 位立即数 I 的值的低 10 位；同时 PCRH<1:0>被修改为 I<9:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<9:0> 被修改为该 16 位立即数 I 的值低 10 位，同时 PCRH<1:0>修改为 I<9:8>的值。
6. 执行 PAGE 指令时，PCRH<7:3>的值将被该指令的立即数 I 替换。（本芯片的程序存储器大小为 1K Words，因此 PCRH<7:3>被固定为全零，执行 PAGE 指令后 PC 值不受影响）

7. 执行其他指令时，PC 值自动加 1。

3.1.3 程序堆栈

芯片内有 4 级程序堆栈（硬件堆栈），堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

程序堆栈只支持 4 级缓冲操作，即程序堆栈只保存最近的 4 次压栈值，对于连续超过 4 次的压栈操作，第 5 次的压栈数据使得第 1 次的压栈数据被覆盖。同样，超过 4 次的连续出栈，第 5 次出栈操作，可能使得程序流程不可控。

3.1.4 程序存储器查表操作

3.1.4.1 概述

程序存储器查表操作只支持查表读操作。

查表读操作通过查表读指令将 FRA（FRAH，FRAL）所指向的程序存储器地址中的一个字（Word）读入 ROMD（ROMDH，ROMDL）中。

3.1.4.2 操作例程

应用例程 1：程序存储器查表读。

```
MOVI    0x05           ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0X01
MOVA    FRAH
TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
```

3.1.5 特殊功能寄存器

寄存器名称	程序存储器查表地址寄存器<7:0> (FRAL)		
地址	FF87 _H		
复位值	XXXX XXXX		
FRAL	bit7-0	R/W	程序存储器查表地址低 8 位

寄存器名称	程序存储器查表地址寄存器<15:8> (FRAH)		
地址	FF88 _H		
复位值	XXXX XXXX		
FRAH	bit7-0	R/W	程序存储器查表地址高 8 位

寄存器名称	程序存储器查表数据寄存器<7:0> (ROMDL)		
地址	FF89 _H		
复位值	XXXX XXXX		
ROMDL	bit7-0	R/W	程序存储器查表数据低 8 位

寄存器名称	程序存储器查表数据寄存器<15:8> (ROMDH)		
地址	FF8A _H		
复位值	XXXX XXXX		
ROMDH	bit7-0	R/W	程序存储器查表数据高 8 位

3.2 数据存储器

3.2.1 概述

本芯片的数据存储器由 2 部分组成,通用数据存储器 GPR 和特殊功能寄存器 SFR。

GPR 只有 1 个存储体组, 地址范围 0000_H~003F_H。

SFR 支持 128 个特殊寄存器, 地址范围 FF80_H~FFFF_H。

数据存储器支持 3 种寻址方式: 直接寻址、GPR 特殊寻址和间接寻址。

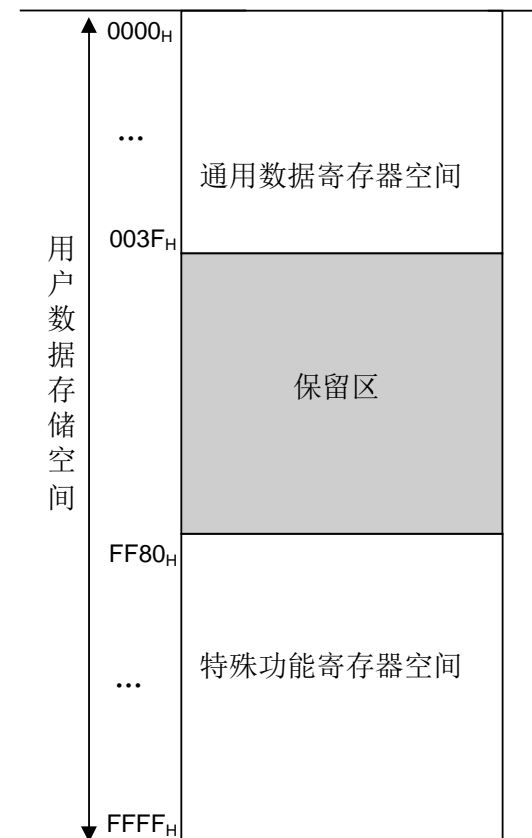


图 3-2 数据区地址映射示意图

3.2.2 寻址方式

3.2.2.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于在 GPR 和 SFR 中寻址。当指令中的 8 位地址信息 $R<7:0>$ 小于 $80H$ 时，直接寻址 GPR 映射区。当 $R<7:0>$ 大于或等于 $80H$ 时，直接寻址 SFR 映射区。

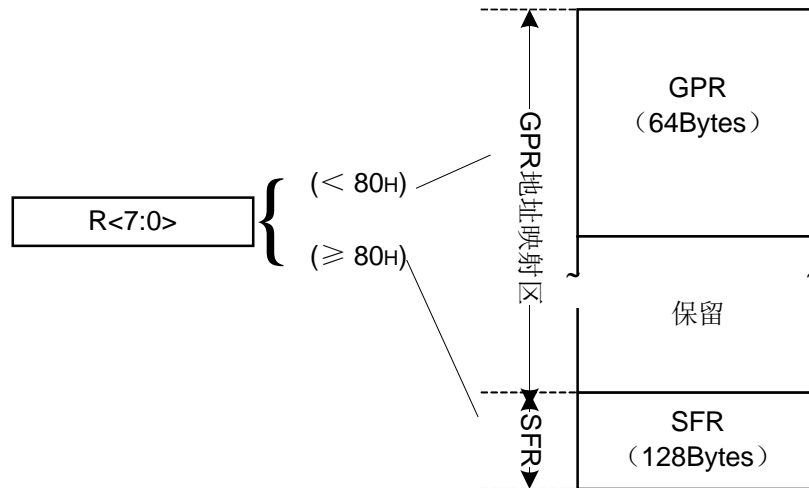


图 3-3 普通直接寻址示意图

3.2.2.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读/写操作，指令中支持 11 位地址信息 ($R<10:0>$)，可寻址 2K 字节地址空间。由于本芯片 GPR 存储区的大小为 64 字节，GPR 特殊寻址时，高 5 位地址实际为 0。MOVAR 和 MOVRA 指令无法访问 SFR。

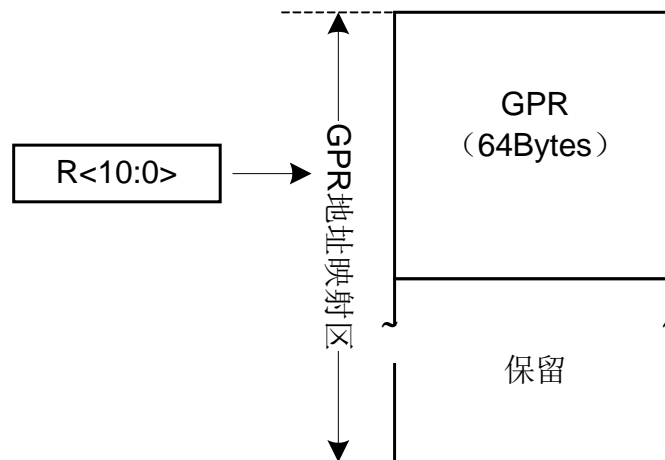


图 3-4 GPR 特殊寻址示意图

3.2.2.3 间接寻址

8 位 IAAH 和 8 位 IAAL 组成 16 位间接寻址索引寄存器，寻址空间 0000_H~ FFFF_H。通过对间接寻址数据寄存器 IAD 的读写操作，完成间接寻址操作。

由于 IAD 这个寄存器自身也有物理地址 FF80_H。因此，IAD 也是可以被间接寻址的，只是当用间接寻址的方式读寄存器 IAD 时，读出的值始终为 00_H，而写入则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对间接寻址索引寄存器 IAAH/IAAL 进行偏移计算。该指令支持 8 位有符号立即数，即偏移范围-128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

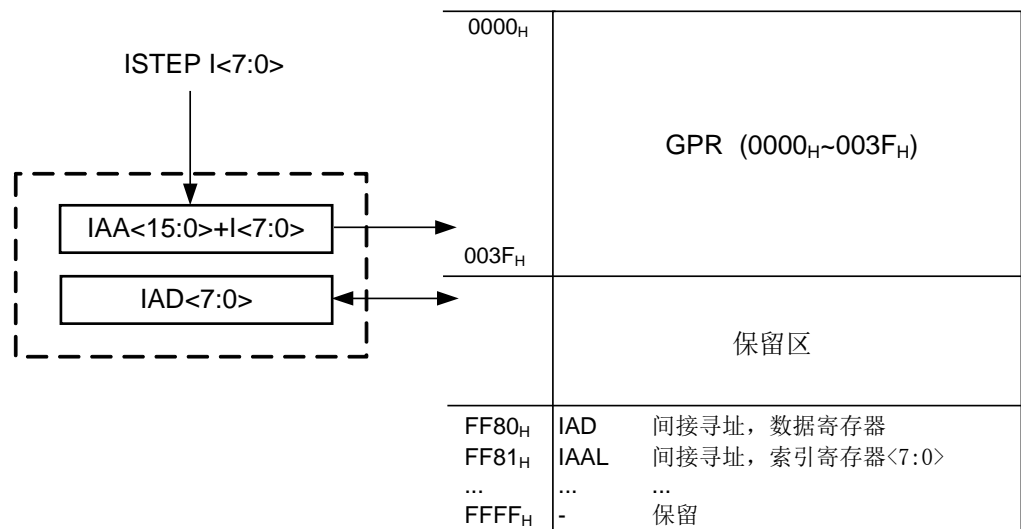


图 3-5 间接寻址示意图

3.2.3 特殊功能寄存器地址分配表

地址	寄存器名称	功能说明	备注
FF80 _H	IAD	间接寻址数据寄存器	内核控制区
FF81 _H	IAAL	间接寻址索引寄存器<7:0>	
FF82 _H	IAAH	间接寻址索引寄存器<15:8>	
FF83 _H	-	-	
FF84 _H	PSW	程序状态字寄存器	
FF85 _H	AREG	A 寄存器	
FF86 _H	-	-	
FF87 _H	FRAL	程序存储器查表地址寄存器<7:0>	
FF88 _H	FRAH	程序存储器查表地址寄存器<15:8>	
FF89 _H	ROMDL	程序存储器查表数据寄存器<7:0>	
FF8A _H	ROMDH	程序存储器查表数据寄存器<15:8>	
FF8B _H	PCRL	程序计数器<7:0>	
FF8C _H	PCRH	程序计数器<15:8>	
FF8D _H	-	-	
FF8E _H	PA	PA 端口电平状态寄存器	
FF8F _H	PAT	PA 端口输入输出控制寄存器	
FF90 _H	PB	PB 端口电平状态寄存器	
FF91 _H	PBT	PB 端口输入输出控制寄存器	
FF92 _H	-	-	
FF93 _H	-	-	
FF94 _H	-	-	
FF95 _H	-	-	
FF96 _H	N_PAU	PA 端口弱上拉控制寄存器	
FF97 _H	N_PBU	PB 端口弱上拉控制寄存器	
FF98 _H	-	-	
FF99 _H	PALC	PA 端口驱动能力控制寄存器	
FF9A _H	PBLC	PB 端口驱动能力控制寄存器	
FF9B _H	-	-	
FF9C _H	ANS	IO 端口数模选择寄存器	
FF9D _H	INTF0	中断标志寄存器 0	中断控制区
FF9E _H	INTE0	中断使能寄存器 0	
FF9F _H	INTC0	中断控制寄存器 0	
FFA0 _H	INTG	中断全局寄存器	
FFA1 _H	LVDC	低电压检测寄存器	
FFA2 _H	INTF1	中断标志寄存器 1	
FFA3 _H	INTE1	中断使能寄存器 1	
FFA4 _H	INTC1	中断控制寄存器 1	

[续]

地址	寄存器名称	功能说明	备注
FFA5 _H	OSCCAL	内部 16MHz 时钟校准寄存器	特殊功能控制区
FFA6 _H	WDTCAL	内部 32KHz 时钟校准寄存器	
FFA7 _H	PWRC	电源状态控制寄存器	
FFA8 _H	OSCC	时钟控制寄存器	
FFA9 _H	WKDC	唤醒延时控制寄存器	
FFAA _H	OSCP	时钟控制写保护寄存器	
FFAB _H	WDTC	WDT 控制寄存器	
FFAC _H	PWEN	功耗控制寄存器	
FFAD _H	-	-	
FFAE _H	-	-	
FFAF _H	-	-	外设控制区
FFB0 _H	-	-	
FFB1 _H	-	-	
FFB2 _H	T8P1	T8P1 计数器	
FFB3 _H	T8P1C	T8P1 控制寄存器	
FFB4 _H	T8P1P	T8P1 周期寄存器	
FFB5 _H	T8P1RL	T8P1 精度寄存器	
FFB6 _H	T8P1RH	T8P1 精度缓冲寄存器	
FFB7 _H	T8P1OC	T8P1 输出控制寄存器	
FFB8 _H	T8P2	T8P2 计数器	
FFB9 _H	T8P2C	T8P2 控制寄存器	
FFBA _H	T8P2P	T8P2 周期寄存器	
FFBB _H	T8P2RL	T8P2 精度寄存器	
FFBC _H	T8P2RH	T8P2 精度缓冲寄存器	
FFBD _H	T8P2OC	T8P2 输出控制寄存器	
FFBE _H	-	-	
FFBF _H	-	-	
FFC0 _H	-	-	
FFC1 _H	-	-	
FFC2 _H	-	-	
FFC3 _H	-	-	
FFC4 _H	-	-	
FFC5 _H	-	-	
FFC6 _H	ADCCL	ADC 控制寄存器<7:0>	
FFC7 _H	ADCCH	ADC 控制寄存器<15:8>	
FFC8 _H	ADCRL	ADC 转换结果寄存器<7:0>	
FFC9 _H	ADCRH	ADC 转换结果寄存器<15:8>	

[续]

地址	寄存器名称	功能说明	备注
FFCA _H	-	-	外设控制区
FFCB _H	-	-	
FFCC _H	-	-	
FFCD _H	-	-	
FFCE _H	-	-	
FFCF _H	CALPROT	校准值保护寄存器	
FFD0 _H ~FFFF _H	-	-	

3.2.4 特殊功能寄存器

寄存器名称	间接寻址数据寄存器 (IAD)		
地址	FF80 _H		
复位值	0000 0000		
IAD	bit7-0	R/W	间接寻址数据

寄存器名称	间接寻址索引寄存器<7:0> (IAAL)		
地址	FF81 _H		
复位值	0000 0000		
IAAL	bit7-0	R/W	间接寻址索引低 8 位

寄存器名称	间接寻址索引寄存器<15:8> (IAAH)		
地址	FF82 _H		
复位值	0000 0000		
IAAH	bit7-0	R/W	间接寻址索引高 8 位

第 4 章 输入/输出端口

4.1 概述

本芯片支持一个输入端口和 11 个双向 I/O 端口。

一个输入端口 PA3 是 TTL 输入，不受特殊功能寄存器 PAT 控制。其它所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。每个端口都有相应的特殊功能寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚说明》章节。

4.2 结构框图

管脚	0	1	2	3	4	5	6	7	备注
PA	A	A	A	B	A	A	A	A	-
PB	A	A	A	A	-	-	-	-	-

表 4-1 I/O 端口结构信息表

注 1: A 表示端口结构图 A; B 表示输入端口结构。

注 2: PA3 端口对应的 PAT 控制位始终为 1，即 PA3 只能作输入用。

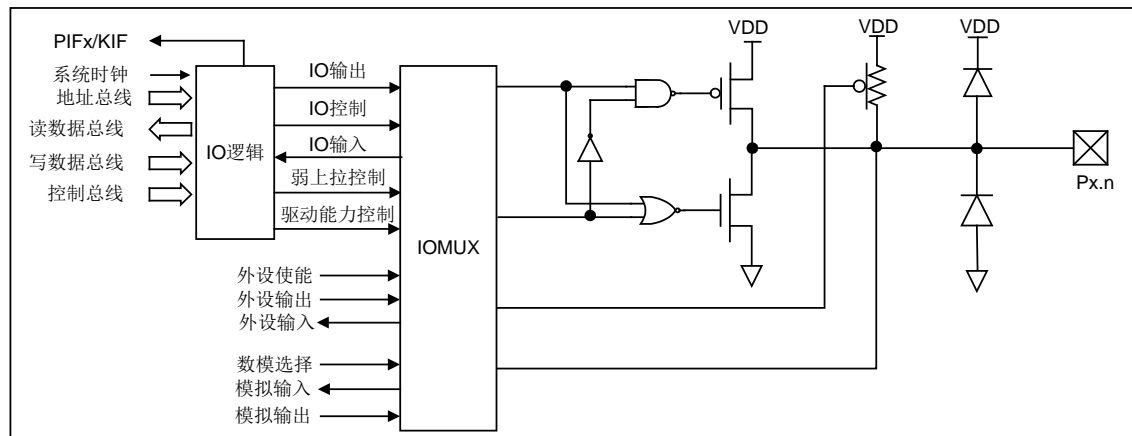


图 4-1 输入/输出端口结构图 A

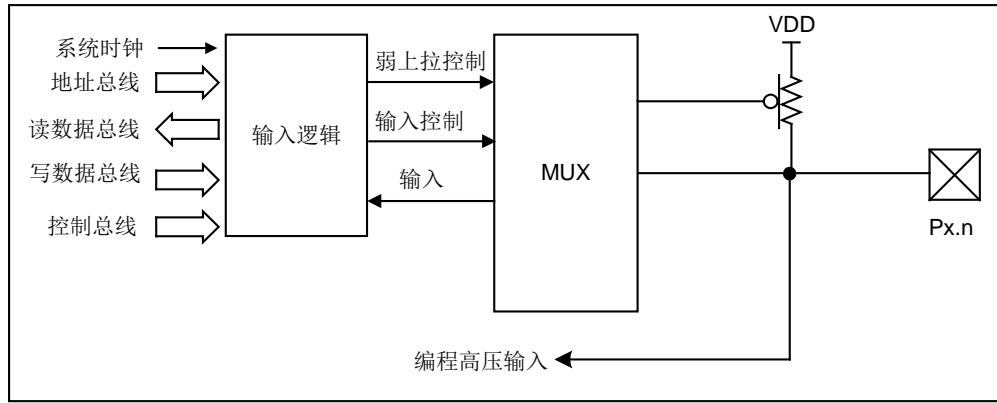


图 4-2 输入/输出端口结构图 B

4.3 I/O 端口弱上拉

PA 和 PB 端口可软件独立配置弱上拉。只有 PA3 端口默认弱上拉使能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	-	-	-	-

表 4-2 I/O 端口弱上拉

4.4 I/O 端口驱动能力

除 PA3 外，其它 PA 和 PB 端口可软件独立配置强、弱两种不同的驱动能力。默认为弱驱动能力端口。驱动能力的大小，参考《电气特性》章节。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	不支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	-	-	-	-

表 4-3 I/O 端口强驱动能力

4.5 外部按键中断 (KINT)

外部端口支持 1 组外部按键中断。按键中断支持最多 8 个按键输入端 $KIN<7:0>$ ，每个输入端可以由相应的 $INTC0<7:0>$ 屏蔽。外部按键中断由相应的 KIE 使能，任何其中一个未屏蔽的按键变化将影响中断标志 KIF。

PA0~PA7 端口电平变化可以产生中断，在端口电平变化中断使能的情况下，输入端口 PA0~PA7 与锁存器上的最后输入值进行比较，如果不匹配则引起中断，中断标志位置 1，此中断能将芯片从睡眠状态唤醒。

用户可在中断服务中用软件清除该中断标志，操作过程如下：

- 1) 对 PA 端口进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位。

在按键中断使能 ($KMSKx=1$, $KIE=1$) 前，先对 PA 端口进行读或者写操作，然后清

除中断标志位，以免误产生中断。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PA0	KIN0	KMSK0	KINT	KIE	KIF
PA1	KIN1	KMSK1			
PA2	KIN2	KMSK2			
PA3	KIN3	KMSK3			
PA4	KIN4	KMSK4			
PA5	KIN5	KMSK5			
PA6	KIN6	KMSK6			
PA7	KIN7	KMSK7			

表 4-4 外部按键中断

4.6 外部端口中断 (PINT)

外部端口支持 4 个外部端口中断。外部端口中断由相应的 PIE_x 使能，通过 PEG_x 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF_x。

管脚名	中断名	中断使能	端口输入	边沿选择	中断标志
PA0	PINT0	PIE0	PINT0	PEG0	PIF0
PA1	PINT1	PIE1	PINT1	PEG1	PIF1
PA6	PINT2	PIE2	PINT2	PEG2	PIF2
PA7	PINT3	PIE3	PINT3	PEG3	PIF3

表 4-5 外部端口中断

4.7 特殊功能寄存器

寄存器名称		PA 端口电平状态寄存器 (PA)	
地址		FF8E _H	
复位值		XXXX XXXX	
PA<7:0>	bit7-0	R/W	PA 口电平状态 0: 低电平 1: 高电平

寄存器名称		PB 端口电平状态寄存器 (PB)	
地址		FF90 _H	
复位值		0000 xxxx	
PB<3:0>	bit3-0	R/W	PB 口电平状态 0: 低电平 1: 高电平
-	bit7-4	-	-

寄存器名称		PA 端口输入输出控制寄存器 (PAT)	
地址		FF8F _H	
复位值		1111 1111	
PAT<2:0>	bit2-0	R/W	PA2~PA0 口输入输出状态选择位 0: 输出状态 1: 输入状态
PAT3	bit3	R	硬件固定为 1, 该端口只能用作输入
PAT<5:4>	bit5-4	R/W	PA5~PA4 口输入输出状态选择位 (复用为外部振荡端口时, 硬件固定为输入状态) 0: 输出状态 1: 输入状态
PAT<7:6>	bit7-6	R/W	PA7~PA6 口输入输出状态选择位 0: 输出状态 1: 输入状态

寄存器名称		PB 端口输入输出控制寄存器 (PBT)	
地址		FF91 _H	
复位值		0000 1111	
PBT<3:0>	bit3-0	R/W	PB 口输入输出状态选择位 0: 输出状态 1: 输入状态
-	bit7-4	-	-

寄存器名称		PA 端口弱上拉控制寄存器 (N_PAU)	
地址		FF96 _H	
复位值		1111 0111	
N_PAPU<7:0>	bit7-0	R/W	PA 口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能

寄存器名称		PB 端口弱上拉控制寄存器 (N_PBU)	
地址		FF97 _H	
复位值		0000 1111	
N_PBPU<3:0>	bit3-0	R/W	PB 口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能
-	bit7-4	-	-

寄存器名称		PA 端口大电流控制寄存器 (PALC)	
地址		FF99 _H	
复位值		0000 0000	
PALC<2:0>	bit2-0	R/W	PA2-0 口大电流控制位 0: 禁止大电流驱动 1: 使能大电流驱动
-	bit3	-	-
PALC<7:4>	bit7-4	R/W	PA7-4 口大电流控制位 0: 禁止大电流驱动 1: 使能大电流驱动

寄存器名称		PB 端口大电流控制寄存器 (PBLC)	
地址		FF9A _H	
复位值		0000 0000	
PBLC<3:0>	bit3-0	R/W	PB 口大电流控制位 0: 禁止大电流驱动 1: 使能大电流驱动
-	bit7-4	-	-

寄存器名称	I/O 端口数模选择寄存器 (ANS)		
地址	FF9C _H		
复位值	0000 0000		
ANPA0	bit0	R/W	PA0 端口数模选择位(AIN0) 0: 模拟端口 1: 数字端口
ANPA1	bit1	R/W	PA1 端口数模选择位(AIN1) 0: 模拟端口 1: 数字端口
ANPA2	bit2	R/W	PA2 端口数模选择位(AIN2) 0: 模拟端口 1: 数字端口
ANPB0	bit3	R/W	PB0 端口数模选择位(AIN3) 0: 模拟端口 1: 数字端口
ANPB1	bit4	R/W	PB1 端口数模选择位(AIN4) 0: 模拟端口 1: 数字端口
ANPA7	bit5	R/W	PA7 端口数模选择位(AIN5) 0: 模拟端口 1: 数字端口
-	bit7-6	-	-

第 5 章 外设

5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 2 路 PWM 时基定时器 (T8P1/2)。

5.1.1 两路 8 位 PWM 时基定时器 (T8P1/2)

5.1.1.1 概述

- T8Px 支持 2 种工作模式：定时器模式和 PWM 输出模式
- 时钟源为系统时钟 2 分频 ($F_{osc}/2$)
- T8Px 支持 2 个独立的 PWM 输出端口，并且 PWM 输出端口可配置
- T8Px 支持一个可配置预分频器和一个可配置后分频器
- T8Px 包括 8 位计数器(T8Px)，精度寄存器(T8PxRL)，精度缓冲寄存器(T8PxRH)和周期寄存器(T8PxP)
- T8Px 计数器的初值可任意配置
- T8Px 支持中断产生 T8PxIF (不同工作模式作用不同，必须软件清零)
- T8Px 在低功耗模式下不工作

5.1.1.2 内部结构图

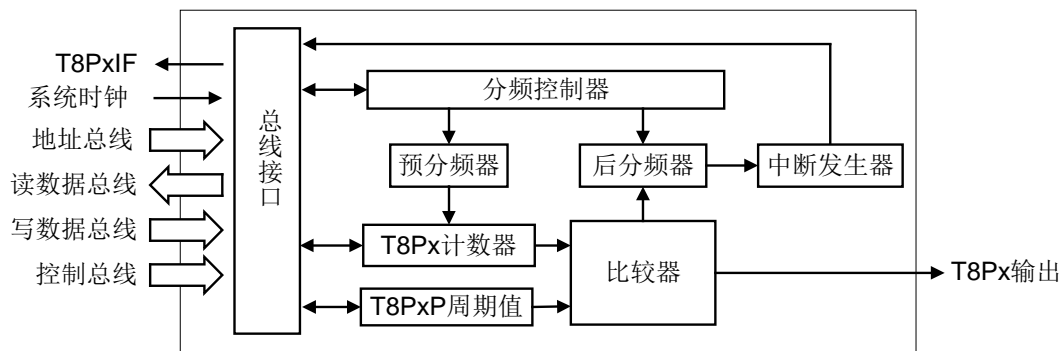


图 5-1 T8Px 内部结构图

5.1.1.3 预分频器和后分频器

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 1 次	0000
计数器与周期寄存器匹配 2 次	0001
计数器与周期寄存器匹配 3 次	0010
计数器与周期寄存器匹配 4 次	0011
计数器与周期寄存器匹配 5 次	0100
计数器与周期寄存器匹配 6 次	0101
计数器与周期寄存器匹配 7 次	0110
计数器与周期寄存器匹配 8 次	0111
计数器与周期寄存器匹配 9 次	1000
计数器与周期寄存器匹配 10 次	1001
计数器与周期寄存器匹配 11 次	1010
计数器与周期寄存器匹配 12 次	1011
计数器与周期寄存器匹配 13 次	1100
计数器与周期寄存器匹配 14 次	1101
计数器与周期寄存器匹配 15 次	1110
计数器与周期寄存器匹配 16 次	1111

表 5-1 T8Px 后分频器配置表

T8Px 定时器频率	T8PxPRS<1:0>
Fosc/2	00
Fosc/8	01
Fosc/32	1x

表 5-2 T8Px 预分频器配置表

注：T8Px 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Px 的控制寄存器或 T8Px 计数器都会把预分频器和后分频器清零。

5.1.1.4 工作模式

工作模式	T8PxM
定时器模式	0
PWM 输出模式	1

表 5-3 T8Px 工作模式配置表

5.1.1.5 定时器模式

T8PxM=0 时，T8Px 为定时器模式。

T8Px 计数器的时钟源为系统时钟 2 分频 $F_{osc}/2$ ，可选择预分频器对计数时钟进行分频。T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T8PxIF 置 1，该中断标志需要软件清零。当 T8PxIF 置 1 时，如果 T8PxIE 使能，且全局中断 GIE 使能，则产生 T8Px 中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8PxIF 位必须软件清零。在 CPU 进入休眠模式后，T8Px 停止工作。

5.1.1.6 PWM 输出模式

T8PxM=1 时，T8Px 为 PWM 输出模式，相应的 PWM 输出端口需软件设置为输出状态。

使能 PWM 输出模式后，首先从一个起始周期开始，起始周期完成后不断循环 PWM 周期。

起始周期

T8Px 在起始周期内从初始值递增计数到与周期寄存器 T8PxP 相等，此时将精度寄存器 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。起始周期内 PWM 输出状态不定。

PWM 周期

起始周期完成后，T8Px 从零开始重新递增计数，PWM 输出为 1，当 T8Px 与 T8PxRH 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T8Px 的计数值与 T8PxP 再次相等时，PWM 输出恢复为 1，同时将当前 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。T8Px 清零并重新开始计数，循环 PWM 周期。在 PWM 输出模式下，T8PxRH 寄存器只可读。

特别的，若精度缓冲寄存器 T8PxRH 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；若精度缓冲寄存器 T8PxRH 的值大于 T8PxP，则当前 PWM 周期内 PWM 输出始终为 1。

PWM 输出模式下，计数时钟源为系统时钟二分频 $F_{osc}/2$ ，并支持预分频器。此模式下，后分频器的设置不影响 PWM 输出周期和占空比；只影响 T8PxIF 中断标志位的产生，详见《T8Px 后分频器配置表》。

对于 PWM 输出，波形如下图所示：

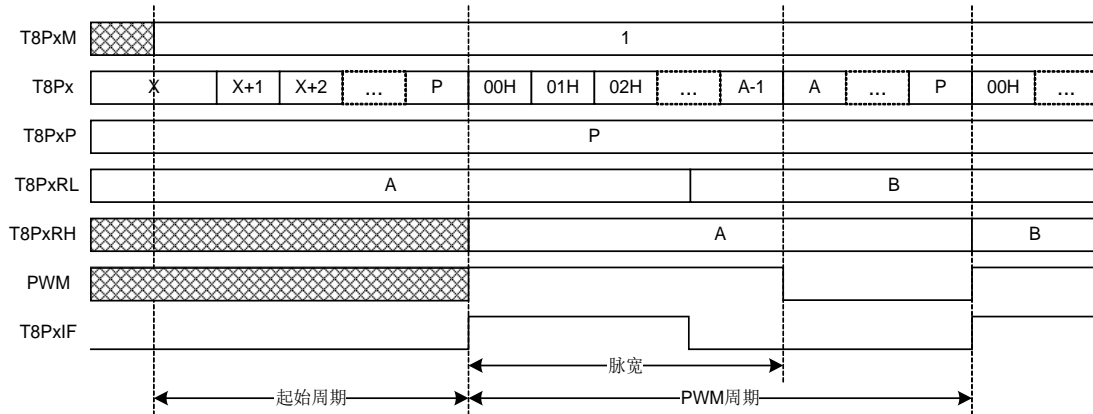


图 5-2 PWM 输出模式示意图

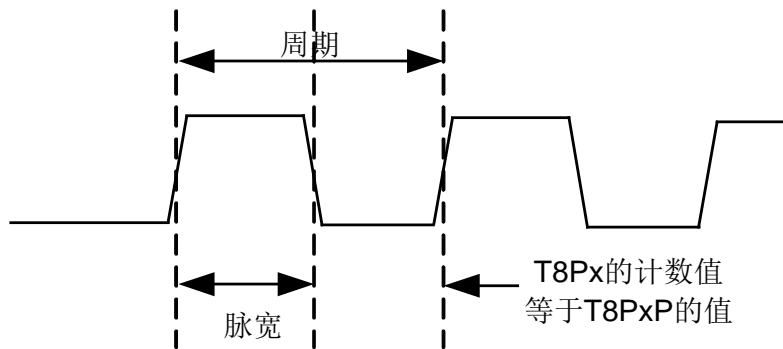


图 5-3 PWM 输出示意图

PWM 计算公式如下:

$$\text{PWM 周期} = [(T8PxP)+1] \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = T8PxRL \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式:

$$\text{分辨率} = \frac{\log(\frac{F_{osc}/2}{F_{pwm} * F_{ckps}})}{\log 2} \text{ 位}$$

注 1: $T_{osc} = 1/F_{osc}$, $F_{pwm} = 1/(\text{PWM 周期})$, F_{ckps} 为 T8px 预分频比

5.1.1.7 特殊功能寄存器

寄存器名称		T8Px 计数器 (T8P1/T8P2)	
地址	T8P1: FFB2 _H T8P2: FFB8 _H		
复位值	0000 0000		
T8Px<7:0>	bit7-0	R/W	T8Px 计数器 00 H ~ FF H

寄存器名称		T8PxP 周期寄存器 (T8P1P/T8P2P)	
地址	T8P1P: FFB4 _H T8P2P: FFBA _H		
复位值	1111 1111		
T8PxP<7:0>	bit7-0	R/W	T8Px 周期寄存器 00 H ~ FF H

寄存器名称		T8Px 精度寄存器 (T8P1RL/T8P2RL)	
地址	T8P1RL: FFB5 _H T8P2RL: FFBB _H		
复位值	0000 0000		
T8PxRL<7:0>	bit7-0	R/W	8 位精度寄存器 00 _H ~ FF _H

寄存器名称		T8Px 精度缓冲寄存器 (T8P1RH/T8P2RH)	
地址	T8P1RH: FFB6 _H T8P2RH: FFBC _H		
复位值	0000 0000		
T8PxRH<7:0>	bit7-0	R	8 位精度缓冲寄存器 00 _H ~ FF _H

注：在 PWM 输出模式下，此寄存器不可写；当 PWM 功能关闭时，此寄存器可写。

寄存器名称		T8PxC 控制寄存器 (T8P1C/T8P2C)	
地址	T8P1C: FFB3 _H T8P2C: FFB9 _H		
复位值	0000 0000		
T8PxPRS<1:0>	bit1-0	R/W	T8Px 预分频器分频比选择位 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16
T8PxE	bit2	R/W	T8Px 使能位 0: 关闭 T8P1 1: 使能 T8P1
T8PxPOS<3:0>	bit6-3	R/W	T8Px 后分频器分频比选择位 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16
T8PxM	bit7	R/W	T8Px 工作模式选择位 0: 定时器模式 1: PWM 输出模式

寄存器名称		T8P1 输出控制寄存器 (T8P1OC)	
地址	FFB7 _H		
复位值	0000 0000		
T8P1EN<1:0>	bit1-0	R/W	T8P1 的 PWM 输出管脚选择位 00: PA<1>输出 PWM 01: PB<0>输出 PWM 10: PA<6>输出 PWM 11: PB<2>输出 PWM
-	bit7-2	-	-

寄存器名称		T8P2 输出控制寄存器 (T8P2OC)	
地址	FFBD _H		
复位值	0000 0000		
T8P2EN<1:0>	bit1-0	R/W	T8P2 的 PWM 输出管脚选择位 00: PA<2>输出 PWM 01: PB<1>输出 PWM 10: PB<3>输出 PWM 11: 保留
-	bit7-2	-	-

注: PWM 输出的端口, 必须软件设置其方向寄存器为输出状态。

5.2 模拟数字转换器(ADC)

5.2.1 概述

- 支持 12 位 ADC 采样精度
- 支持 12 位转换结果，可选择高位对齐或低位对齐格式
- 支持 6 个模拟输入端+2 个电源电压检测通道
- 支持 ADC 中断标志 ADIF
- 支持外部或内部参考电压可选择
- 支持电源电压检测，电源分压比可选
- 支持可配置 AD 转换时钟

5.2.2 内部结构图

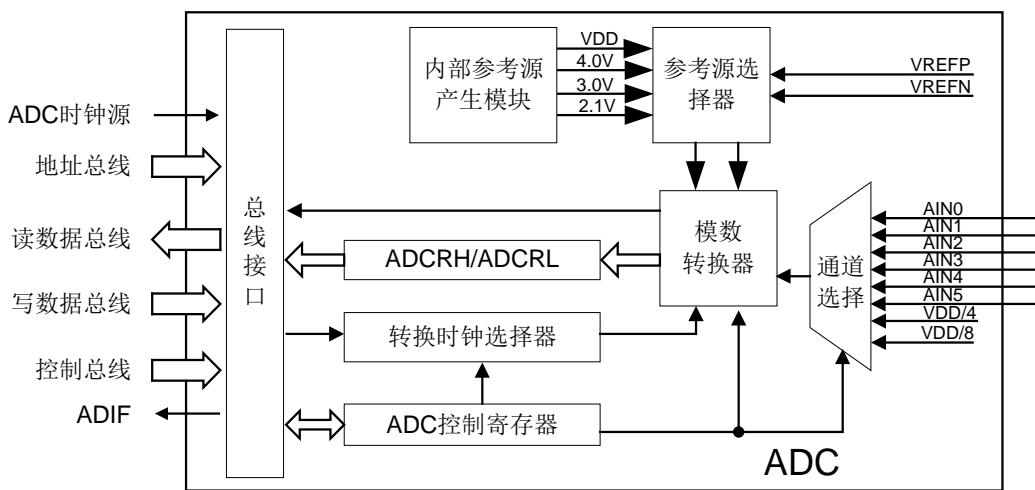
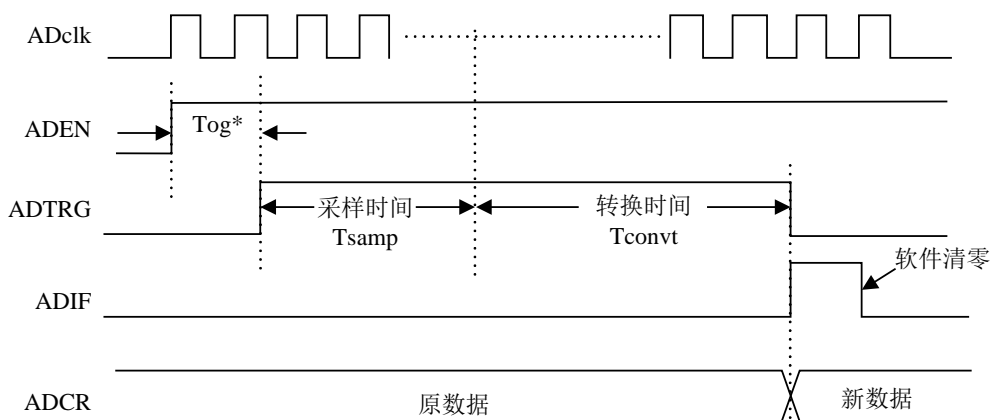


图 5-4 ADC 内部结构图

5.2.3 ADC时序特征示意图



注1: $T_{smp} = 1 \sim 15 T_{ADclk}$

注2: $T_{convt} = 17 T_{ADclk} + 2$ 个机器周期

图 5-5 ADC 时序特征示意图

注：在低速时钟模式下，使用 ADC 时，必须使能 BOR 或 LVD 模块。

5.2.4 参考例程

应用例程：对模拟输入通道 0 (AIN0 进行模数转换)

```
BCC    ANS,0           ; AIN0 所在端口配置为模拟端口
BCC    ADCCH, ADFM    ; 转换结果高位对齐放置
MOVI   0X01
MOVA   ADCCL           ; 使能 ADC 转换器，选中通道 0
BSS    ADCCL, ADTRG   ; 触发 ADC 转换
AD_WAIT
JBC    ADCCL, ADTRG   ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH, 0        ; 读取高 8 位转换结果
... ..
MOV    ADCRL, 0        ; 读取低 4 位转换结果
... ..
```

5.2.5 特殊功能寄存器

寄存器名称	ADC 转换结果寄存器<7:0> (ADCRL)		
地址	FFC8 _H		
复位值	XXXX XXXX		
ADCRL	bit7-0	R/W	A/D 转换结果低 8 位

寄存器名称	ADC 转换结果寄存器<15:8> (ADCRH)		
地址	FFC9 _H		
复位值	XXXX XXXX		
ADCRH	bit7-0	R/W	A/D 转换结果高 8 位

寄存器名称	ADC 控制寄存器<7:0> (ADCCL)		
地址	FFC6 _H		
复位值	0000 0000		
ADEN	bit0	R/W	ADC 转换使能位 0: 关闭 ADC 转换器 1: 使能 ADC 转换器
ADTRG	bit1	R/W	ADC 转换状态位 0: ADC 未进行转换, 或 ADC 转换已完成 1: ADC 转换正在进行, 该位置 1 启动 ADC 转换
ADCHS	bit4-2	R/W	ADC 模拟通道选择位 000: 通道 0 (AIN0) 001: 通道 1 (AIN1) 010: 通道 2 (AIN2) 011: 通道 3 (AIN3) 100: 通道 4 (AIN4) 101: 通道 5 (AIN5) 110: VDD/4 111: VDD/8
ADVREFS	bit7-5	R/W	参考源选择位 000: ADC 参考电压正端为 VDD,负端为 VSS 001: ADC 参考电压正端为 4.0V,负端为 VSS 010: ADC 参考电压正端为 3.0V,负端为 VSS 011: ADC 参考电压正端为 2.1V,负端为 VSS 100: ADC 参考电压正端为外部 VREFP,负端为 VSS 101: ADC 参考电压正端为外部 VREFP,负端为外部 VREFN 其他: 保留

寄存器名称	ADC 控制寄存器<15:8> (ADCCH)		
地址	FFC7 _H		
复位值	0000 1000		
ADST	bit3-0	R/W	ADC 采样时间选择位 0000: 禁止使用 0001~1111: ADC 采样时间分别对应 1~15 个 ADC 时钟(默认值为 8)
ADCS	bit6-4	R/W	ADC 时钟选择位 000: Fosc 001: Fosc/2 010: Fosc/4 011: Fosc/8 100: Fosc/16 101: Fosc/32 110: Fosc/64 111: 保留
ADFM	bit7	R/W	ADC 转换数据格式选择位 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>) 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)

第 6 章 特殊功能及操作特性

6.1 系统时钟与振荡器

6.1.1 概述

本芯片有两种时钟源，一种是外部时钟源，支持 4 种时钟模式，分别是 HS、XT、LP、RC 振荡器；另一种是内部时钟源，支持 2 种时钟模式，分别是内部高速 INTOSCH 16MHz 和低速 INTOSCL 32KHz RC 时钟。

系统时钟源可通过芯片配置字 $OSCS<2:0>$ 位和特殊功能寄存器 OSCC 决定。

高速系统时钟：外部 HS/XT/RC 时钟和内部 INTOSCH 16MHz 时钟

低速系统时钟：内部 INTOSCL 32KHz 时钟和外部 LP 振荡时钟

为了降低功耗，本芯片支持高、低速时钟切换。

6.1.2 时钟源

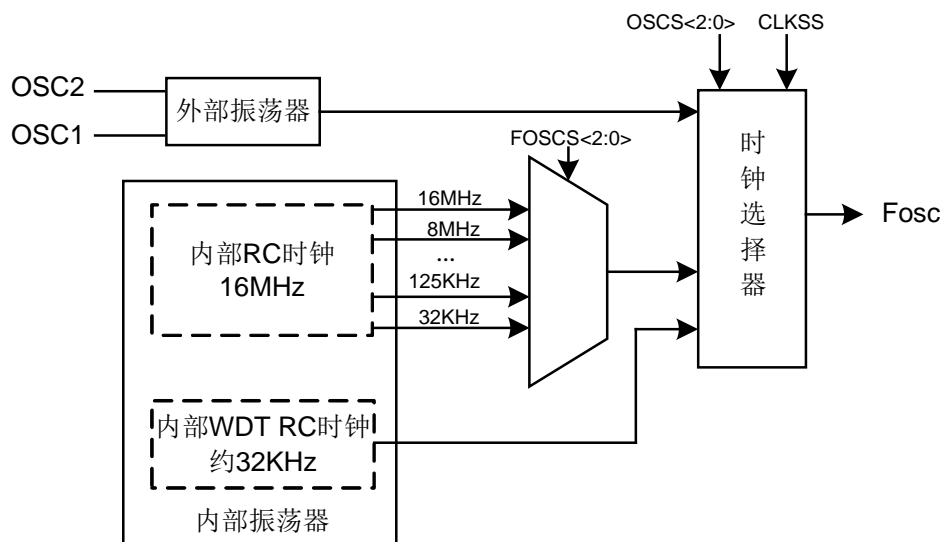


图 6-1 系统时钟切换图

6.1.2.1 外部时钟

外部时钟包括晶体/陶瓷振荡器模式（HS/XT/LP）和 RC 振荡器模式。

◇ 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

HS/XT 晶振起振稳定时间为 512 个系统时钟。LP 晶振设计为低功耗振荡，起振稳定时间可通过配置字 $PWRTSEL<1:0>$ 来配置。

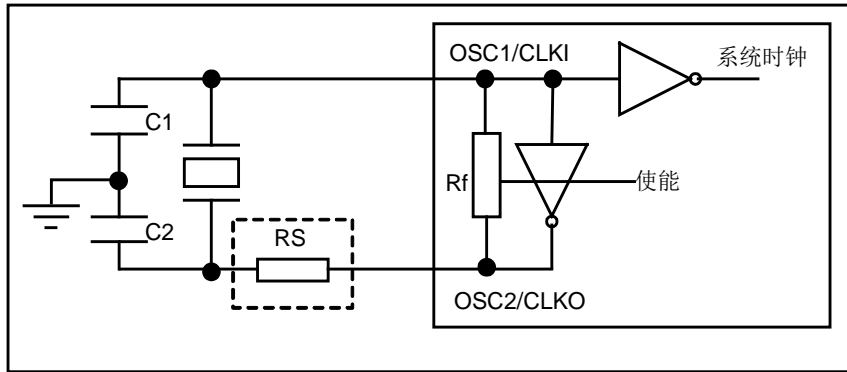


图 6-2 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 6-1 晶体振荡器电容参数参考表

注*：此数据可根据晶振频率大小、外围电路的不同作微调。

◇ RC 振荡器模式

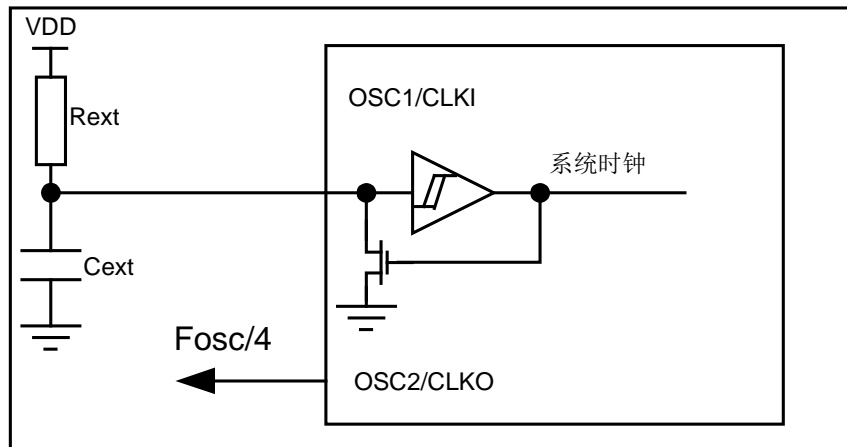


图 6-3 振荡器 RC/RCIO 模式等效电路图及外围参考图

	工作条件：-40~85℃ 2.5~5.5V
推荐外部电阻范围	15K ≤ Rext ≤ 100K
推荐外部电容范围	20pf ≤ Cext ≤ 300pf
推荐振荡频率范围	10KHz ≤ f ≤ 4MHz

表 6-2 外部 RC 模式推荐参数

6.1.2.2 内部时钟

本芯片包括两个内部 RC 时钟分别为 INTOSCH 16MHz 和 INTOSCL 32KHz。INTOSCH 16MHz 最低可分频至 32KHz，并且内部 INTOSCH 16MHz 时钟在出厂前，已经在常温条件下校准，校准精度为±2%。

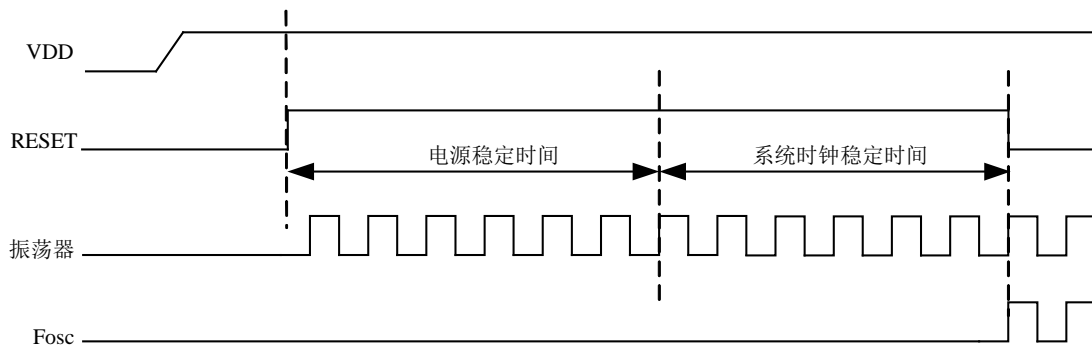
6.1.3 系统时钟切换

系统可软件设置寄存器位 CLKSS (OSCC<7>)，选择高、低速系统时钟。系统上电时，寄存器 CLKSS 的值默认为 0，工作在低速系统时钟模式下。

系统支持三种时钟切换：

- ◇ 内部高速 INTOSCH 16MHz 时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 INTOSCH 16MHz 模式
 - 设置寄存器 CLKSS，进行高、低速时钟切换
- ◇ 外部高速 HS/XT/RC 时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 HS、XT 或 RC 模式
 - 设置寄存器 CLKSS，进行高、低速时钟切换
- ◇ 外部低速 LP 振荡时钟与内部高速 INTOSCH 16MHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 LP 模式
 - 设置寄存器 CLKSS，进行高、低速时钟切换

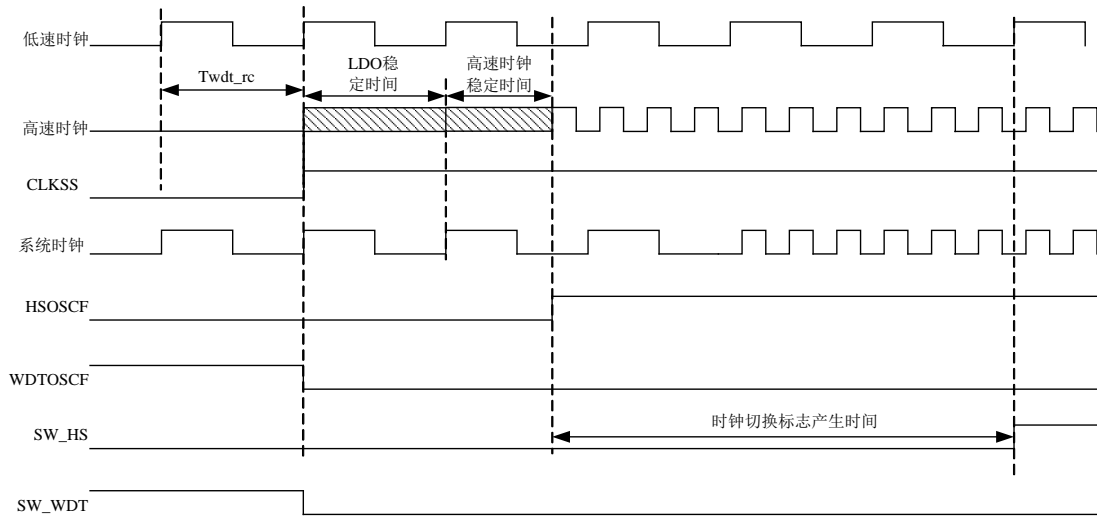
6.1.3.1 系统上电时序



- 注1、上电电源稳定时间为72ms，可以通过PWRTEB配置位进行屏蔽；
 注2、当OSCS<2:0>=000时，系统时钟稳定时间约1S左右；
 注3、当OSCS<2:0>=010,100,110,111时，系统时钟稳定时间为512个Tosc

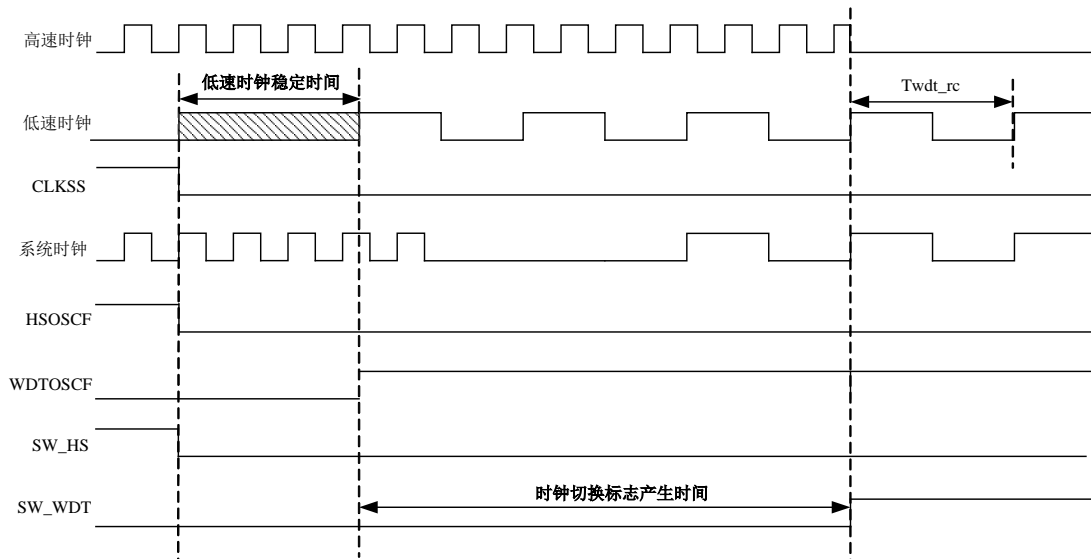
图 6-4 系统上电时序图

6.1.3.2 系统时钟切换时序



注1、LDO 稳定时间由PWRC寄存器的VRST位控制
 注2、高速时钟稳定时间：INTOSCH 16MHz为15个高速时钟周期，HS/XT为1024个高速时钟周期
 注3、时钟切换标志产生时间小于3个 T_{wdt_rc}

图 6-5 INTOSCL 时钟切换到 HS/XT/RC/INTOSCH 时钟时序图



注1、低速时钟稳定时间为12个低速时钟周期
 注2、时钟切换标志产生时间小于3个 T_{wdt_rc}

图 6-6 HS/XT/RC/INTOSCH 时钟切换到 INTOSCL 时钟时序图

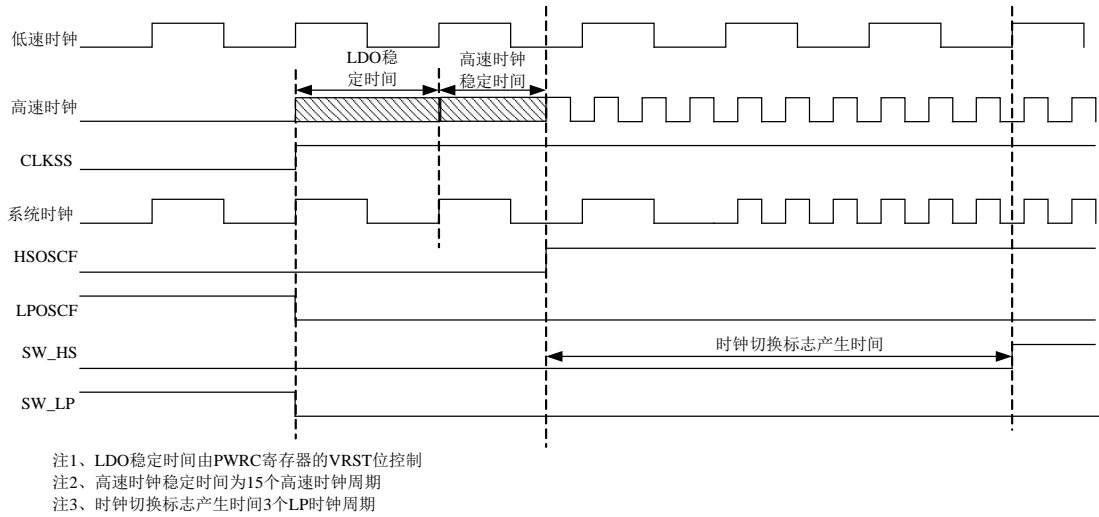


图 6-7 低速 LP 时钟切换到 INTOSCH 时钟时序图

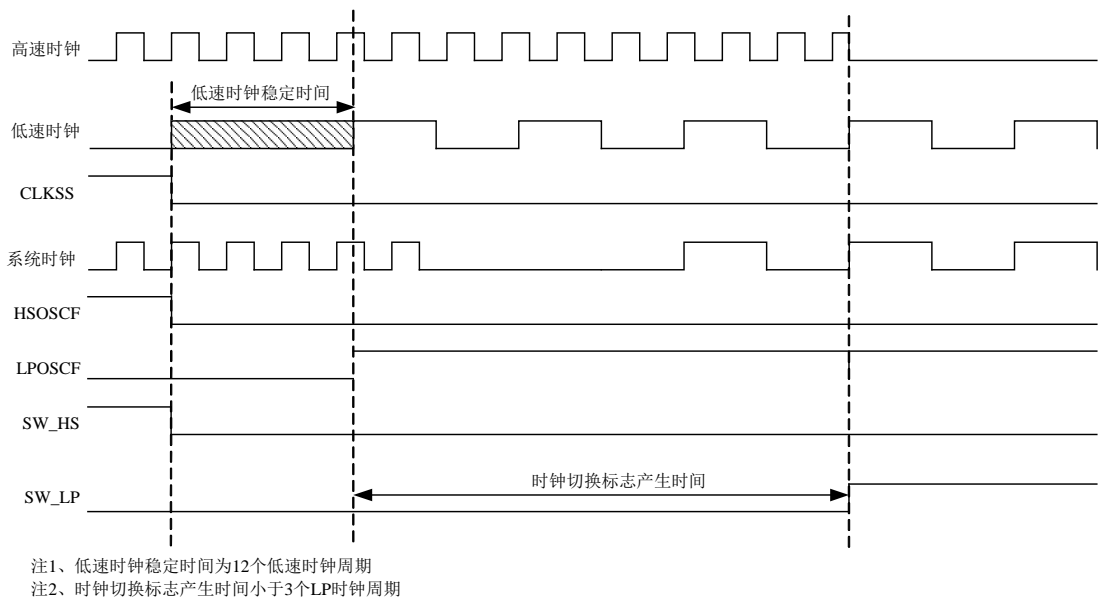


图 6-8 INTOSCH 时钟切换到低速 LP 时钟时序图

6.1.4 特殊功能寄存器

寄存器名称		校准值保护寄存器 (CALPROT)	
地址		FFCF _H	
复位值		0000 0001	
CALPROT	bit0	R/W	校准值保护位 1: 校准值处于保护状态 0: 校准值处于去除保护状态 当 CALPROT 寄存器写入 55h 时, 去除保护位, 其他任何写入都是使能保护位。
	-	bit7-1	-

注: CALPROT 保护的校准值寄存器为 OSCCAL, WDTCAL。

寄存器名称		内部 16MHz 时钟校准寄存器(OSCCAL)	
地址		FFA5 _H	
复位值		1010 1001	
OSCCAL<7:0>	bit7-0	R/W	内部 16MHz 频率调节位

注: 此寄存器受 CALPROT 寄存器保护。OSCCAL 寄存器主要是调整内部 16MHz 时钟的精度。在常温条件下, 出厂时已经校准到 16MHz。如果没有特别需求, 用户不需要设置此寄存器, 以免覆盖芯片默认的时钟校准值。

寄存器名称		内部 32KHz 时钟校准寄存器(WDTCAL)	
地址		FFA6 _H	
复位值		1000 0100	
WDTCAL<7:0>	bit7-0	R/W	内部 32KHz 频率调节位

注: 此寄存器受 CALPROT 寄存器保护。WDTCAL 寄存器主要是调整内部 32KHz 时钟的精度。在常温条件下, 出厂时已经校准到 32KHz。如果没有特别需求, 用户不需要设置此寄存器, 以免覆盖芯片默认的时钟校准值。

寄存器名称		时钟控制写保护寄存器 (OSCP)	
地址		FFAA _H	
复位值		1111 1111	
OSCP<7:0>	bit7-0	R/W	OSCP 为 55h 时, 可以改变 FOSCS 和 CLKSS 位。 当 FOSCS 和 CLKSS 被写时, OSCP 自动复位为 FFh。 OSCP 不为 55h 时, 对 FOSCS 和 CLKSS 的写操作将被忽略。

寄存器名称	时钟控制寄存器 (OSCC)		
地址	FFA8 _H		
复位值	0110 010x		
LPOSCF	bit0	R	时钟切换, 外部 LP 晶振稳定标志位 0: 未稳定 1: 稳定
HSOSCF	bit1	R	时钟切换, 高速时钟稳定标志位 0: 未稳定 1: 稳定
WDTOSCF	bit2	R	时钟切换, 内部 32KHz 稳定标志位 0: 未稳定 1: 稳定
-	bit3	-	-
FOSCS	bit6-4	R/W	内部系统时钟频率选择位 111: 16MHz 110: 8MHz 101: 4MHz 100: 2MHz 011: 1MHz 010: 500KHz 001: 125KHz 000: 32KHz
CLKSS	bit7	R/W	低速时钟与高速时钟切换选择位 当 OSCS<2:0>=000 时: 0: 外部低速 LP 32KHz 时钟源 1: 内部高速 INTOSCH 16M 时钟源 其它: 0: 内部低速 INTOSCL 32KHz 时钟源 1: 内部高速 INTOSCH 16M 或者外部高速 HS/XT/RC 时钟源

寄存器名称	功耗控制寄存器 (PWEN)		
地址	FFAC _H		
复位值	0100 0011		
SREN	bit0	R/W	低电压检测复位软件使能位 (此位需设置为 1)
RCEN	bit1	R/W	WDT 内部 RC 时钟使能位 (此位建议设置为 1) CLKSS=1: 0: 关闭 WDT 内部 RC 时钟 1: 使能 WDT 内部 RC 时钟 CLKSS=0: RCEN 固定为 1, 不可写
-	bit3-2	-	-
SW_LP	bit4	R	切换到外部 LP 晶振时钟标志位 0: 切换未完成 1: 切换完成
SW_HS	bit5	R	切换到 HS/XT/RC/INTOSCH 16MHz 高速时钟标志位 0: 切换未完成 1: 切换完成
SW_WDT	bit6	R	切换到内部低速 32KHz 时钟标志位 0: 切换未完成 1: 切换完成
-	bit7	-	-

注 1: 如果需要频繁进行高、低速系统时钟切换, 必须进行相应切换完成标志位 SW_LP、SW_HS 和 SW_WDT 的判断。

6.2 看门狗定时器

6.2.1 概述

当 WDT 内部 RC 时钟使能位 RCEN=1 时，如果配置字看门狗使能位 WDTEN=1，看门狗使能；如果 WDTEN=0，看门狗禁止。

当 WDT 内部 RC 时钟使能位 RCEN=0 时，看门狗禁止。

当看门狗超时溢出时，芯片复位或者唤醒 IDLE 模式。使用 CWDT 指令可将 WDT 计数器清零。WDT 支持一个预分频器，对 WDT 输入时钟进行预分频，再将分频后的时钟信号作为 WDT 定时器的计数时钟。在预分频器分频比为 1:2 时，WDT 使用内部 WDT 时钟进行计数，常温下时钟频率约为 32KHz，计数溢出时间约为 16ms。当禁止预分频器时，WDT 的计数溢出时间约为 8ms。

6.2.2 内部结构图

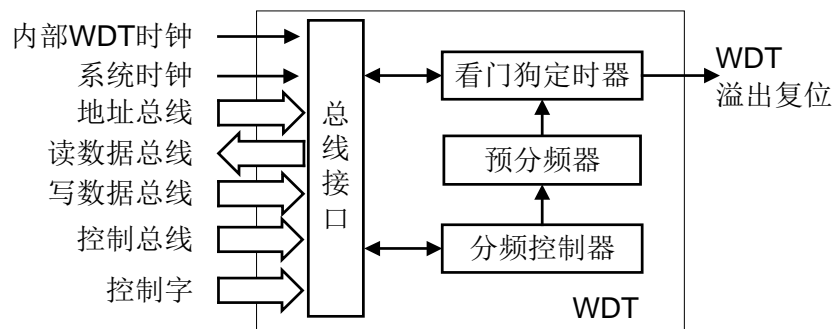


图 6-9 看门狗定时器内部结构图

6.2.3 特殊功能寄存器

寄存器名称	WDT 控制寄存器 (WDTC)		
地址	FFAB _H		
复位值	0001 0111		
WDTPRS<3:0>	bit3-0	R/W	WDT 预分频器分频比选择位 0000: 1:2 0001: 1:4 0010: 1:8 0011: 1:16 0100: 1:32 0101: 1:64 0110: 1:128 0111: 1:256 (默认) 1000: 1:512 1001: 1:1024 1010: 1:2048 1011: 1:4096 1100: 1:8192 1101: 1:16384 1110: 1:32768 1111: 1:65536
WDTPRE	bit4	R/W	WDT 预分频器使能位 0: 禁止 1: 使能
-	bit7-5	-	-

6.3 复位模块

6.3.1 概述

本芯片有五种复位类型：

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

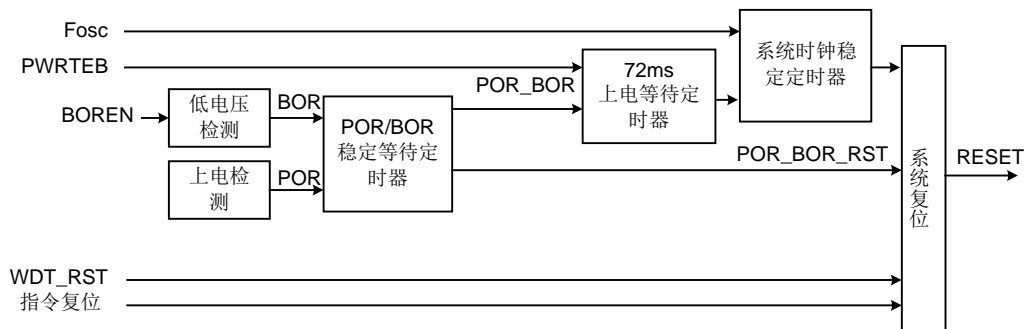


图 6-10 芯片复位原理图

6.3.2 复位时序图

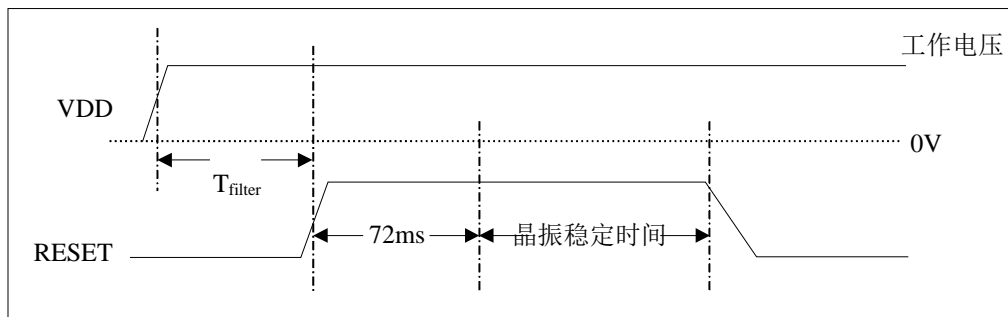


图 6-11 上电复位时序示意图

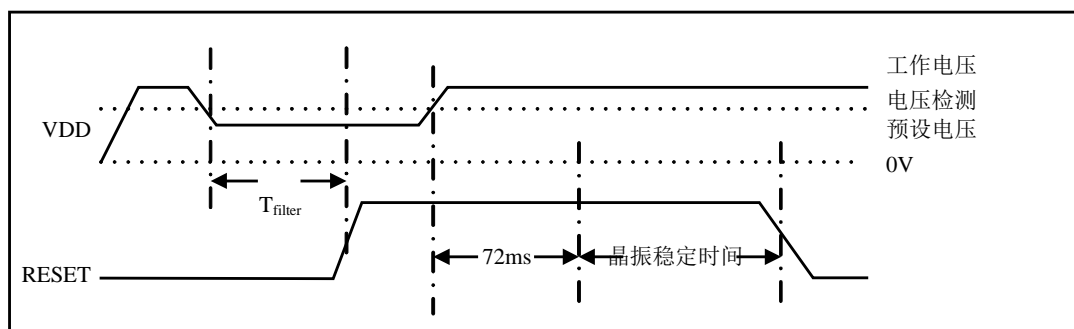


图 6-12 低电压复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

注 2: 当配置为 HS/XT/INTOSC 16MHz 模式时, 晶振稳定时间为 512xTosc;
当配置为 LP 模式时, 晶振稳定时间大约为 1S 左右。

6.3.3 低电压复位配置

BORVS<1:0>	低电压检测配置
11	VDD 低于 3.4V 时芯片复位
10	VDD 低于 2.7V 时芯片复位
01	VDD 低于 2.2V 时芯片复位
00	VDD 低于 2.0V 时芯片复位

表 6-3 低电压检测配置表

6.3.4 特殊功能寄存器

寄存器名称	电源状态控制寄存器 (PWRC)		
地址	FFA7 _H		
复位值	0101 110x		
N_BOR	bit0	R/W	低电压复位状态位 0: 低电压复位发生 (低电压复位后, 必须软件置位) 1: 无低电压复位发生
N_POR	bit1	R/W	上电复位状态位 0: 上电复位发生 (上电复位后, 必须软件置位) 1: 无上电复位发生
N_PD	bit2	R	低功耗标志位 0: 执行 IDLE 指令后清零 1: 上电复位或执行 CWDT 指令后置 1
N_TO	bit3	R	WDT 溢出标志位 0: WDT 计数溢出时被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
N_RSTI	bit4	R/W	复位指令标志位 0: 执行复位指令 (必须用软件置位) 1: 未执行复位指令
VRST<1:0>	bit6-5	R/W	LDO 稳定时间控制寄存器 00, 01: 保留未用 10: LDO 稳定时间为 64 个内部 32KHz 时钟周期 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
LPM	bit7	R/W	休眠模式选择位 0: IDLE0 模式 1: IDLE1 模式

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电。

6.4 中断处理

6.4.1 概述

本芯片支持 10 个中断源。仅支持默认中断模式。

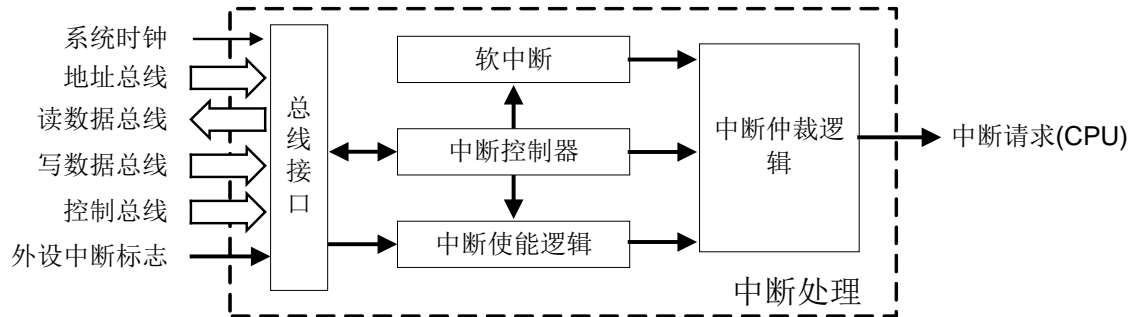


图 6-13 中断控制逻辑

6.4.2 中断逻辑表

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	软中断	SOFTIF	-	-	GIE	-
2	KINT0	KIF0	KIE0	-	GIE	-
3	PINT0	PIF0	PIE0	-	GIE	-
4	PINT1	PIF1	PIE1	-	GIE	-
5	PINT2	PIF2	PIE2	-	GIE	-
6	PINT3	PIF3	PIE3	-	GIE	-
7	LVDINT	LVDIF	LVDIE	-	GIE	-
8	T8P1INT	T8P1IF	T8P1IE	PEIE	GIE	-
9	T8P2INT	T8P2IF	T8P2IE	PEIE	GIE	-
10	ADINT	ADIF	ADIE	PEIE	GIE	-

表 6-4 中断逻辑表

注：开中断前需清除相应的中断标志，从而避免中断的误触发。除只读的中断标志外，中断标志必须通过软件清零。为避免中断的发生与中断清零操作冲突时清零不成功，建议清零操作后进行清零是否成功的软件判断，若不成功则再次清零，直到清零成功为止。或连续执行两次清零操作。

应用例程：中断标志清零程序

```

.....
BCC    INTC0,T8NIF    ; 清中断标志
JBC    INTC0,T8NIF    ; 判断清零是否成功
GOTO   $-2            ; 不成功则再次清零
.....
    
```

6.4.3 默认中断模式

所有中断向量的入口地址均位于 004_H。用户需通过中断子程序判断各中断源的标志位及使能位区分是由哪个中断源引起的中断，从而执行相应的中断服务子程序。

6.4.4 操作说明

每个硬件中断源都有各自的中断使能和中断标志位，因此初始化相应的硬件中断时，需要先清除中断标志位，再使能当前中断。若使能前不先清除中断标志，则有可能发生误进中断的情况。除了每个中断支持中断使能外，本芯片还提供了一个全局中断。因此在初始化所有需要的中断后，请使能全局中断。

中断现场保护是中断程序中一个很重要的组成部分。指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以用来实现中断的数据保存。可以保存的数据包括：工作寄存器 A，程序状态字寄存器 PSW、IAA 寄存器和 PCRH 寄存器。其它数据寄存器的保护需采用其它指令实现。可以连续进行 2 次 PUSH，第 3 次 PUSH 会使得第一次 PUSH 的数据丢失。同样，超过 2 次的连续 POP，第 3 次 POP 恢复的数据不可预期。

为确保对寄存器 GIE 和 GIEL 的软件写操作成功，需按如下步骤进行：

1. 在默认中断模式或向量中断模式下，对 GIE 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIE 位清 0；或在 GIE 位清 0 操作后，查询 GIE 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIE 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 GIE 位置 1。
2. 在向量中断模式下，对 GIEL 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIEL 位清 0；或在 GIEL 位清 0 操作后，查询 GIEL 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIEL 位的软件置 1 操作，需与 GIE 位同时置 1，或先将 GIEL 位置 1，再将 GIE 位置 1。

6.4.5 特殊功能寄存器

寄存器名称		中断标志寄存器 0 (INTF0)	
地址	FF9D _H		
复位值	0000 0000		
KIF	bit0	R/W	外部按键中断标志位 0: 外部按键端口无电平变化 1: 外部按键端口有电平变化（必须软件清零）
T8P1IF	bit1	R/W	T8P1 中断标志位 0: T8P1 计数器计数未发生匹配 1: T8P1 计数器计数发生匹配（必须软件清零）
T8P2IF	bit2	R/W	T8P2 中断标志位 0: T8P2 计数器计数未发生匹配 1: T8P2 计数器计数发生匹配（必须软件清零）

-	bit3	-	-
LVDIF	bit4	R/W	LVD 中断标志位 0: 检测电压不曾低于预设值 1: 检测电压低于预设值 (必须软件清零)
ADIF	bit5	R/W	ADC 中断标志位 0: 未启动 ADC 转换, 或转换正在进行 1: ADC 转换已完成 (必须软件清零)
-	bit7-6	-	-

寄存器名称	中断使能寄存器 0 (INTE0)		
地址	FF9E _H		
复位值	0000 0000		
KIE	bit0	R/W	按键中断使能位 0: 禁止 KIN0-7 按键中断 1: 使能 KIN0-7 按键中断
T8P1IE	bit1	R/W	T8P1 中断使能位 0: 禁止 T8P1 中断 1: 使能 T8P1 中断
T8P2IE	bit2	R/W	T8P2 中断使能位 0: 禁止 T8P2 中断 1: 使能 T8P2 中断
-	bit3	-	-
LVDIE	bit4	R/W	LVD 中断使能位 0: 禁止 LVD 中断 1: 使能 LVD 中断
ADIE	bit5	R/W	ADC 中断使能位 0: 禁止 ADC 中断 1: 使能 ADC 中断
-	bit7-6	-	-

寄存器名称		中断标志寄存器 1 (INTF1)	
地址	FFA2 _H		
复位值	0000 0000		
PIF0	bit0	R/W	PINT0 端口中断标志位 0: PINT0 端口上无中断信号 1: PINT0 端口上有中断信号 (必须软件清零)
PIF1	bit1	R/W	PINT1 端口中断标志位 0: PINT1 端口上无中断信号 1: PINT1 端口上有中断信号 (必须软件清零)
PIF2	bit2	R/W	PINT2 端口中断标志位 0: PINT2 端口上无中断信号 1: PINT2 端口上有中断信号 (必须软件清零)
PIF3	bit3	R/W	PINT3 端口中断标志位 0: PINT3 端口上无中断信号 1: PINT3 端口上有中断信号 (必须软件清零)
-	bit7-4	-	-

寄存器名称		中断使能寄存器 1 (INTE1)	
地址	FFA3 _H		
复位值	0000 0000		
PIE0	bit0	R/W	PINT0 端口中断使能位 0: 禁止 PINT0 端口中断 1: 使能 PINT0 端口中断
PIE1	bit1	R/W	PINT1 端口中断使能位 0: 禁止 PINT1 端口中断 1: 使能 PINT1 端口中断
PIE2	bit2	R/W	PINT2 端口中断使能位 0: 禁止 PINT2 端口中断 1: 使能 PINT2 端口中断
PIE3	bit3	R/W	PINT3 端口中断使能位 0: 禁止 PINT3 端口中断 1: 使能 PINT3 端口中断
-	bit7-4	-	-

寄存器名称				中断控制寄存器 0 (INTC0)			
地址		FF9F _H					
复位值		0000 0000					
KMSKx	bit7-0	R/W	KINx 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽				

寄存器名称				中断控制寄存器 1 (INTC1)			
地址		FFA4 _H					
复位值		0000 0000					
PEG0	bit0	R/W	PINT0 触发边沿选择位 0: PINT0 下降沿触发 1: PINT0 上升沿触发				
PEG1	bit1	R/W	PINT1 触发边沿选择位 0: PINT1 下降沿触发 1: PINT1 上升沿触发				
PEG2	bit2	R/W	PINT2 触发边沿选择位 0: PINT2 下降沿触发 1: PINT2 上升沿触发				
PEG3	bit3	R/W	PINT3 触发边沿选择位 0: PINT3 下降沿触发 1: PINT3 上升沿触发				
-	bit7-4	-	-				

寄存器名称				中断全局寄存器 (INTG)			
地址		FFA0 _H					
复位值		0000 0000					
-	bit0	-	-				
SOFTIF	bit1	R/W	软件中断标志位 0: 无软件中断 1: 启动软件中断				
-	bit5-2	-	-				
PEIE	bit6	R/W	外设中断使能位 0: 禁止外设中断 1: 使能未屏蔽的外设中断				
GIE	bit7	R/W	全局中断使能位 0: 禁止所有的中断 1: 使能所有未屏蔽的中断				

寄存器名称	LVD 检测寄存器 (LVDC)		
地址	FFA1 _H		
复位值	0001 0000		
LV DV	bit1-0	R/W	LVD 电压检测选择位 00: 2.1V 01: 2.4V 10: 3.0V 11: 3.6V
-	bit3-2	-	-
LV DEN	bit4	R/W	LVD 使能位 0: 禁止 1: 使能
-	bit6-5	-	-
LV DLS	bit7	R	LVD 电压检测状态位 0: 电源电压高于预设电压 1: 电源电压低于预设电压

注：如果要求超低功耗，进入 IDLE 前才可设置 LV DEN 为 0，关闭相应的功能模块。

6.5 低功耗操作

6.5.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式，通过设置 PWRC 寄存器（PWRC<7>）进行选择。

◇ 支持 IDLE0 模式

- 当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式
- 时钟源停振，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◇ 支持 IDLE1 模式

- 当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式
- 时钟源保持运行，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

6.5.2 低功耗模式配置

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 6-5 低功耗模式配置表

注：配置 LPM（PWRC<7>）选择低功耗模式，执行 IDLE 指令进入低功耗模式。为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免 I/O 输入管脚悬空而引入开关电流，应在外部将输入管脚拉为高电平或低电平。

6.5.3 IDLE唤醒方式配置

当芯片处于休眠状态时，可以通过以下方式唤醒：

序号	唤醒源	中断使能	外设使能	备注
1	WDT	-	-	WDT 溢出
2	KINT	KIE	-	外部按键中断
3	PINT0	PIE0	-	外部端口中断 0
4	PINT1	PIE1	-	外部端口中断 1
5	PINT2	PIE2	-	外部端口中断 2
6	PINT3	PIE3	-	外部端口中断 3

表 6-6 休眠唤醒表

注：低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使全局中断使能 GIE 为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

6.5.4 唤醒时间计算

当唤醒事件发生后，芯片根据配置字 OSCS<2:0>的配置执行下述操作：

- ◇ 当 OSCS<2:0>配置为 HS/XT/RC/RCIO/INTOSCO/INTOSC 模式时：
 - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（由 VRST (PWRC<6:5>) 设定），此时间称为 LDO 稳定时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可编程设置；
 - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 时间。
- ◇ 当 OSCS<2:0>配置为 LP 模式时：
 - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（由 VRST (PWRC<6:5>) 设定），此时间称为 LDO 稳定时间，接着芯片等待 LPwkdly 时间，此时间称为外部晶振稳定时间（该时间由配置字 PWRTSEL<1:0>设置），之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可编程设置；
 - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 和 LPwkdly 时间。

OSCS 配置	低功耗模式	计算公式
所有模式	IDLE1 模式	$(WKDC[7:0]+1) \times 2 \text{ TOSC}$
非 LP 模式	IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 \text{ TOSC}$
LP 模式		$VRwkdly + LPwkdly + (WKDC[7:4] + 1) \times 16 \times 2 \text{ TOSC}$

6.5.5 特殊功能寄存器

寄存器名称		唤醒延时控制寄存器 (WKDC)	
地址		FFA9 _H	
复位值		1111 1111	
WKDC <7:0>	bit7-0	R/W	IDLE 唤醒延时控制位 当 WKDC<7:0> = FF _H 时, 延时最长 当 WKDC<7:0> = 00 _H 时, 延时最短

6.6 芯片配置字

寄存器名称	芯片配置字 (CFG_WD)	
地址	7F2 _H	
OSCS<2:0>	bit2-0	振荡器选择位 000: LP 晶振/谐振器连接到 PA4 和 PA5 001: RC 模式: CLKO 从 PA4 输出, RC 电路接到 PA5 010: HS 模式: 晶体振荡器连接到 PA4 和 PA5 011: RCIO 模式: PA4 为 I/O, RC 电路接到管脚 PA5 100: XT 模式: 晶体振荡器连接到 PA4 和 PA5 101: 保留未用 110: INTOSCO 模式: CLKO 从 PA4 输出, PA5 为 I/O 111: INTOSC 模式: PA4 为 I/O, PA5 为 I/O
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电定时器使能位 0: 使能 1: 禁止
-	bit5	-
BOREN	bit6	低电压检测复位使能位 0: 禁止 1: 使能
BORVS	bit8-7	低电压选择位 00: 2.0V (默认) 01: 2.2V 10: 2.7V 11: 3.4V
HPC_SEL	bit9	外部晶振功耗模式选择位 0: 低功耗模式 1: 高功耗模式
-	bit15-10	- (保留, 默认为 0)

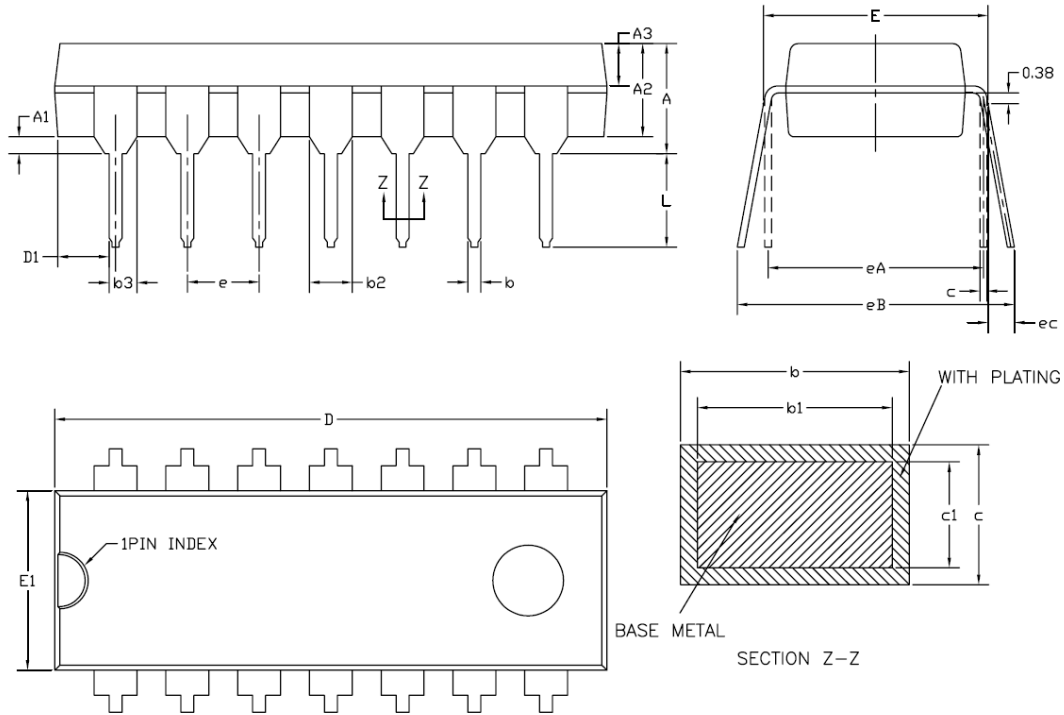
注 1: CLKO 为系统时钟的 16 分频输出;

OSCS<2:0>	主晶振配置	PA4	PA5
000	外部 LP 振荡器	OSC2	OSC1
001	外部 RC 振荡器	CLKO	OSC1
010	外部 HS 振荡器	OSC2	OSC1
011	外部 RC 振荡器	I/O	OSC1
100	外部 XT 振荡器	OSC2	OSC1
101	-	-	-
110	内部时钟	CLKO	I/O
111	内部时钟	I/O	I/O

第 7 章 芯片封装图

7.1 14-pin 封装图

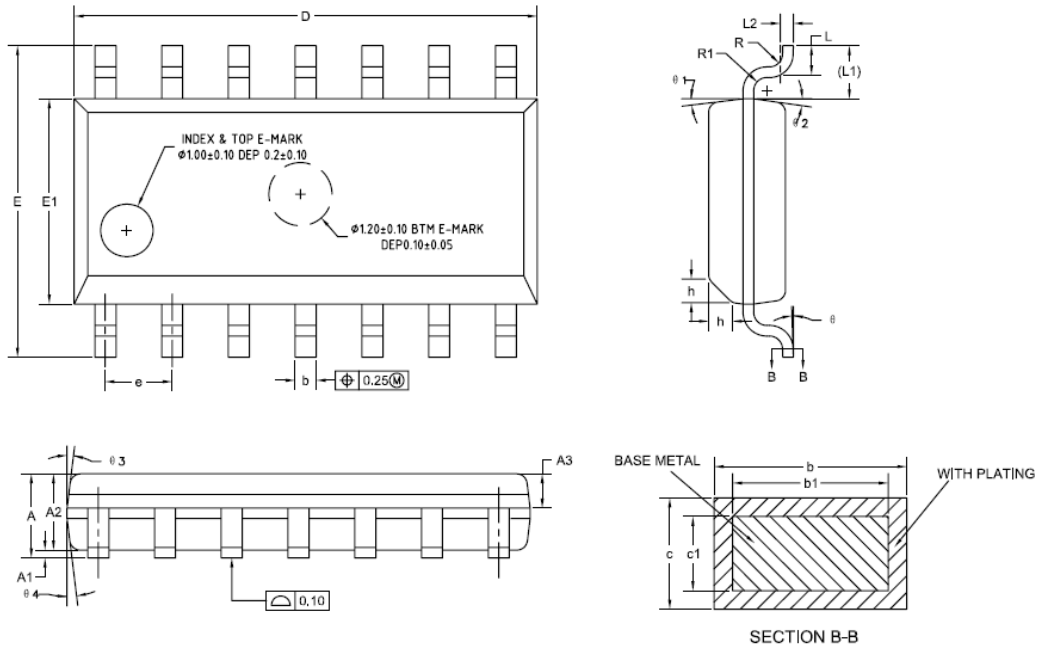
DIP14



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	4.80
A1	0.50	—	—
A2	3.05	3.25	3.45
A3	1.40	1.50	1.60
b	0.38	—	0.55
b1	0.38	0.46	0.51
b2	1.47	1.52	1.57
b3	0.89	0.99	1.09
c	0.21	—	0.35
c1	0.20	0.25	0.30
D	19.20	19.30	19.40
D1	0.13	—	—
E	7.62	7.87	8.25
E1	6.25	6.35	6.45
e	2.54BSC		
eA	7.62BSC		
eB	7.62	8.80	10.90
ec	0	—	1.52
L	2.92	3.30	3.81

SOP14



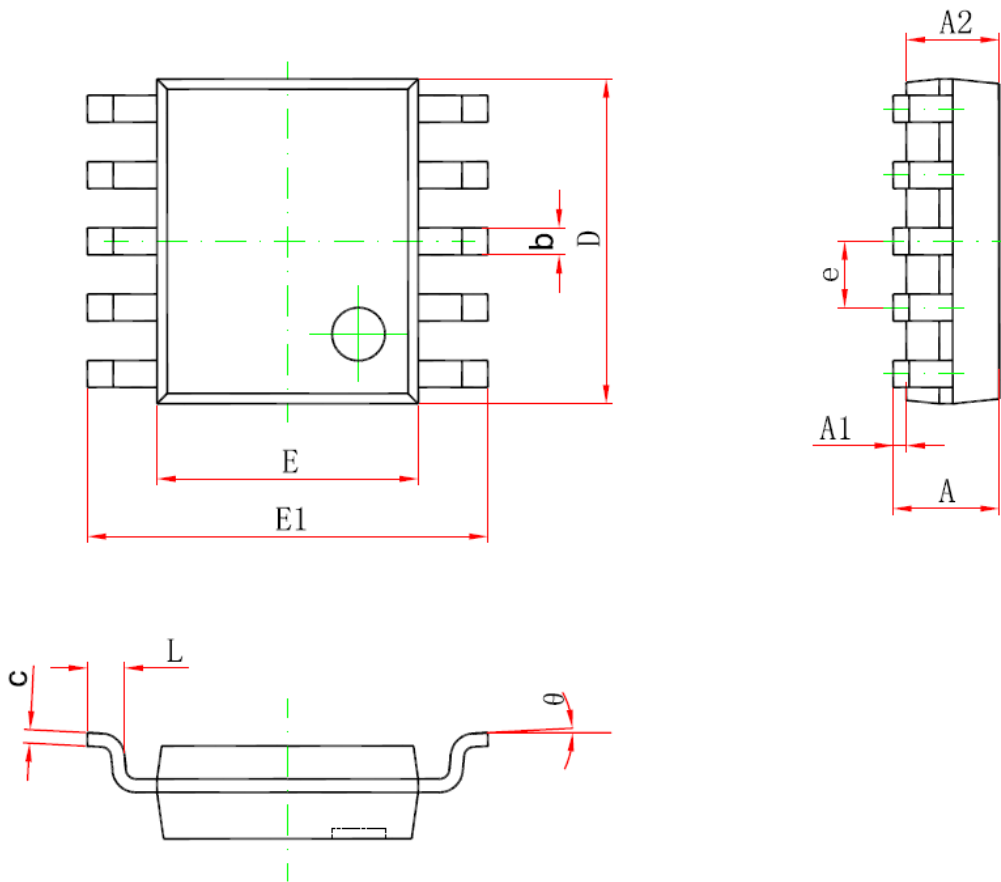
NOTES:
ALL DIMENSIONS MEET JEDEC STANDARD MS-012 AB
DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	1.35	1.60	1.75
A1	0.10	0.15	0.25
A2	1.25	1.45	1.65
A3	0.55	0.65	0.75
b	0.36	-	0.49
b1	0.35	0.40	0.45
c	0.17	-	0.25
c1	0.17	0.20	0.23
D	8.53	8.63	8.73
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.17	1.27	1.37
L	0.45	0.60	0.80
L1	1.04REF		
L2	0.25BSC		
R	0.07	-	-
R1	0.07	-	-
h	0.30	0.40	0.50
θ	0°	-	8°
θ_1	6°	8°	10°
θ_2	6°	8°	10°
θ_3	5°	7°	9°
θ_4	5°	7°	9°

7.2 10-pin 封装图

SSOP10



Symbol	Dimensions In Millimeters	
	Min	Max
A	1.350	1.750
A1	0.100	0.250
A2	1.350	1.550
b	0.300	0.450
c	0.170	0.250
D	4.700	5.100
E	3.800	4.000
E1	5.800	6.200
e	1.000 (BSC)	
L	0.400	1.270
θ	0°	8°

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i→IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>→(A)
5	MOV	R<7:0>,F	Z,N	1	(R)→(目标)
6	MOVA	R<7:0>	-	1	(A)→(R)
7	MOVAR	R<10:0>	-	1	(A)→({5'h00,R<5:0>})
8	MOVRA	R<10:0>	-	1	({5'h00,R<5:0>})→(A)

附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>→PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<10:0>→PC<10:0> I<10:8>→PCRH<2:0>
11	GOTO	I<10:0>	-	2	I<10:0>→PC<10:0>
12	CALL	I<10:0>	-	2	PC+1→TOS,I<10:0>→PC<10:0>
13	LCALL	I<19:0>	-	2	PC+1→TOS,I<10:0>→PC<10:0> I<10:8>→PCRH<2:0>
14	RCALL	R<7:0>	-	2	PC+1→TOS, (R)→PC<7:0>, PCRH<2:0>→PC<10:8>
15	JBC	R<7:0>, B<2:0>	-	2	当 R = 0 时跳过下一条指令

[续]

序号	指令		影响状态位	机器周期	操作
16	JBS	R<7:0>, B<2:0>	-	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	-	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	-	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	-	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	-	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	-	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	-	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>, F	-	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	-	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS→A, PSWS→PSW, PCRHS→PCRH
30	PUSH	-	-	1	A→AS, PSW→PSWS, PCRH→PCRHS
31	RET	-	-	2	TOS→PC
32	RETIA	I<7:0>	-	2	I→(A), TOS→PC
33	RETIE	-	-	2	TOS→PC, 1→GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00H→WDT, 0→WDT Prescaler, 1→N_TO, 1→N_PD
36	IDLE	-	N_TO, N_PD	1	00H→WDT, 0→WDT Prescaler, 1→N_TO, 0→N_PD

附录1.4 算术/逻辑运算指令

序号	指令		影响 状态位	机器周期	操作
37	ADD	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)→(目标)
38	ADDC	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)+C→(目标)
39	ADDCI	I<7:0>	C, DC, Z,OV,N	1	I+(A)+C→(A)
40	ADDI	I<7:0>	C, DC, Z,OV,N	1	I+(A)→(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)→(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)→(A)
43	BCC	R<7:0>,B<2:0>	-	1	0→R
44	BSS	R<7:0>,B<2:0>	-	1	1→R
45	BTT	R<7:0>,B<2:0>	-	1	(~R)→R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	-	1	FF _H →(R)
48	NEG	R<7:0>	C, DC, Z,OV,N	1	~(R)+1→(R)
49	COM	R<7:0>,F	Z,N	1	(~R)→(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整→(目标)
51	DAA	-	C	1	对(A)十进制调整→(A)
52	DEC	R<7:0>,F	C, DC, Z,OV,N	1	(R-1)→(目标)
53	INC	R<7:0>,F	C, DC, Z,OV,N	1	(R+1)→(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)→(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)→(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	C<< R<7:0> <<C
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7:0> << R<7>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	C>> R<7:0> >>C
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	R<0> >> R<7:0>
60	SUB	R<7:0>,F	C, DC, Z,OV,N	1	(R)-(A)→(目标)

[续]

序号	指令	影响状态位	机器周期	操作	
61	SUBC	R<7:0>,F	C, DC, Z,OV,N	1	(R)-(A)- (~C)→(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)→(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)→(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)→(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)→(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)→(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I →(A)
68	SWAP	R<7:0>,F	-	1	R<3:0>→(目标)<7:4>, R<7:4>→(目标)<3:0>
69	TBR	-	-	2	Pmem(FRA)→ROMD
70	TBR#1	-	-	2	Pmem(FRA)→ROMD, FRA+1→FRA
71	TBR_1	-	-	2	Pmem(FRA)→ROMD, FRA-1 →FRA
72	TBR1#	-	-	2	FRA+1 →FRA, Pmem(FRA)→ROMD
73	TBW	-	-	2	本芯片不支持该条指令
74	TBW#1	-	-	2	本芯片不支持该条指令
75	TBW_1	-	-	2	本芯片不支持该条指令
76	TBW1#	-	-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)→(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)→(A)

注：指令集说明

1. i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
2. C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
5. 79 条指令中另有一条 NOP 指令未在上表中描述。
6. 部分指令中，PC 的位数以及 PCRU 寄存器，视实际芯片而定。对 HR7P155 芯片，PC 的位数是 10 位，没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FF80 _H	IAD	间接寻址数据寄存器								0000 0000
FF81 _H	IAAL	间接寻址索引寄存器<7:0>								0000 0000
FF82 _H	IAAH	间接寻址索引寄存器<15:8>								0000 0000
FF83 _H	-	-								-
FF84 _H	PSW	-	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A 寄存器								xxxx xxxx
FF86 _H	-	-								-
FF87 _H	FRAL	程序存储器查表地址寄存器<7:0>								xxxx xxxx
FF88 _H	FRAH	程序存储器查表地址寄存器<15:8>								xxxx xxxx
FF89 _H	ROMDL	程序存储器查表数据寄存器<7:0>								xxxx xxxx
FF8A _H	ROMDH	程序存储器查表数据寄存器<15:8>								xxxx xxxx
FF8B _H	PCRL	程序计数器<7:0>								0000 0000
FF8C _H	PCRH	-	-	-	-	-	-	程序计数器<9:8>		0000 0000
FF8D _H	-	-								-
FF8E _H	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FF8F _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FF90 _H	PB	-	-	-	-	PB3	PB2	PB1	PB0	0000 xxxx
FF91 _H	PBT	-	-	-	-	PBT3	PBT2	PBT1	PBT0	0000 1111
FF92 _H	-	-								-
FF93 _H	-	-								-
FF94 _H	-	-								-
FF95 _H	-	-								-
FF96 _H	N_PAU	N_PAU7	N_PAU6	N_PAU5	N_PAU4	N_PAU3	N_PAU2	N_PAU1	N_PAU0	1111 0111
FF97 _H	N_PBU	-	-	-	-	N_PBU3	N_PBU2	N_PBU1	N_PBU0	0000 1111
FF98 _H	-	-								-
FF99 _H	PALC	PALC7	PALC6	PALC5	PALC4	-	PALC2	PALC1	PALC0	0000 0000
FF9A _H	PBLC	-	-	-	-	PBLC3	PBLC2	PBLC1	PBLC0	0000 0000
FF9B _H	-	-								-
FF9C _H	ANS	-	-	ANPA7	ANPB1	ANPB0	ANPA2	ANPA1	ANPA0	0000 0000
FF9D _H	INTF0	-	-	ADIF	LVDIF	-	T8P2IF	T8P1IF	KIF	0000 0000
FF9E _H	INTE0	-	-	ADIE	LVDIE	-	T8P2IE	T8P1IE	KIE	0000 0000
FF9F _H	INTC0	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA0 _H	INTG	GIE	PEIE	-	-	-	-	SOFTIF	-	0000 0000
FFA1 _H	LVDC	LVDLS	-	-	LVDEN	-	-	LVDV		0001 0000
FFA2 _H	INTF1	-	-	-	-	PIF3	PIF2	PIF1	PIF0	0000 0000
FFA3 _H	INTE1	-	-	-	-	PIE3	PIE2	PIE1	PIE0	0000 0000
FFA4 _H	INTC1	-	-	-	-	PEG3	PEG2	PEG1	PEG0	0000 0000
FFA5 _H	OSCCAL	内部 16MHz 时钟校准寄存器								1010 1001

[续]

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFA6 _H	WDTCAL	内部 32KHz 时钟校准寄存器								1000 0100
FFA7 _H	PWRC	LPM	VRST		N_RST1	N_TO	N_PD	N_POR	N_BOR	0101 110x
FFA8 _H	OSCC	CLKSS	FOSCS			-	WDTOSCF	HSOSCF	LPOS CF	0110 010x
FFA9 _H	WKDC	唤醒延时控制寄存器								1111 1111
FFAA _H	OSCP	时钟控制写保护寄存器								1111 1111
FFAB _H	WDTC	-	-	-	WDTPRE	WDTPRS				0001 0111
FFAC _H	PWEN	-	SW_WDT	SW_HS	SW_LP	-	-	RCEN	SREN	0100 0011
FFAD _H	-	-								-
FFAE _H	-	-								-
FFAF _H	-	-								-
FFB0 _H	-	-								-
FFB1 _H	-	-								-
FFB2 _H	T8P1	T8P1 计数器								0000 0000
FFB3 _H	T8P1C	T8P1M	T8P1POS			T8P1E	T8P1PRS			0000 0000
FFB4 _H	T8P1P	T8P1 周期寄存器								1111 1111
FFB5 _H	T8P1RL	T8P1 精度寄存器								0000 0000
FFB6 _H	T8P1RH	T8P1 精度缓冲寄存器								0000 0000
FFB7 _H	T8P1OC	-	-	-	-	-	-	T8P1EN		0000 0000
FFB8 _H	T8P2	T8P2 计数器								0000 0000
FFB9 _H	T8P2C	T8P2M	T8P2POS			T8P2E	T8P2PRS			0000 0000
FFBA _H	T8P2P	T8P2 周期寄存器								1111 1111
FFBB _H	T8P2RL	T8P2 精度寄存器								0000 0000
FFBC _H	T8P2RH	T8P2 精度缓冲寄存器								0000 0000
FFBD _H	T8P2OC	-	-	-	-	-	-	T8P2EN		0000 0000
FFBE _H ~FFC5 _H	-	-								-
FFC6 _H	ADCCL	ADVREFS			ADCHS			ADTRG	ADEN	0000 0000
FFC7 _H	ADCCH	ADFM	ADCS			ADST				0000 1000
FFC8 _H	ADCRL	ADC 转换结果寄存器<7:0>								xxxx xxxx
FFC9 _H	ADCRH	ADC 转换结果寄存器<15:8>								xxxx xxxx
FFCA _H ~FFCE _H	-	-								-
FFCF _H	CALPROT	校准值保护寄存器								0000 0001
FFD0 _H ~FFFF _H	-	-								-

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.2 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.2		5.5	V	F _{OSC} ≤ 2MHz; -40°C ~ 85°C
		2.7	-	5.5	V	F _{OSC} ≤ 8MHz; -40°C ~ 85°C
		3.0	-	5.5	V	F _{OSC} ≤ 16MHz; -40°C ~ 85°C
IDLE0 休眠模式 下芯片电流	I _{PD1}	-	15	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能, LVD 不使能。
		-	20	-	μA	25°C, VDD = 5V, BOR 和 LVD 使能, WDT 使能。
IDLE1 休眠模式 下芯片电流 (高速时钟模式)	I _{PD2}	-	470	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。
IDLE1 休眠模式 下芯片电流 (低速时钟模式)	I _{PD3}	-	25	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能
正常运行模式 芯片电流 (高速时钟模式)	I _{OP1}	-	1.5	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载, ADC 关闭。

[续]

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行模式 芯片电流（高速 时钟模式）	I_{OP2}	-	610	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟 (内部 16MHz RC 时钟的 8 分频), I/O 端口输出固定电平, 无负载, ADC 关闭。
正常运行模式 芯片电流（低速 时钟模式）	I_{OP3}	-	35	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR 和 LVD 使能, I/O 端口输出固定电平, 无负载, ADC 关闭。
VDD 管脚的 最大输入电流	I_{MAXVD} D	-	-	55	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I_{MAXVSS}	-	-	120	mA	25°C, VDD = 5V
非大电流 I/O 端 口灌电流	I_{OL1}	-	10	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
非大电流 I/O 端 口拉电流	I_{OH1}	-	7	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$
大电流 I/O 端口 灌电流	I_{OL2}	-	26	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
大电流 I/O 端口 拉电流	I_{OH2}	-	16	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

◆ 芯片输入端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA0~PA2、PA4~PA7、PB 端口输入高电平	V_{IH}	0.8VDD	-	VDD	V	2.2V ≤ VDD ≤ 5.5V
PA3 端口输入高电平 (无施密特输入特性)		0.8VDD	-	VDD	V	
PA0~PA2、PA4~PA7、PB 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
PA3 端口输入低电平		VSS	-	0.20VDD	V	
PA0~PA2、PA4~PA7、PB 端口输入漏电流	I_{IL}	-	-	±1	μA	2.2V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
PA3 端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
PA0~PA2、PA4~PA7、PB 端口输入弱上拉电流	I_{WPU1}	6	-	85	μA	2.2V ≤ VDD ≤ 5.5V Vpin = VSS
PA3 端口输入弱上拉电流	I_{WPU2}	17	-	54	μA	2.2V ≤ VDD ≤ 5.5V Vpin = VSS

◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	$V_{DD}-0.7$	-	-	V	$2.2V \leq V_{DD} \leq 5.5V$ $I_{OH} = 2mA$
I/O 端口 输出低电平	V_{OL}	-	-	0.6	V	$2.2V \leq V_{DD} \leq 5.5V$ $I_{OL} = 3mA$

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{OSC}	-	-	2M	Hz	$2.2V \leq V_{DD} \leq 5.5V$
		-	-	8M	Hz	$2.7V \leq V_{DD} \leq 5.5V$
		-	-	16M	Hz	$3.0V \leq V_{DD} \leq 5.5V$
系统时钟周期	T_{OSC1}	500	-	-	ns	$2.2V \leq V_{DD} \leq 5.5V$
		125	-	-	ns	$2.7V \leq V_{DD} \leq 5.5V$
		62.5	-	-	ns	$3.0V \leq V_{DD} \leq 5.5V$
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	-	-	ns	-
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	-	-	15	ns	-
WDT 溢出时间	T_{WDT}	12.5 (41K)	16 (32K)	19.7 (26K)	ms	WDT 时钟源二分频 $V_{DD} = 5V,$ $-40^\circ C \sim 85^\circ C$

◆ 内部 16MHz RC 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25℃ 将频率校准至 16MHz	25℃, $V_{DD} = 5V$	15.68	16	16.32	MHz
	-40℃ ~ 85℃, $V_{DD} = 3.0V \sim 5.5V$	15.52	16	16.48	MHz

◆ ADC 交流特性表

参数名	符号	说明	最小值	典型值	最大值	单位
分辨率	RR	25°C, VDD=5V, 内部 VDD 参考, f _{ADCCLK} =1MHz, 采样时间为 8 个 ADCCLK	-	11	-	bit
差分线性度	DNL		-	±1	-	LSB
积分线性度	INL		-	±2	-	LSB
失调误差	Voffset	25°C, VDD=5V, f _{ADCCLK} =1MHz, 采样时间为 8 个 ADCCLK	-	±2	-	mV
参考电压范围	Vref1	25°C, VDD=5V, 外部参考 VREFP	2 ^{*1}	-	VDD ^{*1}	V
	Vref2	25°C, VDD=5V, 内部 VDD 参考	-	VDD ^{*1}	-	V
	Vref3	25°C, VDD=5V, 内部 4.0V 参考	3.92 ^{*1}	4.0 ^{*1}	4.08 ^{*1}	V
	Vref4	25°C, VDD=5V, 内部 3.0V 参考	2.94 ^{*1}	3.0 ^{*1}	3.06 ^{*1}	V
	Vref5	25°C, VDD=5V, 内部 2.1V 参考	2.05 ^{*1}	2.1 ^{*1}	2.15 ^{*1}	V
ADC 工作时芯片供电电压	Vpow	内部 VDD 参考或 外部 VREFP 参考	2.5 ^{*1}	-	-	V
		内部参考 2.1V	3 ^{*1}	-	-	V
		内部参考 3.0V	3.5 ^{*1}	-	-	V
		内部参考 4.0V	4.5 ^{*1}	-	-	V
模拟电压输入范围	VIN	-	0	-	Vref1-5	V
输入电容	CIN	-	-	40	-	Pf
模拟输入推荐输入电阻	RIN	-	-	10	-	KΩ

注*1: 此处参数为设计理论值;

◆ ADC 转换时间对照表

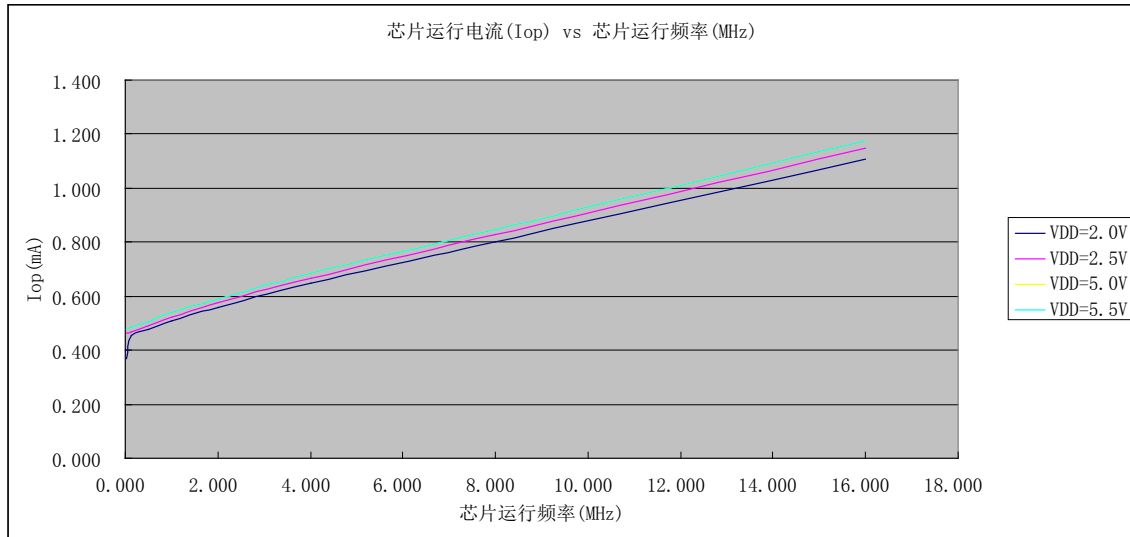
A/D 时钟源选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用 ^{*2}	不推荐使用 ^{*2}	不推荐使用 ^{*2}	T _{ADCCLK} = 1us
Fosc/2	不推荐使用 ^{*2}	不推荐使用 ^{*2}	T _{ADCCLK} = 0.5us	T _{ADCCLK} = 2us
Fosc/4	不推荐使用 ^{*2}	T _{ADCCLK} = 0.5us	T _{ADCCLK} = 1us	T _{ADCCLK} = 4us
Fosc/8	T _{ADCCLK} = 0.5us	T _{ADCCLK} = 1us	T _{ADCCLK} = 2us	T _{ADCCLK} = 8us
Fosc/16	T _{ADCCLK} = 1us	T _{ADCCLK} = 2us	T _{ADCCLK} = 4us	T _{ADCCLK} = 16us
Fosc/32	T _{ADCCLK} = 2us	T _{ADCCLK} = 4us	T _{ADCCLK} = 8us	T _{ADCCLK} = 32us
Fosc/64	T _{ADCCLK} = 4us	T _{ADCCLK} = 8us	T _{ADCCLK} = 16us	T _{ADCCLK} = 64us

注*2: Tad 值不满足设计要求不推荐使用;

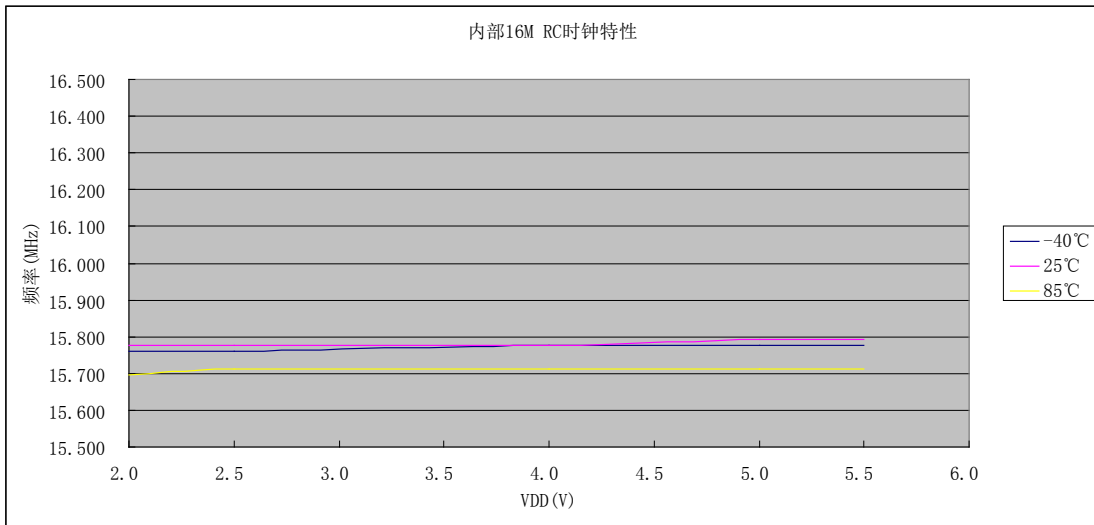
附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

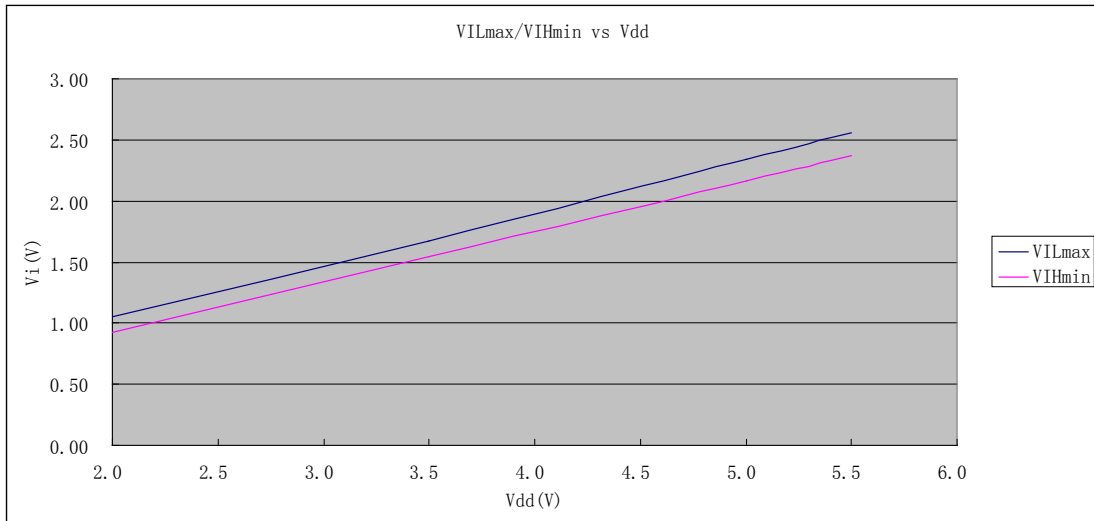
- ◆ 正常运行模式下芯片电流随时钟频率变化图（Fosc 时钟源为内部 16MHz RC 时钟的不同分频，室温 25℃）



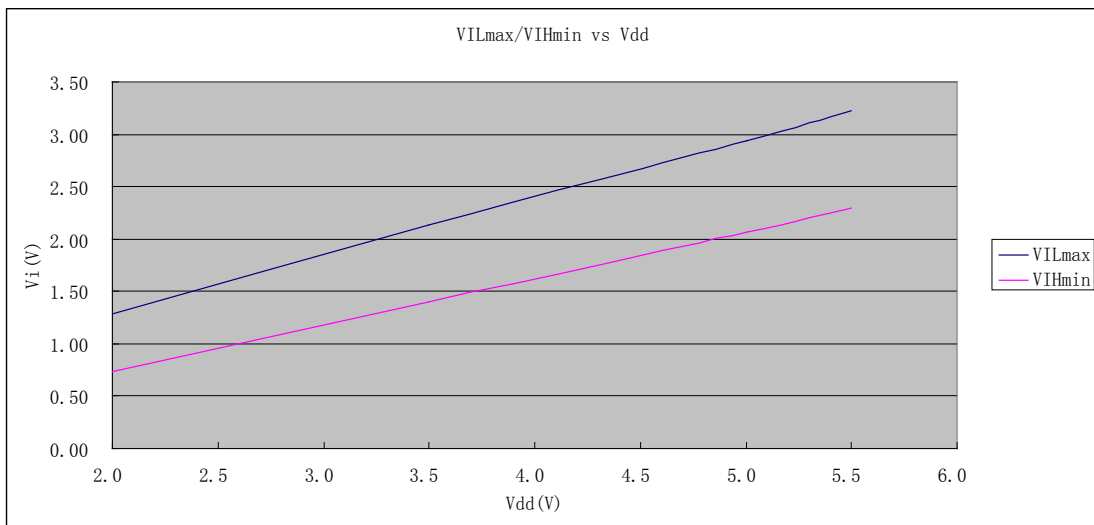
◆ 内部 16MHz RC 时钟随芯片电压变化图



◆ PA3 输入特性图 (室温 25°C)

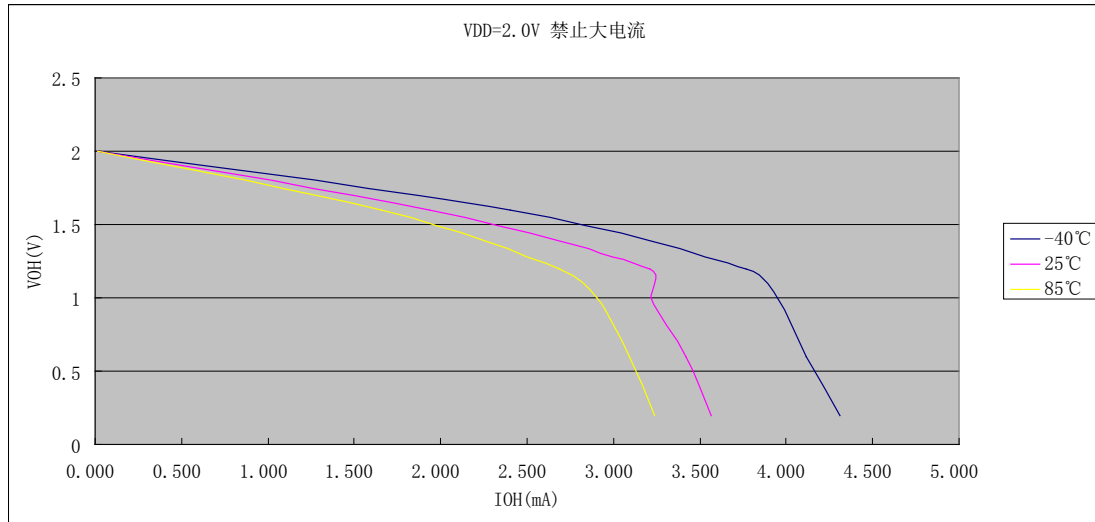


◆ I/O 端口 (非 PA3 端口) 信号输入特性图 (室温 25°C)

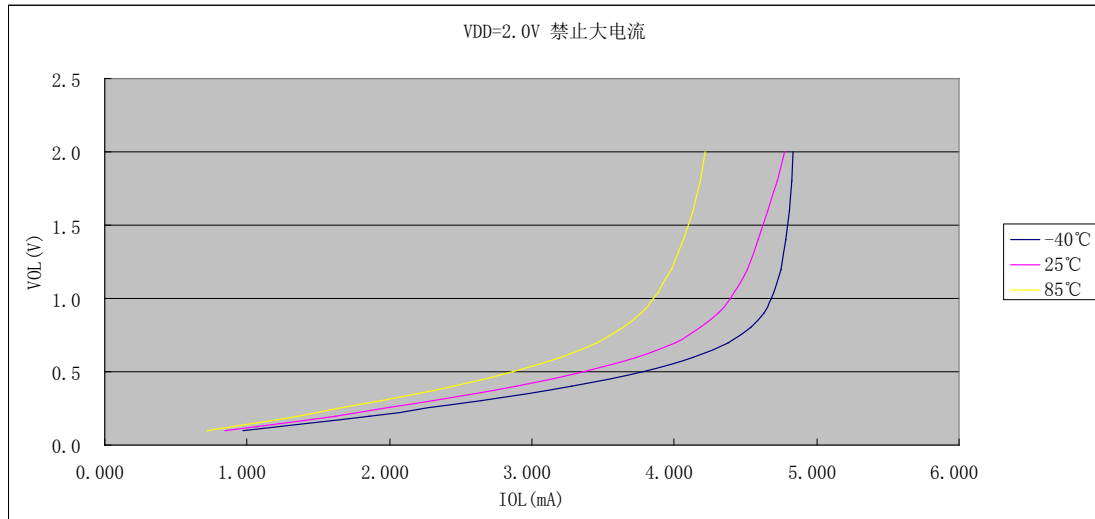


◆ I/O 端口信号输出特性图（非大电流端口）

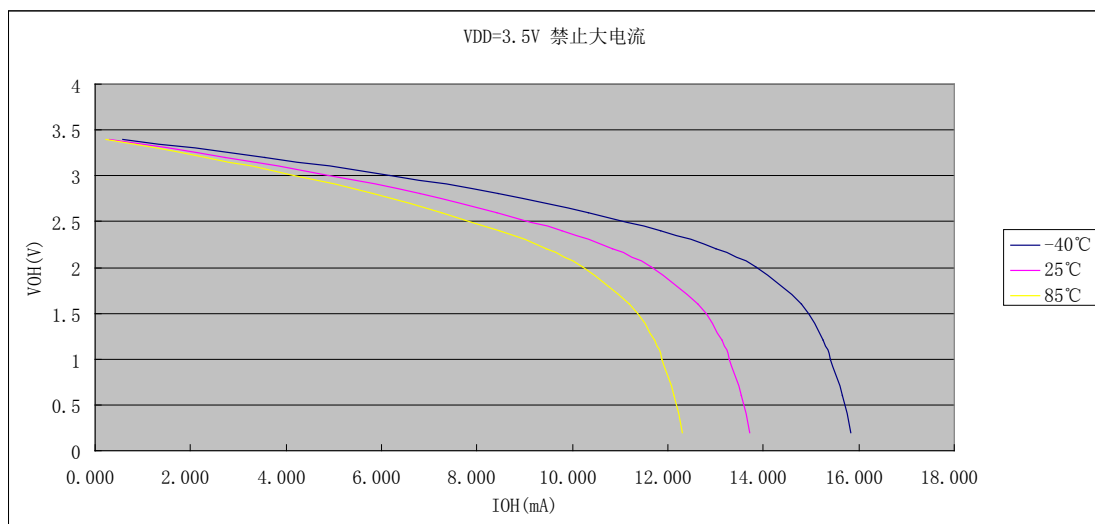
A: V_{OH} vs I_{OH} @ $V_{DD}=2.0V$



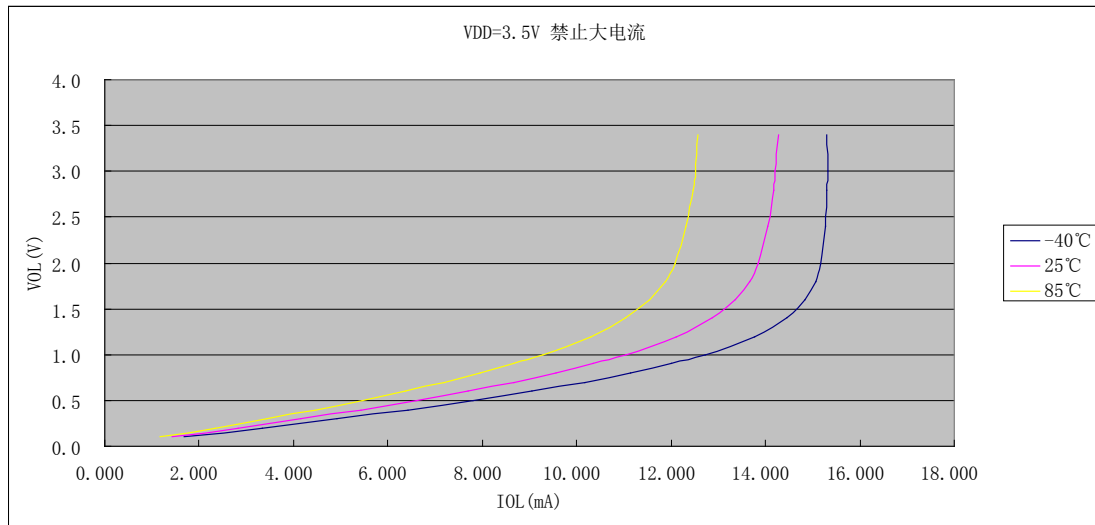
B: V_{OL} vs I_{OL} @ $V_{DD}=2.0V$



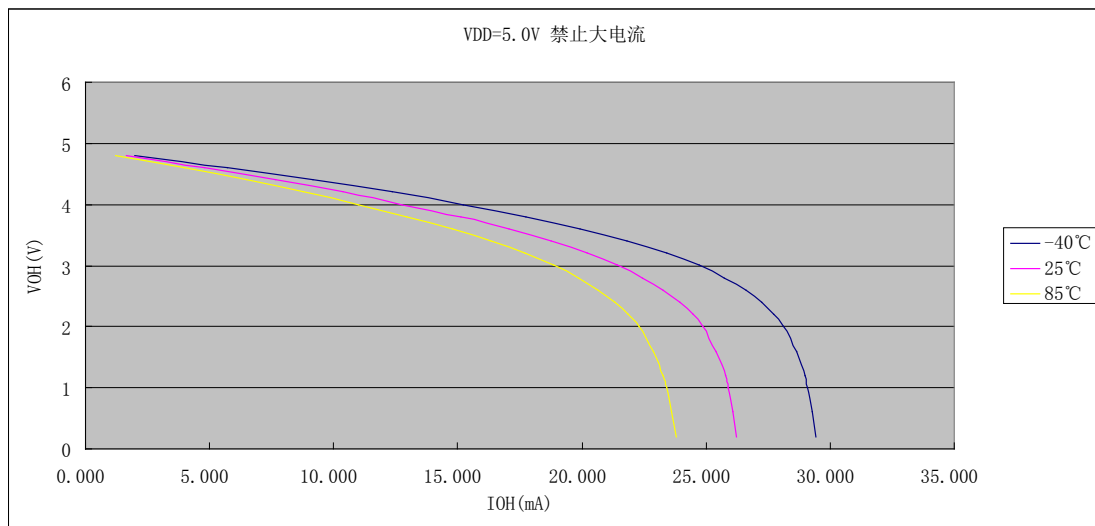
C: V_{OH} vs I_{OH} @ $V_{DD}=3.5V$



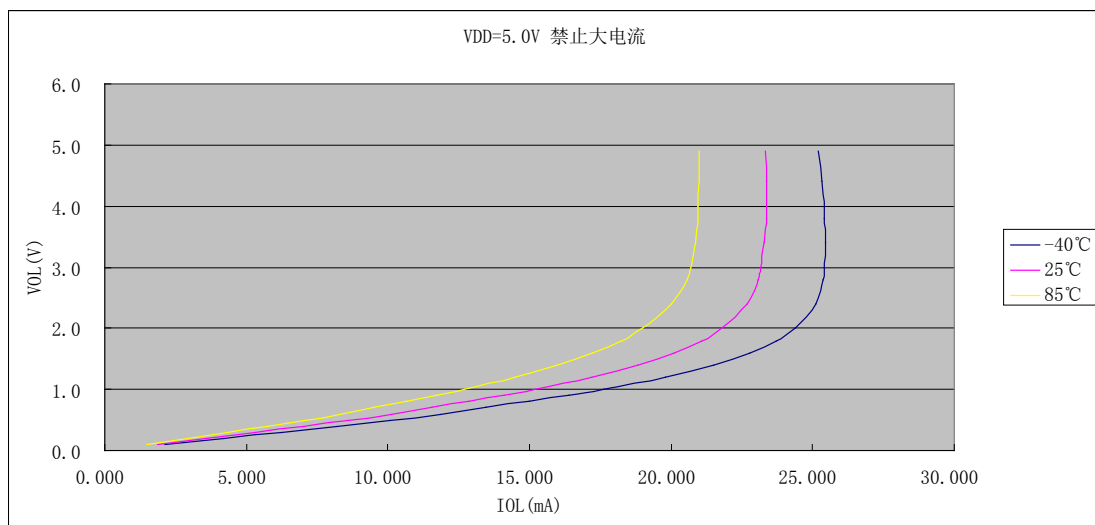
D: V_{OL} vs I_{OL} @ $V_{DD}=3.5V$



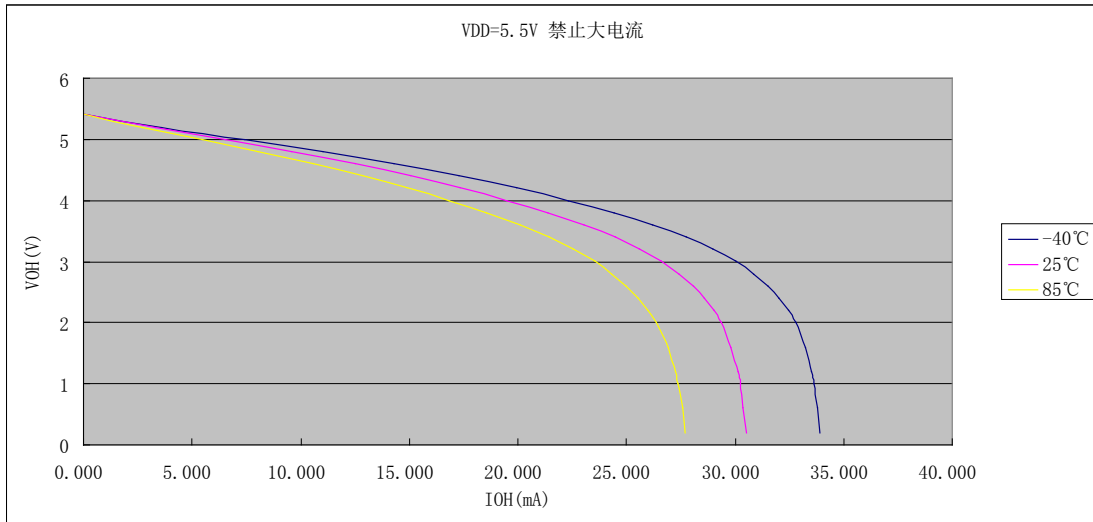
E: V_{OH} vs I_{OH} @ $V_{DD}=5.0V$



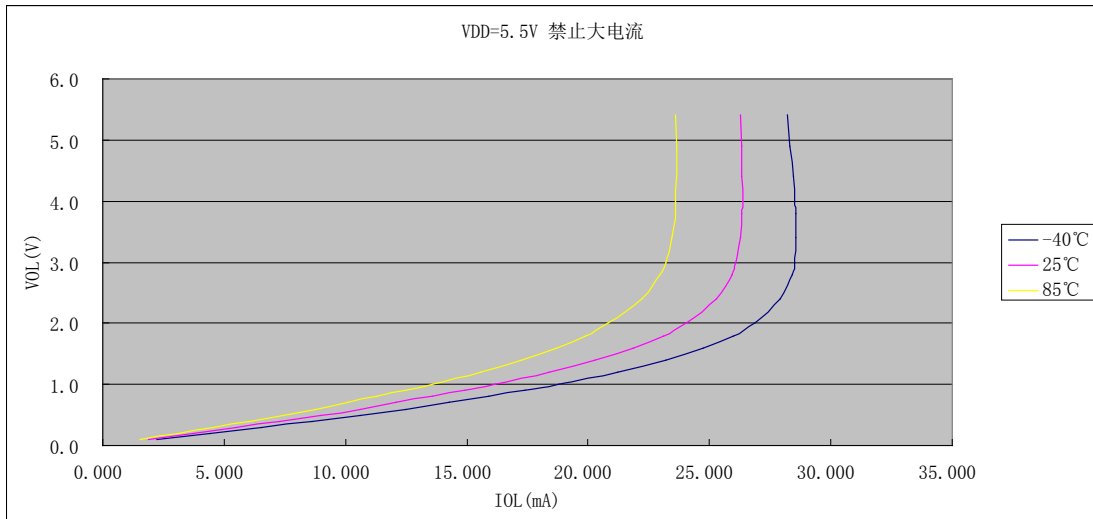
F: V_{OL} vs I_{OL} @ $V_{DD}=5.0V$



G: V_{OH} vs I_{OH} @VDD=5.5V

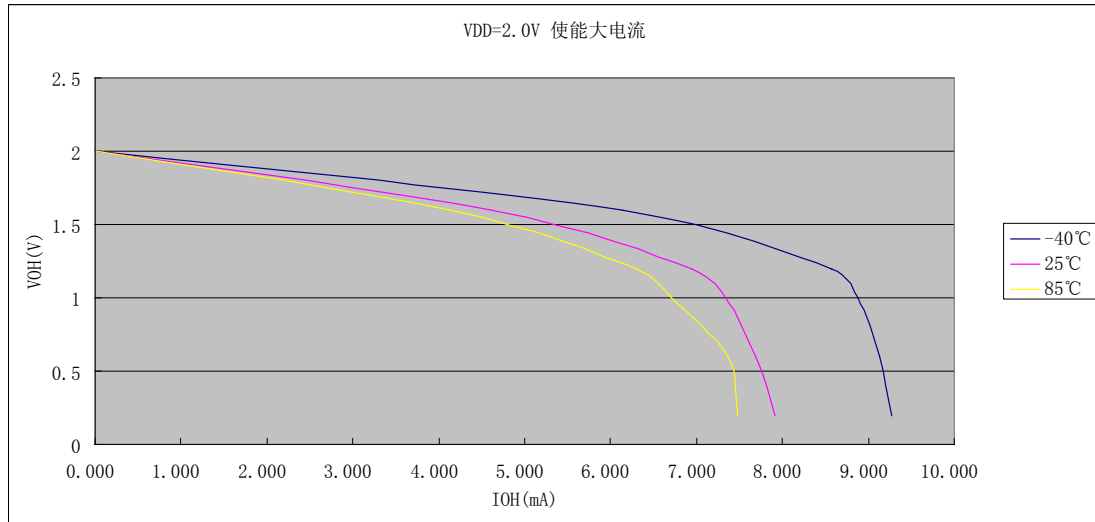


H: V_{OL} vs I_{OL} @VDD=5.5V

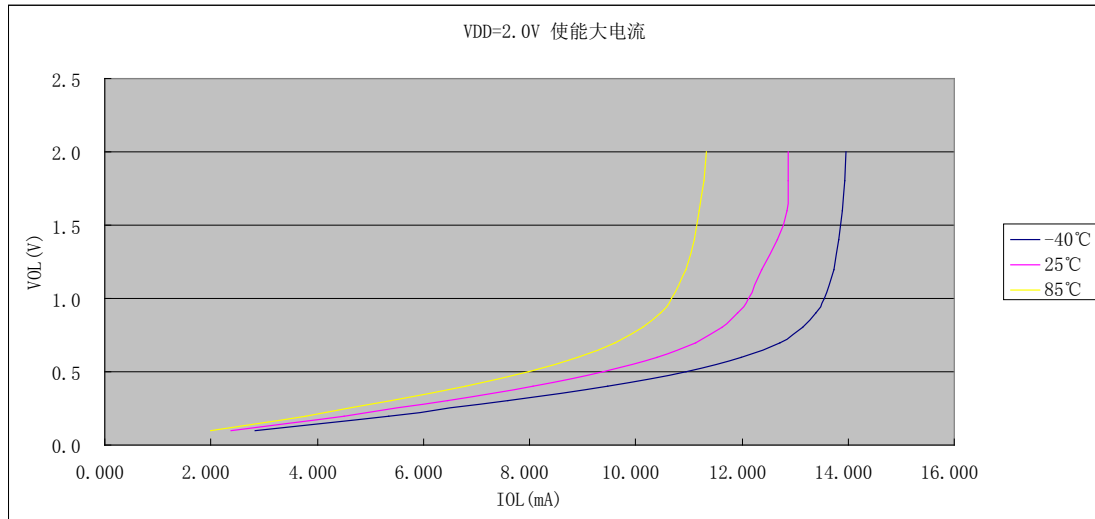


◆ I/O 端口信号输出特性图（大电流端口）

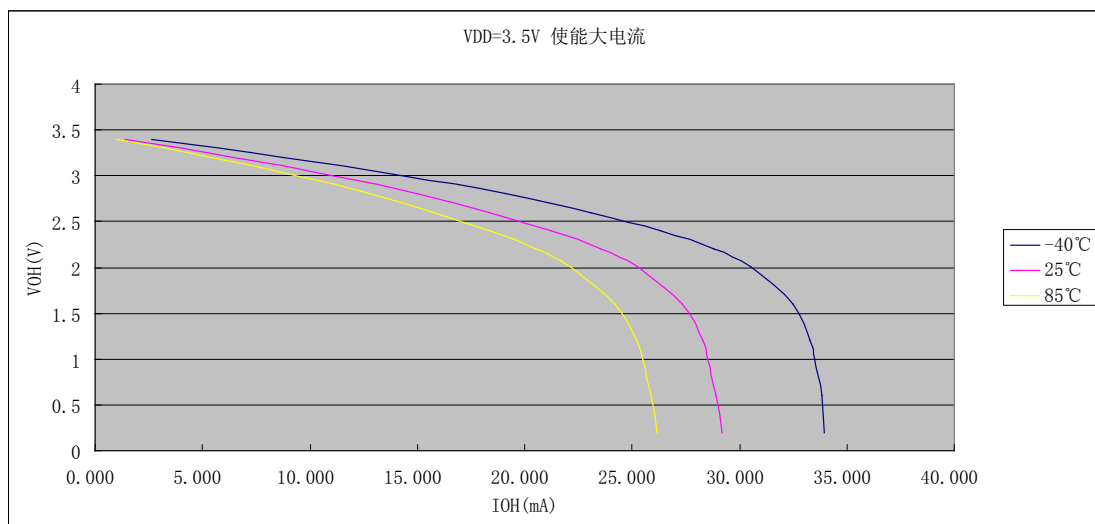
A: V_{OH} vs I_{OH} @VDD=2.0V



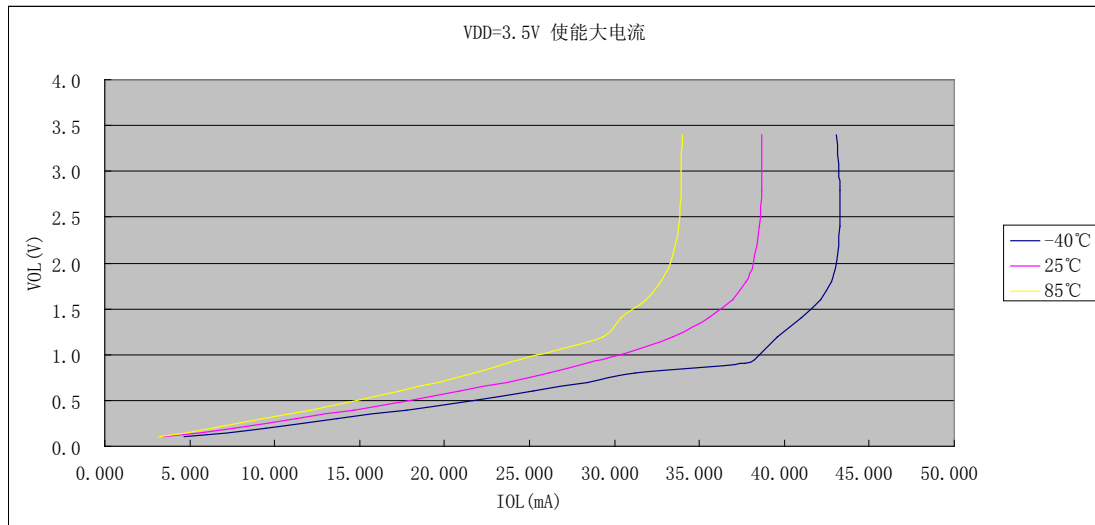
B: V_{OL} vs I_{OL} @VDD=2.0V



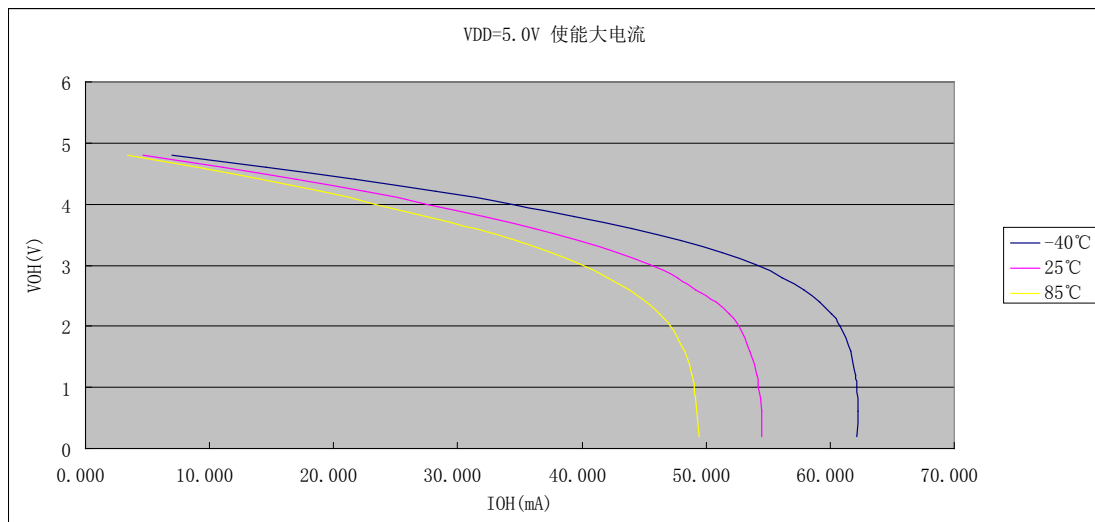
C: V_{OH} vs I_{OH} @VDD=3.5V



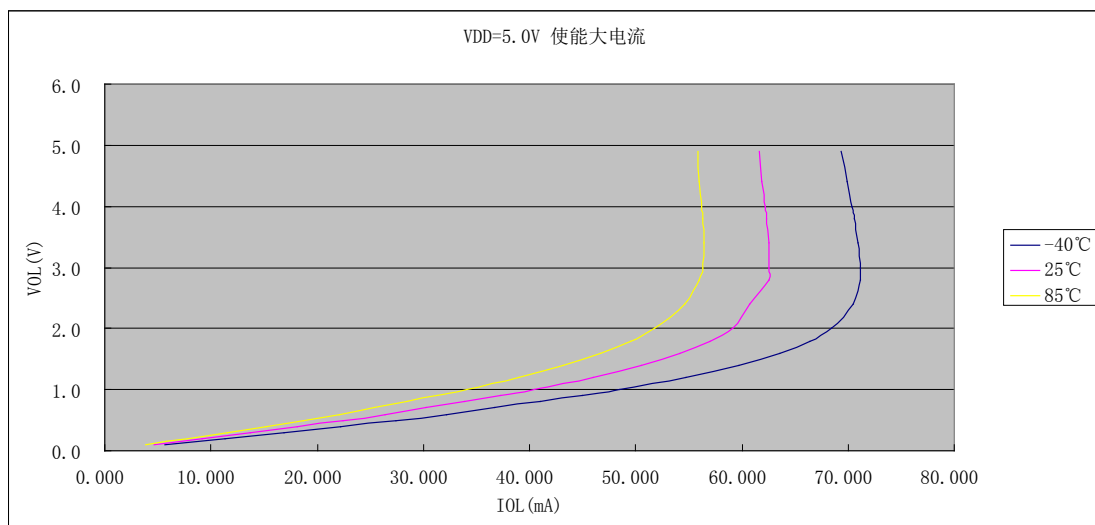
D: V_{OL} vs I_{OL} @VDD=3.5V



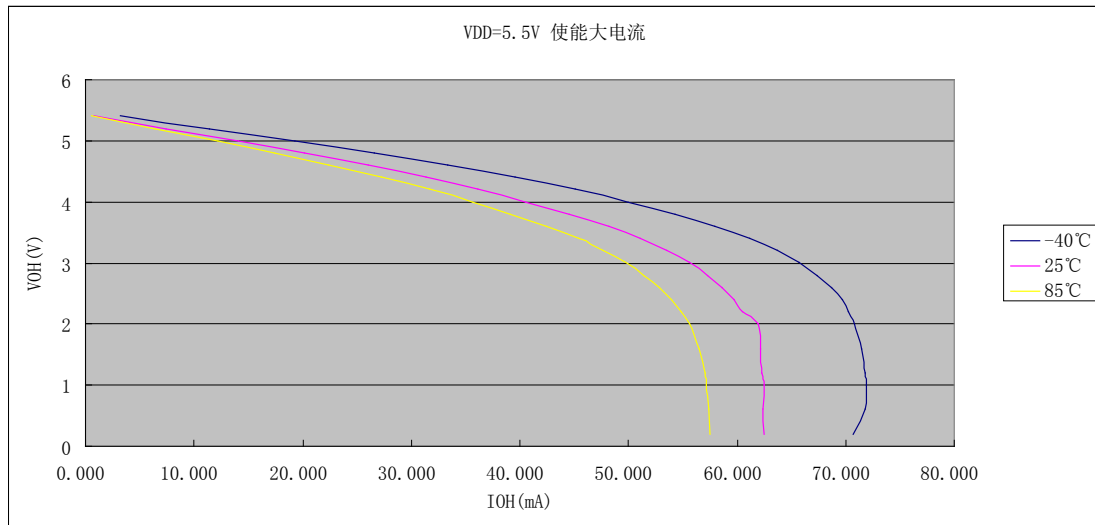
E: V_{OH} vs I_{OH} @VDD=5.0V



F: V_{OL} vs I_{OL} @VDD=5.0V



G: V_{OH} vs I_{OH} @VDD=5.5V



H: V_{OL} vs I_{OL} @VDD=5.5V

