



产品概述

3520D 集成 600V 半桥驱动的自适应镇流器控制芯片，是一款应用于紧凑型荧光灯的芯片。

此芯片包含自适应零电压开关，峰值因子过流保护功能，同时还集成了自举二极管。

该芯片最核心的部分是一个最小频率外部可调的压控振荡器。

所有的镇流器控制芯片需要的特性全部集成到 8 个引脚的 PDIP/SOIC 的封装体内。

主要特性

- 600V 半桥驱动
- 集成自举二极管
- 自适应零电压开关(ZVS)
- 内部峰值因子检测过流保护
- 0~6.3V 直流电压控制压控振荡器
- 最小频率外部可调
- 低功耗启动(80μA)
- VCC 内部 16.1V 齐纳钳位
- DIP8/SOIC8 封装、无铅封装

典型应用

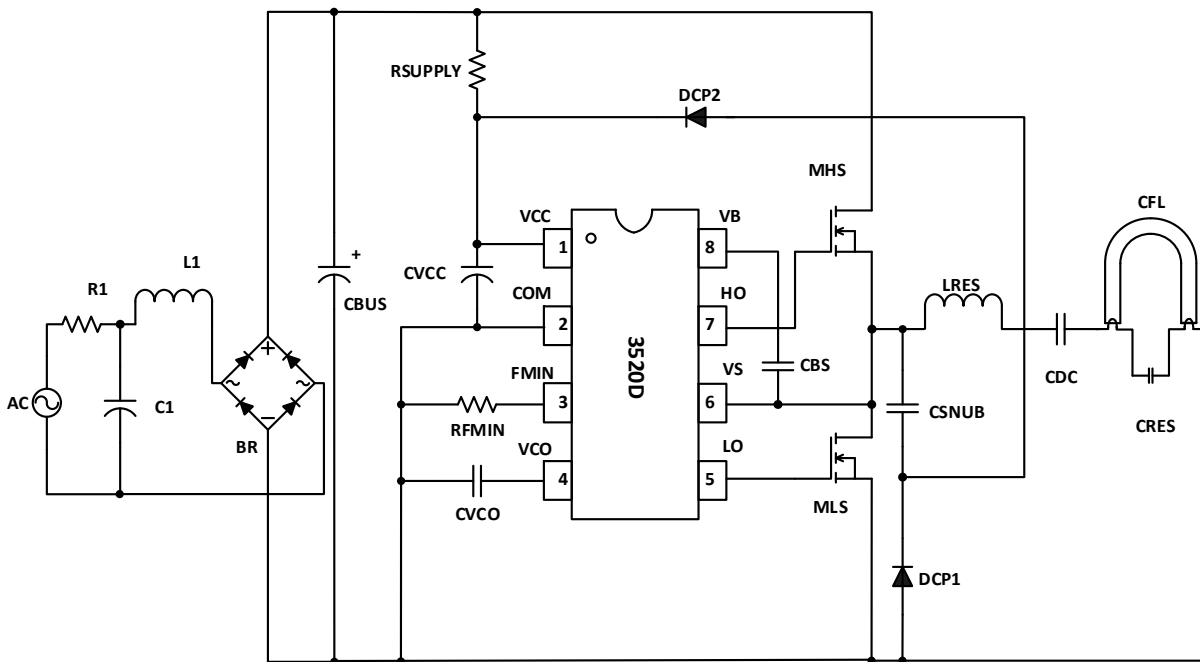


图 1: 3520D 的典型应用示意图

引脚分布及功能

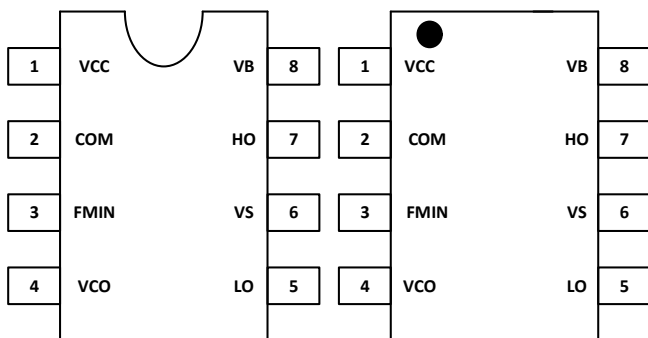


图 2: 引脚分布图

引脚	符号	描述
1	VCC	芯片电源电压
2	COM	芯片功率地和信号地
3	FMIN	最小频率设置端口
4	VCO	压控振荡器输入端
5	LO	低压侧栅驱动输出端
6	VS	高压侧浮动地
7	HO	高压侧栅驱动输出端
8	VB	高压侧浮动电源

表 1: 引脚功能描述

**目录**

产品概述 .....	1	功能描述 .....	6
主要特性 .....	1	1) 欠压锁定模式 .....	6
典型应用 .....	1	2) 频率扫描模式 .....	7
引脚分布及功能 .....	1	3) 运行模式 .....	8
目录 .....	2	4) 非零电压开关保护(ZVS) .....	9
表格目录 .....	2	5) 波峰因子过流保护 .....	10
图形目录 .....	2	6) 错误模式 .....	10
芯片轮廓 .....	3	典型性能特性 .....	11
极限工作范围 .....	3	封装信息 (DIP-8) .....	11
推荐工作条件 .....	4	封装信息 (SOIC-8) .....	11
内部结构框图 .....	4	标识信息 .....	12
电气特性 .....	5	订购信息 .....	12
电气特性 (续) .....	6	版本 .....	12

**表格目录**

表 1: 引脚功能描述 .....	1	表 8: 保护特性 .....	5
表 2: 芯片轮廓参数 .....	3	表 9: 栅极驱动输出电气参数 .....	6
表 3: 极限工作参数 .....	3	表 10: 最小频率设置 .....	6
表 4: 推荐工作参数 .....	4	表 11: 自举二极管电气参数 .....	6
表 5: 电源电气参数 .....	5	表 12: 8-Lead PDIP 的封装参数 .....	11
表 6: 浮动电源特性 .....	5	表 13: 8-Lead SOIC 的封装参数 .....	11
表 7: 振荡器 I/O 特性 .....	5	表 14: 3520D 的订购信息 .....	12

**图形目录**

图 1: 3520D 的典型应用示意图 .....	1	图 11: 3250D 非零电压开关保护时序图 .....	9
图 2: 引脚分布图 .....	1	图 12: 无灯或灯丝开路错误条件下的时序图 .....	9
图 3: 3520D 的芯片轮廓示意图 .....	3	图 13: 峰值因子保护时序图 .....	10
图 4: 3520D 的内部结构框图 .....	4	图 14: 频率——温度曲线 .....	11
图 5: 功能描述框图 .....	6	图 15: CSCF vs VSOFFSET .....	11
图 6: 启动电流示意图 .....	7	图 16: 8-Lead PDIP 的封装示意图 .....	11
图 7: 频率扫描模式电路示意图 .....	7	图 17: 8-Lead SOIC 的封装示意图 .....	11
图 8: 频率扫描模式时序图 .....	7	图 18: 3520DEPA 的产品标识信息 .....	12
图 9: 包含灯工作点的谐振腔波特 .....	8	图 19: 3520DESA 的产品标识信息 .....	12
图 10: 3520D 运行模式电路示意图 .....	8		



## 芯片轮廓

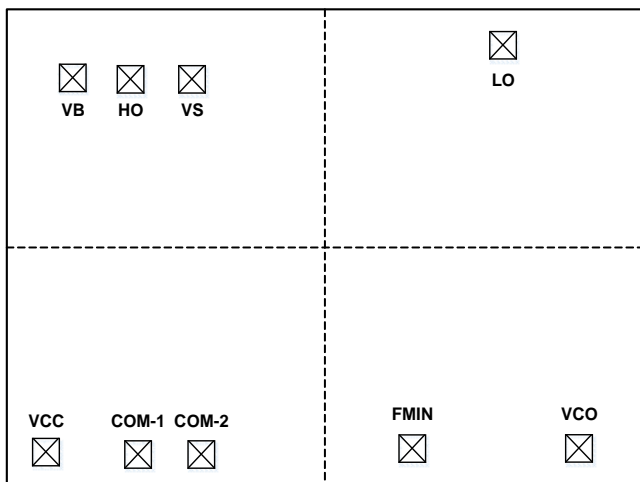


图 3: 3520D 的芯片轮廓示意图

序号	符号	X 轴坐标	Y 轴坐标
1	VCC	-1048	-747.5
2	COM-1	-702	-756.5
3	COM-2	-464	-756.5
4	FMIN	328.6	-734.5
5	VCO	955	-734.4
6	LO	669.6	739.2
7	VS	-499.2	614.5
8	HO	-730.1	614.5
9	VB	-947	619.5

表 2: 芯片轮廓参数

注 1: 芯片尺寸为  $2390 \times 1740 \mu\text{m}$ 。

注 2: 项目划片槽为  $X=80 \mu\text{m}, Y=80 \mu\text{m}$ 。

注 3: 此芯片轮廓尺寸中不包含划片槽。

注 4: 此坐标原点为不含划片槽的版图中心点位置。

注 5: 此芯片焊盘尺寸为  $100 \times 100 \mu\text{m}$ 。

## 极限工作范围

符号	描述	参数		单位	
		最小值	最大值		
VB	高压侧浮动电源电压	-0.3	625	V	
VS	高压侧浮动偏置电压	VB-25	VB+0.3		
VHO	高压侧浮动输出电压	VS-0.3	VB+0.3		
VLO	低压侧输出电压	-0.3	VCC+0.3		
IVCO	压控振荡器输入电流 (注 6)	-5	+5	mA	
ICC	电源电流 (注 7)	-25	25	mA	
dVS/dt	偏置电压的压摆率	-50	50	V/ns	
PD	封装功耗@ $T_A \leq +25^\circ\text{C}$ $PD = (T_{JMAX} - T_A) R_{thJA}$	PDIP	-	1	W
		SOIC	-	0.625	
RthJA	结到环境热阻	PDIP	-	125	$^\circ\text{C}/\text{W}$
		SOIC	-	200	
TJ	结温度	-55	150	$^\circ\text{C}$	
TS	存储温度	-55	150		
TL	引脚温度 (锡焊, 10 秒)	-	300		

表 3: 极限工作参数

如果强度超过表 3 中的极限工作状态很可能会损坏器件。超过这些状态器件可能不运行, 而在推荐的工作条件下器件是能正常运行的, 这些极限工作条

件下是不推荐使用的。表 3 中的所有极限电压参数全部是对地的电压, 所有的电流是从管脚流进去的电流。另外, 超出推荐工作状态可能会影响器件的可靠性。

注 6: 此芯片在 VCO 脚和地之间有一个齐纳二极管钳位结构, 在通常状态下它的击穿电压是 6.3V。

请不要用大于 6.3V 的低阻抗直流电源连接到这个管脚上。

注 7: 此芯片在 VCC 和地之间有一个齐纳二极管钳位结构, 在通常状态下它的击穿电压是 16.1V。

请不要用大于 VCLAMP 的低阻抗直流电源连接到这个管脚上。



## 推荐工作条件

为了保证器件正常工作，芯片必须工作在表 4 所列的工作条件中。

符号	描述	参数		单位
		最小值	最大值	
VBS	高压侧浮动电源绝对电压	VCC - 0.7	VCLAMP	V
VS	高压侧浮动电源偏置电压	-1	600	
VCC	低压电源电压	VCCUV+	VCLAMP	
ICC	低压电压工作电流	注 8	10	mA
RFMIN	最小频率设置电阻	20	140	kΩ
VVCO	VCO 引脚电压	0	5	V
TJ	结温度	-25	125	°C

表 4: 推荐工作参数

注 8: 为了保持芯片内部的 16.1V 齐纳钳位二极管保持正常钳位电压，请提供足够的电流提供给 VCC 管脚上。

## 内部结构框图

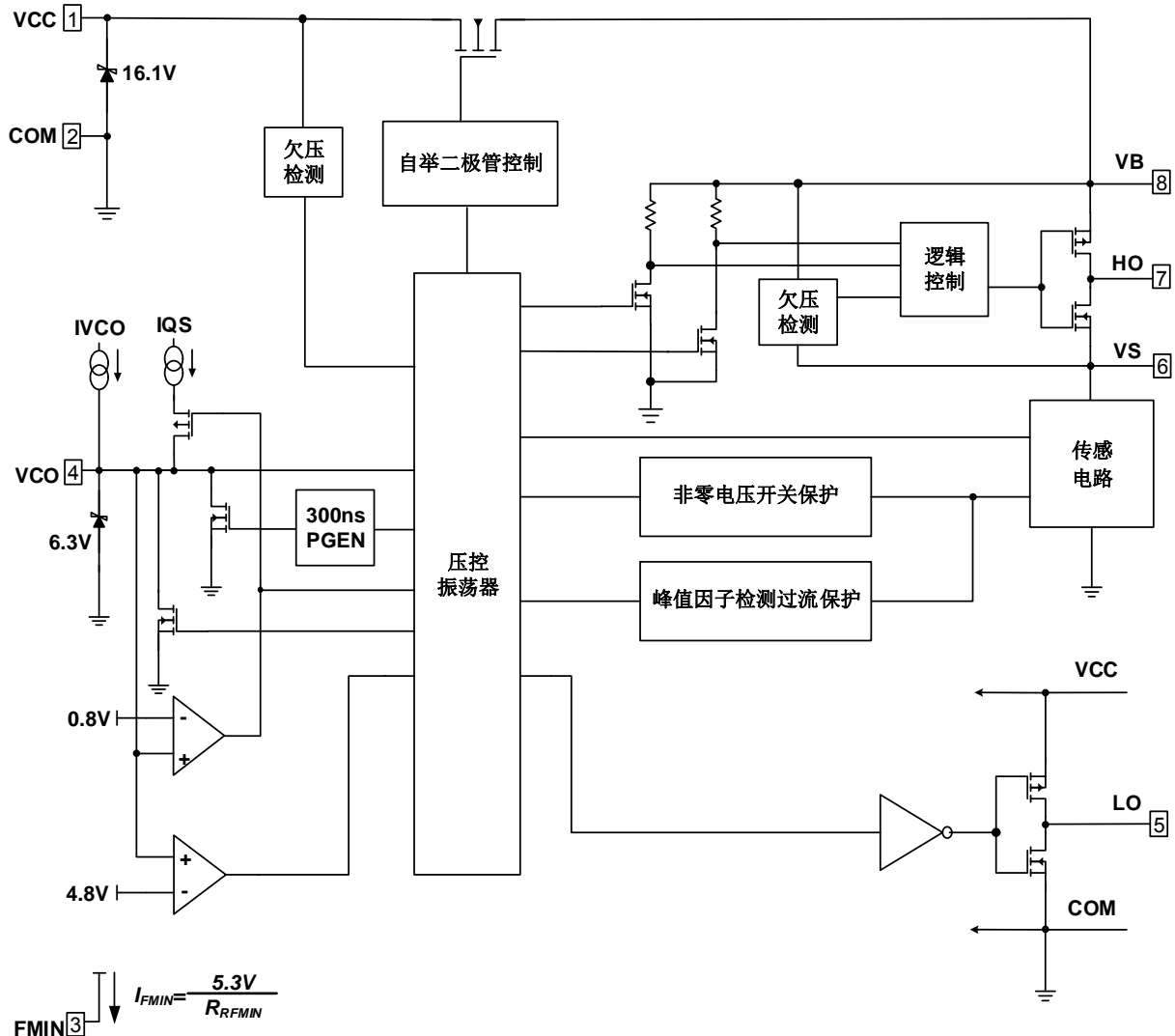


图 4: 3520D 的内部结构框图



## 电气特性

VCC=VBS=VBIAS=14V ± 0.25V, CLO=CHO=1000pF, RFMIN=82kΩ, 除非特别说明, 否则 TA=25°C。

符号	描述	参数			单位	测试条件
		最小值	典型值	最大值		
VCCUV+	VCC 欠压锁定正向开启电压	11.4	12.5	13.8	V	VCC 从 0V 往上升
VCCUV-	VCC 欠压锁定负向关断电压	9.0	9.7	11.0		-
VUVHYS	VCC 欠压锁定迟滞	-	2.7	-		-
IQCCUV	欠压锁定模式静态电流	-	40	80	μA	VCC=10V
IQCCFLT	错误模式静态电流	-	100	-		-
ICCHF	VCC 电源电流, f=85KHz	-	4.2	-	mA	VVCO=0V
ICCLF	VCC 电源电流, f=35KHz	-	2.3	-		VVCO=6V
VCLAMP	VCC 齐纳钳位电压	15.1	16.1	-	V	ICC=10mA

表 5: 电源电气参数

符号	描述	参数			单位	测试条件
		最小值	典型值	最大值		
IQBS0	VBS 电源静态电流	-	75	150	μA	VCC=10V, VBS=14V
IQBSUV	欠压模式下 VBS 电源静态电流	-	18	40		VCC=10V, VBS=7V
VBSUV+	VBS 欠压锁定正向开启电压	7.7	9.4	10.3	V	-
VBSUV-	VBS 欠压锁定负向关断电压	7.3	8.8	9.7	V	-
ILK	偏置电源漏电流	-	-	50	μA	VB = VS = 600V

表 6: 浮动电源特性

符号	描述	参数			单位	测试条件
		最小值	典型值	最大值		
f(min)	最小振荡频率 (注 9)	29.6	34	38.2	kHz	VVCO = 6V
f(max)	最大振荡频率 (注 9)	67	86	96		VVCO = 0V
D	振荡器占空比	-	50	-	%	-
DTLO	LO 输出死区时间	-	2.0	-	μs	-
DTHO	HO 输出死区时间	-	2.0	-		-
IVCOQS	快速启动时, VCO 引脚电流	-	75	-	μA	VVCO = 0V
IVCOFS	频率扫描时, VCO 引脚电流	0.8	1.2	2.0		VVCO = 2V
IVCO_5V	当 VCO 引脚电压达到 5V 时, VCO 引脚电流	-	1.2	-		-
VVCO_max	VCO 引脚最大电压	-	6.3	-	V	-

表 7: 振荡器 I/O 特性

注 9: 此频率是在 RFMIN=82kΩ 的情况下的值。可通过改变 RFMIN 来调高或者调低频率值。

符号	描述	参数			单位	测试条件
		最小值	典型值	最大值		
VVCO_RUN	进入运行模式时, VCO 引脚电压	-	4.8	-	V	-
CSCF	错误模式的峰值因子比 (峰值比平均值)	-	5.0	-	N/A	VS offset = 0.5V
VS_OFFSET_MAX	VS 最大偏置电压	-	3.0	-	V	-
VVCO_SD	VCO 关断电压	0.68	0.84	0.96	V	-

表 8: 保护特性



## 电气特性 (续)

VCC=VBS=VBIAS=14V ± 0.25V, CLO=CHO=1000pF, RFMIN=82kΩ, 除非特别说明, 否则 TA=25°C。

符号	描述	参数			单位	测试条件
		最小值	典型值	最大值		
VLO=LOW	当 LO 为低时, LO 输出电压	-	COM	-	mV	-
VHO=LOW	当 HO 为低时, HO 输出电压	-	COM	-		-
VLO=HIGH	当 LO 为高时, LO 输出电压	-	VCC	-		-
VHO=HIGH	当 HO 为高时, HO 输出电压	-	VCC	-		-
TRISE	开通时的上升时间	-	170	230	ns	-
TFALL	关断时的下降时间	-	85	120		-
IO+	输出到电源短路时的脉冲电流	-	140	-	mA	-
IO-	输出到地短路时的脉冲电流	-	230	-	mA	-

表 9: 栅极驱动输出电气参数

符号	描述	参数			单位	测试条件
		最小值	典型值	最大值		
VFMIN	正常运行时, FMIN 电压	4.8	5.3	5.4	V	-
VFMINFLT	错误模式时, FMIN 电压	-	0	-	V	-

表 10: 最小频率设置

符号	描述	参数			单位	测试条件
		最小值	典型值	最大值		
IBS1	VB 电流	30	75	-	mA	CBS=0.1uF, VS=0V
IBS2	VB 电流	10	25	-		VBS = 10V

表 11: 自举二极管电气参数

## 功能描述

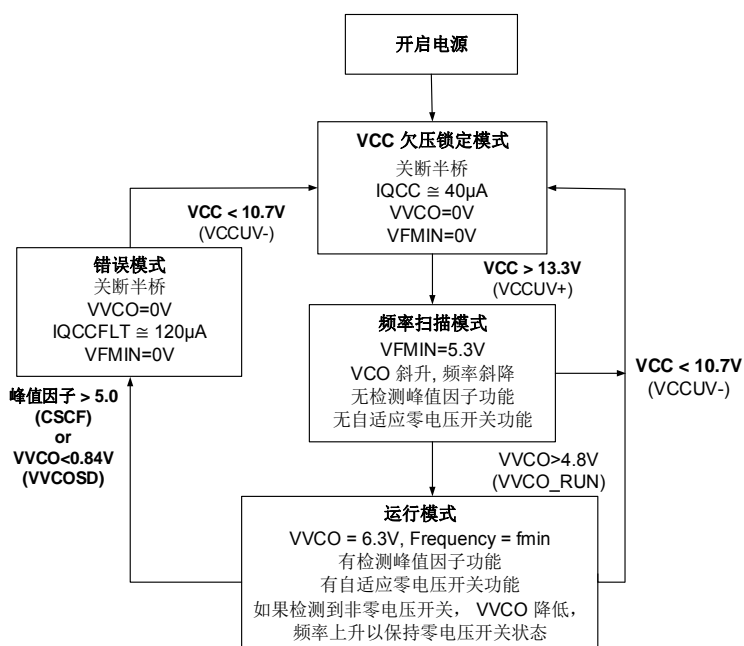


图 5: 功能描述框图

## 1) 欠压锁定模式

欠压锁定模式是指当 VCC 电压低于芯片的启动电压阈值时 3520D 所处的状态。在欠压锁定模式下 3520D 芯片电源上只有极其微小的电流 (IQCCUV<80uA), 此模式是为了保证在 3520D 的全部功能正常之后芯片的高压侧和低压侧才能有输出。刚开始时, VDC 通过电源电阻 RSUPPLY 的电流减去 3520D 的启动下拉电流后向 VCC 引脚上的电容 CVCC 充电 (图 6)。选择这个电源电阻 RSUPPLY 的前提是要保证从 VDC 上能够提供足够的电流给 3520D。VCC 的电压, 也就是 CVCC 的电压逐渐升高, 当 VCC 的电压升高到启动阈值 VCCUV+ 的时候, 3520D 打开 HO 和 LO 开始震荡。电容 CVCC 要足够大以保



证在开始的半个周期内维持VCC的电压大于  $VCCUV+$ ，直到有外部的供电装置来保证芯片的电源电压和电流需求。内部集成在VCC和VB之间的自举 MOSFET 将决定高压侧驱动电路的电源电压。由电容 CSNUB 和二极管 DCP1、DCP2 组成的外部电荷泵电路将给低压侧驱动电路提供一个额外的电源。

为了保证在第一个脉冲到达HO之前高压侧的电源已被充电到了高电平，开始时的输出脉冲都是有LO脚输出的。可能LO震荡了好几个周期后，VB-VS的电压才能超过高压侧的欠压钳位阈值  $VBSUV+(9V)$ ，这时高压侧才能有输出。在整个欠压检测模式期间，高压侧和低压侧的输出HO、LO都是低电平，VCO引脚也是被拉到GND电平将启动频率设置成最大值。

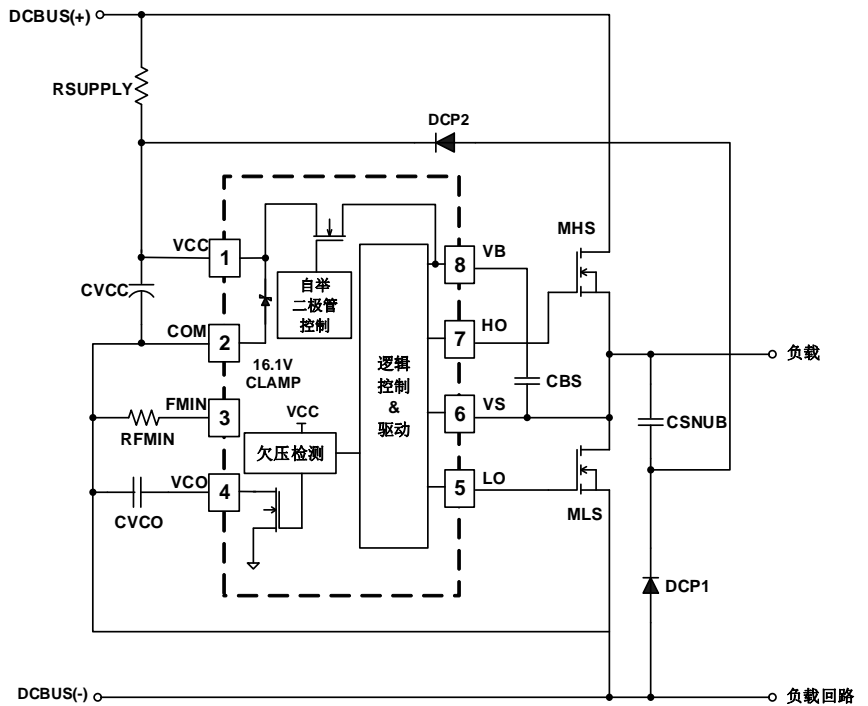


图 6: 启动电流示意图

## 2) 频率扫描模式

当VCC超过阈值  $VCCUV+$ ，3520D进入频率扫描模式。图7所示的一个内部的电流源给VCO引脚的外部电容CVCO充电，使得VCO引脚的电压开始线性上升。一个额外的快速启动电流IVCOQS也和VCO引脚相连，将VCO引脚的电压从初始值充到0.85V。当VCO的电压超过0.85V，这个快速启动电流在内部断开，VCO的电压随着正常频率扫描电流源IVCOFS的充电而继续被抬升(图8)。这个快速启动将VCO电压快速带到VCO内部的范围。

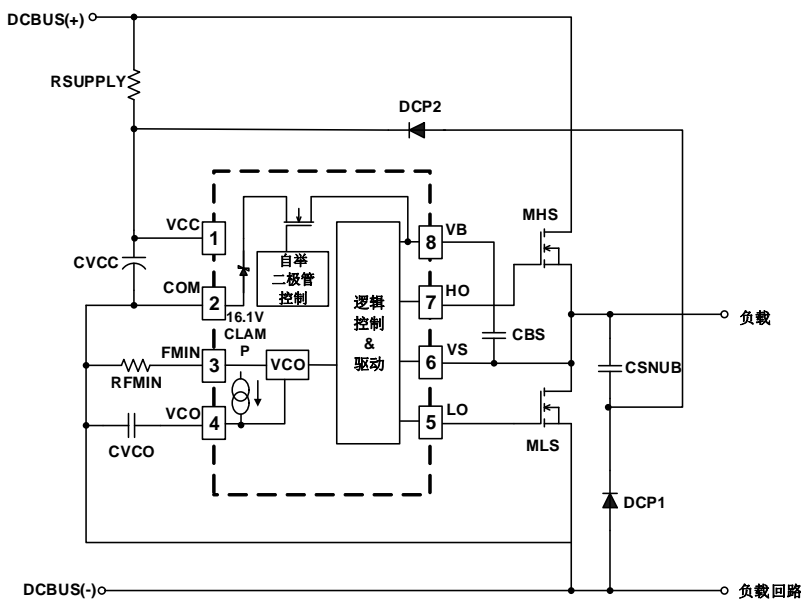


图 7: 频率扫描模式电路示意图

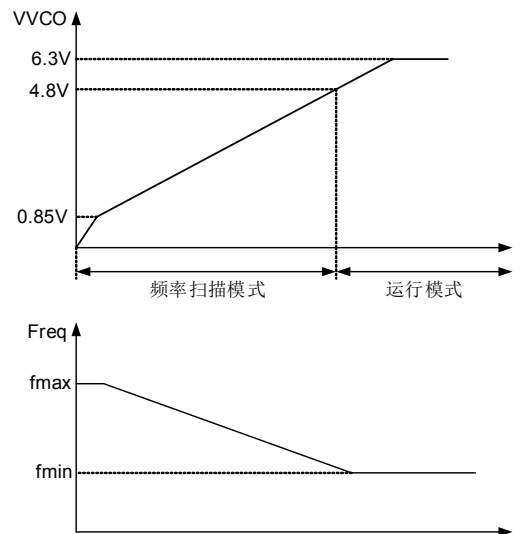


图 8: 频率扫描模式时序图

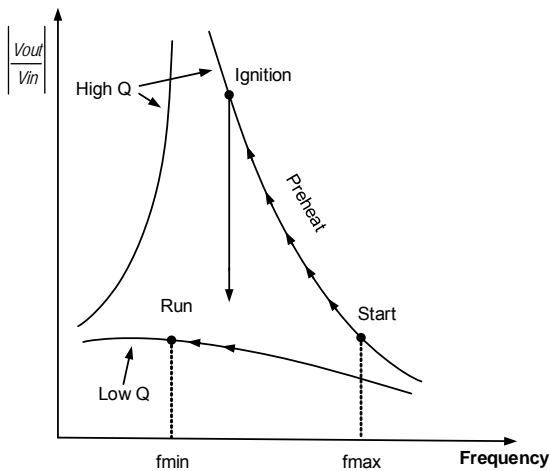


图 9: 包含灯工作点的谐振腔波特

频率朝着高 Q 值镇流器输出级的谐振频率处斜坡下降，导致灯电压和负载电流增大。VCO 引脚的电压继续增大，并且频率保持下降直到灯被点亮。

如灯被成功点亮，VCO 引脚的电压继续增大直到达到内部限制值 6.3V (VVCO\_MAX)。频率停止下降并停止在由 FMIN 引脚处的外部电阻 RFMIN 设定的最小频率。

最小频率应当被设定在低于高 Q 值镇流器输出级的谐振频率，以便该频率斜坡通过为使灯点亮的谐振频率处 (图 9)。

所要求的预热时间能够通过调节 CVCO 电容处的 VCO 点的斜坡斜率。

### 3) 运行模式

当 VCO 引脚的电压超过 4.8V(VVCO\_RUN)，3520D 进入运行模式。灯已经被点亮，同时镇流器的输出级变成一个低 Q 值、串联电感 L、并联 RC 线路。并且，VS 检测和错误逻辑模块 (图 10) 都开始具有对非零电压转换和过流错误情况下的保护功能。VCO 引脚上的电压继续增加，频率进一步下降，直到 VCO 引脚的电压限在 6.3V (VVCO\_MAX)，这样最小频率就达到了。谐振电感、谐振电容、总线电压和最小工作频率决定灯工作的功率。芯片维持在这个最小频率除非非零电压转换在 VS 引脚发生或波峰因子过流情况在 VS 端被检测，或者 VCC 的电压减小到低于 UVLO 的阈值。

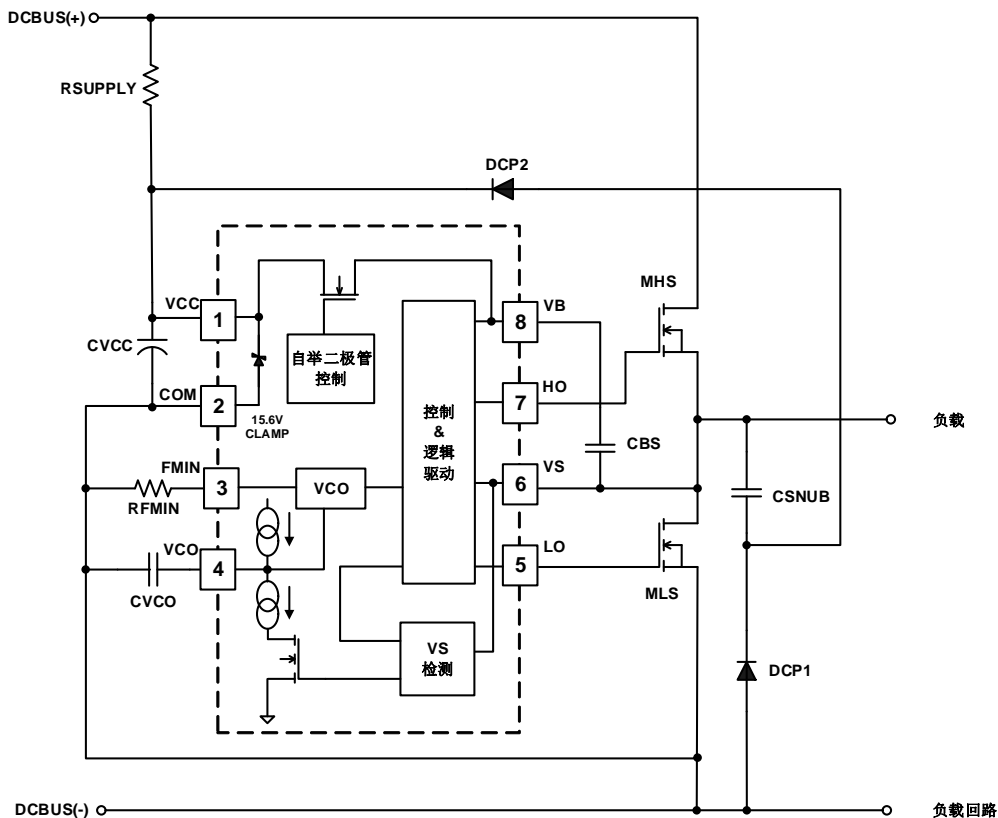


图 10: 3520D 运行模式电路示意图





#### 4) 非零电压开关保护(ZVS)

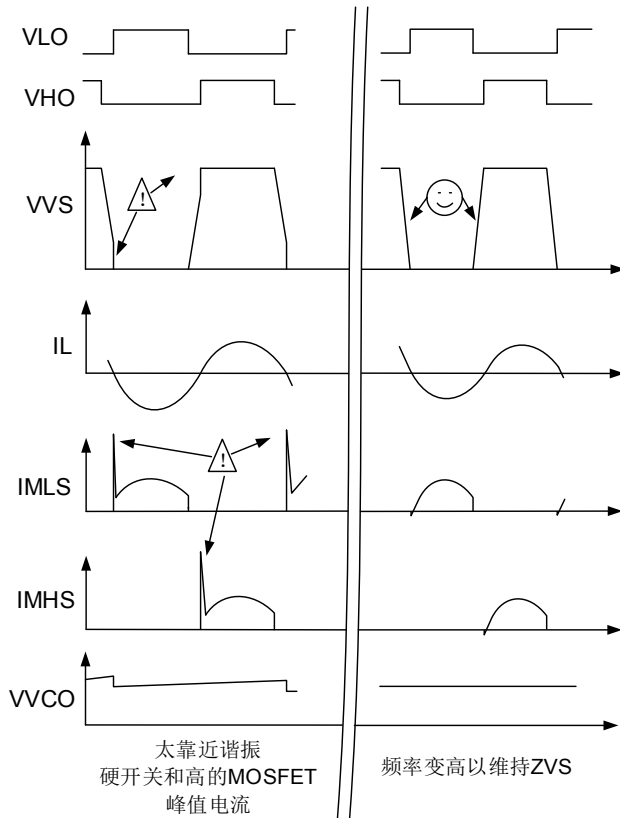


图 11: 3250D 非零电压开关保护时序图

在运行模式中,如 VS 引脚的电压,在死区时间内没有减小到 GND,这样,当 LO 开启时,在低边半桥 MOSFET 的源和漏极之间就会有电压,从而系统工作在太接近或者在谐振点的容性侧。结果是非零电压容性模式开关导致足够破坏半桥的 MOSFET 的高尖峰电流流过它们(图 11)。这个能够在灯丝错误、灯移除(开路)、在灯熄灭、直流总线的下跌或中断、灯随时间的变化、以及元件变化。为避免这些,一个内置的高压 MOSFET 在 HO 端关断时被打开,这个 VS 的检测电路在 LO 的每个上升沿检测 VS 的电压。当 VS 电压不是零时,一个脉冲电流从 VCO 引脚处抽取电流来使外部电容 CVCO 缓慢放电,导致频率缓慢上升。在此周期余下的时间内, VCO 电容被内部的电流源缓慢充电。

通过给 VCO 电容充电,频率减小向谐振频率点靠近。LO 开启时,“非零电压开关”情况将被检测,每次检测到“非零电压开关”的时候,自适应零电压开关电路将频率轻推到稍高于谐振频率点。在 LO 关断时,内部的用于检测异常状态的高压 MOSFET 也关断了。并在 VS 缓慢上升到总线电势时承受高电压。由于线路情况改变、元件容差变化、灯或负载变化,但都能工作并保持零电压开关,线路保持在闭环自适应的零电压开关模式。在灯被移除或灯丝错误时,灯谐振状态将被中断导致半桥输出变成开路(图 12)。这将会导致容性开关(硬开关),导致可损坏 MOSFET 的高尖峰的电流产生。3520D 将增加频率以便满足零电压开关条件,直到 VCO 引脚的电压低于 0.84V(VVCO<sub>SD</sub>)。芯片将进入错误模式,并将 LO 和 HO 栅驱动输出锁在“低”,以便在损坏 MOSFET 之前将半桥电路安全地关断。

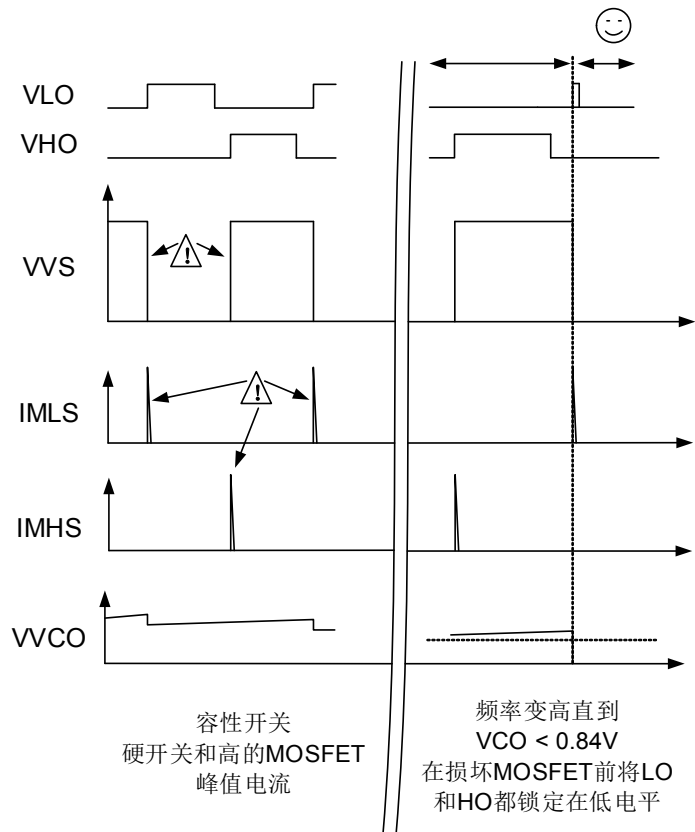


图 12: 无灯或灯丝开路错误条件下的时序图



## 5) 波峰因子过流保护

在正常的灯点亮过程中，频率扫描过谐振点，通过谐振电容和灯的输出电压增加直到灯被点亮。如果灯点亮失败，谐振电容的电压、电感电压和电感电流将会继续增大至电感饱和或者输出电压超过谐振电容和电感的额定最大值；镇流器必须在损坏之前关断。

为避免在灯点亮失败的错误情况下发生损害，3520D 利用 VS 检测线路（图 10）来测量低边半桥 MOSFET 的电流，从而实现检测过流错误。通过利用低边 MOSFET 的导通电阻进行电流检测和 VS 检测线路，3520D 避免了需要额外的电流检测电阻，滤波器和电流检测引脚。

为消除温度和 MOSFET 变化对导通电阻的影响，3520D 采用波峰因子检测方式，用来测量当尖峰电流超过平均电流的 5 倍的情况（CSCF）。当频率扫过谐振频率点而灯没有点亮，由于额外的电流在谐振回路中产生而导致电感饱和，此时检测测量波峰因子是理想可行的。

当 VCO 的电压初次从零开始斜坡上升，谐振回路电流和电压随着频率朝着谐振点减小而增大（图 13）。如灯没有点亮，电感电流将最终饱和但波峰因子错误保护没起作用直到 VCO 电压初次超过 4.8V(VVCO\_RUN)。频率将继续减小到容性谐振边朝着最小频率设定值减小，谐振回路的电流和电压将进一步减小。

当 VCO 的电压超过 4.8V(VVCO\_RUN)，芯片进入运行模式，非零电压开关保护和波峰因子保护都被激活。非零电压开关保护将频率从容性侧每周向谐振处增加。当频率在谐振点附近时，谐振回路的电流将再次增加，直到电感再次饱和。

在 LO 为“高”并且在 LO 上升沿 1us 的空白时间之后，波峰因子保护是生效的，此时测量 VS 端的瞬态电压。空白时间是必要的以避免波峰因子保护线路因非零电压开关情况做出反应。一个内部的平均电路将 LO 端 10 到 20 个开关周期的瞬态电压进行平均。在运行模式中，当 LO 为“高”（1us 空白时间之后）和峰值电流超过平均的 5 倍（CSCF）使电感初次饱和时，3520D 将进

入错误模式，LO 和 HO 输出都被锁为“低”。半桥将在镇流器元件发生任何损坏之前关断。

波峰因子“峰值比平均值错误因子”作为内部平均的作用而变化（图 15）。最大的内部平均应当小于 3V。如平均超过该值，平均电压被乘后将超过 VS 检测电路的最大限，这样 VS 检测电路将不能检测波峰因子错误。当选用作半桥 MOSFET 的导通电阻对应用来说太大，这种情况可能发生，导致内部平均超过了最大限。

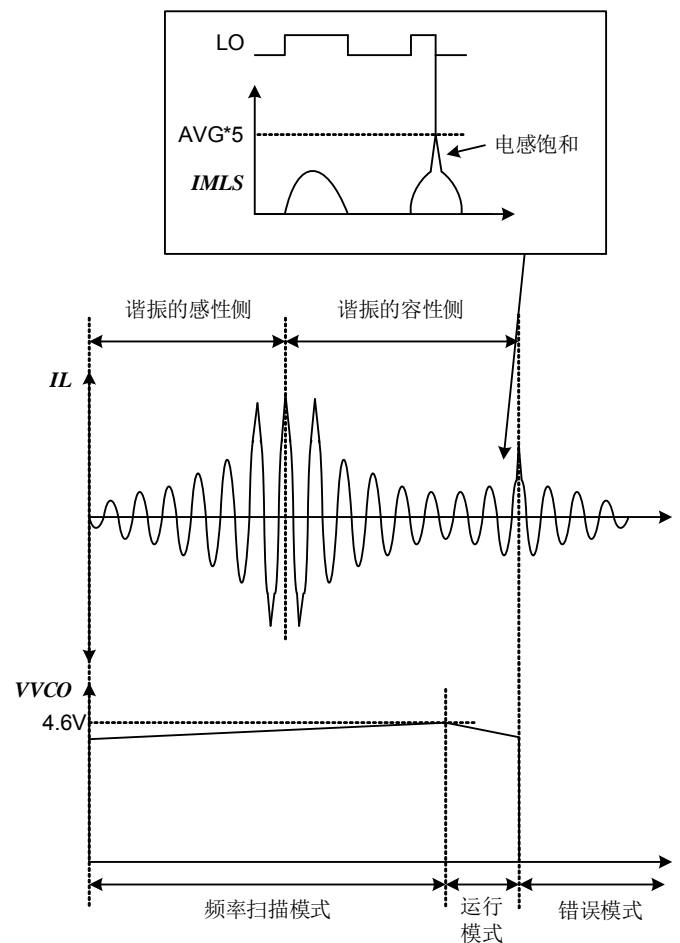


图 13: 峰值因子保护时序图

## 6) 错误模式

在运行模式，如果 VCO 的电压减小到 0.84V 以下 (VVCOSD) 或者波峰因子错误发生，3520D 将进入错误模式。LO 和 HO 栅驱动输出都锁为“低”，从而整个半桥关断。VCO 引脚被拉到 GND，FMIN 引脚被从 5.3V 拉到 GND。VCC 抽取微小电流 (ICCFILT)，从而 VCC 停留在钳位电压，芯片保持在错误模式而无需电荷泵辅助供电。为离开错误模式并回到频率扫描模式，VCC 必须轮转到低于 UVLO- 阈值后回到 UVLO+ 阈值之上。



典型性能特性

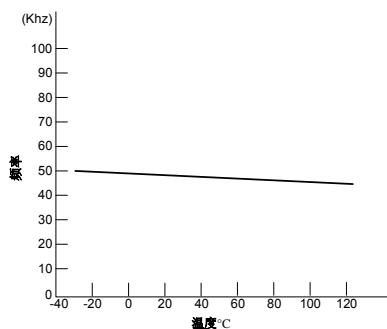


图 14: 频率——温度曲线 R<sub>FMIN</sub>=68KV<sub>VCO</sub>=5V

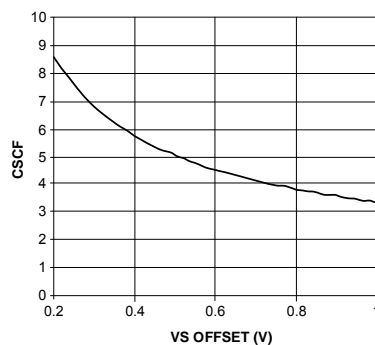


图 15: CSCF vs VSOFFSET

封装信息 (DIP-8)

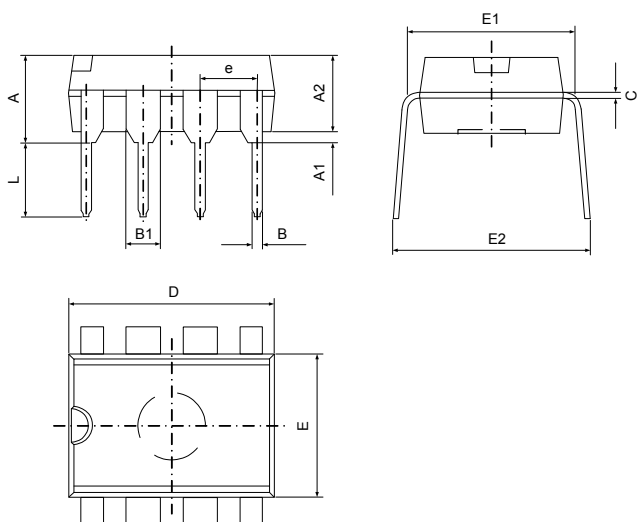


图 16: 8-Lead PDIP 的封装示意图

符号	尺寸 (毫米)		尺寸 (英寸)	
	最小值	最大值	最小值	最大值
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524(BSC)		0.060(BSC)	
C	0.204	0.360	0.008	0.014
D	9.000	9.400	0.354	0.370
E	6.200	6.600	0.244	0.260
E1	7.320	7.920	0.288	0.312
e	2.540(BSC)		0.100(BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354

表 12: 8-Lead PDIP 的封装参数

封装信息 (SOIC-8)

符号	尺寸 (毫米)		尺寸 (英寸)	
	最小值	最大值	最小值	最大值
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	0.127(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

表 133: 8-Lead SOIC 的封装参数

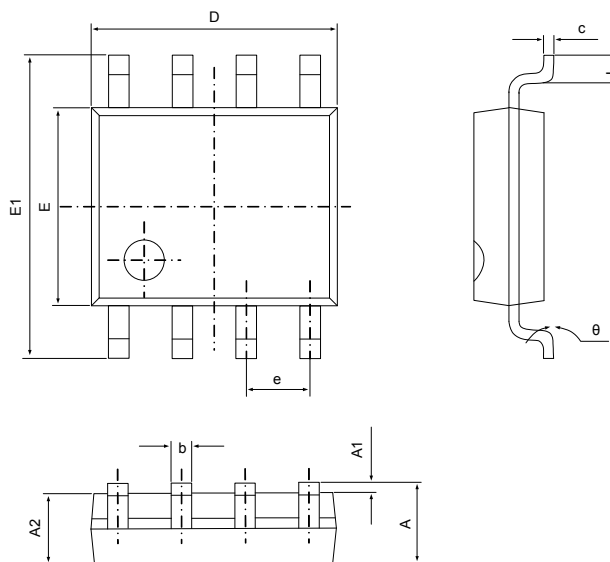


图 17: 8-Lead SOIC 的封装示意图



标识信息

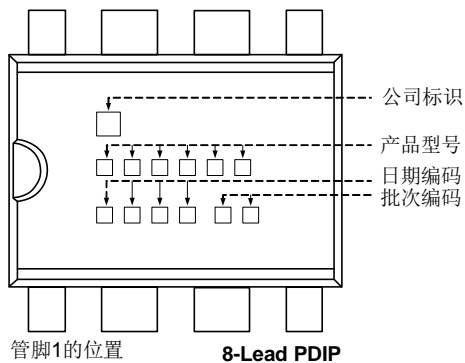


图 18: 3520DEPA 的产品标识信息

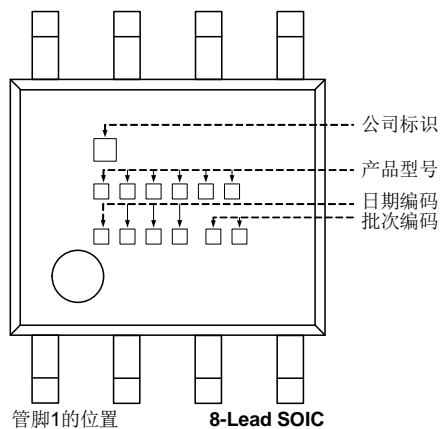


图 19: 3520DESA 的产品标识信息

订购信息

产品型号	封装类型
3520DEPA	8-Lead PDIP
3520DESA	8-Lead SOIC

表 144: 3520D 的订购信息

版本

2018-11-23 版次 1.0: 初版