



GW2AR 系列 FPGA 产品 数据手册

DS226-1.5, 2019-01-09

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2016/10/20	1.00	初始版本。
2017/03/27	1.01	<ul style="list-style-type: none">● 更新器件命名插图；● 增加电气特性参数说明信息。
2017/05/24	1.02	<ul style="list-style-type: none">● 增加 LQ176 封装相关描述；● 增加 SDR SDRAM 接口 3.3V 电平限制描述；● 增加 DDR SDRAM 描述。
2017/07/19	1.03	<ul style="list-style-type: none">● 更新电气特性参数和 MSPI。
2017/09/22	1.04	<ul style="list-style-type: none">● 更新 LQ 封装的尺寸大小；● LQ176 封装的 VCCX 和 VCCO2/3/6/7 接 2.5V 电压。
2017/11/08	1.05	更新 DSP 模块描述。
2017/12/08	1.06	<ul style="list-style-type: none">● 增加对最大用户 IO 数量的说明；● 去掉 IDDR/ODDR 的 RESET 信号,更新带 memory 的 IO 接口描述。
2018/01/05	1.07	<ul style="list-style-type: none">● 更新供电电压描述；● 列出每种封装可用的 PLL, 更新每种封装的 PLL 供电。
2018/04/08	1.08	修改关于最大用户 IO 数量的说明。
2018/05/03	1.09	<ul style="list-style-type: none">● 更新 DCS 上升沿模式和下降沿模式时序图；● Vccx 支持 2.5V 和 3.3V, 给 SDR SDRAM 和 DDR SDRAM 供电时分别给 3.3V 和 2.5V。
2018/05/11	1.1	MODE 管脚可以复用为 GPIO, 修改用户 IO 信息。
2018/08/01	1.2	<ul style="list-style-type: none">● 更新 PLL 结构框图, 输入时钟为 CLKIN；● 增加空白芯片默认系统管脚状态描述。
2018/08/30	1.3	GW2AR-18 QN88 内嵌 SDRAM 的器件 V _{CCO2/6/7} 与 V _{CCX} 内部连接在一起。
2018/11/12	1.4	<ul style="list-style-type: none">● 增加 GW2AR-18 QN88 及 EQ144 内嵌 PSRAM 的信息；● 更新器件命名。
2019/01/09	1.5	更新存储器参考文档。

目录

目录	i
图目录	iv
表目录	vi
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	1
1.5 技术支持与反馈	3
2 产品概述	4
2.1 特性概述	4
2.2 产品信息列表	5
3 结构介绍	7
3.1 结构框图	7
3.2 Memory	8
3.2.1 SDR SDRAM	8
3.2.2 DDR SDRAM	9
3.2.3 PSRAM	10
3.3 可配置功能单元	11
3.3.1 可配置逻辑单元	11
3.3.2 布线资源单元	13
3.4 输入输出模块	13
3.4.1 I/O 电平标准	14
3.4.2 I/O 逻辑	17
3.4.3 I/O 逻辑工作模式	19
3.5 块状静态随机存储器模块	24
3.5.1 简介	24
3.5.2 存储器配置模式	26

3.5.3 存储器混合数据宽度配置	26
3.5.4 字节使能功能配置	27
3.5.5 校验位功能配置	27
3.5.6 同步操作	27
3.5.7 上电情况	27
3.5.8 存储器操作模式	27
3.5.9 B-SRAM 操作模式	32
3.5.10 时钟模式	33
3.6 数字信号处理模块	34
3.6.1 简介	34
3.6.2 DSP 操作模式配置	37
3.7 时钟	37
3.7.1 全局时钟网络	38
3.7.2 锁相环	41
3.7.3 高速时钟	43
3.7.4 延迟锁相环	43
3.7.5 DDR 存储器接口时钟管理 DQS	44
3.8 长线	44
3.9 全局复置位	45
3.10 编程配置	45
3.11 片内晶振	45
4 电气特性	46
4.1 工作条件	46
4.2 ESD 性能	47
4.3 DC 电气特性	49
4.4 开关特性	52
4.4.1 内部开关特性	52
4.4.2 外部开关特性	53
4.5 编程接口时序标准	53
4.5.1 JTAG 模式接口时序标准	53
4.5.2 MSPI 模式接口时序标准	54
4.5.3 SSPI 模式接口时序标准	56
4.5.4 CPU 模式	58
4.5.5 SERIAL 模式	58
5 器件订货信息	59
5.1 器件命名	59

5.2 器件封装标识示例 60

图目录

图 3-1 结构概念示意图	7
图 3-2 CFU 结构示意图	11
图 3-3 CLS 中的寄存器示意图	12
图 3-4 IOB 结构示意图	13
图 3-5 GW2AR 系列 FPGA 产品 I/O Bank 分布示意图	14
图 3-6 I/O 逻辑输出示意图	17
图 3-7 I/O 逻辑输入示意图	17
图 3-8 IODELAY 示意图	17
图 3-9 GW2AR 的 I/O 寄存器示意图	18
图 3-10 GW2AR 的 IEM 示意图	18
图 3-11 普通模式下的 I/O 逻辑结构示意图	19
图 3-12 SDR 模式下的 I/O 逻辑结构示意图	20
图 3-13 I/O 逻辑的 DDR 输入示意图	20
图 3-14 I/O 逻辑的 DDR 输出示意图	20
图 3-15 I/O 逻辑的 IDES4 输入示意图	21
图 3-16 I/O 逻辑的 OSER4 输出示意图	21
图 3-17 I/O 逻辑的 IVideo 输入示意图	21
图 3-18 I/O 逻辑的 OVideo 输出示意图	21
图 3-19 I/O 逻辑的 IDES8 输入示意图	22
图 3-20 I/O 逻辑的 OSER8 输出示意图	22
图 3-21 I/O 逻辑的 IDES10 输入示意图	22
图 3-22 I/O 逻辑的 OSER10 输出示意图	22
图 3-23 IO 逻辑的 IDDR_MEM 输入示意图	23
图 3-24 IO 逻辑的 ODDR_MEM 输出示意图	23
图 3-25 IO 逻辑的 IDES4_MEM 输入示意图	23
图 3-26 IO 逻辑的 OSER4_MEM 输出示意图	23
图 3-27 IO 逻辑的 IDES8_MEM 输入示意图	24
图 3-28 IO 逻辑的 OSER8_MEM 输出示意图	24
图 3-29 单端口存储模式框图	28

图 3-30 双端口存储模式框图	28
图 3-31 伪双端口存储模式框图 1.....	29
图 3-32 伪双端口存储模式框图 2.....	29
图 3-33 只读模式存储框图.....	30
图 3-34 单端口、伪双端口及双端口模式下的流水线模式.....	32
图 3-35 独立时钟模式	33
图 3-36 读写时钟模式	34
图 3-37 单端口时钟模式	34
图 3-38 DSP 宏单元	35
图 3-39 GW2AR 时钟资源.....	38
图 3-40 GCLK 象限分布示意图	39
图 3-41 DQCE 结构示意图	40
图 3-42 DCS 接口示意图.....	40
图 3-43 DCS Rising Edge 模式下的时序示意图.....	40
图 3-44 DCS Falling Edge 模式下的时序示意图	41
图 3-45 PLL 示意图	41
图 3-46 GW2AR HCLK 示意图.....	43
图 3-47 GW2AR 的数字锁相环示意图.....	43
图 3-48 DQS 示意图.....	44
图 4-1 JTAG 编程模式时序示意图	54
图 4-2 GW2AR 重新上电时序图.....	54
图 4-3 GW2AR RECONFIG_N 触发时序图	55
图 4-4 MSPI 编程模式时序示意图	55
图 4-5 SSPI 编程模式时序图	57
图 5-1 内嵌 SDRAM 器件命名方法-ES	59
图 5-2 内嵌 SDRAM 器件命名方法-Production.....	60
图 5-3 器件封装标识示例.....	60

表目录

表 1-1 术语、缩略语	2
表 2-1 产品信息列表	5
表 2-2 GW2AR-18 列表	6
表 3-1 CLS 中寄存器模块信号说明	12
表 3-2 GW2AR 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置	15
表 3-3 GW2AR 支持的输入 I/O 类型及部分可选配置	16
表 3-4 B-SRAM 信号功能	25
表 3-5 存储器配置列表	26
表 3-6 双端口混合读写数据宽度配置列表	26
表 3-7 伪双端口混合读写数据宽度配置列表	27
表 3-8 单端口存储配置模式列表	28
表 3-9 双端口存储配置模式列表	29
表 3-10 伪双端口存储配置模式列表	30
表 3-11 只读配置模式列表	31
表 3-12 时钟模式配置列表	33
表 3-13 DSP 端口描述	35
表 3-14 内部寄存器描述	36
表 3-15 PLL 端口定义	42
表 3-16 片内晶振的输出频率选项	45
表 4-1 绝对最大范围	46
表 4-2 推荐工作范围	46
表 4-3 热插拔特性	47
表 4-4 POR 特性	47
表 4-5 GW2AR ESD - HBM	47
表 4-6 GW2AR ESD - CDM	47
表 4-7 推荐工作范围内的直流电气特性	48
表 4-8 静态电流(Static Supply Current)	48
表 4-9 I/O 推荐工作条件	49
表 4-10 IOB 单端 DC 电气特性 (IOB Single - Ended DC Electrical Characteristic)	50

表 4-11 I/O 差分 DC 电气特性(IOB Differential Electrical Characteristics).....	51
表 4-12 CFU 内部时序参数.....	52
表 4-13 B-SRAM 内部时序参数.....	52
表 4-14 DSP 内部时序参数.....	52
表 4-15 外部开关特性.....	53
表 4-16 片内晶振输出频率.....	53
表 4-17 PLL 开关特性.....	53
表 4-18 JTAG 编程模式时序参数.....	54
表 4-19 重新上电和 RECONFIG_N 触发时序参数.....	56
表 4-20 MSPI 编程模式时序参数.....	56
表 4-21 SSPI 编程模式时序参数.....	57

1 关于本手册

1.1 手册内容

GW2AR 系列 FPGA 产品数据手册主要包括高云半导体 GW2AR 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息，帮助用户快速了解高云半导体 GW2AR 系列 FPGA 产品以及特性，有助于器件选型及使用。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW2AR 系列 FPGA 产品：GW2AR-18。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW2AR 系列 FPGA 产品数据手册
2. Gowin FPGA 产品编程配置手册
3. GW2AR 系列 FPGA 产品封装与管脚手册
4. GW2AR-18 器件 Pinout 手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SIP	System in Package	系统级封装
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Slice	可配置逻辑片
CRU	Configurable Routing Unit	可编程布线单元
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表
LUT7	7-input Look-up Tables	7 输入查找表
LUT8	8-input Look-up Tables	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元
IOB	Input/Output Block	输入输出模块
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
SP	Single Port	单端口
SDP	Semi Dual Port	伪双端口
DP	Dual Port	双端口
DSP	Digital Signal Processing	数字信号处理
TDM	Time Division Multiplexing	时分复用
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DCS	Dynamic Clock Selector	动态时钟选择器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
CS	WLCSP(Wafer-Level Chip Scale Package)	晶圆级芯片封装
MG	MBGA(Micro Ball Grid Array Package)	微型球栅阵列封装
LQ	LQFP(Low-profile Quad Flat Package)	薄型四方扁平封装
EQ	ELQFP(E-pad Low-profile Quad Flat Package)	有接地环的薄型四方扁平封装
PG	PBGA(Plastic Ball Grid Array Package)	塑料球栅阵列封装
UG	UBGA(Ultra Ball Grid Array Package)	增强型球栅阵列封装
QN	QFN(Quad Flat No-lead)	四方扁平无引脚封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 产品概述

高云半导体 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品,是一款系统级封装芯片,在 GW2A 系列基础上集成了丰富容量的 SDRAM 存储芯片,同时具有 GW2A 系列高性能的 DSP 资源,高速 LVDS 接口以及丰富的 BSRAM 存储器资源,这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境,支持 GW2AR 系列 FPGA 产品,能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 特性概述

- 低功耗
 - 55nm SRAM 工艺
 - 核电压: 1.0V
 - 支持时钟动态打开/关闭
- 集成 SDRAM 系统级封装芯片
- 支持多种 I/O 电平标准
 - LVCMOS33/25/18/15/12; LVTTTL33,SSTL33/25/18 I, II, SSTL15; HSTL18 I, II, HSTL15 I; PCI, LVDS25, RSDS, LVDS25E, BLVDSE MLVDSE, LVPECLE, RSDSE
 - 提供输入信号去迟滞选项
 - 支持 4mA、8mA、16mA、24mA 等驱动能力
 - 提供输出信号 Slew Rate 选项
 - 提供输出信号驱动电流选项
 - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
 - 支持热插拔
- 高性能 DSP 模块
 - 高性能数字信号处理能力
 - 支持 9 x 9, 18 x 18, 36 x 36bit 的乘法运算和 54bit 累加器
 - 支持多个乘法器级联

- 支持寄存器流水线和旁路功能
- 预加运算实现滤波器功能
- 支持桶形移位寄存器
- 丰富的基本逻辑单元
 - 4 输入 LUT(LUT4)
 - 双沿触发器
 - 支持移位寄存器和分布式存储器
- 支持多种模式的静态随机存储器
 - 支持双端口、单端口以及伪双端口模式
 - 支持字节写使能
- 灵活的 PLL+DLL 资源
 - 实现时钟的倍频、分频和相移
 - 全局时钟网络资源
- 编程配置模式
 - 支持 JTAG 配置模式
 - 支持 4 种 GowinCONFIG 配置模式：SSPI、MSPI、CPU、SERIAL
 - 支持数据流文件加密和安全位设置

2.2 产品信息列表

表 2-1 产品信息列表

器件	GW2AR-18
逻辑单元(LUT4)	20,736
寄存器(FF)	15,552
分布式静态随机存储器 S-SRAM(bits)	41,472
块状静态随机存储器 B-SRAM(bits)	828K
块状静态随机存储器数目 B-SRAM(个)	46
SDR / DDR SDRAM(bits)	64M / 128M
PSRAM(bits)	64M
乘法器(18 x 18 Multiplier)	48
最多锁相环 ¹ (PLLs+DLLs)	4+4
I/O Bank 总数	8
最多用户 I/O ²	140
核电压	1.0V

注！

- [1]不同封装支持的锁相环数量不同，最多支持 4 个锁相环；
- [2] JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。

表 2-2 GW2AR-18 列表

封装	器件	Memory 类型	可用的 PLL
LQ144 ¹	GW2AR-18	SDR SDRAM	PLLL0/PLLL1/PLLRO/PLL1
EQ144 ¹	GW2AR-18	SDR SDRAM PSRAM	PLLL0/PLLL1/PLLRO/PLL1
QN88	GW2AR-18	SDR SDRAM PSRAM	PLLL1/ PLLR1
LQ176	GW2AR-18	DDR SDRAM	PLLL1/PLLRO/PLL1

注!

[1]LQ144 封装和 EQ144 封装的 V_{CCPLL1} 与 V_{CC} 内部短接在一起, 详细信息请参考表 4-2。

表 2-4 GW2AR 封装和最大用户 I/O 信息

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW2AR-18
LQ144	0.5	22 x 22	-	120(35)
EQ144	0.5	22 x 22	9.74 x 9.74	120(35)
QN88	0.4	10 x 10	-	66(22)
LQ176	0.4	22 x 22	-	140(45)

注!

- 文档中 GW2AR 系列 FPGA 产品封装命名采用缩写的方式, 请参考 5.1 器件命名。
- JTAGSEL_N 和 JTAG 管脚是互斥管脚, JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚 (TCK、TDI、TDO、TMS) 不可同时复用为 I/O, 此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。详细信息请参考《GW2AR 系列 FPGA 产品封装与管脚手册》。

3 结构介绍

3.1 结构框图

图 3-1 结构概念示意图

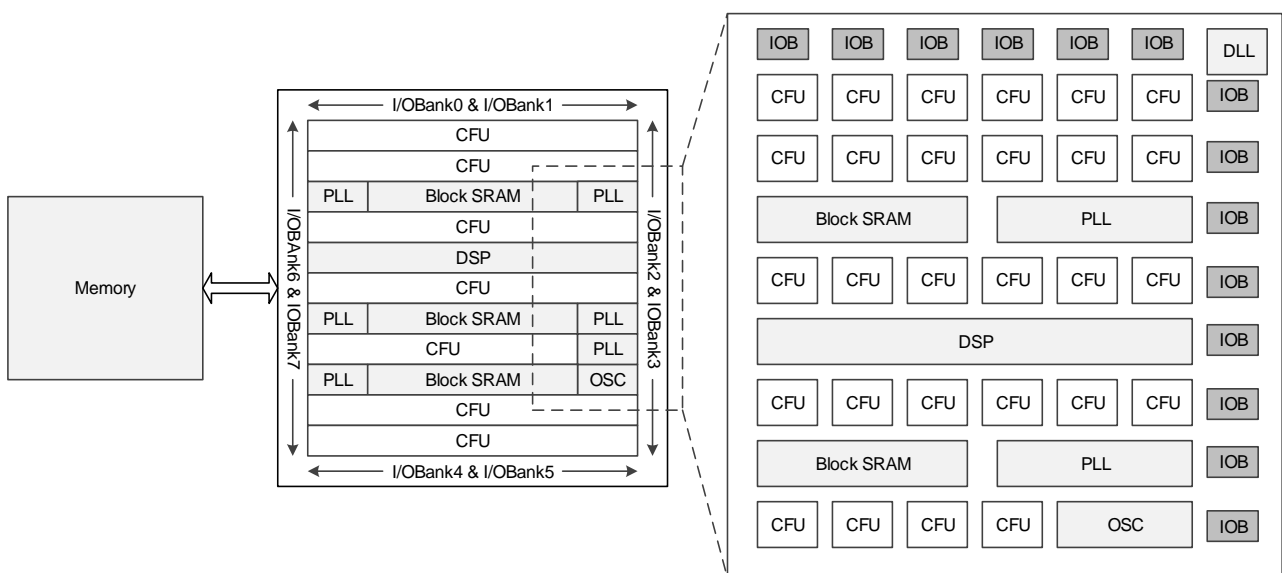


图 3-1 为 GW2AR 系列 FPGA 产品结构示意图，GW2AR 为系统级封装芯片（SIP），集成了高云半导体 GW2A 系列 FPGA 产品及存储芯片。存储芯片特性和概述请参见 3.2M。

GW2AR 器件内部资源数量详细资料请参考表 2-1。器件内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，器件内嵌了静态随机存储器（B-SRAM）模块、数字信号处理模块 DSP、PLL 资源、DLL 资源和片内晶振。

GW2AR 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。可配置功能单元（CFU）可以配置成查找表（LUT4）模式、算术逻辑模式和存储器模式。详细资料请参考 3.3 可配置功能单元。

GW2AR 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位

划分，共分为 8 个 Bank，标注为 Bank0~Bank7。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式、通用 DDR 模式和 DDR_MEM 模式。详细资料请参考 [3.4 输入输出模块](#)。

GW2AR 系列 FPGA 产品的块状静态随机存储器 (B-SRAM) 在器件内部按照行排列，一个 B-SRAM 在器件内部占用 3 个 CFU 的位置。一个 B-SRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式。详细资料请参考 [3.5 块状静态随机存储器模块](#)。

GW2AR 系列 FPGA 产品中内嵌了数字信号处理模块 DSP。DSP 在器件内部按照行排列，每个 DSP 资源占用 9 个 CFU 的位置。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)和一个三输入的算术/逻辑运算单元(ALU54)。详细资料请参考 [3.6 数字信号处理模块](#)。

GW2AR 系列 FPGA 产品内嵌了锁相环 PLL 资源和 DLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振，支持 2.5MHz 到 125MHz 的时钟频率范围，为 MSPI 编程配置模式提供时钟。片内晶振提供可编程的用户时钟，时钟精度可达±5%。详细资料请参考 [3.7 时钟](#)、[3.11 片内晶振](#)。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元 (CFU) 和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体云源软件自动生成。此外，GW2AR 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细资料行参考 [3.7 时钟](#)、[3.8 长线](#)、[3.9 全局复置位](#)。

3.2 Memory

GW2AR 系列 FPGA 产品不同的封装，集成的 Memory 的容量和类型不一样，详细信息请参考 [2.2](#)。

3.2.1 SDR SDRAM

特性

- 存取时间：5.4ns/5.4ns
- 时钟频率：166MHz
- 数据位宽：32bits
- 容量：64M bits
- 同步操作
- 内部流水线结构
- 内部划分为四个块 (512K x 32bits x 4bank)
- 模式编程寄存器
 - 列地址选通脉冲时间延迟：2 或者 3
 - 突发长度：1、2、4、8 字节或者整页
 - 突发类型：顺序模式或者间隔模式
 - 突发读单字节写功能

- 突发停止功能
- 字节屏蔽功能
- 自动刷新和自刷新
- 4,096 刷新周期/64ms
- 3.3V±0.3V 供电电压¹
- LVTTL 接口

注!

器件供电请参考表 4-2。

概述

GW2AR 系列 FPGA 产品集成的 SDR SDRAM 是一个高速的 CMOS 同步 DRAM 芯片，容量为 64Mbits。内部包括四个 BANK，每个 BANK 大小为 512K x32 bits，每个 BANK 由 2,048 行 x 256 列 x 32bit 的存储阵列组成。支持读操作和写操作突发模式，用户设置突发模式的起始位置和突发长度即可，SDR SDRAM 根据设置的数据长度顺序编程写入或读出。操作时需要先给出激活命令，然后可以进行读或写操作。读操作或写操作突发长度支持 1、2、4、8 字节或页模式，可以在编程模式寄存器中设置选择。使能自动预充电功能提供定时行预充电，预充电在突发模式结束后启动。SDR SDRAM 提供自动刷新功能及自刷新功能，此外，还提供了编程模式寄存器，用户可以选择最合适的模式使系统性能达到最优。

SDR SDRAM 接口的供电电压为 3.3V，连接 SDR SDRAM 的 BANK 电压需要固定到 3.3V，详细信息请参考 [4 电气特性>4.1 工作条件>表 4-2](#)。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 SDR SDRAM 控制器的 IP。控制器的 IP 可以自动完成 SDRAM 上电初始化，激活，自动刷新等操作，用户按照控制器的读/写时序操作即可，详细信息请参考 [Gowin SDRAM 控制器用户指南](#)。

3.2.2 DDR SDRAM

特性

- 时钟频率：250MHz/200MHz
- 数据位宽：16bits
- 容量：128M bits
- 差分时钟输入信号 CLK 和~CLK
- 双向 DQS
- 支持 DLL 使能/不使能
- 同步操作
- 内部流水线结构
- 四个 BANK，每个 BANK 大小为 2M x 16 bits
- 可编程模式和扩展模式寄存器
 - 列地址选通脉冲时间延迟：2, 2.5, 3
 - 突发长度：2, 4, 8
 - 突发类型：顺序模式或者间隔模式
- 字节屏蔽功能

- DM 写延迟为 0
- 自动刷新和自刷新
- 4,096 刷新周期/64ms
- 预充电和掉电激活
- 2.5V±0.2V 供电电压¹
- SSTL_2 接口

注!

器件供电请参考表 4-2 推荐工作范围。

概述

GW2AR 系列 FPGA 产品集成的 DDR SDRAM 是一个高速的 CMOS 双沿数据采样的同步 DRAM 芯片，容量为 128Mbits。内部包括四个 BANK，每个 BANK 大小为 2M x 16 bits。所有输入以时钟上升沿作为参考，时钟的上升沿和下降沿读出数据。支持读操作和写操作突发模式，用户设置突发模式的起始位置和突发长度即可，DDR SDRAM 根据设置的数据长度顺序编程写入或读出。上电后操作进行之前需要先给出激活命令，然后可以进行读或写操作，支持突发长度为 2,4,8 的读和写。使能自动预充电功能提供定时行预充电，预充电在突发模式结束后启动。DDR SDRAM 除了提供自动刷新功能及自刷新功能之外，还提供了可编程的 DLL。DDR SDRAM 提供了编程模式寄存器和扩展模式寄存器，用户可以选择最合适的模式使系统性能达到最优。

DDR SDRAM 接口的供电电压为 2.5V，连接 DDR SDRAM 的 BANK 电压需要固定到 2.5V，详细信息请参考 [4 电气特性>4.1 工作条件](#)>表 4-2 推荐工作范围。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 DDR 控制器的 IP，控制器的 IP 可以自动完成 DDR 上电初始化，读校准，自动刷新等操作，用户按照控制器的读/写时序操作即可，详细信息请参考 [Gowin DDR Memory Interface IP 用户指南](#)。

3.2.3 PSRAM

特性

- 时钟频率 166MHz，最快可达 DDR332
- 双沿数据传输
- 数据位宽：16bits
- 读写数据锁存 RWDS
- 温度补偿刷新
- 部分阵列自动刷新 PASR
- 混合休眠模式
- 深度省电 DPD
- 驱动能力：35,50,100 和 200 欧姆
- 突发访问
- 16/32/64/128 字节突发模式
- 状态/控制寄存器
- 1.8V 供电电压¹

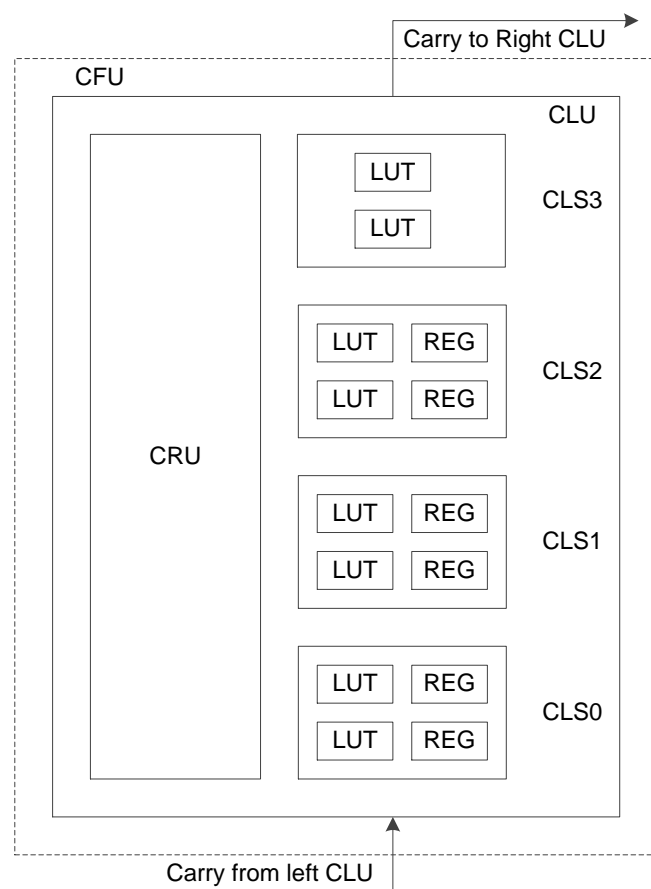
PSRAM 接口的供电电压为 1.8V，连接 PSRAM 的 BANK 电压需要固定到 1.8V，详细信息请参考 4.1。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 PSRAM 控制器的 IP，控制器的 IP 可以自动完成 PSRAM 上电初始化，读校准等操作，用户按照控制器的读/写时序操作即可，详细信息请参考 [Gowin PSRAM Memory Interface IP 用户指南](#)。

3.3 可配置功能单元

可配置功能单元(CFU)是构成 GW2AR 系列 FPGA 产品的基本单元，每个 CFU 由可配置逻辑单元(CLU)和布线资源单元(CRU)组成。每个 CLU 由四个可配置功能片 CLS(Configurable Logic Slice)组成，其中可配置功能片包含查找表和寄存器，如图 3-2 所示。

图 3-2 CFU 结构示意图



3.3.1 可配置逻辑单元

查找表支持基本查找表、算术逻辑和存储器模式：

- 基本查找表模式

每个查找表可以被配置为一个 4 输入查找表(LUT4)，可实现高阶查找表功能：

- 一个可配置功能片可配置成一个 5 输入查找表(LUT5)；
- 两个可配置功能片可配置成一个 6 输入查找表(LUT6)；

- 四个可配置功能片可配置成一个 7 输入查找表(LUT7);
- 八个可配置功能片(两个 CFU)可配置成成一个 8 输入查找表(LUT8)。
- 算术逻辑模式

结合进位链, 查找表可配置成算术逻辑模式(ALU), 用作实现以下功能:

- 加法/减法运算
- 计数器, 包括加计数器和减计数器
- 比较器, 包括大于比较、小于比较和不相等比较
- 乘法器
- 存储器模式

在此模式下, 可用可配置逻辑单元构成 16 x 4 位的分布式静态随机存储器 (S-SRAM) 或只读存储器。

高云半导体 FPGA 软件支持读入初始化文件的方式实现静态随机存储器 (S-SRAM) 的初始化。只读存储器的数据在对器件编程时完成输入。

可配置功能片(CLS0~CLS2)各含两个寄存器(REG), 如图 3-3 所示。

图 3-3 CLS 中的寄存器示意图

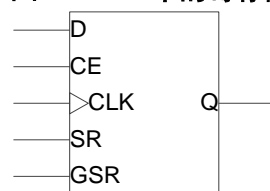


表 3-1 CLS 中寄存器模块信号说明

信号名	I/O	描述
D	I	寄存器数据输入 ¹
CE	I	CLK 使能信号, 可配置为高电平使能或低电平使能 ²
CLK	I	时钟信号, 可配置为上升沿触发或下降沿触发 ²
SR	I	本地置复位输入, 可配置为如下功能 ² : <ul style="list-style-type: none"> ● 同步复位 ● 同步置位 ● 异步复位 ● 异步置位 ● 无本地置复位
GSR ^{3,4}	I	全局复置位, 可配置为如下功能 ⁴ : <ul style="list-style-type: none"> ● 异步复位 ● 异步置位 ● 无全局复置位
Q	O	寄存器输出

注!

- [1]信号 D 的来源可以选择同一可配置功能片中任一查找表的输出, 也可以选择来自于 CRU 的输入。因此在查找表被占用的情况下, 寄存器仍可以单独使用。
- [2]CFU 中可配置功能片的 CE/CLK/SR 均可独立配置选择。
- [3]在 GW2AR 系列 FPGA 产品内部, GSR 通过直连线连接, 不通过 CRU。
- [4]SR 与 GSR 同时有效时 GSR 有较高的优先级。

3.3.2 布线资源单元

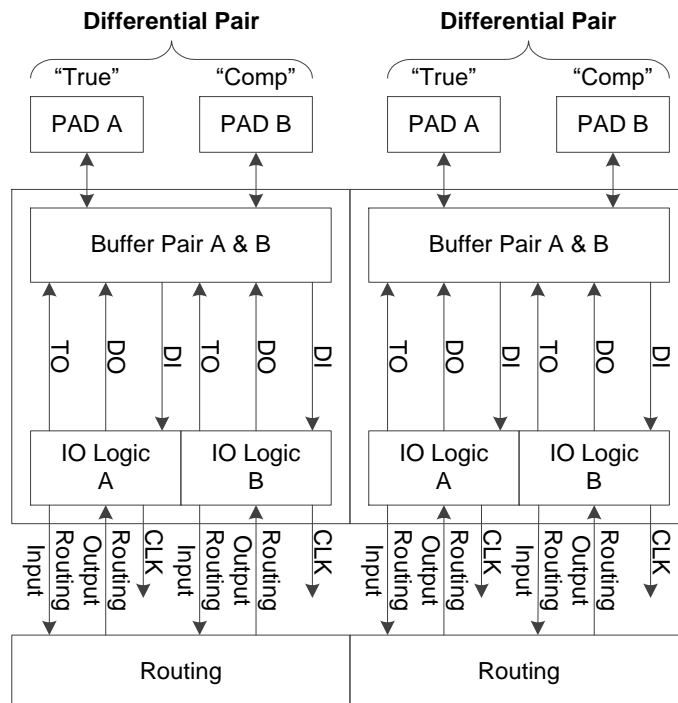
布线资源单元 CRU 的功能主要包括两个方面：

- 输入选择功能：为 CFU 的输入信号提供输入源选择。
- 布线资源功能：为 CFU 的输入/输出信号提供连接关系，包括 CFU 内部连接、CFU 之间连接以及 CFU 和 FPGA 内部其他功能模块之间的连接。

3.4 输入输出模块

GW2AR 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如下图所示，每个 IOB 单元包括了两个 I/O 管脚 (标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 3-4 IOB 结构示意图



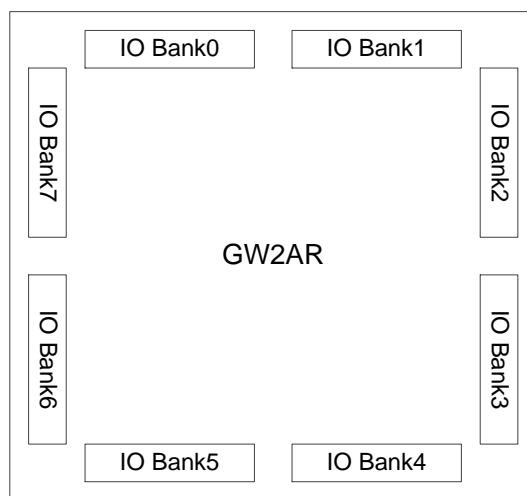
GW2AR 系列 FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的 V_{CC0} 机制
- 支持 LVCMOS、PCI、LVTTTL、LVDS、SSTL 以及 HSTL 等多种电平标准
- 提供输入信号去迟滞选项
- 提供输出信号驱动电流选项
- 提供输出信号 Slew Rate 选项
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
- 支持热插拔
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式

3.4.1 I/O 电平标准

GW2AR 系列 FPGA 产品的 I/O 包括 8 个 Bank，如图 3-5 所示，每个 Bank 有独立的 I/O 电源 V_{CC0} 。 V_{CC0} 可以设置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。集成 SDR SDRAM 的辅助电压 V_{CCX} 和 I/O BANK 电压 V_{CC0} 需设置为 3.3V，详细信息请参考 3.2.1 SDR SDRAM。集成 DDR SDRAM 的辅助电压 V_{CCX} 和 I/O BANK 电压 V_{CC0} 需设置为 2.5V，详细信息请参考 3.2.2 DDR SDRAM。为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 $0.5 \times V_{CC0}$)，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。 V_{CCX} 供电电压支持 2.5V 和 3.3V。

图 3-5 GW2AR 系列 FPGA 产品 I/O Bank 分布示意图



GW2AR 系列 FPGA 产品不同的 Bank 支持不同的片上电阻设置，包括单端电阻和差分电阻两种。单端电阻设置用于 SSTL/HSTL 输入输出，在 Bank2/3/6/7 中支持。差分电阻设置用于 LVDS 输入，仅在 Bank0/1 中支持。详细资料请参考 《Gowin 系统管脚 (systemIO) 用户指南》。

注!

空白芯片默认的系统管脚状态是输入弱上拉。

不同的 I/O 输出标准对 V_{CC0} 的要求，如表 3-2 所示。

表 3-2 GW2AR 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置

I/O 输出标准	单端/差分	Bank V _{CCO} (V)	输出驱动能力(mA)
LVTTTL33	单端	3.3	4,8,12,16,24
LVC MOS33	单端	3.3	4,8,12,16,24
LVC MOS25	单端	2.5	4,8,12,16
LVC MOS18	单端	1.8	4,8,12
LVC MOS15	单端	1.5	4,8
LVC MOS12	单端	1.2	4,8
SSTL25_I	单端	2.5	8
SSTL25_II	单端	2.5	8
SSTL33_I	单端	3.3	8
SSTL33_II	单端	3.3	8
SSTL18_I	单端	1.8	8
SSTL18_II	单端	1.8	8
SSTL15	单端	1.5	8
HSTL18_I	单端	1.8	8
HSTL18_II	单端	1.8	8
HSTL15_I	单端	1.5	8
PCI33	单端	3.3	N/A
LVPECL33E	差分	3.3	16
MLVDS25E	差分	2.5	16
BLVDS25E	差分	2.5	16
RSDS25E	差分	2.5	8
LVDS25E	差分	2.5	8
LVDS25	差分	2.5/3.3	3.5/2.5/2/1.25
RSDS	差分	2.5/3.3	2
MINILVDS	差分	2.5/3.3	2
PPLVDS	差分	2.5/3.3	3.5
SSTL15D	差分	1.5	8
SSTL25D_I	差分	2.5	8
SSTL25D_II	差分	2.5	8
SSTL33D_I	差分	3.3	8
SSTL33D_II	差分	3.3	8
SSTL18D_I	差分	1.8	8
SSTL18D_II	差分	1.8	8
HSTL18D_I	差分	1.8	8
HSTL18D_II	差分	1.8	8
HSTL15D_I	差分	1.5	8

表 3-3 GW2AR 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank $V_{CCO}(V)$	支持去迟滞选项	是否需要 V_{REF}
LVTTTL33	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS33	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS25	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS18	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS15	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVC MOS12	单端	1.2/1.5/1.8/2.5/3.3	是	否
SSTL15	单端	1.5/1.8/2.5/3.3	否	是
SSTL25_I	单端	2.5/3.3	否	是
SSTL25_II	单端	2.5/3.3	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
SSTL18_I	单端	1.8/2.5/3.3	否	是
SSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL18_I	单端	1.8/2.5/3.3	否	是
HSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL15_I	单端	1.5/1.8/2.5/3.3	否	是
PCI33	单端	3.3	是	否
LVDS	差分	2.5/3.3	否	否
RS DS	差分	2.5/3.3	否	否
MINILVDS	差分	2.5/3.3	否	否
PPLVDS	差分	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
RS DS25E	差分	2.5/3.3	否	否
LVPECL33	差分	3.3	否	否
SSTL15D	差分	1.5/1.8/2.5/3.3	否	否
SSTL25D_I	差分	2.5/3.3	否	否
SSTL25D_II	差分	2.5/3.3	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
SSTL18D_I	差分	1.8/2.5/3.3	否	否
SSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL18D_I	差分	1.8/2.5/3.3	否	否
HSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL15D_I	差分	1.5/1.8/2.5/3.3	否	否

3.4.2 I/O 逻辑

图 3-6 为 GW2AR 系列 FPGA 产品的 I/O 逻辑的输出部分。

图 3-6 I/O 逻辑输出示意图

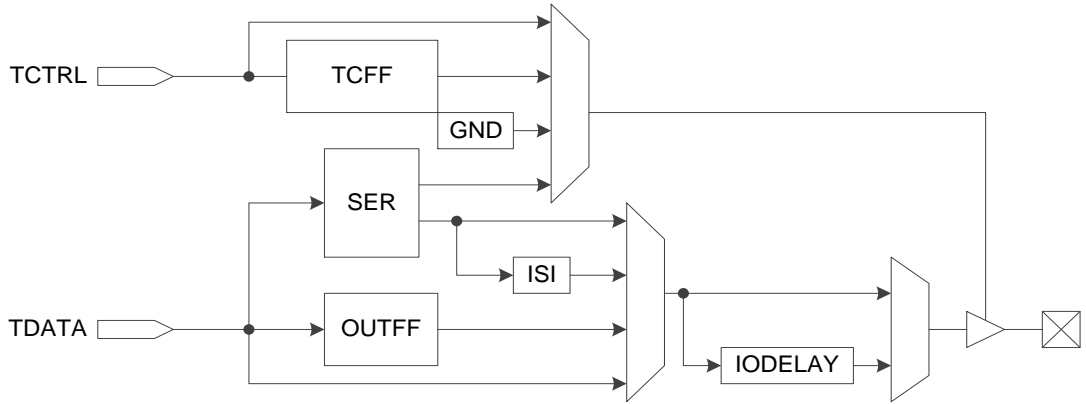
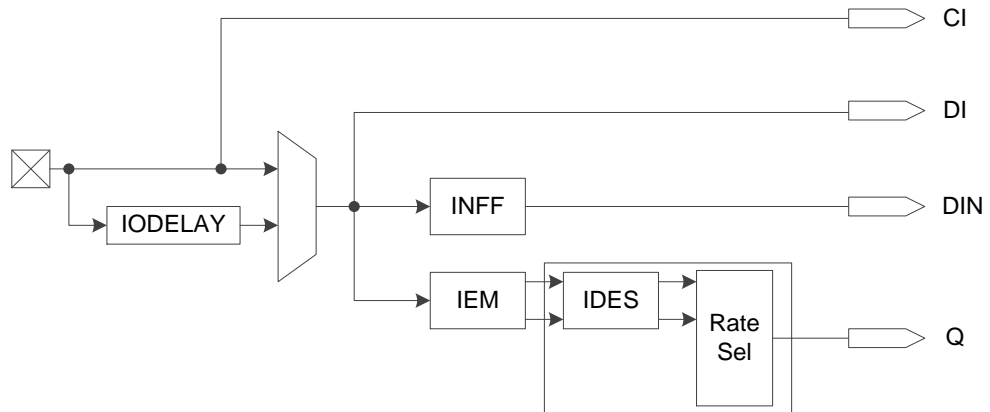


图 3-7 为 GW2AR 系列 FPGA 产品的 I/O 逻辑的输入部分。

图 3-7 I/O 逻辑输入示意图

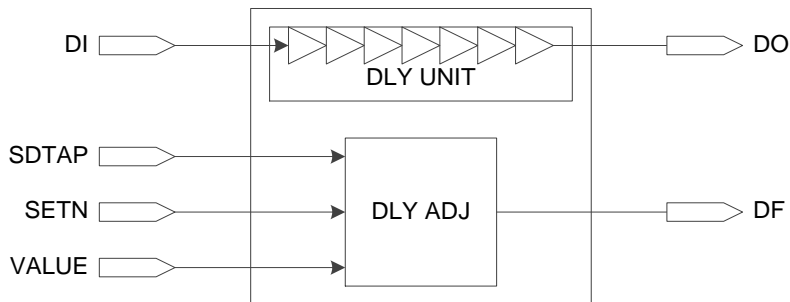


GW2AR 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

延迟模块

图 3-8 为延迟模块 IODELAY。GW2AR 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，总共提供的延迟大约为 128 步 x 25ps = 3,200ps。

图 3-8 IODELAY 示意图



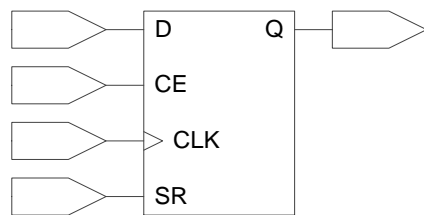
有两种控制延迟的方式：

- 静态控制。
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口需要注意的是 IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 3-9 为 GW2AR 系列 FPGA 产品的 I/O 寄存器模块。GW2AR 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 INFF、输出寄存器 OUTFF 和高阻控制寄存器 TCFF。

图 3-9 GW2AR 的 I/O 寄存器示意图



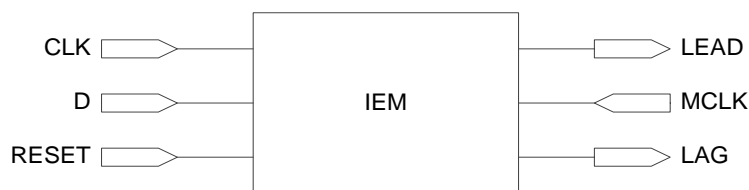
注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或触发器(latch)。

取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式。如图 3-10 所示。

图 3-10 GW2AR 的 IEM 示意图



解串器 DES 及跨时钟域转换模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。DES 里面的输入时钟的跨时钟域转换(Clock domain transfer)模块提供了安全转换外部取样时钟(strobe)到内部的持续运转时钟的能力。有多个寄存器(registers)用来数据采样。

跨时钟域转换模块有如下功能：

- 用内部连续时钟代替不连续的 DQS 来进行数据采样。此功能应用于 DDR 存储器接口；

- 对于 DDR3 存储器接口标准，在读 DQS 电平(read-leveling)后对数据排列整理(align)；
- 在通用 DDR 模式，当 DQS.RCLK 用于采样时，跨时钟域转换模块也需要使用。

每个 DQS 提供 WADDR 及 RADDR 信号给同一个群的跨时钟域转换模块。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

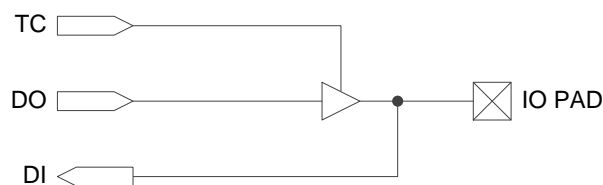
3.4.3 I/O 逻辑工作模式

GW2AR 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

普通模式

普通模式下的 I/O 逻辑如图 3-11 所示，此模式下信号 TC、DO 以及 DI 直接通过 CRU 与器件内部连接。

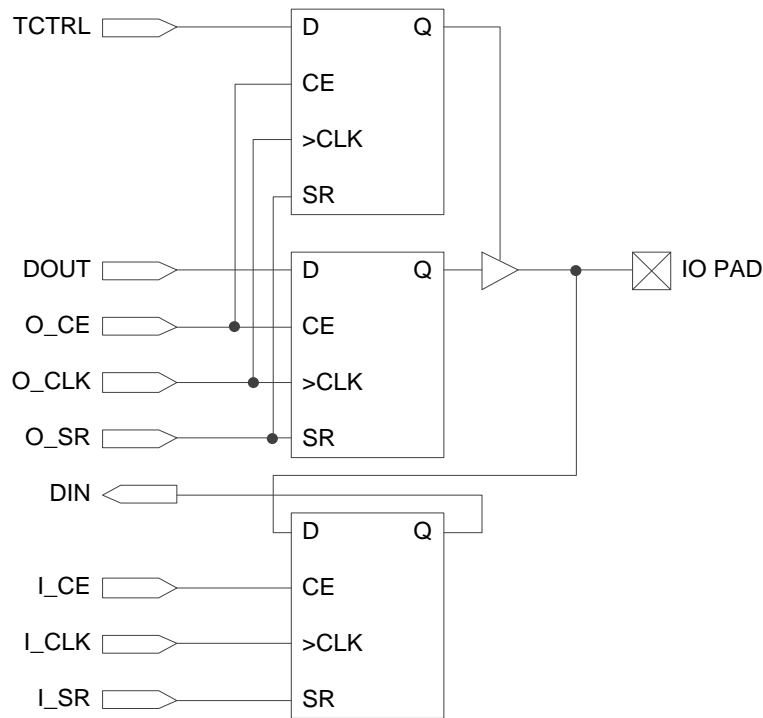
图 3-11 普通模式下的 I/O 逻辑结构示意图



SDR 模式

相对于普通模式，SDR 模式采用了 I/O 寄存器，如图 3-12 所示，可以有效地改善 I/O 的时序性能。

图 3-12 SDR 模式下的 I/O 逻辑结构示意图



注！

- CLK 使能信号 O_CE 和 I_CE 可以配置为高电平使能或低电平使能。
- 时钟信号 O_CLK 和 I_CLK 可以配置为上升沿触发或下降沿触发。
- 本地置复位信号 O_SR 和 I_SR 可以配置为同步复位、同步置位、异步复位、异步置位或无本地置复位功能。
- SDR 模式下的 I/O 存储单元可以配置成普通寄存器或 Latch。

通用 DDR 模式

在通用 DDR 模式下，GW2AR 系列 FPGA 产品可以支持较高的 I/O 速度。

图 3-13 为通用 DDR 输入，PAD 与 FPGA 内部逻辑速率比为 1:2。

图 3-13 I/O 逻辑的 DDR 输入示意图



图 3-14 为通用 DDR 输出，PAD 与 FPGA 内部逻辑速率比为 2:1。

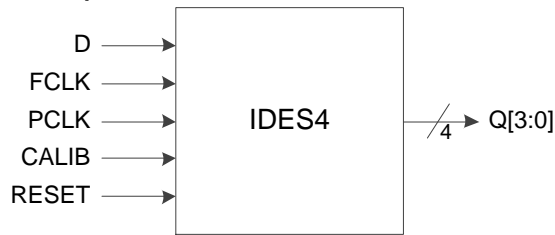
图 3-14 I/O 逻辑的 DDR 输出示意图



IDES4 模式

IDES4 模式下，PAD 与 FPGA 内部逻辑速率比为 1:4。

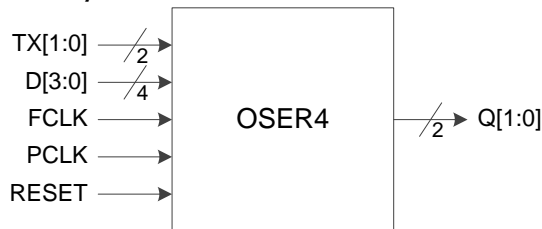
图 3-15 I/O 逻辑的 IDES4 输入示意图



OSER4 模式

OSER4 模式下，PAD 与 FPGA 内部逻辑速率为 4:1。

图 3-16 I/O 逻辑的 OSER4 输出示意图



IVideo 模式

IVideo 模式下，PAD 与 FPGA 内部逻辑速率比为 1:7。

图 3-17 I/O 逻辑的 IVideo 输入示意图



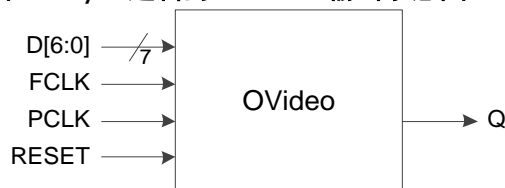
注！

IVideo 和 IDES8/10 将占用相邻 I/O 的资源。如果用单端 I/O 标准，则 I/O 逻辑将不能使用。在这种情况下，SDR 模式和普通模式还可以使用。

OVideo 模式

OVideo 模式下，PAD 与 FPGA 内部逻辑速率比为 7:1。

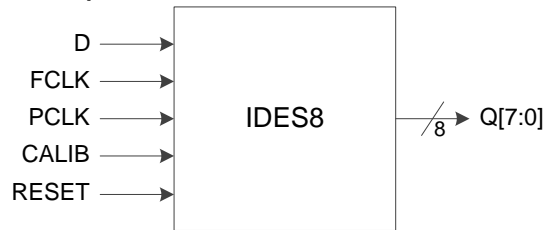
图 3-18 I/O 逻辑的 OVideo 输出示意图



IDES8 模式

IDES8 模式下，PAD 与 FPGA 内部逻辑速率比为 1:8。

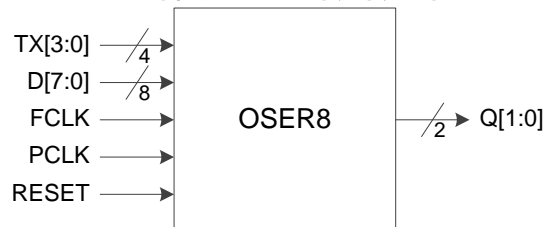
图 3-19 I/O 逻辑的 IDES8 输入示意图



OSER8 模式

OSER8 模式下，PAD 与 FPGA 内部逻辑速率比为 8:1。

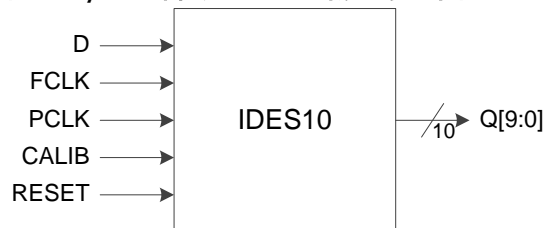
图 3-20 I/O 逻辑的 OSER8 输出示意图



IDES10 模式

IDES10 模式下，PAD 与 FPGA 内部逻辑速率比为 1:10。

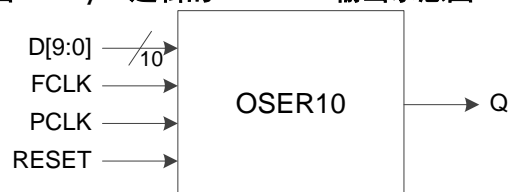
图 3-21 I/O 逻辑的 IDES10 输入示意图



OSER10 模式

OSER10 模式下，PAD 与 FPGA 内部逻辑速率比为 10:1。

图 3-22 I/O 逻辑的 OSER10 输出示意图



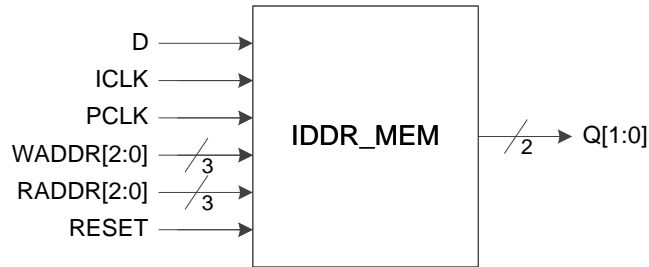
GW2AR 系列 FPGA 产品支持带 memory 的 IO 接口模式，支持双倍/四倍/八倍速率输入和输出，包括 IDDR_MEM/IDES4_MEM/IDES8_MEM 和 ODDR_MEM/OSER4_MEM/OSER8_MEM 模式。

IDDR_MEM/IDES4_MEM/IDES8_MEM 需要配合 DQS 使用，ICLK 连接 DQS 的输出信号 DQSR90，且根据 ICLK 的时钟沿将数据送入 IO 接口；WADDR[2:0]连接 DQS 的输出信号 WPOINT；RADDR[2:0]连接 DQS 的输出信号 RPOINT。

ODDR_MEM/OSER4_MEM/OSER8_MEM 需要配合 DQS 使用，TCLK 连接 DQS 的输出信号 DQSW0 或 DQSW270，且根据 TCLK 的时钟沿将数据从 IO 接口输出。

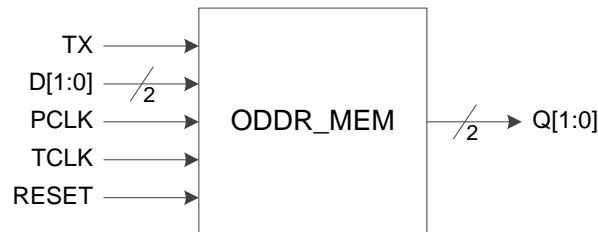
IDDR_MEM 模式

图 3-23 IO 逻辑的 IDDR_MEM 输入示意图



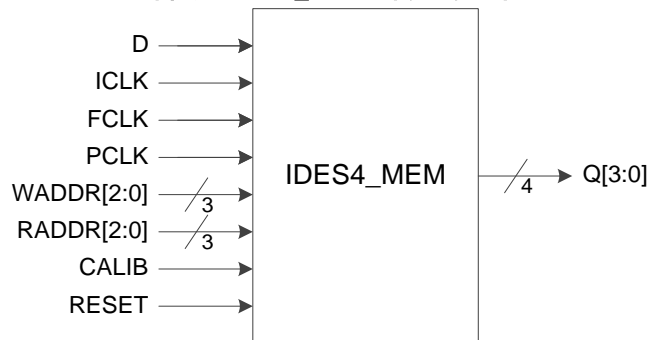
ODDR_MEM 模式

图 3-24 IO 逻辑的 ODDR_MEM 输出示意图



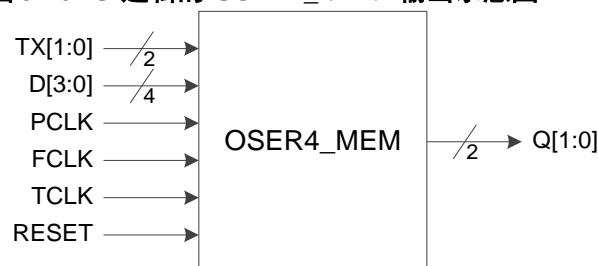
IDES4_MEM 模式

图 3-25 IO 逻辑的 IDES4_MEM 输入示意图



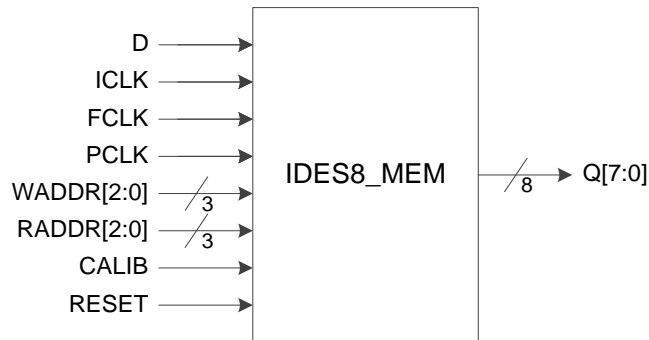
OSER4_MEM 模式

图 3-26 IO 逻辑的 OSER4_MEM 输出示意图



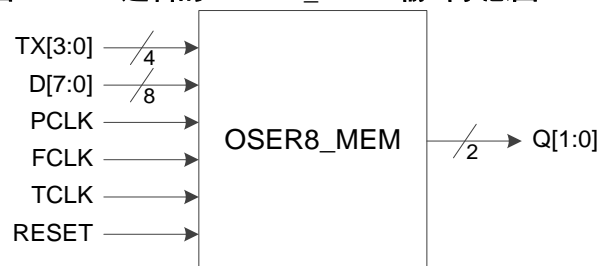
IDES8_MEM 模式

图 3-27 IO 逻辑的 IDES8_MEM 输入示意图



OSER8_MEM 模式

图 3-28 IO 逻辑的 OSER8_MEM 输出示意图



3.5 块状静态随机存储器模块

3.5.1 简介

GW2AR 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器（B-SRAM）。在 FPGA 阵列中每个 B-SRAM 模块占用 3 个 CFU 的位置。每个 B-SRAM 可配置最高 18,432bits(18Kbits)。提供 5 种操作模式：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，固化存储器模式，内置的 FIFO 缓存。在下表中列出了 B-SRAM 的信号及功能描述。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 B-SRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 380MHz(在 Read-before-write 模式下 230MHz)
- 单端口模式 Single Port
- 双端口模式 Dual Port
- 伪双端口模式 Semi Dual Port
- 提供校验位 Parity Bits
- 提供只读存储器模式 ROM
- 数据宽度从 1 位到 36 位
- 可混合时钟操作 Mixed clock mode
- 可混合数据宽度 Mixed data width mode
- 在双字节以上的数据宽度支持字节使能功能 Enable Byte

- 异步复位，可同步释放
- 正常读写 Normal Read and Write mode
- 先读后写 Read-before-write mode
- 通写 Write-Through mode

表 3-4 B-SRAM 信号功能

端口名称	方向	描述
DIA	I	A 端口数据输入信号
DIB	I	B 端口数据输入信号
ADA	I	A 端口地址信号
ADB	I	B 端口地址信号
CEA	I	A 端口时钟使能信号
CEB	I	B 端口时钟使能信号
RESETA	I	A 端口寄存器复位信号
RESETB	I	B 端口寄存器复位信号
WREA	I	A 端口读/写使能信号
WREB	I	B 端口读/写使能信号
BLKSEL	I	存储单元块选择信号
CLKA	I	A 端口读/写时钟信号
CLKB	I	B 端口读/写时钟信号
OCEA	I	A 端口输出寄存器时钟使能信号
OCEB	I	B 端口输出寄存器时钟使能信号
DOA	O	数据输出 A 端口
DOB	O	数据输出 B 端口

3.5.2 存储器配置模式

GW2AR 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 3-5 所示。

表 3-5 存储器配置列表

单端口模式	双端口模式	伪双端口模式	只读模式
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

3.5.3 存储器混合数据宽度配置

GW2AR 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 3-6 和表 3-7 的配置来应用。

表 3-6 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

标注为“*”的表示支持的模式。

表 3-7 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512 x 32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为“*”的表示支持的模式。

3.5.4 字节使能功能配置

B-SRAM 支持字节使能 (byte-enables) 功能。可以遮蔽输入数据，只让被选择到的字节写入。而被遮蔽的数据能继续保留。读/写使能信号(WREA, WREB)，及 byte-enable 参数选项用于控制 B-SRAM 的写操作。

3.5.5 校验位功能配置

所有的块状静态随机存储器模块 B-SRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位，也可以用来存储数据。需要注意的是校验操作并没有提供。

3.5.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。
- 输出寄存器可用作流水线寄存器提高用户的设计性能。
- 输出寄存器可旁路 bypass-able。

3.5.7 上电情况

B-SRAM 支持上电时静态随机存储器初始化。在上电过程中，B-SRAM 处于待机状态，所有数据输出为 0。此状态也适用于只读存储器模式 ROM。

3.5.8 存储器操作模式

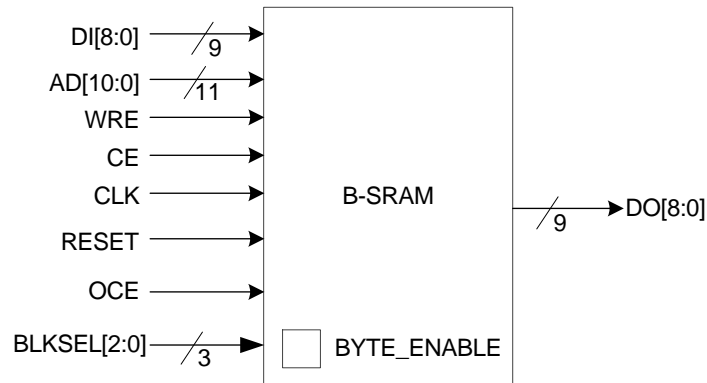
B-SRAM 的输入寄存器可用来支持同步写操作，输出寄存器可以用作流水线寄存器来提高用户的设计性能。B-SRAM 提供的双端口操作模式可用来支持任何在两个端口上的操作，如两个独立的读和两个独立的写，或者在不同时钟频率的一个独立的读和一个写。端口 A 和端口 B 可以拥有完全独立的时钟。

单端口模式

在单端口模式，B-SRAM 可以在一个时钟沿对 B-SRAM 进行读或写操作。在写操作中，被写入的数据会传到 B-SRAM 的输出。支持正常读写模式 (Normal-Write Mode) 和通写模式 (Write-through Mode)。当输出寄存器旁路

(Bypass)时，新数据出现在同一个时钟的上升沿。单端口 2K x 9bit 存储模式框图如图 3-29 所示。

图 3-29 单端口存储模式框图



下表中列出了单端口模式的所有配置：

表 3-8 单端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
SP	B-SRAM_16K_S1	16K	16Kx1	16,384	1
	B-SRAM_8K_S2	16K	8Kx2	8,192	2
	B-SRAM_4K_S4	16K	4Kx4	4,096	4
	B-SRAM_2K_S8	16K	2Kx8	2,048	8
	B-SRAM_1K_S16	16K	1Kx16	1,024	16
	B-SRAM_512_S32	16K	512x32	512	32
SPX9	B-SRAM_2K_S9	18K	2Kx9	2,048	9
	B-SRAM_1K_S18	18K	1Kx18	1,024	18
	B-SRAM_512_S36	18K	512x36	512	36

双端口模式

B-SRAM 支持双端口模式，以图 3-30 为例，可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

图 3-30 双端口存储模式框图

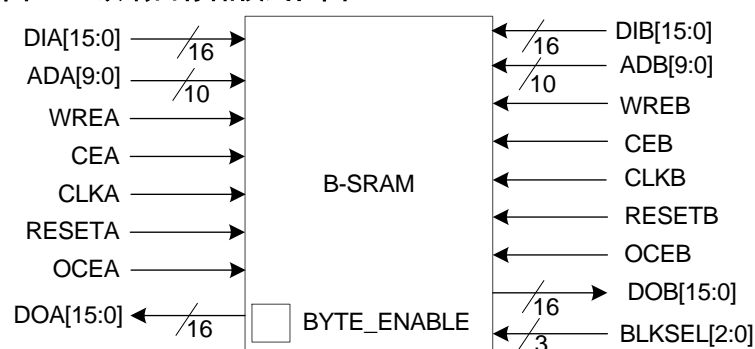


表 3-9 中列出了双端口模式的所有配置。

表 3-9 双端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
DP	B-SRAM_16K_D1	16K	16K x 1	16,384	1
	B-SRAM_8K_D2	16K	8K x 2	8,192	2
	B-SRAM_4K_D4	16K	4K x 4	4,096	4
	B-SRAM_2K_D8	16K	2K x 8	2,048	8
	B-SRAM_1K_D16	16K	1K x 16	1,024	16
DPX9	B-SRAM_2K_D9	18K	2K x 9	2,048	9
	B-SRAM_1K_D18	18K	1K x 18	1,024	18

伪双端口模式

下图显示了伪双端口 1K x 16bit 和 512 x 36bit 模式，可支持同时的读和写操作。但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

图 3-31 伪双端口存储模式框图 1

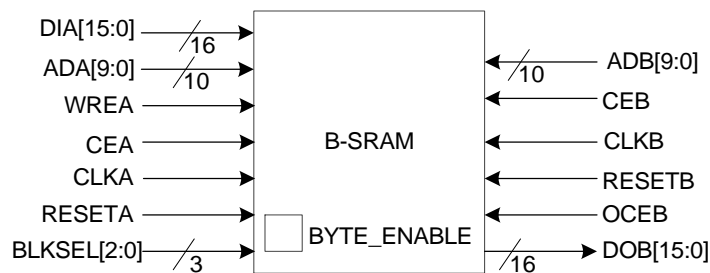


图 3-32 伪双端口存储模式框图 2

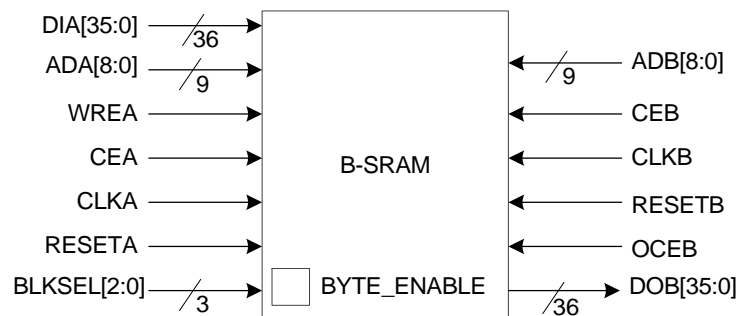


表 3-10 中列出了伪双端口模式的所有配置：

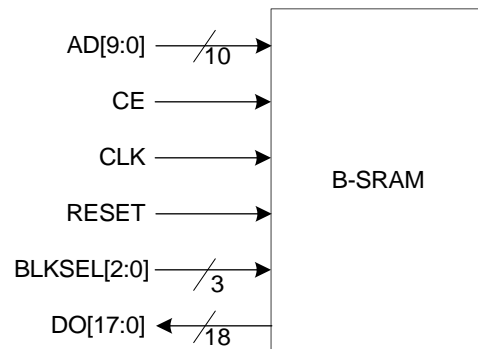
表 3-10 伪双端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
SDP	B-SRAM_16K_SD1	16K	16K x 1	16,384	1
	B-SRAM_8K_SD2	16K	8K x 2	8,192	2
	B-SRAM_4K_SD4	16K	4K x 4	4,096	4
	B-SRAM_2K_SD8	16K	2K x 8	2,048	8
	B-SRAM_1K_SD16	16K	1K x 16	1,024	16
	B-SRAM_512_SD32	16K	512 x 32	512	32
SDPX9	B-SRAM_2K_SD9	18K	2K x 9	2,048	9
	B-SRAM_1K_SD18	18K	1K x 18	1,024	18
	B-SRAM_512_SD36	18K	512 x 36	512	36

只读模式

B-SRAM 可配置成只读存储器模式，如图 3-33 所示。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

图 3-33 只读模式存储框图



每个 B-SRAM 可配置成一个 16Kbits ROM。表 3-11 中列出了 ROM 模式的所有配置。

表 3-11 只读配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
ROM	B-SRAM_16K_O1	16K	16K x 1	16,384	1
	B-SRAM_8K_O2	16K	8K x 2	8,192	2
	B-SRAM_4K_O4	16K	4K x 4	4,096	4
	B-SRAM_2K_O8	16K	2K x 8	2,048	8
	B-SRAM_1K_O16	16K	1K x 16	1,024	16
	B-SRAM_512_O32	16K	512 x 32	512	32
ROMX9	B-SRAM_2K_O9	18K	2K x 9	2,048	9
	B-SRAM_1K_O18	18K	1K x 18	1,024	18
	B-SRAM_512_O36	18K	512 x 36	512	36

注！

复位信号 RESET 对输出寄存器复位，并不能清除存储器中的内容。

3.5.9 B-SRAM 操作模式

B-SRAM 支持 5 种操作模式，包括 2 种读操作模式(旁路模式 Bypass Mode, 流水线读模式 PipelineRead Mode)和 3 种写操作模式(正常写模式: Normal-Write Mode, 通写模式: Write-through Mode, 先读后写模式: Read-before-write Mode)。

读操作模式

通过输出寄存器或不通过输出寄存器从 B-SRAM 读出数据。

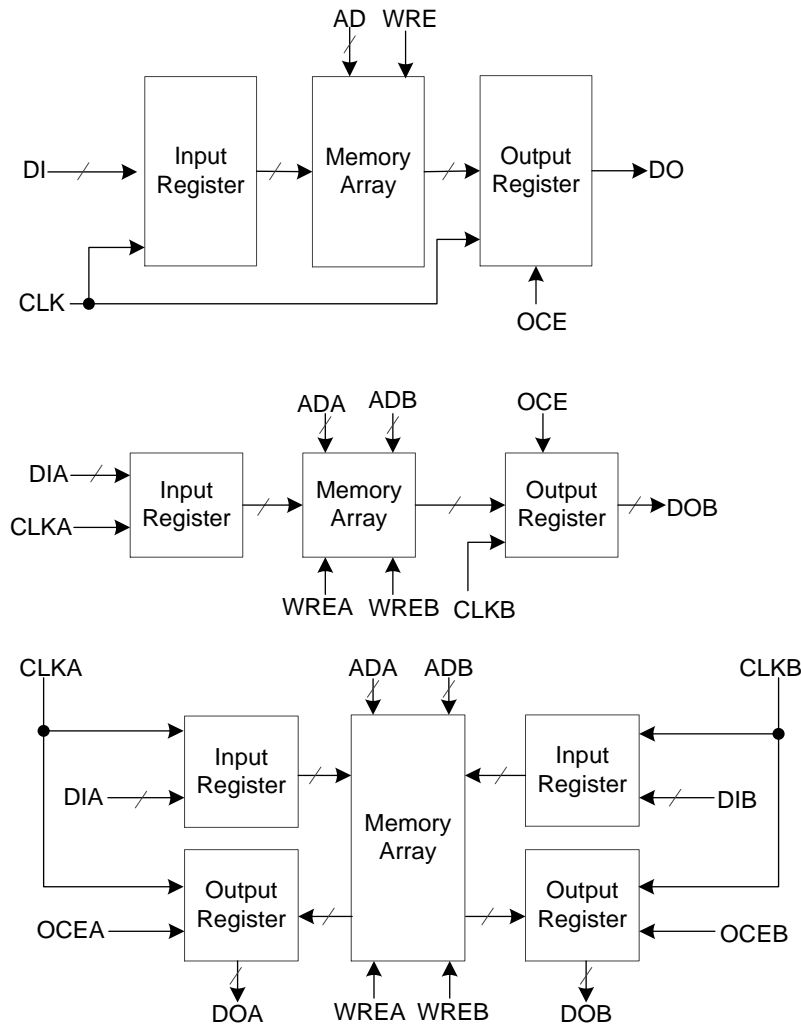
流水线模式

在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大 36 位。

旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。

图 3-34 单端口、伪双端口及双端口模式下的流水线模式



写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

3.5.10 时钟模式

表 3-12 中列出了不同 B-SRAM 模式下可使用的时钟模式：

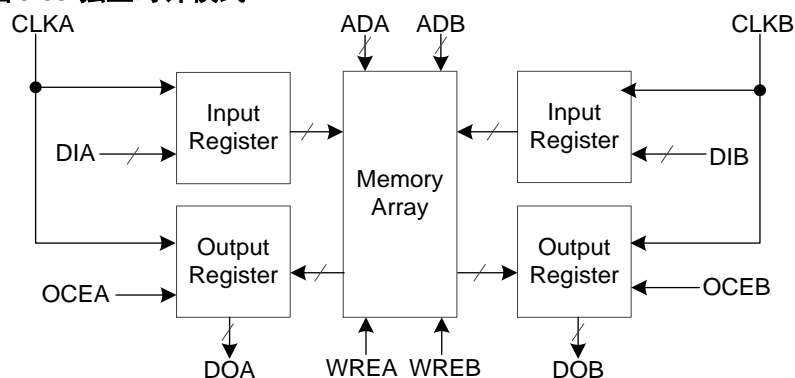
表 3-12 时钟模式配置列表

时钟模式	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

独立时钟模式

图 3-35 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

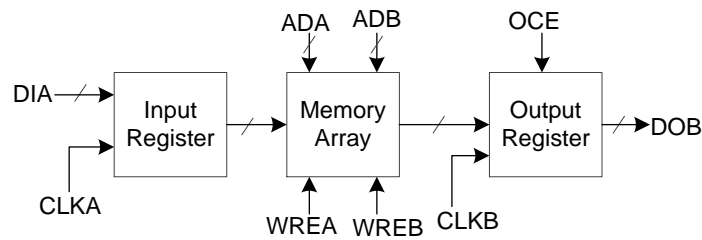
图 3-35 独立时钟模式



读写时钟模式

图 3-36 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

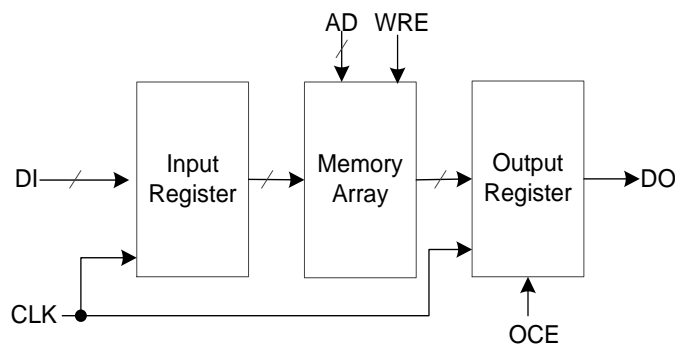
图 3-36 读写时钟模式



单端口时钟模式

图 3-37 显示了单端口时钟模式。

图 3-37 单端口时钟模式



3.6 数字信号处理模块

3.6.1 简介

GW2AR 系列 FPGA 产品中都具有丰富的 DSP 模块资源。高云半导体的 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR, FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 支持下列功能：

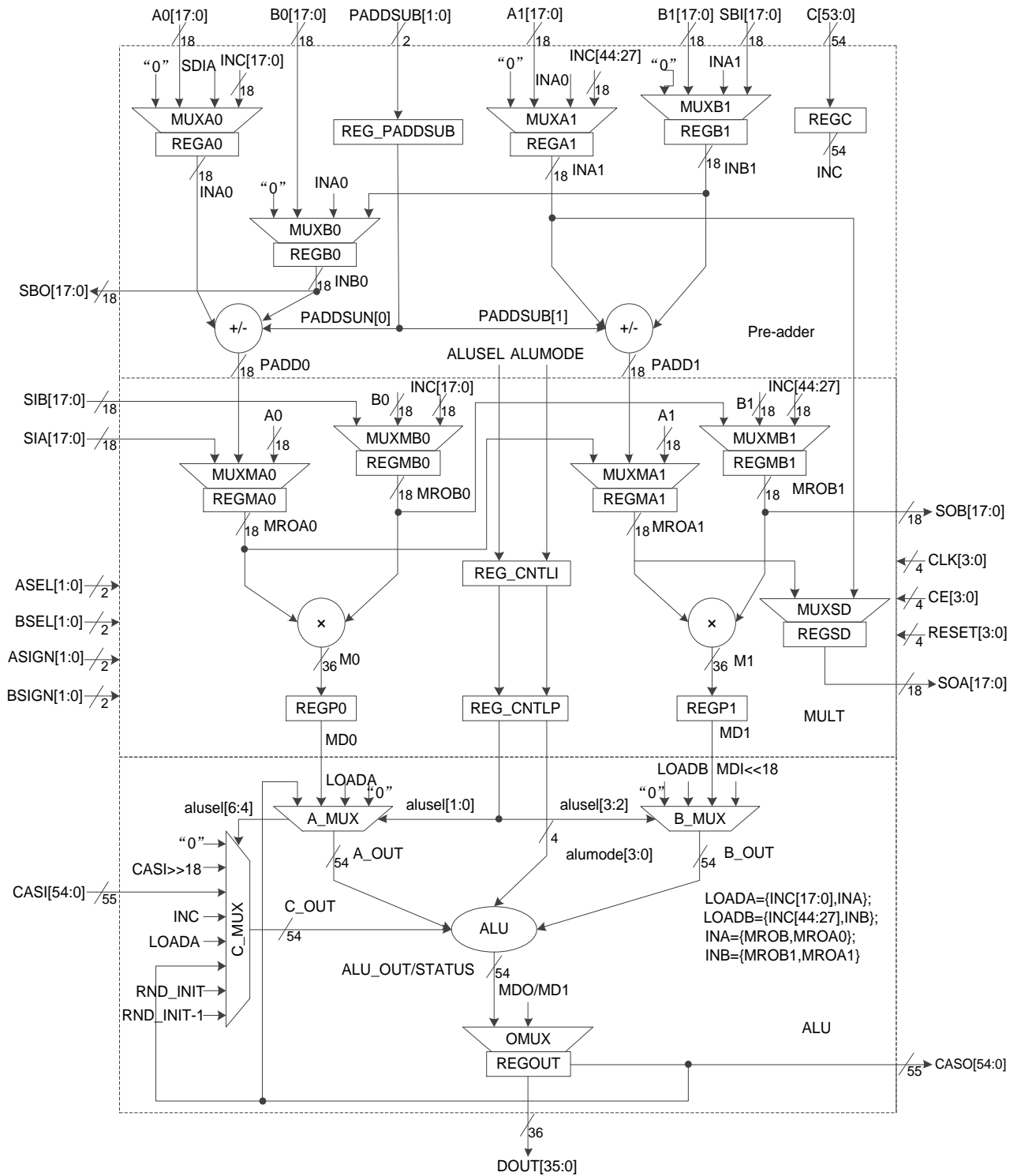
- 3 种宽度的乘法器（9-bit, 18-bit, 36-bit）
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 运算可以自动取正(Computing with options of rounding to positive number or prime number)
- 支持寄存器输出和旁路输出

宏单元

GW2AR 的 DSP 模块排列以行的形式分布在整个 FPGA 阵列中。每个 DSP 模块占用 9 个 CFU 的位置。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)，和一个三输入的算术/逻辑运算单元(ALU)。

图 3-38 为一个宏单元结构。

图 3-38 DSP 宏单元



DSP 模块端口描述如表 3-13 所示，内部寄存器如表 3-14 所示。

表 3-13 DSP 端口描述

端口名称	I/O 类型	说明
A0[17:0]	I	18-bit 数据输入 A0
B0[17:0]	I	18-bit 数据输入 B0

端口名称	I/O 类型	说明
A1[17:0]	I	18-bit 数据输入 A1
B1[17:0]	I	18-bit 数据输入 B1
C[53:0]	I	54-bit 数据输入 C
SIA[17:0]	I	移位数据输入 A, 用于级联连接。输入信号 SIA 直接连接到先前相邻的 DSP 模块的输出信号 SOA, DSP 模块内部从 SIA 到 SOA 的延迟时间是一个时钟周期
SIB[17:0]	I	移位数据输入 B, 用于级联连接。输入信号 SIB 直接连接到先前相邻的 DSP 模块的输出信号 SOB, DSP 模块内部从 SIB 到 SOB 的延迟时间是一个时钟周期
SBI[17:0]	I	前加器逻辑移位输入, 反向
CASI[54:0]	I	来自前一个 DSP 模块的 ALU 输入, 用于级联连接
ASEL[1:0]	I	前加器或乘法器的 A 输入源选择
BSEL[1:0]	I	乘法器的 B 输入源选择
ASIGN[1:0]	I	输入信号 A 符号位
BSIGN[1:0]	I	输入信号 B 符号位
PADDSUB[1:0]	I	前加器的操作控制信号, 用于前加器逻辑加减法选择
CLK[3:0]	I	时钟输入
CE[3:0]	I	时钟使能信号
RESET[3:0]	I	同步/异步, 复位信号
SOA[17:0]	O	移位数据输出 A
SOB[17:0]	O	移位数据输出 B
SBO[17:0]	O	前加器逻辑移位输出, 反向方向
DOUT[35:0]	O	DSP 输出数据
CASO[54:0]	O	ALU 输出到下一个 DSP 模块进行级联连接, 最高位符号扩展

表 3-14 内部寄存器描述

寄存器	说明及相关属性
A0 register	A0 输入寄存器
A1 register	A1 输入寄存器
B0 register	B0 输入寄存器
B1 register	B1 输入寄存器
C register	C 输入寄存器
P1_A0 register	左乘数 A0 输入寄存器
P1_A1 register	右乘数 A1 输入寄存器
P1_B0 register	左乘数 B0 输入寄存器
P1_B1 register	右乘数 B1 输入寄存器
P2_0 register	左乘数流水线输入寄存器
P2_1 register	右乘数流水线输入寄存器
OUT register	DOUT 输出寄存器
OPMODE register	操作模式控制寄存器
SOA register	寄存器 SOA 的移位输出

前加器

DSP 宏单元包含两个前加器，实现预加、预减和移位功能。

前加器位于宏单元的最前端，有两个输入端：

- 并行 18-bit 输入 B 或 SBI；
- 并行 18-bit 输入 A 或 SIA。

每个输入端均支持寄存器模式和旁路模式。

高云半导体 FPGA 产品的前加器可以作为功能模块单独使用，支持 9-bit 位宽和 18-bit 位宽。

乘法器

乘法器(multipliers)位于前加器之后，用来实现乘法运算。乘法器可以配置为 9×9 、 18×18 、 36×18 或 36×36 ，输入端和输出端都支持寄存器模式和旁路模式。一个宏单元支持的配置模式包括：

- 一个 18×36 乘法器；
- 两个 18×18 乘法器；
- 四个 9×9 乘法器。

两个宏单元可以配置成一个 36×36 乘法器。

算术运算单元

每个 DSP 宏单元包含一个 54 位 ALU54，是对乘法器功能的进一步加强，输入端和输出端都支持寄存器模式和旁路模式。支持的功能包括：

- 乘法器输出数据/0、数据 A 和数据 B 的加法/减法运算
- 乘法器输出数据/0、数据 B 和进位 C 的加法/减法运算
- 数据 A、数据 B 和进位 C 的加法/减法运算

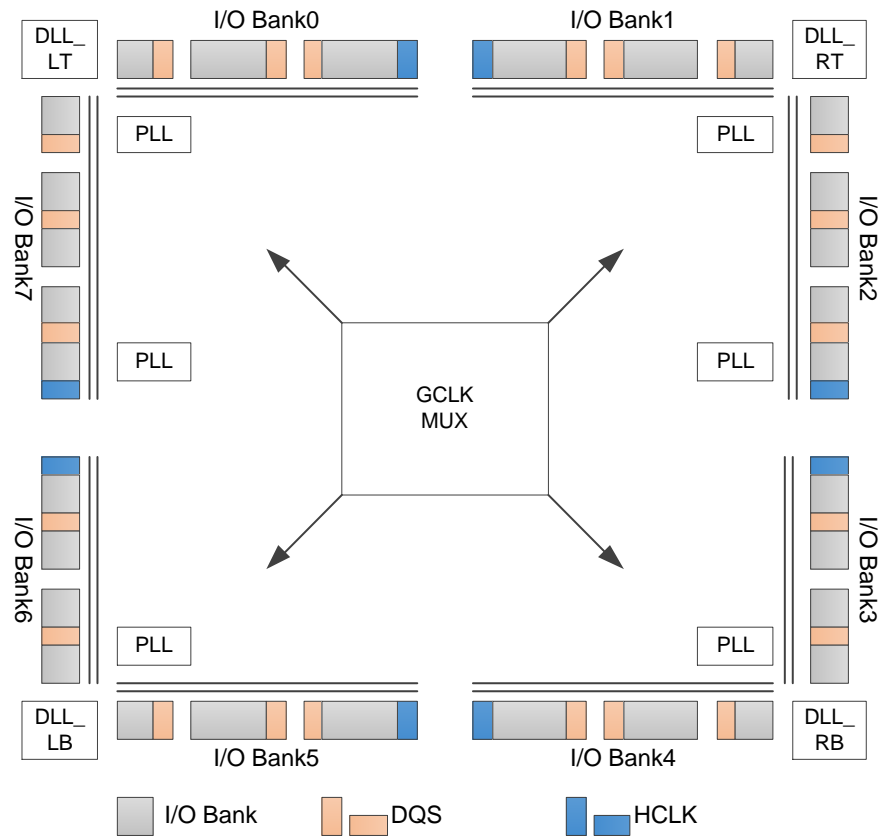
3.6.2 DSP 操作模式配置

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

3.7 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW2AR 系列 FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了锁相环 (PLL)、延迟锁相环 (DLL)、高速时钟 HCLK 和 DDR 存储器接口数据脉冲时钟 DQS 等时钟资源。

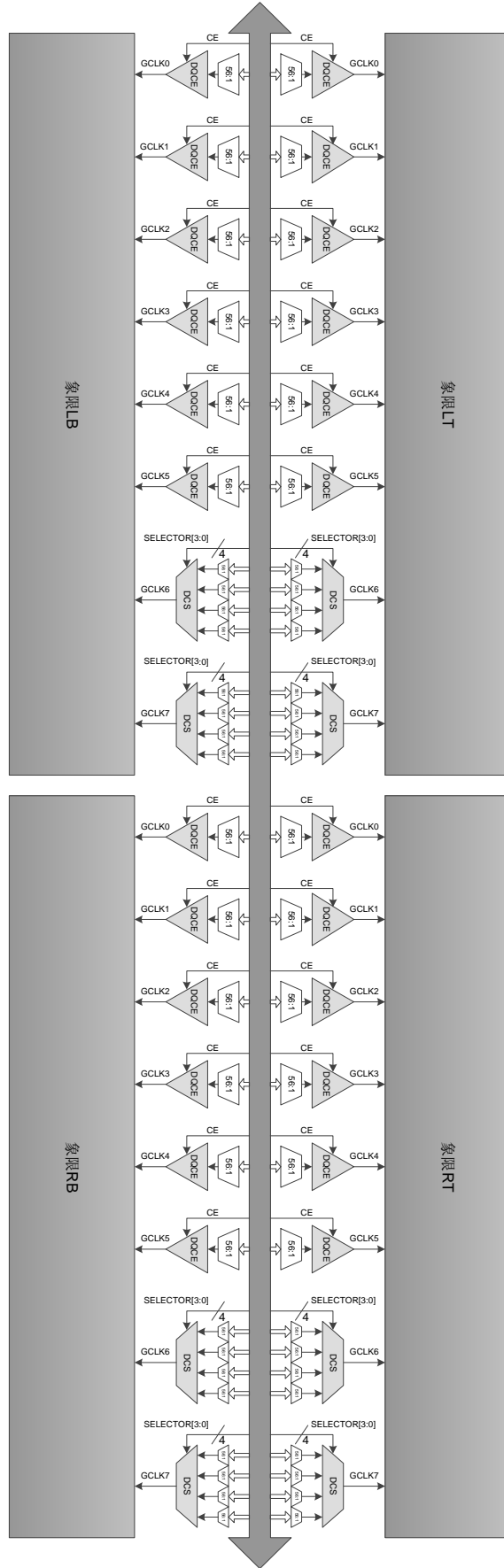
图 3-39 GW2AR 时钟资源



3.7.1 全局时钟网络

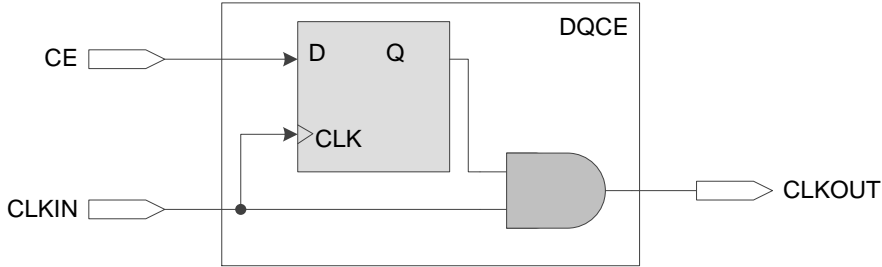
GCLK 在 GW2AR 产品中按象限分布，分为四个象限，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

图 3-40 GCLK 象限分布示意图



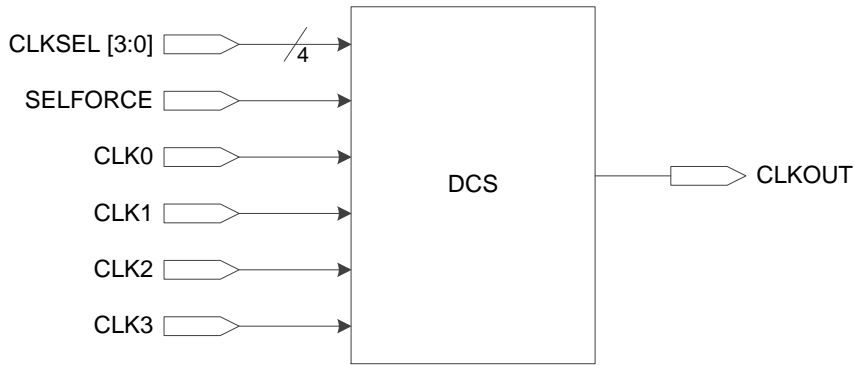
通过 DQCE(Dynamic Quadrant Clock Enable)可动态打开/关闭 GCLK0~GCLK5。关闭 GCLK0~GCLK5 时钟，GCLK0~GCLK5 驱动的内部逻辑不再翻转，从而降低了器件的总体功耗。

图 3-41 DQCE 结构示意图



每个象限的 GCLK6~GCLK7 由 DCS(Dynamic Clock Selector)控制，如图 3-42 所示，内部逻辑可以通过 CRU 在四个时钟输入之间动态选择，输出不带毛刺的时钟。

图 3-42 DCS 接口示意图

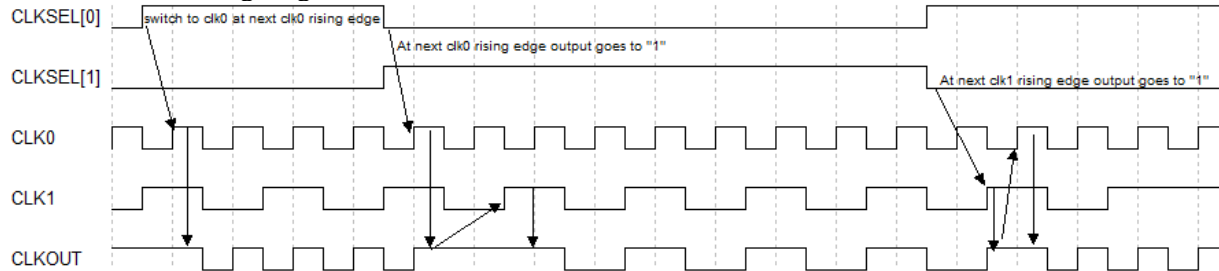


DCS 可以配置为以下几种模式：

DCS rising edge 模式

即在当前选择时钟的上升沿后转入常量 1，在新选择时钟的上升沿后转入新时钟，如图 3-43 所示。

图 3-43 DCS Rising Edge 模式下的时序示意图

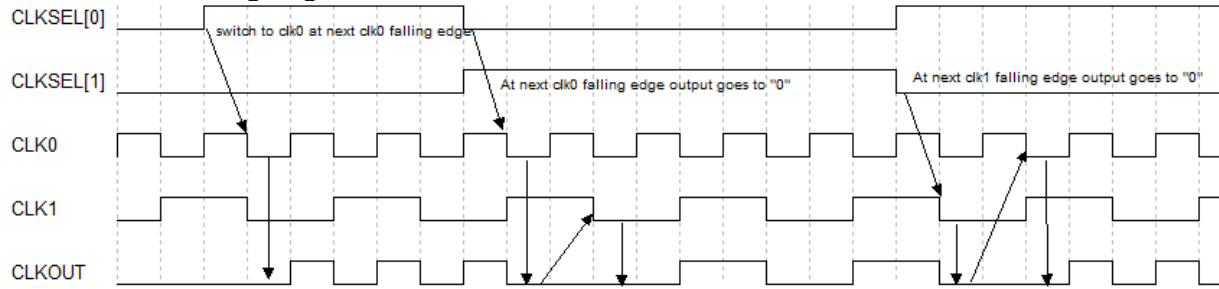


DCS falling edge 模式

即在当前选择时钟的下降沿后转入常量 0，在新选择时钟的下降沿后转

入新时钟，如图 3-44 所示。

图 3-44 DCS Falling Edge 模式下的时序示意图



Clock Buffer 模式

此模式下，DCS 简化为普通的 Clock buffer。

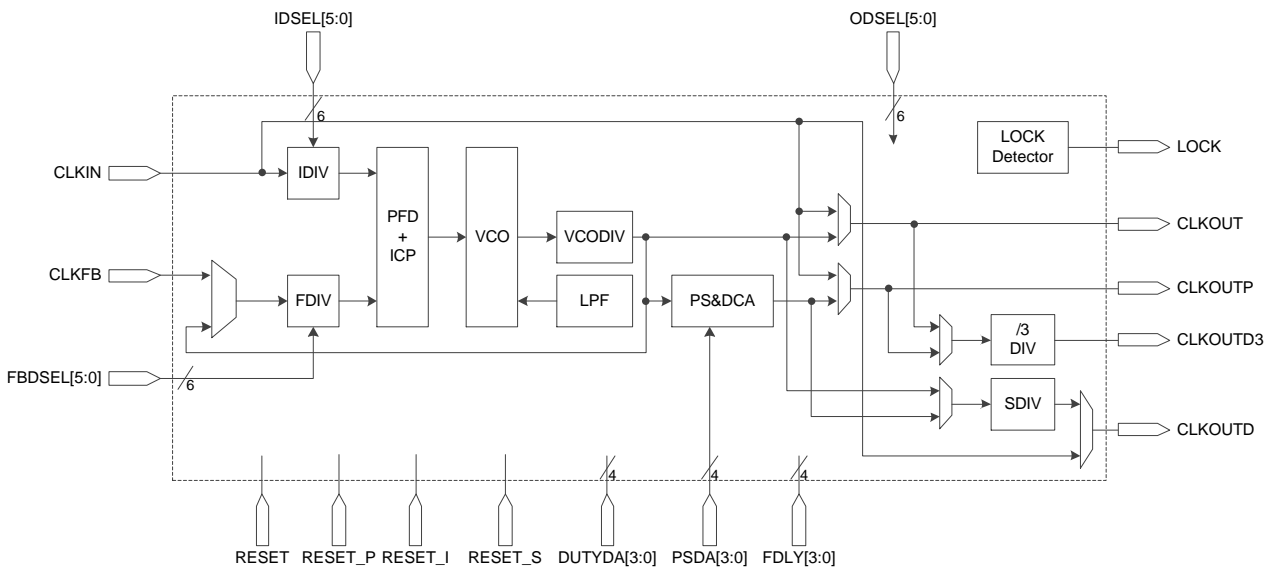
3.7.2 锁相环

锁相环路是一种反馈控制电路，简称锁相环 (PLL, Phase-Locked Loop)。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW2AR 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

PLL 模块的结构框图如图 3-45 所示。

图 3-45 PLL 示意图



PLL 的参考时钟信号可以通过外部 PLL 时钟管脚输入，也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。PLL 的反馈信号可以是外部 PLL 反馈信号的管脚的输入，也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。

GW2AR 系列 FPGA 产品的 PLL 性能如下：

- 输入频率范围：3MHz~500MHz
- VCO 振荡频率范围：500MHz~1,300MHz
- CLKOUT 输出频率范围：3.125MHz~500MHz

PLL 可对输入时钟 CLKIN 进行频率调整(倍频和分频), 计算公式如下:

1. $f_{\text{CLKOUT}} = (f_{\text{CLKIN}} * \text{FDIV}) / \text{IDIV}$
2. $f_{\text{VCO}} = f_{\text{CLKOUT}} * \text{ODIV}$
3. $f_{\text{CLKOUTD}} = f_{\text{CLKOUT}} / \text{SDIV}$
4. $f_{\text{PFD}} = f_{\text{CLKIN}} / \text{IDIV} = f_{\text{CLKOUT}} / \text{FDIV}$

注!

- f_{CLKIN} 为输入时钟 CLKIN 频率。
- f_{CLKOUT} 为 CLKOUT 和 CLKOUTP 时钟频率。
- f_{CLKOUTD} 为 CLKOUTD 时钟频率, CLKOUTD 为 CLKOUT 分频后的时钟。
- f_{PFD} 为 PFD 鉴相频率。

即可通过调整 IDIV、FDIV、ODIV、SDIV 来得到期望频率的时钟信号。

PLL 端口定义如表 3-15 所示。

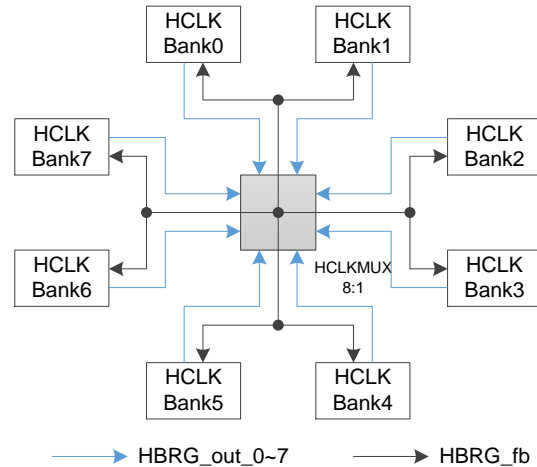
表 3-15 PLL 端口定义

端口名称	信号	描述
CLKIN [5: 0]	输入	参考时钟输入
CLKFB	输入	反馈时钟输入
RESET	输入	PLL 全部复位
RESET_P	输入	PLL 关断 (Power Down) 信号
RESET_I	输入	IDIV 复位信号
RESET_S	输入	SDIV 和 DIV3 复位信号
IDSEL [5: 0]	输入	动态控制 IDIV 值, 范围 1~64
FBDSEL [5: 0]	输入	动态控制 FDIV 值, 范围 1~64
PSDA [3: 0]	输入	动态相位控制(上升沿有效)
DUTYDA [3: 0]	输入	动态占空比控制(下降沿有效)
FDLY [3: 0]	输入	CLKOUTP 动态延迟控制
CLKOUT	输出	无相位和占空比调整的时钟输出
CLKOUTP	输出	有相位和占空比调整的时钟输出
CLKOUTD	输出	来自 CLKOUT 或 CLKOUTP 分频时钟 (由 SDIV 分频器控制)
CLKOUTD3	输出	来自 CLKOUT 或 CLKOUTP 的分频时钟(由 DIV3 分频器控制, DIV3 分频值固定为 3)
LOCK	输出	PLL 锁定指示; 1 表示锁定, 0 表示失锁

3.7.3 高速时钟

GW2AR 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的，如图 3-46 所示。

图 3-46 GW2AR HCLK 示意图



由图 3-46 可以看到，高速时钟 HCLK 的中间有一个 8:1 的 HCLKMUX 模块，HCLKMUX 能将任何一个 Bank 中的 HCLK 时钟信号送到其他任何一个 Bank 中，这使得 HCLK 的使用更加灵活。

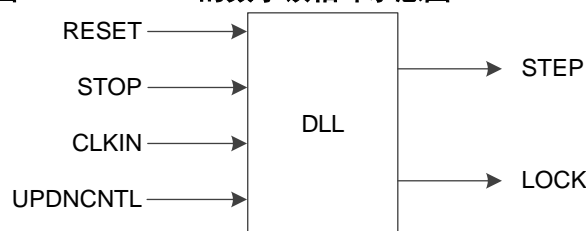
HCLK 可以提供给用户使用的功能模块如下所示：

- DHCE：动态的高速时钟使能模块，功能类似于 DQCE。可动态的打开/关闭高速时钟信号。
- CLKDIV：高速时钟分频模块，每个 Bank 中有一个 CLKDIV。生成和输入时钟相位一致的分频时钟，用于 IO 逻辑工作模式中。
- DHCS：动态的高速时钟选择器。
- PADCLKDEL：动态延迟调整模块，用于专用时钟管脚输入的时钟信号。

3.7.4 延迟锁相环

GW2AR 系列 FPGA 产品提供了延迟锁相环 DLL。DLL 的功能模块如图 3-47 所示。

图 3-47 GW2AR 的数字锁相环示意图



CLKIN 的来源包括了 GCLK 和相邻的 HCLK。

计算过的输出 STEP 信号会送到相邻的 Bank 中，例如：从 DLL_LT 中产生的信号 STEP 会送到 Bank0、Bank1、Bank6、Bank7 的 DQS 和 HCLK。同时信号 STEP 也可通过布线送到用户逻辑中去。

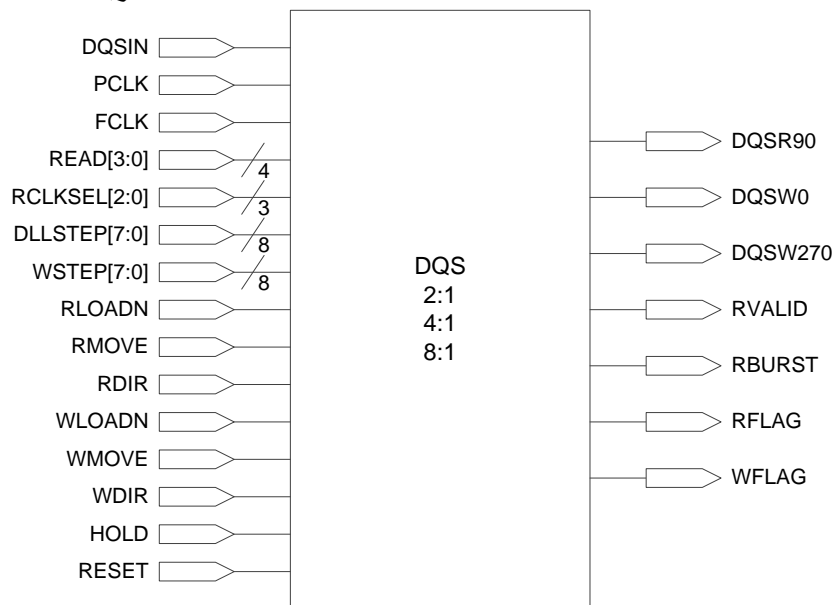
3.7.5 DDR 存储器接口时钟管理 DQS

GW2AR 系列 FPGA 产品的 DQS 模块提供了如下的功能来支持 DDR 存储器接口的时钟需求：

- 接收 DQS 输入，整理波形并移动 1/4 相位
- 为输入缓存提供读/写指针
- 为内部逻辑提供数据有效信号
- 提供 DDR 输出时钟信号
- 支持 DDR3 写电压控制

DQS 模块有 3 种工作模式，用来满足不同的 IO 接口的需求，如图 3-48 所示。

图 3-48 DQS 示意图



CDRCLKGEN

CDRCLKGEN 用来支持高速异步输入接口，如 SGMII。每个位置只有一个 DQS 和 CDRCLKGEN。

CDRCLKDIV

时钟分频模块，功能与 HCLKDIV 类似。

3.8 长线

作为对 CRU 的有效补充，GW2AR 系列 FPGA 产品提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

3.9 全局复置位

GW2AR 系列 FPGA 产品中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步复位或异步置位，CFU 和 I/O 中的寄存器均可以独立配置。

3.10 编程配置

GW2AR 系列 FPGA 产品支持 SRAM 编程，因此，每次上电后需要重新下载配置数据文件到器件中。当然，用户可以根据自身需求将配置数据文件保存在外部 Flash 中。上电后，GW2AR 器件从外部 Flash 中读取配置数据到 SRAM 中。

GW2AR 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式：SSPI、MSPI、SERIAL 和 CPU。详细资料请参考 [《GW2AR 系列 FPGA 产品编程配置手册》](#)。

3.11 片内晶振

GW2AR 系列 FPGA 产品内嵌了一个片内晶振，编程过程中为 MSPI 编程模式提供时钟源，输出频率数据如表 3-16 所示。

表 3-16 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2.5MHz ¹	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz ²

注！

- [1]片内晶振默认输出频率为 2.5MHz。
- [2]125MHz 不适用于 MSPI 编程模式。

片内晶振还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到：

$$f_{\text{out}}=250\text{MHz}/\text{Param}。$$

其中除数 Param 为配置参数，范围为 2~128，只支持偶数。

4 电气特性

注!

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

4.1 工作条件

表 4-1 绝对最大范围

名称	描述	最小值	最大值
V _{CC}	核电压	-0.5V	1.1V
V _{CCPLL}	锁相环电压	-0.5V	1.1V
V _{CCO}	I/O Bank 电源电压	-0.5V	3.75V
V _{CCX}	辅助电源电压	-0.5V	3.75V
Operating Temperature(Industrial)	工作温度	-40°C	+125°C
Storage Temperature	储存温度	-65°C	+150°C

表 4-2 推荐工作范围

名称	描述	最小值	最大值
V _{CC}	核电压	0.95V	1.05V
V _{CCPLLx}	左边锁相环供电电压	0.95V	1.05V
V _{CCPLLRx}	右边锁相环供电电压	0.95V	1.05V
V _{CCOx}	I/O Bank 电源电压	1.14V	3.465V
V _{CCX}	辅助电压	2.375V	3.465V
T _{JCOM}	结温(商业级) Junction temperature Commercial operation	0°C	+85°C
T _{JIND}	结温(工业级) Junction temperature Industrial operation	-40°C	+100°C
T _{RAMP}	电源电压上升速度 Power supply ramp rates for all power supplies	0.01mV/μs	10mV/μs

注!

不同封装的器件供电电压信息请参考《GW2AR-18 器件 Pinout 手册》。

表 4-3 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	I/O	150uA
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	TDI, TDO, TMS, TCK	120uA

表 4-4 POR 特性

名称	描述	最小值	最大值
POR 电压值	Power on reset voltage of Vcc	0.65V	0.85V

4.2 ESD 性能

表 4-5 GW2AR ESD - HBM

器件	GW2AR-18
LQ144	HBM>1,000V
EQ144	HBM>1,000V
QN88	HBM>1,000V
LQ176	HBM>1,000V

表 4-6 GW2AR ESD - CDM

器件	GW2AR-18
LQ144	CDM>500V
EQ144	CDM>500V
QN88	CDM>500V
LQ176	CDM>500V

表 4-7 推荐工作范围内的直流电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL}, I_{IH}	I/O 输入漏电流 (Input or I/O leakage)	$V_{CCO} < V_{IN} < V_{IH}(\text{MAX})$	-	10uA	-
		$0V < V_{IN} < V_{CCO}$	-	0.01uA	-
I_{PU}	I/O 上拉电流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCO}$	-	-100uA	-
I_{PD}	I/O 下拉电流 (I/O Active Pull-down Current)	$V_{IL}(\text{MAX}) < V_{IN} < V_{CCO}$	-	100uA	-
C1	I/O 电容 (I/O Capacitance)			5pF	8pF
V_{HYST}	输入迟滞 (Hysteresis for Schmitt Trigge inputs)	$V_{CCO}=3.3V, \text{Hysteresis}=\text{L2H}$	-	240mV	-
		$V_{CCO}=2.5V, \text{Hysteresis}=\text{L2H}$	-	140mV	-
		$V_{CCO}=1.8V, \text{Hysteresis}=\text{L2H}$	-	65mV	-
		$V_{CCO}=1.5V, \text{Hysteresis}=\text{L2H}$	-	30mV	-
		$V_{CCO}=3.3V, \text{Hysteresis}=\text{H2L}$	-	200mV	-
		$V_{CCO}=2.5V, \text{Hysteresis}=\text{H2L}$	-	130mV	-
		$V_{CCO}=1.8V, \text{Hysteresis}=\text{H2L}$	-	60mV	-
		$V_{CCO}=1.5V, \text{Hysteresis}=\text{H2L}$	-	40mV	-
		$V_{CCO}=3.3V, \text{Hysteresis}=\text{High}$	-	440mV	-
		$V_{CCO}=2.5V, \text{Hysteresis}=\text{High}$	-	270mV	-
		$V_{CCO}=1.8V, \text{Hysteresis}=\text{High}$	-	125mV	-
$V_{CCO}=1.5V, \text{Hysteresis}=\text{High}$	-	70mV	-		

表 4-8 静态电流 (Static Supply Current)

名称	描述	器件类型	器件	典型值
I_{CC}	Core 电源电流	LV 版本	GW2AR-18	35mA
$I_{CCX} + I_{CCO}$	V_{CCX} 电源电流 + I/O Bank 电源电流 ($V_{CCO}=3.3V$)	LV 版本	GW2AR-18	60mA

4.3 DC 电气特性

表 4-9 I/O 推荐工作条件

名称	输出对应的 $V_{CCO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTTL33	3.135	3.3	3.465	-	-	-
LVC MOS33	3.135	3.3	3.465	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.465	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.465	1.3	1.5	1
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.465	-	-	-
LVPECL33E	3.135	3.3	3.465	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.465	-	-	-
SSTL33D_II	3.135	3.3	3.465	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

表 4-10 IOB 单端 DC 电气特性 (IOB Single - Ended DC Electrical Characteristic)

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL} (mA)	I_{OH} (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	$V_{CCO}-0.2V$	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	$V_{CCO}-0.2V$	0.1	-0.1
LVCMOS18	-0.3V	$0.35 \times V_{CCO}$	$0.65 \times V_{CCO}$	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
					0.2V	$V_{CCO}-0.2V$	12	-12
							0.1	-0.1
LVCMOS15	-0.3V	$0.35 \times V_{CCO}$	$0.65 \times V_{CCO}$	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
					0.2V	$V_{CCO}-0.2V$	0.1	-0.1
LVCMOS12	-0.3V	$0.35 \times V_{CCO}$	$0.65 \times V_{CCO}$	3.6V	0.4V	$V_{CCO}-0.4V$	2	-2
							4	-4
					0.2V	$V_{CCO}-0.2V$	0.1	-0.1
PCI33	-0.3V	$0.3 \times V_{CCO}$	$0.5 \times V_{CCO}$	3.6V	$0.1 \times V_{CCO}$	$0.9 \times V_{CCO}$	1.5	-0.5
SSTL33_I	-0.3V	$V_{REF}-0.2V$	$V_{REF}+0.2V$	3.6V	0.7	$V_{CCO}-1.1V$	8	-8
SSTL25_I	-0.3V	$V_{REF}-0.18V$	$V_{REF}+0.18V$	3.6V	0.54V	$V_{CCO}-0.62V$	8	-8
SSTL25_II	-0.3V	$V_{REF}-0.18V$	$V_{REF}+0.18V$	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	$V_{REF}-0.125V$	$V_{REF}+0.125V$	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	$V_{REF}-0.125V$	$V_{REF}+0.125V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
SSTL15	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
HSTL18_I	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
HSTL18_II	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
HSTL15_II	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	NA	NA	NA	NA

表 4-11 I/O 差分 DC 电气特性(IOB Differential Electrical Characteristics)

名称	描述	测试条件	最小	典型	最大	单位
V_{INA}, V_{INB}	输入电压 (Input Voltage)		0	-	2.4	V
V_{CM}	共模输入电压 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.35	V
V_{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	± 100	-	-	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	± 10	μA
V_{OH}	输出高电平(Output High Voltage for VOP or VOM)	$R_T = 100\Omega$	-	-	1.60	V
V_{OL}	输出低电平(Output Low Voltage for VOP or VOM)	$R_T = 100\Omega$	0.9	-	-	V
V_{OD}	差模输出电压 (Output Voltage Differential)	$(V_{OP} - V_{OM}), R_T = 100\Omega$	250	350	450	mV
ΔV_{OD}	差模输出电压的变化范围 (Change in VOD Between High and Low)		-	-	50	mV
V_{OS}	输出零漂(Output Voltage Offset)	$(V_{OP} + V_{OM})/2, R_T = 100\Omega$	1.125	1.20	1.375	V
ΔV_{OS}	输出零漂变化(Change in VOS Between High and Low)		-	-	50	mV
I_S	短路电流	$V_{OD} = 0V$ 两路输出短接	-	-	15	mA

4.4 开关特性

4.4.1 内部开关特性

表 4-12 CFU 内部时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	-	0.337	ns
t_{LUT5_CFU}	LUT5 延迟(LUT5 delay)	-	0.694	ns
t_{LUT6_CFU}	LUT6 延迟(LUT6 delay)	-	1.005	ns
t_{LUT7_CFU}	LUT7 延迟(LUT7 delay)	-	1.316	ns
t_{LUT8_CFU}	LUT8 延迟(LUT8 delay)	-	1.627	ns
t_{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	0.93	ns
t_{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	-	0.38	ns

表 4-13 B-SRAM 内部时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COAD_BSRAM}	时钟到读地址/数据输出时间(Clock to output from read address/data)	-	2.55	ns
t_{COOR_BSRAM}	时钟到寄存器输出时间(Clock to output from output register)	-	0.28	ns

表 4-14 DSP 内部时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COIR_DSP}	时钟到输入寄存器的时间(Clock to output from input register)	-	2.40	ns
t_{COPR_DSP}	时钟到流水寄存器的时间(Clock to output from pipeline register)	-	1.20	ns
t_{COOR_DSP}	时钟到输出寄存器的时间(Clock to output from output register)	-	0.42	ns

4.4.2 外部开关特性

表 4-15 外部开关特性

名称	说明	器件	-8		-7		-6		单位
			Min	Max	Min	Max	Min	Max	
Clocks	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	
Pin-LUT-Pin Delay	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	
General I/O Pin Parameters	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	

表 4-16 片内晶振输出频率

名称	说明	最小值	典型值	最大值
f_{MAX}	晶振输出频率(0 to+ 85°C)	106.25MHz	125MHz	143.75MHz
	晶振输出频率(-40 to +100°C)	100MHz	125MHz	150MHz
t_{DT}	输出时钟 Duty Cycle	43%	50%	57%
t_{OPJIT}	输出时钟 Period Jitter	0.01UIPP	0.012UIPP	0.02UIPP

表 4-17 PLL 开关特性

名称	最小值	典型值	最大值
VCO 锁定范围	500MHZ	-	1.2GHZ
锁定时间	-	450us	600us
相位差	-	180°	-
相位差误差	-	+/-200ps	

4.5 编程接口时序标准

GW2AR 系列 FPGA 产品 GowinCONFIG 配置模式包括：MSPI 模式、SSPI 模式、CPU 模式、SERIAL 模式，详细资料请参考《[GW2AR 系列 FPGA 产品编程配置手册](#)》。

4.5.1 JTAG 模式接口时序标准

GW2AR 系列 FPGA 产品的 JTAG 配置模式符合 IEEE1532 标准和 IEEE1149.1 边界扫描标准。

JTAG 配置模式是将配置数据文件下载到 GW2AR 系列 FPGA 产品的 SRAM 中，掉电后配置数据丢失。

JTAG 编程模式的时序图如图 4-1 所示。

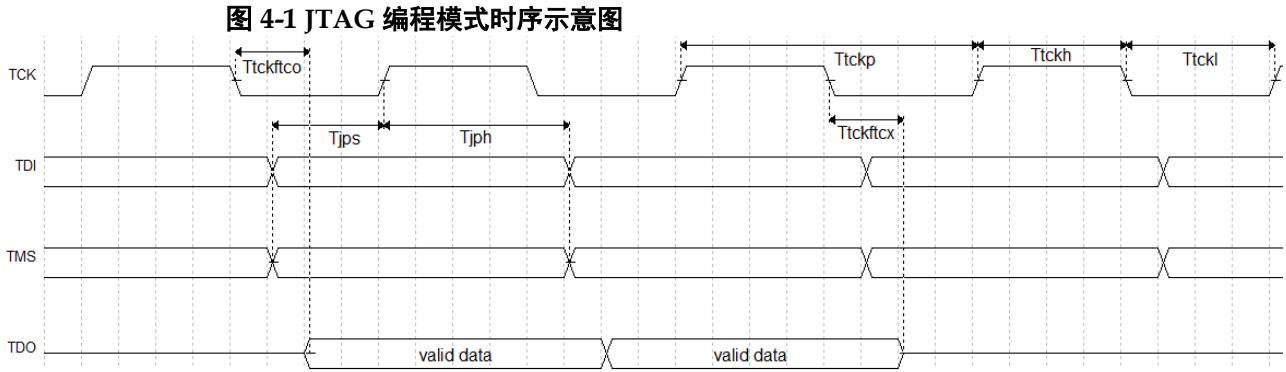


表 4-18 JTAG 编程模式时序参数

参数名称	参数含义	最小值	最大值
T_{tckfco}	TCK 下降沿到输出数据时延 (Time from TCK falling edge to output)		10ns
$T_{tckfcox}$	TCK 下降沿到输出高阻时延 (Time from TCK falling edge to high impedance)		10ns
T_{tckp}	TCK 时钟周期 (TCK clock period)	40ns	-
T_{tckh}	TCK 时钟高电平时间 (TCK clock high time)	20ns	-
T_{tckl}	TCK 时钟低电平时间 (TCK clock low time)	20ns	-
T_{jps}	JTAG 口建立时间 (JTAG PORT setup time)	10ns	
T_{jph}	JTAG 口保持时间 (JTAG PORT hold time)	8ns	

4.5.2 MSPI 模式接口时序标准

MSPI 配置模式, 即 FPGA 作为主器件, 通过 SPI 接口主动从外部 Flash 读取配置数据。

MSPI 编程模式将配置数据写入外部 Flash 之后, 需要重新上电或者触发 RECONFIG_N 按键进行器件配置。GW2AR-18 器件支持两次自动的 MSPI 配置操作, 如果第一次配置失败, FPGA 自动再次进行 MSPI 配置操作。

图 4-2 GW2AR 重新上电时序图

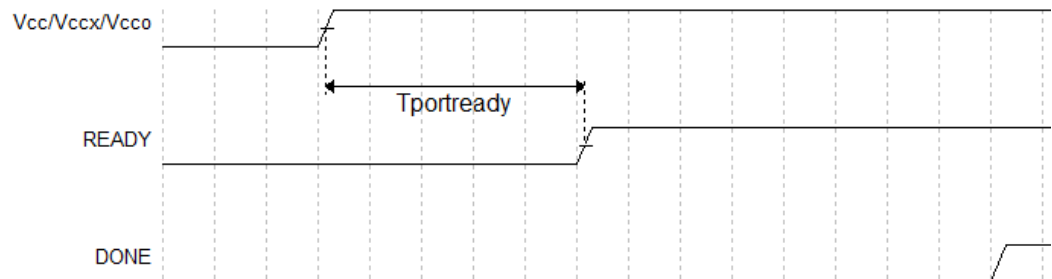


图 4-3 GW2AR RECONFIG_N 触发时序图

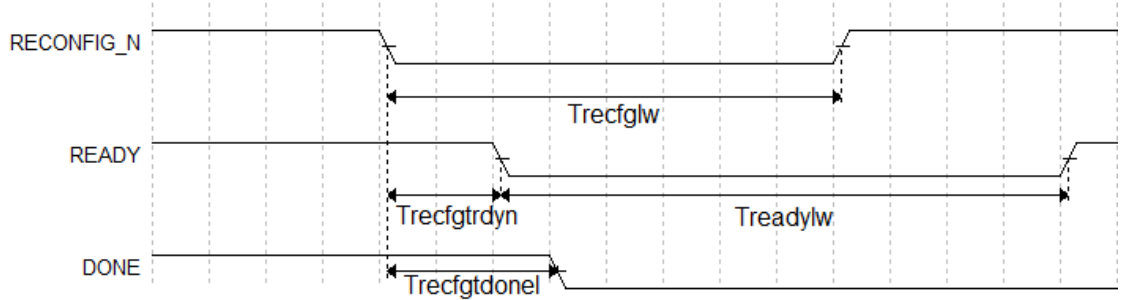


图 4-4 MSPI 编程模式时序示意图

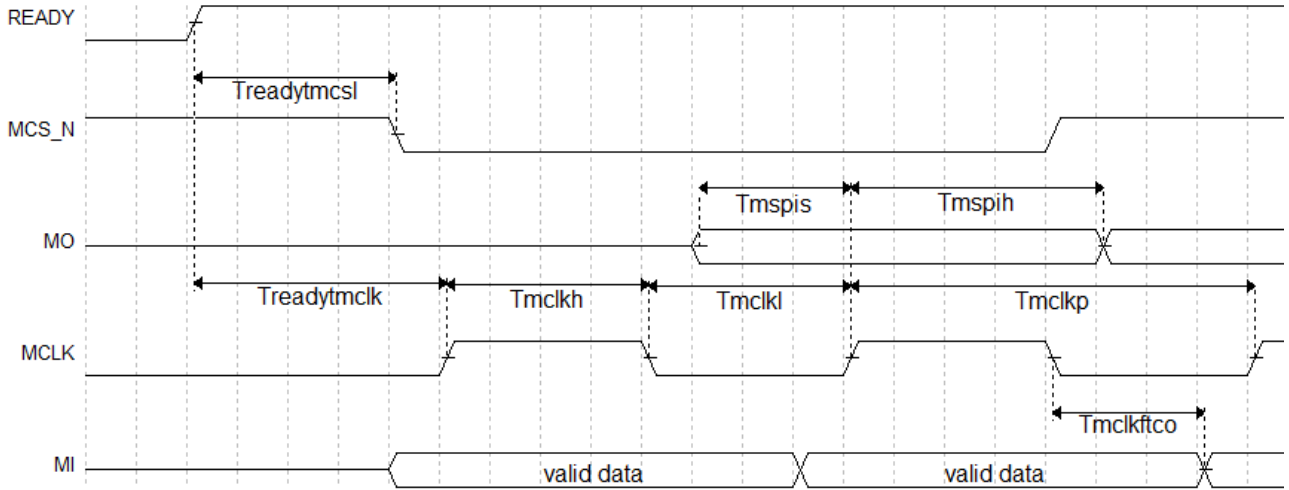


表 4-19 重新上电和 RECONFIG_N 触发时序参数

参数名称	参数含义	最小值	最大值
$T_{portready}$	满足上电条件到 READY 的上升沿的时延 (Time from application of V_{CC} , V_{CCX} and V_{CCO} to the rising edge of READY)	-	23ms
$T_{recfglw}$	RECONFIG_N 低电平脉冲宽度 (RECONFIG_N low pulse width)	25ns	-
$T_{recfgtrdyn}$	RECONFIG_N 下降沿到 READY 变低电平的时延 (Time from RECONFIG_N falling edge to READY low)	-	70ns
$T_{readylw}$	READY 低电平脉冲宽度 (READY low pulse width)	TBD	-
$T_{recfgtdonel}$	RECONFIG_N 下降沿到 DONE 变低电平的时延 (Time from RECONFIG_N falling edge to DONE low)	-	80ns

表 4-20 MSPI 编程模式时序参数

参数名称	参数含义	最小值	最大值
T_{mclkp}	MCLK 时钟周期 (MCLK clock period)	15ns	-
T_{mclkh}	MCLK 时钟高电平时间 (MCLK clock high time)	7.5ns	-
T_{mckl}	MCLK 时钟低电平时间 (MCLK clock low time)	7.5ns	-
T_{mspis}	MSPI PORT 建立时间 (MSPI PORT setup time)	5ns	-
T_{mspih}	MSPI PORT 保持时间 (MSPI PORT hold time)	1ns	-
$T_{mclkftco}$	MCLK 下降沿到数据输出时延 (Time from MCLK falling edge to output)	-	10ns
$T_{readytmcl}$	READY 上升沿到 MCS_N 低电平时间 (Time from READY rising edge to MCS_N low)	100ns	200ns
$T_{readytmclk}$	READY 上升沿到第一个 MCLK 沿时间 (Time from READY rising edge to first MCLK edge)	2.8 μ s	4.4 μ s

除了满足上电要求, 使用 MSPI 模式对 GW2AR 系列 FPGA 产品进行编程, 还需满足以下条件:

- MSPI 接口使能
上电后初次编程或前一次编程时, RECONFIG_N 设为“NON-RECOVERY”状态。
- 启动新的编程
重新上电或者给编程管脚 RECONFIG_N 一个低电平脉冲。

4.5.3 SSPI 模式接口时序标准

SSPI 配置模式, 即 FPGA 作为从器件, 由外部 Host 通过 SPI 接口对 GW2AR 系列 FPGA 产品进行配置。

SSPI 编程模式的时序图如图 4-5 所示。

图 4-5 SSPI 编程模式时序图

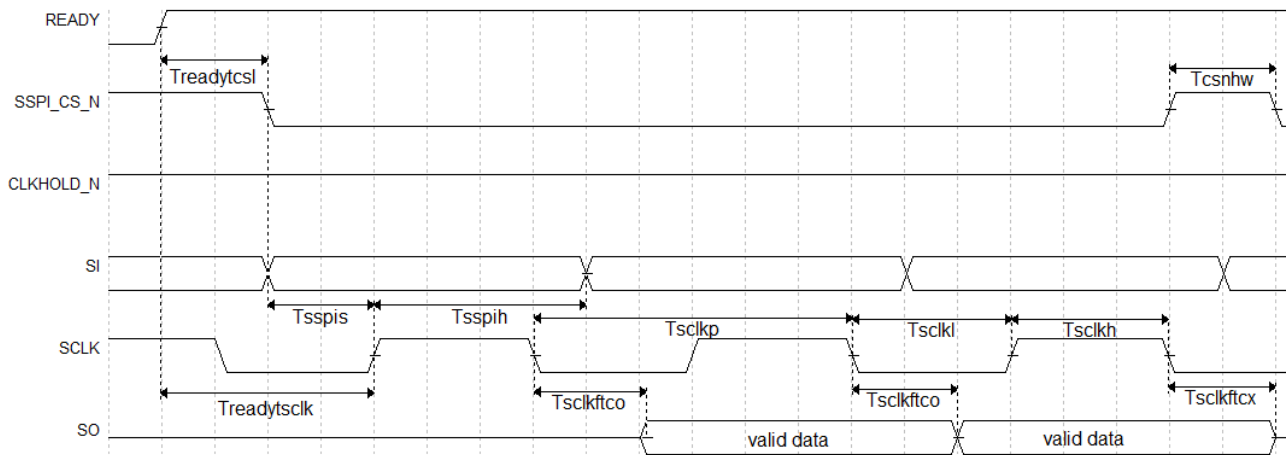


表 4-21 SSPI 编程模式时序参数

参数名称	参数含义	最小值	最大值
T _{sclkp}	SCLK 时钟周期(SCLK clock period)	15ns	-
T _{sclkh}	SCLK 时钟高电平时间(SCLK clock high time)	7.5ns	-
T _{sckl}	SCLK 时钟低电平时间(SCLK clock low time)	7.5ns	-
T _{sspis}	SSPI PORT 建立时间(SSPI PORT setup time)	2ns	-
T _{sspih}	SSPI PORT 保持时间(SSPI PORT hold time)	0ns	-
T _{sckftco}	SCLK 下降沿到数据输出时延(Time from SCLK falling edge to output)	-	10ns
T _{sckftcx}	SCLK 下降沿到输出高阻时延(Time from SCLK falling edge to high impedance)	-	10ns
T _{csnhw}	CSN 高电平脉冲宽度 (CSN high time)	25ns	-
T _{readytcs1}	READY 上升沿到 CSN 低电平时间(Time from READY rising edge to CSN low)		
T _{readytsclk}	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

除了满足上电要求，使用 SSPI 模式对 GW2AR 系列 FPGA 产品进行编程，还需满足以下条件：

- SSPI 接口使能

上电后初次编程或前一次编程时，RECONFIG_N 设为“NON-RECOVERY”状态。

- 启动新的编程

重新上电或者给编程管脚 RECONFIG_N 一个低电平脉冲。

4.5.4 CPU 模式

CPU 编程模式下，HOST 通过 DBUS 接口对 GW2AR 系列 FPGA 产品进行编程配置。除了满足上电要求，使用 CPU 模式对 GW2AR 系列 FPGA 产品进行编程，还需满足以下条件：

- CPU 接口使能

上电后初次编程或前一次编程时，RECONFIG_N 设为“NON-RECOVERY”状态。

- 启动新的编程

重新上电或者给编程管脚 RECONFIG_N 一个低电平脉冲。

4.5.5 SERIAL 模式

SERIAL 配置模式，Host 通过串行接口对 GW2AR 系列 FPGA 产品进行配置。除了满足上电要求，使用 SERIAL 模式对 GW2AR 系列 FPGA 产品进行编程，还需满足以下条件：

- SERIAL 接口使能

上电后初次编程或前一次编程时，RECONFIG_N 设为“NON-RECOVERY”状态。

- 启动新的编程

重新上电或者给编程管脚 RECONFIG_N 一个低电平脉冲。

5 器件订货信息

5.1 器件命名

图 5-1 内嵌 SDRAM 器件命名方法 - ES

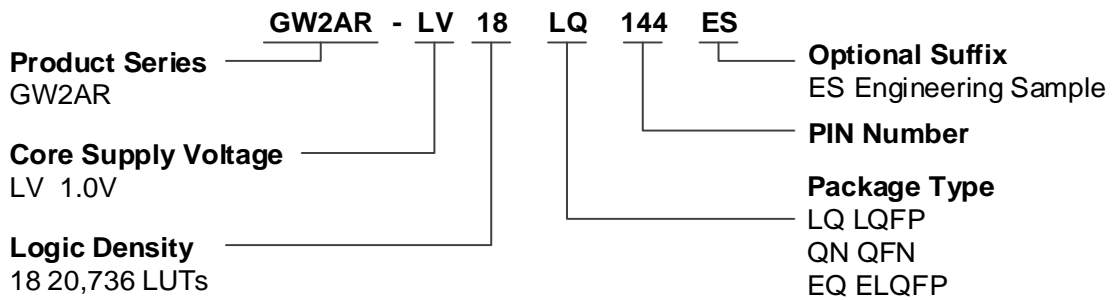


图 5-2 内嵌 PSRAM 器件命名方法 -ES

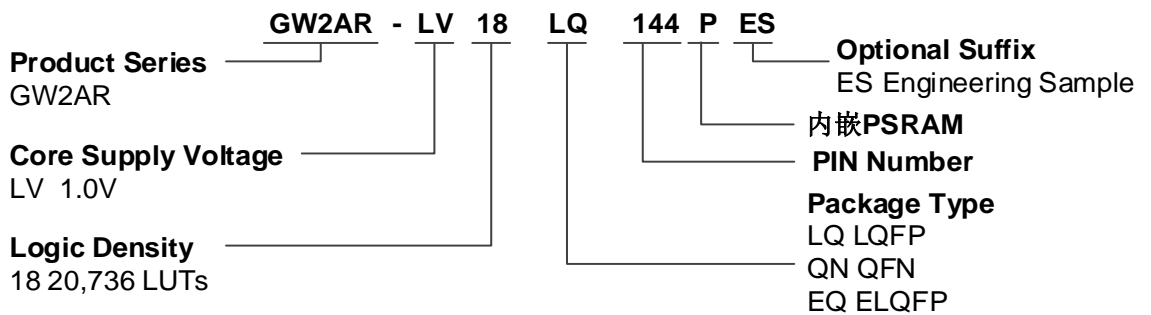


图 5-2 内嵌 SDRAM 器件命名方法 - Production

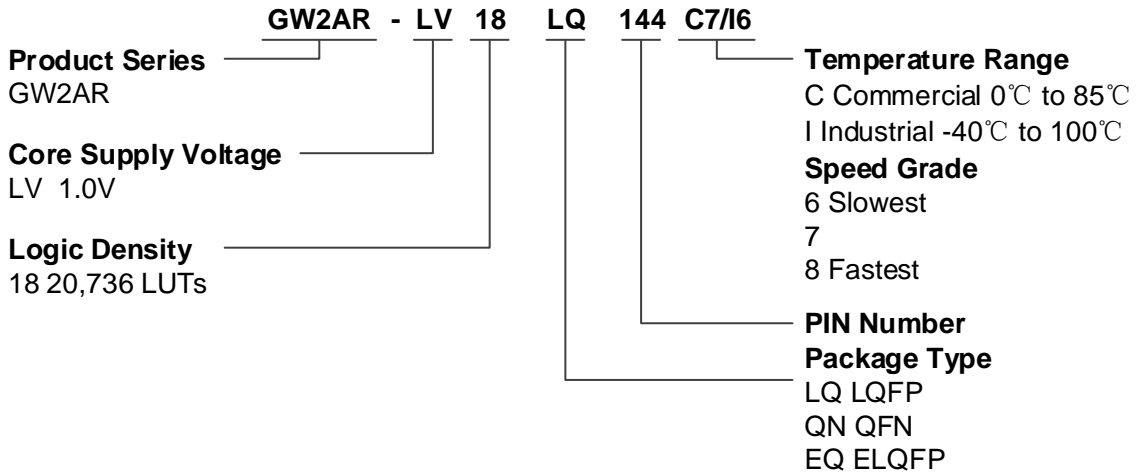
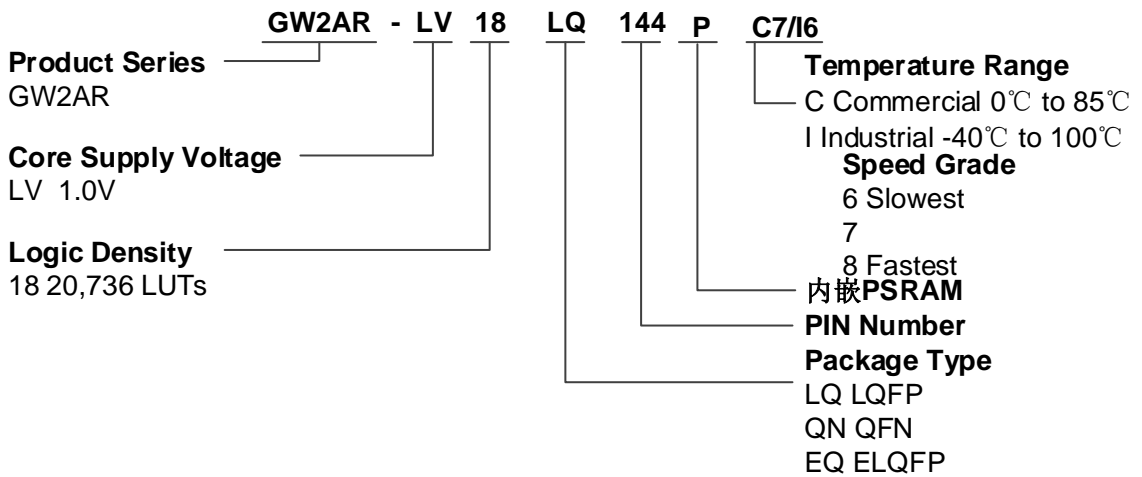


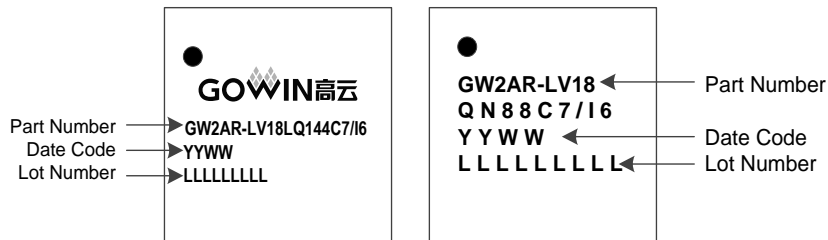
图 5-3 内嵌 PSRAM 器件命名方法 - Production



5.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，示例如图 5-3 所示。

图 5-3 器件封装标识示例



注！

上图右图中第一行与第二行均为“Part Number”。

