

数据手册

版本：2019.01

APM32F103x4x6x8xb/APM32E103xB 基于 ARM[®] Cortex[®]-M3 内核的 32 位微控制器

1 产品特性

● 系统与架构

- ARM® Cortex®-M3 内核
- 最高 96MHz 主频，在存储器的 0 等待周期访问时可达 1.5DMIPS/MHz

● 电源、时钟与复位

- 供电电压 2.0V~3.6V
- 4MHz~16MHz 外部晶体振荡器
- 带校准功能的 32KHz RTC 振荡器
- 内含经出厂调校的 8MHz RC 振荡器
- 40KHz RC 振荡器
- 上电/掉电复位(POR/PDR)、可编程电压监测器(PVD)

● 存储器

- 最高 128 Kbytes 闪存存储器
- 最高 20 Kbytes SRAM 存储器

● 低功耗模式

- 支持睡眠，停止和待机三种低功耗模式
- 支持电池供电，可支持 RTC 及备用寄存器工作

● FPU

- 独立 FPU 模块，支持浮点运算

● 2 个 ADC 及 1 个温度传感器

- 1 μ s 转换时间(多达 16 个输入通道)
- 转换范围: 0~V_{DDA}, 转换精度: 12bit
- 双采样和保持功能
- 片上温度传感器

● I/O

- 可选择 80/51/37/26 个 I/O，取决于型号及封装
- 所有 I/O 均可映射到 16 个外部中断控制器
- 几乎所有 I/O 支持 5V 逻辑电平输入

● DMA

- 7 路 DMA 通道，支持 USART、Timer、I²C、SPI、ADC 外设访问

● 定时器及 PWM

- 3 个 16 位通用定时器，每个定时器拥有 4 路独立通道用于输入捕获、输出比较、PWM 与脉冲计数
- 1 个 16 位高级定时器，带死区控制和紧急刹车
- 2 个看门狗定时器，包括独立型和窗口型
- 1 个 24 位自减型系统时间定时器

● 通信接口

- 3 个 USART 接口(支持 ISO7816 接口，LIN，IrDA 接口和调制解调控制)
- 2 个 I²C 接口(支持 SMBus/PMBus)
- 2 个 SPI 接口(18Mbps)
- 1 个 QSPI 接口，支持单线和四线访问 flash
- 1 个 USB 2.0 FS device 接口
- 1 个 CAN 2.0B 接口，可支持 USB 和 CAN 可同时独立工作

● CRC 单元

- 1 个 CRC 计算单元，支持 96 位不可改写的唯一身份标识

● 调试模式

- 串行调试接口 SWD 和 JTAG

● 芯片封装

- LQFP100/LQFP64/LQFP48/QFN36

● 应用领域

- 医疗设备、PC 外设、工业控制、智能仪表、家用电器

目录

1	产品特性.....	1
2	芯片规格说明.....	8
2.1	概述.....	8
2.2	型号配置表.....	9
3	引脚特性.....	10
3.1	引脚定义.....	10
3.1.1	APM32F103x4x6x8xB/APM32E103VB 系列 LQFP100.....	10
3.1.2	APM32F103x4x6x8xB/APM32E103RB 系列 LQFP64.....	11
3.1.3	APM32F103x4x6x8xB/APM32E103CB 系列 LQFP48.....	12
3.1.4	APM32F103 x4x6x8xB 系列 QFN36.....	13
3.2	引脚描述.....	14
3.3	系统框图.....	20
3.4	时钟树.....	21
3.5	地址映射.....	22
4	功能描述.....	23
4.1	ARM®Cortex®-M3 内核.....	23
4.2	存储器.....	23
4.3	电源管理.....	23
4.3.1	供电方案.....	23
4.3.2	电压调压器.....	23
4.3.3	供电监控器.....	24
4.3.4	低功耗模式.....	24
4.4	时钟和启动.....	25
4.5	RTC 和后备寄存器.....	25
4.6	自举模式.....	25

4.7	CRC(循环冗余校验)计算单元.....	26
4.8	嵌套的向量式中断控制器(NVIC)	26
4.9	外部中断/事件控制器(EXTI).....	26
4.10	浮点运算单元(FPU)	26
4.11	DMA	27
4.12	系统时间定时器和看门狗.....	27
4.12.1	高级控制定时器(TIM1).....	27
4.12.2	通用定时器(TIM2/3/4)	28
4.12.3	独立看门狗(IWDG).....	28
4.12.4	窗口看门狗(WWDG).....	29
4.12.5	系统时间定时器(SysTick Timer)	29
4.13	通信接口	29
4.13.1	I ² C 总线.....	29
4.13.2	通用同步/异步收发器(USART).....	29
4.13.3	串行外设接口(SPI).....	30
4.13.4	四线 SPI 控制器(QSPI)	30
4.13.5	控制器区域网络(CAN).....	30
4.13.6	通用串行总线(USB)	30
4.13.7	USB 接口与 CAN 接口的同时使用:	30
4.14	通用输入输出接口(GPIO).....	31
4.15	ADC(模拟/数字转换器)	31
4.16	温度传感器	31
4.17	调试接口(SWJ-DP).....	32
5	特性	32
5.1	测试条件	32
5.1.1	最大值和最小值	32
5.1.2	典型值.....	32

5.1.3	典型曲线.....	32
5.1.4	负载电容.....	33
5.2	绝对最大额定值.....	34
5.2.1	最大额定电压特性:	34
5.2.2	最大额定电流特性:	34
5.2.3	极限破坏性测试.....	35
5.3	通用工作条件下的测试.....	35
5.3.1	内嵌复位和电源控制模块特性测试 ⁽¹⁾	36
5.3.2	内置参考电压特性测试.....	37
5.3.3	供电电流特性.....	37
5.3.4	外部时钟源特性.....	42
5.3.5	内部时钟源特性.....	44
5.3.6	PLL 特性.....	45
5.3.7	存储器特性.....	45
5.3.8	I/O 端口特性.....	46
5.3.9	NRST 引脚特性.....	49
5.3.10	通信接口.....	50
5.3.11	12 位 ADC 特性.....	55
5.3.12	温度传感器特性.....	56
5.3.13	EMC 特性.....	56
6	封装信息.....	58
7	订货信息.....	67
8	版本历史.....	70

表格目录

表 1	APM32F103x4x6x8xB/APM32E103xB 产品功能和外设配置.....	9
表 2	APM32F103x4x6x8xB/APM32E103xB 引脚定义.....	14
表 3	定时器功能比较.....	27
表 4	最大额定电压特性.....	34
表 5	最大额定电流特性.....	34
表 6	温度特性.....	35
表 7	静电放电(ESD).....	35
表 8	静态栓锁.....	35
表 9	通用工作条件.....	35
表 10	内嵌复位和电源控制模块特性($T_A=25^{\circ}\text{C}$).....	36
表 11	内置的参照电压.....	37
表 12	运行模式下的电流消耗, 数据处理代码从内部 RAM 中运行.....	39
表 13	睡眠模式下的电流消耗, 代码从 Flash 或 RAM 中运行.....	40
表 14	停机和待机模式下的典型和最大电流消耗.....	41
表 15	HSE 4~16MHz 振荡器特性.....	42
表 16	LSE 振荡器特性($f_{LSE}=32.768\text{KHz}$).....	43
表 17	HSI 振荡器特性.....	44
表 18	LSI 振荡器特性.....	44
表 19	低功耗模式的唤醒时间.....	44
表 20	PLL 特性.....	45
表 21	FLASH 存储器特性.....	45
表 22	I/O 静态特性(测试条件 $V_{CC}=2.7\text{-}3.6\text{V}$, $T_A=-40\sim 105^{\circ}\text{C}$).....	46
表 23	输出电压特性(测试条件 $V_{CC}=2.7\text{-}3.6\text{V}$, $T_A=-40\sim 105^{\circ}\text{C}$).....	47
表 24	输入输出交流特性.....	48
表 25	NRST 引脚特性 (测试条件 $V_{CC}=3.3\text{V}$, $T_A=-40\sim 105^{\circ}\text{C}$).....	49

表 26	I ² C 接口特性 (测试条件 V _{DD} = 3.3V, T _A = 25°C)	50
表 27	SPI 特性(V _{DD} = 3.3V, T _A =25°C)	52
表 28	USB 全速电气特性(V _{DD} = 3.0-3.6V, T _A = 25°C)	55
表 29	ADC 特性(V _{DD} = 2.4-3.6V, T _A =-40~105°C)	55
表 30	温度传感器特性	56
表 31	EMS 特性	56
表 32	EMI 特性	56
表 33	APM32F103x4x6x8xB/APME32103xBMARKING	58
表 34	QFN36 封装数据	60
表 35	LQFP100 封装数据	62
表 36	LQFP64 封装数据	64
表 37	LQFP48 封装数据	66
表 38	订货信息列表	68
表 39	文档版本历史记录.....	70

图目录

图 1	LQFP100 引脚配置图.....	10
图 2	LQFP64 引脚配置图.....	11
图 3	LQFP48 引脚配置图.....	12
图 4	QFN36 引脚配置图	13
图 5	APM32F103x4x6x8xB/APM32E103xB 系列系统框图.....	20
图 6	APM32F103x4x6x8xB/APM32E103xB 系列时钟树	21
图 7	APM32F103x4x6x8xB/APM32E103xB 系列地址映射图	22
图 8	测量引脚参数时的负载条件	33
图 9	引脚输入电压测量方案	33
图 10	电流消耗测量方案.....	33
图 11	供电方案.....	38
图 12	输入输出交流特性定义	48
图 13	总线交流波形和测量电路.....	51
图 14	SPI 时序图 — 从模式和 CPHA=0.....	53
图 15	SPI 时序图 — 从模式和 CPHA=1.....	53
图 16	SPI 时序图 — 主模式.....	54
图 17	USB 时序：数据信号上升和下降的时间定义.....	55
图 18	QFN36 封装图	59
图 19	LQFP100 封装图.....	61
图 20	LQFP64 封装图.....	63
图 21	LQFP48 封装图.....	65

2 芯片规格说明

2.1 概述

APM32F103x4x6x8xB/APM32E103xB 系列芯片是基于 ARM®Cortex®-M3 内核的 32 位微处理器，最高工作频率 96MHz。内建 AHB 高性能总线，结合高速存储器及 DMA 可实现数据的快速处理和存储。内建 APB 高级外设总线，扩展了丰富的外设及增强型 I/O，保障了连接的速度和控制的灵活性。芯片内部配备强大的 FPU 浮点运算处理单元，支持单精度数据处理指令和数据类型。

内置高达 128K 字节的闪存存储器和 20K 字节的 SRAM 存储器，所有型号都包含 2 个 12 位的 ADC、3 个通用 16 位定时器、1 个高级控制定时器和 1 个温度传感器，还包含标准和先进的通信接口：2 个 I²C 接口、2 个 SPI 接口、1 个 QSPI 接口、3 个 USART 接口、1 个 USB 2.0 FS 接口和 1 个 CAN 2.0B 接口，USB 与 CAN 可同时独立工作。

工作电压为 2.0V ~ 3.6V，工作温度范围有-40°C至+85°C和-40°C至+105°C两种类型供选择。

具有 LQFP100/LQFP64/LQFP48/ QFN36 的 4 种不同形式的封装，不同封装的外设及 I/O 配置有所不同。

2.2 型号配置表

表1 APM32F103x4x6x8xB/APM32E103xB 产品功能和外设配置

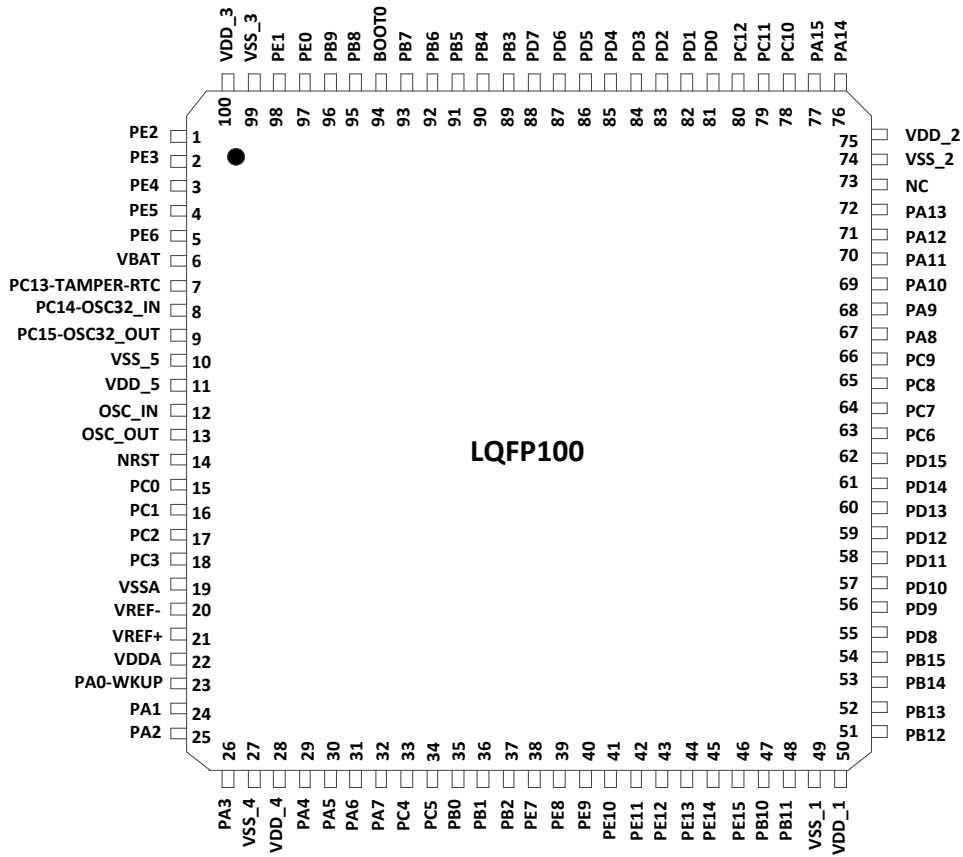
Part Number		APM32F103xx														APM32E103xx		
		T4	T6	T8	TB	C4	C6	C8	CB	R4	R6	R8	RB	V8	VB	CB	RB	VB
Packages		QFN36				LQFP48				LQFP 64				LQFP 100		LQFP 48	LQFP 64	LQFP 100
Flash(Kbytes)		16	32	64	128	16	32	64	128	16	32	64	128	64	128	128	128	128
SRAM(Kbytes)		6	10	20	20	6	10	20	20	4	10	20	20	20	20	20	20	20
Timers	General (16-bit)	2	2	3	3	2	2	3	3	2	2	3	3	3	3	3	3	3
	Advanced (16-bit)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	SysTick	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Watchdog	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	RTC	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Comm Interfaces	SPI	1	1	1	1	1	1	2	2	1	1	2	2	2	2	2	2	2
	QSPI	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	I ² C	1	1	1	1	1	1	2	2	1	1	2	2	2	2	2	2	2
	USART	2	2	2	2	2	2	3	3	2	2	3	3	3	3	3	3	3
	CAN2.0B	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	USB2.0 FS	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
12 bit ADC	Unit	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	Channel	10	10	10	10	10	10	10	10	16	16	16	16	16	16	10	16	16
GPIOs		26	26	26	26	37	37	37	37	51	51	51	51	80	80	37	51	80
CPU@Max. frequency		M3@72MHz														M3@96MHz		
FPU		-														支持 FPU 单元		
Operating voltage		2.0V~3.6V																

3 引脚特性

3.1 引脚定义

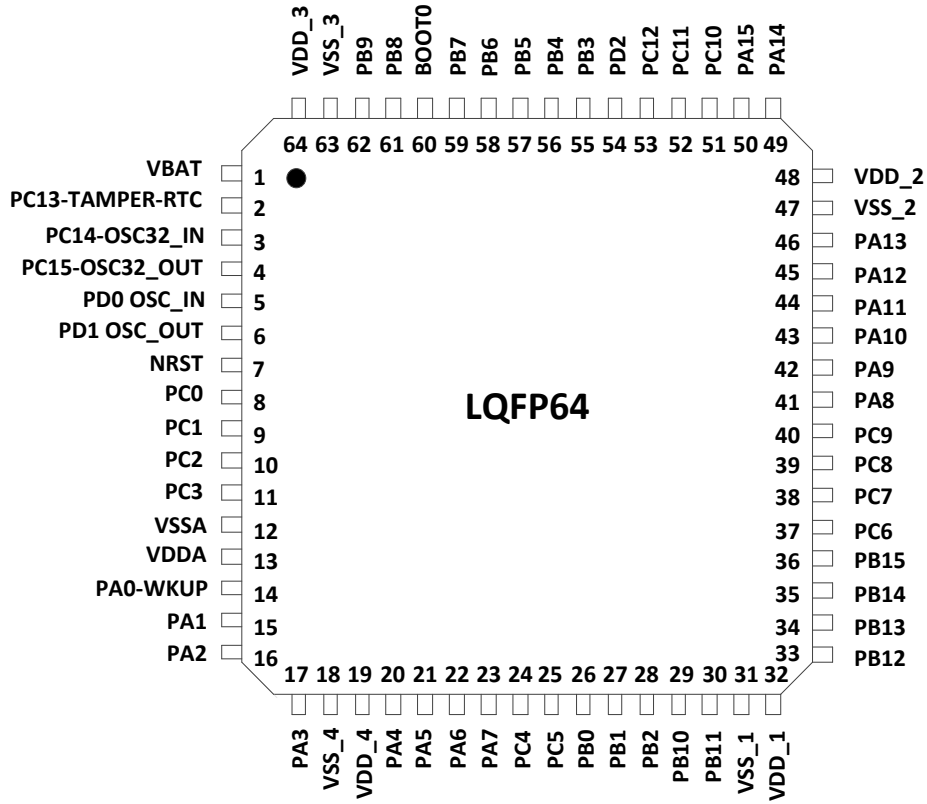
3.1.1 APM32F103x4x6x8xB/APM32E103VB 系列 LQFP100

图 1 LQFP100 引脚配置图



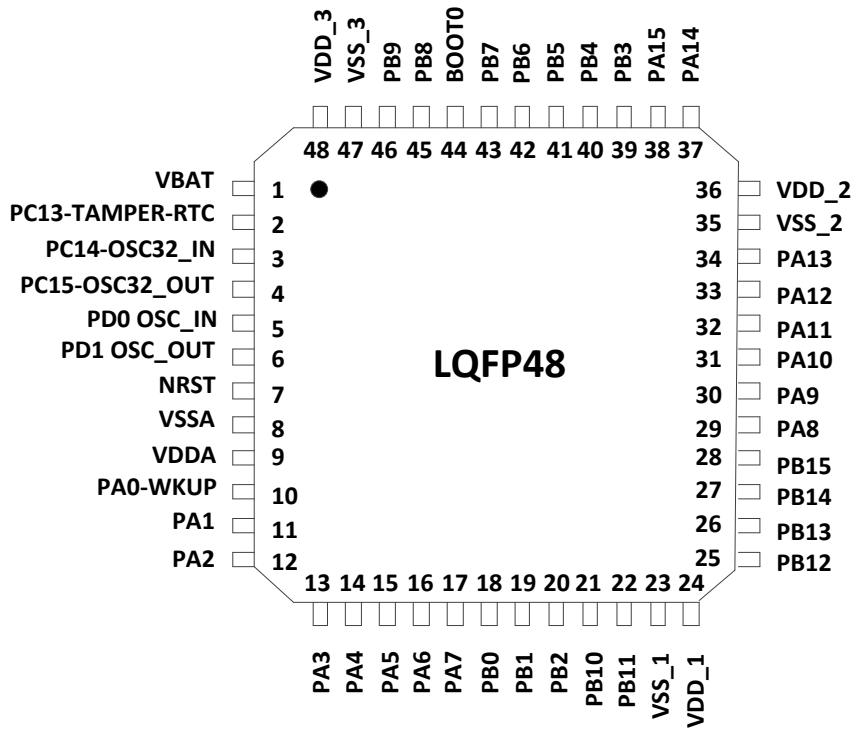
3.1.2 APM32F103x4x6x8xB/APM32E103RB 系列 LQFP64

图 2 LQFP64 引脚配置图



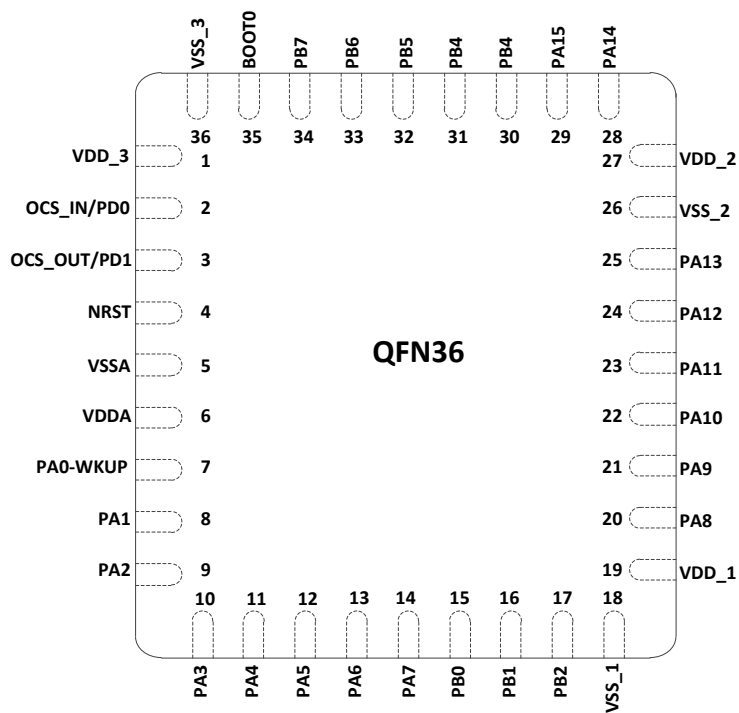
3.1.3 APM32F103x4x6x8xB/APM32E103CB 系列 LQFP48

图 3 LQFP48 引脚配置图



3.1.4 APM32F103 x4x6x8xB 系列 QFN36

图 4 QFN36 引脚配置图



3.2 引脚描述

表2 APM32F103x4x6x8xB/APM32E103xB 引脚定义

引脚名称	引脚编号				类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能 ⁽³⁾ (复位后)	可选的复用功能	
	LQFP48	LQFP64	LQFP100	QFN36				默认复用功能	重定义功能
PE2	-	-	1	-	I/O	FT	PE2	TRACECK	-
PE3	-	-	2	-	I/O	FT	PE3	TRACED0	-
PE4	-	-	3	-	I/O	FT	PE4	TRACED1	-
PE5	-	-	4	-	I/O	FT	PE5	TRACED2	-
PE6	-	-	5	-	I/O	FT	PE6	TRACED3	-
V _{BAT}	1	1	6	-	S	-	V _{BAT}	-	-
PC13- TAMPER-RTC ⁽⁴⁾	2	2	7	-	I/O	-	PC13 ⁽⁵⁾	TAMPER-RTC	-
PC14- OSC32_IN ⁽⁴⁾	3	3	8	-	I/O	-	PC14 ⁽⁵⁾	OSC32_IN	-
PC15- OSC32_OUT ⁽⁴⁾	4	4	9	-	I/O	-	PC15 ⁽⁵⁾	OSC32_OUT	-
V _{SS_5}	-	-	10	-	S	-	V _{SS_5}	-	-
V _{DD_5}	-	-	11	-	S	-	V _{DD_5}	-	-
OSC_IN	5	5	12	2	I	-	OSC_IN	-	PD0 ⁽⁷⁾
OSC_OUT	6	6	13	3	O	-	OSC_OUT	-	PD1 ⁽⁷⁾
NRST	7	7	14	4	I/O	-	NRST	-	-
PC0	-	8	15	-	I/O	-	PC0	ADC12_IN10	-
PC1	-	9	16	-	I/O	-	PC1	ADC12_IN11	-
PC2	-	10	17	-	I/O	-	PC2	ADC12_IN12	-
PC3	-	11	18	-	I/O	-	PC3	ADC12_IN13	-
V _{SSA}	8	12	19	5	S	-	V _{SSA}	-	-
V _{REF-}	-	-	20	-	S	-	V _{REF-}	-	-

V _{REF+}	-	-	21	-	S	-	V _{REF+}	-	-
V _{DDA}	9	13	22	6	S	-	V _{DDA}	-	-
PA0-WKUP	10	14	23	7	I/O	-	PA0	WKUP/ USART2_CTS ⁽⁶⁾ / ADC12_IN0/ TIM2_CH1_ETR ⁽⁶⁾	-
PA1	11	15	24	8	I/O	-	PA1	USART2_RTS ⁽⁶⁾ / ADC12_IN1/ TIM2_CH2 ⁽⁶⁾	-
PA2	12	16	25	9	I/O	-	PA2	USART2_TX ⁽⁶⁾ / ADC12_IN2/ TIM2_CH3 ⁽⁶⁾	-
PA3	13	17	26	10	I/O	-	PA3	USART2_RX ⁽⁶⁾ / ADC12_IN3/ TIM2_CH4 ⁽⁶⁾	-
V _{SS_4}	-	18	27	-	S	-	V _{SS_4}	-	-
V _{DD_4}	-	19	28	-	S	-	V _{DD_4}	-	-
PA4	14	20	29	11	I/O	-	PA4	SPI1_NSS ⁽⁶⁾ / USART2_CK ⁽⁶⁾ / ADC12_IN4	-
PA5	15	21	30	12	I/O	-	PA5	SPI1_SCK ⁽⁶⁾ / ADC12_IN5	-
PA6	16	22	31	13	I/O	-	PA6		TIM1_BKIN
PA7	17	23	32	14	I/O	-	PA7		TIM1_CH1N
PC4	-	24	33	-	I/O	-	PC4	ADC12_IN14	-
PC5	-	25	34	-	I/O	-	PC5	ADC12_IN15	-
PB0	18	26	35	15	I/O	-	PB0	ADC12_IN8/ TIM3_CH3 ⁽⁶⁾	TIM1_CH2N
PB1	19	27	36	16	I/O	-	PB1	ADC12_IN9/ TIM3_CH4 ⁽⁶⁾	TIM1_CH3N
PB2	20	28	37	17	I/O	FT	PB2/BO OT1	-	-
PE7	-	-	38	-	I/O	FT	PE7	-	TIM1_ETR
PE8	-	-	39	-	I/O	FT	PE8	-	TIM1_CH1N
PE9	-	-	40	-	I/O	FT	PE9	-	TIM1_CH1
PE10	-	-	41	-	I/O	FT	PE10	-	TIM1_CH2N

PE11	-	-	42	-	I/O	FT	PE11	-	TIM1_CH2
PE12	-	-	43	-	I/O	FT	PE12	-	TIM1_CH3N
PE13	-	-	44	-	I/O	FT	PE13	-	TIM1_CH3
PE14	-	-	45	-	I/O	FT	PE14	-	TIM1_CH4
PE15	-	-	46	-	I/O	FT	PE15	-	TIM1_BKIN
PB10	21	29	47	-	I/O	FT	PB10	I ² C2_SCL/ I ² C4_SCL/ USART3_TX ⁽⁶⁾ / QSPI_CLK	TIM2_CH3
PB11	22	30	48	-	I/O	FT	PB11	I ² C2_SDA/ I ² C4_SDA/ USART3_RX ⁽⁶⁾	TIM2_CH4
V _{SS_1}	23	31	49	18	S	-	V _{SS_1}	-	-
V _{DD_1}	24	32	50	19	S	-	V _{DD_1}	-	-
PB12	25	33	51	-	I/O	FT	PB12	SPI2_NSS/ I ² C2_SMBAL/ USART3_CK ⁽⁶⁾ / TIM1_BKIN ⁽⁶⁾	
PB13	26	34	52	-	I/O	FT	PB13	SPI2_SCK/ USART3_CTS ⁽⁶⁾ / TIM1_CH1N ⁽⁷⁾ / QSPI_IO0	
PB14	27	35	53	-	I/O	FT	PB14	SPI2_MISO/ USART3_RTS ⁽⁶⁾ / TIM1_CH2N ⁽⁷⁾ / QSPI_IO1	
PB15	28	36	54	-	I/O	FT	PB15	SPI2_MOSI/ TIM1_CH3N ⁽⁶⁾ / QSPI_IO2	-
PD8	-	-	55	-	I/O	FT	PD8	QSPI_IO3	USART3_TX
PD9	-	-	56	-	I/O	FT	PD9	-	USART3_RX
PD10	-	-	57	-	I/O	FT	PD10	-	USART3_CK
PD11	-	-	58	-	I/O	FT	PD11	-	USART3_CTS
PD12	-	-	59	-	I/O	FT	PD12	QSPI_SS_N	TIM4_CH1/ USART3_RTS

PD13	-	-	60	-	I/O	FT	PD13	-	TIM4_CH2
PD14	-	-	61	-	I/O	FT	PD14	-	TIM4_CH3
PD15	-	-	62	-	I/O	FT	PD15	-	TIM4_CH4
PC6	-	37	63	-	I/O	FT	PC6	-	TIM3_CH1
PC7	-	38	64	-	I/O	FT	PC7	-	TIM3_CH2
PC8	-	39	65	-	I/O	FT	PC8	-	TIM3_CH3
PC9	-	40	66	-	I/O	FT	PC9	-	TIM3_CH4
PA8	29	41	67	20	I/O	FT	PA8	USART1_CK/ TIM1_CH1 ⁽⁶⁾ / MCO	-
PA9	30	42	68	21	I/O	FT	PA9	USART1_TX ⁽⁶⁾ / TIM1_CH2 ⁽⁶⁾	-
PA10	31	43	69	22	I/O	FT	PA10	USART1_RX ⁽⁶⁾ / TIM1_CH3 ⁽⁶⁾	-
PA11	32	44	70	23	I/O	FT	PA11	USART1_CTS/ USBDM/ USB2DM/ CAN_RX ⁽⁶⁾ / TIM1_CH4 ⁽⁶⁾	-
PA12	33	45	71	24	I/O	FT	PA12	USART1_RTS/ USBDP USB2DP/ CAN_TX ⁽⁶⁾ / TIM1_ETR ⁽⁶⁾	-
PA13	34	46	72	25	I/O	FT	JTMS/ SWDIO	-	PA13
未连接	-	-	73	-	-	-	-	未连接	-
V _{SS_2}	35	47	74	26	S		V _{SS_2}	-	-
V _{DD_2}	36	48	75	27	S		V _{DD_2}	-	-
PA14	37	49	76	28	I/O	FT	JTCK/ SWCLK	-	PA14
PA15	38	50	77	29	I/O	FT	JTDI	-	TIM2_CH1_ET R/ PA15/ SPI1_NSS
PC10	-	51	78	-	I/O	FT	PC10	-	USART3_TX

PC11	-	52	79	-	I/O	FT	PC11	-	USART3_RX
PC12	-	53	80	-	I/O	FT	PC12	-	USART3_CK
PD0	-	-	81	2	I/O	FT	PD0	-	CAN_RX
PD1	-	-	82	3	I/O	FT	PD1	-	CAN_TX
PD2	-	54	83	-	I/O	FT	PD2	TIM3_ETR	-
PD3	-	-	84	-	I/O	FT	PD3	-	USART2_CTS
PD4	-	-	85	-	I/O	FT	PD4	-	USART2_RTS
PD5	-	-	86	-	I/O	FT	PD5	-	USART2_TX
PD6	-	-	87	-	I/O	FT	PD6	-	USART2_RX
PD7	-	-	88	-	I/O	FT	PD7	-	USART2_CK
									PB3/ TRACESWO TIM2_CH2/ SPI1_SCK
PB3	39	55	89	30	I/O	FT	JTDO	-	
PB4	40	56	90	31	I/O	FT	NJTRST	-	PB4/ TIM3_CH1/ SPI1_MISO
PB5	41	57	91	32	I/O	-	PB5	I ² C1_SMBAI	TIM3_CH2/ SPI1_MOSI
PB6	42	58	92	33	I/O	FT	PB6	I ² C1_SCL ⁽⁶⁾ / I ² C3_SCL/ TIM4_CH1 ⁽⁷⁾	USART1_TX
PB7	43	59	93	34	I/O	FT	PB7	I ² C1_SDA ⁽⁶⁾ / I ² C3_SDA/ TIM4_CH2 ⁽⁶⁾	USART1_RX
BOOT0	44	60	94	35	I	-	BOOT0	-	-
PB8	45	61	95	-	I/O	FT	PB8	TIM4_CH3 ⁽⁶⁾	I ² C1_SCL/ (I ² C3_SCL/ CAN_RX
PB9	46	62	96	-	I/O	FT	PB9	TIM4_CH4 ⁽⁶⁾	I ² C1_SDA (I ² C3_SDA) / CAN_TX
PE0	-	-	97	-	I/O	FT	PE0	TIM4_ETR	-
PE1	-	-	98	-	I/O	FT	PE1	-	-

V _{SS_3}	47	63	99	36	S	-	V _{SS_3}	-	-
V _{DD_3}	48	64	10 0	1	S	-	V _{DD_3}	-	-

1.I = 输入, O = 输出, S = 电源, HiZ = 高阻

2.FT: 容忍 5V

3.可以使用的功能依选定的型号而定。对于具有较少外设模块的型号, 始终是包含较小编号的功能模块。

例如, 某个型号只有 1 个 SPI 和 2 个 USART 时, 它们即是 SPI1 和 USART1 及 USART2 (参见表 2)。

4.PC13, PC14 和 PC15 引脚通过电源开关进行供电, 而这个电源开关只能够吸收有限的电流(3mA)。因此这三个引脚作为输出引脚时有以下限制: 在同一时间只有一个引脚能作为输出, 作为输出脚时只能工作在 2MHz 模式下, 最大驱动负载为 30pF, 并且不能作为电流源(如驱动 LED)。

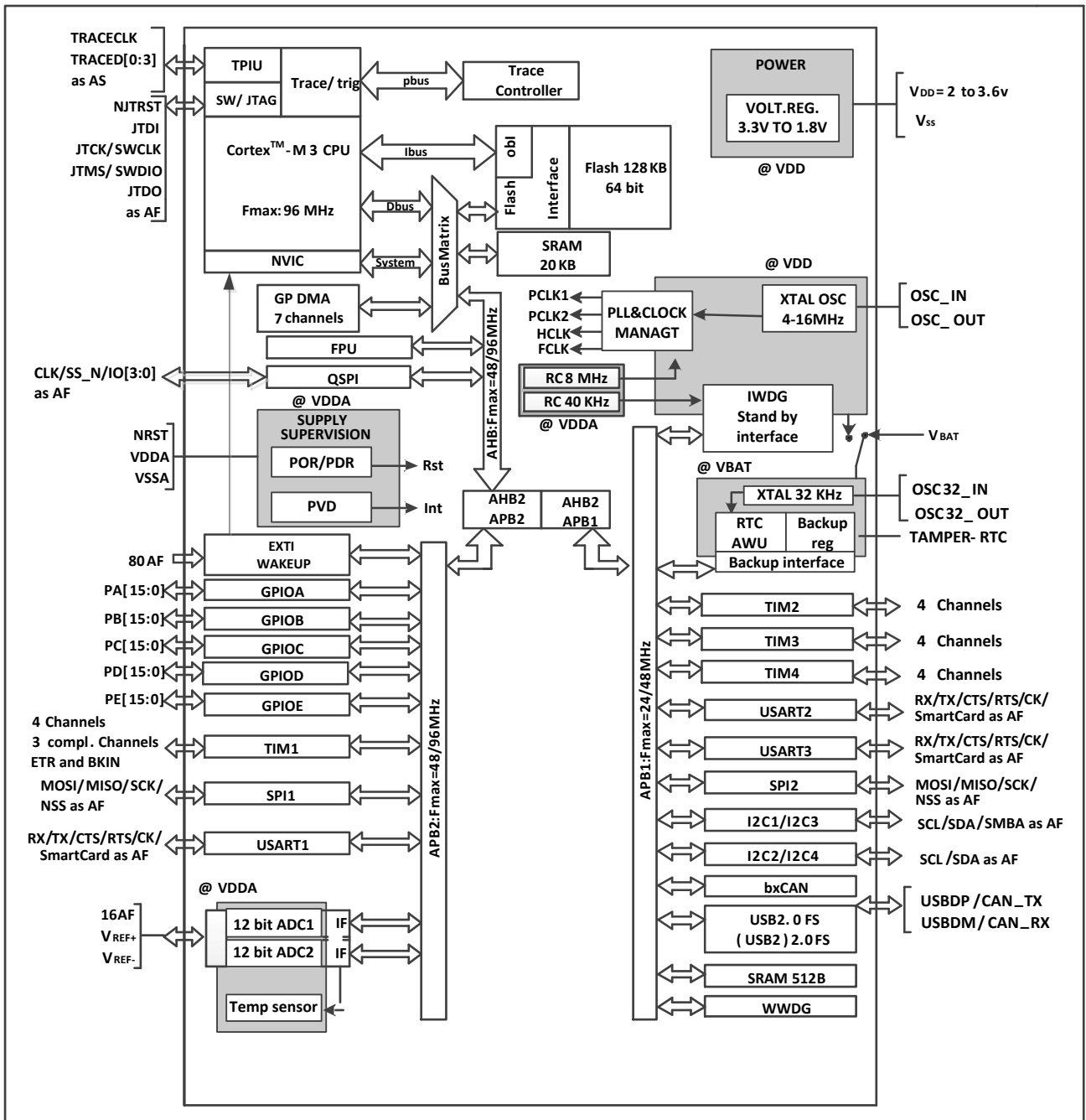
5.引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制(寄存器不会被主复位系统所复位)。关于如何控制 IO 口的具体信息, 请参考《参考手册》的电池备份区域和 BKP 寄存器的相关章节。

6.此类复用功能可由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考《参考手册》的复用功能 I/O 章节和调试设置章节。

7.QFN36 封装的引脚 2 和引脚 3、LQFP48 和 LQFP64 封装的引脚 5 和引脚 6, 在芯片复位后默认配置为 OSC_IN 和 OSC_OUT 功能脚。软件可以重新设置这两个引脚为 PD0 和 PD1 功能。但对于 LQFP100 封装, 由于 PD0 和 PD1 为固有的功能引脚, 因此无需再由软件进行重映像设置。更多详细信息请参考《参考手册》的复用功能 I/O 章节和调试设置章节。在输出模式下, PD0 和 PD1 只能配置为 50MHz 输出模式。

3.3 系统框图

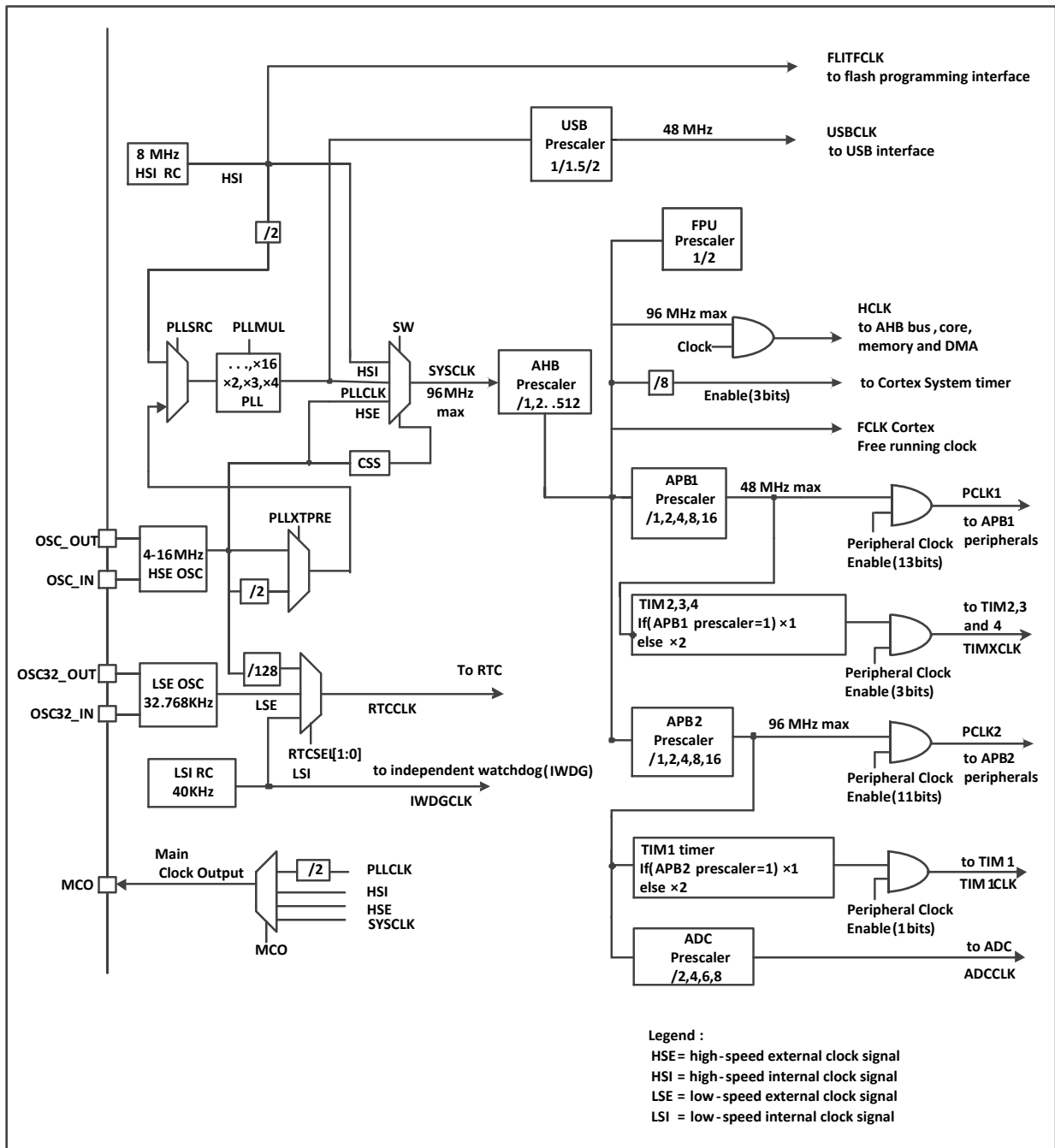
图 5 APM32F103x4x6x8xB/APM32E103xB 系列系统框图



1. APM32F103x8xBx4x6 系列的 AHB 和高速 APB 的最高频率为 72MHz，APM32E103x8xBx4x6 系列的最高频率为 96MHz；
2. APM32F103x8xBx4x6 系列的低速 APB 时钟的最高频率为 36MHz，APM32E103x8xBx4x6 系列的低速 APB 时钟的最高频率为 48MHz。

3.4 时钟树

图 6 APM32F103x4x6x8xB/APM32E103xB 系列时钟树



1. APM32F103x8xBx4x6 系列的 AHB 和高速 APB 的最高频率为 72MHz, APM32E103x8xBx4x6 系列的最
高频率为 96MHz;
2. APM32F103x8xBx4x6 系列的低速 APB 时钟的最高频率为 36MHz, APM32E103x8xBx4x6 系列的低速
APB 时钟的最高频率为 48MHz。

4 功能描述

4.1 ARM®Cortex®-M3 内核

产品内置 ARM®Cortex®-M3 内核，工作频率为 96MHz，兼容主流 ARM 工具和软件。

APM32F103x4x6x8xB/APM32E103xB 系列系统框图，如图 5 所示。

4.2 存储器

内置高速闪存存储器，最高 128 Kbytes，用于存放程序和数据。

内置静态存储器，最高 20 Kbytes，它可以以字节，半字(16 位)或全字(32 位)访问。

4.3 电源管理

4.3.1 供电方案

- $V_{DD}=2.0\sim 3.6V$: V_{DD} 直接给 IO 口供电，另外 V_{DD} 经电压调压器为核心电路供电；
- $V_{DDA}=2.4\sim 3.6V$: 与 V_{DD} 相连，为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分供电。使用 ADC 时， V_{DDA} 不得小于 2.4V。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
- $V_{BAT}=1.8V\sim 3.6V$ ，当关闭 V_{DD} 时，通过内部电源切换器，为 RTC、外部 32KHz 振荡器和后备寄存器供电。

注意：关于如何连接电源引脚的详细信息参见图 11

4.3.2 电压调压器

通过电压调压器可调节 MCU 的工作模式，从而减少功耗，主要有三种工作模式：

- 主模式(MR)：以正常功耗模式提供 1.8V 电源(内核、内存、外设)；
- 低功耗模式(LPR)：以低功耗模式提供 1.8V 电源，以保存寄存器和 SRAM 的内容；
- 关断模式用于 CPU 的待机模式：调压器停止供电，除了备用电路和备份区域外，寄存器和 SRAM 的内容全部丢失；

调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

4.3.3 供电监控器

产品内部集成了上电复位(POR)/掉电复位(PDR)电路。当 V_{DD} 达到设定的阈值 $V_{POR/PDR}$ 时，系统正常工作；当 V_{DD} 低于设定的阈值 $V_{POR/PDR}$ 时，系统会保持复位状态，无需连接外部复位电路。 $V_{POR/PDR}$ 的细节请参考第五章的电气特性。

产品通过 PVD 监视 V_{DD}/V_{DDA} 电压并将监测的电压值与阈值 V_{PVD} 做比较，当 V_{DD} 低于或高于设定的阈值 V_{PVD} 时，该事件就会产生中断，中断处理程序将发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。关于 V_{PVD} 的细节请参考第五章电气特性。

4.3.4 低功耗模式

产品支持三种低功耗模式，可以在低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠模式：在睡眠模式下，只有 CPU 停止，所有外设都处于工作状态，并且可在发生中断/事件时唤醒 CPU。
- 停机模式：在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，内部 1.8V 供电部分停止，HSE、HSI、PLL 时钟关闭，调压器处于普通模式或低功耗模式。停机模式可以通过任何一个配置成 EXTI 的中断、事件唤醒。EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。
- 待机模式：在待机模式下可以达到最低的电能消耗，内部的电压调压器被关闭，所有内部 1.8V 部分的供电被切断；HSE、HSI、PLL 时钟关闭；进入待机模式后，SRAM 和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍然工作。

从待机模式退出的条件是：NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟到时。

注：在进入停机或待机模式时，RTC、IWDG 和对应的时钟不会被停止；QSPI 的中断不能唤醒低功耗。

4.4 时钟和启动

系统启动时选用内部 8MHz 的 RC 振荡器作为默认时钟，随后可以选择外部具有失效监控的 4~16MHz 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的 RC 振荡器，如果使能了中断，软件可以接收到相应的中断。

多个预分频器用于配置 AHB、高速 APB(APB2)和低速 APB(APB1)的频率。AHB 和高速 APB 的最高频率为 96MHz，低速 APB 的时钟为 48MHz。

APM32F103x4x6x8xB/APM32E103xB 的时钟树参考图 6。

4.5 RTC 和后备寄存器

RTC 具有一组连续运行的计数器，可以通过软件提供日历功能，还具有闹钟中断和阶段性中断功能。它的时钟源可以选择外部 32.768KHz 的晶体振荡器、内部 40KHz 低速 RC 振荡器或外部高速时钟经 128 分频的时钟。为补偿天然晶体的偏差，可以通过输出一个 512Hz 的信号对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个 20 位的预分频器用于时基时钟，默认情况下时钟为 32.768KHz 时，它将产生一个 1 秒长的时间基准。

后备寄存器为 10 个 16 位的寄存器单元，用于在 V_{DD} 关闭时，保存 20 个字节的用户应用数据。

RTC 和后备寄存器通过一个开关供电，在 V_{DD} 有效时该开关选择 V_{DD} 供电，否则选择 V_{BAT} 引脚供电。RTC 和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

4.6 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从用户闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序(Boot loader)存放于系统存储器中，可以通过 USART1 对闪存重新进行编程。

4.7 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。

CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

4.8 嵌套的向量式中断控制器(NVIC)

- 能处理 16 个可编程的优先级，同时也能处理可屏蔽的中断通道。紧耦合的 NVIC 实现了低延迟的中断响应处理。
- 中断时，中断向量入口地址直接进入内核。
- 允许中断的早期处理。
- 优先处理晚到的较高优先级中断。
- 支持中断尾部链接功能。
- 自动保存处理器状态。
- 中断返回时自动恢复，无需额外指令开销。
- 该模块以最小的中断延迟提供灵活的中断管理功能。

4.9 外部中断/事件控制器(EXTI)

外部中断/事件控制器由 19 个产生事件/中断请求的边沿检测器组成。每个中断都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并可被单独屏蔽；有一个挂起寄存器维持所有中断请求的状态。多达 80 个通用 I/O 口连接到 16 个外部中断线。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。

4.10 浮点运算单元(FPU)

产品内置独立的 FPU 浮点运算处理单元，支持 IEEE754 标准，支持单精度浮点运算。

4.11 DMA

产品具有 7 路通用 DMA，可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输。

每个通道都有硬件软件 DMA 请求逻辑，传输的长度、源地址和目标地址都可以通过软件单独设置。

DMA 可访问的主要外设：SPI、I²C、USART、定时器 TIMx 和 ADC。

4.12 系统时间定时器和看门狗

产品包含 1 个高级控制定时器(TIM1)、3 个通用定时器(TIM2/3/4)以及 1 个独立看门狗定时器、1 个窗口看门狗定时器和 1 个系统时间定时器。

下表比较了高级定时器和通用定时器的功能：

表3 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获/比较通道	互补输出
TIM1	16 位	向上，向下，向上/下	1~65536 之间的任意整数	可以	4	有
TIM2 TIM3 TIM4	16 位	向上，向下，向上/下	1~65536 之间的任意整数	可以	4	没有

4.12.1 高级控制定时器(TIM1)

高级控制定时器(TIM1)可以被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位标准定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与标准的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

4.12.2 通用定时器(TIM2/3/4)

产品具有 3 个可同步运行的标准定时器(TIM2、TIM3 和 TIM4)。每个定时器都有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

4.12.3 独立看门狗(IWDG)

独立看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗，可以在发生问题时复位整个系统，也可以作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

4.12.4 窗口看门狗(WWDG)

窗口看门狗内有一个 7 位的递减计数器，可以设置成自由运行，并可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

4.12.5 系统时间定时器(SysTick Timer)

这个定时器专用于实时操作系统，也可当成一个标准的递减计数器，具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

4.13 通信接口

4.13.1 I²C 总线

内置 2 个 I²C 总线接口，均可工作于多主模式或从模式，支持标准和快速模式。I²C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。I²C1/ I²C2 内置了硬件 CRC 发生器/校验器。它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版 / PMBus 总线。

4.13.2 通用同步/异步收发器(USART)

内嵌 3 个 USART 通信接口，具有硬件的 CTS 和 RTS 信号管理，兼容 ISO7816 智能卡，支持 IrDA SIR ENDEC 传输编解码，并提供 LIN 主/从模式。USART1 接口通信速率可达 4.5Mbit/s，其它接口的通信速率可达 2.25Mbit/s。所有 USART 接口都可以使用 DMA 操作。

4.13.3 串行外设接口(SPI)

内嵌 2 个 SPI 接口，允许芯片与外部设备以半/全双工的串行方式通信。可工作在主模式或从模式下，配置成每帧 8 位或 16 位。在从或主模式下，全双工和半双工的通信速率可达 18 Mbit/s。所有的 SPI 接口都可以使用 DMA 操作。

4.13.4 四线 SPI 控制器(QSPI)

产品内置 1 个 QSPI 专用通信接口，可以通过单、双线或四线 SPI 模式连接外部 flash，支持 8 位、16 位和 32 位访问。内部有 8 bytes 的发送 FIFO 和 8 bytes 的接收 FIFO。

4.13.5 控制器区域网络(CAN)

产品内嵌 1 个 CAN 总线接口，兼容 2.0A 和 2.0B(主动) 规范，通信速率最高可达 1Mbit/s。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO，3 级 14 个可调节的滤波器。

4.13.6 通用串行总线(USB)

产品内嵌 1 个 USB 接口，支持 USB2.0 全速模式，端点可由软件配置，具有待机/唤醒功能。USB 专用的 48MHz 时钟由内部 PLL 直接产生(时钟源必须是一个 HSE 晶体振荡器)。

4.13.7 USB 接口与 CAN 接口的同时使用：

USB 与 CAN 同时使用时，需要：

- 在 USB 的基地址偏移 0x100 处写 0x00000001。
- PA11 和 PA12 引脚给 USB 用，CAN 复用其它引脚。

4.14 通用输入输出接口(GPIO)

产品最多可达 80 个 GPIO 引脚，每个引脚都可以由软件配置成输入、输出(推挽或开漏)或复用功能。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。在 APB2 上的 I/O 脚可达 18MHz 的翻转速度。

4.15 ADC(模拟/数字转换器)

产品内嵌 2 个 12 位的模拟/数字转换器，每个 ADC 支持最多 16 个外部通道，可以实现单次或扫描转换。在扫描模式下，自动运行在选定的一组模拟输入上的转换。

ADC 接口上的其他逻辑功能包括：

- 同步的采样和保持
- 交叉的采样和保持
- 单次采样

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预设的阈值时，将产生中断。

由通用定时器(TIMx)和高级控制定时器(TIM1)产生的事件可以分别内部级联到 ADC 的触发，

应用程序能使 AD 转换与时钟同步。

4.16 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2V < V_{DDA} < 3.6V$ 之间。温度传感器在内部被连接到 ADC12_IN16 的输入通道上，用于将传感器的输出转换到数字数值。

4.17 调试接口(SWJ-DP)

产品支持串行调试接口(SW-DP)和 JTAG(JTAG-DP)调试接口两种方式。

JTAG 接口为 AHB 访问端口提供 5 针标准 JTAG 接口。SW-DP 接口为 AHB 模块提供 2 针(数据+时钟)接口。

SW-DP 接口的 2 个引脚和 JTAG 接口的 5 个引脚中的部分引脚是复用的。

5 电气特性

5.1 测试条件

除非专门规定，所有电压参数都以 V_{SS} 为参照。

5.1.1 最大值和最小值

除非特别说明，在生产线上通过对 100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 下执行的测试，所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小数值和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$)得到。

5.1.2 典型值

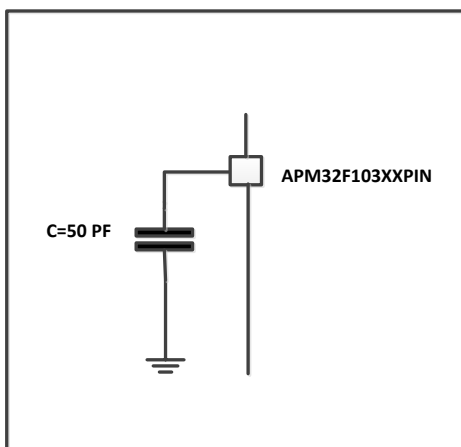
除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.3\text{V}$ 电压范围)。这些数据仅用于设计指导。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

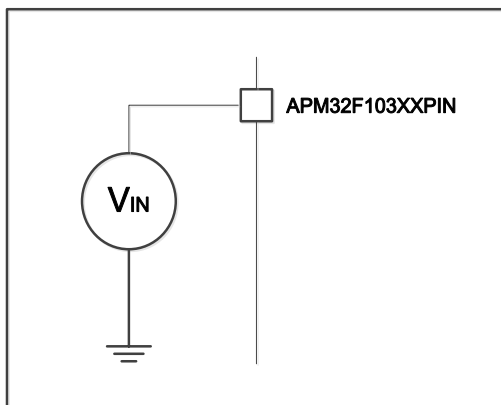
5.1.4 负载电容

图 8 测量引脚参数时的负载条件



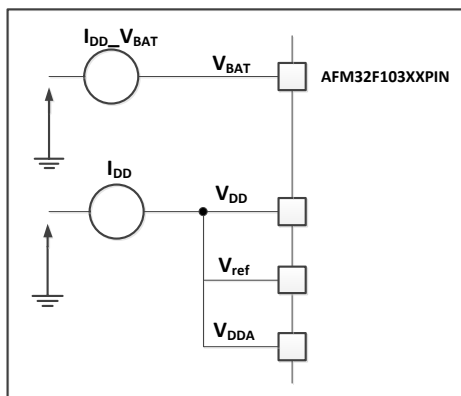
A: 负载电容

图 9 引脚输入电压测量方案



B: 引脚输入电压

图 10 电流消耗测量方案



C: 电流消耗测量($I_{DD}+V_{ref}$)

5.2 绝对最大额定值

加在器件上的载荷如果最大额定电压特性和最大额定电流特性中给出的绝对最大额定值，可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性运行正常。器件长期工作在最大值条件下会影响器件的可靠性。

5.2.1 最大额定电压特性：

表4 最大额定电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	4.0	V
V_{IN}	在 5V 容忍的引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	5.5	
	在其它引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差		50	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电电源上。
2. 如果 V_{IN} 不超过最大值, $I_{INJ(PIN)}$ 不会超过它的极限。如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。

5.2.2 最大额定电流特性：

表5 最大额定电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	150	
I_{IO}	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
$I_{INJ(PIN)}$ ^{(2) (3)}	NRST 引脚的注入电流	± 5	
	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚的注入电流	± 5	
	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}$ ⁽²⁾	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	± 25	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电电源上。
2. 如果 V_{IN} 不超过最大值, $I_{INJ(PIN)}$ 不会超过它的极限。如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰 ADC 的模拟性能。
4. 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。这些结果是基于在器件 4 个 I/O 端口管脚上 $\Sigma I_{INJ(PIN)}$ 最大值的推算上。

5.2.3 极限破坏性测试

表6 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-55 ~ + 150	°C
T_J	最大结温度	150	°C

表7 静电放电(ESD)⁽¹⁾

符号	参数	条件	最大值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = +25\text{ °C}$,	2000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A = +25\text{ °C}$,	1000	

1. 样品由第三方测试机构测得，不在生产中测试。

表8 静态栓锁

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +25\text{ °C}/105\text{ °C}$	±200mA

5.3 通用工作条件下的测试

表9 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率		0	96	MHz
f_{PCLK1}	内部 APB1 时钟频率		0	48	
f_{PCLK2}	内部 APB2 时钟频率		0	96	
V_{DD}	标准工作电压		2	3.6	V
$V_{DDA}^{(1)}$	模拟部分工作电压(未使用 ADC)	必须与 $V_{DD}^{(2)}$ 相同	2	3.6	V
	模拟部分工作电压(使用 ADC)		2.4	3.6	
V_{BAT}	备份部分工作电压		1.8	3.6	V

1. 当使用 ADC 时，参见 5.3.11 节。
2. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许有 300mV 的差别。

5.3.1 内嵌复位和电源控制模块特性测试⁽¹⁾表10 内嵌复位和电源控制模块特性(T_A=25°C)

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD} ⁽³⁾	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.1	2.18	2.26	V
		PLS[2:0]=000 (下降沿)	2	2.08	2.16	V
		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.18	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.28	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.38	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.58	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.48	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.68	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.58	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.78	2.9	V
		PLS[2:0]=110 (下降沿)	2.56	2.68	2.8	V
		PLS[2:0]=111 (上升沿)	2.76	2.88	3	V
PLS[2:0]=111 (下降沿)	2.66	2.78	2.9	V		
V _{PVDhyst} ⁽²⁾	PVD 迟滞			100		mV
V _{POR/PDR}	上电/掉电复位阈值	下降沿	1.8 ⁽¹⁾	1.88	1.96	V
		上升沿	1.85	1.93	2.01	V
V _{PDRhyst} ⁽²⁾	PDR 迟滞			50		mV

1.产品的特性由设计保证至最小的数值 V_{POR/PDR}。

2 由设计保证，不在生产中测试。

3.由综合评估得出，不在生产中测试。

5.3.2 内置参考电压特性测试

表11 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT}^{(1)}$	内置参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ $V_{DD} = 2\text{-}3.6\text{ V}$	1.17	1.21	1.25	V
$T_{S_vrefint}^{(2)}$	当读出内部参考电压时， ADC 的采样时间			5.1	17.1	μs

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。

5.3.3 供电电流特性

本节中给出的运行模式下的电流值，都是通过执行 Dhystone2.1，编译环境为 Keil V5，编译优化等级为 L0 的条件下测得的。

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存的访问时间调整到频率 f_{HCLK} (0~24MHz—0 个等待周期, 24~48MHz—1 个等待周期, 48~72MHz—2 个等待周期, 96MHz—3 个等待周期)。
- 指令预取功能开启(提示：这位的设置必须在时钟设置和总线分频之前进行)。
- 当开启外设时： $f_{pCLK1} = f_{HCLK}/2$ ， $f_{pCLK2} = f_{HCLK}_0$

图 11 供电方案

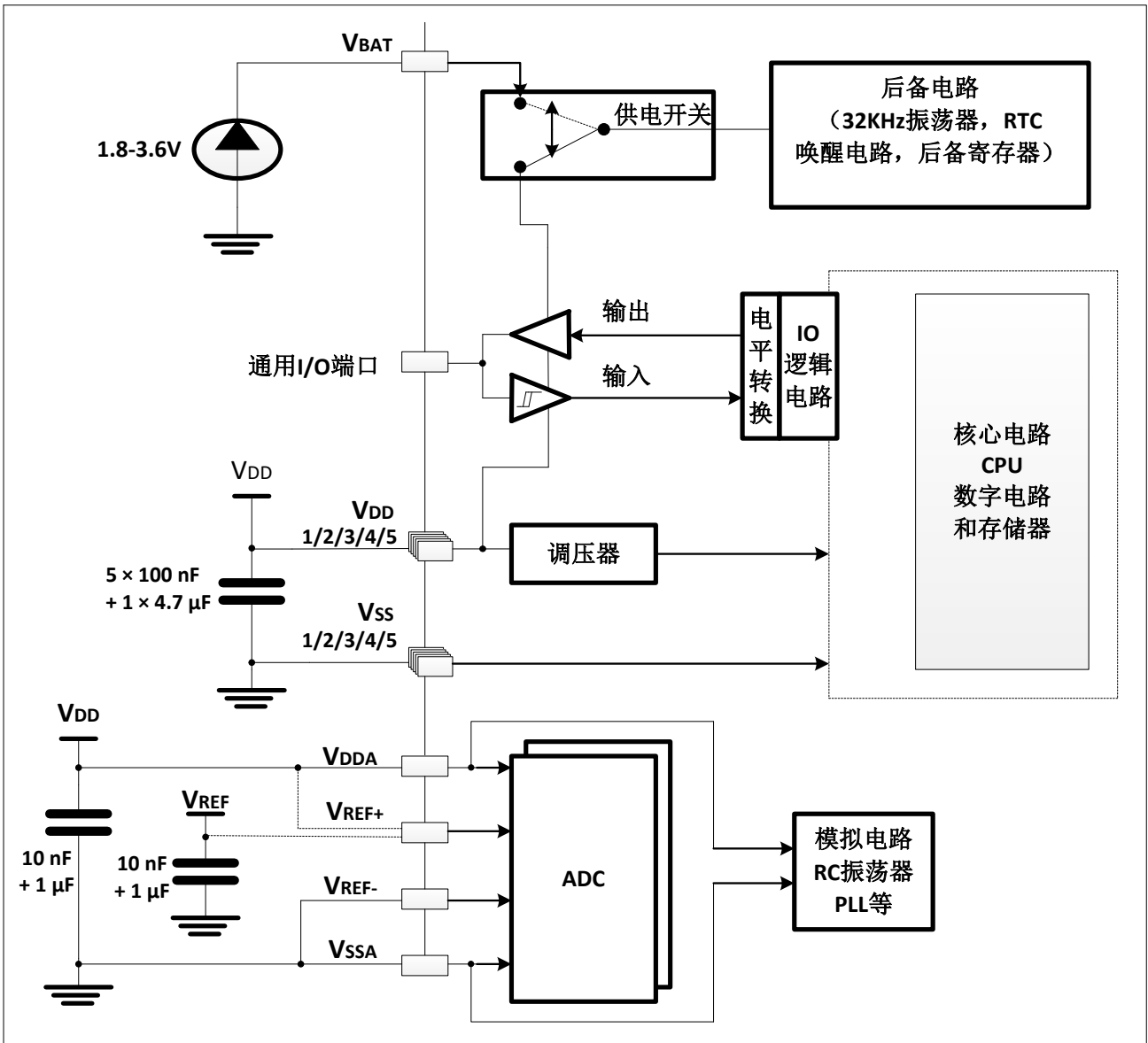


表12 运行模式下的电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				$T_A=25^{\circ}C$	$T_A=105^{\circ}C$	
				$V_{DD}=3.6V$	$V_{DD}=3.6V$	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ ， 使能所有外设	96 MHz	26.4	27.26	mA
			72MHz	20.24	20.71	
			48MHz	13.83	14.16	
			36MHz	10.57	10.87	
			24MHz	7.34	7.61	
			16MHz	5.18	5.43	
			8MHz	2.98	3.23	
		外部时钟 ⁽²⁾ ， 关闭所有外设	96 MHz	15.9	16.42	
			72MHz	12.14	12.58	
			48MHz	8.41	8.77	
			36MHz	6.49	6.81	
			24MHz	4.62	4.91	
			16MHz	3.34	3.62	
			8MHz	2.98	3.17	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 $f_{HCLK}>8MHz$ 时，开启 PLL。

表13 睡眠模式下的电流消耗，代码从 Flash 或 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				$T_A=25^{\circ}\text{C}$ $V_{DD}=3.6\text{ V}$	$T_A=105^{\circ}\text{C}$ $V_{DD}=3.6\text{ V}$	
I_{DD}	睡眠模式下的 供应电流	外部时钟 ⁽²⁾ ， 使能所有外设	96 MHz	16.78	17.09	mA
			72MHz	12.82	13.08	
			48MHz	8.84	9.06	
			36MHz	6.83	7.04	
			24MHz	4.84	5.05	
			16MHz	3.51	3.7	
			8MHz	2.17	2.36	
		外部时钟 ⁽²⁾ ， 关闭所有外设	96 MHz	4.85	5.08	
			72MHz	3.86	4.06	
			48MHz	2.84	3.04	
			36MHz	2.28	2.48	
			24MHz	1.81	2.00	
			16MHz	1.49	1.68	
			8MHz	1.15	1.35	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 $f_{HCLK}>8\text{MHz}$ 时，开启 PLL。

表14 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值($T_A=25^{\circ}\text{C}$)			最大值 ($T_A=105^{\circ}\text{C}$)	单位
			V_{DD} = 2.4V	V_{DD} = 3.3V	V_{DD} = 3.6V	$V_{DD}=3.6\text{ V}$	
I_{DD}	停机模式下的 供应电流	调压器处于运行模式，低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	22.4	24.7	25.8	140	μA
		调压器处于低功耗模式，低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	10.3	12.5	13.6	120	
	待机模式下的 供应电流	低速内部RC振荡器和独立看门狗处于开启状态	3.6	6.2	7.6	50	
		低速内部RC振荡器处于开启状态,独立看门狗处于关闭状态	3.4	6.0	7.3	48	
		低速内部RC振荡器和独立看门狗处于关闭状态，低速振荡器和RTC处于关闭状态	2.8	5.1	6.3	45	

1. 由综合评估得出，不在生产中测试。

5.3.4 外部时钟源特性

晶体/陶瓷谐振器产生的高速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等), 请咨询相应的生产厂商。

表15 HSE 4~16MHz 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单元
f_{OSC_IN}	振荡器频率		4	8	16	MHz
R_F	反馈电阻			300		k Ω
C_{L1} & C_{L2} ⁽³⁾	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽⁴⁾	$R_S = 30k\Omega$		30		pF
i_2	HSE 驱动电流	$V_{DD}=3.3V, V_{IN}=V_{SS}$ 30pF 负载			1	mA
$t_{SU(HSE)}$ ⁽⁵⁾	启动时间	V_{DD} 是稳定的		2		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出, 不在生产中测试。
3. 对于 C_{L1} 和 C_{L2} , 推荐采用高质量的、为高频应用而设计的(典型值为)5pF~25pF 之间的瓷介电容器, 选择电容值以符合晶体或谐振器的要求。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时, PCB 和 MCU 引脚的容抗应该考虑在内(可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。
4. 相对低的 R_F 电阻值, 可以为在潮湿环境下使用时, 因产生泄露和偏置条件的变化所出现的问题提供保护。如果 MCU 是应用在恶劣的潮湿环境里, 设计时需要把这个因素考虑进去。
5. $t_{SU(HSE)}$ 是启动时间, 是从软件使能 HSE 开始测量, 直至得到稳定的 8MHz 振荡这段时间。这个数值是使用一个标准的晶体谐振器测量得到的, 它可能因晶体制造商的不同而产生较大变化。

晶体/陶瓷谐振器产生的低速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等), 请咨询相应的生产厂商。

表16 LSE 振荡器特性($f_{LSE}=32.768\text{KHz}$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单元
R_F	反馈电阻			7		$M\Omega$
C_{L1} & C_{L2} ⁽²⁾	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾	$R_S = 30k\Omega$			15	pF
i_2	LSE 驱动电流	$V_{DD}=3.3V, V_{IN}=V_{SS}$			1.4	μA
$t_{SU(LSE)}$ ⁽⁴⁾	启动时间	V_{DD} 是稳定的		3		s

1. 由综合评估得出, 不在生产中测试。
2. 参见本表下方的提示和警告段落。
3. 使用具有较小 R_S 值的高质量振荡器(如 MSIV-TIN32.768kHz), 可以优化电流消耗。详情请咨询晶体制造商。
4. $t_{SU(HSE)}$ 是启动时间, 是从软件使能 LSE 开始测量, 直至得到稳定的 32.768MHz 振荡这段时间。这个数值是使用一个标准的晶体谐振器测量得到的, 它可能因晶体制造商的不同而变化较大。

提示: 对于 C_{L1} 和 C_{L2} , 建议使用高质量的 5pF~15pF 之间的瓷介电容器, 并选择电容值以符合晶体或谐振器的要求。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。负载电容 CL 由下式计算: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, 其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容, 它的典型值是介于 2pF 至 7pF 之间。

警告: 为了避免超出 C_{L1} 和 C_{L2} 的最大值(15pF), 强烈建议使用负载电容 $CL \leq 7pF$ 的谐振器, 绝不能使用负载电容为 12.5pF 的谐振器。

例如: 如果选择了一个负载电容 $C_L=6pF$ 的谐振器并且 $C_{stray}=2pF$, 则 $C_{L1}=C_{L2}=8pF$

5.3.5 内部时钟源特性

高速内部 (HSI) RC 振荡器测试

表17 HSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
f_{HSI}	频率			8		MHz	
ACC_{HSI}	HSI 振荡器的精度	工厂校准	$T_A = -25^\circ\text{C}$ $V_{\text{DD}} = 3.3\text{V}$	-1		1	%
			$T_A = -40 \sim 105^\circ\text{C}$ $V_{\text{DD}} = 3.3\text{V}$	-3.2		2.7	%
			$T_A = 25^\circ\text{C}$ $V_{\text{DD}} = 2 \sim 3.6\text{V}$	-1.1		3.6	%
$t_{\text{SU(HSI)}}$	HSI 振荡器启动时间	$V_{\text{DD}} = 3.3\text{V}$ $T_A = -40 \sim 105^\circ\text{C}$	0.8		2	μs	
$I_{\text{DD(HSI)}}$	HSI 振荡器功耗	$V_{\text{DD}} = 3.6\text{V}$ $T_A = -40 \sim 105^\circ\text{C}$				μA	

1. 由综合评估得出, 不在生产中测试。

低速内部 (LSI) RC 振荡器测试

表18 LSI 振荡器特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
f_{LSI}	频率 ($V_{\text{DD}} = 2 \sim 3.6\text{V}$, $T_A = -40 \sim 105^\circ\text{C}$)	30	40	60	KHz
$t_{\text{SU(LSI)}}$	LSI 振荡器启动时间 ($V_{\text{DD}} = 3.3\text{V}$, $T_A = -40 \sim 105^\circ\text{C}$)			100	μs
$I_{\text{DD(LSI)}}$	LSI 振荡器功耗 ($V_{\text{DD}} = 3.6\text{V}$, $T_A = -40 \sim 105^\circ\text{C}$)		1	1.5	μA

1. 由综合评估得出, 不在生产中测试。

从低功耗模式唤醒的时间

表中的时间值都是由一个 8MHz 的 HSI RC 振荡器作唤醒时钟源, 并在其唤醒阶段测得的。唤

醒时使用的时钟源由当前的工作模式确定:

- 停机或待机模式: 时钟源是 RC 振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所设置的时钟

表19 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{\text{WUSLEEP}}^{(1)}$	从睡眠模式唤醒	1.8	μs
$t_{\text{WUSTOP}}^{(1)}$	从停机模式唤醒(调压器处于运行模)	3.6	μs
	从停机模式唤醒(调压器为低功耗模式)	5	
$t_{\text{WUSTDBY}}^{(1)}$	从待机模式唤醒	32	μs

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.6 PLL 特性

表20 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
$f_{\text{PLL_IN}}$	PLL 输入时钟 ⁽²⁾	2	8	25	MHz
	PLL 输入时钟占空比	40		60	%
$f_{\text{PLL_OUT}}$	PLL 倍频输出时钟 ($V_{\text{DD}} = 3.3\text{V}$, $T_{\text{A}} = -40\sim 105^{\circ}\text{C}$)	16		96	MHz
t_{LOCK}	PLL 锁相时间			200	μs

1. 由综合评估得出，不在生产中测试。
2. 注意使用合适的倍频系数，从而使 PLL 输入时钟频率与由 $f_{\text{PLL_OUT}}$ 确定的范围相一致。

5.3.7 存储器特性

FLASH 存储器

表21 FLASH 存储器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位编程时间	$T_{\text{A}} = -40\sim 105^{\circ}\text{C}$ $V_{\text{DD}} = 2.4\sim 3.6\text{V}$	17.2	18.3	19.7	μs
t_{ERASE}	页(1K 字节)擦除时间	$T_{\text{A}} = -40\sim 105^{\circ}\text{C}$ $V_{\text{DD}} = 2.4\sim 3.6\text{V}$	1.3	1.43	1.55	ms
t_{ME}	整片擦除时间	$T_{\text{A}} = 25^{\circ}\text{C}$ $V_{\text{DD}} = 3.3\text{V}$			6	ms
V_{prog}	编程电压	$T_{\text{A}} = -40\sim 105^{\circ}\text{C}$	2.1	3.3	3.6	V

1. 由综合评估得出，不在生产中测试。

5.3.8 I/O 端口特性

输入输出静态特性

表22 I/O 静态特性(测试条件 $V_{CC}=2.7-3.6V$, $T_A = -40\sim 105^{\circ}C$)

符号	参数	条件	最小值	典型	最大值	单位
V_{IL}	输入低电平电压	TTL 端口			0.8	V
V_{IH}	标准 I/O 脚, 输入高电平电压		2		$V_{DD}+0.3$	
	FT I/O 脚 ⁽¹⁾ , 输入高电平电压		2		5.5	
V_{IL}	输入低电平电压	CMOS 端口			$0.3V_{DD}$	
V_{IH}	输入高电平电压		$0.7V_{DD}$		$V_{DD}+0.3$	
V_{hys}	标准 I/O 脚施密特触发器电压迟滞 ⁽²⁾		100			mV
	5V 容忍 I/O 脚施密特触发器电压迟滞 ⁽²⁾		100			mV
I_{lkg}	输入漏电流 ⁽³⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准 I/O 端口			± 1	μA
		$V_{IN} = 5V$, 5V 容忍端口			3	
R_{PU}	弱上拉等效电阻 ⁽⁴⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
R_{PD}	弱下拉等效电阻 ⁽⁴⁾	$V_{IN} = V_{DD}$	30	40	50	k Ω
C_{IO}	I/O 引脚的电容					pF

1. FT = 5V 容忍。如需承受高于 $V_{DD}+0.3$ 的电压，内部的上拉或下拉电阻必须关断。
2. 施密特触发器开关电平的迟滞电压由综合评估得出，不在生产中测试。
3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
4. 上下拉电阻是设计为一个真正的电阻串联一个可控的 PMOS/NMOS 开关实现。

输出驱动电流测试

GPIO(通用输入/输出端口)可以吸收或输出多达±8mA 电流，并且最多可吸收±20mA 电流 (V_{OL}/V_{OH} 降低标准)。在用户应用中，必须限制能够驱动电流的 I/O 的数目，以使得消耗的电流不能超过绝对最大额定值：

- 所有 I/O 输出从 V_{DD} 获取的电流总和，加上 MCU 从 V_{DD} 获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 吸收并从 V_{SS} 上流出的电流总和，加上 MCU 从 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} 。

输出电压测试

表23 输出电压特性(测试条件 $V_{CC}=2.7-3.6V, T_A=-40\sim 105^\circ C$)

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平，当 8 个引脚同时吸收电流	TTL端口, $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$		0.4	V
$V_{OH}^{(2)}$	输出高电平，当 8 个引脚同时输出电流		$V_{DD}-0.4$		
$V_{OL}^{(1)}$	输出低电平，当 8 个引脚同时吸收电流	CMOS端口, $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$		0.4	V
$V_{OH}^{(2)}$	输出高电平，当 8 个引脚同时输出电流		2.4		
$V_{OL}^{(1)(3)}$	输出低电平，当 8 个引脚同时吸收电流	$I_{IO} = +20mA$ $2.7V < V_{DD} < 3.6V$		1.3	V
$V_{OH}^{(2)(3)}$	输出高电平，当 8 个引脚同时输出电流		$V_{DD}-1.3^{(4)}$		

1. I/O 吸收的电流 I_{IO} 必须始终遵循绝对最大额定值要求，同时 I_{IO} 的总和(所有 I/O 和控制脚)不能超过 I_{VSS} 。
2. I/O 输出的电流 I_{IO} 必须始终遵循绝对最大额定值要求，同时 I_{IO} 的总和(所有 I/O 和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出，不在生产中测试。
4. PC13-15 的驱动能力不包含在该项中，PC 其他端口规格在电压范围为 $3.3V < V_{DD} < 3.6V$ 。

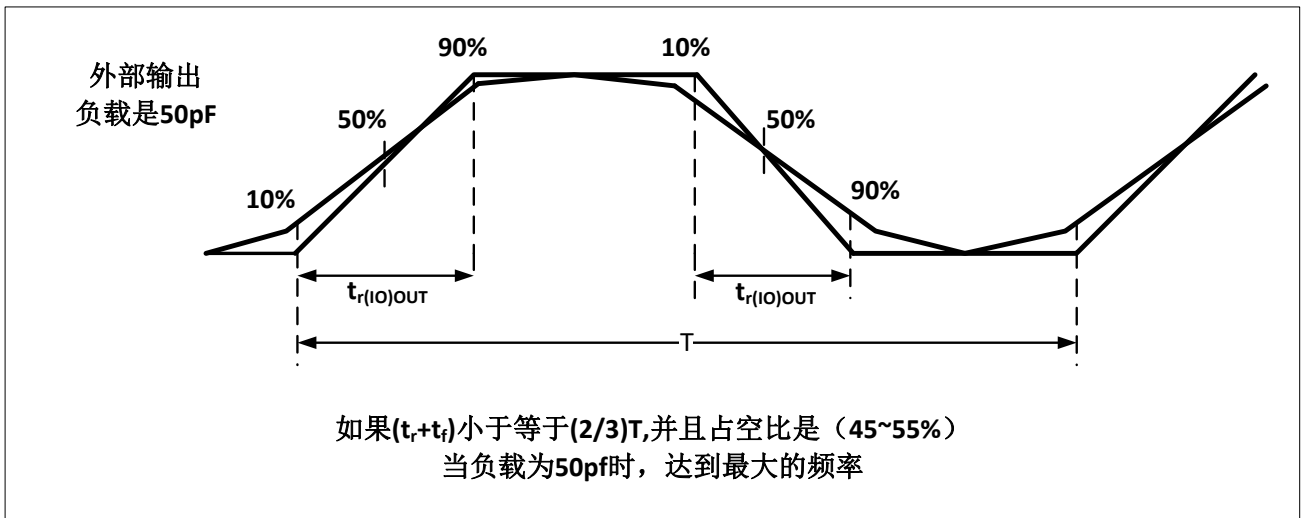
输入输出交流特性($T_A = 25^\circ\text{C}$)

表24 输入输出交流特性

MODEx[1:0] 的配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		2	MHz
	$t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		125 ⁽³⁾	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间		125 ⁽³⁾		
01 (10MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		10	MHz
	$t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		25 ⁽³⁾	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间		28		
11 (50MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 30 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		48.1	MHz
	$t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 30 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		5 ⁽³⁾	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间		5 ⁽³⁾		

- 1.I/O 端口的速度可以通过 MODEx[1:0]配置。
- 2.最大频率在下图中定义。
- 3.由设计保证，不在生产中测试。

图 12 输入输出交流特性定义



5.3.9 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺，它连接了一个永久性上拉电阻， R_{PU} 。

表25 NRST 引脚特性 (测试条件 $V_{CC}=3.3V, T_A=-40\sim 105^{\circ}C$)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压				0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压		2			
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞			400		mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲				100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲		300			ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻由一个纯电阻串联一个可关断的 PMOS/NMOS 管实现的, 这个 PMOS/NMOS 开关的电阻很小。

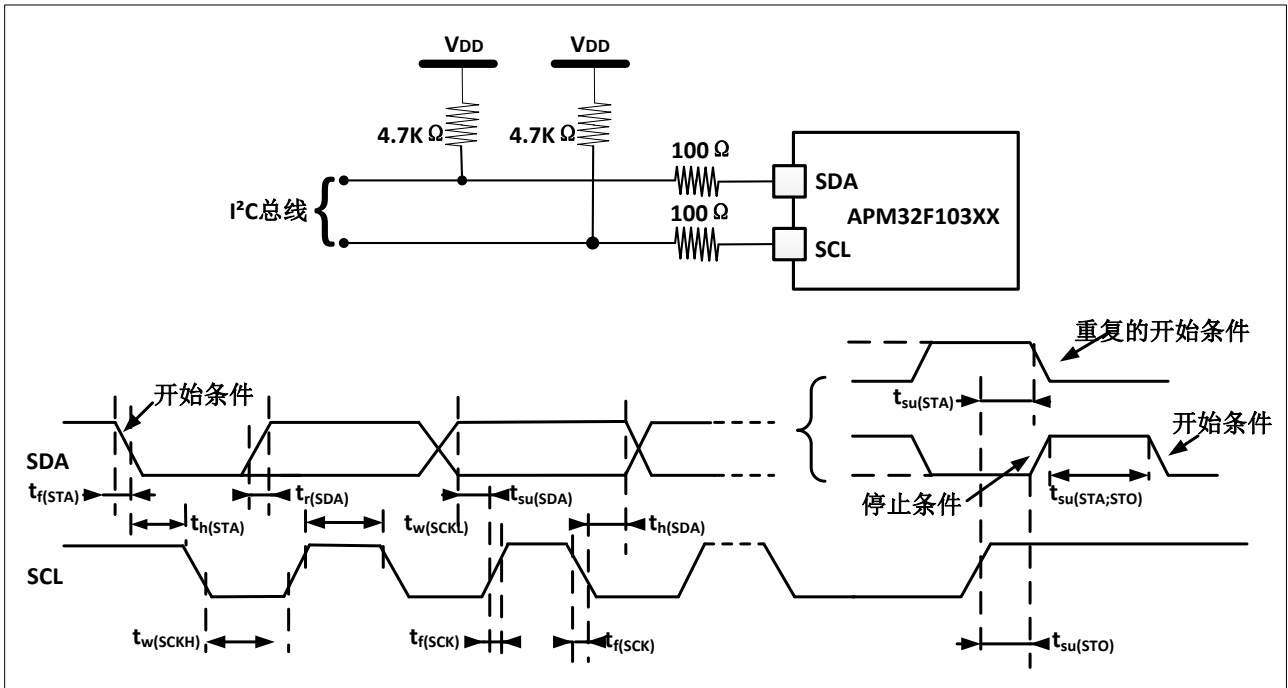
5.3.10 通信接口

I²C 接口特性表26 I²C 接口特性 (测试条件 V_{DD} = 3.3V, T_A = 25°C)

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
t _{w(SCLL)}	SCL 时钟低时间	4.7		1.3		μs
t _{w(SCLH)}	SCL 时钟高时间	4.0		0.6		
t _{su(SDA)}	SDA 建立时间	250		100		ns
t _{h(SDA)}	SDA 数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
t _{r(SDA)} t _{r(SCL)}	SDA 和 SCL 上升时间		1000	20+0.1C _b	300	
t _{f(SDA)} t _{f(SCL)}	SDA 和 SCL 下降时间		300		300	
t _{h(STA)}	开始条件保持时间	4.0		0.6		
t _{su(STA)}	重复的开始条件建立时间	4.7		0.6		μs
t _{su(STO)}	停止条件建立时间	4.0		0.6		μs
t _{w(STO:STA)}	停止条件至开始条件的时间(总线空闲)	4.7		1.3		μs
C _b	每条总线的容性负载		400		400	pF

1. 由设计保证, 不在生产中测试。
2. 为达到标准模式 I²C 的最大频率, fPCLK1 必须大于 2MHz。为达到快速模式 I²C 的最大频率, fPCLK1 必须大于 4MHz。
3. 若不想拉长 SCL 信号的低电平时间, 则必须满足起始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域, 在 MCU 内部必须保证 SDA 信号至少有 300ns 的保持时间。

图 13 总线交流波形和测量电路⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

SPI 接口特性

表27 SPI 特性($V_{DD} = 3.3V$, $T_A = 25^\circ C$)

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	主模式		18	MHz
		从模式		18	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$	50	60	ns
$t_{su(NSS)}^{(2)}$	NSS 建立时间	从模式	$4t_{PCLK}$		ns
$t_{h(NSS)}^{(2)}$	NSS 保持时间	从模式	$2t_{PCLK}$		ns
$t_{w(SCKH)}^{(2)}$ $t_{w(SCKL)}^{(2)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	50	60	ns
$t_{su(MI)}^{(2)}$ $t_{su(SI)}^{(2)}$	数据输入建立时间	主模式	5		ns
		从模式	5		
$t_{h(MI)}^{(2)}$ $t_{h(SI)}^{(2)}$	数据输入保持时间	主模式	5		ns
		从模式	4		
$t_{a(SO)}^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	0	$3t_{PCLK}$	ns
$t_{dis(SO)}^{(2)(4)}$	数据输出禁止时间	从模式	2	10	ns
$t_{v(SO)}^{(2)(1)}$	数据输出有效时间	从模式(使能边沿之后)		25	ns
$t_{v(MO)}^{(2)(1)}$	数据输出有效时间	主模式(使能边沿之后)		14	ns
$t_{h(SO)}^{(2)}$ $t_{h(MO)}^{(2)}$	数据输出保持时间	从模式(使能边沿之后)	15		ns
		主模式(使能边沿之后)	2		

1. 重映射的 SPI1 特性需要进一步确定。
2. 由推算得出, 不在生产中测试。
3. 最小值表示驱动输出的最小时间, 最大值表示使数据有效的最大时间。
4. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

图 14 SPI 时序图 — 从模式和 CPHA=0

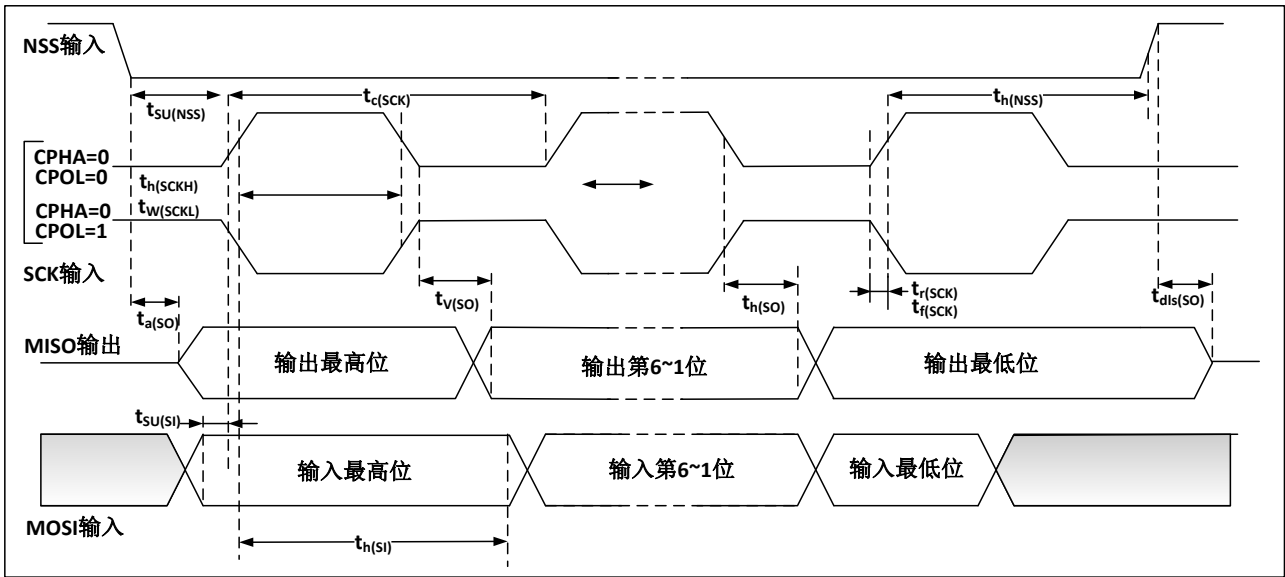
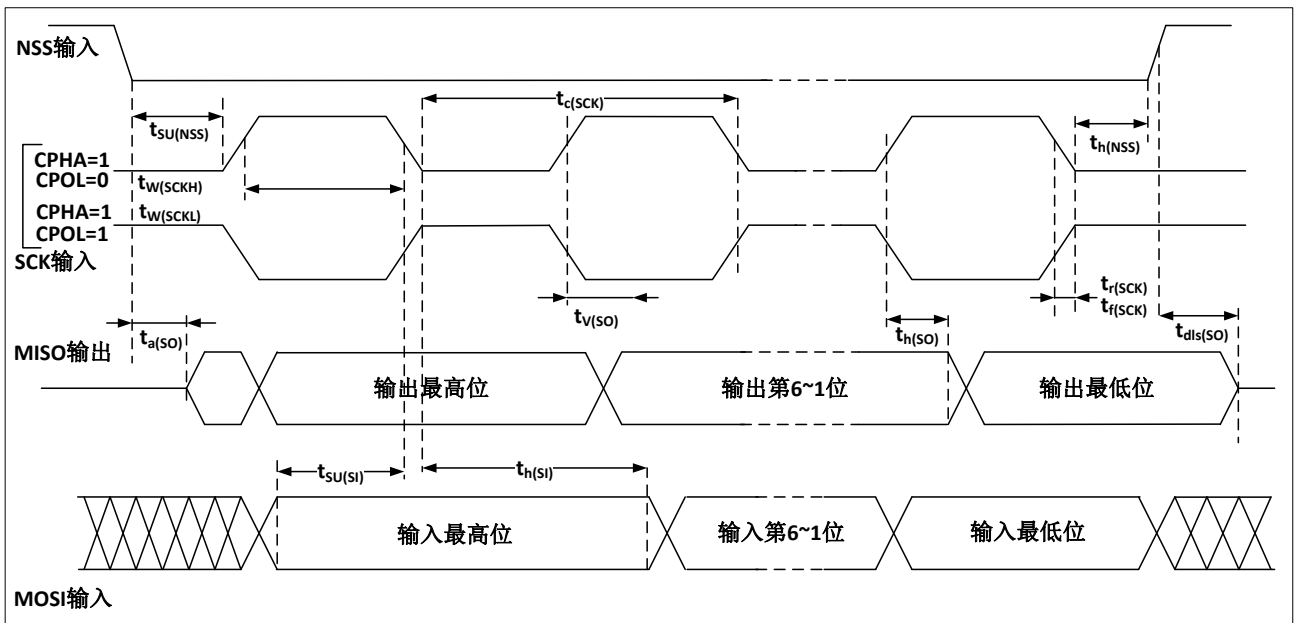
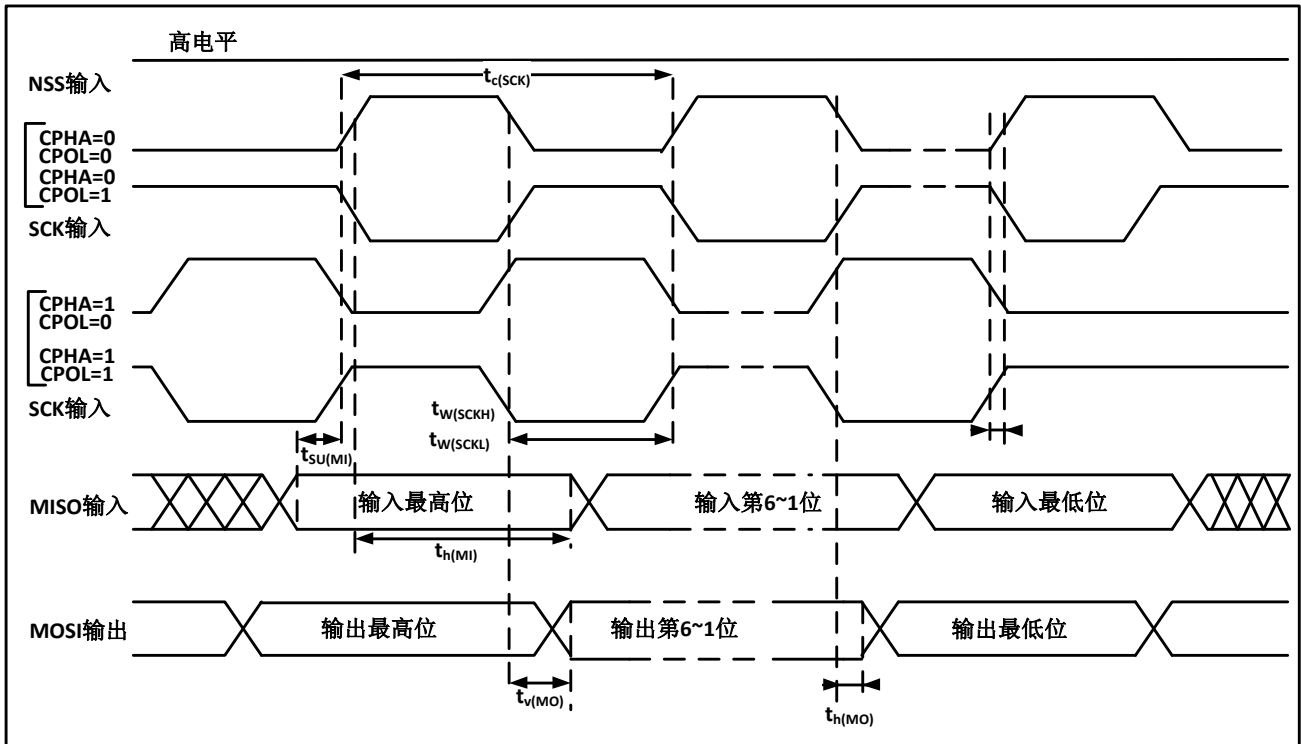


图 15 SPI 时序图 — 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$

图 16 SPI 时序图 — 主模式⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

USB 接口特性

图 17 USB 时序：数据信号上升和下降的时间定义

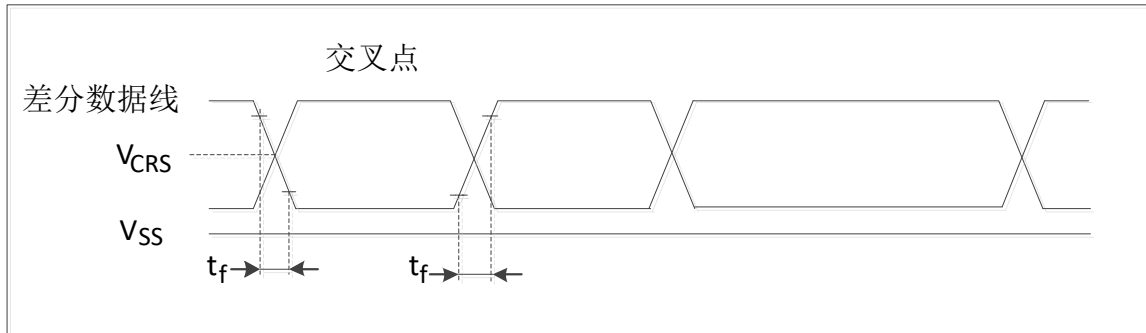


表28 USB 全速电气特性($V_{DD} = 3.0-3.6V$, $T_A = 25^\circ C$)

符号	参数	条件	最小值	最大值	单位
t_r	上升时间	$C_L = 50pF$	4	20	ns
t_f	下降时间	$C_L = 50pF$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	90	110	%

5.3.11 12 位 ADC 特性

表29 ADC 特性($V_{DD} = 2.4-3.6V$, $T_A = -40\sim 105^\circ C$)

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4		3.6	V
V_{REF+}	正参考电压		2.4		V_{DDA}	V
I_{VREF}	在 V_{REF} 输入脚上的电流				20	μA
f_{ADC}	ADC 时钟频率		0.6		14	MHz
f_s	采样速率		0.05		1	MHz
V_{AIN}	转换电压范围		0		V_{REF+}	V
t_{CAL}	校准时间	$f_{ADC} = 14MHz$	5.9			μs
			83			$1/f_{ADC}$
t_s	采样时间	$f_{ADC} = 14MHz$	0.107		17.1	μs
			1.5		239.5	$1/f_{ADC}$
t_{CONV}	总的转换时间(包括采样时间)	$f_{ADC} = 14MHz$	1		18	μs
			14~252(采样 t_s + 逐次逼近 12.5)			$1/f_{ADC}$

5.3.12 温度传感器特性

表30 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
Avg_Slope(1)	平均斜率 ($V_{DD} = 3.3V$, $T_A = -40\sim 105^{\circ}C$)	3.6	4.2	4.9	mV/ $^{\circ}C$
V_{25}	在 $25^{\circ}C$ 时的电压 ($V_{DD} = 2-3.6V$)	1.35	1.41	1.47	V
$t_{START}(2)$	建立时间	4		10	μs
$T_{S_temp}(2)(3)$	当读取温度时, ADC 采样时间			17.1	μs

1. 由特性分析保证, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.13 EMC 特性

敏感性测试在产品的综合评估时抽样进行测试。

电磁敏感性(EMS)

当运行一个简单的应用时 (通过 I/O 端口控制 2 个 LED 闪烁), 测试样品被假电磁干扰直到产生错误, LED 闪烁指示错误的产生。

表31 EMS 特性

符号	参数	条件	级别
V_{FESD}	施加到任一 IO 口, 导致功能错误的电压极限。	$V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, $f_{HCLK} = 72MHz$ 。符合 IEC 61000-4-2	B
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过 100pF 电容施加的、导致功能错误的瞬变脉冲群电压极限	$V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, $f_{HCLK} = 72MHz$ 。符合 IEC 61000-4-4	B

电磁干扰(EMI)

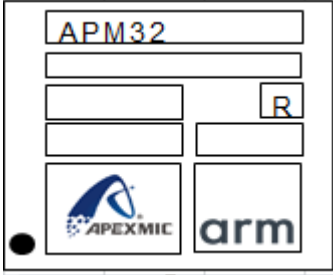
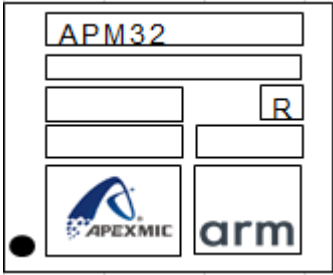
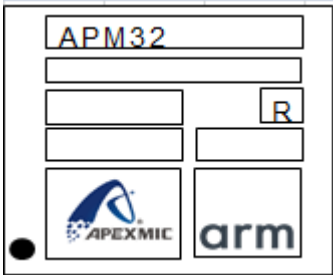
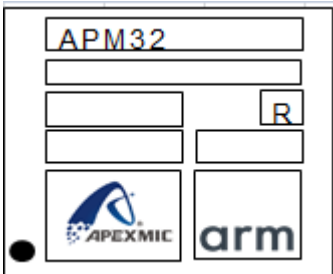
在运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED), 监测芯片发射的电磁场。这个发射测试符合 SAE J1752/3 标准, 这个标准规定了测试板和引脚的负载。

表32 EMI 特性

符号	参数	条件	检测频段	最大值(f_{HSE}/f_{HCLK})			单位
				8/48MHz	8/72MHz	8/96MHz	
S _{EMI}	峰值	V _{DD} = 3.3V, T _A = +25 °C, LQFP100 封装	0.1-30MHz				dB μ V
			30-130MHz	5.59			
			130MHz-1GHz	20.37			
			SAM EMI 级别				

6 封装信息

表33 APM32F103x4x6x8xB/APM E 32103xBMARKING

Package Name	Size	Marking of Apex samples
QFN36	6*6*0.9	
QFP48	7*7*1.6	
QFP64	10*10*1.6	
QFP100	14*14*1.6	

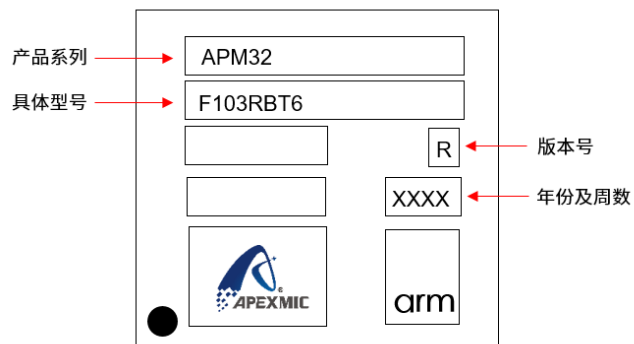
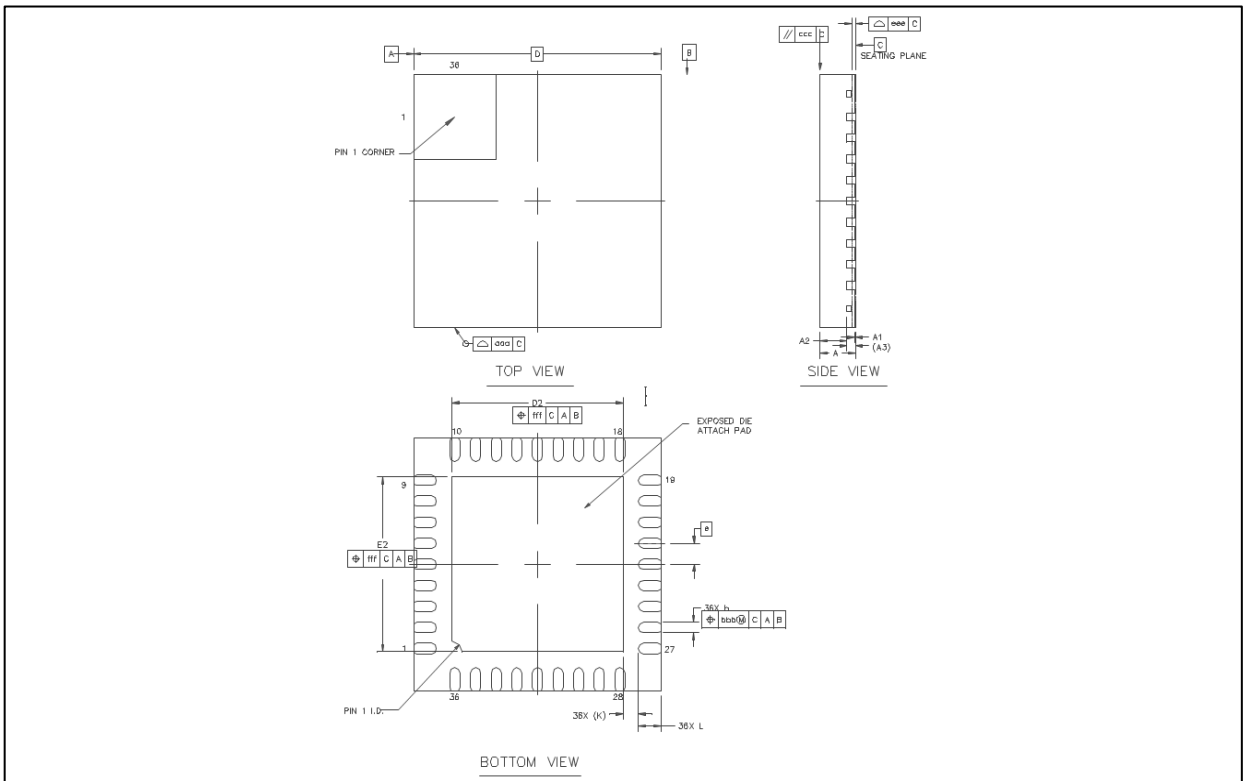


图 18 QFN36 封装图



1. 图不是按照比例绘制。
 2. 后背的焊盘内部没有联到 V_{SS} 或 V_{DD} 。
 3. 在 QFN 封装的底面有一个焊盘，应把它焊接在 PCB 上。
- 所有的引脚都应该焊接在 PCB 上。

表34 QFN36 封装数据

		SYMBOL	MIN	NOD	MAX
TOTAL THCKNESS		A	0.8	0.85	0.9
STANO OFF		A1	0	0.02	0.05
MOLO THCKNESS		A2	---	0.65	---
L/F THCKNESS		A3	0.203REF		
LEAD WIDTH		b	0.2	0.25	0.3
BOOY SIZE	X	D	6 BSC		
	Y	E	6 BSC		
LEAD PITCH		e	0.5 BSC		
EP SIZE	X	D2	4.05	4.15	4.25
	Y	E2	4.05	4.15	4.25
LEAD LENGTH		L	0.45	0.55	0.65
LEAD TIP TO EXPOSE PAD EDGE		k	0.375 REF		
PACKAGE EOGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.1		
EXPOSED PAD OFFSET		fff	0.1		

图 19 LQFP100封装图

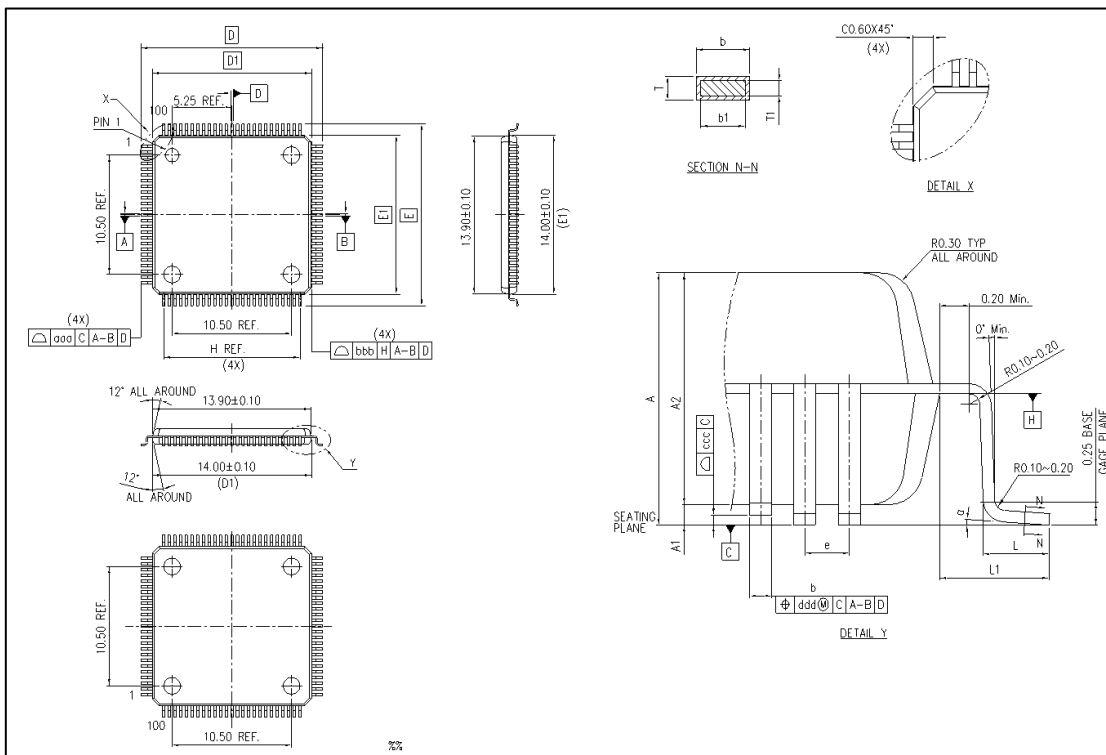


表35 LQFP100 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)

S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	16.00±0.20	LEAD TIP TO TIP
5	D1	14.00±0.10	PKG LENGTH
6	E	16.00±0.20	LEAD TIP TO TIP
7	E1	14.00±0.10	PKG WDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15 ^{+0.05} _{0.05}	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(12.00)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

NOTES	DESCRIPTION	SPECIFICATION
S/N	GENERAL TOLERANCE.	DISTANCE ±0.1
1		ANGLE ±2.5
2	MATTE FINISH ON PACKAGE BODY SURFACE EXPECT EJECTION AND PIN 1 MARKING	Ro0.8~0.2um
3	ALL MOLDED BODY SHARP CORNER RADIUS UNLESS OTHERWISE SPECIFIED	MAX.R0.20
4	PACKAGE/LEAD FEAME MISALIGNMENT(X、Y) :	MAX.0.127
5	TOP/BTM PACKAGE MISALIGNMENT(X、Y) :	MAX.0.127
6	DRAWING DOES NOT INCLUDE PLASTIC OR METAL PROTRUSION OR CUTTING BURR	
7	COMPLIANT TO JEDEC STANDARD: MS-026	

图 20 LQFP64 封装图

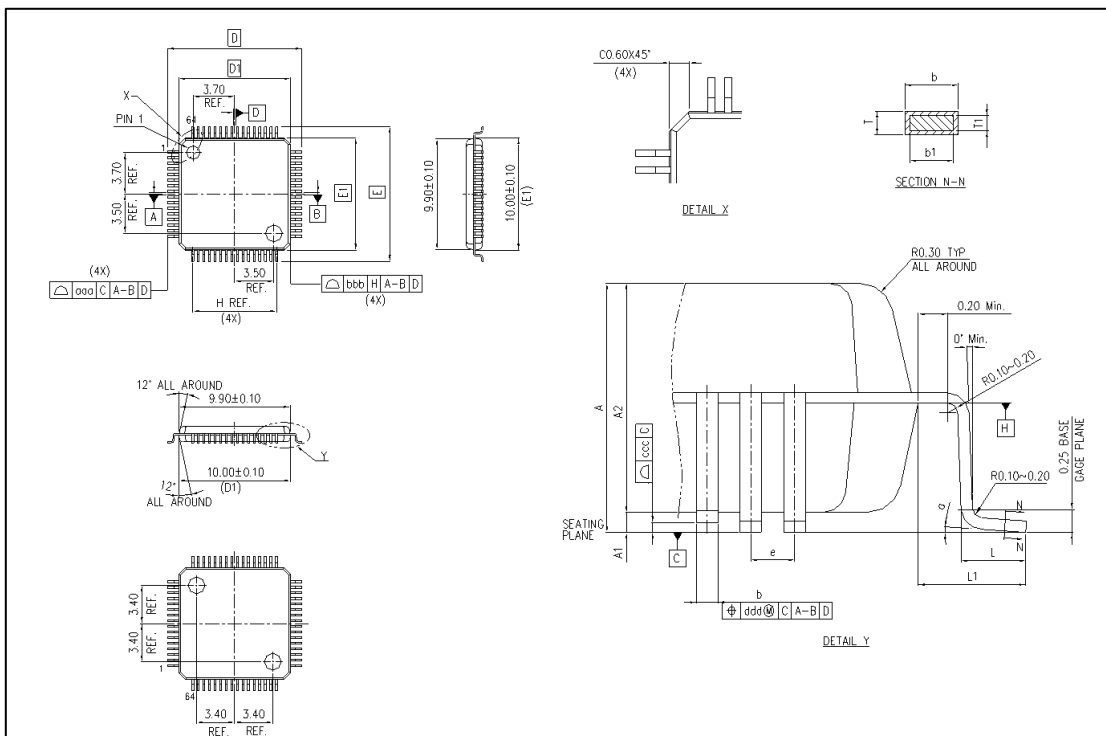


表36 LQFP64 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A1	0.100±0.050	STANDOFF
3	A2	1.400±0.050	PKG THICKNESS
4	D	12.000±0.200	LEAD TIP TO TIP
5	D1	10.000±0.100	PKG LENGTH
6	E	12.000±0.200	LEAD TIP TO TIP
7	E1	10.000±0.100	PKG WDTN
8	L	0.600±0.150	FOOT LENGTH
9	L1	1.000 REF	LEAD LENGTH
10	T	0.150 ^{+0.05} _{-0.05}	LEAD THICKNESS
11	T1	0.127±0.030	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.220±0.050	LEAD WIDTH
14	b1	0.200±0.030	LEAD BASE METAL WIDTH
15	e	0.500 BASE	LEAD PITCH
16	H(REF.)	(7.500)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

NOTES	DESCRIPTION	SPECIFICATION	
S/N	GENERAL TOLERANCE.	DISTANCE	±0.100
1		ANGLE	±2.5
2	MATTE FINISH ON PACKACE BOOY SURFACE EXPECT EJECTION AND PIN 1 MARKING		Ro0.8~0.2um
3	ALL MOLDED BOOY SHARP CORNE RADLL UNLESS OTHERWISE SPECIFIED		MAX.R0.200
4	PACKAGE/LEADFEAME MISALIGNMENT(X、Y)：		MAX.0.127
5	TOP/BTM PACKAGE MISALIGNMENT(X、Y)：		MAX.0.127
6	DRAWING DOES NOT INCLUDE PLASTIC OR META PROTRUSION OR CUTTING BURR		
7	COMPLIANT TO JEDEC STANDARD: MS-026		

图 21 LQFP48 封装图

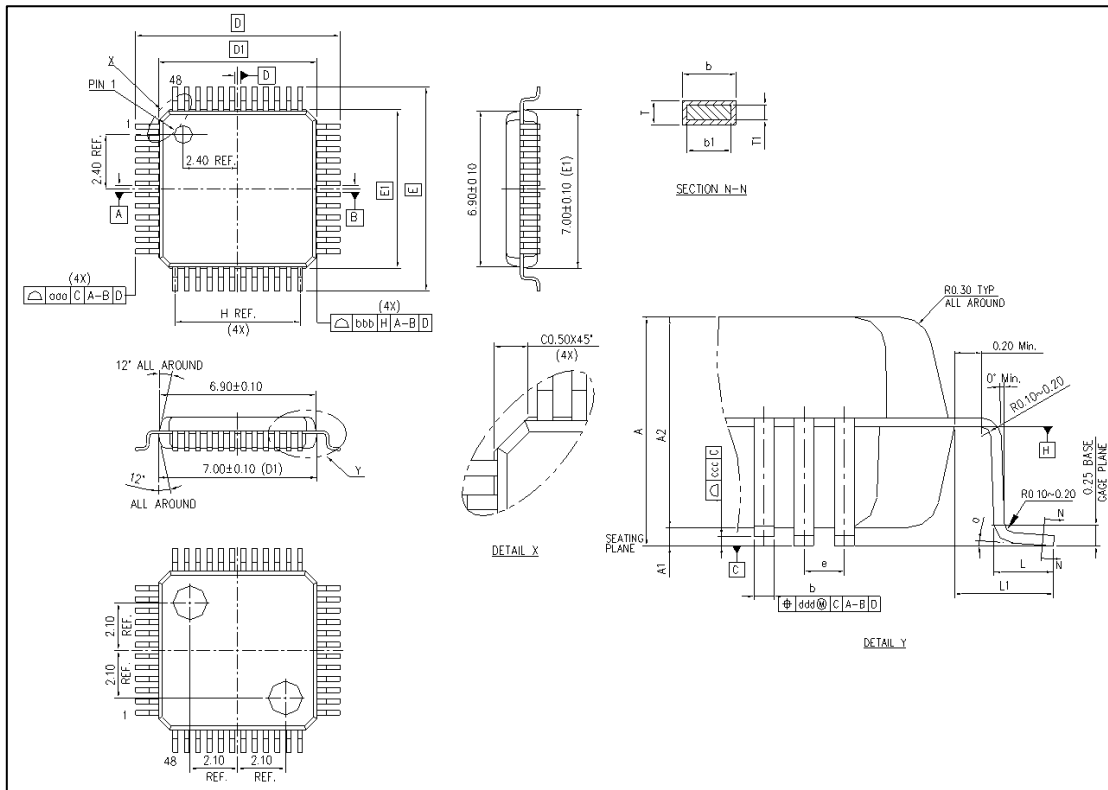


表37 LQFP48 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	9.00±0.20	LEAD TIP TO TIP
5	D1	7.00±0.10	PKG LENGTH
6	E	9.00±0.20	LEAD TIP TO TIP
7	E1	7.00±0.10	PKG WTDH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15 ^{+0.05} _{-0.05}	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(5.50)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

NOTES	DESCRIPTION	SPECIFICATION	
S/N	GENERAL TOLERANCE.	DISTANCE	±0.10
1		ANGLE	±2.5
2	MATTE FINISH ON PACKAGE BODY SURFACE EXPECT EJECTION AND PIN 1 MARKING		Ro0.8~0.2um
3	ALL MOLDED BODY SHARP CORNER RADIUS UNLESS OTHERWISE SPECIFIED		MAX.R0.20
4	PACKAGE/LEAD FEATHER MISALIGNMENT(X、Y):		MAX.0.127
5	TOP/BTM PACKAGE MISALIGNMENT(X、Y):		MAX.0.127
6	DRAWING DOES NOT INCLUDE PLASTIC OR METAL PROTRUSION OR CUTTING BURR		
7	COMPLIANT TO JEDEC STANDARD: MS-026		

7 订货信息

例如:	APM32	F	103	C	8	T	6	XXX
产品系列	APM32=基于ARM的32位微控制器							
产品类型	F=通用类型 E=增强类型							
产品子系列	103=基础型							
引脚数目	T=36脚 C=48脚 R=64脚 V=100脚							
闪存存储器容量	4=16Kbytes 6=32Kbytes 8=64Kbytes B=128Kbytes							
封装	T=LQFP U=QFN							
温度范围	6=-40°C~85°C 7=-40°C~105°C							
选项	XXX=已编程的器件代号 TB=卷带式包装							

表38 订货信息列表

订货编码	FLASH(KB)	SRAM(KB)	封装	温度范围
APM32E103CBT7	128	20	LQFP48	工业级 -40°C~105°C
APM32E103RBT7	128	20	LQFP64	工业级 -40°C~105°C
APM32E103VBT7	128	20	LQFP100	工业级 -40°C~105°C
APM32F103T4U6	16	6	QFN36	工业级 -40°C~85°C
APM32F103T6U6	32	10	QFN36	工业级 -40°C~85°C
APM32F103T8U6	64	20	QFN36	工业级 -40°C~85°C
APM32F103TBU6	128	20	QFN36	工业级 -40°C~85°C
APM32F103C4T6	16	6	LQFP48	工业级 -40°C~85°C
APM32F103C6T6	32	10	LQFP48	工业级 -40°C~85°C
APM32F103C8T6	64	20	LQFP48	工业级 -40°C~85°C
APM32F103CBT6	128	20	LQFP48	工业级 -40°C~85°C
APM32F103R4T6	16	6	LQFP64	工业级 -40°C~85°C
APM32F103R6T6	32	10	LQFP64	工业级 -40°C~85°C
APM32F103R8T6	64	20	LQFP64	工业级 -40°C~85°C
APM32F103RBT6	128	20	LQFP64	工业级 -40°C~85°C
APM32F103V8T6	64	20	LQFP100	工业级 -40°C~85°C
APM32F103VBT6	128	20	LQFP100	工业级 -40°C~85°C
APM32F102C4T6	16	6	LQFP48	工业级 -40°C~85°C
APM32F102C6T6	32	10	LQFP48	工业级 -40°C~85°C
APM32F102C8T6	64	20	LQFP48	工业级 -40°C~85°C
APM32F102CBT6	128	20	LQFP48	工业级 -40°C~85°C
APM32F102R4T6	16	6	LQFP64	工业级 -40°C~85°C
APM32F102R6T6	32	10	LQFP64	工业级 -40°C~85°C
APM32F102R8T6	64	20	LQFP64	工业级 -40°C~85°C
APM32F102RBT6	128	20	LQFP64	工业级 -40°C~85°C
APM32F101T4U6	16	6	QFN36	工业级 -40°C~85°C
APM32F101T6U6	32	10	QFN36	工业级 -40°C~85°C
APM32F101T8U6	64	20	QFN36	工业级 -40°C~85°C
APM32F101TBU6	128	20	QFN36	工业级 -40°C~85°C
APM32F101C4T6	16	6	LQFP48	工业级 -40°C~85°C
APM32F101C6T6	32	10	LQFP48	工业级 -40°C~85°C
APM32F101C8T6	64	20	LQFP48	工业级 -40°C~85°C
APM32F101CBT6	128	20	LQFP48	工业级 -40°C~85°C
APM32F101R4T6	16	6	LQFP64	工业级 -40°C~85°C
APM32F101R6T6	32	10	LQFP64	工业级 -40°C~85°C
APM32F101R8T6	64	20	LQFP64	工业级 -40°C~85°C
APM32F101RBT6	128	20	LQFP64	工业级 -40°C~85°C

订货编码	FLASH(KB)	SRAM(KB)	封装	温度范围
APM32F101V8T6	64	20	LQFP100	工业级 -40°C~85°C
APM32F101VBT6	128	20	LQFP100	工业级 -40°C~85°C

8 版本历史

表39 文档版本历史记录

日期	版本	变更内容
2019.2.14	1.0.0	新建