

概述

YA16D80-YA16D125 是双通道、16 位、125 MSPS 模数转换器(ADC)，支持需要高性能、低成本、小尺寸的多功能通信应用。这款双通道的 ADC 内核采用多级差分流水线架构，每个 ADC 均具有高带宽的差分采样保持模拟输入放大器，支持用户可选的各种输入范围。内部集成的基准电压源便于简化外部设计。占空比稳定器可用来补偿 ADC 时钟占空比的变化，使转换器保持出色的性能。ADC 输出数据可以直接送至两个外部 16 位输出端口，这些输出可以设置为 1.8 V CMOS 或 LVDS 模式。灵活的掉电选项可以明显降低功耗。三线式 SPI 兼容型串行接口可配置产品各种功能。YA16D80-YA16D125 采用 64 引脚 QFN 封装，额定温度范围为-40°C 至+85°C 工业温度范围。

特性

- 低功耗: 700 mW@125 MSPS
- 电源供电: 1.8 V
- 输出电平: 1.8 V CMOS或LVDS
- 信噪比(SNR)=77dBFS (Fin=70MHz/Fs=125MSPS)
- 无杂散动态范围(SFDR)=85dBc (Fin=70MHz/Fs=125MSPS)
- 中频采样率达到 300 MHz
- 内置1至8整数输入时钟分频器
- 小信号输入噪声: -153dBm/Hz (200Ω输入阻抗/Fin=70MHz/Fs=125MSPS)
- 可编程内部基准电压源
- 差分模拟输入范围: 1~2V峰峰值
- 差分模拟输入带宽: 650MHz
- 内置时钟占空比稳定器

- 95 dB通道隔离/串扰
- 串行端口(SPI)控制
- 用户可配置的内置测试(BIST)功能
- 节能的掉电模式

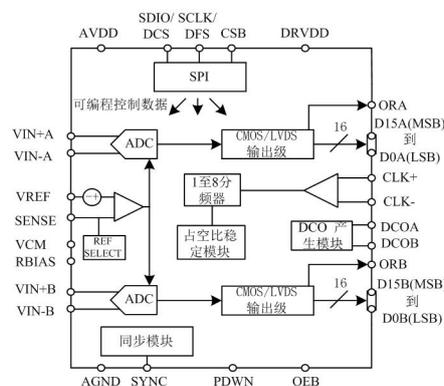
产品聚焦

1. 片内扰动选项可改善模拟输入信号的无杂散动态范围(SFDR)。
2. 差分输入在最高300MHz的输入频率下仍有很好的信噪比(SNR)。
3. 采用1.8 V单电源供电，数字输出驱动器则采用独立电源供电，以支持1.8 V CMOS或LVDS输出
4. 标准串行接口(SPI)可配置产品的各种功能，例如：多种数据编码形式(偏移二进制、二进制补码或格雷码)、时钟DCS使能、节电模式、测试模式以及多种基准电压。
5. 与AD9258/AD9268引脚兼容，16位产品可轻松转换至14位产品。

应用

- 雷达系统
- 分集无线电系统
- 多模式数字接收机(3G)
- GSM / EDGE / W-CDMA / LTE / CDMA2000 / WiMAX / TD-SCDMA
- I/O解调系统
- 智能天线系统
- 通用软件无线电
- 宽带数据应用
- 超声设备

功能框图



目录

特性.....	1
应用.....	1
产品聚焦.....	1
功能框图.....	1
概述.....	1
技术规格.....	3
ADC 直流规格.....	3
ADC 交流规格.....	4
数字规格.....	5
开关规格.....	6
时序规格.....	7
引脚配置与功能描述.....	9
典型性能.....	13
工作原理.....	14
输入共模.....	14
差分输入配置.....	14
基准电压源.....	14
内部基准电压连接.....	14
时钟输入.....	15
寄存器列表.....	16
封装外形尺寸.....	17

技术规格

ADC直流规格

除非另有说明，AVDD=1.8V、DRVDD=1.8V、最大采样速率、VIN=-1.0dBFS 差分输入、1.0V 内部基准电压、DCS 使能。

表 1.

参数	温度	YA16D80			YA16D105			YA16D125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	16			16			16			位
精度											
无失码	全	保证			保证			保证			
失调误差	全	±0.4		±0.7	±0.4		±0.7	±0.4		±0.7	% FSR
增益误差	全	±0.8		±2.6	±0.8		±2.6	±0.8		±2.6	% FSR
微分非线性(DNL) ¹	全	-1.2		+1.4	-1.2		+1.4	-1.2		+1.4	LSB
	25°C	±0.75			±0.75			±0.75			LSB
积分非线性(INL) ¹	全	±5.9			±5.9			±5.9			LSB
	25°C	±3.5			±3.5			±3.5			LSB
匹配特性											
失调误差	全	±0.25		±0.5	±0.25		±0.5	±0.25		±0.5	% FSR
增益误差	全	±0.34		±1.4	±0.36		±1.4	±0.37		±1.4	% FSR
温度漂移											
失调误差	全	±3			±3			±3			ppm/°C
增益误差	全	±16			±16			±16			ppm/°C
内部基准电压											
输出电压误差(1V 模式)	全	±7		±15	±7		±15	±7		±15	mV
负载调整率@1.0mA	全	7			7			7			mV
输入端参考噪声											
VREF = 1.0 V	25°C	2.83			2.94			2.77			LSB rms
模拟输入											
输入范围,VREF = 1.0 V	全	2			2			2			V p-p
输入电容 ²	全	7.5			7.5			7.5			pF
输入共模电压	全	0.9			0.9			0.9			V
基准电压输入阻抗	全	6.5			6.5			6.5			kΩ
电源											
电源电压											
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
电源电流											
I _{AVDD} ¹	全	239		246	299		308	351			mA
I _{DRVDD} ¹ (1.8 V CMOS)	全	38			48			52			mA
I _{DRVDD} ¹ (1.8 V LVDS)	全	92			92			98			mA
功耗											

直流输入	全	376	571	599	700	mW		
正弦波输入 ¹ (1.8 V CMOS)	全	490	615		725	mW		
正弦波输入 ¹ (1.8 V LVDS)	全	560	695		835	mW		
待机功耗 ³	全	46	47		49	mW		
掉电功耗	全	0.7	2.8	0.7	2.8	0.5	2.7	mW

¹ 测量条件为：低输入频率、满量程正弦波、每个输出位的负载约为 5pF。

² 输入电容指一个差分输入引脚与 AGND 之间的有效电容。

³ 待机功耗的测量条件为：直流输入、CLK 引脚无动作(设为 AVDD 或 AGND)。

ADC交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表 2.

参数	温度	YA16D80			YA16D105			YA16D125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)											
f _{IN} = 30 MHz	25°C		78.3		78.1			78.2			dBFS
f _{IN} = 70 MHz	25°C		76.9		76.8			77.1			dBFS
f _{IN} = 140 MHz	25°C		74.1		74.3			74.5			dBFS
f _{IN} = 200 MHz	25°C		73.7		74.1			73.0			dBFS
信纳比(SINAD)											
f _{IN} = 30 MHz	25°C		77.2		77.4			77.7			dBFS
f _{IN} = 70 MHz	25°C		76.2		76.5			76.6			dBFS
f _{IN} = 140 MHz	25°C		74.2		74.5			74.3			dBFS
f _{IN} = 200 MHz	25°C		73.3		73.0			72.5			dBFS
有效位数(ENOB)											
f _{IN} = 30 MHz	25°C		12.5		12.6			12.6			位
f _{IN} = 70 MHz	25°C		12.4		12.4			12.4			位
f _{IN} = 140 MHz	25°C		12.0		12.1			12.0			位
f _{IN} = 200 MHz	25°C		11.9		11.8			11.8			位
最差二次/三次谐波											
f _{IN} = 30 MHz	25°C		-85.5		-86.3			-86.5			dBc
f _{IN} = 70 MHz	25°C		-86.4		-86.1			-85.2			dBc
f _{IN} = 140 MHz	25°C		-80.0		-80.4			-82.1			dBc
f _{IN} = 200 MHz	25°C		-77.1		-77.2			-79.9			dBc
无杂散动态范围(SFDR)											
f _{IN} = 30 MHz	25°C		85.5		86.3			86.5			dBc
f _{IN} = 70 MHz	25°C		86.4		86.1			85.2			dBc
f _{IN} = 140 MHz	25°C		80.0		80.4			82.1			dBc
f _{IN} = 200 MHz	25°C		77.1		77.2			79.9			dBc
串扰(Crosstalk)	25°C		-95		-95			-95			dBc

模拟输入带宽	25°C	650	650	650	MHz
--------	------	-----	-----	-----	-----

串扰测量条件：一个通道输入-1dBFS 100MHz 信号，另一通道无信号

数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表 3.

参数	温度	最小值	典型值	最大值	单位
差分时钟输入 (CLK+, CLK-)					
逻辑兼容	全	CMOS/LVDS/LVPECL			
内部共模偏置	全	0.9			V
差分输入电压	全	0.3		3.6	V p-p
输入电压范围	全	AGND		AVDD	V
输入共模范围	全	0.9		1.4	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-120		+120	μA
输入电容	全	6.5			pF
输入电阻	全	8.4	10.3	12.6	kΩ
同步输入					
逻辑兼容	全	CMOS			
内部偏置	全	0.9			V
输入电压范围	全	AGND		AVDD	V
高电平输入电压	全	1.2		AVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-120		+120	μA
输入电容	全	1.5			pF
输入电阻	全	12.7	16.5	20.4	kΩ
逻辑输入 (CSB) ¹					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-13		13	μA
低电平输入电流	全	44		137	μA
输入电阻	全	26.8			kΩ
输入电容	全	2.2			pF
逻辑输入 (SCLK/DFS) ²					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流(VIN=1.8V)	全	-98		-139	μA
低电平输入电流	全	-13		13	μA
输入电阻	全	26.8			kΩ
输入电容	全	2.2			pF

逻辑输入 (SDIO/DCS) ¹					
高电平输入电压	全	1.22	2.1	V	
低电平输入电压	全	0	0.6	V	
高电平输入电流	全	-13	13	μA	
低电平输入电流	全	42	133	μA	
输入电阻	全	26.8		kΩ	
输入电容	全	5		pF	
逻辑输入 (OEB,PDWN) ²					
高电平输入电压	全	1.22	2.1	V	
低电平输入电压	全	0	0.6	V	
高电平输入电流(VIN=1.8V)	全	-96	-137	μA	
低电平输入电流	全	-13	13	μA	
输入电阻	全	26.8		kΩ	
输入电容	全	5		pF	
数字输出					
CMOS 模式(DRVDD=1.8V)					
高电平输出电压					
$I_{OH}=50\mu A$	全	1.79		V	
$I_{OH}=0.5mA$	全	1.75		V	
低电平输出电压					
$I_{OL}=1.6mA$	全		0.2	V	
$I_{OL}=50\mu A$	全		0.05	V	
LVDS 模式(DRVDD=1.8V)					
差分输出电压(V _{OD}), ANSI 模式	全	290	345	400	mV
输出偏移电压(V _{OS}), ANSI 模式	全	1.15	1.25	1.35	V
差分输出电压(V _{OD}), 小摆幅模式	全	160	200	230	mV
输出偏移电压(V _{OS}), 小摆幅模式	全	1.15	1.25	1.35	V

¹ 上拉。

² 下拉。

开关规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表 4.

参数	温度	YA16D80			YA16D105			YA16D125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数											
时钟输入速率	全			625			625			625	MHz
转换速率 ¹											
DCS 使能	全	20		80	20		105	20		125	MSPS
DCS 禁用	全	10		80	10		105	10		125	MSPS
时钟周期-分频模式(t _{CLK})		12.5			9.5			8			ns
时钟脉宽高电平(t _{CH})											

一分频模式, DCS 使能	全	3.9	6.4	8.9	2.95	4.9	6.55	2.5	4.3	5.7	ns
一分频模式, DCS 禁用	全	5.9	6.4	6.45	4.7	4.95	5.2	3.7	4.2	4.3	ns
二分频至八分频模式	全	0.85			0.85			0.85			ns
孔径延时(t_a)	全	1.0			1.0			1.0			ns
孔径不确定(抖动, t_j)	全	0.08			0.08			0.08			ps rms
数据输出参数											
CMOS 模式											
数据传播延时(t_{PD})	全	2.9	3.7	4.3	2.9	3.7	4.4	2.9	3.7	4.4	ns
DCO 传播延时(t_{DCO}) ²	全	3.3			3.3			3.3			ns
DCO 至数据偏斜(t_{SKEW})	全	-0.63	-0.45	0	-0.63	-0.45	0	-0.63	-0.45	0	ns
LVDS 模式											
数据传播延时(t_{PD})	全	2.9	3.9	4.7	2.9	3.9	4.8	2.9	3.9	4.6	ns
DCO 传播延时(t_{DCO}) ²	全	4.1			4.1			4.1			ns
DCO 至数据偏斜(t_{SKEW})	全	-0.3	+0.4	+0.7	-0.3	+0.4	+0.6	-0.3	+0.4	+0.7	ns
CMOS 模式流水线延时	全	12			12			13			周期
LVDS 模式流水线延时	全	13/13.5			13/13.5			13/13.5			周期
唤醒时间 ³	全	500			500			500			μ s
超范围恢复时间	全	2			2			2			周期

¹ 转换速率指分频之后的时钟速率。

² 通过 SPI 向寄存器 0x17 的低 4 位配置相应值可以增加额外的 DCO 延迟时间。

³ 唤醒时间指从掉电模式返回正常工作模式所需的时间。

时序规格

表 5.

参数	条件	限值
同步时序要求		
t_{SSYNC}	SYNC 至 CLK+建立时间的上升沿	0.33 ns, 典型值
t_{HSYNC}	SYNC 至 CLK+保持时间的上升沿	0.42 ns, 典型值
SPI 时序要求		
t_{DS}	数据与 SCLK 上升沿之间的建立时间	2.2 ns, 最小值
t_{DH}	数据与 SCLK 上升沿之间的保持时间	2.2 ns, 最小值
t_{CLK}	SCLK 周期	40.3 ns, 最小值
t_S	CSB 与 SCLK 之间的建立时间	2.2 ns, 最小值
t_H	CSB 与 SCLK 之间的保持时间	2.2 ns, 最小值
t_{HIGH}	SCLK 高电平脉冲宽度	10.2 ns, 最小值
t_{LOW}	SCLK 低电平脉冲宽度	10.2 ns, 最小值
t_{EN_SDIO}	相对于 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态所需的时间	10.2 ns, 最小值
t_{DIS_SDIO}	相对于 SCLK 上升沿, SDIO 引脚从输出状态切换到输入状态所需的时间	10.2 ns, 最小值

时序图

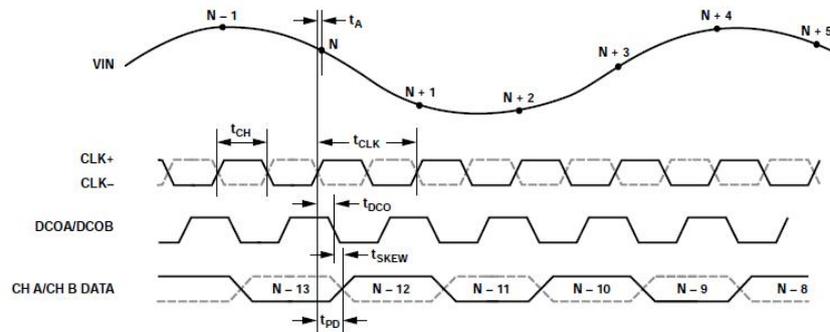


图 2 CMOS 默认输出模式数据输出时序

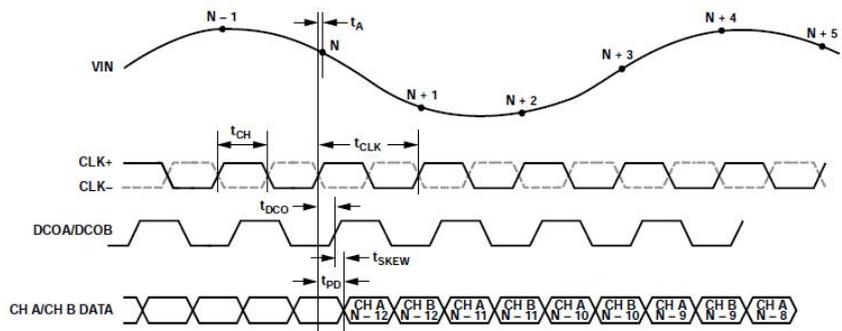


图 3 CMOS 交错输出模式数据输出时序

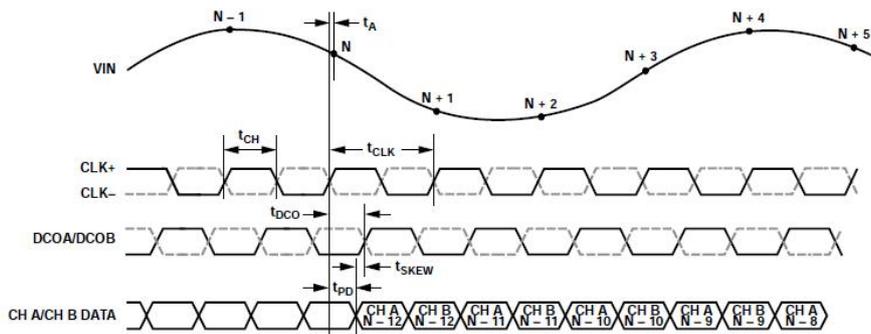


图 4 LVDS 模式数据输出时序

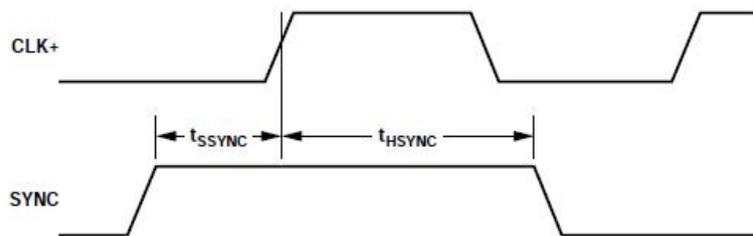
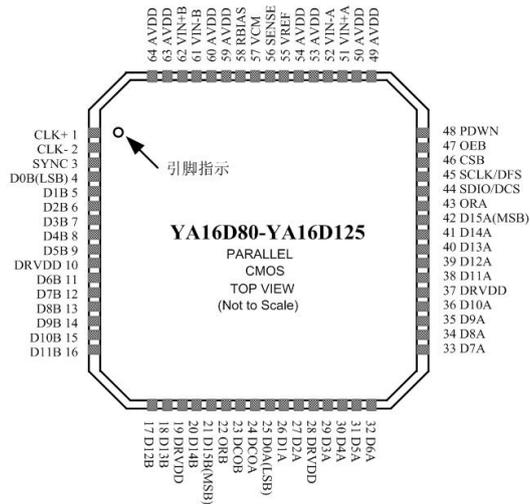


图 5 SYNC 输入时序要求

引脚配置与功能描述



标注：封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。

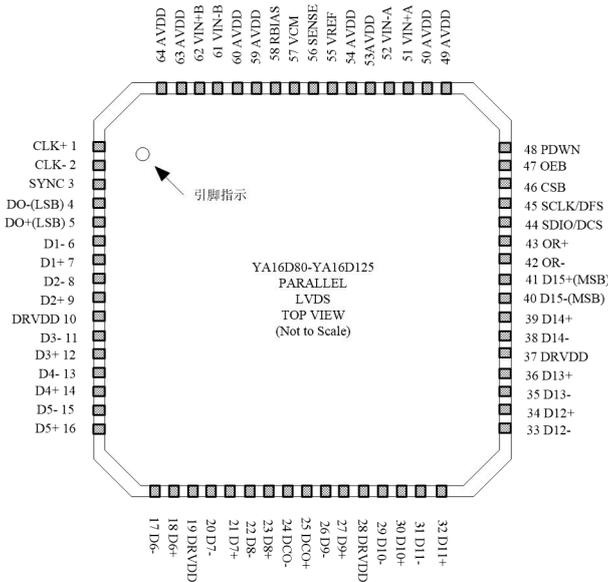
图 6. 并行 CMOS 引脚配置（顶视图）

表 6. 引脚功能描述（并行 CMOS 模式）

引脚编号	引脚名称	类型	描述
ADC 电源			
10,19,28,37	DRVDD	电源	数字输出驱动器电源（标称值 1.8 V）
49,50,53,54,59, 60,63,64	AVDD	电源	模拟电源（标称值 1.8 V）
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连。
ADC 模拟			
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+)
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-)
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+)
61	VIN-B	输入	通道 B 的差分模拟输入引脚(-)
55	VREF	输入/输出	基准电压输入/输出
56	SENSE	输入	基准电压模式选择
58	RBIAS	输入/输出	外部基准偏置电阻
57	VCM	输出	模拟输入的共模电平偏置输出
1	CLK+	输入	ADC 时钟输入(+)
2	CLK-	输入	ADC 时钟输入(-)
数字输入			

3	SYNC	输入	数字同步引脚，仅用于从机模式
数字输出			
25	D0A (LSB)	输出	通道 A CMOS 输出数据
26	D1A	输出	通道 A CMOS 输出数据
27	D2A	输出	通道 A CMOS 输出数据
29	D3A	输出	通道 A CMOS 输出数据
30	D4A	输出	通道 A CMOS 输出数据
31	D5A	输出	通道 A CMOS 输出数据
32	D6A	输出	通道 A CMOS 输出数据
33	D7A	输出	通道 A CMOS 输出数据
34	D8A	输出	通道 A CMOS 输出数据
35	D9A	输出	通道 A CMOS 输出数据
36	D10A	输出	通道 A CMOS 输出数据
38	D11A	输出	通道 A CMOS 输出数据
39	D12A	输出	通道 A CMOS 输出数据
40	D13A	输出	通道 A CMOS 输出数据
41	D14A	输出	通道 A CMOS 输出数据
42	D15A (MSB)	输出	通道 A CMOS 输出数据
43	ORA	输出	通道 A 超量程输出
4	D0B (LSB)	输出	通道 B CMOS 输出数据
5	D1B	输出	通道 B CMOS 输出数据
6	D2B	输出	通道 B CMOS 输出数据
7	D3B	输出	通道 B CMOS 输出数据
8	D4B	输出	通道 B CMOS 输出数据
9	D5B	输出	通道 B CMOS 输出数据
11	D6B	输出	通道 B CMOS 输出数据
12	D7B	输出	通道 B CMOS 输出数据
13	D8B	输出	通道 B CMOS 输出数据
14	D9B	输出	通道 B CMOS 输出数据
15	D10B	输出	通道 B CMOS 输出数据
16	D11B	输出	通道 B CMOS 输出数据
17	D12B	输出	通道 B CMOS 输出数据
18	D13B	输出	通道 B CMOS 输出数据
20	D14B	输出	通道 B CMOS 输出数据
21	D15B (MSB)	输出	通道 B CMOS 输出数据
22	ORB	输出	通道 B 超量程输出
24	DCOA	输出	通道 A 数据时钟输出
23	DCOB	输出	通道 B 数据时钟输出
SPI 控制			
45	SCLK/DFS	输入	在外部引脚模式下，SPI 串行时钟/数据格式选择引脚
44	SDIO/DCS	输入/输出	在外部引脚模式下，SPI 串行数据输入/输出/占空比稳定器引脚
46	CSB	输入	SPI 片选(低电平有效)
ADC 配置			

47	OEB	输入	在外部引脚模式下，输出使能输入(低电平有效)引脚
48	PDWN	输入	在外部引脚模式下，掉电输入引脚。在 SPI 模式下，可以配置为掉电或待机引脚



标注：封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。

图 7. 交错并行 LVDS 引脚配置（顶视图）

表 7. 引脚功能描述（交错并行 LVDS 模式）

引脚编号	引脚名称	类型	描述
ADC 电源			
10,19,28,37	DRVDD	电源	数字输出驱动器电源（标称值 1.8 V）
49,50,53,54,59, 60,63,64	AVDD	电源	模拟电源（标称值 1.8 V）
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连。
ADC 模拟			
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+)
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-)
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+)
61	VIN-B	输入	通道 B 的差分模拟输入引脚(-)
55	VREF	输入/输出	基准电压输入/输出
56	SENSE	输入	基准电压模式选择
58	RBIAS	输入/输出	外部基准偏置电阻
57	VCM	输出	模拟输入的共模电平偏置输出

1	CLK+	输入	ADC 时钟输入(+)
2	CLK-	输入	ADC 时钟输入(-)
数字输入			
3	SYNC	输入	数字同步引脚, 仅用于从机模式
数字输出			
5	D0+ (LSB)	输出	通道 A/通道 B LVDS 输出数据 0(+)
4	D0- (LSB)	输出	通道 A/通道 B LVDS 输出数据 0(-)
7	D1+	输出	通道 A/通道 B LVDS 输出数据 1(+)
6	D1-	输出	通道 A/通道 B LVDS 输出数据 1(-)
9	D2+	输出	通道 A/通道 B LVDS 输出数据 2(+)
8	D2-	输出	通道 A/通道 B LVDS 输出数据 2(-)
12	D3+	输出	通道 A/通道 B LVDS 输出数据 3(+)
11	D3-	输出	通道 A/通道 B LVDS 输出数据 3(-)
14	D4+	输出	通道 A/通道 B LVDS 输出数据 4(+)
13	D4-	输出	通道 A/通道 B LVDS 输出数据 4(-)
16	D5+	输出	通道 A/通道 B LVDS 输出数据 5(+)
15	D5-	输出	通道 A/通道 B LVDS 输出数据 5(-)
18	D6+	输出	通道 A/通道 B LVDS 输出数据 6(+)
17	D6-	输出	通道 A/通道 B LVDS 输出数据 6(-)
21	D7+	输出	通道 A/通道 B LVDS 输出数据 7(+)
20	D7-	输出	通道 A/通道 B LVDS 输出数据 7(-)
23	D8+	输出	通道 A/通道 B LVDS 输出数据 8(+)
22	D8-	输出	通道 A/通道 B LVDS 输出数据 8(-)
27	D9+	输出	通道 A/通道 B LVDS 输出数据 9(+)
26	D9-	输出	通道 A/通道 B LVDS 输出数据 9(-)
30	D10+	输出	通道 A/通道 B LVDS 输出数据 10(+)
29	D10-	输出	通道 A/通道 B LVDS 输出数据 10(-)
32	D11+	输出	通道 A/通道 B LVDS 输出数据 11(+)
31	D11-	输出	通道 A/通道 B LVDS 输出数据 11(-)
34	D12+	输出	通道 A/通道 B LVDS 输出数据 12(+)
33	D12-	输出	通道 A/通道 B LVDS 输出数据 12(-)
36	D13+	输出	通道 A/通道 B LVDS 输出数据 13(+)
35	D13-	输出	通道 A/通道 B LVDS 输出数据 13(-)
39	D14+	输出	通道 A/通道 B LVDS 输出数据 14(+)
38	D14-	输出	通道 A/通道 B LVDS 输出数据 14(-)
41	D15+ (MSB)	输出	通道 A/通道 B LVDS 输出数据 15(+)
40	D15- (MSB)	输出	通道 A/通道 B LVDS 输出数据 15(-)
43	OR+	输出	通道 A/通道 B LVDS 超量程输出 16(+)
42	OR-	输出	通道 A/通道 B LVDS 超量程输出 16(-)
25	DCO+	输出	通道 A/通道 B LVDS 数据时钟输出
24	DCO-	输出	通道 A/通道 B LVDS 数据时钟输出
SPI 控制			
45	SCLK/DFS	输入	在外部引脚模式下, SPI 串行时钟/数据格式选择引脚

44	SDIO/DCS	输入/输出	在外部引脚模式下，SPI 串行数据输入/输出/占空比稳定器引脚
46	CSB	输入	SPI 片选(低电平有效)
ADC 配置			
47	OEB	输入	在外部引脚模式下，输出使能输入(低电平有效)引脚
48	PDWN	输入	在外部引脚模式下，掉电输入引脚。在 SPI 模式下，可以配置为掉电或待机引脚

典型性能

如无特别说明，测试条件为：AVDD=1.8V，DRVDD=1.8V，采样率 125MSPS，2V_{p-p} 差分输入，VIN=-1dBFS，T_A=25℃。

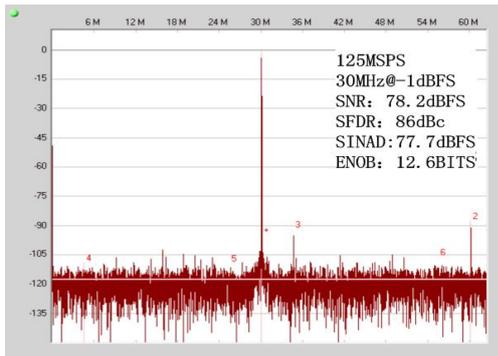


图 8 fin=30MHz 的单音 FFT

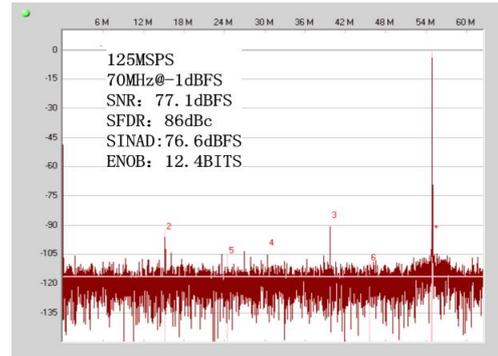


图 9 fin=70MHz 的单音 FFT

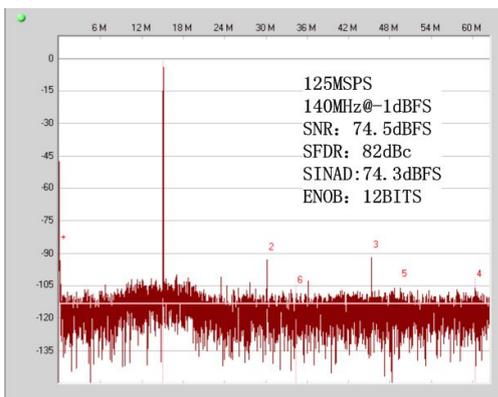


图 10 fin=140MHz 的单音 FFT

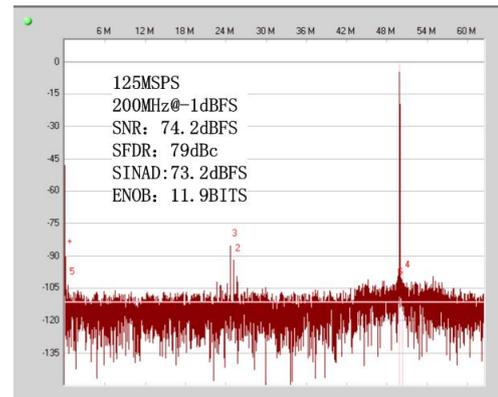


图 11 fin=200MHz 的单音 FFT

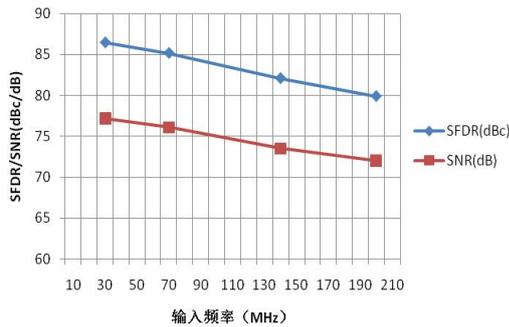


图 12 SFDR、SNR 与输入频率的关系

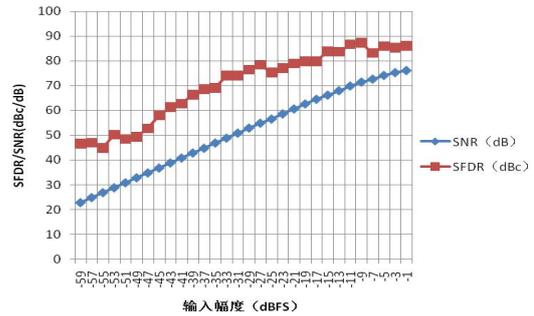


图 13 SFDR、SNR 与输入信号幅度的关系($f_{in}=70\text{MHz}$)

应用说明

输入共模

ADC 模拟输入端无内部直流偏置，在交流耦合应用中用户需提供外部偏置。偏置电压可以来自芯片自身的 VCM 引脚，也可以自主设置，只要满足 $V_{CM} = 0.5 \times AV_{DD}$ (或 0.9V)。通过 VCM 引脚提供模拟输入共模电压 (典型值为 $0.5 \times AV_{DD}$) 时，必须用一个 $0.1\ \mu\text{F}$ 的到地电容对 VCM 引脚去耦。如果是自主设置，也建议作同样处理。

差分输入配置

有两种输入配置：1. 使用的输入配置是差分变压器耦合，如图 14 的示例。为实现模拟输入偏置，须将 VCM 电压连接到至变压器次级绕组的中心抽头处。2. 使用的输入配置是差分双巴伦耦合，见图 15。在这种配置中，输入交流耦合，CML 通过一个 $33\ \Omega$ 电阻提供给各输入。这些电阻补偿输入巴伦的损耗，向驱动器提供 $50\ \Omega$ 阻抗。表 8 列出了设置 RC 网络的建议值。

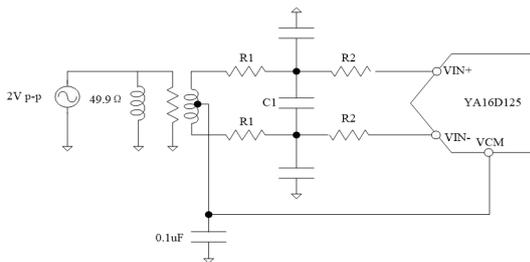


图 14 差分变压器耦合输入配置

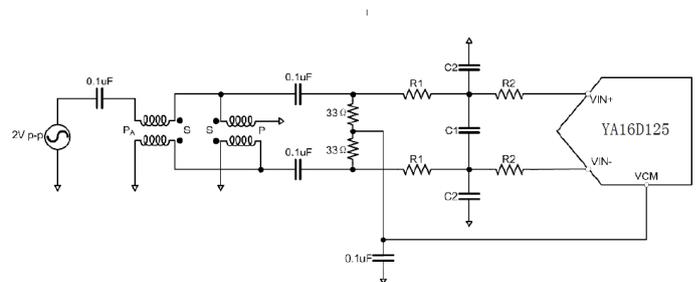


图 15 差分双巴伦耦合输入配置

表 8. RC 网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容 C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)
0 到 100	10~33	5	15	15
100 到 200	10	5	10	10

基准电压连接

YA16D125 基准电压的总共有四种外围配置模式 (见表 10)。第一种模式：SENSE 引脚接地 (图 16)，此时 VREF 为 1.0V (相当于 2.0V_{p-p} 满量程输入)。该条件下还可以通过 SPI 端口调整满量程值，如表 9 所示。第二种模式：将 SENSE 引脚与 VREF 引脚相连，见图 17。此时差分输入端满量程为 1.0V_{p-p} ，VREF (SENSE) 端的基准电压变为 0.5V 。第三种模式：芯片与一个外部电阻分压器相连如图 18，此时 $V_{REF}=0.5 \cdot (1+R_2/R_1)$ 。第四种模式：SENSE 引脚接 AVDD，见图 19。此时芯片本身不

产生有效的 VREF 电压，需要从外部接入。

无论使用以上何种模式，ADC 的电压输入范围始终是基准电压引脚(VREF)电压的两倍。

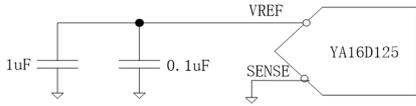


图 16 SENSE 引脚接地模式

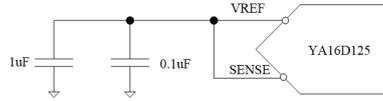


图 17 SENSE 引脚与 VREF 引脚相连模式

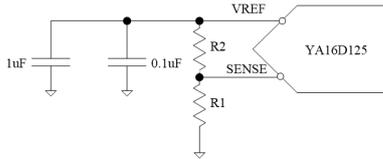


图 18 SENSE 引脚与外部电阻分压器相连模式

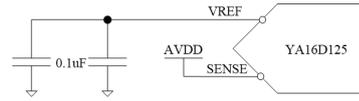


图 19 SENSE 引脚接 AVDD 模式

表 9. VREF 寄存器配置

寄存器地址	寄存器名	Bit7	Bit6	Bit5~Bit0	默认值 (16 进制)
0x18	VREF 选择	00=1.25Vp-p 01=1.5V p-p 10=1.75Vp-p 11=2V p-p (默认)		禁用	0XC0

表 10. 基准电压配置总汇

所选模式	SENSE 电压	相应的 VREF (V)	相应的差分范围(Vp-p)
外部基准电压	AVDD	N/A	2*外部基准电压
内部固定基准电压	VREF	0.5	1.0
可编程基准电压	0.2 到 VREF	$0.5 \cdot (1 + R2/R1)$	2*VREF
内部固定基准电压	AGND 到 0.2V	1.0	2.0

时钟输入

CMOS、LVDS、LVPECL 或正弦波信号均可作为 YA16D125 时钟输入信号。CLK+和 CLK-引脚有内部偏置，无需外部偏置。图 20 和图 21 显示两种为 YA16D125 提供时钟信号的首选方案(时钟速率可达 625 MHz)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。对于 625 MHz 的时钟频率，采用射频巴伦配置；对于 10 MHz 至 200 MHz 的时钟频率，采用射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到 YA16D125 中的时钟信号限制为约差分 0.8V 峰峰值。

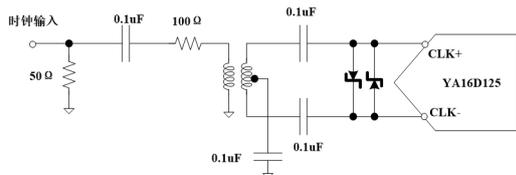


图 20 变压器配置的时钟输入

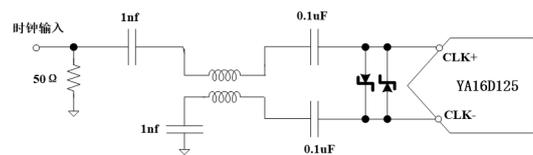


图 21 巴伦配置的时钟输入

寄存器列表:

地址	寄存器名称	Bit 7(MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0(LSB)	默认值 (16进制)	读写属性	
0x00	spi配置(全局)	0	LSB优先	禁用		1	禁用	LSB优先	0	0x18	R/W	
0x01	芯片 ID(全局)	8位芯片ID[7:0]									0x32	R
0x02	速度等级(全局)	禁用	禁用	速度等级 01=125MSPS	禁用	禁用	禁用	禁用	禁用	0x10	R	
0x05	通路选择	禁用	禁用	禁用	禁用	禁用	禁用	通道B	通道A	0x03	R/W	
0xFF	传输寄存器	禁用	禁用	禁用	禁用	禁用	禁用	禁用	1=传输开始	0x00	W	
0x08	功耗模式(局部)	1	禁用	设置芯片 PWDN引脚功能: 0=掉电 1=待机	禁用	禁用	禁用	禁用	内部设置功耗模式: 00=正常工作 01=完全掉电 10=待机 11=正常工作	0x80	R/W	
0x09	全局时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	时钟占空比 稳定使能: 1=开 0=关	0x01	R/W	
0x0B	时钟分频(全局)	禁用	禁用	禁用	禁用	禁用	禁用	时钟分频比: 000=不分频 001=2分频 010=3分频 011=4分频 100=5分频 101=6分频 110=7分频 111=8分频	0x00	R/W		
0x0D	测试模式(局部)	禁用	禁用	复位PN长序列	复位PN短序列	禁用	禁用	禁用	输出测试模式设置: 000=关 010=正向满幅信号输入 011=负向满幅信号输入 101=PN长序列 110=PN短序列 111=0/1交替信号	0x00	R/W	
0x0E	BIST使能(全局)	禁用	禁用	禁用	禁用	禁用	禁用	复位 BIST 序列	禁用	BIST使能: 1=开 0=关	0x04	R/W
0x0F	ADC输入(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	共模伺服使能	0x00	R/W
0x10	失调调整(局部)	失调校准范围+127到-128LSB (二进制补码形式)									0x00	R/W
0x14	输出模式	驱动能力(全局): 1=ANSI LVDS 0=LVDS减小摆幅	输出类型(全局): 0=CMOS 1=LVDS	CMOS输出交错(全局)	输出使能(局部): 1=开 0=关	禁用	禁用	输出反向(局部): 1=开 0=关	输出比特格式(局部): 00=二进制 01=补码 10=格雷码	0x00	R/W	
0x16	时钟相位控制(全局)	DCO输入时钟反向: 1=开 0=关	禁用	禁用	禁用	禁用	禁用	禁用	时钟分频器相位调整参数: 000=无延时 001=1时钟周期 010=2时钟周期 011=3时钟周期 . . . 111=7时钟周期	0x00	R/W	
0x17	DCO输出延时(全局)	禁用	禁用	禁用	DCO延时设置: 延时=2500ps*寄存器值/31 00000=0pS 00001=81pS 00010=161pS . . . 11111=2500pS					0x00	R/W	
0x18	VREF选择(全局)	参考电压设置 00=1.25Vpp 01=1.5Vpp 10=1.75Vpp 11=2.0Vpp		禁用	禁用	禁用	禁用	禁用	禁用	禁用	0xC0	R/W
0x24	BIST签名LSB(局部)	BIST签名[7:0]									0x00	R
0x25	BIST签名MSB(局部)	BIST签名[15:8]									0x00	R
0x30	dither使能(局部)	禁用	禁用	禁用	dither使能: 1=开 0=关	禁用	禁用	禁用	禁用	0x00	R/W	
0x100	同步控制(全局)	禁用	禁用	禁用	禁用	禁用	禁用	单次/多次同步选择: 1=单次同步 0=连续同步	时钟分频器同步使能: 1=开 0=关	同步模块使能: 1=同步开 0=同步关	0x00	R/W

注：寄存器 0x08 至 0x18 以及 0x30 寄存器是有备份的，当用户写入希望配置的值时只是写入到备份寄存器中，并不影响芯片当前的正常工作。只有用户另外配置“传输寄存器”（即向 0xFF 写入 0x01）备份寄存器的值才真正写入到各个寄存器中。

封装外形尺寸

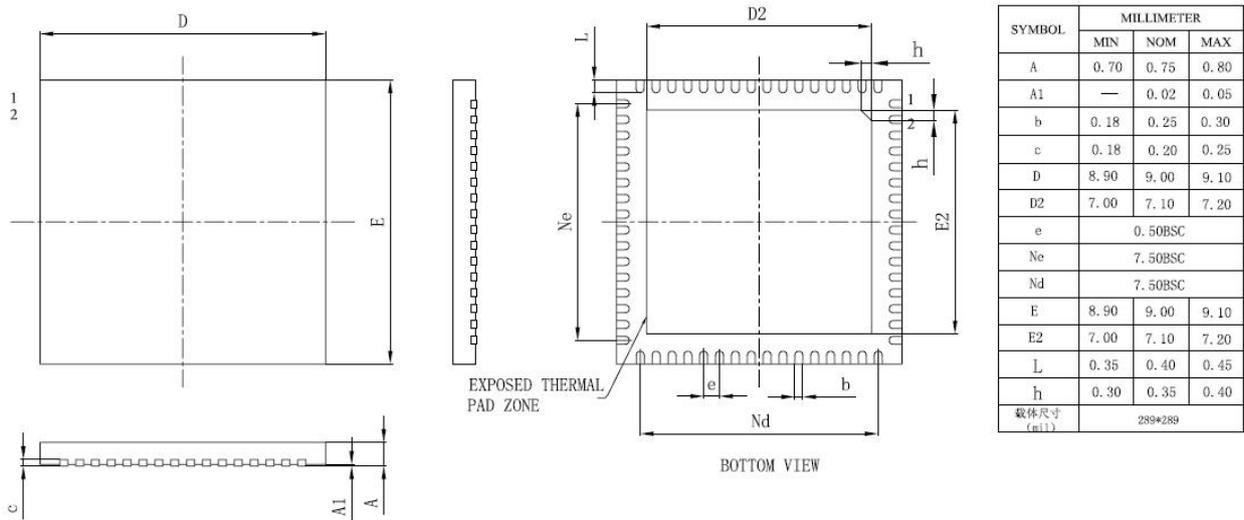


图 22 YA16D125 封装外形尺寸图 标注：以上尺寸单位为 mm