

概述

YA14D170/210/250 是一系列双通道 14 位的模数转换器 (ADC)，采样率最高可以达到 250 MSPS，旨在支持需要低成本，小尺寸，宽带宽且具多功能性的通信应用。

这款双通道 ADC 内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个 ADC 均具有宽带宽的输入，支持用户可选的各种输入范围；集成基准电压源简化了设计；占空比稳定器可用来补偿 ADC 时钟占空比的波动；使转换器具有优越的性能。

ADC 输出的数据可以直接送至 14 位并行 LVDS 输出端口，输出格式为交错式或通道复用式两种可选模式。另外，提供灵活的掉电模式选项可以明显节省功耗。YA14D250 系列 ADC 采用 64 引脚 QFN 封装，额定温度范围为 -40°C 至 +85°C 工业温度范围。

特性

信噪比(SNR): 70 dBFS(fin=185 MHz@ 250 MSPS)

无杂散动态范围(SFDR): 83 dBc (fin=185 MHz@250 MSPS)

-150 dBFS/Hz 输入噪声(185 MHz -1 dBFS A_{IN}@250 MSPS)

总功耗 : 1.10W @ 250 MSPS

1.8V 单电压供电

LVDS (ANSI-644 电平) 输出

1~8 整数输入时钟分频器(625 MHz 最高频率输入)

ADC 内部基准电压源

模拟输入范围: 1.4~2.0 V_{pp} (推荐值 1.75 V_{pp})

内置时钟占空比稳定模块

90 dB 通道间隔/串扰抑制

SPI 串行口控制

节能的掉电模式

用户可配置的内置自测(BIST)功能

应用

通信

分集接收无线电系统

3G/4G无线通信数字接收机

I/Q正交解调系统

智能天线系统

通用软件无线电

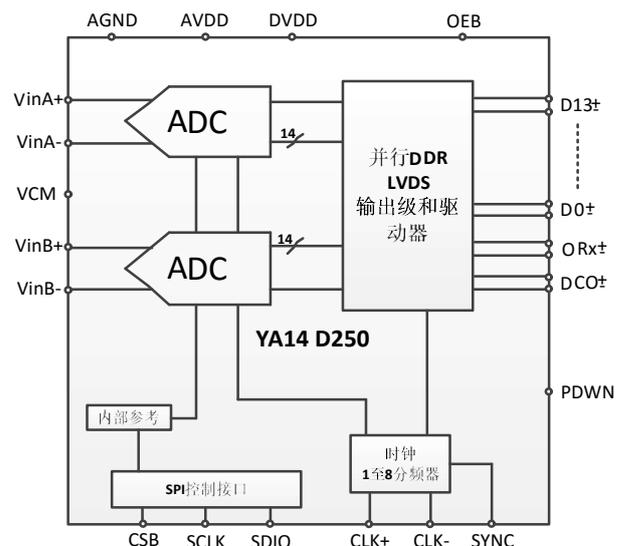
宽带数据应用

超声和核磁共振成像设备

产品聚焦

1. 集成 14 位双通道 170/210/250 MSPS ADC。
2. 快速超量程和阈值检测。
3. 差分输入在最高至 400 MHz 的输入频率下仍保持优异的信噪比(SNR)性能。
4. SYNC 输入可在多个器件之间实现同步。
5. 三线式 1.8V SPI 端口可用于寄存器编程和寄存器回读。
6. 1.8V 单电源工作

功能框图



标注：D0±至 D13±引脚表示通道 A 和通道 B 的 LVDS 输出数据。

图 1 YA14D250 ADC 芯片功能框图

技术规格

ADC 直流规格

除非特别说明，一般测试条件为 AVDD=1.8V、DRVDD=1.8V、VIN=-1.0dBFS 差分输入、1.75 Vpp 量程输入范围、DCS 开启。

表 1.

参数	温度	YA14D170			YA14D210			YA14D250			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	14			14			14			比特
精度		保证			保证			保证			
无失码	全	保证			保证			保证			
失调误差	全	±10			±10			±10			mV
增益误差	全	+2/-6			+3/-5			±4			%FSR
差分非线性(DNL)	全	±0.8			±0.8			±0.8			LSB
积分非线性(INL)	25°C	±0.3			±0.3			±0.3			LSB
	全	±2.5			±2.5			±3.5			LSB
	25°C	±1.5			±1.5			±2			LSB
匹配特性											
失调误差	全	±13			±13			±13			mV
增益误差	全	±3.5			±3.5			±3.5			%FSR
温度漂移											
失调误差	全	±5			±5			±5			ppm/°C
增益误差	全	±100			±100			±100			ppm/°C
输入端参考噪声 VREF=1.75V	25°C	1.29			1.29			1.29			LSB rms
模拟输入											
输入范围	全	1.75			1.75			1.75			Vp-p
输入电容 ²	全	2.5			2.5			2.5			pF
输入电阻 ³	全	20			20			20			kΩ
输入共模电压	全	0.9			0.9			0.9			V
电源电压											
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
功耗											
正弦波输入	全	940			1000			1100			mW
待机功耗 ⁴	全	90			90			90			mW
掉电功耗	全	10			10			10			mW

¹测量时输入一个低频满度正弦波

²输入电容是指输入端正负端子之间的电容

³输入电阻是指输入端正负端子之间的等效电阻

⁴待机功耗是指 ADC 输入为直流，时钟管脚无信号时的功耗

ADC 交流规格

除非特别说明，一般测试条件为 AVDD=1.8V、DRVDD=1.8V、VIN=-1.0dBFS 差分输入、1.75 Vpp 量程、DCS 开启。

表 2.

参数	温度	YA14D170			YA14D210			YA14D250			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)											
$f_{IN} = 30 \text{ MHz}$	25°C		71.0		71.0		71.0		71.0	dBFS	
$f_{IN} = 90 \text{ MHz}$	25°C		70.5		70.5		70.5		70.5	dBFS	
$f_{IN} = 140 \text{ MHz}$	25°C		70.3		70.3		70.3		70.3	dBFS	
$f_{IN} = 185 \text{ MHz}$	25°C		70.0		70.0		70.0		70.0	dBFS	
$f_{IN} = 220 \text{ MHz}$	25°C		69.0		69.0		69.0		69.0	dBFS	
信纳比(SINAD)											
$f_{IN} = 30 \text{ MHz}$	25°C		69.1		69.1		69.0		68.8	dBFS	
$f_{IN} = 90 \text{ MHz}$	25°C		69.0		68.8		68.6		68.2	dBFS	
$f_{IN} = 140 \text{ MHz}$	25°C		68.8		68.5		68.3		68.0	dBFS	
$f_{IN} = 185 \text{ MHz}$	25°C		68.5		68.4					dBFS	
$f_{IN} = 220 \text{ MHz}$	25°C		68.4							dBFS	
有效位数(ENOB)											
$f_{IN} = 30 \text{ MHz}$	25°C		11.2		11.2		11.2		11.1	Bits	
$f_{IN} = 90 \text{ MHz}$	25°C		11.2		11.1		11.1		11.0	Bits	
$f_{IN} = 140 \text{ MHz}$	25°C		11.1		11.0		11.0			Bits	
$f_{IN} = 185 \text{ MHz}$	25°C		11.1							Bits	
$f_{IN} = 220 \text{ MHz}$	25°C		11.1							Bits	
无杂散动态范围(SFDR)											
$f_{IN} = 30 \text{ MHz}$	25°C		90		90		90			dBc	
$f_{IN} = 90 \text{ MHz}$	25°C		87		87		87			dBc	
$f_{IN} = 140 \text{ MHz}$	25°C		85		85		85			dBc	
$f_{IN} = 185 \text{ MHz}$	25°C		83		83		83			dBc	
$f_{IN} = 220 \text{ MHz}$	25°C		83		83		83			dBc	
双音无杂散动态范围(SFDR)											
$f_{IN} = 184.12 \text{ MHz} (-7 \text{ dBFS}),$ $187.12 (-7 \text{ dBFS})$	25°C		85		85		85			dBc	
通道间串扰 (100MHz 中频输入时)	全		92		92		90			dB	
全功率带宽	25°C		600		600		600			MHz	

数字规格

除非特别说明，一般测试条件为 AVDD = 1.8V、DRVDD = 1.8V、VIN = -1.0dBFS 差分输入、1.75 Vpp 满量程。

表 3.

参数	温度	最小值	典型值	最大值	单位
差分时钟输入 (CLK+, CLK-)					
逻辑兼容	全	CMOS/LVDS/LVPECL			
内部共模偏置	全	0.9			V
差分输入电压	全	0.3		3.6	V p-p
输入电压范围	全	AGND		AVDD	V
输入共模范围	全	0.9		1.4	V
高电平输入电流	全	10		22	μA
低电平输入电流	全	-22		-10	μA
输入电容	全	4			pF
输入电阻	全	8	10	12	kΩ
同步输入					
逻辑兼容	全	CMOS/LVDS			
内部偏置	全	0.9			V
输入电压范围	全	AGND		AVDD	V
高电平输入电压	全	1.2		AVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-5		+5	μA
低电平输入电流	全	-5		+5	μA
输入电容	全	1			pF
输入电阻	全	12	16	20	kΩ
逻辑输入 (CSB) ¹					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-5		+5	μA
低电平输入电流	全	-80		+45	μA
输入电阻	全	26			kΩ
输入电容	全	2			pF
逻辑输入 (SCLK) ²					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	45		70	μA
低电平输入电流	全	-5		+5	μA
输入电阻	全	26			kΩ
输入电容	全	2			pF

参数	温度	最小值	典型值	最大值	单位
逻辑输入 (SDIO) ¹					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	45		70	μA
低电平输入电流	全	-5		+5	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
逻辑输入 (OEB、PDWN) ²					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	45		70	μA
低电平输入电流	全	-5		+5	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
数字输出					
LVDS 数据和 OR 输出					
差分输出电压(V _{OD}), ANSI 模式	全	250	350	450	mV
输出偏移电压(V _{OS}), ANSI 模式	全	1.15	1.22	1.35	V
差分输出电压(V _{OD}), 小摆幅模式	全	150	200	280	mV
输出偏移电压(V _{OS}), 小摆幅模式	全	1.15	1.22	1.35	V

¹ 上拉。

² 下拉。

开关特性

表 4：

参数	温度	YA14D170			YA14D210			YA14D250			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入											
输入时钟速率	全			625			625			625	MHz
采样率	全	40		170	40		210	40		250	MSPS
CLK 周期 – 除 1 模式	全	5.8			4.8			4			ns
时钟高脉宽 (t _{CH})											
除 1 模式, DCS 使能	全	2.7	2.9	3.2	2.16	2.4	2.7	1.8	2.0	2.2	ns
除 1 模式, DCS 关闭	全	2.8	2.9	3.1	2.3	2.4	2.6	1.9	2.0	2.1	ns
除 2 到除 8 模式	全	0.8			0.8			0.8			ns
孔径延时 (t _A)	全		1.0			1.0			1.0		ns
孔径抖动 (t _J)	全		0.11			0.11			0.12		ps rms
数据输出参数											
LVDS 模式											
数据传输延时 (t _{PD})	全		6.0			6.0			6.0		ns
DCO 传输延时 (t _{DCO})	全		6.7			6.7			6.7		ns
DCO 到数据偏差 (t _{SKEW})	全	0.4	0.7	1.0	0.4	0.7	1.0	0.4	0.7	1.0	ns
流水线时延	全		10			10			10		周期
孔径延时 (t _A)	全		1.0			1.0			1.0		ns
孔径抖动 (t _J)	全		0.1			0.1			0.1		ps rms
休眠唤醒时间	全		10			10			10		us
掉电唤醒时间	全		250			250			250		us
过载恢复时间	全		3			3			3		周期

时序特性

表 5 :

参数	条件	最小值	典型值	最大值	单位
同步时序需求					
t_{SSYNC}	SYNC 到 CLK 上升沿的建立时间	1	0.3		ns
t_{HSYNC}	SYNC 到 CLK 上升沿的保持时间	1	0.4		ns
SPI 时序需求					
t_{DS}	数据和 SCLK 上升沿之间的建立时间		2		ns
t_{DH}	数据和 SCLK 上升沿之间的保持时间		2		ns
t_{CLK}	SCLK 的周期		40		ns
t_S	CSB 和 SCLK 之间的建立时间		2		ns
t_H	CSB 和 SCLK 之间的保持时间		2		ns
t_{HIGH}	SCLK 为高逻辑状态的最小时间		10		ns
t_{LOW}	SCLK 位低逻辑状态的最小时间		10		ns
t_{EN_SDIO}	SDIO 从输入转变为输出状态时, 相对于 SCLK 下降沿时间需求		10		ns
t_{DIS_SDIO}	SDIO 从输入转变为输出状态时, 相对于 SCLK 上升沿时间需求		10		ns

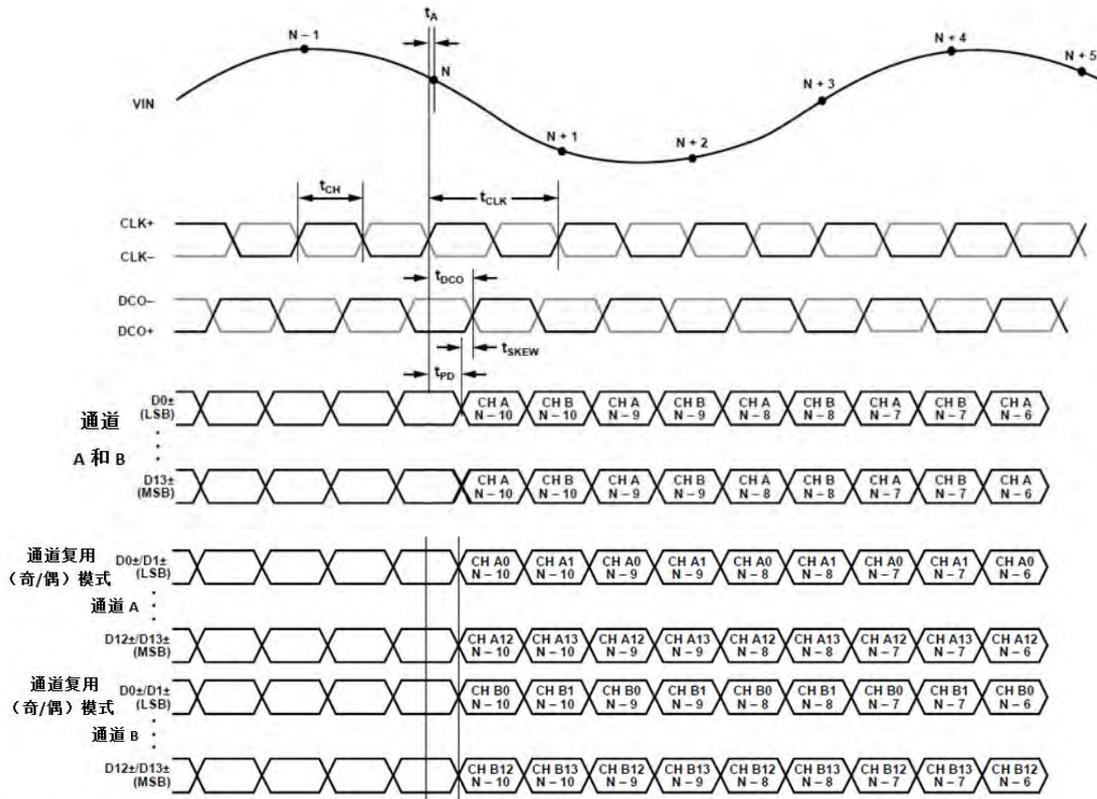


图 2 YA14D250 数据输出时序图

绝对最大值

表 6

参数	范围
电气参数	
AVDD 到 AGND	-0.3v ~ +2.0v
DRVDD 到 AGND	-0.3v ~ +2.0v
Vin±A/Vin±B 到 AGND	-0.3v ~ AVDD + 0.2v
CLK±到 AGND	-0.3v ~ AVDD + 0.2v
SYNC 到 AGND	-0.3v ~ AVDD + 0.2v
D0±到 AGND	-0.3v ~ DRVDD + 0.3v
D0±~D13±到 AGND	-0.3v ~ DRVDD + 0.3v
ORA±/ORB±到 AGND	-0.3v ~ DRVDD + 0.3v
VCM 到 AGND	-0.3v ~ AVDD + 0.2v
SCLK 到 AGND	-0.3v ~ DRVDD + 0.3v
SDIO 到 AGND	-0.3v ~ DRVDD + 0.3v
CSB 到 AGND	-0.3v ~ DRVDD + 0.3v
OEB 到 AGND	-0.3v ~ DRVDD + 0.3v
PDWN 到 AGND	-0.3v ~ DRVDD + 0.3v
环境相关参数	
工作环境温度	-40 度 ~ +85 度
带偏置下最大结温	150 度
存储温度范围	-65 度 ~ +150 度

注意：超出上述绝对最大值可能会导致器件永久性损坏。
 长期在绝对最大值条件下工作会影响器件的可靠性。

热特性

QFN 封装底部的裸露焊盘必须焊接到接地层。将裸露的焊盘焊接到 PCB 上可以提高焊接的可靠性。从而最大限度地发挥封装的热性能。

表 7 热阻

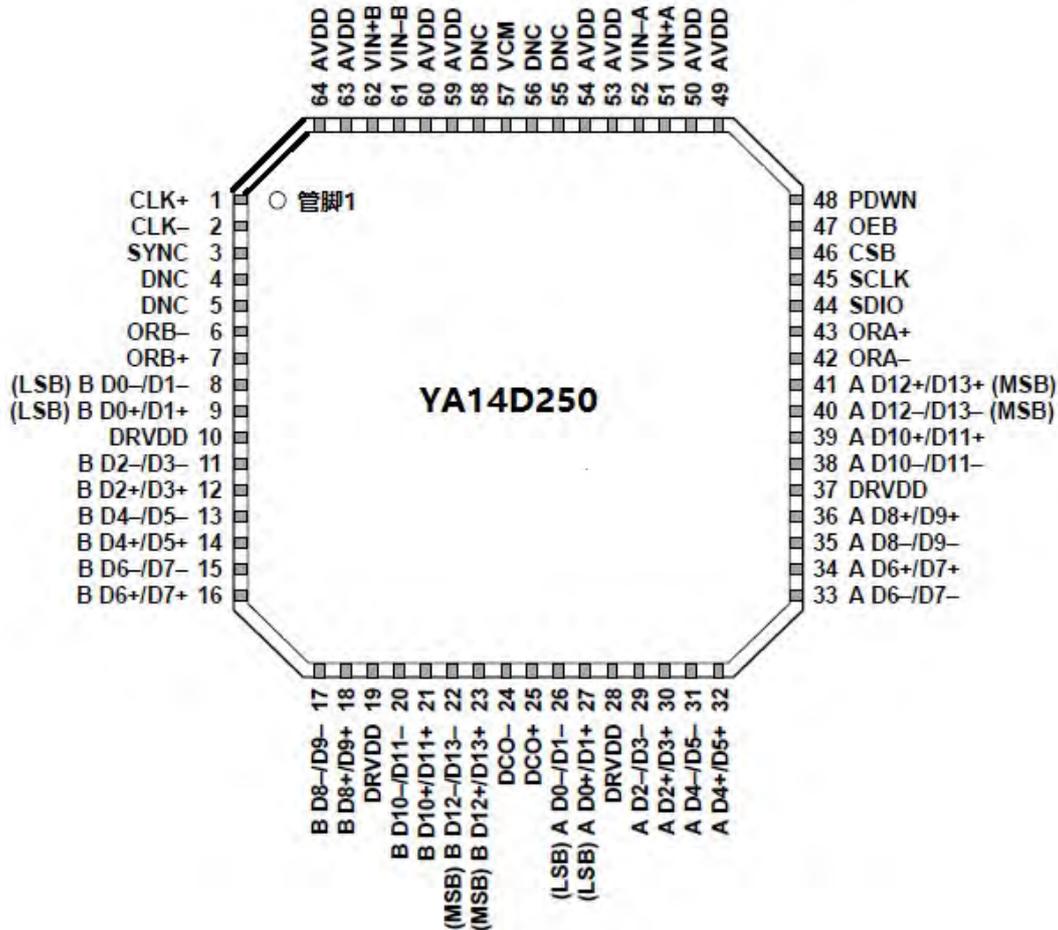
封装	气流速度 (米/秒)	Θ_{JA}	Θ_{JC}	Θ_{JB}	单位
64 引脚 QFN 9mm x 9mm	0	27.8	1.2	11.2	度/瓦
	1	22.6			度/瓦
	2	21.1			度/瓦

Θ_{JA} 典型值的测试条件为带接地层的 4 层 PCB。如上表所示，气流可有效改善散热，从而降低 Θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层等都可以降低 Θ_{JA} 。

ESD

带电器件和电路板可能会在没有觉察的情况下放电。尽管该器件具有专门的静电保护电路，但是，遇到高能的 ESD 时，器件有可能被损坏。需要采取适当的措施防护 ESD 损伤。

引脚配置和功能描述



标注：1. DNC = DO NOT CONNECT。不要连接到该引脚。

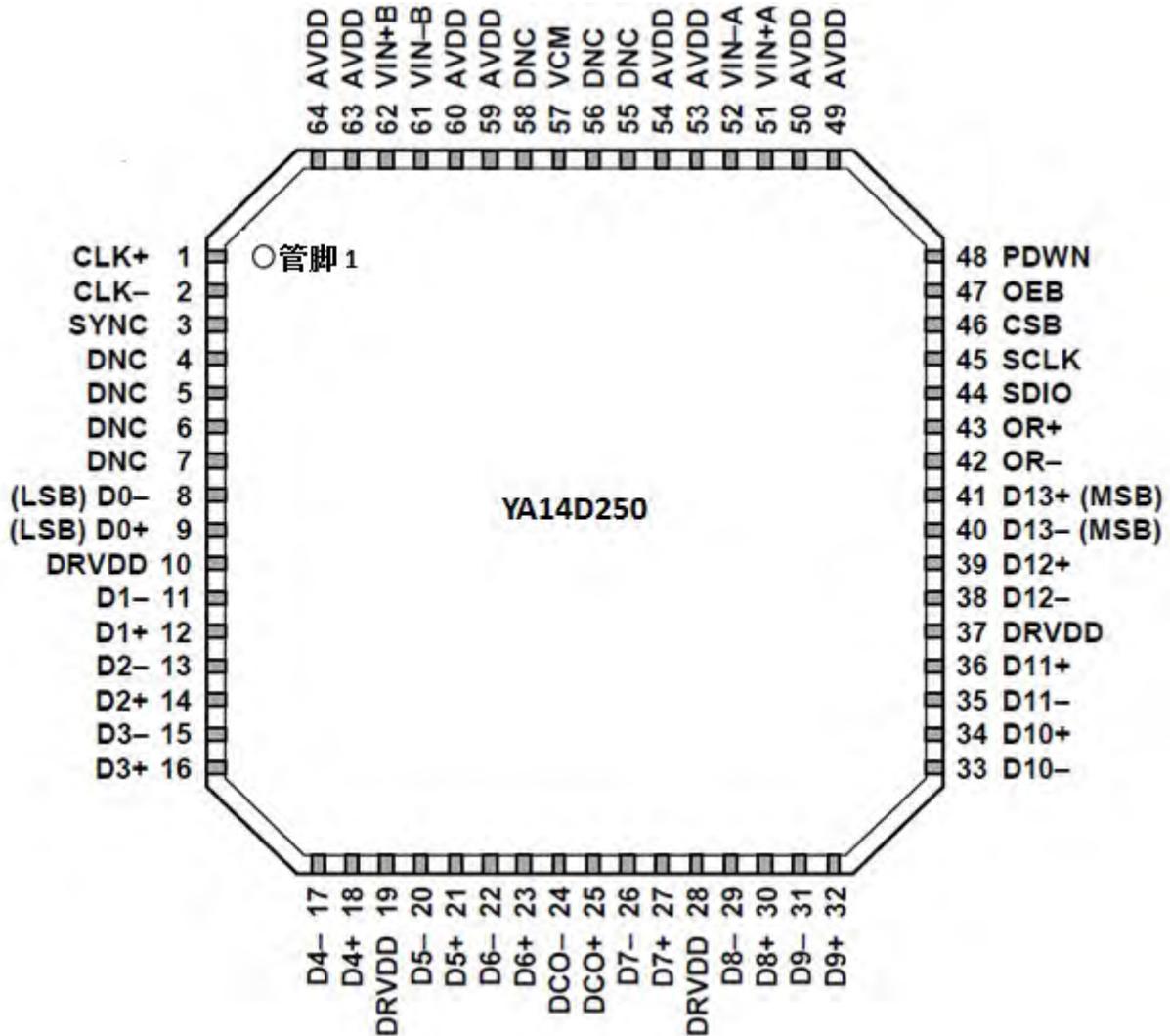
2. 封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。

图 3. QFN 通道复用（偶/奇）LVDS 模式引脚配置（顶视图）

表 8. 引脚功能描述（通道复用(偶/奇)LVDS 模式）

引脚编号	引脚名称	类型	描述
ADC 电源管脚			
10,19,28,37	DRVDD	电源	数字输出驱动器电源(标称值 1.8 V)。
49,50,53,54,59,60,63,64	AVDD	电源	模拟电源(标称值 1.8 V)。
4,5	DNC		不连接。
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须接地才能正常工作。
ADC 模拟输入/输出管脚			
1	CLK+	输入	ADC 时钟输入(+)
2	CLK-	输入	ADC 时钟输入(-)
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+)
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-)
57	VCM	输入	模拟输入的共模电平偏置输出，用一个 0.1uF 的电容与地进行去耦合。

61	VIN-B	输入	通道 B 的差分模拟输入引脚(-)。
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+)
55, 56, 58	DNC		不连接
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从模式。
6	ORB-	输出	通道 B LVDS 超量程输出(-)。在 DCO 的上升沿超量程输出的指示有效。
7	ORB+	输出	通道 B LVDS 超量程输出(+)。在 DCO 的上升沿超量程输出的指示有效。
8	B D0-/D1-(LSB)	输出	通道 B LVDS 输出数据 0(-)/数据 1(-)。
9	B D0+/D1+(LSB)	输出	通道 B LVDS 输出数据 0(+)/数据 1(+)
11	B D2-/D3-	输出	通道 B LVDS 输出数据 2(-)/数据 3(-)。
12	B D2+/D3+	输出	通道 B LVDS 输出数据 2(+)/数据 3(+)
13	B D4-/D5-	输出	通道 B LVDS 输出数据 4(-)/数据 5(-)。
14	B D4+/D5+	输出	通道 B LVDS 输出数据 4(+)/数据 5(+)
15	B D6-/D7-	输出	通道 B LVDS 输出数据 6(-)/数据 7(-)。
16	B D6+/D7+	输出	通道 B LVDS 输出数据 6(+)/数据 7(+)
17	B D8-/D9-	输出	通道 B LVDS 输出数据 8(-)/数据 9(-)。
18	B D8+/D9+	输出	通道 B LVDS 输出数据 8(+)/数据 9(+)
20	B D10-/D11-	输出	通道 B LVDS 输出数据 10(-)/数据 11(-)。
21	B D10+/D11+	输出	通道 B LVDS 输出数据 10(+)/数据 11(+)
22	B D12-/D13-(MSB)	输出	通道 B LVDS 输出数据 12(-)/数据 13(-)。
23	B D12+/D13+(MSB)	输出	通道 B LVDS 输出数据 12(+)/数据 13(+)
26	A D0-/D1-(LSB)	输出	通道 A LVDS 输出数据 0(-)/数据 1(-)。
27	A D0+/D1+(LSB)	输出	通道 A LVDS 输出数据 0(+)/数据 1(+)
29	A D2-/D3-	输出	通道 A LVDS 输出数据 2(-)/数据 3(-)。
30	A D2+/D3+	输出	通道 A LVDS 输出数据 2(+)/数据 3(+)
31	A D4-/D5-	输出	通道 A LVDS 输出数据 4(-)/数据 5(-)。
32	A D4+/D5+	输出	通道 A LVDS 输出数据 4(+)/数据 5(+)
33	A D6-/D7-	输出	通道 A LVDS 输出数据 6(-)/数据 7(-)。
34	A D6+/D7+	输出	通道 A LVDS 输出数据 6(+)/数据 7(+)
35	A D8-/D9-	输出	通道 A LVDS 输出数据 8(-)/数据 9(-)。
36	A D8+/D9+	输出	通道 A LVDS 输出数据 8(+)/数据 9(+)
38	A D10-/D11-	输出	通道 A LVDS 输出数据 10(-)/数据 11(-)。
39	A D10+/D11+	输出	通道 A LVDS 输出数据 10(+)/数据 11(+)
40	A D12-/D13-(MSB)	输出	通道 A LVDS 输出数据 12(-)/数据 13(-)。
41	A D12+/D13+(MSB)	输出	通道 A LVDS 输出数据 12(+)/数据 13(+)
42	ORA-	输出	通道 A LVDS 超量程输出(-)。在 DCO 的上升沿超量程输出的指示有效。
43	ORA+	输出	通道 A LVDS 超量程输出(+)。在 DCO 的上升沿超量程输出的指示有效。
24	DCO-	输出	通道 A/B LVDS 数据时钟输出(-)。
25	DCO+	输出	通道 A/B LVDS 数据时钟输出(+)
SPI 控制			
45	SCLK	输入	SPI 串行时钟。
44	SDIO	双向	SPI 串行数据输入/输出。
46	CSB	输入	SPI 片选(低电平有效)。
输出使能和掉电			
47	OEB	输入	输出使能输入(低电平有效)。
48	PDWN	输入	掉电输入(高电平有效)。工作取决于 SPI 的模式；此输入可以配置为掉电或待机引脚。



标注：1. DNC = DO NOT CONNECT。 不要连接到该引脚。

2. 封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。

图 4. QFN 通道并行交织 LVDS 模式引脚配置 (顶视图)

表 9. 引脚功能描述 (并行交织 LVDS 模式)

引脚编号	引脚名称	类型	描述
ADC 电源管脚			
10,19,28,37	DRVDD	电源	数字输出驱动器电源(标称值 1.8 V)。
49,50,53,54,59,60,63,64	AVDD	电源	模拟电源(标称值 1.8 V)。
4,5,6,7,55,56,58	DNC		不连接。
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须接地才能正常工作。
ADC 模拟输入/输出管脚			
1	CLK+	输入	ADC 时钟输入(+)
2	CLK-	输入	ADC 时钟输入(-)
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+)
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-)
57	VCM	输入	模拟输入的共模电平偏置输出, 用一个 0.1uF 的电容与地进行去耦合。

61	VIN-B	输入	通道 B 的差分模拟输入引脚(-)。
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+)
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从模式。
8	D0- (LSB)	输出	通道 A/B LVDS 输出数据 0(-)。
9	D0+ (LSB)	输出	通道 A/B LVDS 输出数据 0(+)
11	D1-	输出	通道 A/B LVDS 输出数据 1(-)。
12	D1+	输出	通道 A/B LVDS 输出数据 1(+)
13	D2-	输出	通道 A/B LVDS 输出数据 2(-)。
14	D2+	输出	通道 A/B LVDS 输出数据 2(+)
15	D3-	输出	通道 A/B LVDS 输出数据 3(-)。
16	D3+	输出	通道 A/B LVDS 输出数据 3(+)
17	D4-	输出	通道 A/B LVDS 输出数据 4(-)。
18	D4+	输出	通道 A/B LVDS 输出数据 4(+)
20	D5-	输出	通道 A/B LVDS 输出数据 5(-)。
21	D5+	输出	通道 A/B LVDS 输出数据 5(+)
22	D6-	输出	通道 A/B LVDS 输出数据 6(-)。
23	D6+	输出	通道 A/B LVDS 输出数据 6(+)
26	D7-	输出	通道 A/B LVDS 输出数据 7(-)。
27	D7+	输出	通道 A/B LVDS 输出数据 7(+)
29	D8-	输出	通道 A/B LVDS 输出数据 8(-)。
30	D8+	输出	通道 A/B LVDS 输出数据 8(+)
31	D9-	输出	通道 A/B LVDS 输出数据 9 (-)。
32	D9+	输出	通道 A/B LVDS 输出数据 9(+)
33	D10-	输出	通道 A/B LVDS 输出数据 10(-)。
34	D10+	输出	通道 A/B LVDS 输出数据 10(+)
35	D11-	输出	通道 A/B LVDS 输出数据 11(-)。
36	D11+	输出	通道 A/B LVDS 输出数据 11(+)
38	D12-	输出	通道 A/B LVDS 输出数据 12(-)。
39	D12+	输出	通道 A/B LVDS 输出数据 12(+)
40	D13-(MSB)	输出	通道 A/B LVDS 输出数据 13(-)。
41	D13+(MSB)	输出	通道 A/B LVDS 输出数据 13(+)
42	OR-	输出	通道 A/B LVDS 超量程输出(-)。
43	OR+	输出	通道 A LVDS 超量程输出(+)
24	DCO-	输出	通道 A/B LVDS 数据时钟输出(-)。
25	DCO+	输出	通道 A/B LVDS 数据时钟输出(+)
SPI 控制			
44	SDIO	双向	SPI 串行数据输入/输出。
45	SCLK	输入	SPI 串行时钟。
46	CSB	输入	SPI 片选(低电平有效)。
输出使能和掉电			
47	OEB	输入	输出使能 (低电平有效)。
48	PDWN	输入	掉电输入(高电平有效)。工作取决于 SPI 的模式；此输入可以配置为掉电或待机引脚。

典型性能

如无特别说明，测试条件为：AVDD=1.8V，DRVDD=1.8V，采样率 210MSPS，250MSPS，1.75Vpp 差分输入，VIN=-1dBFS，TA=25°C。

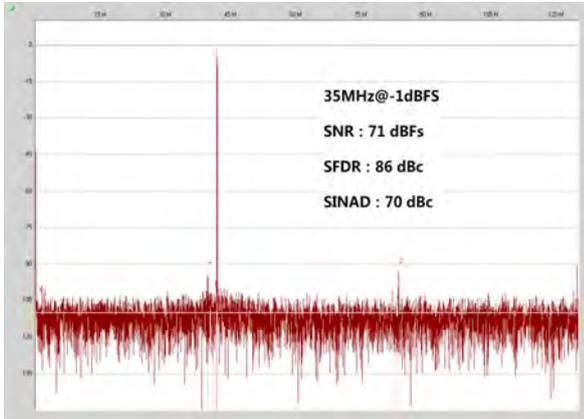


图 5 $f_s=210\text{MSPS}$ ， $f_{in}=35\text{MHz}$ 的单音 FFT

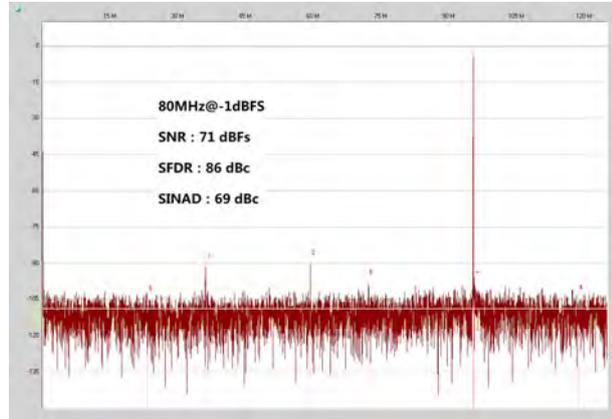


图 6 $f_s=210\text{MSPS}$ ， $f_{in}=80\text{MHz}$ 的单音 FFT

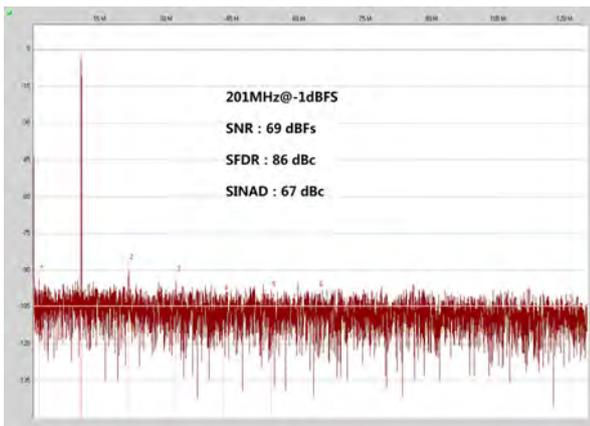


图 7 $f_s=210\text{MSPS}$ ， $f_{in}=201\text{MHz}$ 的单音 FFT

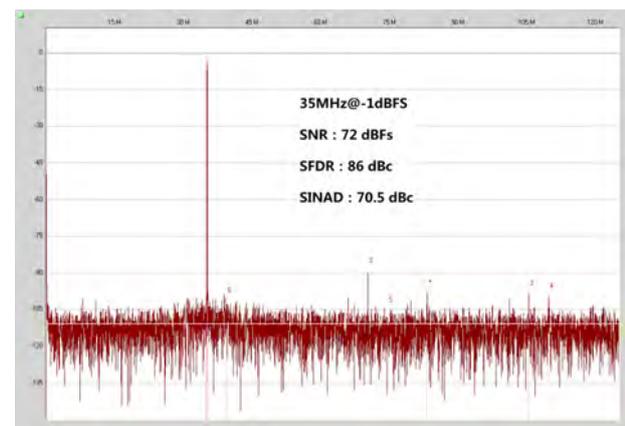


图 8 $f_s=250\text{MSPS}$ ， $f_{in}=35\text{MHz}$ 的单音 FFT

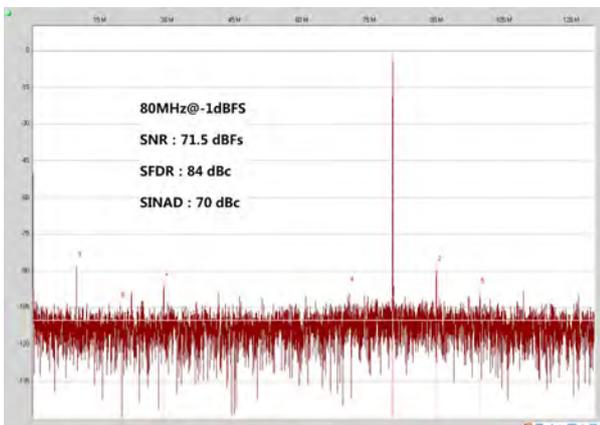


图 9 $f_s=250\text{MSPS}$ ， $f_{in}=80\text{MHz}$ 的单音 FFT

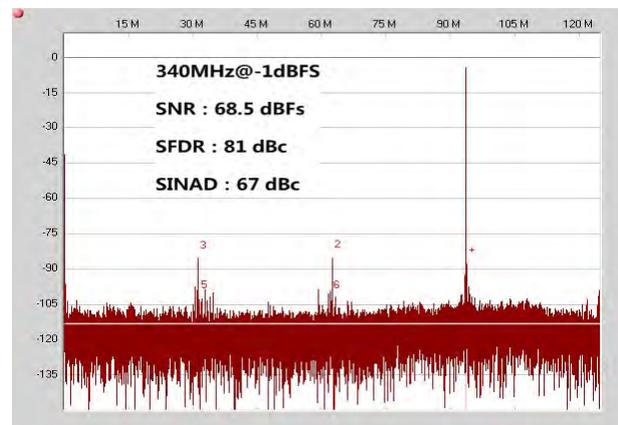


图 10 $f_s=250\text{MSPS}$ ， $f_{in}=340\text{MHz}$ 的单音 FFT

工作原理

YA14D250 提供两个模拟输入通路和两个数字输出通路，中频信号（IF）从模拟端输入，经过内部多级信号处理得到的数字信号经过输出口输出。双通道 ADC 架构可以方便用于信号的分集接收，这时，两路 ADC 同时处理完全一样的载波信号，但是这两个信号分别来自不同的天线。另外，ADC 也可以工作在两个完全不相干的模拟输入情况下。经过合适的低通或带通滤波器，在保证 ADC 性能不会明显降低的情况下，可以对直流到 300MHz 的信号进行采样。在输入模拟信号频率高于 400MHz 的时候，仍然可以实现采样，但是 ADC 的噪声和失真会明显增加。另外，YA14D250 提供同步的功能，方便多个器件之间的同步。

YA 14D250 的编程和控制是通过一个 3 线串行接口 - SPI 口来实现的。

ADC 架构

YA14D250 架构由一个双前端采样保持电路和其后的流水线型开关电容 ADC 组成。各个级的量化输出组合在一起，经过数字校正逻辑最终得到一个 14 位的转换结果经输出口输出。流水线结构的 ADC 允许第一级在处理新的样点时，后面的其它级电路继续处理之前的采样点。ADC 对信号的采样是在时钟的上升沿进行的。

除最后一级外，流水线的每一级都包含一个低分辨率的闪存型（Flash）型 ADC、一个开关电容数模转换器（DAC）和一个级间余量信号放大器（MDAC）。MDAC 用于放大重构 DAC 输出与闪存型 ADC 输入之间的差信号，以用于流水线的下一级。为了便于实现闪存误差的数字校正，每一级设定了 1 位的冗余量。最后一级仅由一个闪存型 ADC 组成。

每个通道的输入级包含一个差分采样电路，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准和错误校正，且能将数据传输到输出缓冲器。在使用中，输出缓冲器需要单独供电，以便将数字输出噪声与模拟内核进行隔离。在掉电模式下，输出缓冲器为高阻状态。

模拟输入

YA14D250 的模拟输入端是差分的开关电容电路结构，使用差分的输入信号能得到极佳的性能。在输入时钟信号的驱动下，内部的采保电路在采样模式和保持模式之间切换（见图 11）。当输入切换到采样模式时，信号源对采样电容充电，且必须在半个时钟周期内完成。

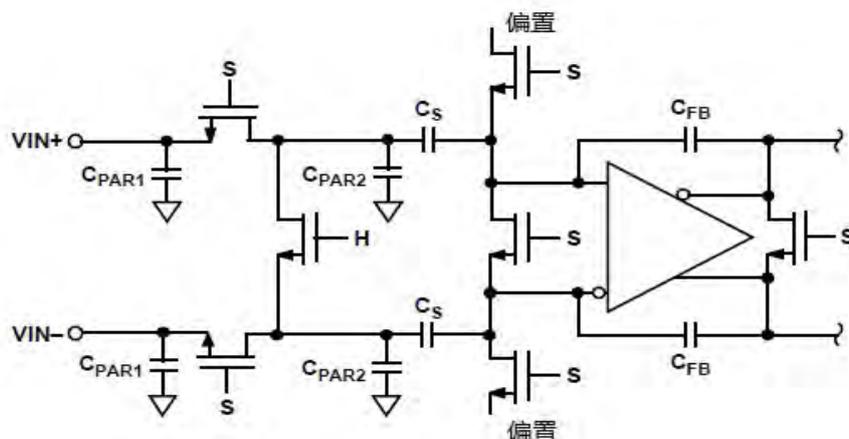


图 11 开关电容输入原理图

实际使用规程中，需要在模拟信号的差分输入端串联一个小的电阻，这样可以降低前级驱动源输出级的峰值瞬态电流。同时在模拟差分输入端之间放置一个并联电容，以提供动态充电电流。这种结构配置的输入端无源网络类似于在 ADC 的输入端加了一个低通滤波器，可以限制宽带噪声进入 ADC，从而提高 ADC 的噪声性能。对于中频欠采样，需要去掉并联电容或减小并联电容的值，因为该电容与源端阻抗共同作用，会限制 ADC 的输入带宽。

为得到最佳的动态性能，必须保证驱动 VIN+ 的源阻抗和驱动 VIN- 的源阻抗相匹配，并且尽可能保证两个输入端的幅度和相位平衡。

输入共模电压

YA14D250 的模拟输入端无内部直流偏置，在交流耦合应用场合，需要用户必须提供外部偏置。为了得到最佳的性能，推荐使用 $V_{CM} = 0.5 \times AV_{DD}$ (即 0.9v)。芯片内部集成了共模基准电压，并通过 VCM 管脚输出，典型电压值为 $0.5 \times AV_{DD}$ 。需要注意的是，在使用 VCM 共模电压的时候，需要外接一个 0.1uF 对地的去耦电容，在 PCB 设计的时候，该电容需尽可能靠近 VCM 管脚，以减少管脚与电容之间串联电阻和电感的影响。

差分输入配置

通过差分输入配置驱动 YA14D250 时，可以得到最佳的性能指标。在基带应用情况下，ADI 公司的差分放大器，如 ADA4937-2、ADA4938-2 和 ADA4930-2 能够为 ADC 提供出色的性能和灵活的接口，使用十分方便。

ADA4930-2 的输出共模电压的设置非常简单，可以直接将 ADC 的 VCM 输出通过去耦电容直接与其共模输入端连接。驱动器可以直接配置成 Sallen-Key 滤波器拓扑电路结构，从而对输入信号进行带宽限制（参考图 12）。

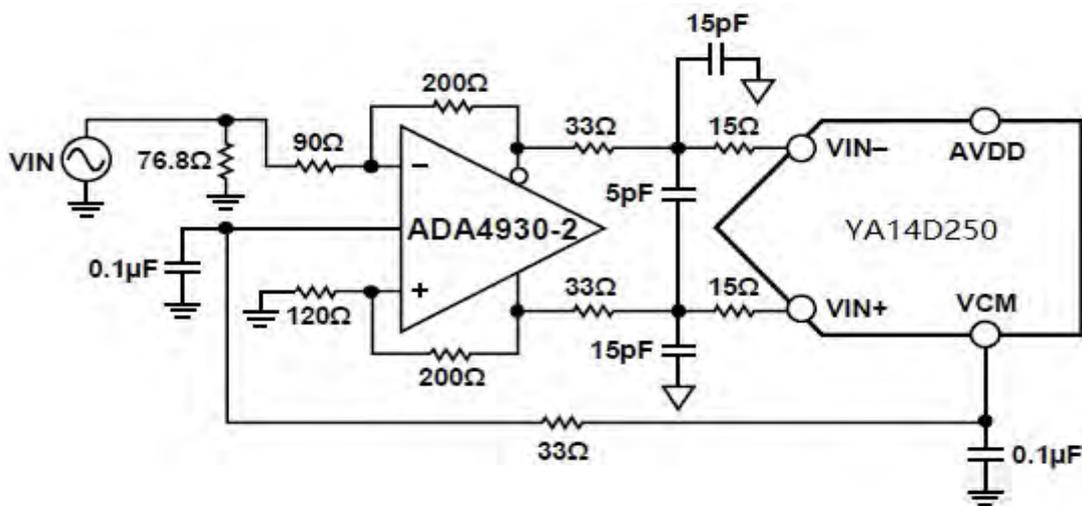


图 12 使用差分放大器 ADA4930-2 驱动 YA14D250

另外对于那些很关注 SNR 指标的基带应用，我们推荐采用差分变压器耦合的方式，如图 13 所示。为实现模拟输入偏置，须将 VCM 的输出连接到变压器次级线圈的中心抽头处。在选择变压器的时候，需要仔细考虑它对信号的响应特性，许多 RF 变压器在频率低于几兆赫时就出现饱和。另外，信号功率过大也会导致磁芯饱和，从而引起失真。

当输入信号位于第二或更高奈奎斯特区的时候，大多数的差分放大器的噪声性能无法满足要求达到 YA14D250 的信噪比 (SNR) 的要求。在 SNR 为关键参数的应用中，建议采用双巴伦差分耦合的输入方式 (见图 14 所示)。在这种配置中，输入采用交流耦合的方式，CML 通过一个 33 欧姆的电阻提供给各输入。这些电阻补偿输入巴伦的损耗，并参与匹配到 50 欧姆的输入阻抗。

在双巴伦和变压器的配置中，输入电容和电阻的值取决于输入频率和源端阻抗。根据不同的参数，输入电阻和电容的值需要做相应的调整或有部分元件需要去掉。表 10 列出了在不同模拟输入频率范围内 RC 网络的推荐值。不过这些值最终取决

于输入的信号频率和带宽，也只能作为参考。其中，表中 R1、R2、C2 和 R3 为图 13 和图 14 中的对应元件。

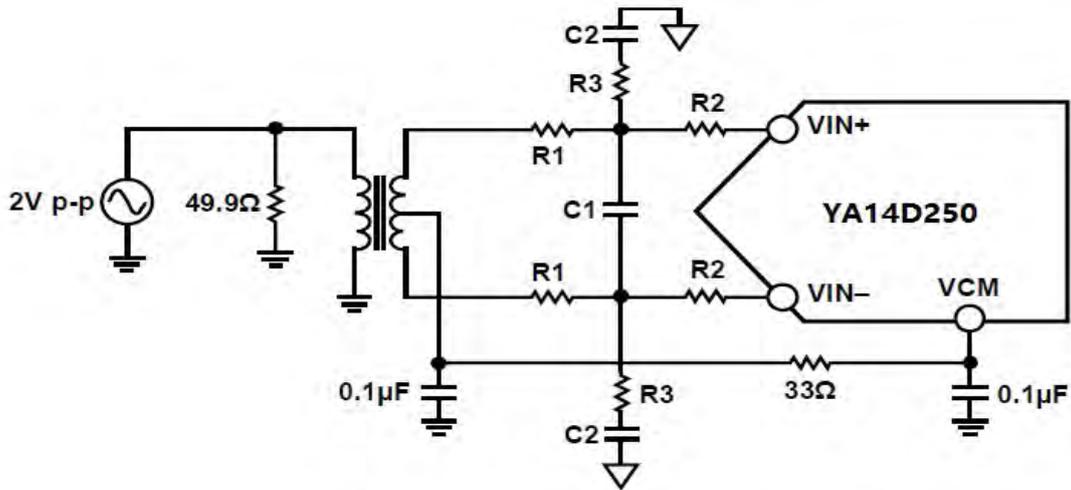


图 13 差分变压器耦合输入配置

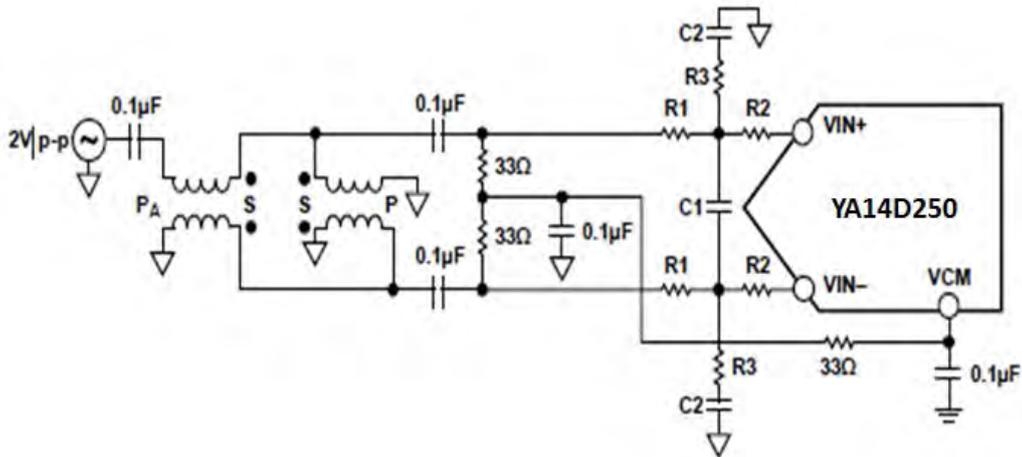


图 14 双巴伦差分耦合输入配置

表 10. RC 网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容 C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)	串联电阻 R3 (Ω)
0 ~ 100	15	8.2	15	15	49.9
100 ~ 300	0	3.9	15	去除	去除

采样信号频率位于第二奈奎斯特区域内时，除了使用变压器耦合输入外，还可以采用高性能的差分驱动器来实现。比如 ADI 公司的 AD8375 和 AD8376 都是不错的选择。有关详细的驱动电路，请参考 AD8375 或 AD8376 的数据手册，这里就不介绍了。

基准参考源

YA14D250 内部集成了稳定、精确的基准电压参考源。通过 SPI 口可以改变内部基准电压的高低来调节 ADC 的满量程输入信号幅度范围。YA14D250 的满量程输入范围跟随基准源电压呈线性变化。

时钟输入

为了得到最佳的性能指标，YA14D250 的时钟输入 CLK+/CLK- 需要采用差分的输入信号。通常情况下，需要使用变压器或电容将时钟信号交流耦合到时钟输入管脚内。CLK+/- 管脚有内部偏置，不需要外部偏置。如果采样单端输入方式，需要将 CLK- 管脚拉低以防止外部杂散影响时钟性能。

时钟输入选项

CMOS、LVDS、LVPECL 或正弦波信号均可作为 YA14D250 时钟输入信号。CLK+ 和 CLK- 引脚有内部偏置，无需外部偏置。由于时钟信号的质量会直接影响到 ADC 的 SNR 和 SFDR 性能，时钟的抖动和杂散是两重要的考虑指标。有关时钟抖动对 ADC 输出 SNR 指标的影响，请参考相关文档。

图 15 和图 16 显示两种为 YA14D250 提供时钟信号的首选方案(时钟速率可达 625 MHz)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。对于 625 MHz 的时钟频率，采用射频巴伦配置；对于 10 MHz 至 200 MHz 的时钟频率，采用射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到 YA14D250 中的时钟信号限制为约差分 0.8V 峰峰值。这样，既可以防止时钟的大电压摆幅馈通至 YA14D250 的其它部分，还可以保留信号的快速上升和下降时间，这对保证时钟的低抖动性能来说非常重要。

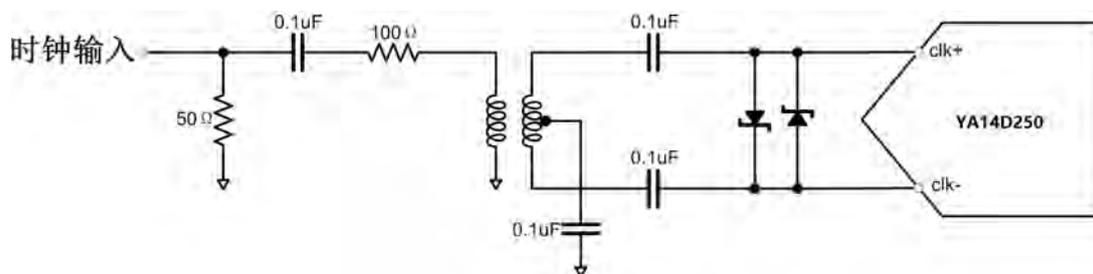


图 15 变压器配置的时钟输入

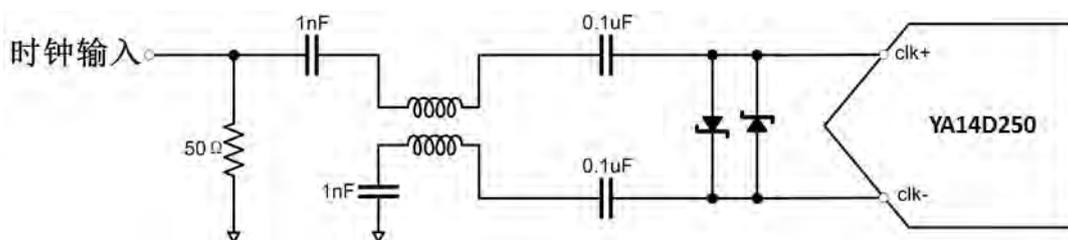


图 16 巴伦配置的时钟输入

除了上述时钟耦合方式外，还可以利用专门的时钟发生器来产生 YA14D250 的低抖动时钟。目前业内很多半导体厂商都通过这样的产品，驱动器输出可以直接用于 ADC 的采样时钟。比如 ADI、TI、PMC 和 Silicon Lab 等。用户可以在其网站

上找到相关产品、手册和应用文档，如 ADI 的 AD95xx 系列产品，TI 公司的 LMK04xxx 系列，Silicon Lab 的 SI5xxx 系列产品。图 17 给出了使用时钟专用器件来驱动 YD14D250 的基本电路拓扑，供参考。

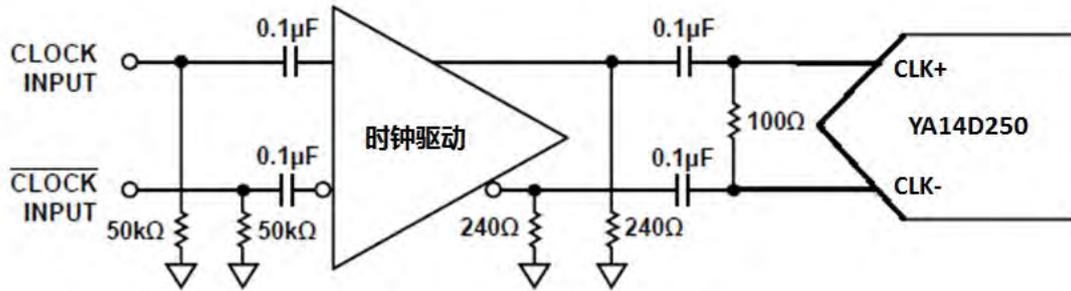


图 17 采用时钟驱动器为 YA14D250 提供时钟

输入时钟分频器

YA14D250 内置一个输入时钟分频器，可以对输入时钟进行 1~8 整数倍分频。上电时，占空比稳定器是默认使能的。利用外部同步信号 (SYNC) 可以同步 YA14D250 的时钟分频器。通过配置寄存器 0x3A 的位 1 和位 2，设置每次收到 SYNC 信号或仅在第一次收到 SYNC 信号后，对时钟分频器进行同步。有效的 SYNC 信号可使分频器复位至初始状态，该同步特性可以是多个器件的时钟分频器对准，从而保证对输入信号同时进行采样。

时钟的占空比

典型的高速 ADC 均利用时钟的两个沿来产生各种内部的定时信号，因此对时钟的占空比非常敏感。为保证得到高性能的输出，对 ADC 时钟的占空比的容差都有严格的要求，通常情况下需要保证 +/-5% 的容差范围。

YA14D250 内部集成了占空比稳定器 (DCS)，可对非采样沿 (下降沿) 进行重新定时，并提供标称占空比为 50% 的内部时钟信号。这样，用户可以提供的时钟输入占空比范围就很广，且不会对 ADC 的性能产生影响。

另外，上升沿的抖动是很重要的指标，目前没有什么办法采用内部电路来稳定或降低外部时钟上升沿的这种抖动，DCS 也不能改善抖动性能。当时钟频率比较低的时候，YA14D250 内部的 DCS 控制回路是不工作的，对于这种低采样应用，需要将 DCS 功能通过 SPI 关闭。但是，需要保证外供时钟满足器件规格的要求才能得到最佳的性能。

时钟抖动

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。时钟抖动指标直接影响到 ADC 的信噪比 (SNR)，随着采样信号频率的提高，时钟抖动对 ADC 信噪比恶化越大。有关时钟抖动对 ADC 信噪比的影响，请参考相关 ADC 的应用文档，这里就不详细讨论了。

功耗和待机模式

YA14D250 的功耗随着采样速率而变化，如图 18 给出了在不同采样时钟下，IAVDD 和 IDRVDD 的曲线。

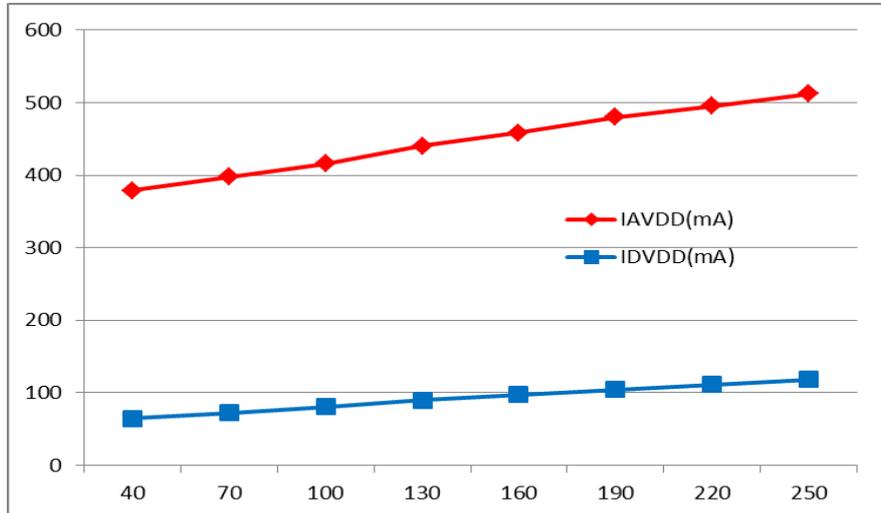


图 18 YA14D250 的电流与时钟频率的关系

另外，可以将 PWDN 管脚置成高电平或通过 SPI 使能低功耗模式均可以使 YA14D250 切换到待机模式。在待机模式下，ADC 的典型功耗为 10mW 左右，输出驱动器呈高阻状态，内部的参考电压源、参考源缓冲器、偏置网络和时钟模块均关闭，需要一定的时间周期来唤醒。

数字输出

YA14D250 的输出驱动器两种方式：标准的 LVDS 模式和小输出摆幅 LVDS 模式。输出数据的格式为二进制偏移码、二进制补码或格雷码，可以通过 SPI 来选择输出数据格式。

YA14D250 的数字输出具有非常灵活的三态能力，可以通过输出使能管脚（OEB）或 SPI 来使能三态模式。如果 OEB 管脚为低电平，输出数据驱动器工作；如果 OEB 管脚为高电平，输出数据驱动器置于高阻状态。OEB 的控制逻辑电平需要跟 DRVDD 保持一致，不能高于该供电电压。使用 SPI 可以独立控制两个通道的输出使能，相应的可在位为 0x14 寄存器的位 4。由于输出数据采样交织的方式，在只有一个通道关闭的情况下，另一个通道的数据仍然可以输出，并在输出时钟的上升沿河下将沿重复出现。

时序

YA14D250 提供流水线延迟为 10 个时钟周期的采样数据。在经过时钟信号上升沿后的一个传播延迟时间后，得到输出数据。为了降低 ADC 内部的瞬态响应，应尽可能地缩短输出数据线的长度并减轻输出负载。因为这些瞬态响应会影响到转换器的动态性能指标。另外，YA14D250 的最低采样时钟为 40MSPS，低于该采样速度的工作条件下，会降低 ADC 的动态性能指标。

数据输出时钟（DCO）

YA14D250 同时通过数据时钟输出（DCO）信号，用于外部器件数据采集。方便的数字处理器或 FPGA 可用该时钟对 ADC 的输出信号镜像采集。

ADC 过载指示信号（OR）

当 YA14D250 的输入模拟信号超过满量程电平的时候，过载指示（OR）输出变为高电平。由于过载条件是需要经过流水线进程来判断的，所以从模拟信号过载输入到过载指示为高电平之间会有 10 个时钟周期的延时。

同步功能

YA14D250 提供一个同步输入管脚，用户可以方便灵活地实现内部各个模块的同步。另外，同步功能也非常方便实现多个器件之间的同步。内部时钟的分频器可以通过使用 SYNC 来实现同步。可以通过设置寄存器 0x3A 的相应控制位来实现时钟分频器的不同同步方式，是单次 SYNC 沿同步方式还是每次 SYNC 沿同步方式。在多片 ADC 之间实现同步的时候，需要注意在 PCB 设计及布线是需要确保多片 SYNC 信号不能出现时序的不确定性，因为在 ADC 内部，是需要通过采样时钟来同步 SYNC 输入信号的。如果在不同器件的输入端 SYNC 信号都出现了不确定性，那么就很难实现多器件的同步。

SPI 接口

YA14D250 串行接口 (SPI) 允许用户利用 ADC 内部的寄存器来配置其具体的工作模式。SPI 接口包括三个硬件管脚：串行时钟 (SCLK)、串行数据输入输出 (SDIO) 和片选 (CSB)。对这三个管脚的详细功能请参考表 11。

表 11 串行控制接口 (SPI) 管脚

管脚	功能
CSB	片选信号。低电平有效控制信号，用来选通读写周期。
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能管脚，通常用作输入或输出，取决于发送的指令和时序帧中的相对应操作指令。

CSB 的下降沿与 SCLK 的上升沿共同决定帧的开始。在 SPI 的整个操作期间，需要将 CSB 一直保持低电平。当 CSB 为高电平时，SPI 功能处于高阻状态。每一个 SPI 指令周期内，先传输 16 位的指令字，然后传输数据，数据的长度由指令字中的 W1 和 W0 位来决定。除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会是串行数据输入/输出 (SDIO) 管脚的传输方向，在串行帧的一定位置有输入变为输出。

所有数据均为 8 位字组成。数据可通过高位优先 (MSB) 模式或低位优先 (LSB) 模式进行发送。芯片上电后，默认采用的是高位优先 (MSB) 的模式，可以通过 SPI 端口配置寄存器来更改数据发送方式。有关 SPI 的接口时序关系，请参考图 19。

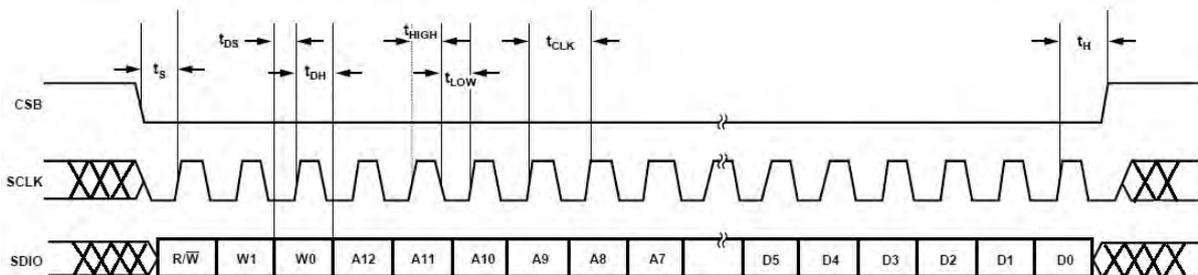


图 19 SPI 的接口时序

硬件接口

表 11 中所描述的管脚包括用户的控制器件 (MCU、FPGA、ASIC 或处理器等) 与 YA14D250 的串行端口之间的物理接口。SCLK 和 CSB 管脚为输入口，SDIO 为双向口，在写操作的时候为输入口，读操作的时候为输出口。

为了得到更好的 ADC 动态性能指标，在完成配置后，应当禁止 SPI 口。由于 SCLK、CSB 和 SDIO 通常情况下与 ADC 的采样时钟是异步的，这些信号线上的噪声会在不同程度上影响 ADC 的性能。如果与单板上其它器件共用 SPI 总线，应尽可能将 YA14D250 的 SPI 总线经过缓冲器隔离。

SPI 访问特性

为了方便用户了解 SPI 的基本功能和在使用中通常的需要的一些功能设置，表 12 列出了使用 SPI 需要对 YA14D250 进行设置的主要功能。

表 12 可通过 SPI 访问的特性

功能特性	说明
模式	允许用户设置掉电模式或待机模式
时钟	允许用户访问 DCS，设置时钟分频器，设置时钟分频器相位，以及使能同步
失调	允许用户以数字方式调整转换器失调
输出模式	允许用户设置输出数据格式等
输出相位	允许用户设置输出时钟的极性
输出延时	允许用户改变 DCO 的延时
VREF	允许用户设置基准电压电平

寄存器映像

YA14D250 的内部寄存器地址以及各位说明如表 13 所示。

表 13 寄存器映像表

地址 (HEX)	名字	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	说明	
芯片配置寄存器												
0x00	SPI 口配置寄存器(全局)	0	LSB 优先	软复位	1	1	软复位	LSB 优先	0	0x18	半字节之间是镜像关系,使得无论在何种移位模式下,LSB 优先或 MSB 优先模式寄存器均能正确记录数据	
0x01	芯片识别号(全局)	8 位芯片识别号								0x82	只读	
0x02	速度等级(全局)	禁用	禁用	速度等级识别号: 00 = 250MSPS 01 = 210MSPS 11 = 170MSPS		禁用	禁用	禁用	禁用		只读	
通道指示和传输寄存器												
0x05	通道指示(全局)	禁用	禁用	禁用	禁用	禁用	禁用	ADC B	ADC A	0x03	设置这些位以决定片内哪个通道接收 SPI 来的命令;仅用于局部寄存器	
0xFF	传送寄存器(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传送	0x00	从主移位寄存器向从移位寄存器同步传输数据	
ADC 功能寄存器												
0x08	功耗模式(局部)	禁用	禁用	外部掉电管脚功能 0 = 掉电 1 = 待机	禁用	禁用	禁用	内部掉电模式 00 = 正常工作 01 = 完全掉电 10 = 待机模式 11 = 保留		0x00	决定芯片的不同模式	
0x09	全局时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定器	0x01	占空比调整功能(DCS)
0x0B	时钟分频(全局)	禁用	禁用	输出时钟分频器相位调整 000 = 无延迟 001 = 1 个时钟周期延时 010 = 2 个时钟周期延时 011 = 3 个时钟周期延时 100 = 4 个时钟周期延时 101 = 5 个时钟周期延时 110 = 6 个时钟周期延时 111 = 7 个时钟周期延时			时钟分频比 000 = 1 分频 001 = 2 分频 010 = 3 分频 011 = 4 分频 100 = 5 分频 101 = 6 分频 110 = 7 分频 111 = 8 分频		0x00	000 以外的时钟分频值时,占空比稳定器会自动打开		
0x0D	测试模式(局部)	测试模式控制 0=重复 1=单次	禁用	复位长 PN 序列发生器	复位短 PN 序列发生器	输出测试模式 0000 = 关闭测试模式(默认值) 0001 = 中间电平模式 0010 = 正满电平模式 0011 = 负满电平模式 0100 = 交替模式 0101 = PN 长序列模式 0110 = PN 短序列模式 0111 = 1/0 字反转模式 1000 = 用户测试模式 1001~1110 = 没定义 1111 = 信号爬坡模式			0x00	设置该寄存器后,测试数据将取代正常数据输出到 ADC 的数据输出口		
0x10	偏置调整(局部)	禁用	禁用	偏置调整值(从+31 到-32),二进制补码格式							0x00	
0x14	输出模式	禁用	禁用	禁用	输出使能(局部)	禁用	输出反转 0 = 正常 输出(默认) 1 = 反转	输出格式 00 = 偏移二进制 01 = 二进制补码(缺省) 10 = 格雷码 11 = 保留		0x05	用于配置 ADC 的输出和输出数据格式	
0x15	输出调整(全局)	禁用	禁用	禁用	禁用	LVDS 输出驱动电流调整 0000 = 3.72mA 输出驱动电流 0001 = 3.5mA 输出驱动电流(缺省值) 0010 = 3.30 mA 输出驱动电流 0011 = 2.96 mA 输出驱动电流 0100 = 2.82 mA 输出驱动电流 0101 = 2.57 mA 输出驱动电流 0110 = 2.27 mA 输出驱动电流 0111 = 2.0 mA 输出驱动电流 1000~1111 = 保留			0x01			
0x16	时钟相位控制(全局)	DCO 反向	禁用	奇偶模式使能 0 = 关闭	禁用	禁用	禁用	禁用	禁用	0x00		

0x17	DCO 输出延迟 (全局)	DCO 输出延迟使能	禁用	禁用	禁用	DCO 时钟延迟 [延时 = (3100ps x 寄存器值/31 + 100)] 00000 = 100 ps 00001 = 200 ps 00010 = 300 ps 11110 = 3100 ps 11111 = 3200 ps	0x00	
0x18	输入范围选择 (全局)	禁用	禁用	禁用	禁用	满幅度输入电压范围 01111 = 2.087Vp-p 00001 = 1.772Vp-p 00000 = 1.75Vp-p(默认值) 11111 = 1.727Vp-p 10000 = 1.383Vp-p	0x00	满幅度输入范围调整的步长为 0.022v
0x19	用户测试模式 1, LSB(全局)					用户测试模式 1 [7:0]	0x00	
0x1A	用户测试模式 1, MSB(全局)					用户测试模式 1 [15:8]	0x00	
0x1B	用户测试模式 2, LSB(全局)					用户测试模式 2 [7:0]	0x00	
0x1C	用户测试模式 2, MSB(全局)					用户测试模式 2 [15:8]	0x00	
0x1D	用户测试模式 3, LSB(全局)					用户测试模式 3 [7:0]	0x00	
0x1E	用户测试模式 3, MSB(全局)					用户测试模式 3 [15:8]	0x00	
0x1F	用户测试模式 4, LSB(全局)					用户测试模式 4 [7:0]	0x00	
0x20	用户测试模式 4, MSB(全局)					用户测试模式 4 [15:8]	0x00	
0x3A	同步控制(全局)							

封装信息

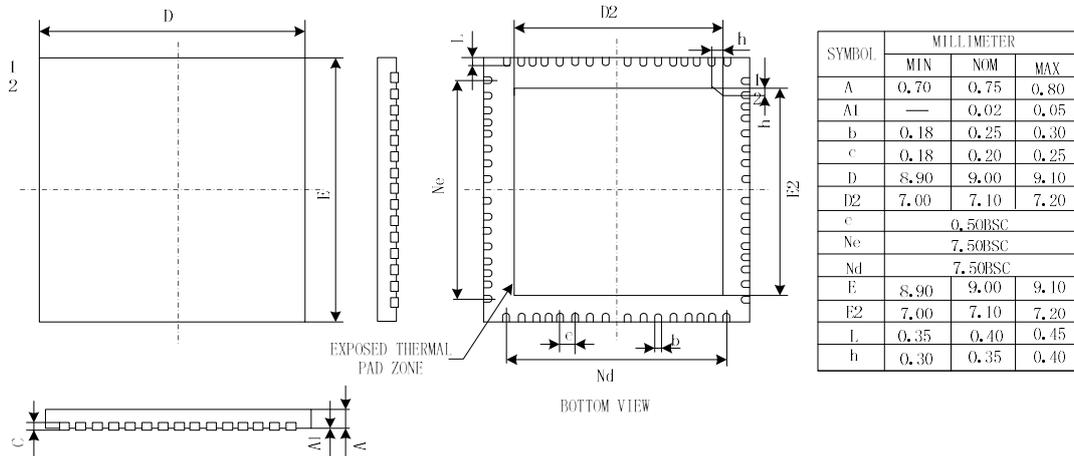


图 13 YA14D170/210/250 封装形式与尺寸 (单位: 毫米), 9mm x 9mm