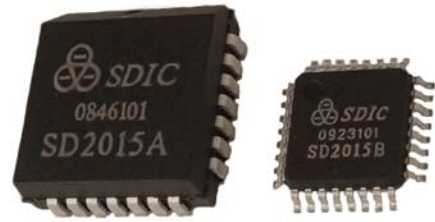


1.0 特点

- 符合 HART 通信协议物理层要求
- 可与 HT2015、A5191HRT 完全兼容
- 功耗低
- 误码率典型值小于百万分之一
- 工作电压 3.0V~5.5V
- 单芯片、半双工 1200b/s 的 FSK 调制解调器
- 符合 Bell202 标准, 载波为 1200Hz 和 2200Hz
- 内部集成接收滤波器, 以及输出 HART 波形整形电路
- 可外接 460.8kHz 晶体或陶瓷谐振器或使用外部时钟源
- 工业级工作温度: -40°C~+85°C
- 28 脚 PLCC 和 32 脚 LQFP 封装
- 满足 RoHS 环保要求

2.0 描述

SD2015 是专为实现 HART 协议而设计的 CMOS 单芯片调制解调器, 用于支持 HART 协议的现场仪表和控制器中。芯片只需外加少量无源元件, 即可满足 HART 物理层规范功能要求, 包括调制与解调, 输入信号滤波, 载波检测和发送信号波形整形等。详细资料请看管脚描述与功能描述。



SD2015 使用相位连续的频移键控 FSK 技术, 传输速率为 1200 位/秒, 采用半双工通信, 符合 HART 协议物理层要求。芯片的典型电流值在 5V 电压时 250 μ A, 3.3V 时 150 μ A, 低于现有的其他 HART 芯片。误码率典型值小于百万分之一, 是 HART 协议要求的百分之一。SD2015A (28 脚 PLCC) 与 SD2015B (32 脚 LQFP) 都满足 RoHS 环保标准。该芯片管脚与 HT2015 或 A5191HRT 完全兼容, 可直接替代上述两种产品, 而无需修改外围电路, 也无需改动 PCB 板。当替代 A5191HRT 时无需修改任何参数, 替代 HT2015 时只需修改一个电阻值 (图 8 的 R6)。

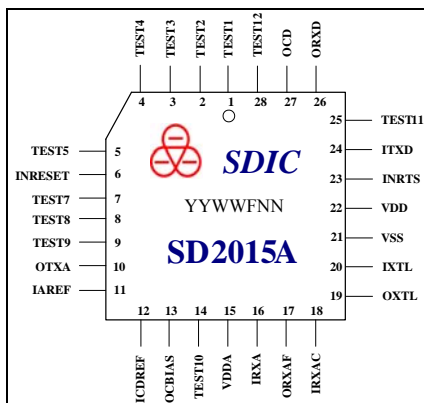


图 1. 28 脚 PLCC 外部引脚图

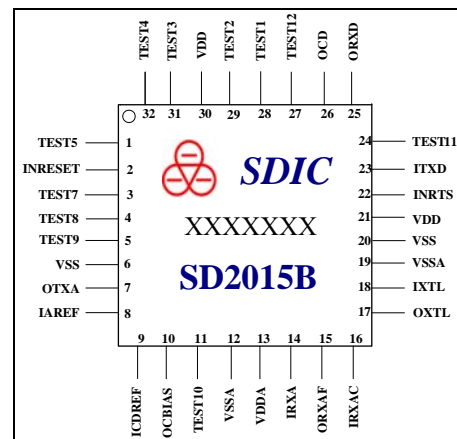


图 2. 32 脚 LQFP 外部引脚图

3.0 订购信息

SD2015 有两种封装形式，分别是 28 脚 PLCC 与 32 脚 LQFP 封装，请根据表 1 进行订购。

表 1. 订购信息

封装形式:	订货名称:
28 脚 PLCC	SD2015A
32 脚 LQFP	SD2015B

4.0 管脚描述

表 2. 端口描述

管脚名称	属性	PLCC	LQFP	管脚描述
TEST1	-	1	28	悬空或连接到VSS*
TEST2	-	2	29	悬空
TEST3	-	3	31	悬空
TEST4	-	4	32	悬空
TEST5	-	5	1	悬空或连接到VSS
INRESET	输入	6	2	低电平有效，复位所有数字逻辑
TEST7	输入	7	3	连接到VSS
TEST8	输入	8	4	连接到VSS
TEST9	输入	9	5	连接到VSS
OTXA	输出	10	7	模拟输出脚，发送符合 HART 规范的 FSK 调制信号，信号发送到 4-20 毫安电流环回路接口
IAREF	输入	11	8	模拟参考电压
ICDREF	输入	12	9	载波检测参考电压
OCBIAS	输出	13	10	输出脚，设置偏置电流
TEST10	-	14	11	悬空或连接到VSS
VDDA	电源	15	13	模拟电源
IRXA	输入	16	14	模拟输入脚，接收符合HART规范的FSK调制信号，信号来自4-20毫安电流环回路端口
ORXAF	输出	17	15	模拟端口，接收滤波器输出
IRXAC	输入	18	16	模拟端口，接收比较器输入
OXTL	输出	19	17	晶体振荡器输出
IXTL	输入	20	18	晶体振荡器输入
VSS	接地	21	6, 20	地
VDD	电源	22	21, 30	数字电源
INRTS	输入	23	22	发送请求，低电平有效
ITXD	输入	24	23	输入来自UART的待发送数据串，经OTXA调制发送
TEST11	-	25	24	悬空
ORXD	输出	26	25	接收解调后的HART数据，送到UART口
OCD	输出	27	26	载波检测输出，IRXA有效时高电平
TEST12	-	28	27	悬空
VSSA	接地	-	12, 19	模拟地

*IC内部无连接，为兼容以前HT2015和A5191HRT可连接到VSS。

IAREF: 模拟参考电压

设置电路内部放大器和比较器的静态直流工作点，根据表4选择适当的电压值。

ICDREF: 载波检测电压

根据IAREF与ICDREF的差值控制载波检测的阈值，只有大于该阈值的信号才能使OCD使能， $V_{IAREF}^* - V_{ICDREF} = 80\text{mV}$ 时，载波检测阈值为 100mV_{p-p} 。

INRESET: 数字逻辑复位信号

低电平时复位数字逻辑，正常工作下保持高电平。上电过程中，在VDD大于2.5V后，INRESET必须继续保持低电平大于10ns，如图3。

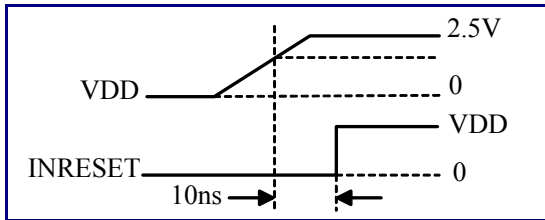


图3. 复位时序

INRTS: 发送请求

低电平有效。高电平时，芯片处于接收解调状态，OTXA无信号输出并保持在梯形波的中心电平上；当INRTS变为低电平时，芯片开始进入调制状态，OTXA开始输出梯形波信号。在上电时，该管脚应保持高电平。

IRXA: 接收端的模拟信号输入

接收叠加在4-20mA电流回路上的1200/2200Hz载波信号，详见图8。

IRXAC: 模拟接收比较器输入

连接到载波检测比较器和接收滤波比较器正输入端。

ITXD: 发送数据的输入

调制器输入端，接收输入的不归零制(NRZ)数字信号。当ITXD低电平(逻辑0)时，OTXA管脚输出2200Hz梯形波信号；ITXD高电平(逻辑1)时，OTXA管脚输出1200Hz梯形波信号。

IXTL: 振荡器输入

振荡器的输入端，在使用内部振荡电路时外接460.8kHz的晶振或陶瓷谐振器，在外接时钟时该管脚直接接地，如图9与图10所示。

OCBIAS: 电路偏置电流

经过该管脚的电流用于设定内部模块的参数。通常情况下，OCBIAS电流(记为 I_{OCBIAS})设定为 $2.5\mu\text{A}$ 。

OCD: 载波检测输出

接收滤波器输入端接收到一个有效输入并保持连续四个周期后，OCD变高。有效输入指其电平峰峰值大于由IAREF和ICDREF设定的阈值。

ORXAF: 模拟接收滤波器输出

接收端的高通滤波器的放大输出，见图8。

ORXD: 数字接收输出(CMOS)

输出解调后的数字信号。当接收信号是1200Hz正弦波时，ORXD输出高电平，当接收信号是2200Hz正弦波时，ORXD输出低电平。ORXD有效与否取决于OCD：当OCD是低电平时，ORXD保持高电平(此时为无效信号)。

OTXA: 模拟传输输出

该管脚输出调制后的梯形波，在INRTS为低电平且ITXD为低电平时，输出信号频率2200Hz；在INRTS为低电平且ITXD为高电平时，输出信号频率为1200Hz。

OXTL: 振荡器输出

管脚接到外部460.8kHz时钟源或者460.8kHz晶振或陶瓷谐振器。

TEST(1: 12): 测试接口**VDD: 数字电源****VDDA: 模拟电源****VSS: 接地**

32管脚LQFP数字地，28管脚PLCC的模拟和数字地

VSSA: 模拟地

* V_{IAREF} 指IAREF管脚的电压值； V_{ICDREF} 指ICDREF管脚的电压值

5.0 功能描述

SD2015与HT2015、A5191HRT的功能完全相同。该芯片包含一个发送数据的调制器和波形整形器、模拟接收滤波器和解调器、载波检测电路、振荡器，功能框图如图4所示。

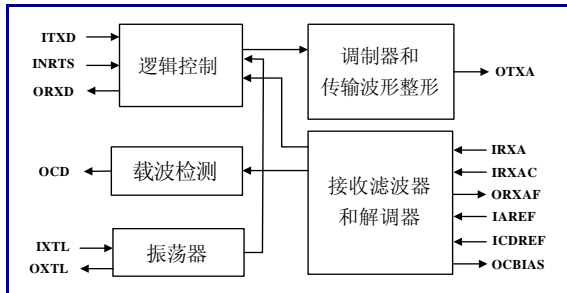


图4. SD2015结构图

调制解调器调制发送信号、解调接收信号，信号波形整形电路对发送信号进行波形整形，使之符合HART规范。载波检测电路将把接收滤波器输出和两个外部参考电压 V_{IAREF} 与 V_{ICDREF} 之间的差值进行比较，以确定载波是否出现。模拟接收电路对接收信号进行带通滤波，然后输入解调电路和载波检测电路。振荡电路通过外接一个谐振器或时钟源，给整个该电路提供时钟基准。

该调制电路使用FSK调制方式（1200Hz为1，2200Hz为0），比特率1200位/秒。

5.1 调制器和传输波形整形

调制器在ITXD管脚接收非归零制（NRZ）的数字信号，进行调制并经波形整形电路整形后在OTXA管脚输出符合HART协议要求的FSK调制信号，如图5与图6所示。INRTS管脚必须保持低电平才能保证调制器的正常工作。

当 $V_{IAREF}=1.235V_{DC}$ 时，OTXA 将有一个0.25~0.75 V的电压摆幅， $V_{IAREF}=2.5V_{DC}$ OTXA 将有一个0.5~1.5V的电压摆幅。

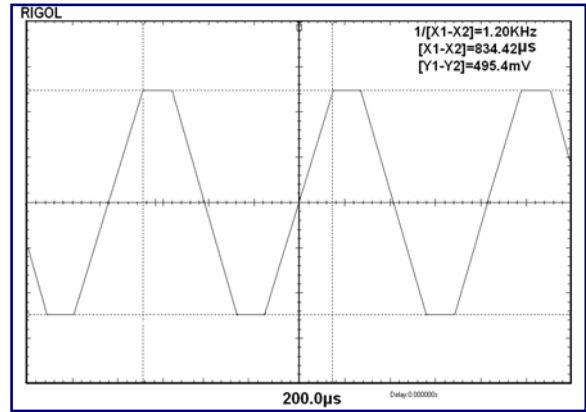


图5. OTXA波形 (1200HZ) 逻辑1

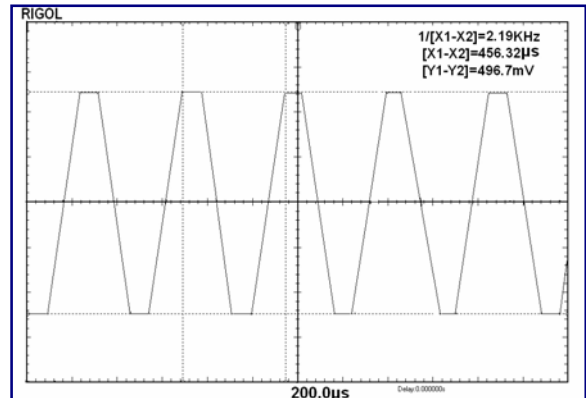


图6. OTXA波形 (2200HZ) 逻辑0

5.2 解调器和载波检测

解调器在IRXA接收FSK信号，经解调后在ORXD脚输出基带数字信号，比特率为1200bps，解调器的解调过程如图7所示。

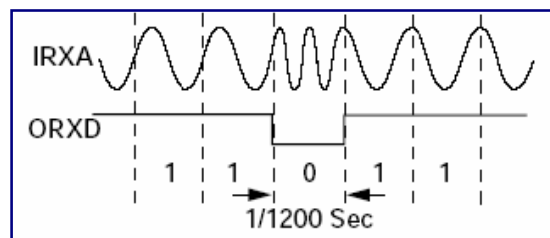


图7. 解调器信号时序

解调器输出受控于载波检测输出（OCD），只有当接收滤波器输入信号大于一定值（典型值为100mV_{p-p}），被载波检测电路判定为有效后，才会在ORXD口输出接收到的数据。根据HART协议，在时钟频率为460.8kHz（±1.0%），IRXA输入波形对称的条件下，最大解调抖动不会超过ORXD输出码率一个位元宽度的12%*。

信号经过载波检测比较器和载波检测模块，在OCD脚输出载波检测结果（见图4和图8）。当INRTS高电平并且载波检测比较器输出四个连续的脉冲后，OCD变成高电平。只有INRTS保持在高电平，并且在2.5ms内有下一个脉冲到来，OCD才会维持在高电平。

当OCD变为低电平后，只有在载波检测比较器再次输出四个连续脉冲后OCD才会再次变为高电平。当接收信号是1200Hz和2200Hz时，四个连续脉冲的时间分别是3.33ms和1.82ms。

5.3 模拟接收电路

5.3.1 参考电压

SD2015 有V_{IAREF}与V_{ICDREF}两个电压基准。V_{IAREF}设定内部放大器和比较器的直流静态工作点电压，查看表4选择适当的V_{IAREF}值。OCD的电平高低取决于两参考电压的差值。当V_{IAREF} - V_{ICDREF} = 80mV，载波检测的阈值为100mV_{p-p}。

*在460.8kHz时钟时，ORXD输出码率为1200Hz；随着时钟频率改变，码率会变化。ORXD输出码率的一个位元宽度的12%（在460.8kHz时钟时）为1/1200*12%=100μs。

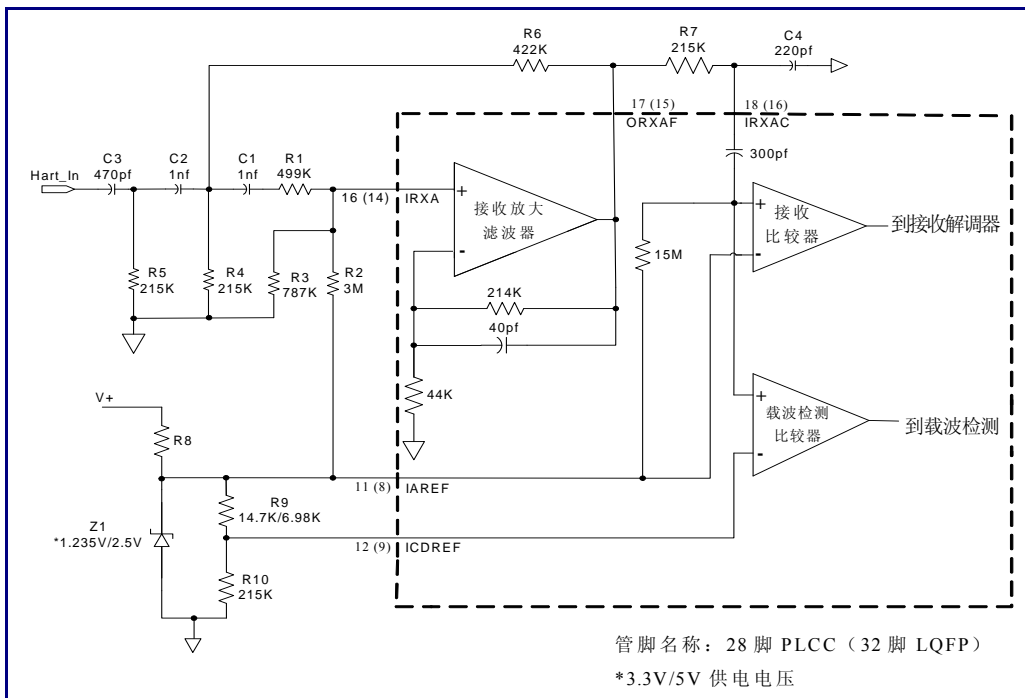


图8. 接收滤波器图

5.3.2 偏置电阻

SD2015需要一个偏置电阻 R_{BIAS} 连接OCBIAS和VSS产生偏置电流 I_{OCBIAS} ，用于设定内部几个模块的工作点，该电流值约为 $2.5\mu A$ 。当 V_{IAREF} 是 $1.235V$ 时， R_{BIAS} 推荐值是 $500K\Omega$ ， $2.5V$ 时推荐值为 $1M\Omega$ 。

如图8所示，所有的外部电容器的误差范围是 $\pm 5\%$ 。除了一个 $3M\Omega$ ($R2$) 电阻的误差范围是 $\pm 5\%$ 外，其余的电阻误差范围都是 $\pm 1\%$ 。SD2015的外围电路（见图8）和内部的接收滤波放大器一起组成一个三阶高通滤波器（截止频率为 $624Hz$ ），并叠加一个一阶低通滤波器（截止频率 $2500Hz$ ）。在SD2015的内部，有一个截止频率为 $35Hz$ 高通滤波器，一个截止频率为 $109Hz$ 的低通滤波器，低通滤波极点有 $\pm 30\%$ 的摆幅。滤波器的输入阻抗在频率低于 $50Hz$ 时大于 $6.7M\Omega$ 。

5.4 振荡器

SD2015在OXTL上需要一个 $460.8kHz$ 的时钟信号，可以通过外接外部时钟或振荡器获得。

5.4.1 内部振荡器

内部振荡器单元可以外接 $460.8kHz$ 的晶体或陶瓷谐振器，见图9。

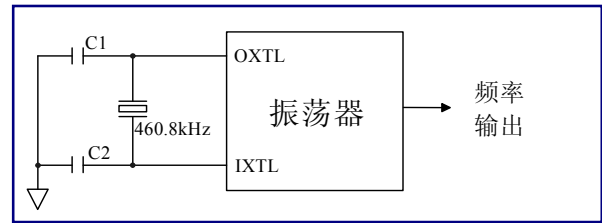


图9. 晶体振荡器

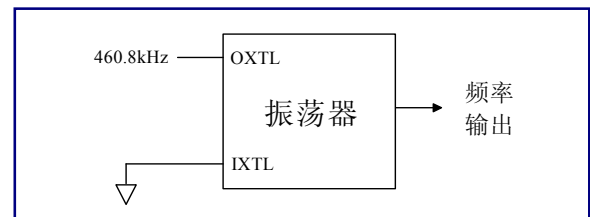


图10. 外部时钟振荡器

谐振器频率为 $460.8kHz$ ($\pm 1\%$ 误差范围)。电容器 $C1$ 、 $C2$ 值的选择取决于谐振器制造商的建议，但 $C1$ 、 $C2$ 值应该相同，通常在 $33pF$ 到 $470pF$ 之间。

5.4.2 外部时钟

图10为一个选用 $460.8kHz$ 外部时钟的电路示意图，此时IXTL必须接地。

6.0 电气特性

表3. 最大绝对值

标识	参数	最小值	最大值	单位
T _A	环境温度	-40	+85	°C
T _S	储存温度	-55	+150	°C
V _{DD}	供电电压	-0.3	+6.0	V
V _{IN} , V _{OUT}	直流输入、输出	-0.3	V _{DD} +0.3	V
T _L	回流焊温度曲线		Per IPC/JEDECJ-STD-020C	°C

注意:

1. CMOS 器件易被高能静电损坏，设备必须储存在导电泡沫，注意避免工作电压超出范围。
2. 在插拔电路前请关闭电源

表4. 直流特性

(V_{DD}= 3.0V到5.5V, V_{SS}= 0V, T_A= -40°C到+85°C)

标识	参数	VDD	最小值	典型值	最大值	单位
V _{IL}	输入低电平, 逻辑0	3.0-5.5			0.3*V _{DD}	V
V _{IH}	输入高电平, 逻辑1	3.0-5.5	0.7*V _{DD}			V
V _{OL}	输出数字低电平 (I _{OL} =0.67mA)	3.0-5.5			0.4	V
V _{OH}	输出数字高电平 (I _{OH} =0.67mA)	3.0-5.5	V _{DD} -0.6			V
C _{IN}	输入管脚电容					pF
	模拟输入管脚			2.9		
	IRXA			25		
	数字输入管脚			3.5		
I _{IL/IH}	输入管脚的漏电流				±500	nA
I _{OLL}	输出管脚的漏电流				±10	μA
I _{DD}	电源电流	3.3	--	150	400	μA
		5.0	--	250	600	
V _{IAREF}	模拟参考电压	3.3	1.2	1.235	1.26	V
		5.0		2.5		
V _{ICDREF} *	载波检测参考电压 (V _{IAREF} -0.08V)	3.3		1.155		V
		5.0		2.420		
I _{OCBIAS}	偏置电流 (R _{BIAS} =500kΩ, I _{AREF} = 1.235V 或 R _{BIAS} =1MΩ, I _{AREF} = 2.5V)			2.5		μA

*HART协议要求载波检测 (OCD) 的阈值在80~120mV_{p-p}之间，设置V_{IAREF}-V_{ICDREF}=80mV时，载波检测的额定阈值为100mV_{p-p}

表5. 交流特性

 ($V_{DD}=3.0V$ 到 $5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C$ 到 $+85^{\circ}C$)

管脚名称	描述	最小值	典型值	最大值	单位
IRXA	模拟接收器输入				
	漏电流			±150	nA
	频率-逻辑1	1190	1200	1210	Hz
	频率-逻辑0	2180	2200	2220	Hz
ORXAF	模拟接收滤波器的高通滤波器输出				
	转换速率 (SR)		0.025		V/μs
	增益带宽 (GBW)	500			kHz
	电压范围	0.1		$V_{DD}-0.15$	V
IRXAC	模拟接收滤波器与载波检测比较器输入				
	漏电流			±500	nA
OTXA*	模拟调制器输出				
	频率-逻辑1		1200		Hz
	频率-逻辑0		2200		Hz
	振幅 (IAREF 1.235V)		500		mV _{p-p}
	振幅 (IAREF 2.5V)		1000		mV _{p-p}
	上升/下降速率		2.79		mV/μs
	负载	30			kΩ
	输出管脚非有效状态电平(INRTS高电平) VDD=3.3V		0.5		V
输出管脚非有效状态电平(INRTS高电平) VDD=5V		1		V	
ORXD	数字接收输出				
	上升/下降时间	20			ns
OCD	载波检测输出				
	上升/下降时间	20			ns

*调制器输出频率正比于时钟频率 (460.8kHz)。

表6. 调制解调器特性

 ($V_{DD}=3.0V$ 到 $5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C$ 到 $+85^{\circ}C$)

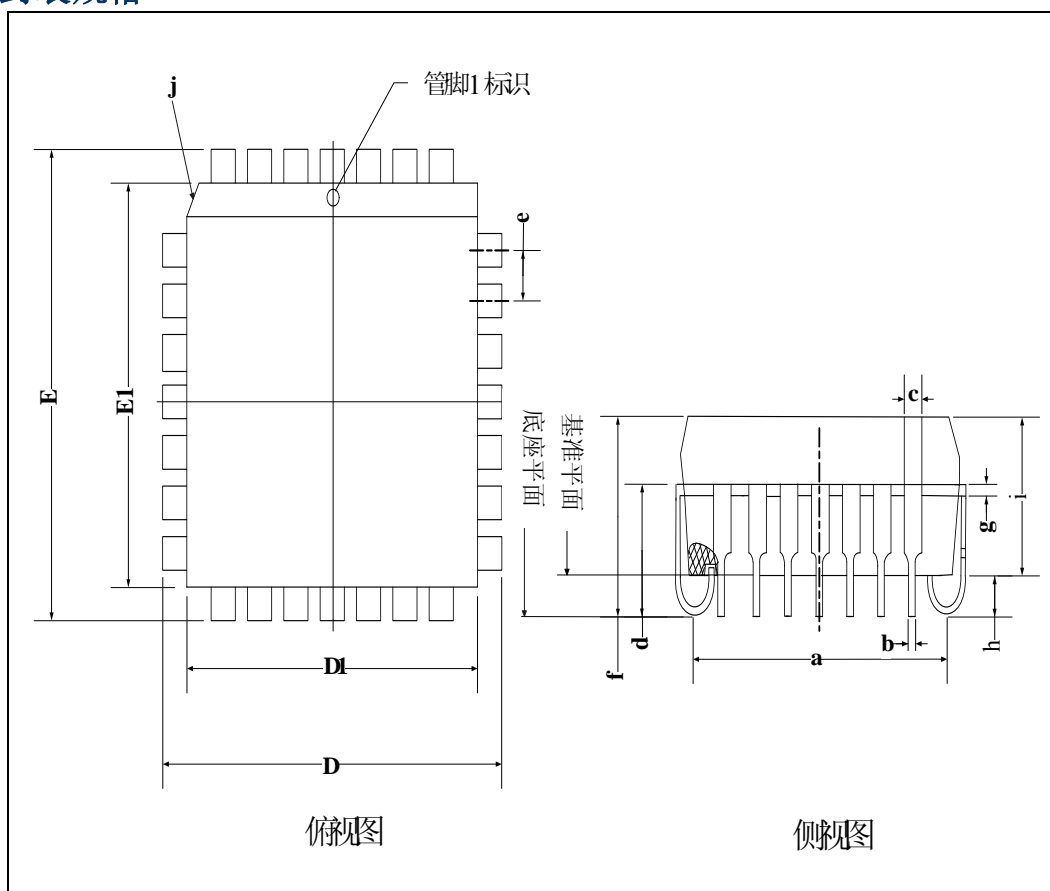
参数	最大值	单位
解调抖动	12	% of 1 bit*
条件:		
1. 输入频率在 $1200Hz \pm 10Hz$, $2200Hz \pm 20Hz$		
2. 时钟频率 $460.8kHz \pm 0.1\%$		
3. IRXA输入信号对称		
*1bit是指ORXD输出码率的一个位元, 在时钟频率为460.8kHz时, 1bit为1/1200秒。		

表7. 陶瓷谐振器和外部时钟规格

 ($V_{DD} = 3.0V$ 到 $5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C$ 到 $+85^{\circ}C$)

参数	最小值	典型值	最大值	单位
谐振器				
容差			±1.0	%
频率	460.8			kHz
外部时钟				
时钟频率	456.2	460.8	465.4	kHz
占空比	40	50	60	%
振幅		$V_{OH}-V_{OL}$		V

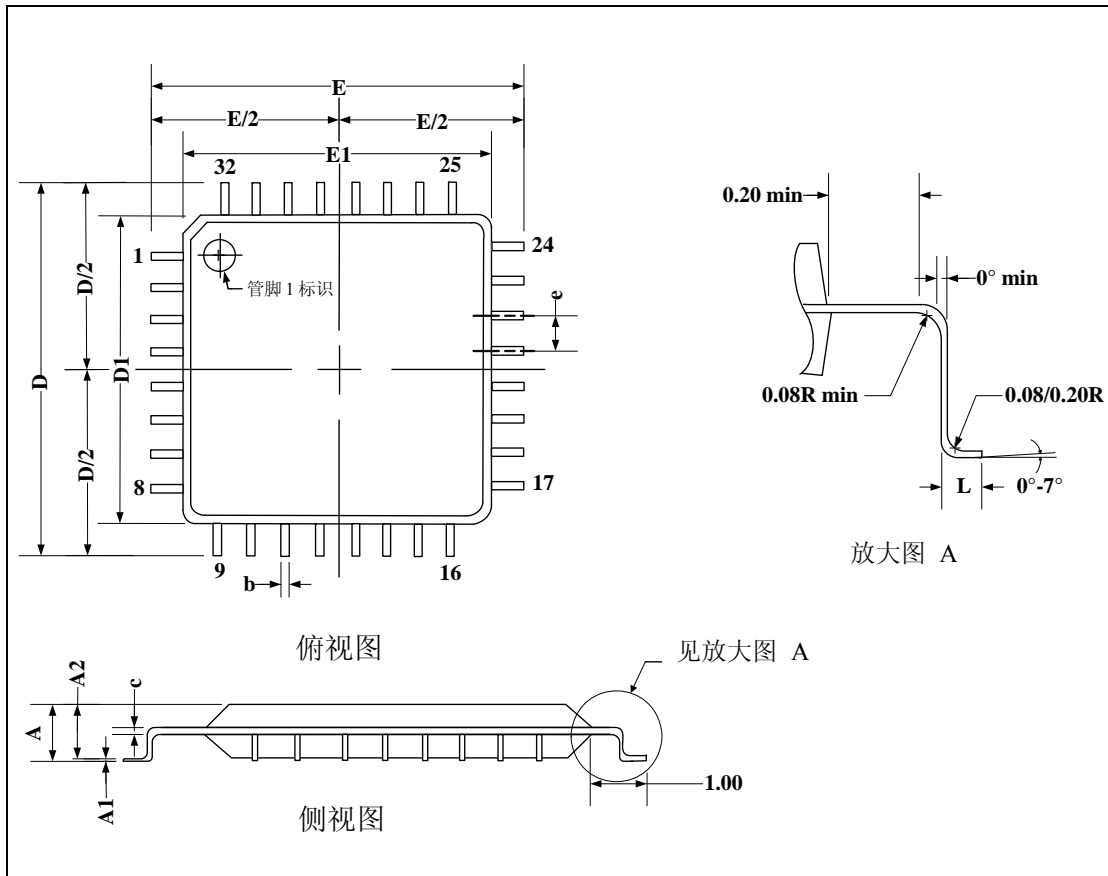
7.0 封装规格



尺寸: 英寸(毫米)

标记	最小值	典型值	最大值
E	0.4850 (12.320)	-	0.4950 (12.574)
E1	0.4500 (11.430)	-	0.4560 (11.582)
D	0.4850 (12.320)	-	0.4950 (12.574)
D1	0.4500 (11.430)	-	0.4560 (11.582)
a	0.3900(9.906)	-	0.4300 (10.922)
b	0.0130 (0.330)	-	0.0210 (0.533)
c	0.0260 (0.660)	-	0.0320 (0.813)
d	0.0900 (2.286)	-	0.1200 (3.048)
e	-	0.0500 (1.270)	-
f	0.1650 (4.191)	-	0.1800 (4.572)
g	0.0075 (0.191)	-	0.0125 (0.318)
h	0.0200 (0.508)	-	-
i	0.1480 (3.760)	-	0.1540 (3.912)
j	0.0420 (1.067) *45°		0.048 (1.219)*45°

图11. 28脚PLCC封装



尺寸: 毫米

标记	最小值	典型值	最大值
A	-	-	1.6
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
D		9.00	
D/2		4.50	
D1		7.00	
E		9.00	
E/2		4.50	
E1		7.00	
L	0.45	0.60	0.75
e		0.80	
b	0.30	0.37	0.45
c	0.09	-	0.20

图12. 32脚LQFP封装