

特点

- 符合 HART 通信协议物理层要求
- 符合 Bell202 标准载波 1200Hz 和 2200Hz
- 内部集成接收滤波器，所需外部元件极少
- HART 波形整形输出具有额外驱动能力
- UART 接口
- 工作电压 2.7V~5.5V
- 低功耗,调制模式下最大功耗为 90 μ A
- -55 $^{\circ}$ C至+125 $^{\circ}$ C工作温度范围
- 24 引脚 4mm x 4mm QFN 封装
- 满足 RoHS 环保要求

片只需少量外围无源元件，即可满足 HART 物理层规范功能要求。

SD2057 使用相位连续的频移键控 FSK 技术，传输速率为 1200 位/秒，采用半双工通信，符合 HART 协议物理层要求。芯片调制模式的最大电源电流在 5.5V 电压及外部 3.6864MHz 时钟下为 90 μ A。所需外围元件少，并采用 4mm x 4mm 的 QFN 封装，可极大节省电路板空间，因此非常适合主机和从机配置下的低功耗环路供电型应用。

描述

SD2057 是一款专为实现 HART 协议而设计的 CMOS 单片调制解调器芯片，用于支持 HART 协议的现场仪表和控制器中。器件集成了所有必要的滤波、信号检测、调制、解调及 HART 信号波形整形等功能，所以芯

订购信息

| 封装形式 | 订货名称 |
|-----------------|--------|
| QFN24 4mm x 4mm | SD2057 |

管脚图和管脚描述

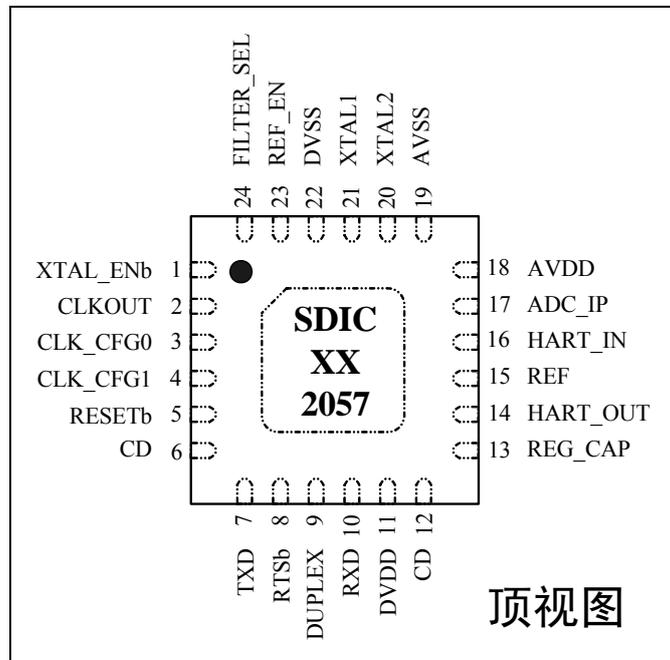


图 1. QFN24 管脚图

表 1. 管脚描述

| 序号 | 管脚名称 | 属性 | 管脚描述 |
|------|------------|------|--|
| 1 | XTAL_ENb | 数字输入 | 晶振电路使能，低电平有效。参考表 2。 |
| 2 | CLKOUT | 数字输出 | 时钟输出。参考“时钟配置”段。 |
| 3 | CLK_CFG0 | 数字输入 | 时钟配置控制。参考表 2。 |
| 4 | CLK_CFG1 | 数字输入 | 时钟配置控制。参考表 2。 |
| 5 | RESETb | 数字输入 | 芯片复位，低电平有效。 |
| 6 | CD | 数字输出 | 载波检测，高电平表示 HART_IN 载波有效。 |
| 7 | TXD | 数字输入 | 待发送数据，即调制器的数据输入端，调制后经 HART_OUT 发送。 |
| 8 | RTSb | 数字输入 | 发送请求，低电平使能调制器并禁用解调器，芯片处于发送模式；高电平使能解调器并禁用调制器，芯片处于接收模式。 |
| 9 | DUPLEX | 数字输入 | 全双工模式使能，高电平有效。参考“全双工操作”段。 |
| 10 | RXD | 数字输出 | 解调后的 HART 数据，送到外部 UART 接口。 |
| 11 | DVDD | 数字电源 | 数字电源，应与 AVDD 同一电压。参考“电源去耦”段。 |
| 12 | DVSS | 数字地 | 数字地，应将此引脚连接到 AVSS。 |
| 13 | REG_CAP | 模拟输出 | 内部稳压器输出端。应接 1 μ F 电容至 DVSS。 |
| 14 | HART_OUT | 模拟输出 | HART FSK 信号输出端，连接到 4-20 毫安电流环回路。 |
| 15 | REF | 模拟输出 | 内部 1.5V 基准电压输出或外部 2.5V 基准输入端。应接 1 μ F 电容至 AVSS。 |
| 16 | HART_IN | 模拟输入 | HART FSK 信号输入端，信号来自 4-20 毫安电流环回路端口。 |
| 17 | ADC_IP | 模拟输入 | 使用内部带通滤波器时，应接 680pF 电容到 AVSS。若使用外部带通滤波器，则直接与外部滤波器输出相连，如图 6 所示。 |
| 18 | AVDD | 模拟电源 | 模拟电源。参考“电源去耦”段。 |
| 19 | AVSS | 模拟地 | 模拟电路地。 |
| 20 | XTAL2 | 模拟输出 | 外部 3.6864MHz 晶振连接端。如果使用外部时钟源，此引脚需悬空。 |
| 21 | XTAL1 | 模拟输入 | 外部 3.6864MHz 晶振连接端或外部时钟源输入端。 |
| 22 | DVSS | 数字地 | 数字地。应将此引脚连接到 AVSS。 |
| 23 | REF_EN | 数字输入 | 基准电压源使能端。高电平状态使能内部 1.5V 基准电压源和缓冲器；低电平状态禁用内部基准电压源和缓冲器，并需在 REF 引脚上外加 2.5V 外部缓冲基准电压源。 |
| 24 | FILTER_SEL | 数字输入 | 带通滤波器选择控制端。高电平状态使能内部带通滤波器，此时 HART 信号应施加到 HART_IN 引脚；低电平状态禁用内部带通滤波器，此时需外部带通滤波器，并将外部带通滤波器的输出接到 ADC_IP 引脚上。 |
| EPAD | AVSS | 模拟地 | 模拟电路地。对于典型应用，连接到 #19 引脚。 |

功能描述

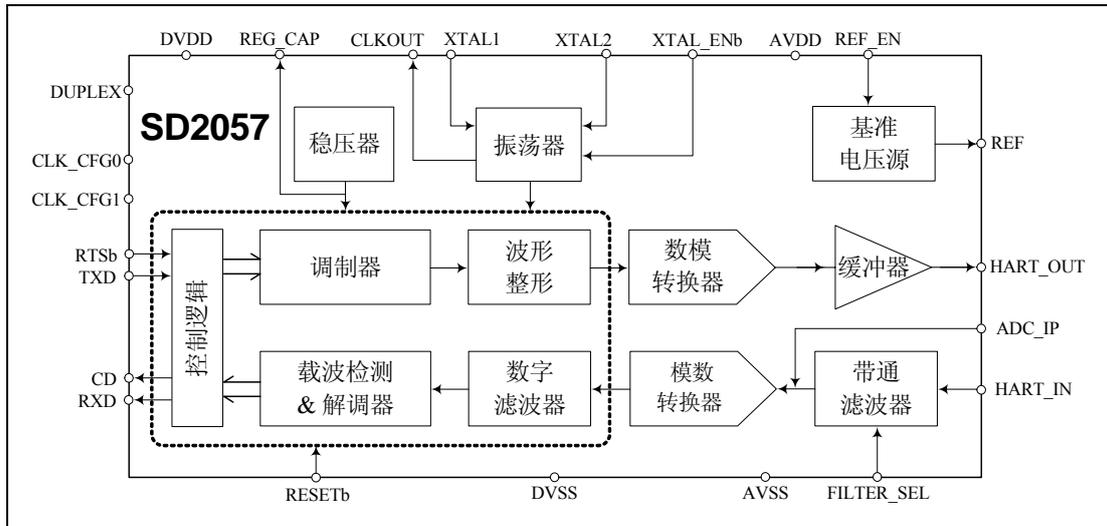


图2. 功能框图

图2是SD2057的功能模块框图，SD2057是一款单芯片、低功耗、HART FSK半双工调制解调器，符合HART物理层要求。SD2057内部集成了用于发送数据的调制器、波形整形器、DAC、HART输出缓冲器，用于接收数据的带通滤波器(可根据需要灵活地进行旁路)、ADC、数字滤波器、解调器、载波检测电路。另外，还内置基准电压源、晶振振荡器电路和供数字电路电源的LDO。由于具有这样丰富的集成选项，因此所需外部元件极少，非常适合HART现场仪表和主机配置。

SD2057能够发送或接收1200Hz和2200Hz FSK信号，1200Hz信号表示数字“1”，2200Hz信号表示数字“0”。

器件支持外部晶振和CMOS时钟输入两种配置。

FSK 调制器

当RTSb信号设为低电平，SD2057处于发送模式，调制器通过波形整形电路，将TXD输入端的非归零制(NRZ)数字信号，转换成一系列1200Hz和2200Hz符合HART协议要求、相位连续的梯形波(如图3所示)，在内部通过缓冲器输出至HART_OUT引脚。

HART_OUT输出梯形波直流电平为

0.75V，摆幅为0.5V~1.0V。

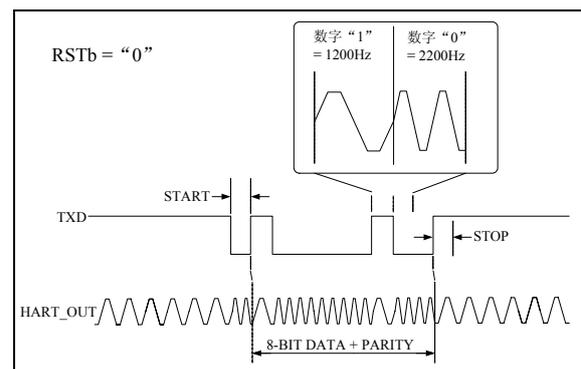


图3. SD2057调制波形图

连接到 HART_OUT

HART_OUT引脚可以直接对地接容性负载，驱动纯容性负载时，尽管可以驱动比68nF大的负载电容，但应选择4.7nF至68nF范围内的电容，容性负载越大，SD2057需要消耗更多的电流，图20显示了电源电流与容性负载的典型关系图，表4中的功耗规格是基于SD2057的HART_OUT驱动4.7nF容性负载的情况。

如果需要驱动带有阻性元件的负载，建议在HART_OUT引脚和地之间连接一个22nF电容，而阻性负载应通过一个2.2μF串联电容进行耦合隔直。对于低阻抗器件，阻性负载 R_{LOAD} 范围通常为200Ω至600Ω，具体的连接如图4所示。

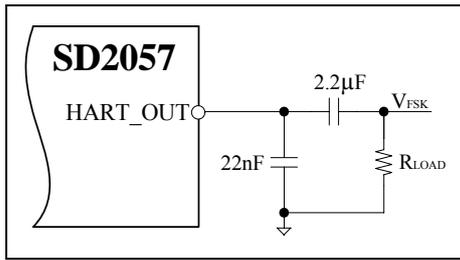


图4. HART_OUT驱动阻性负载

FSK 解调器

当RTSb信号设为高电平，SD2057处于接收模式。CD高电平表示检测到HART_IN的载波有效，解调器接收HART_IN的FSK信号，通过ADC、数字滤波和数字解调器，最终在RXD上恢复出原始信号，并在此引脚输出到外部UART。HART位流是一个标准的UART帧，如图5所示，该帧包含一个起始位、8位数据、一个奇偶校验和一个停止位。

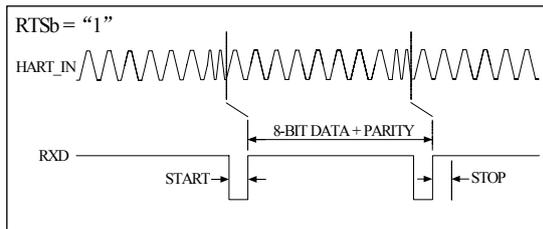


图5. SD2057解调波形图

连接到 HART_IN 或 ADC_IP

SD2057提供两种接收带通滤波器配置选项：外部滤波器(HART信号施加到ADC_IP)和内部滤波器(HART信号施加到HART_IN)。

使用外部滤波器时，FILTER_SEL要设为“1”，HART_IN要悬空。配置如图6所示，HART信号通过外部滤波器进行抗混叠滤波之后到达ADC_IP引脚。在安全至关重要的应用中，SD2057必须与环路电源的高电压隔离开来。建议采用包含200 kΩ电阻的外部带通滤波器，这样可以将电流限制在足够低水平，以满足本质安全要求。这种情况下，输入端具有很高的瞬态电压保护能力，因此即使在要求最苛刻的工业环境中，也无需额外的保护电路。假设电阻的精度选择1%，电容的精度选择10%，构成的滤波器对载波检测的影响仍可忽略。

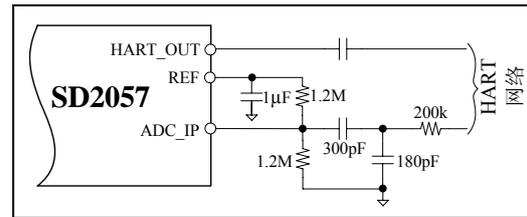


图6. SD2057使用外部滤波器时的连接

使用内部滤波器时，FILTER_SEL要设为“0”。配置如图7所示，HART信号通过2.2nF电容施加到HART_IN引脚。该选项对非常注重成本或电路板空间的应用特别有利。但如果要在苛刻的工业环境中使用，则需要额外的外部保护电路来提供EMC和电涌保护。

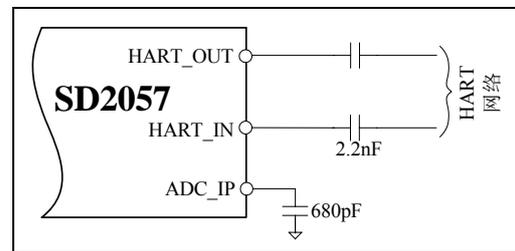


图7. SD2057使用内部滤波器时的连接

时钟配置

SD2057提供两种时钟配置选项：外部晶振和CMOS时钟输入。另外还可以通过CLK_CFG0、CLK_CFG1和XTAL_ENb引脚配置产生不同的系统时钟，并能够在CLKOUT引脚上提供时钟输出，具体参考表2。

外部晶振的典型连接如图8所示，晶振采用3.6864MHz，负载电容C1、C2选用8pF。晶振和电容应尽量靠近SD2057。可以在CLKOUT处配置时钟输出。

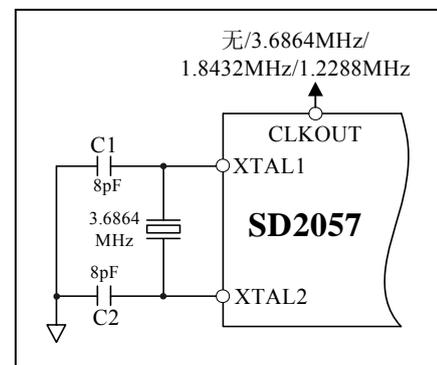


图8. 晶振连接

CMOS时钟输入的典型连接如图9所示，将外部时钟源连接到XTAL1引脚，而XTAL2引脚保持开路状态。在本选项下，CLKOUT不能配置时钟输出。

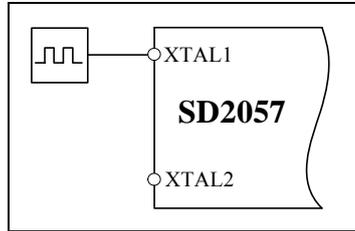


图9. 外灌CMOS时钟连接

时钟输出幅度为DVDD电平（V）。使能SD2057时钟输出时，因为需要驱动CLKOUT引脚上的负载（C），器件的功耗会增加。应尽可能减少C，以降低功耗并提供具有最陡峭最干净边缘的时钟。

从电源获取的额外电流可以通过下式计算得出，其中f为CLKOUT输出频率：

$$I = C \times V \times f$$

表2. 时钟配置选项

| XTAL_ENb | CLK_CFG1 | CLK_CFG0 | CLKOUT | 描述 |
|----------|----------|----------|--------------|-----------------------------|
| 0 | 0 | 0 | 无输出 | 使能晶振 |
| 0 | 0 | 1 | 3.6864MHz 输出 | 使能晶振且使能 CLKOUT |
| 0 | 1 | 0 | 1.8432MHz 输出 | 使能晶振且使能 CLKOUT |
| 0 | 1 | 1 | 1.2288MHz 输出 | 使能晶振且使能 CLKOUT |
| 1 | 0 | 0 | 无输出 | 3.6864 MHz CMOS 时钟连接到 XTAL1 |
| 1 | 0 | 1 | 无输出 | 1.2288 MHz CMOS 时钟连接到 XTAL1 |

省电模式

RESETb设为低电平时，芯片进行复位，并将SD2057置于省电模式。在此模式下，接收、发送和振荡器全部关断，器件的最大功耗为5μA。

RESETb变成高电平时，SD2057即返回上电状态。若不使用复位功能，此引脚可以固定接到DVDD。

全双工操作

如图10所示，将RTSb设置成逻辑低电平，将DUPLEX设置成逻辑高电平，即可使能全双工功能。此时SD2057的调制器和解调器同时使能，可以对主机控制器（MCU）与HART设备（SD2057）之间的整个信号路径执行自测操作，从而验证本地通信环路功能是否正常。在生产自测中，这种系统诊断功能可以提高应用的安全完整性(SIL)等级。

使用SD2057

瞬变电压保护

图10显示了一个使能HART的电流输入模块主机示例，该模块包含瞬变电压保护电路，这在恶劣工业环境中非常重要。该模块在电流输入的连接点处放置一个10V单向(用于防范正高压瞬变)瞬变电压抑制器。此TVS器件，必须根据具体系统的功率额定值进行选择，而且是低漏电流。当出现瞬变尖峰时，22Ω串联电

阻用作FSK输出引脚HART_OUT的限流电阻。FSK输入引脚ADC_IP由200kΩ电阻提供保护，在FSK输入端，该电阻作为外部滤波器电路的一部分。另外，由一个75kΩ电阻和一个22kΩ电阻构成的分压器用于在FSK输出开关的现场端保持0.75V直流偏置。

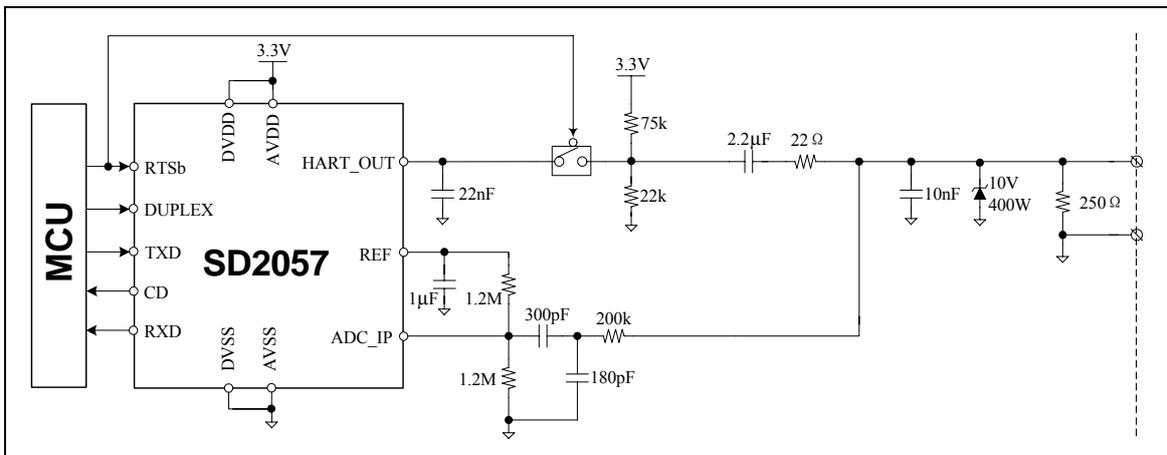


图10. HART使能的电流输入模块主机电路

图11显示一个两级保护HART器件示例，其负载位于该模块之外。该器件内置一个双向TVS，用于防范正负高压瞬变，使得模块对外连接点的极性选择更加灵活。由于此模块可以连接到电流回路上的任意点，因此连

接点处的TVS需要选择较高的额定值。另外，FSK输出开关的现场端TVS为SD2057器件提供额外的第二级保护，其额定值可以选择小一些。

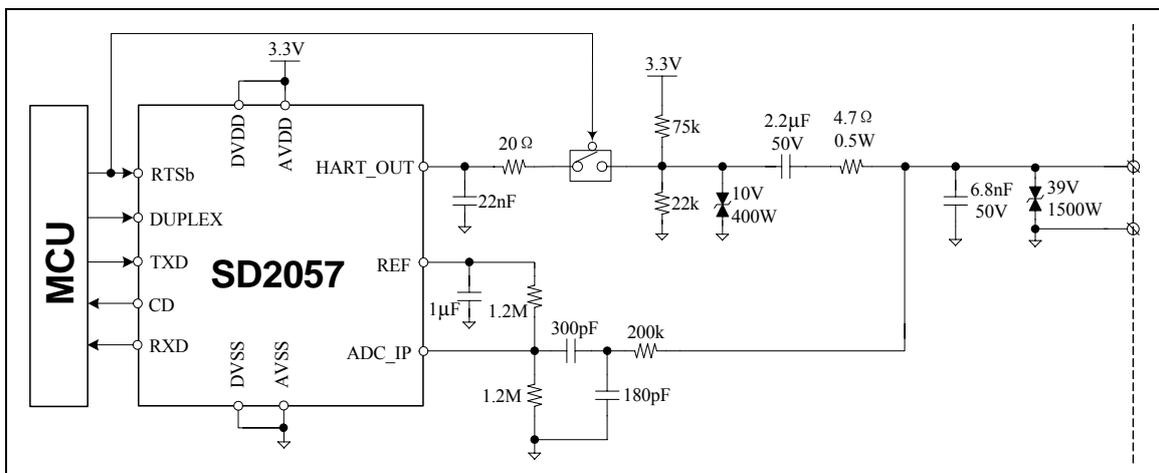


图11. 二级保护HART器件主机电路

电源去耦

建议分别通过并联的低ESR 1 μ F电容和0.1 μ F电容将AVDD和DVDD电源去耦至地。

REG_CAP电压约为2V，是内部快速瞬态响应LDO的输出端，用于给SD2057内部数字电路供电，建议接1 μ F陶瓷电容将此REG_CAP电源去耦至地。另外，对REF引脚，需要接1 μ F电容去耦至地。去耦电容应尽量靠近相关引脚。

典型应用图

图12显示利用SD2057与SD2421(4-20mA环路供电型DAC)实现的带HART协议的智能

变送器典型应用电路。该电路极大简化了系统设计，增强了可靠性并减少了整体PCB尺寸。

HART信号从电流环LOOP+端进入智能变送器，经过外围带通滤波到达HART调制解调器SD2057的ADC_IP引脚，SD2057将信号解调并经RXD引脚传输到微处理器。

要发送HART数据时，微处理器将逻辑信号传至SD2057的TXD引脚，SD2057进行调制以及波形整形后，经HART_OUT引脚和C_c耦合至SD2421的C3引脚上，再通过SD2421发送到电流环路上。

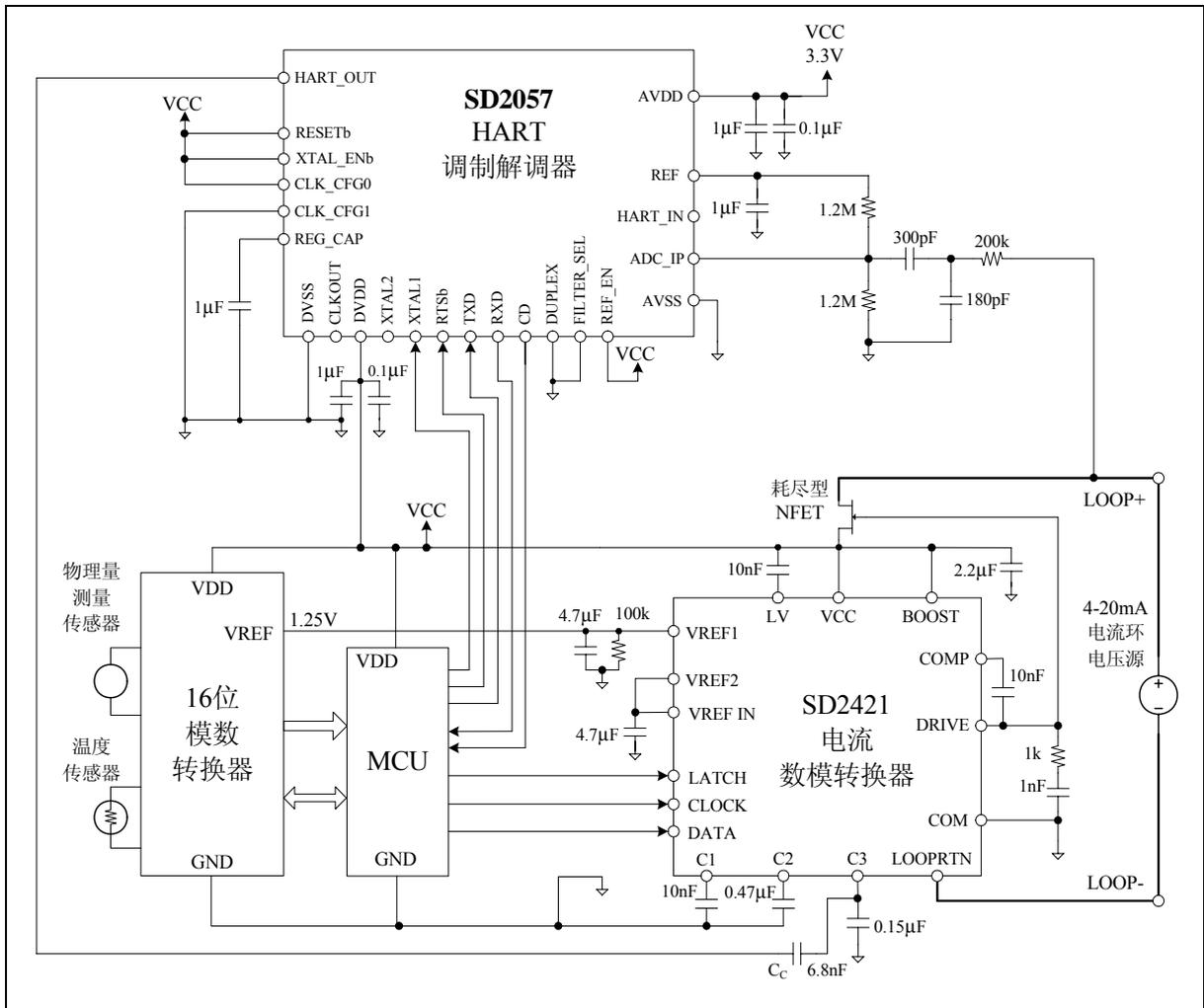


图12. 带HART数字通信功能的典型4-20mA智能变送器

电气特性

表 3. 极限参数

| 标识 | 参数 | 最小值 | 最大值 | 单位 |
|----------------|---------|------|------------------------|----|
| T _A | 工作温度 | -55 | +125 | °C |
| T _S | 储存温度 | -65 | +150 | °C |
| AVDD 至 AVSS | 模拟供电电压 | -0.3 | +7.0 | V |
| DVDD 至 DVSS | 数字供电电压 | -0.3 | +7.0 | V |
| AVSS 至 DVSS | 模拟数字电源地 | -0.3 | +0.3 | V |
| 模拟输入至 AVSS | 模拟端口偏压 | -0.3 | AVDD+0.3 或+7(取较小者) | V |
| 数字输入至 DVSS | 数字端口偏压 | -0.3 | DVDD+0.3 或+7(取较小者) | V |
| TL | 回流焊温度曲线 | | 参考 IPC/JEDECJ-STD-020C | °C |
| ESD | 人体模型 | 4000 | | V |
| | 机械模型 | 400 | | V |

注意:

1. CMOS 器件易被高能静电损坏, 芯片必须储存在导电泡沫, 注意避免工作电压超出范围。
2. 在插拔芯片前请关闭电源。

表 4. 电气参数 (除非另有说明, AVDD/DVDD=+2.7V~+5.5V; AVSS/DVSS=0V; 外部 3.6864MHz 时钟; CLKOUT 禁用; HART_OUT 带 4.7nF 负载; 采用内部或外部接收滤波器; 采用内置基准电压源; T_A=-55°C~+125°C)

| 标识 | 参数名称 | 最小值 | 典型值 | 最大值 | 单位 | 条件/备注 | |
|------------------------|-----------------------------|------|-----|------|--------|----------------------------|----------------------------|
| AVDD DVDD | 电源电压 | 2.7 | 3.3 | 5.5 | V | | |
| IDD1 | AVDD+DVDD 功耗 解调模式 | | 97 | 135 | μA | 外部时钟、-55°C 至+85°C | |
| | | | | 140 | μA | 外部时钟、-55°C 至+125°C | |
| | | | 77 | 107 | μA | 外部时钟、-55°C 至+85°C、外部基准电压源 | |
| | | | | 113 | μA | 外部时钟、-55°C 至+125°C、外部基准电压源 | |
| | AVDD+DVDD 功耗 调制模式 | | | 67 | 85 | μA | 外部时钟、-55°C 至+85°C |
| | | | | | 90 | μA | 外部时钟、-55°C 至+125°C |
| | | | 47 | 65 | μA | 外部时钟、-55°C 至+85°C、外部基准电压源 | |
| | | | | | 70 | μA | 外部时钟、-55°C 至+125°C、外部基准电压源 |
| IDD0 | 省电模式功耗 | | 2.5 | 5 | μA | | |
| I _{osc} | 晶振功耗 | | 45 | 90 | μA | 外部晶振、XTAL1/2 各接 8pF 负载 | |
| 内部 V _{REF} | 初始精度 | 1.48 | 1.5 | 1.52 | V | REF_EN=DVDD | |
| | 负载调整率 | | 1.5 | | ppm/μA | 利用 500μA 负载测试 | |
| | 电压调整率 | | 60 | | μV/V | | |
| 外部 V _{REF} | 初始精度 | 2.47 | 2.5 | 2.53 | V | REF_EN=DVSS | |
| I _{REF} | 外部 V _{REF} 输入电流 | | 3.4 | 5 | μA | 解调模式 | |
| | | | 2.7 | 4 | μA | 调制模式 | |
| CD 位置 | 载波有效幅度 | 90 | 105 | 115 | mVp-p | | |

| | | | | | | |
|---------------|----------|------------|--------|------------|-----------------------|--------------------------------------|
| HART_IN | 输入范围 | 0 | | REF | V | 使用外部基准电压条件下 |
| | | 0 | | 1.5 | V | 使用内部基准电压条件下 |
| HART_OUT | 输出幅度 | 460 | 500 | 505 | mVp-p | VFSK, 负载如图 4 所示 |
| | 逻辑“1”频率 | | 1200 | | Hz | |
| | 逻辑“0”频率 | | 2200 | | Hz | |
| | 相位连续性误差 | | | 0 | 度 | |
| | 最大阻性负载 | | 160 | | Ω | 负载如图 4 所示的 R_{LOAD} |
| | 发送阻抗 | | 17 | | Ω | RTSb 低电平、HART_OUT 引脚处 |
| 17 | | | | Ω | RTSb 高电平、HART_OUT 引脚处 | |
| 外部时钟 | 频率精度 | 3.6496 | 3.6864 | 3.7232 | MHz | 外灌 3.6864MHz 条件下 |
| | | 1.2165 | 1.2288 | 1.2411 | MHz | 外灌 1.2288MHz 条件下 |
| 数字输入参数 | | | | | | |
| V_{IH} | 逻辑高电平 | $0.7*DVDD$ | | | V | |
| V_{IL} | 逻辑低电平 | | | $0.3*DVDD$ | V | |
| I_{IH} | 高电平电流 | | | ± 0.1 | μA | |
| I_{IL} | 低电平电流 | | | ± 0.1 | μA | |
| t_1 | 载波起始时间 | | | 0.3 | 位时间 ¹ | 从 RTSb 下降沿到载波到达第一个波峰的时间。参考图 13。 |
| t_2 | 载波停止时间 | | | 1 | 位时间 ¹ | 从 RTSb 上升沿到载波幅度降至最小接收幅度以下的时间。参考图 14。 |
| t_3 | 载波衰减时间 | | | 1 | 位时间 ¹ | 从 RTSb 上升沿到载波幅度降至交流零的时间。参考图 14。 |
| t_4 | 载波检测开启 | | | 6 | 位时间 ¹ | 从载波开启到 CD 上升沿的时间。参考图 15。 |
| t_5 | 载波检测关闭 | | | 6 | 位时间 ¹ | 从载波关闭到 CD 下降沿的时间。参考图 16。 |
| t_6 | 晶振上电时间 | | 24.5 | | ms | XTAL1/2 各接 8pF 对地负载电容。 |
| t_7 | REF 上电时间 | | 0.5 | | ms | 内部基准电压源。 |
| t_8 | 唤醒时间 | | 18 | | μs | 从省电模式到正常工作模式的转换时间(外灌时钟、外部基准电压源)。 |

说明:

1. 位时间是指传输一位数据所需的时间长度, 即 1 个位时间 = $1/1200\text{Hz} = 833.333\mu s$ 。

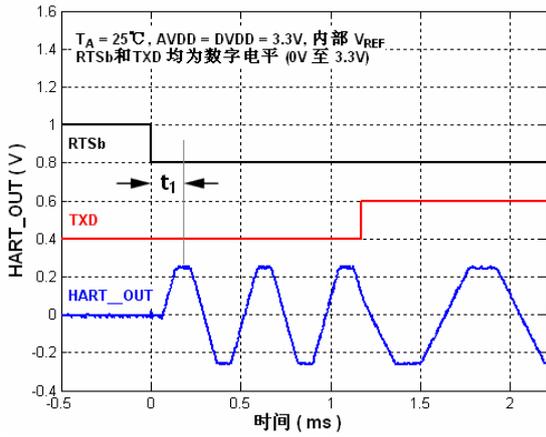


图 13. 载波起始时间

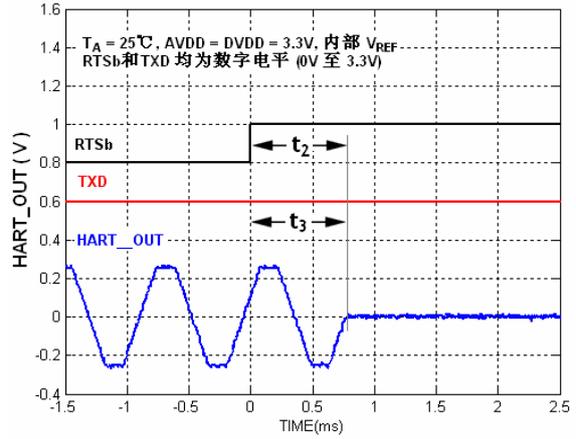


图 14. 载波停止/衰减时间

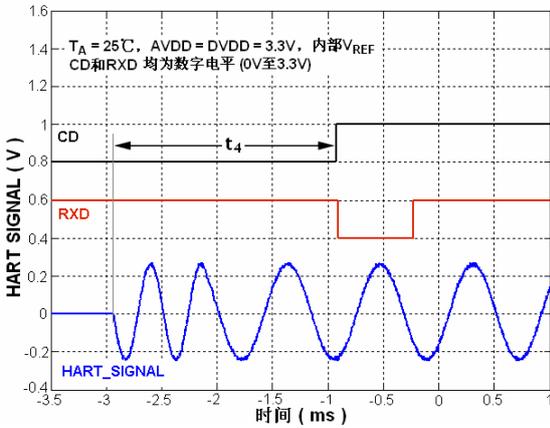


图 15. 载波检测开启时序

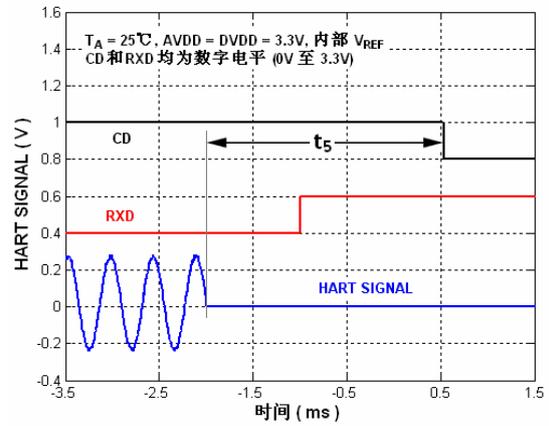


图 16. 载波检测关闭时序

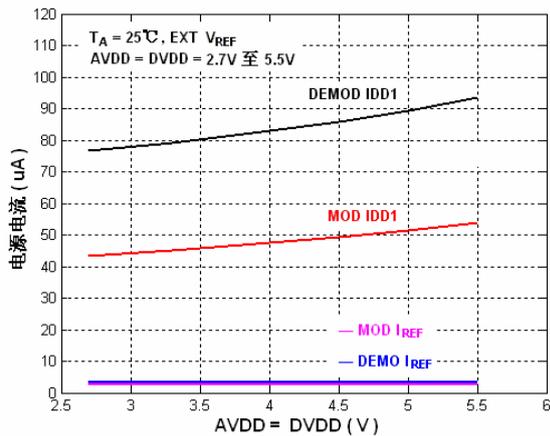


图 17. 电源电流 vs. 电源电压@ 外部基准

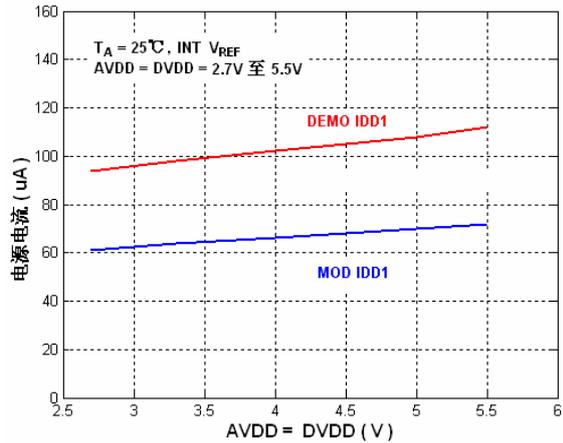


图 18. 电源电流 vs. 电源电压@ 内部基准

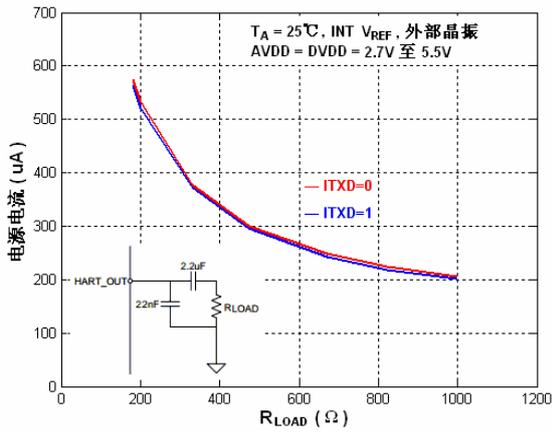


图 19. 发送模式电源电流 vs. 阻性负载

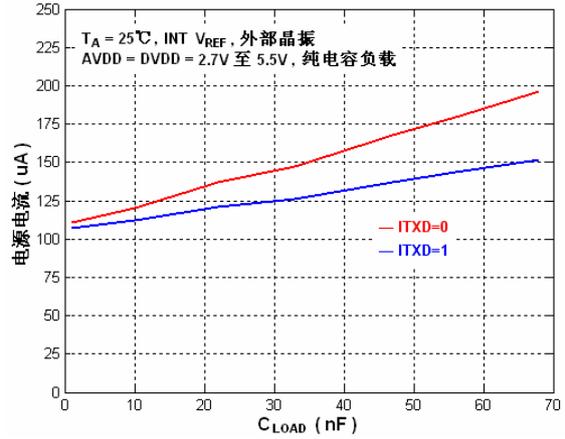


图 20. 发送模式电源电流 vs. 容性负载

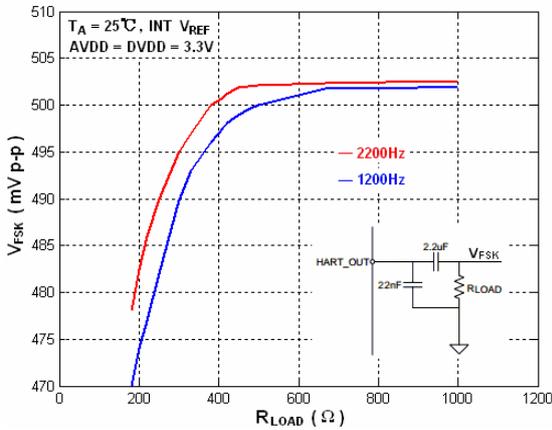


图 21. HART 输出幅度 vs. 阻性负载

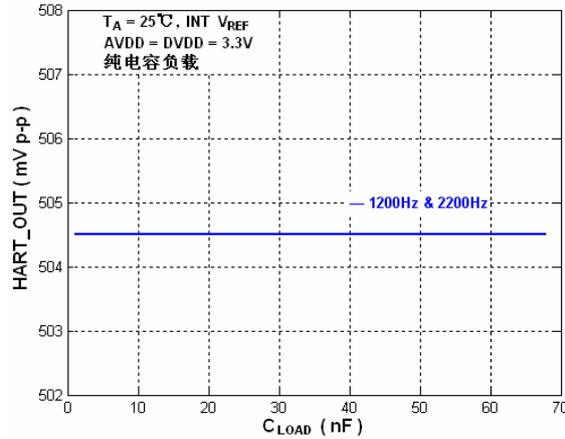


图 22. HART_OUT 幅度 vs. 容性负载

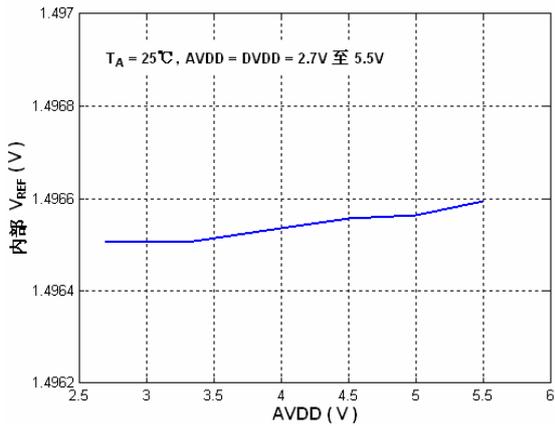


图 23. REF 基准电压 vs. AVDD

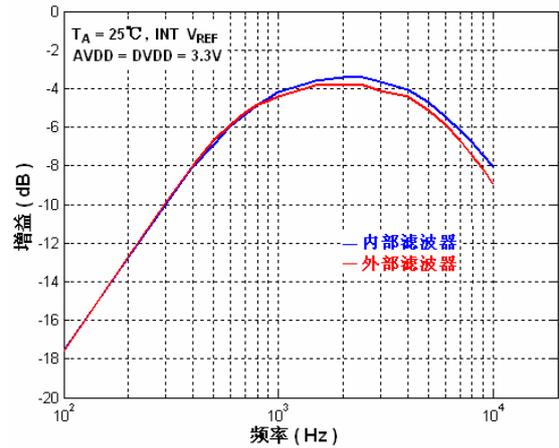
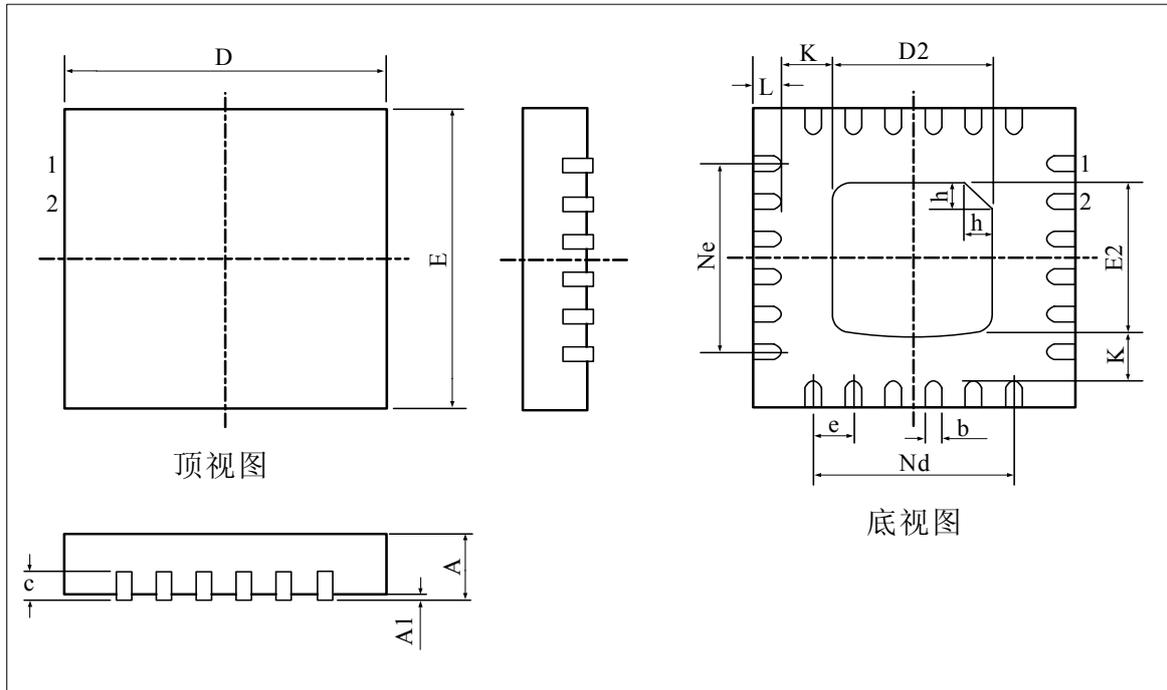


图 24. 输入带通滤波器频率响应

封装规格


尺寸：毫米 (mm)

| 标识 | 最小值 | 典型值 | 最大值 |
|----|---------|------|------|
| A | 0.70 | 0.75 | 0.80 |
| A1 | — | 0.02 | 0.05 |
| b | 0.18 | 0.25 | 0.30 |
| c | 0.18 | 0.20 | 0.25 |
| D | 3.90 | 4.00 | 4.10 |
| D2 | 1.90 | 2.00 | 2.10 |
| E | 3.90 | 4.00 | 4.10 |
| E2 | 1.90 | 2.00 | 2.10 |
| e | 0.50BSC | | |
| Ne | 2.50BSC | | |
| Nd | 2.50BSC | | |
| L | 0.30 | 0.40 | 0.50 |
| K | 0.20 | — | — |
| h | 0.30 | 0.35 | 0.40 |

图 25. QFN24 封装外形图