

### 特性

- 1 GSPS内部系统时钟（高达400 MHz模拟输出）
- 内置1 GSPS 14位DAC
- 数据吞吐速率：250 MHz I/Q
- 相位噪声： $\leq 125$  dBc/Hz（1 kHz偏移，400 MHz载波）
- 卓越的动态性能： $>80$  dB窄带SFDR
- 8个可编程profile，支持移位键控
- Sin(x)/(x)校正（反正弦滤波器）
- 参考时钟倍频器
- 内部振荡器，支持单晶体操作
- 软件/硬件控制的省电功能
- 集成RAM
- 调相功能
- 多器件同步
- 与Blackfin SPORT轻松接口
- 插值因子范围：4至252倍
- DAC插值模式
- 增益控制DAC
- 内部分频器支持高达2 GHz的参考频率
- 1.8 V和3.3 V电源供电
- 100引脚TQFP\_EP封装

### 应用

- HFC数据、电话和视频调制解调器
- 无线基站传输
- 宽带通信传输
- 网络电话

### 概述

AD9957 可以在成本、尺寸、功耗和动态性能均非常关键的通信系统中用作通用 I/Q 调制器和捷变上变频器。AD9957 将一个高速、直接数字频率合成器(DDS)、一个高性能、高速、14 位数模转换器(DAC)、时钟乘法器电路、数字滤波器和其它 DSP 功能集成在一个芯片上。该器件可以在有线或无线通信系统中为数据传输提供基带上变频。

AD9957 是正交数字上变频器(QDUC)系列中的第三款产品，该系列还包括 AD9857 和 AD9856。该器件可以在工作速度、功耗和频谱性能方面提供更好的性能。同其前款产品不同，该器件针对 I/Q 基带数据支持 16 位串行输入模式。另外，该器件可以通过编程设置为单频正弦波信号源或插值 DAC。

参考时钟输入电路包含一个晶体振荡器、一个高速二分频输入和一个低噪声锁相环(PLL)来实现参考时钟频率倍频。

用户接口包括可与 Blackfin® DSP 的 SPORT 轻松接口的串行端口，以及可轻松快速实现任意信号参数（相位、频率或振幅）移位键控的 profile 引脚。

功能框图

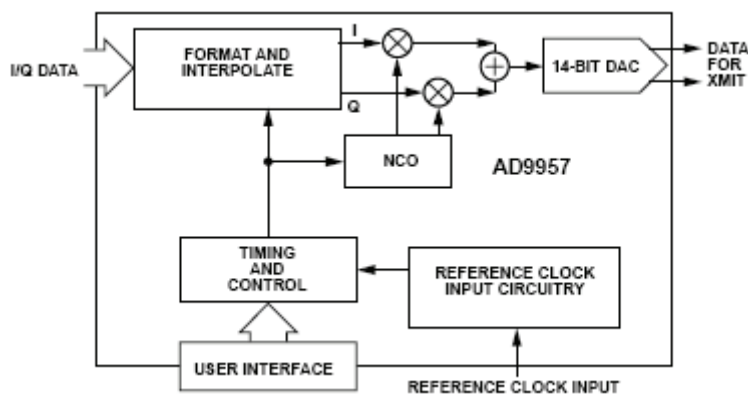


图1.

Rev. A  
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2007–2008 Analog Devices, Inc. All rights reserved.

## 目录

特性 .....	1	RAM段寄存器 .....	26
应用 .....	1	RAM状态机 .....	26
概述 .....	1	RAM触发器(RT)引脚 .....	26
功能框图 .....	1	RAM加载/读取操作 .....	27
修订历史 .....	3	RAM回放操作 .....	27
技术规格 .....	4	RAM回放模式概述 .....	28
电气规格 .....	4	RAM上斜坡模式 .....	28
绝对最大额定值 .....	7	RAM双向斜坡模式 .....	29
ESD警告 .....	7	RAM连续双向斜坡模式 .....	31
引脚配置和功能描述 .....	8	RAM连续循环模式 .....	32
典型工作特性 .....	11	时钟输入(REF_CLK) .....	33
工作模式 .....	15	REFCLK概述 .....	33
概述 .....	15	晶体驱动REF_CLK .....	33
正交调制模式 .....	16	直接驱动REF_CLK .....	33
BLACKFIN接口(BFI)模式 .....	17	锁相环(PLL)乘法器 .....	34
DAC插值模式 .....	18	PLL电荷泵 .....	35
单频输出模式 .....	19	外部PLL环路滤波器元件 .....	35
信号处理 .....	20	PLL锁定指示 .....	35
并行数据时钟(PDCLK) .....	20	其他特性 .....	36
发送使能引脚(TxENABLE) .....	20	输出移位键控(OSK) .....	36
输入数据分配器 .....	21	手动OSK .....	36
反CCI滤波器 .....	22	自动OSK .....	36
固定插值器 (4 倍) .....	22	PROFILE .....	37
可编程插值滤波器 .....	23	I/O_UPDATE引脚 .....	37
正交调制器 .....	23	自动I/O更新 .....	37
DDS内核 .....	24	省电控制 .....	38
反SINC滤波器 .....	24	通用I/O (GPIO)端口 .....	38
输出比例因子(OSF) .....	25	多器件同步 .....	39
14 位DAC .....	25	概述 .....	39
辅助DAC .....	25	时钟发生器 .....	39
RAM控制 .....	26	同步发生器 .....	39
RAM概述 .....	26	同步接收器 .....	40

建立/保持验证 .....	41	I/O_RESET—输入/输出复位 .....	47
同步示例 .....	43	I/O_UPDATE—输入/输出更新 .....	47
I/Q路径延迟 .....	44	串行I/O时序图 .....	47
示例 .....	44	MSB/LSB传输 .....	47
电源分组 .....	45	寄存器映射和位功能描述 .....	48
3.3 V电源 .....	45	寄存器映射 .....	48
DVDD_I/O (引脚 11/15/21/28/45/56/66)		寄存器位功能描述 .....	53
.....	45	控制功能寄存器 1 (CFR1) .....	53
AVDD (引脚 74 至 77 和引脚 83) .....	45	控制功能寄存器 2 (CFR2) .....	54
1.8 V电源 .....	45	控制功能寄存器 3 (CFR3) .....	56
DVDD (引脚 17/23/30/47/57/64) .....	45	辅助DAC控制寄存器 .....	56
AVDD (引脚 3) .....	45	I/O更新速率寄存器 .....	56
AVDD (引脚 6) .....	45	RAM段寄存器 0 .....	56
AVDD (引脚 89/92) .....	45	RAM段寄存器 1 .....	57
串行编程 .....	46	幅度比例因子(ASF)寄存器 .....	57
控制接口—串行I/O .....	46	多芯片同步寄存器 .....	57
通用串行I/O操作 .....	46	PROFILE寄存器 .....	58
指令字节 .....	46	Profile<7:0>寄存器—单频 .....	58
指令字节信息位图 .....	46	Profile<7:0>寄存器—QDUC .....	58
串行I/O端口引脚功能描述 .....	46	RAM寄存器 .....	58
SCLK—串行时钟 .....	46	GPIO配置寄存器 .....	58
CS—片选信号 .....	46	GPIO数据寄存器 .....	58
SDIO—串行数据输入/输出 .....	46	外形尺寸 .....	59
SDO—串行数据输出 .....	47	订购指南 .....	59

## 修订历史

### 2008年1月—修订版0至修订版A

更改 REFCLK 乘法器规格 .....	3
更改 I/O_Update /Profile<2:0>/RT 时序特性和 I/Q 输入时序特性 .....	5
更换“引脚配置和功能描述”部分 .....	8
更改图 25 至 29 .....	15
删除表 4；重新排序 .....	20
更改“DDS 内核”部分 .....	24
更改图 47 和表 6 .....	33
更换“多器件同步”部分 .....	39

增加“I/Q 路径延迟”部分 .....	44
增加“电源分组”部分 .....	45
更改“通用串行 I/O 操作”部分 .....	46
更改表 13 .....	48
更改表 14 .....	49
更改表 19 .....	54
更改表 20 .....	56
更改“GPIO 配置寄存器”和“GPIO 数据寄存器”部分 .....	58

### 2007年5月—修订版0：初始版

## 技术规格

### 电气规格

除非另有说明，AVDD (1.8V)和 DVDD (1.8V) =  $1.8\text{ V} \pm 5\%$ ，AVDD (3.3V) =  $3.3\text{ V} \pm 5\%$ ，DVDD\_I/O (3.3V) =  $3.3\text{ V} \pm 5\%$ ，T = 25°C，R<sub>SET</sub> = 10 kΩ，I<sub>OUT</sub> = 20 mA，外部参考时钟频率 = 1000 MHz 且禁用 REFCLK 乘法器。

表1

参数	测试条件/注释	最小值	典型值	最大值	单位
REF_CLK输入特性					
频率范围					
REFCLK乘法器	禁用	60		1000 <sup>1</sup>	MHz
	使能	3.2		60	MHz
最大REFCLK输入分频器频率	全温度范围	1500	1900		MHz
最小REFCLK输入分频器频率	全温度范围		25	35	MHz
外部晶体			25		MHz
输入电容			3		pF
输入阻抗 (差分)			2.8		kΩ
输入阻抗 (单端)			1.4		kΩ
占空比	REFCLK乘法器禁用	45		55	%
	REFCLK乘法器使能	40		60	%
REF_CLK输入电平	单端	50		1000	mV p-p
	差分	100		2000	mV p-p
REFCLK乘法器VCO增益特性					
VCO增益(K <sub>v</sub> ) (中心频率)	VCO0范围设置		429		MHz/V
	VCO1范围设置		500		MHz/V
	VCO2范围设置		555		MHz/V
	VCO3范围设置		750		MHz/V
	VCO4范围设置		789		MHz/V
	VCO5范围设置 <sup>2</sup>		850		MHz/V
REFCLK_OUT特性					
最大容性负载			20		pF
最大频率			25		MHz
DAC输出特性					
满量程输出电流		8.6	20	31.6	mA
增益误差		-10		+10	%FS
输出偏移				2.3	μA
微分非线性			0.8		LSB
积分非线性			1.5		LSB
输出电容			5		pF
残余相位噪声	偏移为1 kHz且A <sub>OUT</sub> 为20 MHz时				
REFCLK乘法器	禁用		-152		dBc/Hz
	使能, 20倍		-140		dBc/Hz
	使能, 100倍		-140		dBc/Hz
交流输出电压范围		-0.5		+0.5	V
无杂散动态范围 (SFDR单频调制)					
f <sub>OUT</sub> = 20.1 MHz			-70		dBc
f <sub>OUT</sub> = 98.6 MHz			-69		dBc
f <sub>OUT</sub> = 201.1 MHz			-61		dBc
f <sub>OUT</sub> = 397.8 MHz			-54		dBc

参数	测试条件/注释	最小值	典型值	最大值	单位
噪声谱密度(NSD) 单频调制 f <sub>OUT</sub> = 20.1 MHz f <sub>OUT</sub> = 98.6 MHz f <sub>OUT</sub> = 201.1 MHz f <sub>OUT</sub> = 397.8 MHz			-167 -162 -157 -151		dBm/Hz dBm/Hz dBm/Hz dBm/Hz
双音交调失真(IMD) f <sub>OUT</sub> = 25 MHz f <sub>OUT</sub> = 50 MHz f <sub>OUT</sub> = 100 MHz	I/Q速率 = 62.2 MSPS; 16倍插值		-82 -78 -73		dBc dBc dBc
调制器特性 输入数据 误差矢量幅度  WCDMA—FDD (TM1), 3.84 MHz带宽和5 MHz通道间隔 邻道泄漏比(ACLR) 载波馈通	2.5 Msymbols/s, QPSK, 4倍过采样 270.8333 ksymbols/s, GMSK, 32倍过采样 2.5 Msymbols/s, 256-QAM, 4倍过采样  IF = 143.88 MHz		0.53 0.77 0.35  -78 -78		% % %  dBc dBc
串行端口时序特性 最大SCLK频率 最小SCLK脉冲宽度  SCLK最大上升/下降时间 至SCLK最短数据建立时间 至SCLK最短数据保持时间 读取模式下最长数据有效时间	低 高	4 4 5 0	70  2		Mbps ns ns ns ns ns
I/O_UPDATE/PROFILE<2:0>/RT时序特性 最短脉冲宽度  至SYNC_CLK最短建立时间 至SYNC_CLK最短保持时间	高	1 1.75 0			SYNC_CLK 周期 ns ns
I/Q输入时序特性 PDCLK最大频率 至PDCLK最短I/Q数据建立时间 至PDCLK最短I/Q数据保持时间 至PDCLK最短TxEnable建立时间 至PDCLK最短TxEnable保持时间			250 1.75 0 1.75 0		MHz ns ns ns ns
其它时序特性 唤醒时间 <sup>3</sup> 快速恢复模式 深度睡眠模式 最短复位脉冲宽度 (高电平)			1 8 5	150	SYSClk周期 <sup>4</sup> μs SYSClk周期 <sup>4</sup>
数据延迟 (流水线延迟) 单频模式数据延迟 频率、相位和幅度至DAC输出 频率和相位至DAC输出	匹配延迟使能 匹配延迟禁用		91 79		SYSClk周期 <sup>4</sup> SYSClk周期 <sup>4</sup>

# AD9957

参数	测试条件/注释	最小值	典型值	最大值	单位
CMOS逻辑输入					
电压					
逻辑1		2.0			V
逻辑0				0.8	V
电流					
逻辑1			90	120	μA
逻辑0			38	50	μA
输入电容			2		pF
CMOS逻辑输出	1 mA负载				
电压					
逻辑1		2.8			V
逻辑0				0.4	V
电源电流					
DVDD_I/O (3.3V)引脚功耗	QDUC模式		16		mA
DVDD (1.8V)引脚功耗	QDUC模式		610		mA
AVDD (3.3V)引脚功耗	QDUC模式		28		mA
AVDD (1.8V)引脚功耗	QDUC模式		105		mA
功耗					
单频模式			800		mW
连续调制	8倍插值		1400	1800	mW
反Sinc滤波器功耗			150	200	mW
深度睡眠模式			12	28	mW

<sup>1</sup> 在BFI模式下，系统时钟最大值为750 MHz。

<sup>2</sup> VCO范围设置5的增益值在频率1000 MHz测得。

<sup>3</sup> 唤醒时间指从模拟省电模式恢复正常模式的时间。最长时间是指参考时钟乘法器PLL重新锁定参考时钟所需时间。

<sup>4</sup> SYSCLK周期指DDS片内使用的实际时钟频率。如果使用参考时钟乘法器乘以外部参考时钟频率，SYSCLK频率为外部频率乘以参考时钟倍频系数。如果不使用参考时钟乘法器和分频器，SYSCLK频率与外部参考时钟频率相同。

## 绝对最大额定值

表2

参数	额定值
AVDD (1.8V)和DVDD (1.8V)电源	2 V
AVDD (3.3V)和DVDD_I/O (3.3V)电源	4 V
数字输入电压	-0.7 V至+4 V
数字输出电流	5 mA
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+85°C
$\theta_{JA}$	22°C/W
$\theta_{JC}$	2.8°C/W
最高结温	150°C
引脚温度, 焊接 (10秒)	300°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

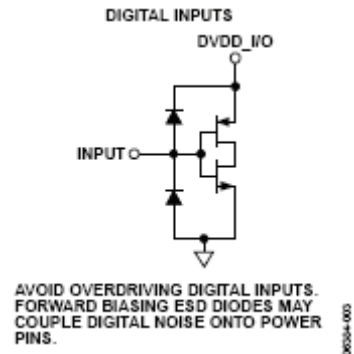


图2. 等效输入电路

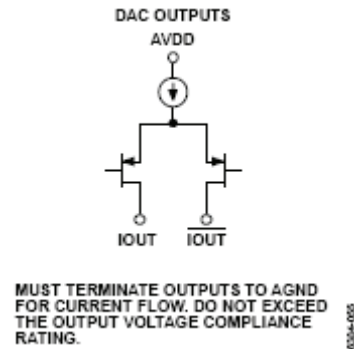


图3. 等效输出电路

### ESD警告



#### ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

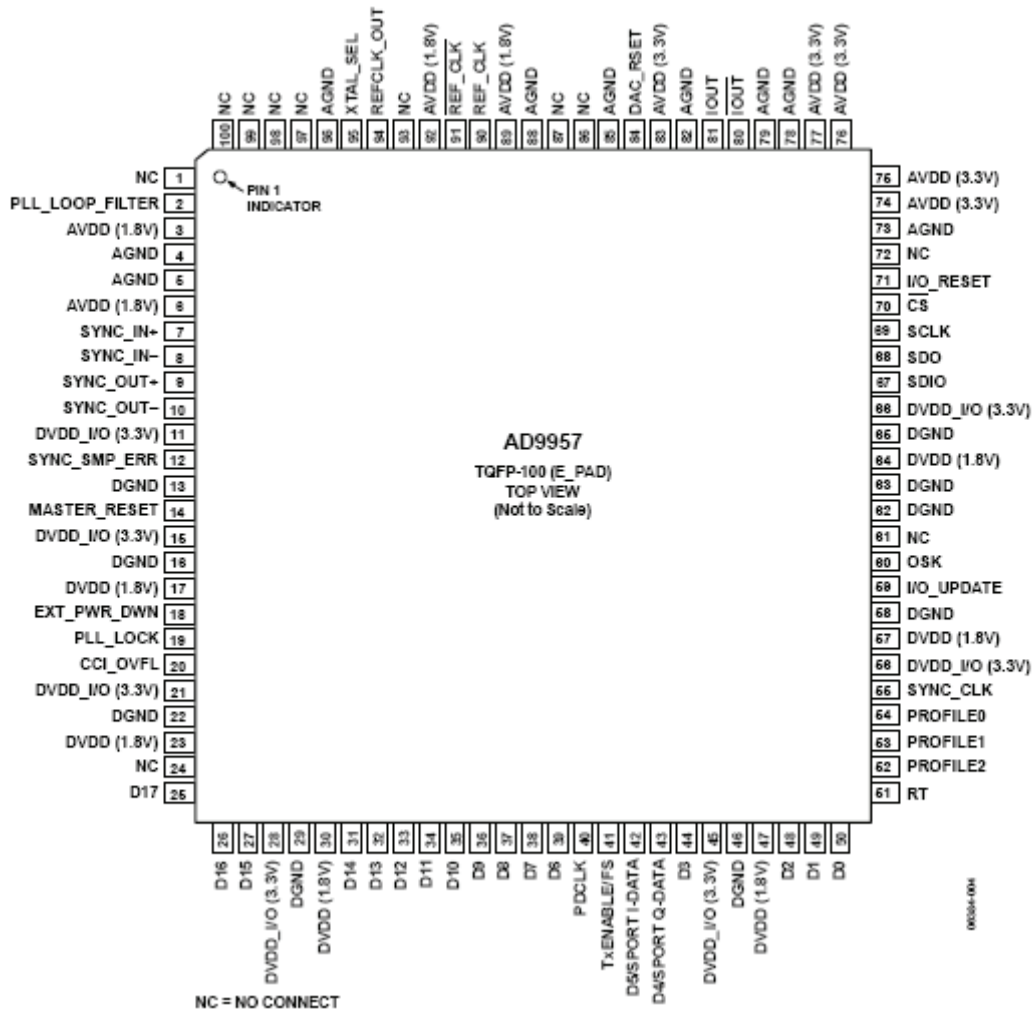


图4. 引脚配置



表3. 引脚功能描述

引脚编号	引脚名称	I/O <sup>1</sup>	描述
1/24/61/72/86/87/93/97至100	NC		不连接。允许器件引脚悬空。
2	PLL_LOOP_FILTER	I	PLL环路滤波器补偿。请参见“外部PLL环路滤波器元件”部分。
3/6/89/92	AVDD (1.8V)	I	模拟内核VDD。1.8 V模拟电源。
74至77/83	AVDD (3.3V)	I	模拟DAC VDD。3.3 V模拟电源。
17/23/30/47/57/64	DVDD (1.8V)	I	数字内核VDD。1.8 V数字电源。
11/15/21/28/45/56/66	DVDD_I/O (3.3V)	I	数字输入/输出VDD。3.3 V数字电源。
4/5/73/78/79/82/85/88/96	AGND	I	模拟地。
13/16/22/29/46/58/62/63/65	DGND	I	数字地。
7	SYNC_IN+	I	同步信号，数字输入（上升沿有效）。外部主机的同步信号同步内部子时钟。请参见“多器件同步”部分。
8	SYNC_IN-	I	同步信号，数字输入（下降沿有效）。外部主机的同步信号同步内部子时钟。请参见“多器件同步”部分。
9	SYNC_OUT+	O	同步信号，数字输出（上升沿有效）。内部器件子时钟的同步信号同步外部从机。请参见“多器件同步”部分。
10	SYNC_OUT-	O	同步信号，数字输出（下降沿有效）。内部器件子时钟的同步信号同步外部从机。请参见“多器件同步”部分。
12	SYNC_SMP_ERR	O	同步采样误差，数字输出（高电平有效）。此引脚高电平表明AD9957未收到有效SYNC_IN+/SYNC_IN-同步信号。请参见“多器件同步”部分。
14	MASTER_RESET	I	主机复位，数字输入（高电平有效）。此引脚将所有存储元件清0，寄存器设置为默认值。
18	EXT_PWR_DWN	I	外部省电模式，数字输入（高电平有效）。此引脚高电平会启用当前编程的省电运行模式。详情请参见“省电控制”部分。如未使用，应接地。
19	PLL_LOCK	O	PLL锁定，数字输出（高电平有效）。此引脚高电平表示时钟乘法器PLL已锁定参考时钟输入。
20	CCI_OVFL	O	CCI溢出数字输出，高电平有效。此引脚高电平表示CCI滤波器溢出。此引脚会一直保持高电平状态，直到CCI溢出条件清除为止。
25至27、31至39、42至44、48至50	D<17:0>	I/O	并行数据输入总线（高电平有效）。这些引脚为调制器提供交错式18位数字I和Q矢量，以便完成上变频。还可在Blackfin接口模式下用作GPIO端口。
42	SPORT I-DATA	I	在Blackfin接口模式下，此引脚作为I路数据串行输入。
43	SPORT Q-DATA	I	在Blackfin接口模式下，此引脚作为Q路数据串行输入。
40	PDCLK	O	并行数据时钟，数字输出（时钟）。详情请参见“信号处理”部分。
41	TxENABLE	I	发送使能，数字输入（高电平有效）。详情请参见“信号处理”部分。
41	FS	I	FS输入。在Blackfin接口模式下，此引脚用作FS输入端，接收来自Blackfin的RFS输出信号。
51	RT	I	RAM触发器，数字输入（高电平有效）。此引脚为RAM幅度调整功能提供控制。使用此功能时，高电平从起始RAM地址到结尾地址扫描幅度。低电平从结尾RAM地址到起始地址扫描幅度。如果未使用，应接地或连接电源。
52至54	PROFILE<2:0>	I	Profile选择引脚，数字输入（高电平有效）。这些引脚用于选择DDS内核的八个相位/频率特性之一（单音或载波音）。通过改变其中一个引脚的状态，可将所有当前I/O缓冲内容传输到相应寄存器。要改变状态，需要参考SYNC_CLK引脚上的信号来建立信号。
55	SYNC_CLK	O	输出系统时钟/4，数字输出（时钟）。I/O_UPDATE和PROFILE<2:0>引脚信号根据此信号来建立。

引脚编号	引脚名称	I/O <sup>1</sup>	描述
59	I/O_UPDATE	I/O	输入/输出更新；数字输入或输出（高电平有效），取决于内部I/O更新有效位。此引脚高电平表示I/O缓冲内容将传输到相应的内部寄存器。
60	OSK	I	输出移位键控，数字输入（高电平有效）。使用OSK（手动或自动）时，此引脚控制OSK功能。详情请参见数据手册的“输出移位键控(OSK)”部分。未使用OSK时，此引脚连到高电平。
67	SDIO	I/O	串行数据输入/输出，数字输入/输出（高电平有效）。根据配置情况，此引脚支持单向和双向（默认）两种模式。如果是双向串行端口模式，此引脚可用于串行数据输入和输出。如果是单向模式，仅支持数据输入。
68	SDO	O	串行数据输出，数字输出（高电平有效）。此引脚仅对单向串行数据模式有效，用于数据输出。双向模式中，此引脚无操作，应悬空。
69	SCLK	I	串行数据时钟。数字时钟（上升沿执行写操作，下降沿执行读操作）。此引脚提供控制数据路径的串行数据时钟。AD9957写操作使用上升沿，回读操作使用下降沿。
70	$\overline{\text{CS}}$	I	片选，数字输入（低电平有效）。引脚低电平可使AD9957检测串行时钟上升/下降沿。引脚高电平可使AD9957忽略串行数据引脚输入。
71	I/O_RESET	I	输入/输出复位，数字输入（高电平有效）。通信周期出现故障期间变为高电平时，此引脚并不会复位整个器件，而是复位串行端口控制器的状态机并清空自上次I/O更新以来写入的任何I/O缓冲器。未使用时，此引脚应接地，以免出现意外复位。
80	$\overline{\text{IOUT}}$	O	开源DAC互补输出电流源。模拟输出，电流模式。通过50 $\Omega$ 电阻连接到AGND。
81	IOUT	O	开源DAC输出电流源。模拟输出，电流模式。通过50 $\Omega$ 电阻连接到AGND。
84	DAC_RSET	O	模拟基准引脚。此引脚对DAC输出满量程基准电流编程。通过一个10 k $\Omega$ 电阻连接到AGND。
90	$\overline{\text{REF\_CLK}}$	I	参考时钟输入。模拟输入。详情请参见“REFCLK概述”部分。
91	REF_CLK	I	互补参考时钟输入。模拟输入。详情请参见“REFCLK概述”部分。
94	REFCLK_OUT	O	参考时钟输出。模拟输出。详情请参见“REFCLK概述”部分。
95	XTAL_SEL	I	晶体选择。详情请参见“REFCLK概述”部分。

<sup>1</sup>I = 输入，O = 输出。

## 典型工作特性

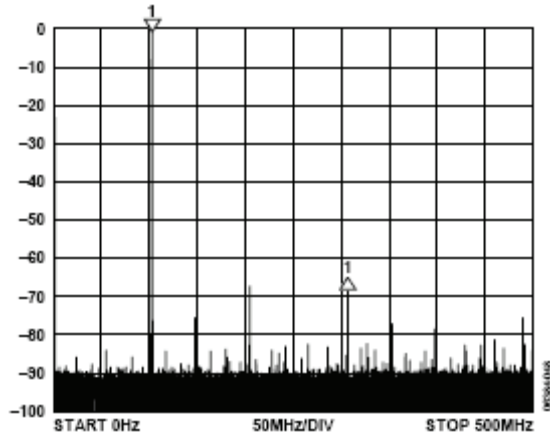
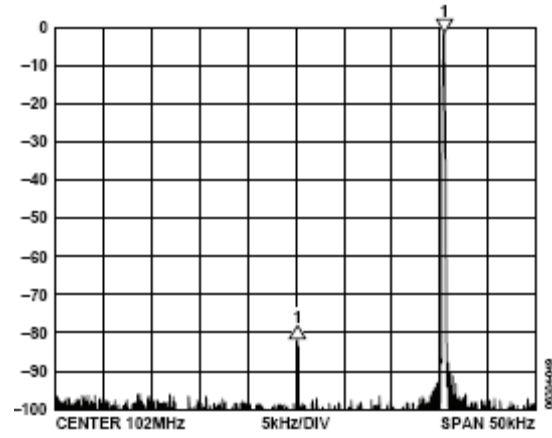
图5. 15.625 kHz正交音, 载波 = 102 MHz、CCI = 16且 $f_s = 1$  GHz

图8. 图5的窄带视图 (带有载波和下边带抑制)

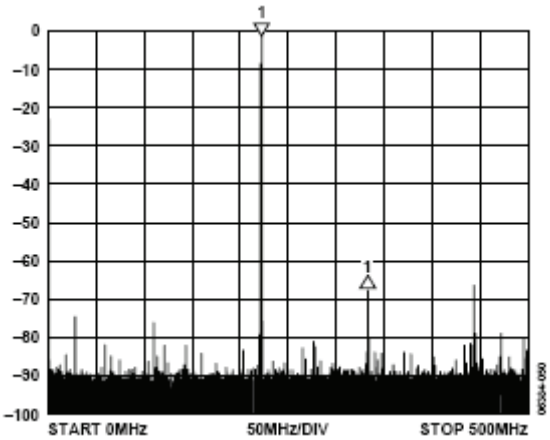
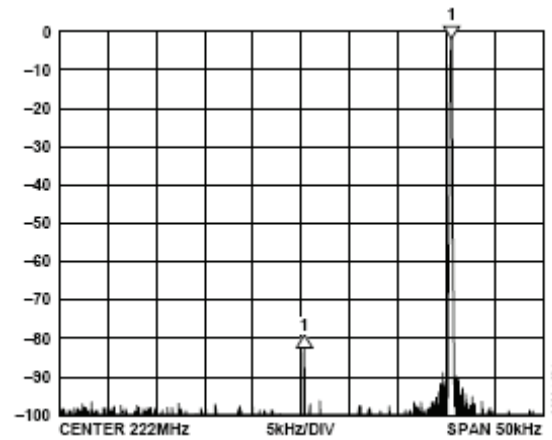
图6. 15.625 kHz正交音, 载波 = 222 MHz、CCI = 16且 $f_s = 1$  GHz

图9. 图6的窄带视图 (带有载波和下边带抑制)

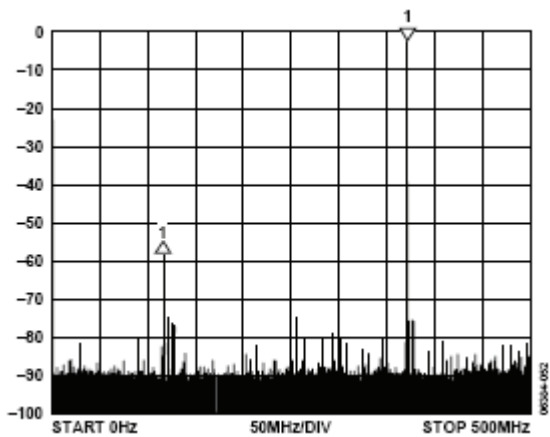
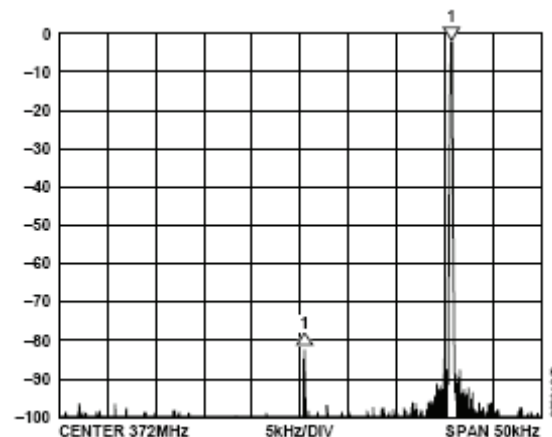
图7. 15.625 kHz正交音, 载波 = 372 MHz、CCI = 16且 $f_s = 1$  GHz

图10. 图7的窄带视图 (带有载波和下边带抑制)

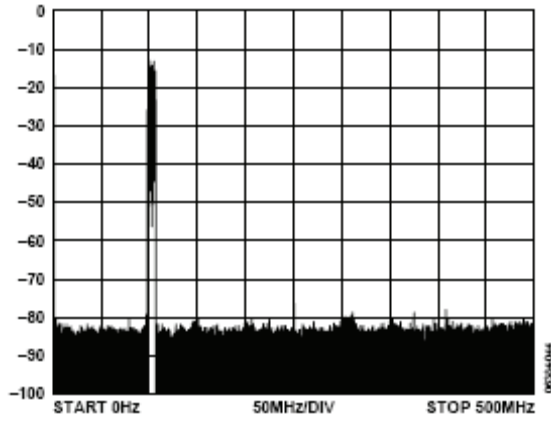


图11. QPSK, 7.8125 Msymbols/s, 4倍过采样升余弦,  $\alpha = 0.25$ , CCI = 8, 载波 = 102 MHz,  $f_s = 1$  GHz

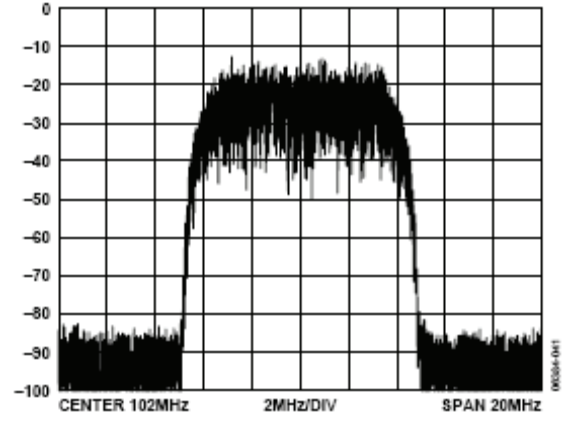


图14. 图11的窄带视图

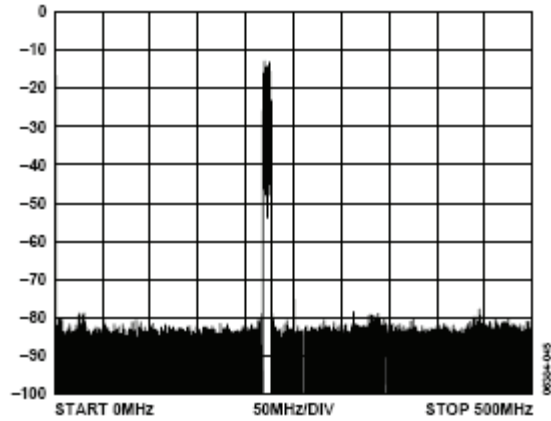


图12. QPSK, 7.8125 Msymbols/s, 4倍过采样升余弦,  $\alpha = 0.25$ , CCI = 8, 载波 = 222 MHz,  $f_s = 1$  GHz

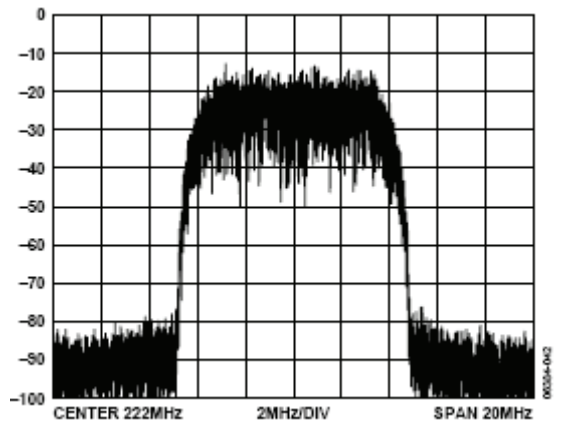


图15. 图12的窄带视图

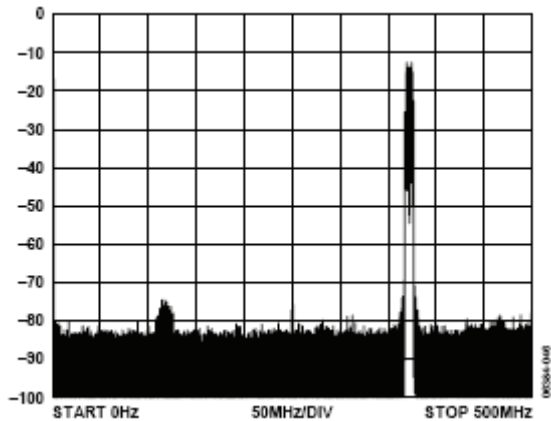


图13. QPSK, 7.8125 Msymbols/s, 4倍过采样升余弦,  $\alpha = 0.25$ , CCI = 8, 载波 = 372 MHz,  $f_s = 1$  GHz

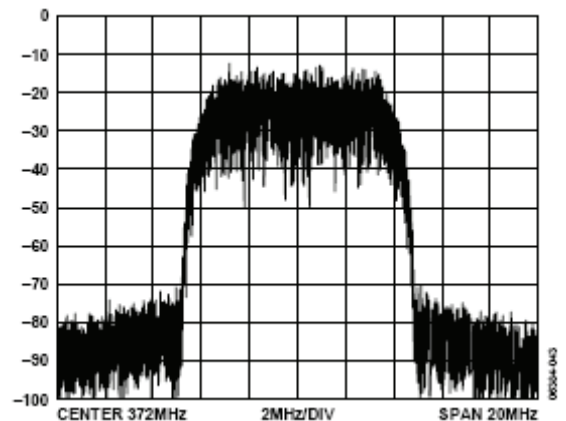


图16. 图13的窄带视图

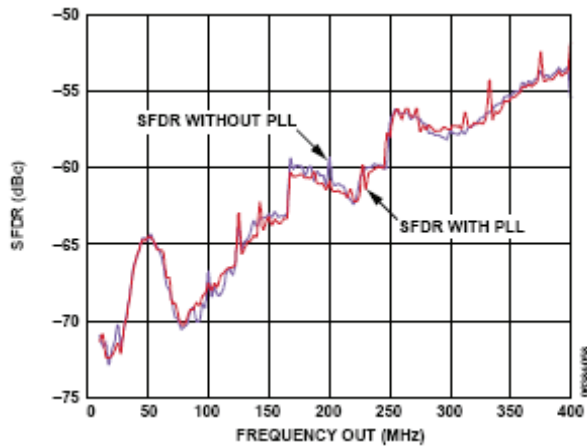


图17. PLL REFCLK = 15.625 MHz × 64时，单频调制模式中宽带SFDR与输出频率的关系

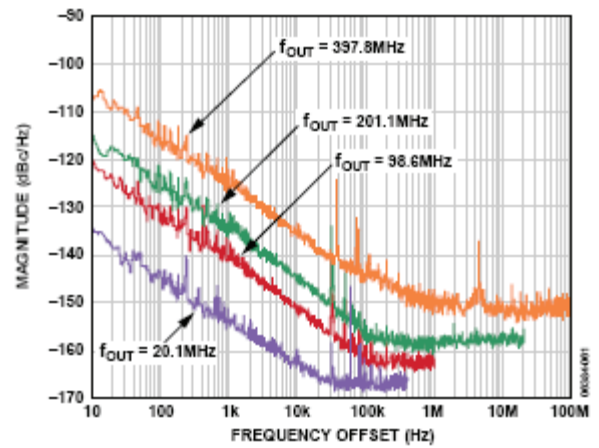


图20. 系统时钟 = 1 GHz时的残留相位噪声

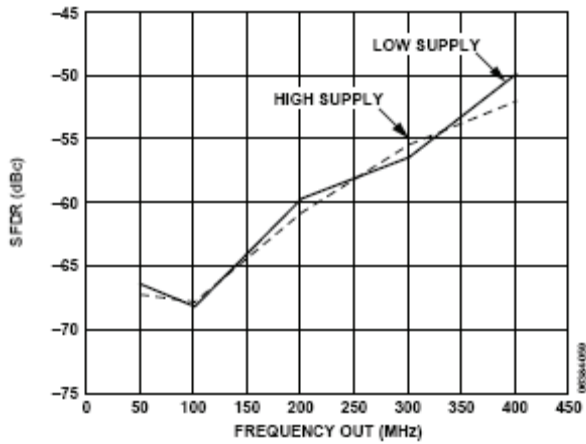


图18. REFCLK = 1 GHz时，单频调制模式中SFDR与输出频率和电源(±5%)的关系

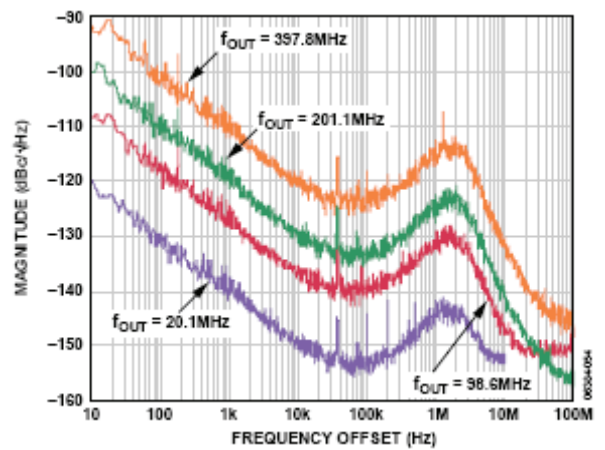


图21. 使用REFCLK乘法器、REFCLK = 50 MHz × 20且系统时钟 = 1 GHz时的残留相位噪声

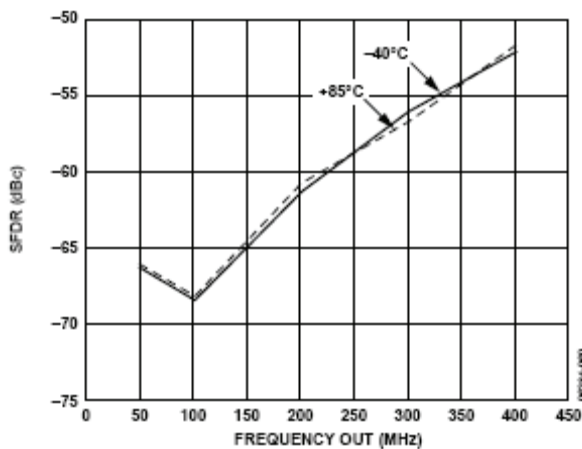


图19. REFCLK = 1 GHz时，单频调制模式中SFDR与频率和温度的关系

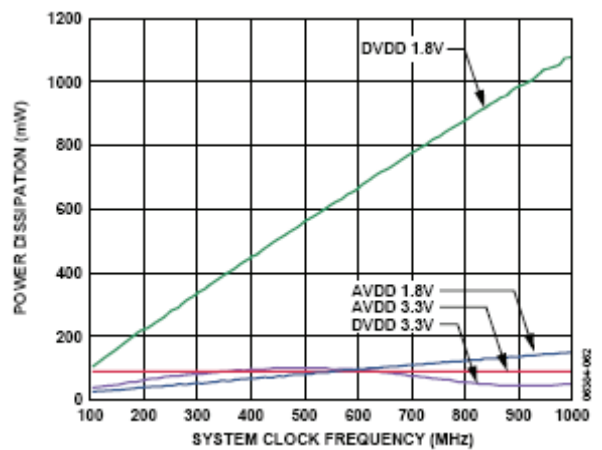


图22. 功耗与系统时钟的关系 (PLL禁用)

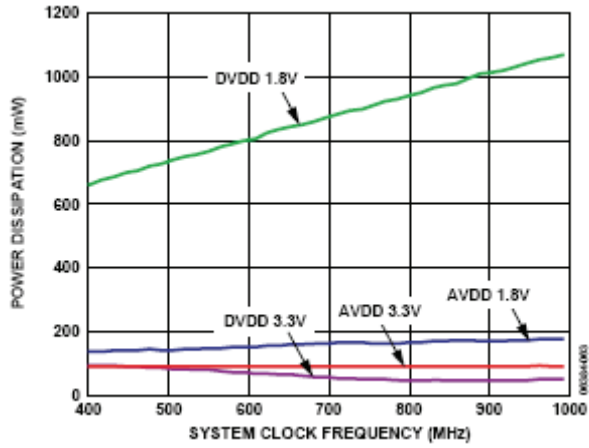
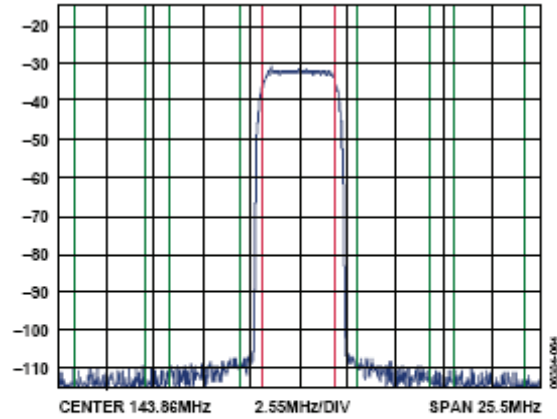


图23. 功耗与系统时钟的关系 (PLL使能)



Tx CHANNEL	W-CDMA SGFF FWD
BANDWIDTH: 3.84MHz	POWER: -11.88dBm
ADJACENT CHANNEL	
BANDWIDTH: 3.84MHz	LOWER: -78.27dB
SPACING: 3MHz	UPPER: -78.50dB
ADJACENT CHANNEL	
BANDWIDTH: 3.84MHz	LOWER: -81.42dB
SPACING: 10MHz	UPPER: -81.87dB

图24. 宽带CDMA的典型ACLR

## 工作模式

### 概述

AD9957 支持三种基本工作模式。

- 正交调制(QDUC)模式（默认）
- DAC 插值模式
- 单频调制模式

工作模式是通过控制功能寄存器 1 (CFR1) 中的工作模式位来进行选择的。在单音模式下，器件用作正弦波发生器，通过 DDS 直接驱动 DAC。

DAC 插值模式将旁路 DDS，允许用户以低于 DAC 的采样速率将基带数据发送至器件。速率插值的内部信号链对用户数据进行滤波并向上采样至 DAC 采样速率。与此结合，滤波器提供可编程速率插值，同时抑制镜像频谱并保留原始的基带频谱。

QDUC 模式中采用 DDS 和速率插值滤波器。这种情况下，两个并行速率插值滤波器组支持同相和正交(I/Q)信号的基带处理，而 DDS 则提供要由基带信号进行调制的载波信号。AD9957 详细框图如图 25 所示。

这三种模式均会用到反 sinc 滤波器。

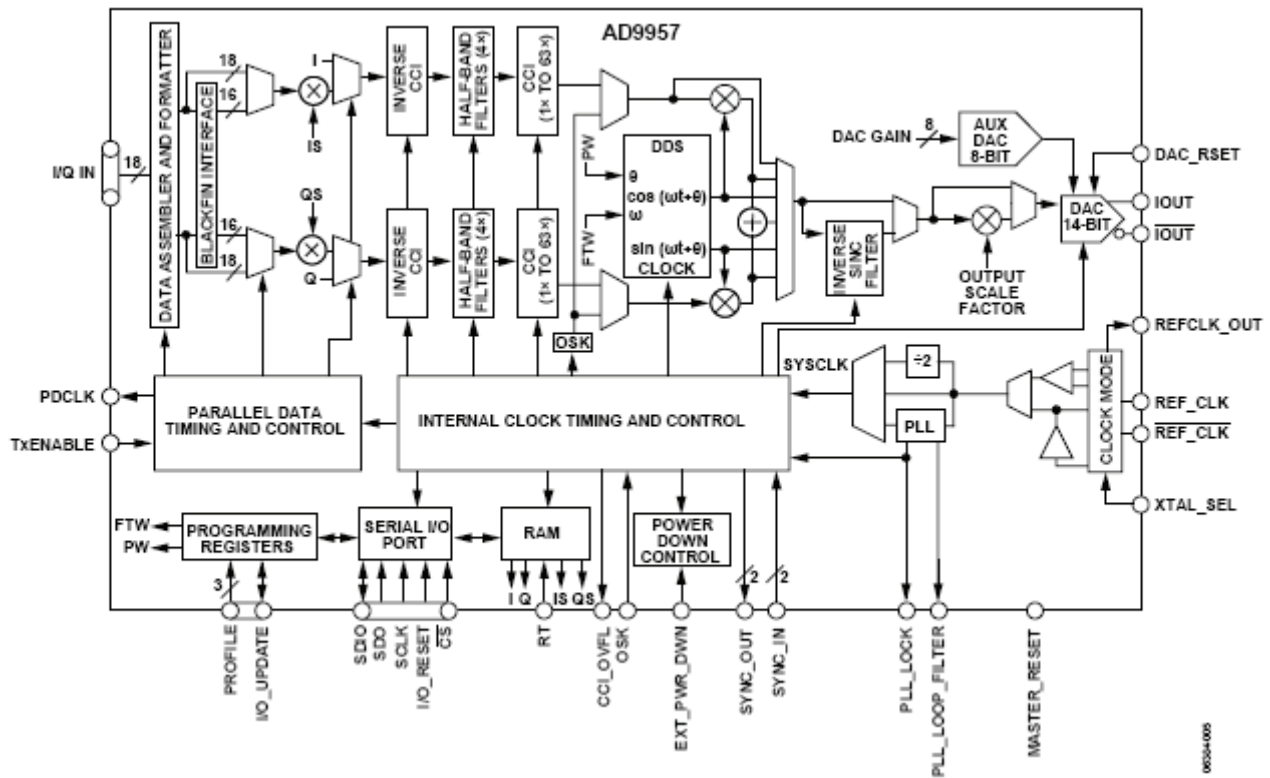


图25. 详细框图

## 正交调制模式

QDUC 工作模式下 AD9957 的框图如图 26 所示；灰色显示部分处于不活动状态。并行输入接受时序交错式 18 位 I 和 Q 字。也就是说，一个 18 位 I 字之后是一个 18 位 Q 字，然后是下一个 18 位 I 字，依此类推。一个 18 位 I 字和一个 18 位 Q 字共同构成一个内部样本。数据分配器和格式器对 I 和 Q 字进行解交错处理，以便每个样本沿着内部数据通路以并行方式进行传播。I 和 Q 数据路径均处于活动状态；并行数据时钟(PDCLK)用于将 I/Q 数据输入同步至 AD9957。

PROFILE 和 I/O\_UPDATE 引脚也与 PDCLK 同步。

DDS 内核将正交（正弦和余弦）本振信号提供给正交调制器，在这里插值 I 和 Q 样本乘以相应的载波相位并相加，从而产生正交调制数据流。此数据流通过反 sinc 滤波器（可选）和输出幅度乘法器，然后施加于 14 位 DAC，从而产生正交调制模拟输出信号。

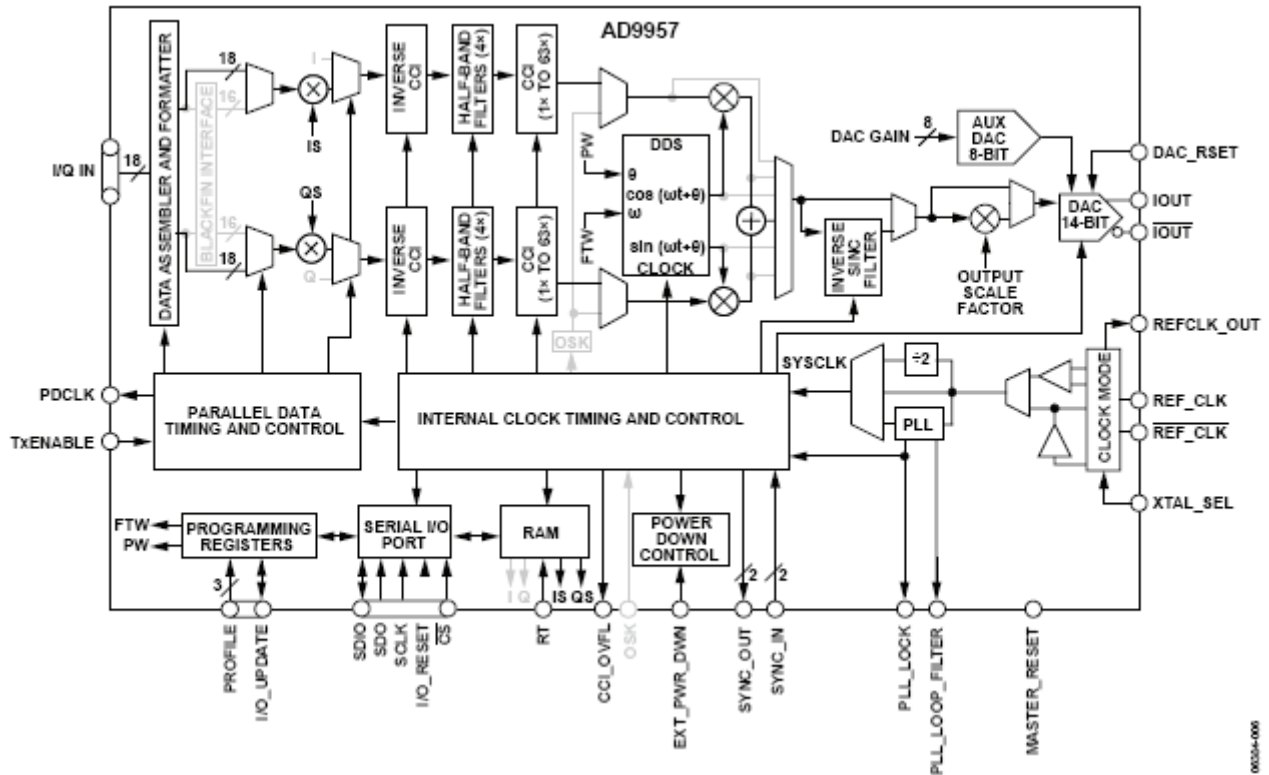


图26. 正交调制模式



**BLACKFIN接口(BFI)模式**

Blackfin 接口(BFI)模式是一种特定的 QDUC 模式，如图 27 所示；灰色显示部分处于不活动状态。在此模式下，施加于基带数据端口的是独立 I 和 Q 串行位流，而不是并行数据字。两个串行输入提供 16 位 I 和 Q 字（不同于正常 QDUC 模式下的 18 位字）。串行位流会被送入 Blackfin 接口。Blackfin 接口将 16 位串行数据转换成 16 位并行数据，该数据沿信号处理链向下传输。

Blackfin 接口在 I 和 Q 信号路径上额外包含一对半带滤波器（未在框图中明确标出）。与 QDUC 模式比较，这两个半带滤波器可以将基带数据的插值提高四倍。

串行数据通过 PDCLK 信号完成同步。在 BFI 模式下，PDCLK 信号实际为串行数据的位时钟。

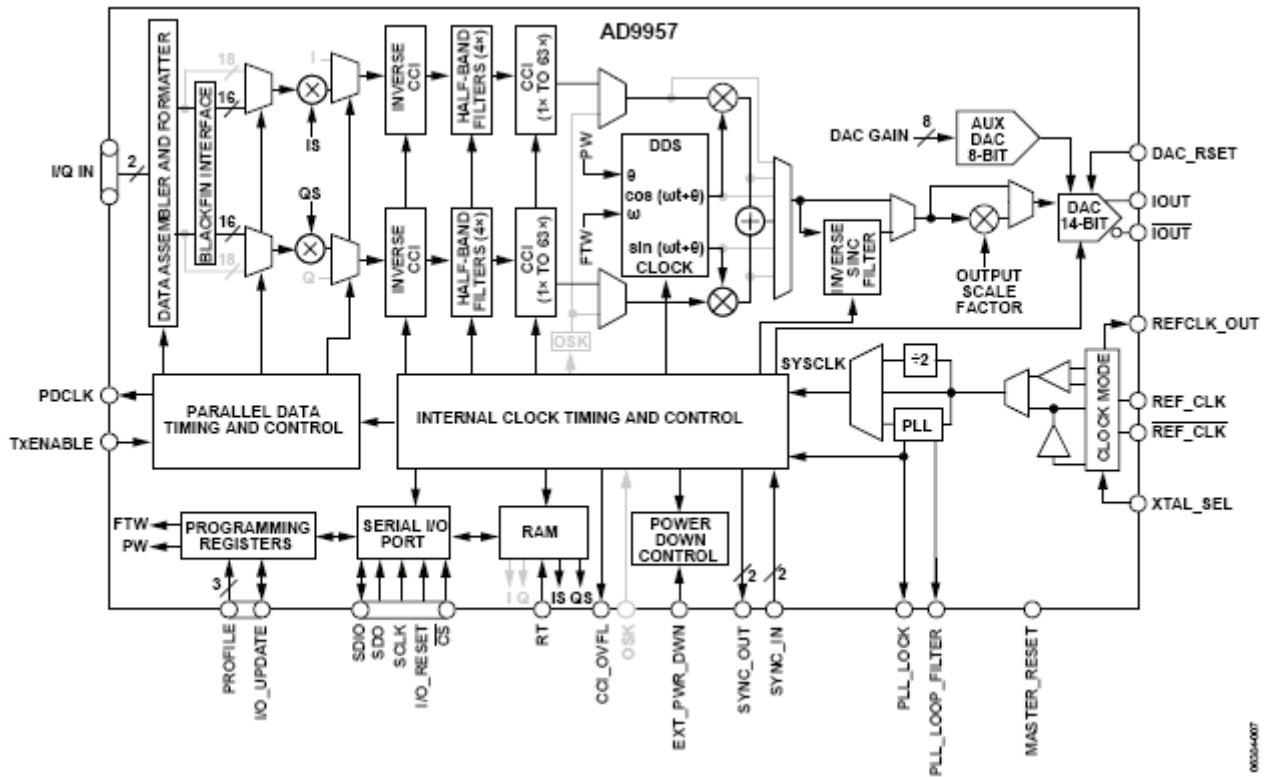


图27. 正交调制模式，Blackfin接口

# AD9957

## DAC插值模式

DAC 插值工作模式下 AD9957 的框图如图 28 所示；灰色显示部分处于不活动状态。在此模式下，将禁用 Q 数据路径、DDS 和调制器；只有 I 数据路径处于活动状态。

和正交调制模式中一样，PDCLK 引脚用作时钟，可将数据输入同步至 AD9957。

DAC 插值模式中不会发生调制；因此，并行端口提供的数据频谱保持为基带状态。不过，将根据设置的插值率来执行采样率转换。插值硬件会对信号进行处理，通过填零操作来高效执行过采样。原始输入频谱保持完好无损，而其它情况下采样率转换过程中产生的镜像会受到插值信号链的抑制。

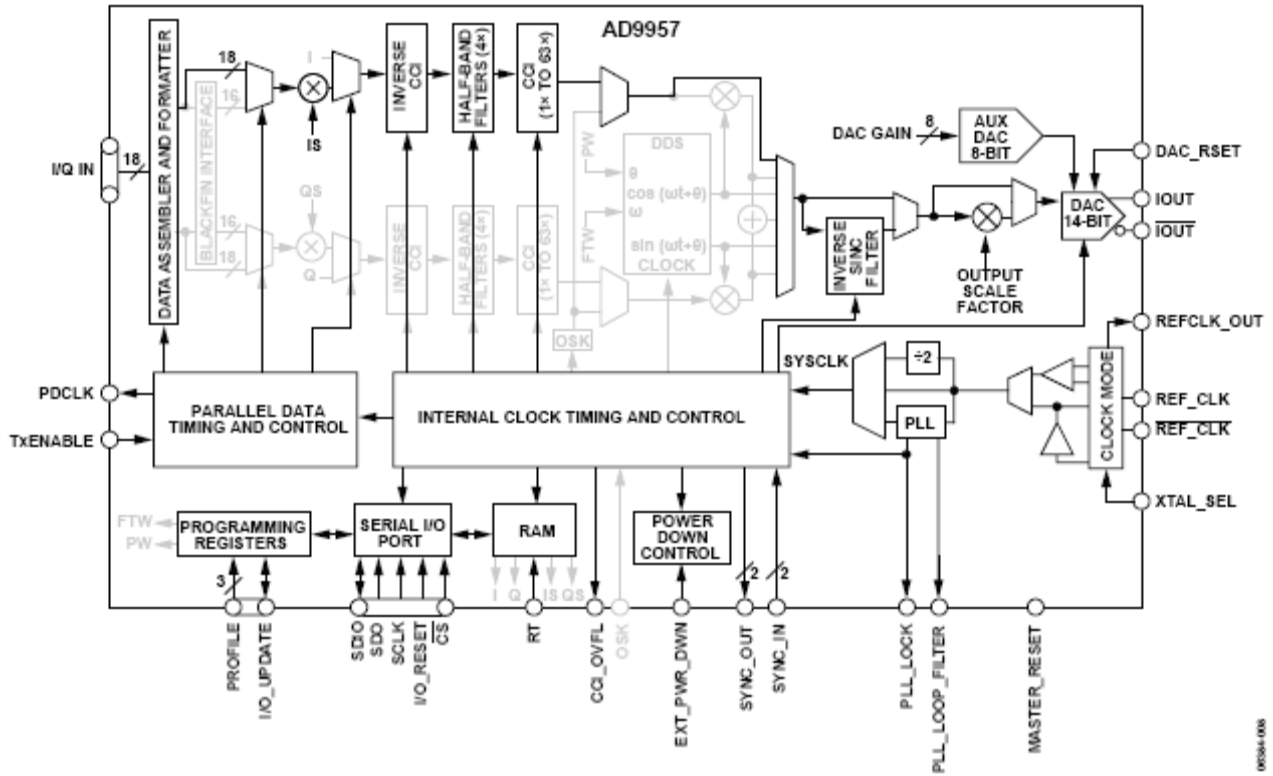


图28. DAC插值模式

## 单音模式

单音工作模式下 AD9957 的框图如图 29 所示；灰色显示部分处于不活动状态。在此模式下，从 18 位并行数据端口向上直到调制器的 I 和 Q 数据路径均被禁用。内部 DDS 内核根据设置的调谐字产生单频信号。用户可以选择 DDS 的余弦或正弦输出。DDS 输出端上的正弦波可以通过 14 位幅度比例因子(ASF)进行调整，并可选择通过反 sinc 滤波器进行。

单音模式提供输出移位键控(OSK)功能。该功能可以在指定时间间隔内在零和任意预设值之间调整幅度比例因子。

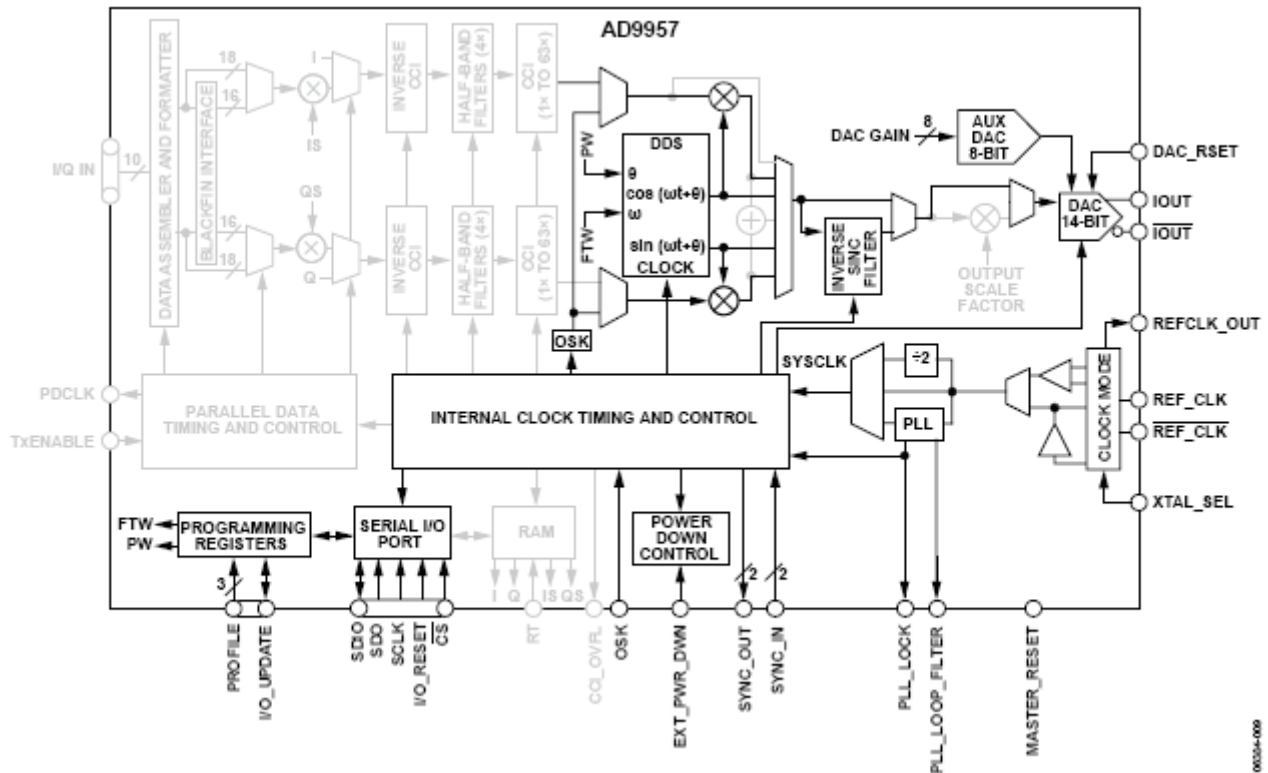


图29. 单音模式

## 信号处理

为了更好地了解 AD9957 的工作原理，一种有用的方法是沿着从并行数据端口到 DAC 输出端的信号路径分析各模块的功能（参见图 26）。

AD9957 中的所有时序均由内部系统时钟(SYSCLK)信号提供，内部系统时钟由 REF\_CLK 引脚上的时钟源产生。

### 并行数据时钟(PDCLK)

AD9957 会在 PDCLK 引脚上产生一个时钟信号，该信号频率等于并行数据端口的采样速率。PDCLK 在 QDUC 和 DAC 插值模式中用作并行端口的数据时钟；而在 BFI 模式下，则为位时钟。通常情况下，器件采用 PDCLK 的上升沿来将用户提供的数据锁存至数据端口。如果 PDCLK 反转位使能后，则选择下降沿作为有效沿。另外，PDCLK 使能位可用于切断 PDCLK 信号。即使通过 PDCLK 使能位关闭输出信号，PDCLK 依旧在内部运行。器件在内部使用 PDCLK 来捕捉并行数据。请注意，PDCLK 禁用时输出为逻辑 0。

在 QDUC 模式下，AD9957 的并行端口上交替出现 I 和 Q 数据字（参见图 31）。每个 PDCLK 有效沿捕捉一个 18 位字；因此，每个 I/Q 对需要两个 PDCLK 周期。在 BFI 模式下，AD9957 将接收两个串行位流，每个位流分段至 16 位字并通过 PDCLK 指示各个新位。这两种情况下，数据时钟速率均为  $f_{PDCLK}$ ，如“输入数据分配器”部分所述。

对于要求内部 SYSCLK 信号和 PDCLK 信号之间存在连续时序关系的 QDUC 应用，可使用 PDCLK 速率控制位来对 PDCLK 操作略做调整。该位置 1 时，PDCLK 速率会减小一半。这将导致 PDCLK 的上升沿锁存 I 字输入，下降沿锁存 Q 字输入。同样，可通过 PDCLK 反转位来更改边沿极性。

### 发送使能引脚(TxENABLE)

AD9957 可通过 TxENABLE 引脚支持用户生成的信号，该引脚可用于选通用户数据。TxENABLE 引脚的极性可通过 TxENABLE 反转位来进行设置（详情请参见“寄存器映射”部分）。当 TxENABLE 为真时，在预期的 PDCLK 沿上将数据锁存在器件中（基于 PDCLK 反转位）。当 TxENABLE 为假时，即使 PDCLK 能够继续运行，器件也会忽略向该端口提供的数据。另外，当 TxENABLE 引脚保持假时，器件会强制将 18 位数据字置为逻辑 0，或者保留数据端口在 TxENABLE 切换到逻辑假状态前的最后数值（参见“寄存器映射”部分中的数据分配器保留最后数值位）。

或者，不将 TxENABLE 引脚用作数据帧突发脉冲的控制信号，而通过以并行端口数据速率运行的时钟信号来驱动 TxENABLE。由时钟信号驱动时，由假到真的状态转换必须满足每个周期建立和保持时间要求，才能确保正常工作。

在 QDUC 模式下，器件在 TxENABLE 的由假到真边沿准备接收第一个 I 字。在 PDCLK 的有效沿上，第一个 I 字被锁存至器件。PDCLK 的下一有效沿锁存一个 Q 字，依此类推，直到 TxENABLE 返回到静态假状态。用户可以通过 Q 优先数据配对位来反转 I 和 Q 字的顺序。另外，用户必须确保向器件中送入偶数个数据字，因为器件必须捕捉到一个 I 和一个 Q 字，然后才能沿着信号链处理数据。

在 DAC 插值模式下，TxENABLE 工作方式与 QDUC 模式下类似，但无需进行 I/Q 数据配对；该模式下并不要求偶数个 PDCLK 周期的规则。

在 BFI 模式下，TxENABLE 引脚的工作方式与上面类似，不过由假到真边沿并不是标记第一个 I 字，而标记串行帧内的第一个 I 和 Q 位。用户必须确保发送了一个串行帧的全部 16 位，因为器件必须捕捉到完整的 16 位 I 和 Q 字，然后才能沿着信号链处理数据。

TxENABLE、PDCLK 和 DATA 的时序关系如图 30、图 31 和图 32 所示。

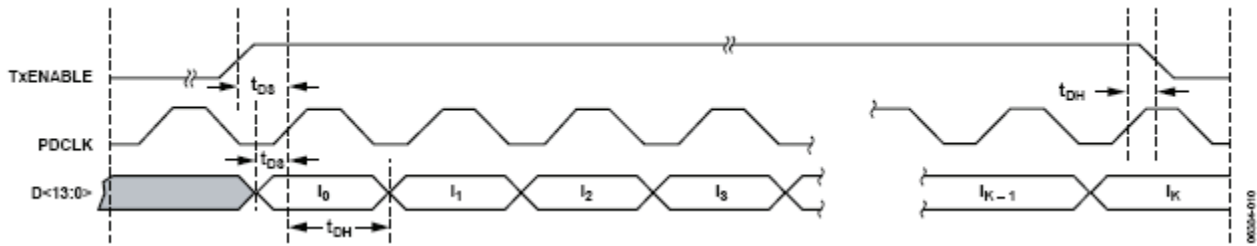


图30. 18位并行端口时序图—DAC插值模式

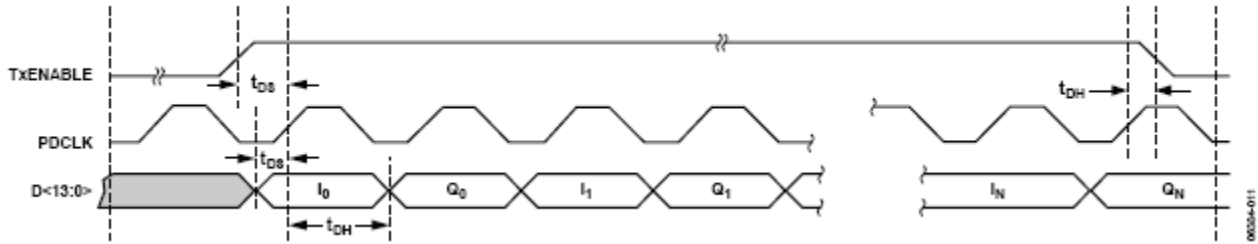


图31. 18位并行端口时序图—正交调制模式

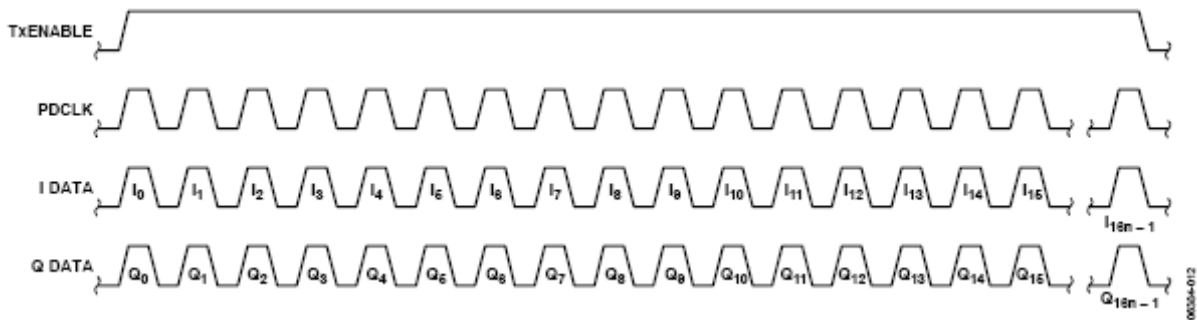


图32. 双串行I/Q位流时序图, BFI模式

### 输入数据分配器

在 QDUC 模式或 DAC 插值模式下, AD9957 的输入端是一个 18 位并行数据端口。而在 BFI 模式下, 该器件采用一个双串行数据端口。

在 QDUC 模式下, 器件假定两个连续的 18 位字代表 I + jQ 形式复数的实部(I)和虚部(Q)。该 18 位字以下列速率施加到 AD9957 的输入端:

$$f_{PDCLK} = \frac{f_{SYSCLK}}{2R} \quad (\text{QDUC 模式下})$$

其中:

$f_{SYSCLK}$  (对于本节中包含的所有 PDCLK 方程式) 是 DAC 的采样速率。

$R$  (对于本节中包含的所有 PDCLK 方程式) 是可编程插值滤波器的插值因子。

当 PDCLK 速率控制位在 QDUC 模式下有效时, PDCLK 的频率变为:

$$f_{PDCLK} = \frac{f_{SYSCLK}}{4R} \quad (\text{PDCLK 速率控制位有效})$$

在 DAC 插值模式下, PDCLK 的速率与 QDUC 模式下 PDCLK 速率控制位有效时的相同, 即:

$$f_{PDCLK} = \frac{f_{SYSCLK}}{4R} \quad (\text{DAC 插值模式})$$

在 BFI 模式下, 该 18 位并行输入转换为一个双串行输入; 也就是说, 一个引脚指定作为 I 字的串行输入端, 一个引脚指定作为 Q 字的串行输入端。其它 16 个引脚未使用。另外, 每个 I 和 Q 字均具有 16 位分辨率。 $f_{PDCLK}$  是 I 和 Q 数据流的位速率, 可通过以下公式得出:

$$f_{PDCLK} = \frac{f_{SYSCLK}}{R} \quad (\text{BFI 模式下})$$

在将数据提供给 AD9957 的输入端之前，必须对符号进行编码和脉冲整形。送入 AD9957 输入端的数据必须格式化为二进制补码或偏移二进制（参见表 13 中的数据格式位）。在 BFI 模式下，位序列顺序可（通过 Blackfin 位顺序位）设置为 MSB 优先或 LSB 优先。

## 反CCI滤波器

反级联梳状积分(CCI)滤波器使数据预失真，从而补偿 CCI 滤波器造成的细微衰减梯度（参见“可编程插值滤波器”部分）。进入第一个半带滤波器的数据占据  $\frac{1}{2} f_{IQ}$  的最大带宽，如奈奎斯特所定义（其中  $f_{IQ}$  是第一个半带滤波器输入端上的采样速率）；请参见图 33。

如果使用了 CCI 滤波器，带内衰减梯度可能会给要求通带极平坦的应用带来问题。例如，如果 AD9957 的输入数据频谱在  $\frac{1}{2} f_{DATA}$  区域中占据很大比例，则频率较高的数据频谱衰减程度相对略高（最差情况下，从  $f = 0$  到  $\frac{1}{2} f_{DATA}$  的总体降幅为  $< 0.8$  dB）。反 CCI 滤波器的响应特性与 CCI 滤波器在  $\frac{1}{2} f_{IQ}$  区域上的响应特性刚好相反。

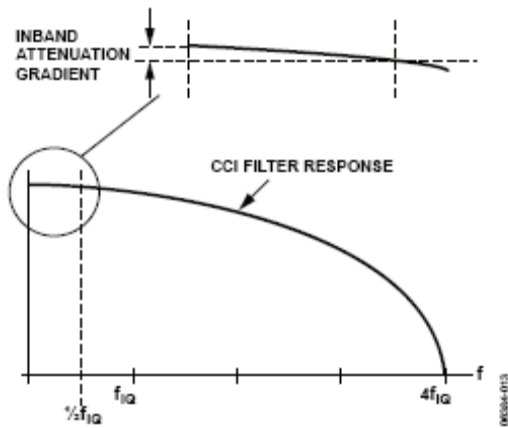


图33. CCI滤波器响应

两种响应特性结合后，器件可得到极平坦的通带（基带奈奎斯特带宽内为  $\pm 0.05$  dB），从而能够消除 CCI 滤波器引入的带内衰减梯度。代价就是要稍微衰减输入信号（CCI 插值率为 2 时，大约为 0.5 dB；而对于较高的插值率，则为 0.8 dB）。

可利用寄存器映射中的相应位来旁路反 CCI 滤波器；如果 CCI 插值率为 1 倍，则会旁路该滤波器。旁路该滤波器后，该级电源会关闭，以降低功耗。

## 固定插值器（4倍）

此模块是一个固定 4 倍插值器，配置为两个半带滤波器的级联。结合使用时，这个两个滤波器的采样速率可提高四倍，同时保持输入端基带信号的频谱不变。这些滤波器均为线性相位滤波器；这些滤波器的通带内几乎不会引入任何相位失真。插入损耗总共为 0.01 dB，因而可保持输入信号的相对幅度不变。

这些滤波器设计为可提供复合性能，能够产生 40% 输入采样速率的可用通带。在该通带内，纹波不超过 0.002 dB 峰峰值。阻带从输入采样速率的 60% 延伸至 340%，并且衰减最低，仅为 85 dB。图 34 和图 35 显示了两个半带滤波器的复合响应。

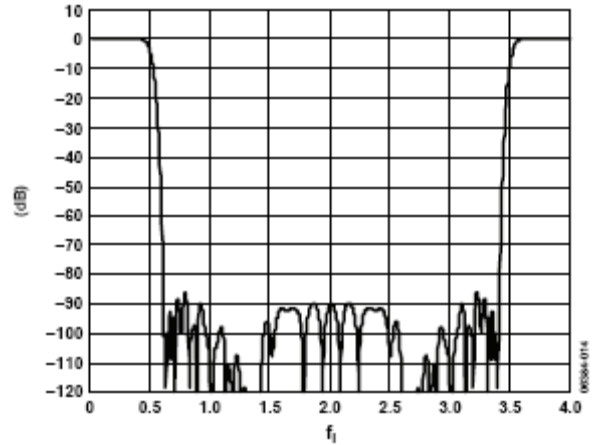


图34. 半带滤波器1和半带滤波器2复合响应（频率调整至半带滤波器1的输入采样速率）

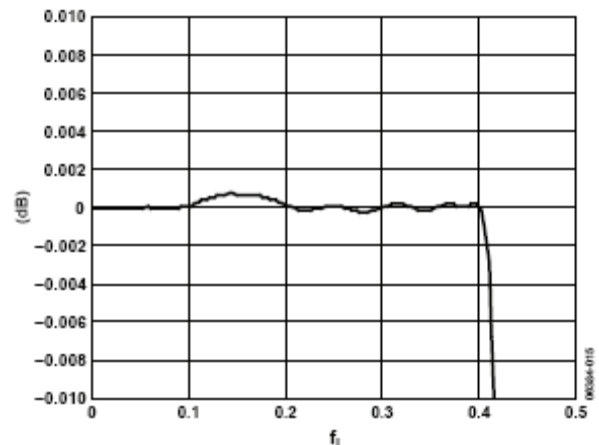


图35. 复合通带详情（频率调整至半带滤波器1的输入采样速率）

BFI 模式下还另外多出两个半带滤波器，总共会产生 16 倍固定插值因子。额外的 BFI 滤波器和 QDUC 半带滤波器使用相同的滤波器抽头系数，但其数据通路为 16 位（而不是和 QDUC 半带滤波器一样的 18 位）。因此，BFI 模式中的基带量化噪声较高。

要了解半带滤波器对输入信号的频谱特性有何影响，理解半带滤波器的频率响应非常重要。在使用正交调制器来对包含复数（经过脉冲整形）数据符号的基带信号进行上变频时，这一点显得尤为重要。

由于复数符号是通过实部(I)和虚部(Q)来表示的，因此对于一个  $I + jQ$  形式的复数样本，需要两个数据字来表示。与一个复数符号序列相关的采样速率称为  $f_{\text{SYMBOL}}$ 。如果对符号进行了脉冲整形，则必须将采样速率调高某个整数倍  $M$ （脉冲整形过程的结果）。新采样速率( $f_{\text{IQ}}$ )与符号速率的关系如下：

$$f_{\text{IQ}} = Mf_{\text{SYMBOL}}$$

其中， $f_{\text{IQ}}$  为两个 (I 和 Q) 信号路径在向第一个半带滤波器提供复数样本时必须采取的速率。该速率不应与向 AD9957 提供数据时的速率相混淆。

通常情况下，脉冲整形是通过具有升余弦响应特性的滤波器施加到基带符号上的。这类情况下，可以使用额外的带宽因子( $\alpha, 0 \leq \alpha \leq 1$ )来修改数据带宽。当  $\alpha = 0$  时，数据带宽相当于  $f_{\text{SYMBOL}}/2$ ；当  $\alpha = 1$  时，数据带宽扩展至  $f_{\text{SYMBOL}}$ 。图 36 显示了  $\alpha$ 、上升余弦响应的带宽和第一个半带滤波器的响应三者之间的关系。

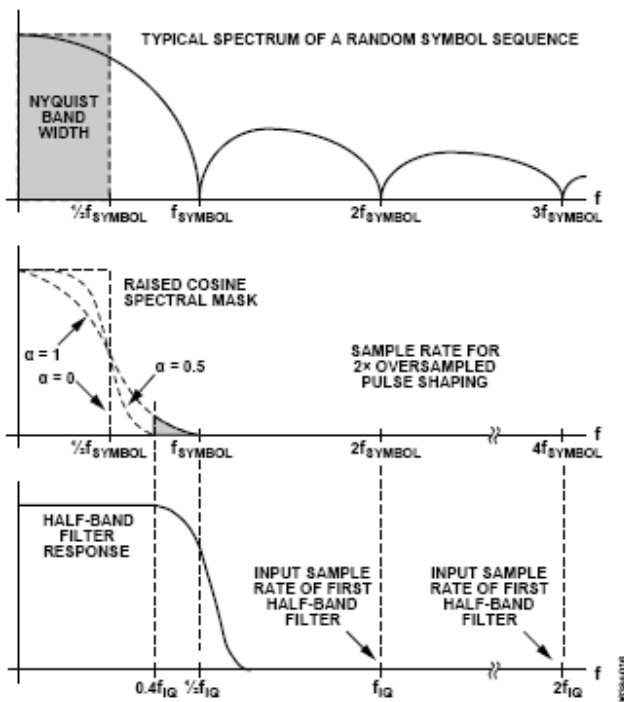


图36. 额外带宽系数( $\alpha$ )的影响

图 36 中的响应曲线反映的是  $M = 2$ （脉冲整形操作的插值因子）时的特定情况。通过调高因子  $M$ ，可以将图中半带响应部分上的  $f_{\text{IQ}}$  点位置向右移，因为该点必须与升余弦频谱图中频率轴上的对应  $Mf_{\text{SYMBOL}}$  点保持对齐。不过，如果  $f_{\text{IQ}}$  偏移到右侧，半带响应曲线也会相应地偏移。

结果就是，无论  $\alpha$  的选择如何，只要  $M > 2$ ，升余弦频谱始终位于第一个半带滤波器通带响应曲线的平坦部分（直流至  $0.4 f_{\text{IQ}}$ ）。因此，当  $M > 2$  时，如果采用了升余弦脉冲整形，第一个半带滤波器完全不对基带信号的频谱造成任何负面影响。而  $M = 2$  时则可能会出现这个问题。这点突出显示为上升余弦频谱屏蔽图上  $\alpha = 1$  迹线尾部中的阴影区域。应当注意，升余弦频谱的此部分超出半带响应曲线的平坦部分，并会在信号通过第一个半带滤波器时出现不需要的幅度和相位失真。要避免此问题，只需确保  $M = 2$  时  $\alpha \leq 0.6$  即可。

### 可编程插值滤波器

可编程插值器可配置为低通 CCI 滤波器，并可通过一个 6 位控制字来进行编程，从而实现在 2 倍至 63 倍范围内的插值。

插值因子配置为 1 时，即可旁路可编程插值器。旁路后，该级的电源即会关闭，同时由于不再需要通过反 CCI 滤波器进行补偿，因此还会旁路反 CCI 滤波器。

可编程插值器的输出是 CCI 滤波器根据用户所选速率进一步向上采样 4 倍插值器而得到的数据。结果即是在 8 倍至 252 倍范围内以 4 为步进对输入数据进行向上采样。

CCI 插值滤波器的传递函数为：

$$H(f) = \left( \sum_{k=0}^{R-1} e^{-j(2\pi k f)} \right)^5 \quad (1)$$

其中， $R$  是设置的插值因子，而  $f$  是归一化为  $f_{\text{SYSCLK}}$  的频率。

### 正交调制器

数字正交调制器级将输入数据流基带频谱的频率向上偏移至所需载波频率（称为上变频过程）。

此时，以 I/Q 采样速率  $f_{\text{IQ}}$  送入器件的基带数据经过向上采样处理，使得速率等于  $\text{SYSCLK}$  的频率，从而使得数据采样速率等于载波信号的采样速率。

载波信号的频率是由直接数字频率合成器(DDS)来控制的。DDS 可以利用内部参考时钟(SYSCLK)非常精准地产生所需的载波频率。载波以正交形式施加到 I 和 Q 乘法器(90° 相位偏移) 并相加, 从而产生代表正交调制载波的数据流。

调制操作是通过数字形式执行的, 因而可避免使用模拟调制器时常见的相位偏移、增益不平衡和串扰问题。需要注意的是, 经过调制得到的所谓信号是以 SYSCLK 速率采样的数值流, 该速率等于 DAC 的时钟速率。

调制信号相对于载波的方向是由频谱反转位控制的。该位驻留于四个 profile 寄存器中。默认情况下, 正交调制器的时域输出格式如下:

$$I(t) \times \cos(\omega t) - Q(t) \times \sin(\omega t) \quad (2)$$

频谱反转位被置位后, 上述公式变为:

$$I(t) \times \cos(\omega t) + Q(t) \times \sin(\omega t) \quad (3)$$

## DDS内核

直接数字频率合成器(DDS)模块生成正弦和/或余弦信号。在单音模式下, DDS 根据选择 DDS 正弦输出位生成数字正弦或余弦波。而在 QDUC 模式下, DDS 则生成用于对 I/Q 基带信号进行数字调制的正交载波参考信号。

DDS 输出频率是使用通过串行 I/O 端口访问的寄存器来进行调整的。这样既可以对载波频率进行精确调整, 又可以随时进行更改。

DDS 的输出频率( $f_{OUT}$ )与频率调谐字(FTW)和系统时钟( $f_{SYSCLK}$ )之间的关系公式如下:

$$f_{OUT} = \left( \frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (4)$$

其中, FTW 是 0 至 2,147,483,647 ( $2^{31} - 1$ )之间的一个十进制数。

求解 FTW, 可得

$$FTW = \text{round} \left( 2^{32} \left( \frac{f_{OUT}}{f_{SYSCLK}} \right) \right) \quad (5)$$

其中,  $\text{round}()$ 函数表示将结果四舍五入为最接近的整数。例如, 如果  $f_{OUT} = 41 \text{ MHz}$  且  $f_{SYSCLK} = 122.88 \text{ MHz}$ , 那么  $FTW = 1,433,053,867$  (0x556AAAAB)。

在单音模式下, DDS 频率、相位和幅度均可通过串行 I/O 端口进行编程。幅度是通过改变数字乘法器的幅度比例因子(ASF)来进行控制。LSB 权重为  $2^{-14}$ , 因而乘数范围为 0 至 0.99993896484375 ( $1 - 2^{-14}$ )。要旁路 ASF 乘法器, 可以设置相应的控制寄存器位(有关 CFR2<24>的详细信息, 请参阅“寄存器位功能描述”部分)。旁路后, ASF 乘法器将被禁用以节能。相位偏移是通过数字加法器来控制, 为 14 位偏移值, 称为相位偏移字(POW)。加法器位于相位累加器和 DDS 内核中的角度幅度转换逻辑之间。加法器将

POW 加到 DDS 相位累加器生成的瞬时相位值中。加法器与相位累加器通过 MSB 对齐, 产生的 LSB 权重为  $2^{-14}$  (即分辨率约为  $0.022^\circ$  或约 0.000383 弧度)。八个 profile 寄存器均包含 ASF 和 POW。

## 反SINC滤波器

被采样的载波数据流是数模转换器的输入信号。由于 DAC 输出信号固有的零阶保持效应, DAC 的输出频谱会被  $\sin(x)/x$  (或 sinc) 包络整形。由于对其波形很了解, 我们可以对 Sinc 包络进行补偿。此补偿由 DAC 模块前的反 Sinc 滤波器实现。

反 Sinc 滤波器的作用相当于数字 FIR 滤波器。其响应特性非常接近反 sinc 包络, 如图 37 所示 (同时显示 sinc 包络, 以便进行补偿)。

反 sinc 滤波器通过寄存器映射中的某个位来使能。滤波器抽头系数如表 4 所列。滤波器通过改变输入 DAC 的数据, 确保对 sinc 包络进行补偿, 以避免频谱失真。

反 Sinc 滤波器使能后, 约产生 3.0 dB 插入损耗。对于不超过 40% (标称) DAC 采样速率的输出频率, 反 Sinc 补偿有效。

表 4. 反 Sinc 滤波器抽头系数

抽头号	抽头值	抽头号
1	-35	7
2	+134	6
3	-562	5
4	+6729	4

在图 37 中可以看到, sinc 包络产生了一个与频率有关的衰减, 在奈奎斯特频率点 (DAC 采样速率的一半) 上最大可达 4 dB。如果没有反 sinc 滤波器, DAC 输出还会受到 sinc 包络频率衰减影响。反 Sinc 滤波器可以有效将衰减控制在  $\pm 0.05 \text{ dB}$  范围内。图 38 为使能反 Sinc 滤波器后的修正 Sinc 响应。



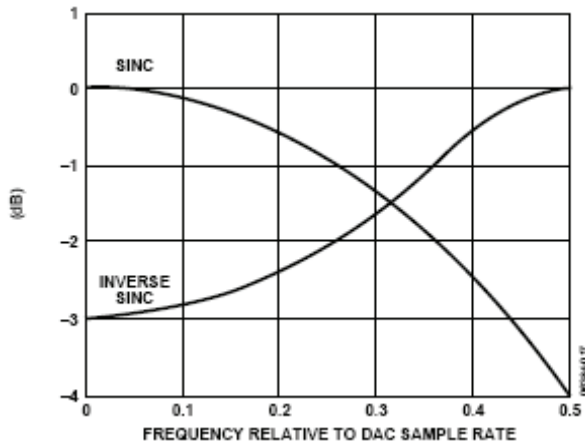


图37. Sinc和反Sinc响应

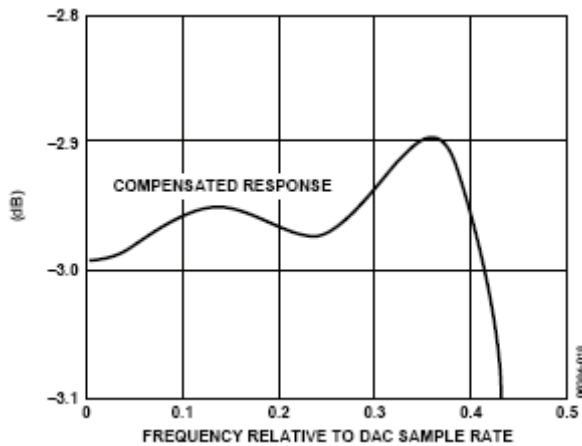


图38. 带反Sinc补偿的DAC响应

## 输出比例因子(OSF)

在 QDUC 和 DAC 插值模式下，输出幅度采用一个 8 位数字乘法器来进行控制。该 8 位乘法器值称为输出比例因子 (OSF)，并可通过相应的控制寄存器来进行编程。全部八个 profile 寄存器均包含该因子。LSB 权重为  $2^{-7}$ ，因而乘数范围为 0 至 1.9921875 ( $2 - 2^{-7}$ )。增益扩展接近 2 倍，这样提供了一种方法，可克服正交调制模式下工作时通过调制器产生的本征损耗。

在 DAC 插值模式下，OSF 不应设置为超过 1，因为那样可能产生削波。通过将 8 位乘法器设置为单位增益(0x80)，可以旁路该级并降低功耗。

## 14位DAC

AD9957 内置一个 14 位电流输出 DAC。利用两路输出保证输出电流信号的平衡。平衡输出能够降低 DAC 输出端的共模噪声，从而提高信噪比。在 DAC\_RSET 和 AGND 引脚之间连接一个外部电阻( $R_{SET}$ )建立基准电流。DAC 满量程输出电流( $I_{OUT}$ )为基准电流的一部分(参见“辅助 DAC”部分)。

应适当注意负载端接电阻的大小，保证输出电压处于从电压规定的范围内；电压超限容易产生过多失真，造成 DAC 输出电路损坏。

### 辅助DAC

主 DAC 的满量程输出电流( $I_{OUT}$ )是由一个 8 位辅助 DAC 来进行控制的。保存在相应寄存器映射位置中的 8 位码字会根据以下公式计算  $I_{OUT}$ ：

$$I_{OUT} = \frac{86.4}{R_{SET}} \left( 1 + \frac{CODE}{96} \right) \quad (6)$$

其中：

$R_{SET}$  是  $R_{SET}$  电阻的值 (单位为欧姆)。

$CODE$  是施加于辅助 DAC 的 8 位值 (默认为 127)。

例如，当  $R_{SET} = 10,000$  且  $CODE = 127$  时， $I_{OUT} = 20.07$  mA。

## RAM控制

### RAM概述

AD9957 内置一个  $1024 \times 32$  位 RAM。只有 AD9957 在 QDUC 或 DAC 插值模式下工作时，才可访问该 RAM。该 RAM 有两个基本工作模式：数据输入/读取模式和回放模式。模式选择是通过串行 I/O 端口对 CFR1 中的 RAM 使能位进行编程来实现的。

数据输入/读取模式用于通过串行 I/O 端口加载或回放 RAM 内容。回放模式用于将 RAM 数据发送至以下两个内部目的位置之一：基带调整乘法器（参见图 25、标示为 IS 和 QS）或基带信号链（参见图 25、标示为 I 和 Q）。这两种情况下，RAM 均用于将任意会随时间变化的波形施加到选定目的位置。RAM 及其控制单元的框图如图 39 所示。

当基带信号链用作 RAM 回放目的位置时，将禁用外部并行数据端口。

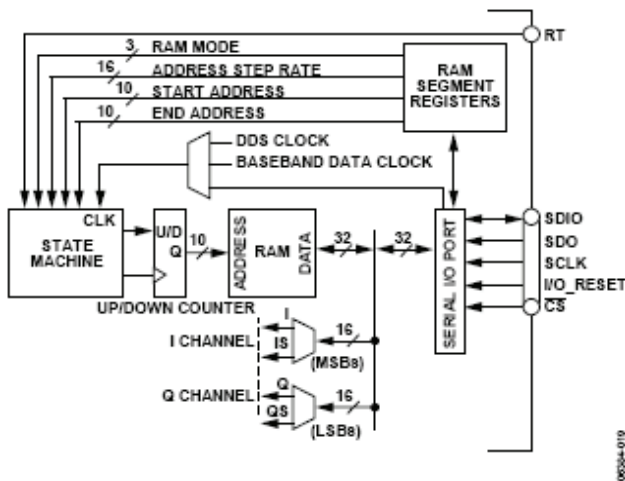


图39. RAM框图

在图 39 中，串行 I/O 端口用于对两个 RAM 段寄存器的内容进行编程，以及加载和读取 RAM 内容。状态机负责 RAM 地址位置的递增或递减，并控制 RAM 地址和数据的时序，从而确保工作正常。在回放模式下使用 RAM 时，I 通道和 Q 通道多路复用器将 RAM 数据路由至基带调整乘法器 (IS/QS)，或直接路由至基带信号链 (I/Q)。RAM 回放目的位的状态决定回放期间 RAM 数据的目的位置。

要改变 RAM 使能位或 RAM 回放目的位的状态，或者任意 RAM 段寄存器位的状态，需要 I/O 更新（或 profile 改变）。

32 位 RAM 数据总线经过分割，使得 16 个 MSB 作为 I 通道位，而 16 个 LSB 则作为 Q 通道位。在回放模式下，直接将数据驱动至基带信号链时，16 位数据字被视为带符号位（即二进制补码）的值。16 位 I 和 Q 字与 18 位 I 和 Q 基带数据路径通过 MSB 对齐。每个 18 位基带通道的两个剩余 LSB 则由对应通道的 MSB 来驱动。这样可以确保，在将来自 RAM 的 16 位 I 和 Q 数据转换为基带信号链的 18 位字时极性编码正确无误。或者，当 RAM 在回放模式下驱动基带调整乘法器时，RAM 数据被视为不带符号位且范围为  $0$  至  $1 - 2^{-16}$  的小数值。

### RAM段寄存器

两个专用寄存器（RAM 段寄存器 0 和 RAM 段寄存器 1）控制 RAM 的操作。每个寄存器包含以下内容：

- 10 位起始地址字
- 10 位结束地址字
- 16 位地址步进率字
- 3 位 RAM 回放模式字

对这些寄存器进行编程时，用户必须确保结束地址大于起始地址。

通过 RAM 段寄存器，用户可以将 RAM 任意分成两个独立的存储器段。段边界通过每个 RAM 段寄存器中的起始和结束地址字来指定。而回放速率则通过地址步进率字（仅在基带调整乘法器用作回放目的位置时有效）来进行控制。RAM 的回放模式是通过 RAM 回放模式字来进行控制的。

### RAM状态机

状态机用作 RAM 的地址产生器，并以串行 I/O 端口（RAM 在加载/读取模式下工作时）或基带数据时钟（RAM 在回放模式下工作时）作为时钟源。状态机使用有效 RAM 段寄存器的 RAM 模式控制位来在指定地址范围内建立合适的序列。

### RAM触发器(RT)引脚

RAM 状态机监控 RT 引脚的逻辑状态跃迁。一旦状态发生任何跃迁，即会触发状态机执行操作。

RT 引脚上的逻辑状态跃迁方向决定状态机用于存储回放指令的 RAM 段寄存器。如果状态机检测到  $0$  至  $1$  跃迁，则使用 RAM 段寄存器 0；如果检测到的是  $1$  至  $0$  跃迁，则使用 RAM 段寄存器 1。

## RAM加载/读取操作

加载或读取 RAM 内容需要三个步骤：

1. 对 RAM 段寄存器的起始和结束地址编程,定义每个独立 RAM 段的边界。
2. 将 RT 引脚切换至相应的跃迁,以选择所需的 RAM 段寄存器。
3. 通过串行 I/O 端口写 (或读) 所选 RAM 段寄存器指定的地址范围。

图 40 显示了用于执行加载或读取操作时的 RAM 框图。

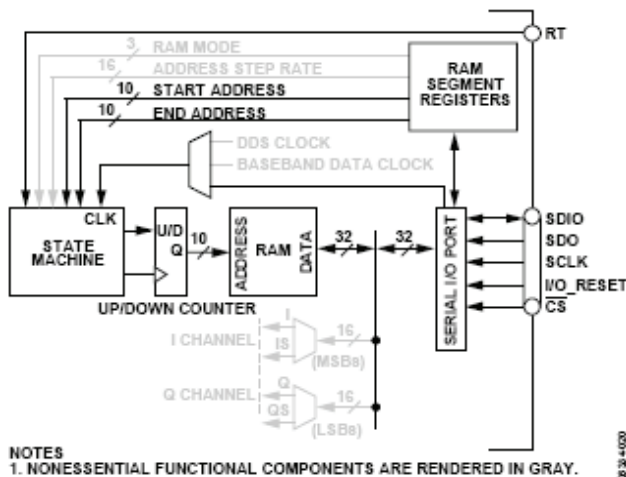


图40. RAM加载/读取操作

在加载/读取操作中,状态机控制向上/向下计数器逐步达到目标 RAM 位置。计数器与串行 I/O 端口同步,以使 32 位控制字的串行/并行转换与相应的 RAM 地址生成按正确的时序对齐,正确执行所需的读/写操作。串行 I/O 端口操作过程中,向上/向下计数器始终在地址范围内递增计数。

由于 RAM 段寄存器相互之间完全独立,因此可以重叠定义地址范围。不过这样的话,最新写入操作会覆盖重叠地址位置。建议用户不要重叠定义地址范围。

## RAM回放操作

加载完成后, RAM 即可用于执行回放操作。回放数据的目的位置是通过 RAM 回放目的位来进行选择的。而有效 RAM 段寄存器则是通过 RT 引脚的相应跃迁来进行选择的。有效 RAM 段寄存器通过定义数据和 RAM 回放模式的 RAM 地址范围,来控制内部状态机。当回放目的位置是基带调整乘法器时,则该寄存器还定义回放速率。

虽然通过串行 I/O 端口执行 RAM 加载/读取操作优先级高于回放操作,但是当 RAM 使能位置 1 时,不建议用户尝试通过串行 I/O 端口来访问 RAM。

图 41 功能框图显示了内部目的位置是基带调整乘法器时 RAM 回放操作所使用的功能元件。

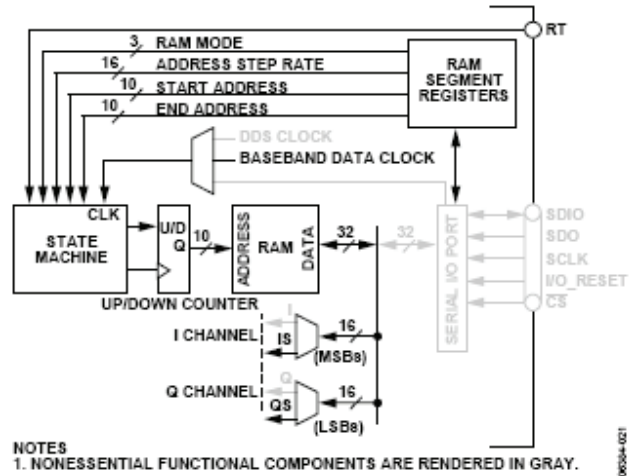


图41. RAM回放至基带调整乘法器

回放至基带调整乘法器的过程中,有效 RAM 段寄存器中的地址步进率字设置将 RAM 数据样本送入乘法器的速率。下列等式定义 RAM 采样速率和采样间隔( $\Delta t$ ):

$$RAMSampleRate = \frac{f_{SYSCLK}}{4RM}$$

$$\Delta t = \frac{4RM}{f_{SYSCLK}}$$

其中:

R 是 CCI 滤波器的速率插值因子。

M 是有效 RAM 段寄存器中存储的地址步进率字 16 位值。

如果 RAM 使能位置 1 且选择基带调整乘法器作为回放目的位置,那么当 I/O 更新置位或者 profile 变化时,将通过静态值零来驱动乘法器。一旦 RT 引脚出现状态变化,则将通过从 RAM 回放的数据(而非静态值零)来驱动乘法器。

图 42 功能框图显示了内部目的位置为基带数据路径时的 RAM 回放操作。回放至基带数据路径过程中,状态机以基带数据速率对 RAM 地址进行递增/递减计数(地址步进率会为状态机所忽略)。

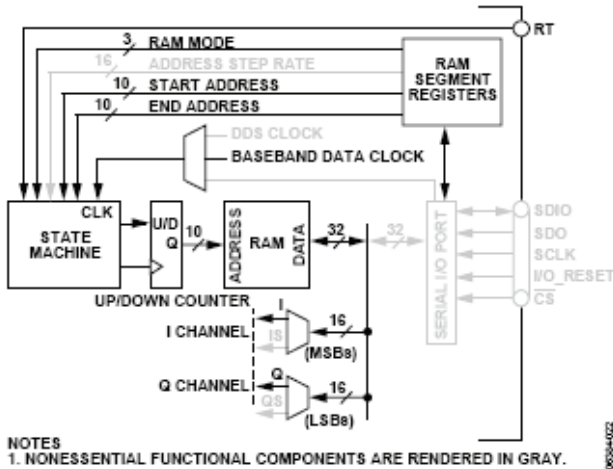


图42. RAM回放至基带数据路径

## RAM回放模式概述

RAM 共有 4 种回放模式。

- 上斜坡模式
- 双向斜坡模式
- 连续双向斜坡模式
- 连续循环模式

只有 AD9957 通过编程设置为 QDUC 或 DAC 插值模式，才可执行 RAM 回放操作。

RAM 回放模式通过位于每个 RAM 段寄存器中的 3 位 RAM 回放模式控制字选择。因此，RAM 回放模式取决于段寄存器。RAM 回放模式位详见表 5。

表 5. RAM 回放模式

RAM 回放模式位<2:0>	RAM 回放模式
001	上斜坡模式
010	双向斜坡模式
011	连续双向斜坡模式
100	连续循环模式
000, 101, 110, 111	无效。

当基带调整乘法器用作 RAM 回放目的位置时，无法选择连续双向斜坡模式和连续循环模式。

## RAM上斜坡模式

在上斜坡模式中，当 I/O 更新置位或者 RT 引脚上发生状态变化时，RAM 即使用所选 RAM 段寄存器中的编程参数，来开始执行回放操作。利用有效 RAM 段寄存器的起始地址和结束地址，在指定地址范围里获取 RAM 数据。数据以合适速率送入 RAM 回放目的位指定的目的位置。

回放速率由 RAM 状态机的内部定时器进行控制，而其周期( $\Delta t$ )取决于 RAM 回放目的位的状态，详情见“RAM 回放操作”部分。

内部状态机将从起始地址开始从 RAM 获取所需数据，直到结束地址为止。到达结束地址后，状态机中止。

图 43 给出了上斜坡模式的示意图。上面部分的轨迹表示从有效 RAM 段寄存器的起始地址到结束地址的 RAM 地址连续变化情况。状态机内部定时器每次溢出，地址值都会加 1。图中带圆圈的数字表示具体的事件，具体含义如下：

事件 1—I/O 更新或 RT 引脚上的状态跃迁。此事件将状态机初始化至有效 RAM 段寄存器的起始地址。

事件 2—状态机到达有效 RAM 段寄存器的结束地址并中止。

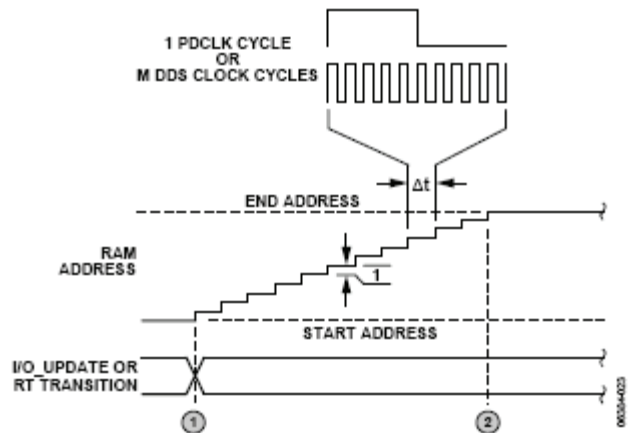


图43. 上斜坡时序图

### RAM 双向斜坡模式

此模式的独特之处在于，两个 RAM 段寄存器的 RAM 段回放模式控制位必须均通过编程设置为 RAM 双向斜坡模式。

在双向斜坡模式中，I/O 更新置位后，RAM 即可使用通过编程写入 RAM 段寄存器 0 的参数来执行回放操作。数据以合适速率送入 RAM 回放目的位指定的目的位置。

回放速率由 RAM 状态机的内部定时器进行控制，而其周期( $t$ )取决于 RAM 回放目的位的状态，详情见“RAM 回放操作”部分。

当 RT 引脚上出现 0 至 1 逻辑跃迁时，回放即会开始。这指示状态机在 RAM 段寄存器 0 中指定的整个地址范围内从起始地址开始递增计数。只要 RT 引脚保持逻辑 1，状态机就会继续回放 RAM 内容，直到到达结束地址为止，之后状态机中止。

一旦 RT 引脚上发生逻辑 1 至逻辑 0 跃迁，即会指示状态机切换至 RAM 段寄存器 1，并从结束地址开始在整个地址范围里递减计数。只要 RT 引脚保持逻辑 0，状态机就会继续回放 RAM 内容，直到到达开始地址为止，之后状态机中止。

需要注意的是，双向斜坡模式下 RAM 段寄存器 1 是按照相反顺序进行回放的。如果目标回放模式是双向斜坡模式，则在通过串行 I/O 端口加载 RAM 内容时，必须记住这一点。

图 44 给出了双向斜坡模式的示意图。图中显示了 RT 引脚状态变化时状态机做出的相应动作。如果 RT 引脚在状态机到达编程设定的起始或结束地址前改变状态，内部定时器会重新启动，地址计数器开始反向计数。

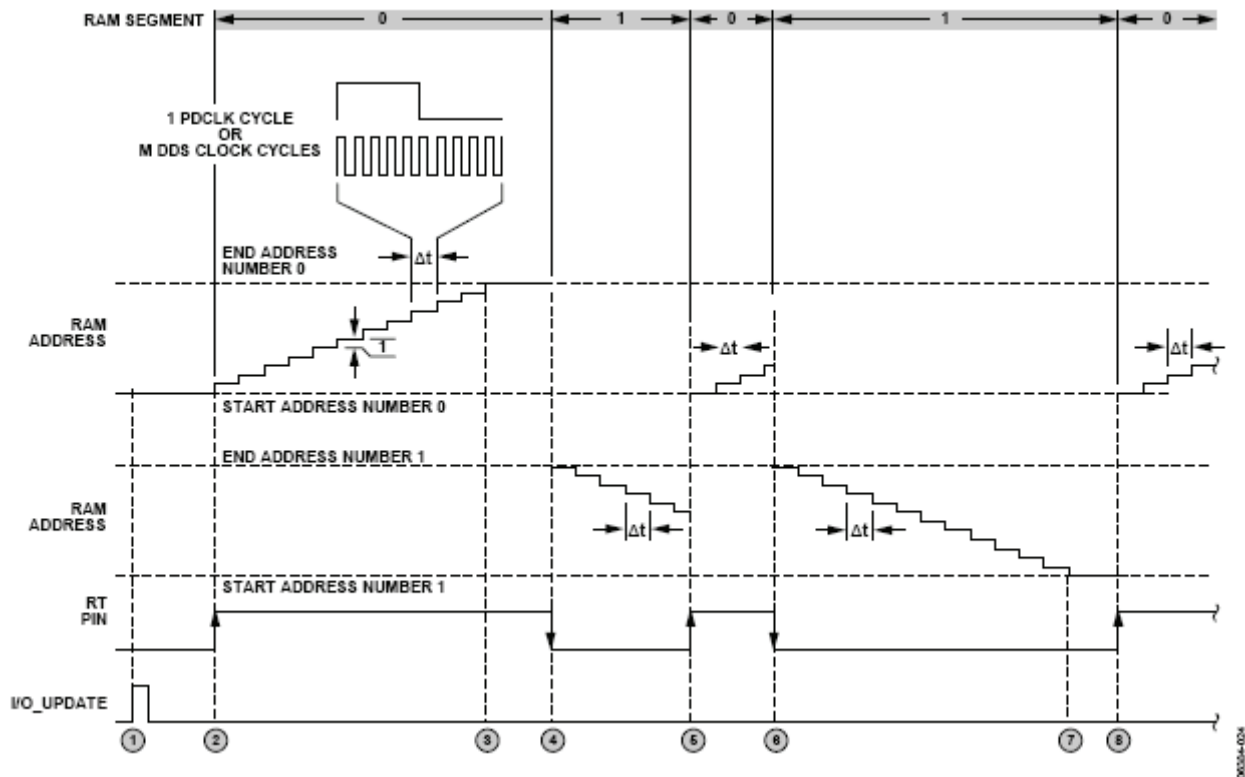


图44. 双向斜坡时序图

图 44 中带圆圈数字表示不同事件，具体含义如下：

事件 1—I/O 更新或改变 profile 可以激活 RAM 双向斜坡模式。

事件 2—RT 引脚切换至逻辑 1。状态机初始化至 RAM 段寄存器 0 的起始地址并让 RAM 地址计数器开始递增计数。

事件 3—RT 引脚始终保持逻辑 1，直到状态机到达 RAM 段寄存器 0 的结束地址，之后地址计数器中止。

事件 4—RT 引脚切换至逻辑 0。状态机初始化至 RAM 段寄存器 1 的结束地址、复位内部定时器，并让 RAM 地址计数器开始递减计数。

事件 5—RT 引脚切换至逻辑 1。状态机初始化至 RAM 段寄存器 0 的起始地址、复位内部定时器，并让 RAM 地址计数器开始递增计数。

事件 6—RT 引脚切换至逻辑 0。状态机初始化至 RAM 段寄存器 1 的结束地址、复位内部定时器，并让 RAM 地址计数器开始递减计数。

事件 7—RT 引脚始终保持逻辑 0，直到状态机到达 RAM 段寄存器 1 的起始地址，之后地址计数器中止。

事件 8—RT 引脚切换至逻辑 1。状态机初始化至 RAM 段寄存器 0 的起始地址、复位内部定时器，并让 RAM 地址计数器开始递增计数。

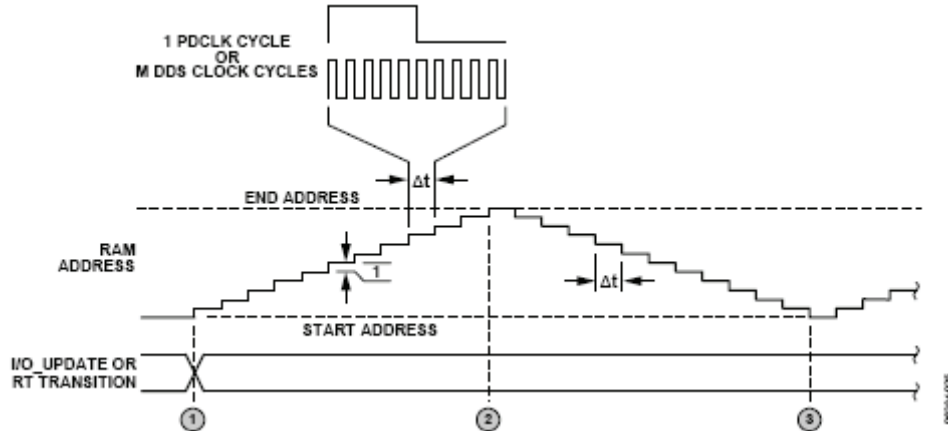


图45. 连续双向斜坡时序图

### RAM连续双向斜坡模式

在连续双向斜坡模式中，当 I/O 更新置位或者 RT 引脚上发生状态变化时，RAM 即使用所选 RAM 段寄存器中的编程参数，来开始执行回放操作。利用起始地址和结束地址，在指定地址范围里获取 RAM 数据。数据以合适速率送入 RAM 回放目的位指定的目的位置。

回放速率由 RAM 状态机的内部定时器进行控制，而其周期( $t$ )取决于 RAM 回放目的位的状态，详情见“RAM 回放操作”部分。

初始化后，状态机开始从有效 RAM 段寄存器的起始地址开始从 RAM 获取所需数据，并让地址计数器递增计数，直到到达结束地址为止，之后状态机使地址计数器反向计数，即在整個地址范围内开始递减计数。无论达到哪一端地址，状态机都会使地址计数器反向计数；整个过程会无限期持续。

请注意，RT 引脚状态变化将中止当前波形，同时新选择的 RAM 段寄存器会产生新波形。

图 45 给出了连续双向斜坡模式的示意图。图中带圈的数字表示具体的事件，具体含义如下：

事件 1—I/O 更新或 RT 引脚状态变化激活 RAM 连续双向斜坡模式。状态机初始化至有效 RAM 段寄存器的起始地址。状态机开始在指定地址范围内递增计数。

事件 2—状态机到达有效 RAM 段寄存器的结束地址。

事件 3—状态机到达有效 RAM 段寄存器的起始地址。

连续双向斜坡模式将无限期持续，直到出现下一 I/O 更新或 RT 引脚发生状态变化。

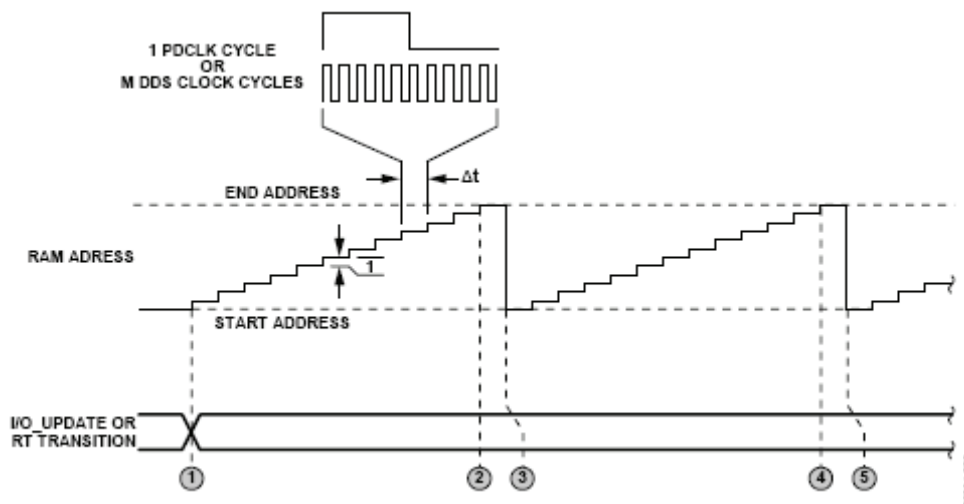


图46. 连续循环时序图

### RAM连续循环模式

连续循环模式与上斜坡模式类似，不同之处在于状态机在到达有效 RAM 段寄存器的结束地址时并不会中止。相反，内部定时器的下一超时将导致状态机跳至有效 RAM 段寄存器的起始地址。此过程将无限期持续，直到出现 I/O 更新或 RT 引脚发生状态变化。RT 引脚状态变化将中止当前波形，同时新选择的 RAM 段寄存器会产生新波形。

图 46 给出了连续循环模式的示意图。

图 46 中带圆圈数字表示不同事件，具体含义如下：

事件 1—I/O 更新或 RT 引脚上发生状态变化。这会将状态机初始化至有效 RAM 段寄存器的起始地址，并使得状态机将地址计数器设置为开始以相应速率进行递增计数。

事件 2—状态机到达有效 RAM 段寄存器的结束地址。

事件 3—状态机切换至有效 RAM 段寄存器的起始地址。状态机继续让地址计数器递增计数。

事件 4—状态机再次到达有效 RAM 段寄存器的结束地址。

事件 5—状态机切换至有效 RAM 段寄存器的起始地址。状态机继续让地址计数器递增计数。

事件 4 和事件 5 不断重复，直到 I/O 更新或 RT 引脚上发生状态变化。



## 时钟输入(REF\_CLK)

### REFCLK概述

通过 REF\_CLK/ $\overline{\text{REF\_CLK}}$  输入引脚, AD9957 提供多种产生内部 SYSCLK 信号 (DAC 采样时钟) 的方法。REF\_CLK 输入可以直接由差分或单端信号源驱动, 或者由两个引脚的晶体驱动。另外, 内部锁相环(PLL)乘法器可以单独使能。REF\_CLK 功能框图见图 47。各种输入配置由 XTAL\_SEL 引脚和 CFR3 寄存器的控制位控制。图 47 还显示了 CFR3 控制位与具体功能模块之间的关系。

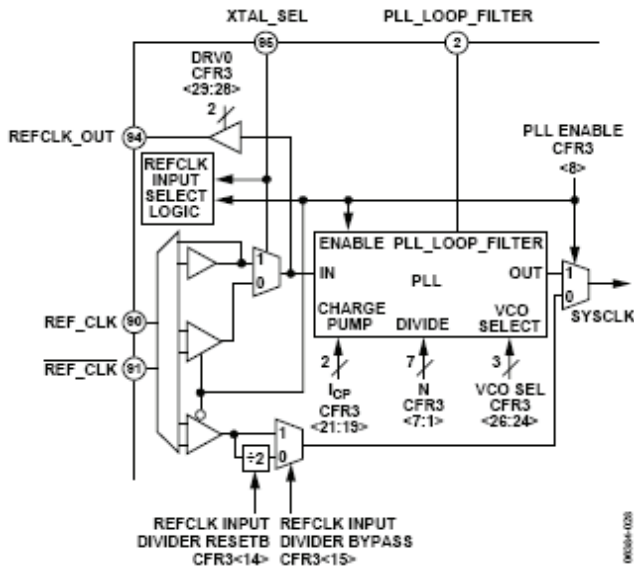


图47. REF\_CLK框图

PLL 使能位可用于选择 PLL 路径或直接输入路径。选择直接输入路径时, REF\_CLK/ $\overline{\text{REF\_CLK}}$  引脚必须由外部信号源驱动。最大输入频率可达 2 GHz。对于大于 1 GHz 的输入频率, 必须启用输入分频器, 才能保证器件正常工作。

PLL 使能后, REFCLK\_OUT 引脚有缓冲时钟信号输出。该时钟信号与 REF\_CLK 输入频率相同。这一点在使用晶体时特别有用, 可以为用户复制出晶振时钟信号, 驱动其它外部器件。REFCLK\_OUT 缓冲由两个位控制, 参见表 6。

表6. REFCLK\_OUT缓冲控制

CFR3<29:28>	REFCLK_OUT缓冲
00	禁用
01	低输出电流
10	中输出电流
11	高输出电流

### 晶振驱动REF\_CLK

使用晶体作为 REF\_CLK 输入时, 谐振频率大约为 25 MHz。图 48 给出了推荐的电路配置。

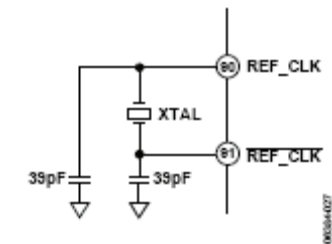


图48. 晶体连接图

### 直接驱动REF\_CLK

通过信号源直接驱动 REF\_CLK/ $\overline{\text{REF\_CLK}}$  输入时, 可以采用单端信号或者差分信号。对于差分信号源, REF\_CLK/ $\overline{\text{REF\_CLK}}$  引脚由互补信号驱动, 同时通过 0.1  $\mu\text{F}$  电容交流耦合。对于单端信号源, 可以采用单端至差分转换, 也可以由单端信号直接驱动 REF\_CLK 输入。无论是哪一种情况, 都要用 0.1  $\mu\text{F}$  电容与两个 REF\_CLK/ $\overline{\text{REF\_CLK}}$  引脚进行交流耦合, 以免干扰内部约 1.35 V 的直流偏置电压。详情请参见图 49。

REF\_CLK/ $\overline{\text{REF\_CLK}}$  的输入电阻约为 2.5 k $\Omega$  (差分) 或 1.2 k $\Omega$  (单端)。大多数信号源输出阻抗相对较小。REF\_CLK/ $\overline{\text{REF\_CLK}}$  输入电阻相对较高, 因此, 它对端接阻抗的影响可以忽略; 所以, 端接电阻通常可以按照信号源的输出阻抗来选择。图 49 中的下面两个例子假定信号源输出阻抗为 50  $\Omega$ 。

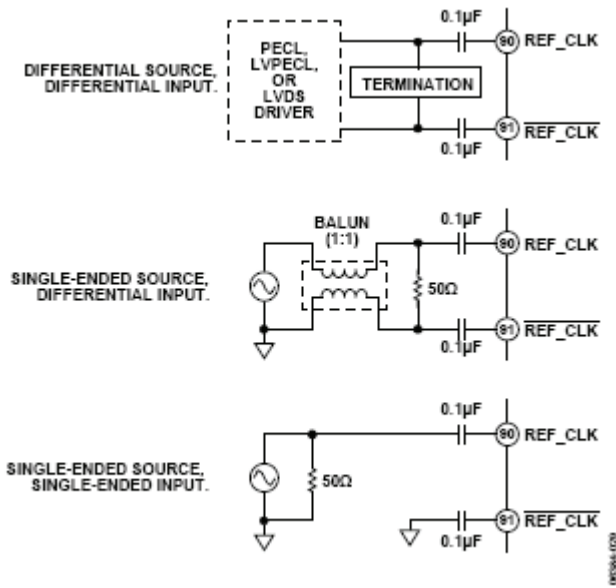


图49. 直接连接图

## 锁相环(PLL)乘法器

内部锁相环(PLL)让 AD9957 的用户可以使用远远小于系统时钟频率的参考时钟频率。PLL 支持非常宽的可编程倍频系数 (12 倍至 127 倍)、可编程电荷泵电流和外部环路滤波器元件 (通过 PLL\_LOOP\_FILTER 引脚连接)。这些功能提高了 PLL 的灵活性, 可以优化相位噪声性能, 增强频率规划的灵活性。PLL 还提供一个 PLL\_LOCK 引脚。

通过内部 VCO, PLL 输出频率范围( $f_{\text{SYSCLK}}$ )限定在 420 MHz 至 1 GHz 之间。另外, 用户必须对 VCO 进行编程, 在六个工作频率范围中选择一个, 让  $f_{\text{SYSCLK}}$  落在该范围。图 50 和 51 列出了 VCO 的范围。

图 50 给出所有现有器件在全温度和电源电压范围内允许的 VCO 频率上下限值。也就是说, 从现有器件中随机选取的多个器件在各种不同变化条件下运行需要使用不同的值对 CFR3<26:24>编程, 以达到在相同频率运行的目的。例如, 假定随机选取的器件 A 在 -10°C 环境温度下运行, 如果系统时钟频率为 900 MHz, 则需要将 CFR3<26:24>设为 100b。而假定随机选取的器件 B 在 90°C 环境温度下运行, 如果系统时钟频率为 900 MHz, 则需要将 CFR3<26:24>设为 101b。如果对于所选的频率规划, 系统时钟频率工作在一组频率范围内 (如图 51 所示), 则不同器件之间设定的 CFR3<26:24>值相同。

图 51 给出单个现有器件在全温度和电源电压范围内允许的 VCO 频率上下限值。图 51 显示出在各种条件下, 单个器件的 VCO 频率范围会始终重叠。

总而言之, 如果用户想将 CFR3<26:24>设为单一默认值, 所选择的频率应该落在图 50 中的某个频率范围。另外, 对于任意给定的单个器件, VCO 范围重叠, 表示该器件在所有工作条件下的全部 VCO 频率范围内都不会出现频率间隙。

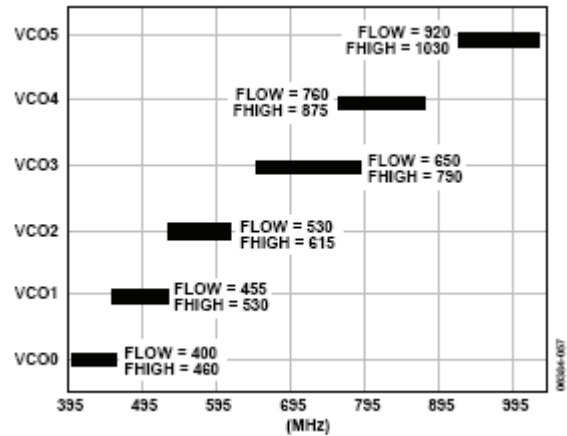


图50. VCO范围, 包括典型的晶圆工艺偏斜

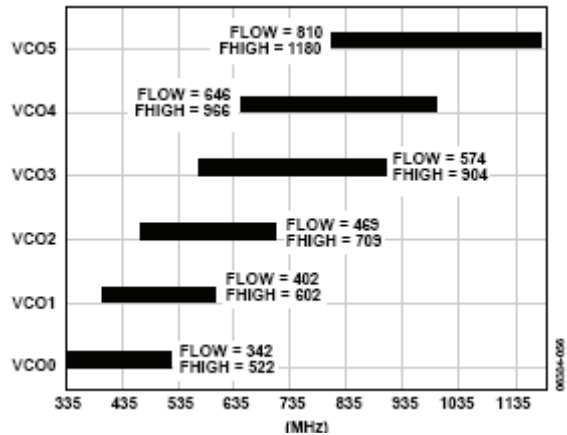


图51. 典型的VCO范围

表7. VCO范围位设置

VCO SEL位 (CFR3<26:24>)	VCO范围
000	VCO0
001	VCO1
010	VCO2
011	VCO3
100	VCO4
101	VCO5
110	PLL被旁路
111	PLL被旁路

### PLL电荷泵

电荷泵电流(ICP)可以编程控制, 为用户优化 PLL 性能提供了更大的灵活性。表 8 列出了位设置和标称电荷泵电流之间的关系。

表8. PLL电荷泵电流

I <sub>CP</sub> (CFR3<21:19>)	电荷泵电流I <sub>CP</sub> (μA)
000	212
001	237
010	262
011	287
100	312
101	337
110	363
111	387

### 外部PLL环路滤波器元件

PLL\_LOOP\_FILTER 引脚提供了外部环路滤波器元件连接接口。通过使用定制环路滤波器元件, 用户可以更加灵活地优化 PLL 性能。图 52 给出了 PLL 和外部环路滤波器元件连接形式。

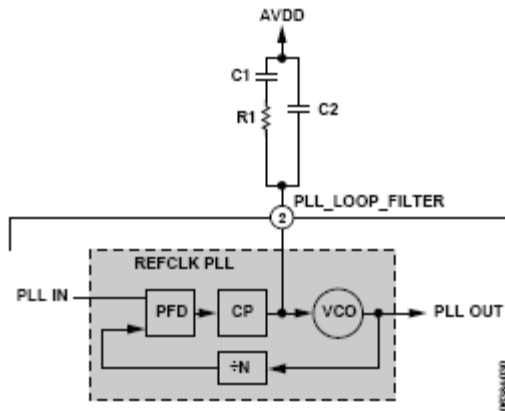


图52. REFCLK PLL外部环路滤波器

在主流技术资料中, 这种配置可以获得一个三阶 II 型 PLL。要计算环路滤波器元件参数值, 首先要知道反馈分频系数(N)、鉴相器增益(K<sub>D</sub>)以及 VCO 增益(K<sub>V</sub>)(K<sub>V</sub>可以根据 VCO SEL 位设置在表 1 中查找)。环路滤波器元件值取决于目标开环带宽(f<sub>OL</sub>)和相位余量(φ), 计算公式如下:

$$R1 = \frac{\pi N f_{OL}}{K_D K_V} \left( 1 + \frac{1}{\sin(\phi)} \right) \tag{7}$$

$$C1 = \frac{K_D K_V \tan(\phi)}{2N(\pi f_{OL})^2} \tag{8}$$

$$C2 = \frac{K_D K_V}{N(2\pi f_{OL})^2} \left( \frac{1 - \sin(\phi)}{\cos(\phi)} \right) \tag{9}$$

其中:

K<sub>D</sub> 等于 I<sub>CP</sub> 编程值。

K<sub>V</sub> 通过表 1 查找。

确保公式 7 至 9 的变量使用恰当的单位: I<sub>CP</sub> 单位必须是安培, 而不能是表 8 中出现的 uA; K<sub>V</sub> 单位必须为 Hz/V, 不能是表 1 中的 MHz/V; 环路带宽(f<sub>OL</sub>)单位必须为 Hz; 相位裕量(φ)单位必须为弧度。

例如, 假定 PLL 编程设置是: I<sub>CP</sub> = 287 μA, K<sub>V</sub> = 625 MHz/V 且 N = 25。如果所需的环路带宽和相位裕量分别为 50 kHz 和 45°, 则环路滤波器元件参数为 R1 = 52.85 Ω, C1 = 145.4 nF 且 C2 = 30.11 nF。

### PLL锁定指示

使用 PLL 时, PLL\_LOCK 引脚以有效高电平表示 PLL 已锁定 REFCLK 输入信号。PLL 被旁路后, PLL\_LOCK 引脚默认为逻辑 0。

## 其他特性

### 输出移位键控(OSK)

OSK 功能 (图 53) 仅适用于单音模式, 可允许用户控制 DDS 的输出信号幅度。该功能提供手动和自动两种模式。

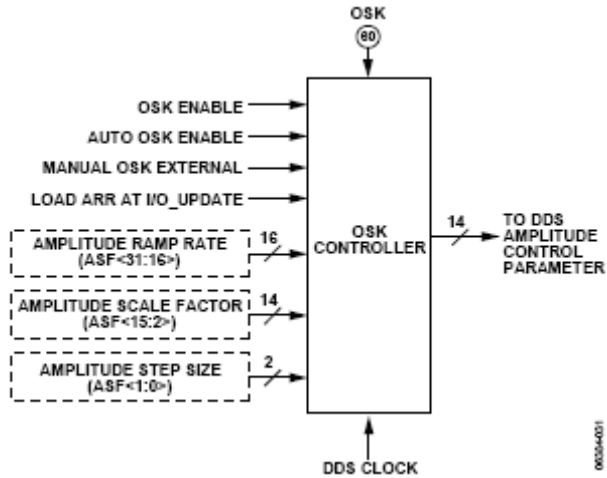


图53. OSK框图

OSK 功能由四个控制寄存器位、外部 OSK 引脚和 ASF 寄存器全部 32 位管理。主要控制 OSK 模块的是 OSK 使能位。该位置 1 时, 将使能 OSK 功能; 否则, 将禁用 OSK 功能。禁用后, OSK 的其它输入控制会被忽略, 内部时钟关闭节能。

OSK 功能使能后, 通过选择自动 OSK 位可以选择自动或手动操作模式。该位置 1 时, 自动模式有效; 否则, 手动模式有效。

#### 手动OSK

在手动模式中, 通过在 ASF 寄存器幅度比例因子部分连续写操作, 使输出幅度发生改变。输出信号幅度变化速率受串行 I/O 端口速度限制。在手动模式中, OSK 引脚功能取决于手动 OSK 外部控制位的状态。该功能要么不工作, 要么用于在编程幅度比例因子值和零之间切换输出幅度。如果使用的话, 当 OSK 引脚为逻辑 0 时, 输出幅度强制为零, 而当 OSK 引脚为逻辑 1 时, 则输出幅度由幅度比例因子值来调节。

#### 自动OSK

在自动模式中, OSK 功能会自动生成根据时间呈线性变化的幅度曲线 (也称为幅度斜坡)。幅度斜坡由三个参数控制, 具体如下:

- 最大幅度比例因子
- 幅度步长
- 步进时间间隔

幅度斜坡参数保存在 32 位 ASF 寄存器中, 通过串行 I/O 端口编程控制。幅度步进间隔由 ASF 寄存器中 16 位幅度斜坡率部分 (位<31:16>) 设置。最大幅度比例因子由 ASF 寄存器中 14 位幅度比例因子部分 (位<15:2>) 设置。幅度步长由 ASF 寄存器中 2 位幅度步长部分 (位<1:0>) 设置。而斜坡方向 (正/负斜率) 由外部 OSK 引脚控制。当 OSK 引脚为逻辑 1 时, 斜率为正; 否则, 斜率为负。

步进间隔则由以  $\frac{1}{4} f_{\text{SYSCLK}}$  运行的 16 位可编程定时器控制。定时器周期设置幅度步进之间的间隔。步进时间间隔 ( $\Delta t$ ) 计算公式为:

$$\Delta t = \frac{4M}{f_{\text{SYSCLK}}}$$

其中,  $M$  是存储在 ASF 寄存器幅度斜坡率部分的 16 位数字。例如, 如果  $f_{\text{SYSCLK}} = 750 \text{ MHz}$  且  $M = 23,218 (0x5AB2)$ , 那么  $\Delta t \approx 123.8293 \mu\text{s}$ 。

OSK 输出利用 14 位无符号数据总线控制 DDS 输出幅度 (条件是 OSK 使能位为逻辑 1)。OSK 引脚为逻辑 1 时, OSK 输出值从 0 开始, 以编程的幅度步长递增, 直至达到编程设定的最大幅度值。OSK 引脚为逻辑 0 时, OSK 由当前值开始输出, 以编程幅度步长递减, 直至到达 0 结束。

OSK 输出并不一定会达到最大幅度值; 在到达最大值前, OSK 引脚可能会切换为逻辑 0

OSK 输出并不一定会达到零; 在到达零前, OSK 引脚可能会切换为逻辑 1

上电时, OSK 输出初始化至 0。另外, 当 OSK 使能位为逻辑 0 时, 或者当 OSK 使能位为逻辑 1, 但选择自动 OSK 位为逻辑 0 时, OSK 输出也设为 0。

OSK 输出幅度步长由 ASF 寄存器中的幅度步长位设置, 参见表 9 中列出的值。步长指 14 位 OSK 输出值的 LSB 权重。

OSK 输出不能超过 ASF 寄存器中编程设定的最大幅度值。

表9. OSK幅度步长

ASF<1:0>	幅度步长
00	1
01	2
10	4
11	8

根据前文所述,步进间隔由16位可编程定时器控制。通常,定时器超时后都会加载编程设定的时间值,从而开始新的计时周期。不过,有三种情况会造成定时器在超时而前重载时间值。一种情况是选择自动OSK位在I/O更新后从逻辑0跃迁至逻辑1状态。第二种情况是OSK引脚状态发生改变。第三种情况取决于加载ARR@I/O更新位的状态。如果该位为逻辑0,则不会发生任何操作;否则,I/O\_UPDATE引脚置1(或profile发生变化)时,定时器会重置为初始计时点。

### PROFILE

AD9957的三种工作模式都支持profile功能,该功能由一组包含与具体工作模式有关参数的寄存器构成。使用Profile可以在不同参数设置之间快速切换。Profile参数通过串行I/O端口编程。编程后,可由三个外部引脚(PROFILE<2:0>)选择特定的profile。对profile控制引脚施加合适的逻辑电平可以激活特定的profile,具体设置参见表10。

表10. Profile控制引脚

PROFILE<2:0>	有效 Profile
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

以基本的双音频移键控(FSK)应用为例,其中二进制数据传输通过在两种不同的频率之间进行选择来实现:传号频率(逻辑1)和空号频率(逻辑0)。为了支持FSK,Profile0寄存器使用合适的频率调谐字编程产生对应空号的频率,而Profile1寄存器使用合适的频率调谐字编程产生对应传号的频率。然后,PROFILE1和PROFILE2引脚连接到逻辑0,而PROFILE0引脚用于传输数据位。利用PROFILE0引脚的逻辑状态产生恰当的传号和空号频率。

### I/O\_UPDATE引脚

默认情况下,I/O\_UPDATE引脚输入选通信号会对器件工作参数进行同步更新。例如,DDS的频率、相位和幅度控制字均可通过串行I/O端口进行编程。不过,串行I/O端口属于异步接口;因此,使用I/O端口时器件操作参数的编程不能与内部时序保持同步。而凭借I/O\_UPDATE引脚,用户可以在新参数编入I/O寄存器时将某些编程设定的操作参数应用与外部电路同步。在I/O\_UPDATE上升沿,寄存器内容会被传输到器件的内部工作元件。

从编程寄存器到内部硬件的编程数据传输也可以通过改变该profile引脚状态实现。

### 自动I/O更新

AD9957提供一种选项,其I/O更新功能可以自动置位,无需依赖用户提供外部信号。要实现此功能,只需将CFR2中的内部I/O更新有效位置1即可。

启用此功能后,I/O\_UPDATE引脚会变成输出引脚,每发生一个内部I/O更新后都会产生一个高电平有效脉冲。脉冲的持续时间大约为12个SYSCLK周期。I/O更新选通信号可以用来通知外部控制器,器件已在内部产生了一个I/O更新。

内部I/O更新的频率通过串行I/O端口编程设置。频率由两个参数控制。第一个参数是CFR2中的两个I/O更新速率控制位;第二个参数是设置内部计数器范围的I/O更新速率寄存器中的32位控制字。

I/O更新速率控制位可以在 $\frac{1}{4}f_{SYSCLK}$ 的基础上产生1、1/2、1/4或1/8的时钟信号。分频器输出时钟由上述32位内部计数器控制。I/O更新的频率计算公式:

$$f_{I/O\_UPDATE} = \frac{f_{SYSCLK}}{2^A B}$$

其中:

A是包含I/O更新速率控制位的2位控制字的值。

B是保存在I/O更新速率寄存器中的32位控制字的值。

如果B的编程值小于等于0x0003,I/O\_UPDATE引脚不再产生脉冲,而是持续为逻辑1状态。

## 省电控制

AD9957 可以分别对器件四个具体模块进行省电控制。省电功能适用于数字内核、DAC、辅助 DAC 和 REFCLK 输入。

数字内核省电模式会禁用串行 I/O 端口更新。但是，通过串行端口仍能将数字省电控制位清 0，以防出现无法恢复正常工作状态的情况。

软件省电功能通过 CFR1 中的四个独立省电控制位来管理。软件省电功能需要将 EXT\_PWR\_DWN 引脚状态强制设为逻辑 0。在这种情况下，设置相应的省电控制位（通过串行 I/O 端口）可对相应模块实施省电控制；控制位清 0 可以恢复正常工作状态。

或者，通过 EXT\_PWR\_DWN 引脚利用外部硬件控制可以使四个功能模块同时进入省电模式。将此引脚强制设为逻辑 1 时，无论省电控制位状态如何，四个电路模块都会进入省电模式。也就是说，当 EXT\_PWR\_DWN 为逻辑 1 时，CFR1 中的独立省电控制位会被忽略和覆盖。

根据外部省电控制位的状态，EXT\_PWR\_DWN 引脚可以采用完全省电模式或者快速恢复省电模式。快速恢复省电模式保持对 DAC 偏置电路，以及 REFCLK 电路的 PLL、VCO 和输入部分供电。虽然快速恢复省电模式节能效果不如完全省电模式，但可以实现器件从省电状态快速恢复正常运行。

## 通用 I/O (GPIO) 端口

只有当 AD9957 通过编程设为 QDUC 模式且 Blackfin 接口模式有效时，才可使用 GPIO 功能。由于 Blackfin 串行接口仅使用 18 个并行数据端口引脚中的两个 (D<5:4>)，余下的 16 个引脚 (D<17:6>和 D<3:0>) 均用作 GPIO 端口。

这 16 个引脚每一个都在 16 位 GPIO 配置寄存器和 16 位 GPIO 数据寄存器中存在对应的唯一指定位。GPIO 配置寄存器中各个位的状态可将相关引脚指定为 GPIO 输入端或输出端 (0 = 输入端, 1 = 输出端)，具体如表 11 中列出的数据所示。

当通过编程将某 GPIO 引脚设为输出端时，写入 GPIO 数据寄存器中（通过串行 I/O 端口）相关位的逻辑状态即会呈现在该 GPIO 引脚上。而当通过编程将某 GPIO 引脚设为输入端时，即可（通过串行 I/O 端口）从 GPIO 数据寄存器中的相关位位置读取该 GPIO 引脚的逻辑状态。请注意，GPIO 数据寄存器并不需要 I/O 更新。

**表11. GPIO引脚与配置和数据寄存器位**

引脚标记	配置位	数据位
D17	15	15
D16	14	14
D15	13	13
D14	12	12
D13	11	11
D12	10	10
D11	9	9
D10	8	8
D9	7	7
D8	6	6
D7	5	5
D6	4	4
D3	3	3
D2	2	2
D1	1	1
D0	0	0

## 多器件同步

### 概述

AD9957 的内部时钟提供沿基带信号处理路径传播数据所需的时序。这些内部时钟是从内部系统时钟(SYSCLK)获得的，并全部是 SYSCLK 频率的分频。在任意给定 SYSCLK 周期内，所有这些时钟的逻辑状态共同定义一个唯一的时钟状态。时钟状态随着 SYSCLK 的每个周期而变化，但时钟状态顺序是循环的。根据定义，在时钟状态匹配且状态转换同步的条件下，可以实现多器件同步。时钟同步可以允许用户进行多器件异步编程，而通过对所有器件同时进行 I/O 更新来同步激活编程内容。另外，当 QDUC 或 DAC 插值模式使用并行端口（参见图 59）时，或者使用双串行端口（BlackFin 接口）时，时钟同步还允许多个器件保持步调一致。

AD9957 中的同步逻辑功能可以强制内部时钟发生器进入预定义的状态，与 SYNC\_IN 引脚上外部同步信号保持一致。根据定义，同步就是强制多个器件进入与相同外部信号保持一致的相同时钟状态。图 54 给出了同步机制的功能框图。同步逻辑包括两个独立的模块：同步发生器和同步接收器，这两个部分均使用本地 SYSCLK 信号作为内部时序。

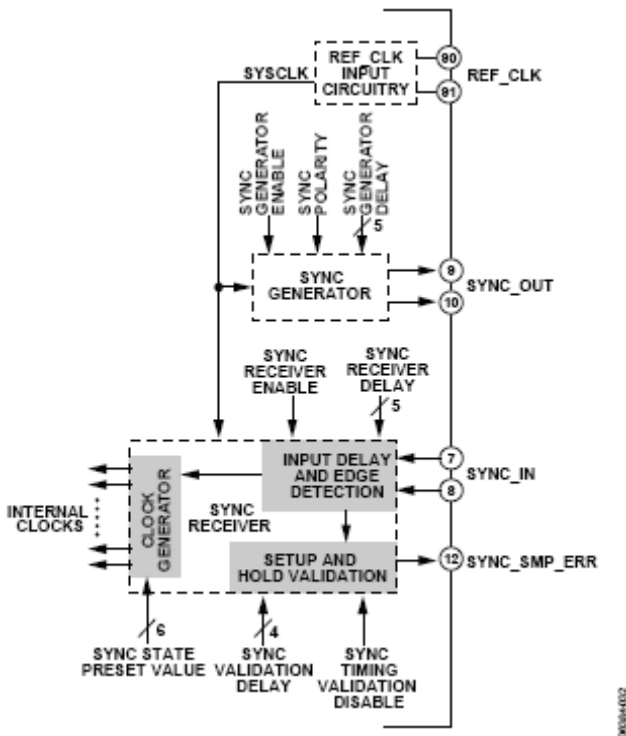


图54. 同步电路功能框图

同步机制基于如下假设，即每个器件上的 REFCLK 信号能与外部 REFCLK 分配系统产生的信号实现边沿对齐（参见图 59）。

### 时钟发生器

时钟发生器为 AD9957 的内部工作元件提供必要的时序。同步机制的目标是强制时钟发生器进入与外部同步信号保持一致的已知状态。时钟发生器由三个独立的时钟树（参见图 55）组成。第一个时钟树包含一个公共时钟发生器，该时钟发生器在所有编程的工作模式（单频调制、QDUC 或 DAC 插值）下均有效。公共时钟在引脚 55 上产生 SYNC\_CLK 信号。第二个时钟发生器仅在器件编程为使用并行数据端口的 DAC 插值模式或正交调制模式时有效。该时钟发生器使用公共时钟的 SYSCLK/2 输出作为其主时钟参考源。第三个时钟发生器仅在器件编程为使用 BlackFin 接口的正交调制模式时有效。

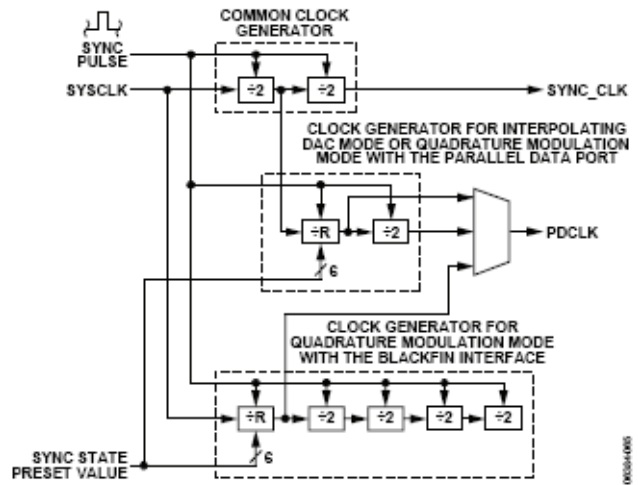


图55. 时钟发生器

### 同步发生器

同步发生器模块如图 56 所示，由同步发生器使能位激活。利用同步发生器，可以使 AD9957 作为一组器件中的主时钟参考源，其余器件均为该主机的从机。

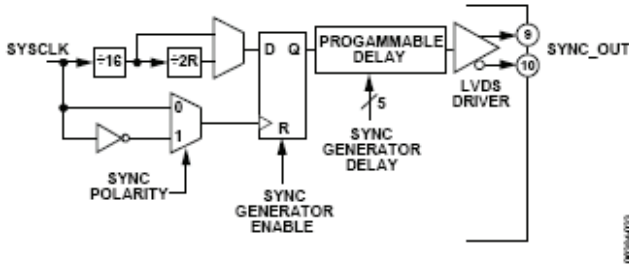


图56. 同步发生器

同步发生器在 SYNC\_OUT 引脚上产生具有 50% 占空比的 LVDS 兼容型时钟信号。SYNC\_OUT 信号的频率可能为两种速率之一。当 AD9957 编程为以下任意模式时：

- 单音模式
- 旁路 CCI 滤波器的正交调制模式（即插值因子为 1）
- 旁路 CCI 滤波器的 DAC 插值模式（即插值因子为 1）

SYNC\_OUT 的频率计算公式如下：

$$f_{\text{SYNC\_OUT}} = \frac{f_{\text{SYSCLK}}}{16}$$

当 AD9957 编程为 QDUC 或 DAC 插值模式且 CCI 滤波器未被旁路（即  $R > 1$ ）时，SYNC\_OUT 的频率计算公式如下：

$$f_{\text{SYNC\_OUT}} = \frac{f_{\text{SYSCLK}}}{32}$$

其中， $R$  是 CCI 滤波器的编程插值因子。

SYNC\_OUT 引脚上的信号与内部 SYSCLK 信号的上升沿或下降沿对齐，具体取决于同步极性位。由于 SYNC\_OUT 信号与主机的内部 SYSCLK 同步，主机的 SYSCLK 将作为所有从机的参考源。

通过串行 I/O 端口对 5 位同步发生器延迟字以 ~150 ps 每步编程，用户可以自行调节 SYNC\_OUT 信号的输出延迟。可编程输出延迟有助于改善边沿时序对齐的灵活性，提高整体同步性能。

## 同步接收器

同步接收器模块（参见图 57）由同步接收器使能位激活。同步接收器包括三个子模块：输入延迟和边沿检测模块、内部时钟发生器模块、建立和保持验证模块。

即使同步接收器未使能，时钟发生器模块也会保持工作状态。

同步接收器接收 SYNC\_IN 引脚上的 LVDS 兼容信号。通常情况下，施加于 SYNC\_IN 引脚的信号源自另一用作主时钟器件的 AD9957 的 SYNC\_OUT。同步接收器用于接收满足特定频率要求的周期性同步脉冲，而频率要求取决于 AD9957 的工作模式。编程为单音模式时，SYNC\_IN 的频率必须满足以下等式：

$$f_{\text{SYNC\_IN}} = \frac{f_{\text{SYSCLK}}}{4M}$$

其中， $M$  是大于零的任意整数。编程为正交调制模式（使用并行数据端口）或 DAC 插值模式时，SYNC\_IN 的频率必须满足以下等式：

$$f_{\text{SYNC\_IN}} = \frac{f_{\text{SYSCLK}}}{16(R + M)}$$

其中， $R$  是 CCI 编程插值因子，而  $M$  是大于或等于零的任意整数。编程为使用 BlackFin 接口的正交调制模式时，SYNC\_IN 的频率必须满足以下等式：

$$f_{\text{SYNC\_IN}} = \frac{f_{\text{SYSCLK}}}{32(R + M)}$$

其中， $R$  是 CCI 编程插值因子，而  $M$  是大于或等于零的任意整数。



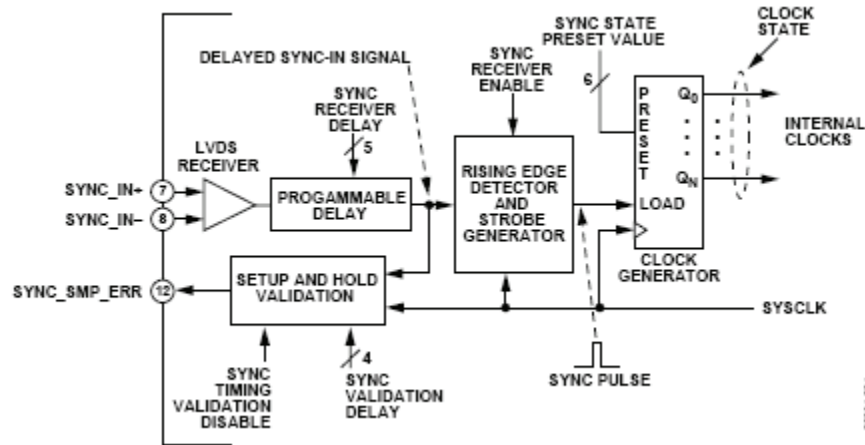


图57. 同步接收器

使用 AD9957 之外的其它器件来提供 SYNC\_IN 信号时, 该器件必须兼容 LVDS。此外, 虽然 SYNC\_IN 通常为周期性时钟信号, 但这并不是绝对要求。只要脉冲边沿跃迁满足内部产生同步脉冲所需的建立/保持时间, SYNC\_IN 引脚还可以通过单个同步脉冲来驱动 (具体将在本节稍后部分介绍)。不过, 使用 SYNC\_IN 周期性信号时存在一项独特优势, 那就是如果任意器件意外丧失同步特性, 该信号会在下一 SYNC\_IN 边沿到达时自动重新同步。

多芯片同步寄存器中的 5 位同步接收器延迟字可以按~150 ps 步进对 SYNC\_IN 信号进行延迟控制。这样, 用户可以通过补偿不等的传播时间, 使 SYNC\_IN 信号同时抵达多个器件。

同步接收器中的边沿检测逻辑产生同步脉冲, 脉冲宽度为一个 SYSCLK 时钟周期, 频率等于 SYNC\_IN 引脚的信号频率。为了产生同步脉冲, 选通信号发生器通过本地 SYSCLK 的上升沿对 SYNC\_IN 信号的延迟上升沿进行采样。能否产生此同步脉冲是同步机制能否工作的关键所在, 因为同步脉冲负责将时钟发生器置入已知状态。同步脉冲对内部时钟发生器的 R 分频器级 (相当于预置向下计数器) 进行预设 (参见图 55)。多芯片同步寄存器中的可编程 6 位同步状态预设值字建立预设状态。预设状态仅在单个 SYSCLK 周期内有效, 之后时钟发生器通过其状态序列自由循环, 直到下一同步脉冲到达 (参见图 55)。除预设 R 分频器之外, 同步脉冲还可以同时将其他分频器预设为合适状态, 以便保持时钟树节奏不变。

由于能够编程时钟状态预设值, 用户可以灵活地同步器件, 但又可通过为群组中的每个器件分配不同的同步状态预设值字, 保持特定的相对时钟状态偏置。不过, 由于同步状态预设值必须保持在特定范围内以满足内部时序要求, 因此这种灵活性存在一定限制。无论编程同步状态预设值如何, 预设值在内部始终限制在 2 至 R 范围内, 其中 R 是 CCI 滤波器插值因子。当编程值为 0 或 1 时, 预设值强制为 2; 而当编程值大于 R 时, 则预设值强制为 R。

### 建立/保持验证

AD9957 内部时钟发生器与其它外部器件之间的同步依赖于同步接收器的边沿检测电路能够产生有效的同步脉冲。这点要求通过本地 SYSCLK 的上升沿对延迟 SYNC\_IN 信号的上升沿进行正确采样。如果这些信号的边沿时序无法满足边沿检波电路内部锁存的建立或保持时间要求, 则有可能无法产生合适的同步脉冲。用户可以利用建立和保持验证模块 (参见图 58) 验证两个信号之间是否有正确的边沿时序。控制功能寄存器 2 中的同步时序验证禁用位控制是否使能建立和保持验证模块。

验证模块支持自定义时间窗口 (利用多芯片同步寄存器中的 4 位同步验证延迟字按~150 ps 步进编程控制)。建立和保持验证电路所使用的锁存器与上升沿检测器和选通信号发生器是一样的。可编程时间窗口用于偏斜本地 SYSCLK 信号和延迟 SYNC\_IN 信号之间的时序。如果保持和建立验证电路未产生相同的逻辑状态, 则表示可能正在进行建立或保持验证。图 58 中的检查逻辑监控建立和保持验证锁存器的状态。如果两者状态不同 (也就是说, 可能正在进行建立/保持验证), 内部验证结果锁存器中即会存储逻辑 1; 否则, 即会存储逻辑 0。验证结果锁存器的状态出现在 SYNC\_SMP\_ERR 引脚上。

只要禁用同步接收器（这将强制 SYNC\_SMP\_ERR 引脚进入逻辑 0 状态），验证结果锁存器就会进入复位状态。不过，当同步接收器处于有效状态时，要复位验证结果锁存器，则需要使用多芯片同步寄存器中的同步时序验证禁用位。建立/保持验证测量过程分为两步。首先，将逻辑 1 写入同步时序验证禁用位。然后，在测量时写入逻辑 0。第一个操作复位验证结果锁存器并让其保持为复位状态；第二个操作解除复位状态并使能验证结果锁存器，以捕捉建立/保持验证测量数据。每次需要执行一个新的建立/保持验证检查，都必须执行这两个步骤。

由于同步验证延迟的编程值用于为建立/保持测量建立时间窗口，因此延迟长短是决定验证模块能否正常工作的一个重要因素。所选值应该代表 SYSCLK 周期的一小部分。例如，如果 SYSCLK 频率为 1 GHz（周期为 1000 ps），合理的同步验证延迟值应为 2（约 300ps）。这样，验证模块可以确保本地 SYSCLK 和延迟 SYNC\_IN 边沿至少表现出 300 ps 的时序分离。如果选择的值过大，则将导致验证模块指示并不存在的建立/保持验证。如果选择的值过小，则将导致验证模块漏掉实际存在的建立/保持验证。

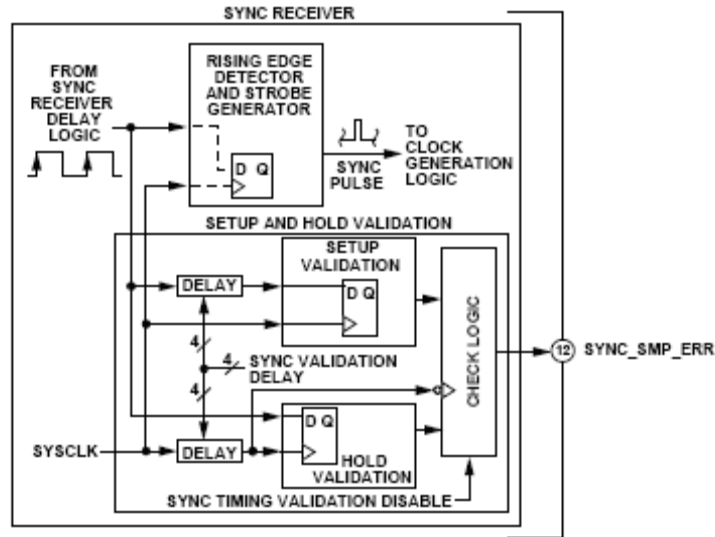


图58. 同步时序验证模块

## 同步示例

要实现多个器件的同步，需要向每个 AD9957 提供一个与所有器件边沿对齐的 SYNC\_IN 信号。如果所有器件的 SYNC\_IN 信号实现边沿对齐，具有相同的同步接收器延迟和同步状态预设值，则所有器件都会有匹配时钟状态（即同步）。图 59 通过三个实现同步的 AD9957 显示了此概念。一个器件用作主时钟单元，而其它器件与该主机同步。

主机必须将其 SYNC\_IN 引脚作为同步分配和延迟均衡模块的一部分。这样可以确保主机与其它单元保持时序同步。

同步机制从时钟分配和延迟均衡模块开始，确保所有器件都能接收到边沿对齐的 REFCLK 信号。不过，即使所有器件的 REFCLK 信号都实现边沿对齐，单凭此也不能保证每个内部时钟发生器的时钟状态都能与其它器件保持一致。这就需要使用同步和延迟均衡模块。此模块接受主机产生

的 SYNC\_OUT 信号，将其作为 SYNC\_IN 输入重新分配给从机（同时反馈给主机）。重新分配主机产生的 SYNC\_OUT 信号的目的是使所有同步接收器获得边沿对齐的 SYNC\_IN 信号。

假定所有器件都有相同的 REFCLK 沿时序（利用时钟分配和延迟均衡模块），并且所有器件都有相同的 SYNC\_IN 沿时序（利用同步和延迟均衡模块），那么所有器件都会产生一个一致的内部同步脉冲（假定所有器件都有相同的同步接收器延迟值）。如果进一步规定所有器件都有相同的同步状态预设值，那么经过同步处理的同步脉冲可以使所有预设相同时钟状态的器件同步，即所有器件内部时钟实现完全同步。

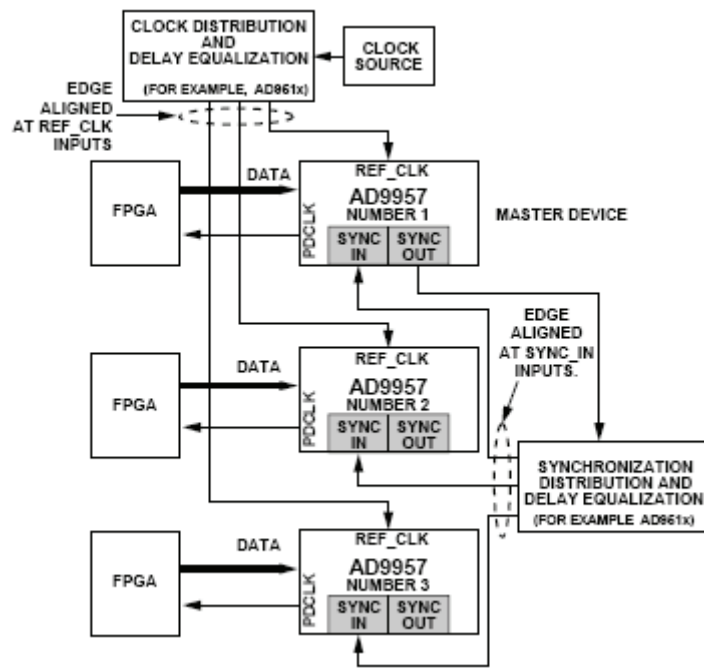


图 59. 多器件同步示例

# AD9957

## I/Q路径延迟

对于通过 AD9957 时产生的 I/Q 延迟，最简单的方法是采用系统时钟(SYSCLK)周期来描述，该延迟是 AD9957 配置的一项功能（即使用哪种模式和哪项可选功能）。I/Q 延迟主要受可编程 CCI 速率影响。

表 12 中的数值应视为估算值，因为所观察到的延迟可能与数据相关。延迟是采用 FIR 滤波器的线性延迟模型计算出来的。N = CCI 速率（可编程插值率，范围为 2 至 63；如果已旁路，则为 1）。

在 BFI 模式下，多次传输在通过 AD9957 时产生的延迟可能并不相同。这是由于时钟相位（该时钟驱动第一个半带滤波器）和来自 Blackfin 的帧同步信号之间的关系引起的，此项在表 12 中属于未知参数并以 x 来表示。该设计通过在合适时间更新并行寄存器，成功地将数据从数据分配器逻辑传输至信号处理路径。无论并行寄存器更新与信号处理模块之间的相位关系如何，数据均从并行寄存器传输到信

号处理链，并且所有时序均经过验证。

### 示例

正交调制模式 = 18 位并行数据

参考时钟乘法器 = 旁路

输入调整乘法器 = 关

反 CCI = 关

CCI 速率 = 20

反 SINC = 开

输出调整乘法器 = 关

$$\text{延迟} = (16 \times 20) + (4 \times 20) + (4 \times 20) + (69 \times 20) + (4 \times 20 + 8) + 22 + 8 + 2 + 8 = 1988 \text{ 个 SYSCLK 周期}$$

表12

级	正交调制模式—并行	正交调制模式—BFI	DAC插值模式
输入解复用器	16N	$(16 + x)N$ 其中, $x = 0$ 至15	28N
输入调整乘法器	有效: 8N 旁路: 4N	BFI模式下不可用	有效: 8N 旁路: 4N
反CCI滤波器	有效: 8N 旁路: 4N	有效: 8N 旁路: 4N	有效: 8N 旁路: 4N
半带滤波器	69N	345N	69N
CCI滤波器	有效: $4N + 8$ 旁路: $2N + 4$	有效: $4N + 8$ 旁路: $2N + 4$	有效: $4N + 8$ 旁路: $2N + 4$
调制器	22	22	0
反Sinc滤波器	有效: 8 旁路: 2	有效: 8 旁路: 2	有效: 8 旁路: 2
输出调整乘法器	有效: 12 旁路: 2	有效: 12 旁路: 2	有效: 12 旁路: 2
DAC接口	8	8	8

## 电源分组

AD9957 支持多种电源，具体功耗则取决于电源配置。本节介绍了电源分组以及每个模块功耗随频率变化的情况。

本节中的引用的数据仅供对比参照。具体数值参见表 1。每组电源应使用 1  $\mu$ F 旁路电容与 10  $\mu$ F 电容并联。

此处电源分组建议仅适用于典型应用，具体可分为四类：3.3 V 数字、3.3 V 模拟、1.8 V 数字和 1.8 V 模拟。

对于有较高性能要求的应用可能需要增加电源隔离元件。

### 3.3 V 电源

#### **DVDD\_I/O (引脚 11/15/21/28/45/56/66)**

这些 3.3 V 电源可分为一组。这些引脚功耗会根据串行端口通信情况动态变化。

#### **AVDD (引脚 74 至 77 和引脚 83)**

这些 3.3 V DAC 电源典型耗电量为 28 mA。至少，需要一个铁氧体磁珠将这些电源与其它 3.3V 电源隔离，最好能使用隔离稳压器。这些电源的耗电主要来自偏置电流，因此不会随频率变化而发生变化。

### 1.8 V 电源

#### **DVDD (引脚 17/23/30/47/57/64)**

这些引脚可以分为一组。引脚功耗会随着系统时钟频率增大而线性增大。在 QDUC 模式下，1 GHz 系统时钟的典型功耗为 610 mA。另外，当  $f_{OUT}$  从 50 MHz 增加到 400 MHz 时，还会增加 5% 左右的功耗。

#### **AVDD (引脚 3)**

此 1.8 V 电源主要供应 REFCLK 乘法器(PLL)，耗电量大约为 7 mA。对于使用 PLL 的更高性能应用，此电源应使用隔离稳压器与其它 1.8 V AVDD 电源隔离。对于要求不高的应用，此电源可以和引脚 89 和引脚 92 一样不使用稳压器，并利用铁氧体磁珠将引脚 89 和 92 与引脚 3 隔离。

PLL 的环路滤波器应直接与引脚 3 连接。即使 PLL 被旁路，引脚 3 仍要供电，但可以不进行隔离。

#### **AVDD (引脚 6)**

此引脚可以与 DVDD 1.8V 电源引脚分为一组。对于更高性能应用，应使用铁氧体磁珠隔离，最好使用隔离稳压器。

#### **AVDD (引脚 89/92)**

1.8 V REFCLK 输入电源耗电量大约为 15 mA。该电源引脚可以和引脚 3 一样不使用稳压器，并使用铁氧体磁珠将引脚 3 与引脚 89 和 92 隔离即可。至少应使用铁氧体磁珠将这些电源与其它 1.8 V 电源隔离。不过，对于更高性能的应用，建议使用隔离稳压器。

## 串行编程

### 控制接口—串行I/O

AD9957 串行端口是一种灵活的同步串行通讯端口,可以很方便地与多种工业用微控制器和微处理器接口。该串行 I/O 端口兼容大多数同步传输格式,其中包括 Motorola 6905/11 SPI 和 Intel® 8051 SSR 协议。

此接口可进行读/写操作,访问所有 AD9957 配置寄存器。支持 MSB 优先和 LSB 优先传输格式。另外,串行接口端口还能配置为单引脚输入/输出 (SDIO),作为双线接口使用;或者,也可配置为两个单向输入/输出引脚 (SDIO/SDO),作为三线接口使用。两个可选引脚 (I/O\_RESET 和  $\overline{CS}$ ) 可以提高采用 AD9957 的设计系统灵活性。

### 通用串行I/O操作

串行通信周期可分为两个阶段。第一个是指令阶段,将指令字节写入 AD9957。指令字节包含要访问的寄存器地址 (参见“寄存器映射和位功能描述”部分),以及定义即将进行的数据传输是读操作还是写操作。

第二阶段写入周期指从串行端口控制器向串行端口缓冲器传输数据。传输的字节数取决于访问的寄存器。例如,如果访问控制功能寄存器 2 (地址 0x01),第 2 阶段需要传输 4 个字节。数据每一位都寄存在 SCLK 的相应上升沿。串行端口控制器需要访问寄存器的所有字节;否则,串行端口控制器将在下一个通信周期退出工作时序。不过,有一个方法可以写入少量的字节,即使用 I/O\_RESET 引脚功能。利用 I/O\_RESET 引脚功能取消 I/O 操作,对串行端口控制器指针复位。在 I/O 复位后,下一个字节即为指令字节。请注意,在 I/O 复位前每个已完全写入的字节都会保存在串行端口缓冲器中。有部分写入的字节未保存。在任一通信周期结束后,AD9957 串行端口都将接下来的 8 个 SCLK 上升沿用于写入指令字节,开始下一个通信周期。

写入周期结束后,编程数据驻留在串行端口缓冲器中,处于无效状态。I/O\_UPDATE 将串行端口缓冲器中的数据传送到有效寄存器。I/O 更新可以在每完成一个通信周期后进行,也可以在所有串行操作结束后进行。另外,改变一次 profile 引脚状态可以启动一次 I/O 更新。

对于读取周期,第 2 阶段与写入周期一致,不同之处在于:从有效寄存器读取数据,而非串行端口缓冲器,数据在 SCLK 下降沿输出。

请注意,要回读任何 profile 寄存器(0x0E 至 0x15),必须使用三个外部 profile 引脚。例如,如果 profile 寄存器是 Profile 5 (0x13),那么 PROFILE<0:2>引脚必须等于 101。这不需要写入 profile 寄存器。

### 指令字节

指令字节包含如下信息,详见指令字节位图。

#### 指令字节信息位图

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
R/ $\overline{w}$	X	X	A4	A3	A2	A1	A0

R/ $\overline{w}$ —指令字节位 7 决定指令字节写周期结束后是进行读还是写操作。逻辑 1 表示读操作。清 0 表示写操作。

X, X—指令字节的位 6 和位 5 为无关位。

A4, A3, A2, A1, A0—指令字节的位 4、位 3、位 2、位 1 和位 0 决定通信周期中数据传输期间访问哪一个寄存器。

### 串行I/O端口引脚功能描述

#### SCLK—串行时钟

串行时钟引脚用于同步输入/输出 AD9957 的数据,运行内部状态机。

#### $\overline{CS}$ —片选信号

是低电平有效,被用来在同一条串行通信线路上连接多个器件。当此输入高电平时,SDO 和 SDIO 引脚会进入高阻抗状态。如果在任何通信周期内出现高电平,则此通信周期将暂停,直到  $\overline{CS}$  重新被低电平激活。片选信号( $\overline{CS}$ )可以在系统中被拉低,以保证对 SCLK 的控制有效。

#### SDIO—串行数据输入/输出

向 AD9957 写入数据必须通过此引脚进行。不过,此引脚可以用作双向数据线路。CFR1 寄存器 (地址 0x00) 的位 1 控制此引脚配置。默认为清 0,将 SDIO 引脚配置为双向数据线路。

### SDO—串行数据输出

如果协议选择用不同的通信线来发送和接收数据，那么数据是从该引脚读出的。当 AD9957 以单独的双向 I/O 模式运行时，此引脚不会输出数据，并设置为高阻抗状态。

### I/O\_RESET—输入/输出复位

I/O\_RESET 可以同步 I/O 端口状态机，不会影响可寻址寄存器的内容。I/O\_RESET 引脚输入有效高电平，可以使当前通信周期中止。在 I/O\_RESET 返回低电平后（逻辑 0），另一个通信周期才能开始，首先是指令字节写。

### I/O\_UPDATE—输入/输出更新

I/O\_UPDATE 用于将 I/O 端口缓冲器中写入的数据传输到有效寄存器。I/O\_UPDATE 在上升沿有效，脉冲宽度必须大于 1 个 SYNC\_CLK 周期。根据对内部 I/O 更新有效位的编程情况，该引脚可以作为输入或者输出引脚。

### 串行I/O时序图

图 60 至图 63 给出了一些基本示例，描述串行 I/O 端口各种控制信号之间的时序关系。在 I/O 更新置位前，寄存器图中的大多数位都不会传输到其内部目的地址，这一点并未在下列时序中反映出来。

### MSB/LSB传输

AD9957 串行端口支持最高有效位(MSB)优先和最低有效位(LSB)优先两种数据格式。此功能由控制功能寄存器 1 (0x00) 中的位 0 控制。默认格式是 MSB 优先。如果 LSB 优先有效，所有数据，包括指令字节，必须遵循 LSB 优先原则。请注意，每个寄存器位域列中的最大数是 MSB，最小数是该寄存器的 LSB（参见“寄存器映射和位功能描述”部分和表 13）。

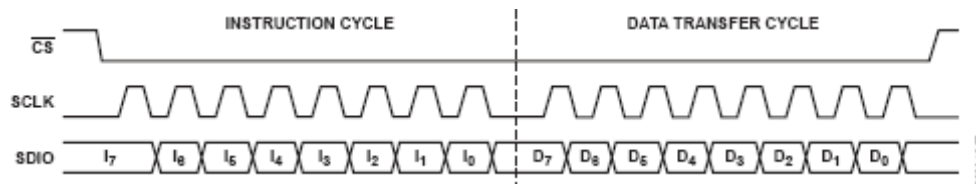


图60. 串行端口写入时序—时钟空闲为低

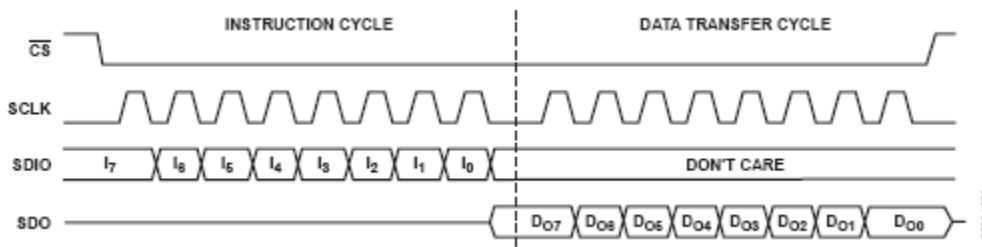


图61. 三线式串行端口读取时序—时钟空闲为低

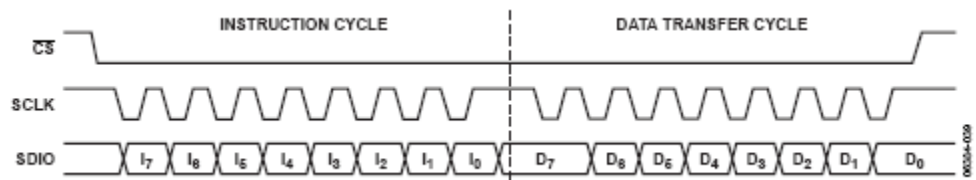


图62. 串行端口写入时序—时钟空闲为高

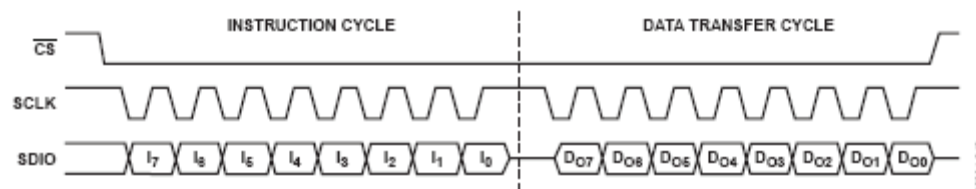


图63. 双线式串行端口读取时序—时钟空闲为高

## 寄存器映射和位功能描述

### 寄存器映射

请注意，每个寄存器位域列中的最大数是 MSB，最小数是该寄存器的 LSB，如下表所示。

**表 13. 控制寄存器**

寄存器名称 (串行地址)	位域 (内部地址)	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值
控制功能寄存器 1 CFR1 (0x00)	<31:24>	RAM 使能	开路		RAM 回放目的位置	开路		工作模式		0x00
	<23:16>	手动 OSK 外部控制	反 Sinc 滤波器使能	CCI 清零	开路				选择 DDS 正弦输出	0x00
	<15:8>	开路		自动清零相位累加器	开路	清零相位累加器	加载 ARR @ I/O 更新	OSK 使能	选择自动 OSK	0x00
	<7:0>	数字部分关断	DAC 关断	REFCLK 输入关断	辅助 DAC 关断	外部关断控制	自动关断使能	仅为 SDIO 输入	LSB 优先	0x00
控制功能寄存器 2 CFR2 (0x01)	<31:24>	Blackfin 接口模式有效	Blackfin 位序	Blackfin 早帧同步使能	开路				将 Profile 寄存器用作 ASF 源	0x00
	<23:16>	内部 I/O 更新有效	SYNC_CLK 使能	开路				读取有效 FTW	0x40	
	<15:8>	I/O 更新速率控制		PDCLK 速率控制	数据格式	PDCLK 使能	PDCLK 反转	TxEnable 反转	Q 优先数据配对	0x08
	<7:0>	配对延迟使能	数据分配器保留最后值	同步时序验证禁用	开路					0x20
控制功能寄存器 3 CFR3 (0x02)	<31:24>	开路		DRV0<1:0>		开路	VCO SEL<2:0>			0x1F
	<23:16>	开路		Icp<2:0>			开路			0x3F
	<15:8>	REFCLK 输入分频率器旁路	REFCLK 输入分频率器复位 B	开路				PLL 使能	0x40	
	<7:0>	N<6:0>				开路				0x00
辅助 DAC 控制寄存器 (0x03)	<31:24>	开路								0x00
	<23:16>	开路								0x00
	<15:8>	开路								0x7F
	<7:0>	FSC<7:0>								0x7F
I/O 更新速率寄存器 (0x04)	<31:24>	I/O 更新速率<31:24>								0xFF
	<23:16>	I/O 更新速率<23:16>								0xFF
	<15:8>	I/O 更新速率<15:8>								0xFF
	<7:0>	I/O 更新速率<7:0>								0xFF



表14. RAM、ASF、多芯片同步和Profile 0寄存器

寄存器名称(串行地址)	位域 (内部地址)	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值	
RAM 段寄存器 0 (0x05)	<47:40>	RAM 地址步进率 0<15:8>									
	<39:32>	RAM 地址步进率 0<7:0>									
	<31:24>	RAM 结束地址 0<9:2>									
	<23:16>	RAM 结束地址 0<1:0>	开路								
	<15:8>	RAM 起始地址 0<9:2>									
	<7:0>	RAM 起始地址 0<1:0>	开路				RAM 回放模式 0<2:0>				
RAM 段寄存器 1 (0x06)	<47:40>	RAM 地址步进率 1<15:8>									
	<39:32>	RAM 地址步进率 1<7:0>									
	<31:24>	RAM 结束地址 1<9:2>									
	<23:16>	RAM 结束地址 1<1:0>	开路								
	<15:8>	RAM 起始地址 1<9:2>									
	<7:0>	RAM 起始地址 1<1:0>	开路				RAM 回放模式 1<2:0>				
幅度比例因子 (ASF)寄存器 (0x09)	<31:24>	幅度斜坡率<15:8>								0x00	
	<23:16>	幅度斜坡率<7:0>								0x00	
	<15:8>	幅度比例因子<13:6>								0x00	
	<7:0>	幅度比例因子<5:0>						幅度步长<1:0>		0x00	
多芯片同步寄存器(0x0A)	<31:24>	同步验证延迟<3:0>				同步接收器使能	同步发生器使能	同步发生器极性	开路	0x00	
	<23:16>	同步状态预设值<5:0>						开路		0x00	
	<15:8>	同步发生器延迟<4:0>				开路				0x00	
	<7:0>	同步接收器延迟<4:0>				开路				0x00	
Profile 0 寄存器—单音 (0x0E)	<63:56>	开路	幅度比例因子<13:8>								
	<55:48>	幅度比例因子<7:0>									
	<47:40>	相位偏移字<15:8>									
	<39:32>	相位偏移字<7:0>									
	<31:24>	频率调谐字<31:24>									
	<23:16>	频率调谐字<23:16>									
	<15:8>	频率调谐字<15:8>									
	<7:0>	频率调谐字<7:0>									
Profile 0 寄存器—QDUC (0x0E)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路		
	<55:48>	输出比例因子									
	<47:40>	相位偏移字<15:8>									
	<39:32>	相位偏移字<7:0>									
	<31:24>	频率调谐字<31:24>									
	<23:16>	频率调谐字<23:16>									
	<15:8>	频率调谐字<15:8>									
	<7:0>	频率调谐字<7:0>									

# AD9957

表15. Profile 1、Profile 2和Profile 3寄存器

寄存器名称(串行地址)	位域 (内部地址)	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值	
Profile 1 寄存器 — 单音 (0x0F)	<63:56>	开路		幅度比例因子<13:8>							N/A
	<55:48>	幅度比例因子<7:0>							N/A		
	<47:40>	相位偏移字<15:8>							N/A		
	<39:32>	相位偏移字<7:0>							N/A		
	<31:24>	频率调谐字<31:24>							N/A		
	<23:16>	频率调谐字<23:16>							N/A		
	<15:8>	频率调谐字<15:8>							N/A		
	<7:0>	频率调谐字<7:0>							N/A		
Profile 1 寄存器 — QDUC (0x0F)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路	N/A	
	<55:48>	输出比例因子<7:0>							N/A		
	<47:40>	相位偏移字<15:8>							N/A		
	<39:32>	相位偏移字<7:0>							N/A		
	<31:24>	频率调谐字<31:24>							N/A		
	<23:16>	频率调谐字<23:16>							N/A		
	<15:8>	频率调谐字<15:8>							N/A		
	<7:0>	频率调谐字<7:0>							N/A		
Profile 2 寄存器 — 单音 (0x10)	<63:56>	开路		幅度比例因子<13:8>							N/A
	<55:48>	幅度比例因子<7:0>							N/A		
	<47:40>	相位偏移字<15:8>							N/A		
	<39:32>	相位偏移字<7:0>							N/A		
	<31:24>	频率调谐字<31:24>							N/A		
	<23:16>	频率调谐字<23:16>							N/A		
	<15:8>	频率调谐字<15:8>							N/A		
	<7:0>	频率调谐字<7:0>							N/A		
Profile 2 寄存器 — QDUC (0x10)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路	N/A	
	<55:48>	输出比例因子<7:0>							N/A		
	<47:40>	相位偏移字<15:8>							N/A		
	<39:32>	相位偏移字<7:0>							N/A		
	<31:24>	频率调谐字<31:24>							N/A		
	<23:16>	频率调谐字<23:16>							N/A		
	<15:8>	频率调谐字<15:8>							N/A		
	<7:0>	频率调谐字<7:0>							N/A		
Profile 3 寄存器 — 单音 (0x11)	<63:56>	开路		幅度比例因子<13:8>							N/A
	<55:48>	幅度比例因子<7:0>							N/A		
	<47:40>	相位偏移字<15:8>							N/A		
	<39:32>	相位偏移字<7:0>							N/A		
	<31:24>	频率调谐字<31:24>							N/A		
	<23:16>	频率调谐字<23:16>							N/A		
	<15:8>	频率调谐字<15:8>							N/A		
	<7:0>	频率调谐字<7:0>							N/A		
Profile 3 寄存器 — QDUC (0x11)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路	N/A	
	<55:48>	输出比例因子<7:0>							N/A		
	<47:40>	相位偏移字<15:8>							N/A		
	<39:32>	相位偏移字<7:0>							N/A		
	<31:24>	频率调谐字<31:24>							N/A		
	<23:16>	频率调谐字<23:16>							N/A		
	<15:8>	频率调谐字<15:8>							N/A		
	<7:0>	频率调谐字<7:0>							N/A		

表16. Profile 4、Profile 5和Profile 6寄存器

寄存器名称(串行地址)	位域 (内部地址)	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值	
Profile 4 寄存器—单音(0x12)	<63:56>	开路		幅度比例因子<13:8>							N/A
	<55:48>	幅度比例因子<7:0>									N/A
	<47:40>	相位偏移字<15:8>									N/A
	<39:32>	相位偏移字<7:0>									N/A
	<31:24>	频率调谐字<31:24>									N/A
	<23:16>	频率调谐字<23:16>									N/A
	<15:8>	频率调谐字<15:8>									N/A
	<7:0>	频率调谐字<7:0>									N/A
Profile 4 寄存器—QDUC(0x12)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路	N/A	
	<55:48>	输出比例因子<7:0>									N/A
	<47:40>	相位偏移字<15:8>									N/A
	<39:32>	相位偏移字<7:0>									N/A
	<31:24>	频率调谐字<31:24>									N/A
	<23:16>	频率调谐字<23:16>									N/A
	<15:8>	频率调谐字<15:8>									N/A
	<7:0>	频率调谐字<7:0>									N/A
Profile 5 寄存器—单音(0x13)	<63:56>	开路		幅度比例因子<13:8>							N/A
	<55:48>	幅度比例因子<7:0>									N/A
	<47:40>	相位偏移字<15:8>									N/A
	<39:32>	相位偏移字<7:0>									N/A
	<31:24>	频率调谐字<31:24>									N/A
	<23:16>	频率调谐字<23:16>									N/A
	<15:8>	频率调谐字<15:8>									N/A
	<7:0>	频率调谐字<7:0>									N/A
Profile 5 寄存器—QDUC(0x13)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路	N/A	
	<55:48>	输出比例因子<7:0>									N/A
	<47:40>	相位偏移字<15:8>									N/A
	<39:32>	相位偏移字<7:0>									N/A
	<31:24>	频率调谐字<31:24>									N/A
	<23:16>	频率调谐字<23:16>									N/A
	<15:8>	频率调谐字<15:8>									N/A
	<7:0>	频率调谐字<7:0>									N/A
Profile 6 寄存器—单音(0x14)	<63:56>	开路		幅度比例因子<13:8>							N/A
	<55:48>	幅度比例因子<7:0>									N/A
	<47:40>	相位偏移字<15:8>									N/A
	<39:32>	相位偏移字<7:0>									N/A
	<31:24>	频率调谐字<31:24>									N/A
	<23:16>	频率调谐字<23:16>									N/A
	<15:8>	频率调谐字<15:8>									N/A
	<7:0>	频率调谐字<7:0>									N/A
Profile 6 寄存器—QDUC(0x14)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路	N/A	
	<55:48>	输出比例因子<7:0>									N/A
	<47:40>	相位偏移字<15:8>									N/A
	<39:32>	相位偏移字<7:0>									N/A
	<31:24>	频率调谐字<31:24>									N/A
	<23:16>	频率调谐字<23:16>									N/A
	<15:8>	频率调谐字<15:8>									N/A
	<7:0>	频率调谐字<7:0>									N/A

# AD9957

**表17. Profile 7、RAM、GPIO配置和GPIO数据寄存器**

寄存器名称(串行地址)	位域 (内部地址)	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值
Profile 7 寄存器 — 单音 (0x15)	<63:56>	开路		幅度比例因子<13:8>						N/A
	<55:48>	幅度比例因子<7:0>								N/A
	<47:40>	相位偏移字<15:8>								N/A
	<39:32>	相位偏移字<7:0>								N/A
	<31:24>	频率调谐字<31:24>								N/A
	<23:16>	频率调谐字<23:16>								N/A
	<15:8>	频率调谐字<15:8>								N/A
	<7:0>	频率调谐字<7:0>								N/A
Profile 7 寄存器 — QDUC (0x15)	<63:56>	CCI 插值率<7:2>						频谱反转	反 CCI 旁路	N/A
	<55:48>	输出比例因子<7:0>								N/A
	<47:40>	相位偏移字<15:8>								N/A
	<39:32>	相位偏移字<7:0>								N/A
	<31:24>	频率调谐字<31:24>								N/A
	<23:16>	频率调谐字<23:16>								N/A
	<15:8>	频率调谐字<15:8>								N/A
	<7:0>	频率调谐字<7:0>								N/A
RAM 寄存器 (0x16)	<31:0>	RAM 字<31:0>								N/A
GPIO 配置寄存器 (0x18)	<15:0>	GPIO 配置<15:0>								N/A
GPIO 数据寄存器 (0x19)	<15:0>	GPIO 数据<15:0>								N/A

## 寄存器位功能描述

串行 I/O 端口寄存器地址范围从 0 至 25（十六进制：0x00 至 0x19），共有 26 个寄存器。但是，其中有六个寄存器未使用，所以只有 20 个可用寄存器。未使用的寄存器为 7、8、11 至 13 和 23（0x07 至 0x08、0x0B 至 0x0D 和 0x17）。

寄存器分配到的字节数各不相同。也就是说，寄存器具有不同的深度，其字节容量取决于特定的功能要求。另外，寄存器主要根据其功能命名。有时候寄存器会基于方便记忆的原则命名。例如，串行地址 0x00 的寄存器命名为控制功能寄存器 1，表示为容易记忆的 CFR1。

下文详细介绍了 AD9957 寄存器映射中的每一个位的功能。对于由多个位共同实现某一特定功能的情况，整个位组将视为一个二进制字，集中加以说明。

本节内容按寄存器串行地址顺序组织。每个副标题后是该特定寄存器中各个位的功能描述。寄存器中位的具体位置由 <A> 或 <A:B> 表示，其中 A 和 B 是位编号。<A:B> 表示法指定从最高有效位到最低有效位的位范围。例如，<5:2> 表示从比特位 5 至 2，其中由 0 位表示寄存器的 LSB。

除非另有说明，在 I/O 更新置位或者 profile 更改之前，已编程位不会传输到内部目的位置。

## 控制功能寄存器1 (CFR1)

地址为 0x00，且此寄存器分配了四个字节。

表18. CFR1寄存器的位功能描述

位	引脚名称	描述
31	RAM 使能	0: 禁用 RAM 回放功能（默认）。 1: 使能 RAM 回放功能。
30:29	开路	
28	RAM 回放目的位置	仅在 CFR1<31> = 1 时有效。 0: RAM 回放数据路由至基带调整乘法器（默认）。 1: RAM 回放数据路由至基带 I/Q 数据路径。
27:26	开路	
25:24	工作模式	00: 正交调制模式（默认）。 01: 单音模式。 1x: DAC 插值模式。
23	手动 OSK 外部控制	仅在 CFR1<9:8> = 10b 时有效。 0: OSK 引脚无效（默认）。 1: OSK 引脚使能手动 OSK 控制（参见“输出移位键控(OSK)”部分）。
22	反 Sinc 滤波器使能	0: 反 sinc 滤波器被旁路（默认）。 1: 反 sinc 滤波器有效。
21	CCI 清零	串行 I/O 端口控制器会自动将该位清 0。此操作需要数个内部时钟周期才能完成，在此期间将忽略基带信号链施加于 CCI 输入端的数据。输入强制为全 0，以清除 CCI 数据路径，之后 CCI 累加器即会复位。 0: CCI 滤波器正常工作（默认）。 1: 在 CCI 滤波器中启动累加器的异步复位。
20:17	开路	
16	选择 DDS 正弦输出	仅在 CFR1<25:24> = 01b 时有效。 0: 选择 DDS 余弦输出（默认）。 1: 选择 DDS 正弦输出。
15:14	开路	
13	自动清零相位累加器	0: DDS 相位累加器正常工作（默认）。 1: 每次 I/O_UPDATE 置位或者 profile 更改后，同步复位 DDS 相位累加器。
12	开路	
11	清零相位累加器	0: DDS 相位累加器正常工作（默认）。 1: DDS 相位累加器异步、静态复位。
10	加载 ARR @ I/O 更新	0: OSK 幅度斜坡率定时器正常工作（默认）。 1: 每次 I/O_UPDATE 置位或者 profile 更改后，OSK 幅度斜坡率定时器重新加载。

位	引脚名称	描述
9	OSK (输出移位键控) 使能	0: OSK 禁用 (默认)。 1: OSK 使能。
8	选择自动 OSK	仅在 CFR1<9> = 1 时有效。 0: 手动 OSK 使能 (默认)。 1: 自动 OSK 使能。
7	数字部分关断	此位无需 I/O 更新即可生效。 0: 数字内核时钟信号有效 (默认)。 1: 数字内核时钟信号禁用。
6	DAC 关断	0: DAC 时钟信号和偏置电路有效 (默认)。 1: DAC 时钟信号和偏置电路禁用。
5	REFCLK 输入关断	此位无需 I/O 更新即可生效。 0: REFCLK 输入电路和 PLL 有效 (默认)。 1: REFCLK 输入电路和 PLL 禁用。
4	辅助 DAC 关断	0: 辅助 DAC 时钟信号和偏置电路有效 (默认)。 1: 辅助 DAC 时钟信号和偏置电路禁用。
3	外部关断控制	0: EXT_PWR_DWN 引脚置位采用全省电模式运行 (默认)。 1: EXT_PWR_DWN 引脚置位采用快速恢复省电模式运行。
2	自动关断使能	在 CFR1<25:24> = 01b 时无效。 0: 禁用关断 (默认)。 1: 当 TxEnable 引脚为逻辑 0 时, 基带信号处理链将清除残留数据, 同时时钟自动停止。当 TxENABLE 引脚为逻辑 1 时, 时钟重新启动。
1	仅为 SDIO 输入	0: 配置 SDIO 引脚进行双向操作; 双线式串行编程模式 (默认)。 1: 将串行数据 I/O 引脚(SDIO)仅配置为输入引脚, 三线式串行编程模式。
0	LSB 优先	0: 配置串行 I/O 端口为 MSB 优先格式 (默认)。 1: 配置串行 I/O 端口为 LSB 优先格式。

### 控制功能寄存器2 (CFR2)

地址为 0x01, 且此寄存器分配了四个字节。

表19. CFR2寄存器的位功能描述

位	引脚名称	描述
31	Blackfin 接口模式有效	仅在 CFR1<25:24> = 00b (正交调制模式) 时有效。 0: 引脚 D<17:0>配置为 18 位并行端口 (默认)。 1: 引脚 D<5:4>配置为兼容 Blackfin 串行接口的双串行端口。引脚 D<17:6>和引脚 D<3:0>变为 16 位 GPIO 端口。
30	Blackfin 位序	仅在 CFR2<31> = 1 时有效。 0: 双串行端口(BFI)配置为 MSB 优先 (默认)。 1: 双串行端口(BFI)配置为 LSB 优先。
29	Blackfin 早帧同步使能	仅在 CFR2<31> = 1 时有效。 0: 双串行端口(BFI)配置为兼容 Blackfin 晚帧同步操作 (默认)。 1: 双串行端口(BFI)配置为兼容 Blackfin 早帧同步操作。
28:25	将 Profile 寄存器用作 ASF 源	仅在 CFR1<25:24> = 01b (单频调制模式) 且 CFR1<9>=0 (OSK 禁用) 时有效。 0: 幅度比例因子被旁路 (单位增益)。 1: 有效 profile 寄存器决定幅度比例因子。
23	内部 I/O 更新有效	此位无需 I/O 更新即可生效。 0: 串行 I/O 编程与外部 I/O_UPDATE 引脚置位同步, 该引脚被配置为输入引脚 (默认)。 1: 串行 I/O 编程与内部产生的 I/O 更新信号同步 (内部信号在配置为输出引脚的 I/O_UPDATE 引脚上产生)。
22	SYNC_CLK 使能	0: SYNC_CLK 引脚禁用; 静态逻辑 0 输出。 1: SYNC_CLK 引脚产生 $\frac{1}{4} f_{SYSCLK}$ 时钟信号, 用于同步串行 I/O 端口 (默认)。

位	引脚名称	描述
21:17	开路	
16	读取有效 FTW	0: FTW 寄存器的串行 I/O 端口读操作读取 FTW 寄存器中的内容 (默认)。 1: FTW 寄存器的串行 I/O 端口读操作读取输入 DDS 相位累加器上的实际 32 位控制字。
15:14	I/O 更新速率 控制	仅在 CFR2<23> = 1 时有效。设置参照 I/O 更新定时器运行分频器的预分频值： 00: 1 分频 (默认)。 01: 2 分频。 10: 4 分频。 11: 8 分频。
13	PDCLK 速率 控制	仅在 CFR2<31> = 0 且 CFR1<25:24> = 00b 时有效。 0: PDCLK 以输入数据速率工作 (默认)。 1: PDCLK 以 % 输入数据速率工作；有助于维持并行数据端口上 I/Q 字和基带信号处理链的内部时钟之间的一致关系。
12	数据格式	0: 施加于引脚 D<17:0> 的数据字采用二进制补码编码格式 (默认)。 1: 施加于引脚 D<17:0> 的数据字采用偏移二进制编码格式。
11	PDCLK 使能	0: PDCLK 引脚禁用，并强制为静态逻辑 0；内部时钟信号会连续运行，为数据分配器提供时序。 1: PDCLK 引脚上出现内部 PDCLK 信号 (默认)。
10	PDCLK 反转	0: PDCLK 正常极性；Q 数据与逻辑 1 有关；I 数据与逻辑 0 有关 (默认)。 1: PDCLK 反转极性。
9	TxEnable 反转	0: TxENABLE 正常极性；逻辑 0 表示待机状态，而逻辑 1 则表示传输状态 (默认)。 1: TxENABLE 反转极性；逻辑 0 表示传输状态，而逻辑 1 则表示待机状态。
8	Q 优先数据配对	0: I/Q 数据对以 I 数据优先形式传送，之后是 Q 数据 (默认)。 1: I/Q 数据对以 Q 数据优先形式传送，之后是 I 数据。
7	匹配延迟使能	0: DDS 幅度、相位和频率变化同步应用按所列顺序输出 (默认)。 1: DDS 幅度、相位和频率变化同步应用同步输出。
6	数据分配器 保留最后值	在 CFR1<25:24> = 01b 时无效。 0: 当 TxENABLE 引脚为逻辑假状态时，数据分配器忽略输入数据，并内部强制基带信号路径为零 (默认)。 1: 当 TxENABLE 引脚为逻辑假状态时，数据分配器忽略输入数据，并内部强制保留基带信号路径上收到的最后值。
5	同步时序 验证禁用	0: 使能建立和保持验证电路执行测量；测量结果出现在 SYNC_SMP_ERR 引脚上；如果该引脚为逻辑 1，表示可能正在进行建立/保持验证；而逻辑 0 则表示未检测到建立/保持验证；在该位设置为逻辑 1 之前，将一直锁存并保持测量结果。 1: 复位建立和保持验证测量电路，强制 SYNC_SMP_ERR 引脚进入静态逻辑 0 状态 (默认)；在该位恢复到逻辑 0 状态之前，一直禁用测量电路。
4:0	开路	

# AD9957

## 控制功能寄存器3 (CFR3)

地址为 0x02，且此寄存器分配了四个字节。

表20. CFR3寄存器的位功能描述

位	引脚名称	描述
31:30	开路	
29:28	DRV0	控制 REFCLK_OUT 引脚（详见表 6）；默认值为 01b。
27	开路	
26:24	VCO SEL	选取 REFCLK PLL VCO 的频段（详见表 7）；默认值为 111b。
23:22	开路	
21:19	I <sub>CP</sub>	选取 REFCLK PLL 中的电荷泵电流值（详见表 8）；默认值为 111b。
18:16	开路	
15	REFCLK 输入分频率器旁路	0: 选取输入分频器（默认）。 1: 输入分频器被旁路。
14	REFCLK 输入分频率器复位 B	0: 输入分频器被复位。 1: 输入分频器正常工作（默认）。
13:9	开路	
8	PLL 使能	0: REFCLK PLL 被旁路（默认）。 1: REFCLK PLL 使能。
7:1	N	此 7 位数是 REFCLK PLL 反馈分频器的分频模数，默认值为 0000000b。
0	开路	

## 辅助DAC控制寄存器

地址为 0x03，且此寄存器分配了四个字节。

表21. 辅助DAC控制寄存器的位功能描述

位	引脚名称	描述
31:8	开路	
7:0	FSC	此 8 位数用于控制主 DAC 满量程输出电流（参见“辅助 DAC 部分”）；默认值为 0xFF。

## I/O更新速率寄存器

地址为 0x04，且此寄存器分配了四个字节。此寄存器无需 I/O 更新即可生效。

表22. I/O更新速率寄存器5的位功能描述

位	引脚名称	描述
31:0	I/O 更新速率	仅在 CFR2<23> = 1 时有效。此 32 位数控制自动 I/O 更新速率（详见“自动 I/O 更新”部分）；默认值为 0xFFFFFFFF。

## RAM段寄存器0

地址为 0x05，且此寄存器分配了六个字节。此寄存器无需 I/O 更新即可生效。仅在 CFR1<31> = 1 且 RT 引脚上为逻辑 0 至逻辑 1 跃迁时，此寄存器才有效。

表23. RAM段寄存器0的位功能描述

位	引脚名称	描述
47:32	RAM 地址步进率 0	此 16 位数控制 RAM 状态机在指定 RAM 地址范围内的步进率。
31:22	RAM 结束地址 0	此 10 位数确定 RAM 状态机的结束地址。
21:16	开路	
15:6	RAM 起始地址 0	此 10 位数确定 RAM 状态机的起始地址。
5:3	开路	
2:0	RAM 回放模式 0	此 3 位数确定 RAM 状态机的回放模式（参见表 5）。



**RAM段寄存器1**

地址为 0x06，且此寄存器分配了六个字节。仅在 CFR1<31> = 1 且 RT 引脚上为逻辑 1 至逻辑 0 跃迁时，此寄存器才有效。

**表24. RAM段寄存器1的位功能描述**

位	引脚名称	描述
47:32	RAM 地址步进率 1	此 16 位数控制 RAM 状态机在指定 RAM 地址范围内的步进率。
31:22	RAM 结束地址 1	此 10 位数确定 RAM 状态机的结束地址。
21:16	开路	
15:6	RAM 起始地址 1	此 10 位数确定 RAM 状态机的起始地址。
5:3	开路	
2:0	RAM 回放模式 1	此 3 位数确定 RAM 状态机的回放模式（参见表 5）。

**幅度比例因子(ASF)寄存器**

地址为 0x09，且此寄存器分配了四个字节。仅在 CFR1<9> = 1 时，此寄存器才有效。

**表25. ASF寄存器的位功能描述**

位	引脚名称	描述
31:16	幅度斜坡率	仅在 CFR1<8> = 1 时有效。此 16 位数控制 OSK 控制器更新 DDS 幅度变化的速率。
15:2	幅度比例因子	如果 CFR1<8> = 0 且 CFR1<23> = 0，那么此 14 位数是 DDS 的幅度比例因子。 如果 CFR1<8> = 0 且 CFR1<23> = 1，那么在 OSK 引脚为逻辑 1 时，此 14 位数是 DDS 的幅度比例因子。 如果 CFR1<8> = 1，那么此 14 位数设置 DDS 的最大允许幅度比例因子上限。
1:0	幅度步长	仅在 CFR1<8> = 1 时有效。此 2 位数控制 DDS 幅度变化的步长（参见表 9）。

**多芯片同步寄存器**

地址为 0x0A，且此寄存器分配了四个字节。

**表26. 多芯片同步寄存器的位功能描述**

位	引脚名称	描述
31:28	同步验证延迟	默认值为 0000b。此 4 位数设置同步接收器中同步验证模块的 SYSCLK 和延迟 SYNC_IN 信号之间的时序偏斜（约 150 ps 增量）。
27	同步接收器使能	0：同步时钟接收器禁用（默认）。 1：同步时钟接收器使能。
26	同步发生器使能	0：同步时钟发生器禁用（默认）。 1：同步时钟发生器使能。
25	同步发生器极性	0：同步时钟发生器与系统时钟上升沿一致（默认）。 1：同步时钟发生器与系统时钟下降沿一致。
24	开路	
23:18	同步状态预设值	默认值为 000000b。此 6 位数为内部时钟发生器收到同步脉冲时假定的状态。
17:16	开路	
15:11	同步发生器延迟	默认值为 00000b。此 5 位数设置同步发生器输出延迟（按约 150 ps 的增量）。
10:8	开路	
7:3	同步接收器延迟	默认值为 00000b。此 5 位数设置同步接收器输入延迟（按约 150 ps 的增量）。
2:0	开路	

**PROFILE寄存器**

器件的 profile 共使用 8 个连续的串行 I/O 地址 (0x0E 至 0x15)。根据 CFR1<25:24>指定的器件工作模式, 这 8 个 profile 寄存器分为单频调制 profile 或 QDUC profile 两种。工作期间, 使用外部 PROFILE<2:0>引脚来确定有效 profile 寄存器。

单频调制 profile 控制: DDS 频率 (32 位)、DDS 相位偏移 (16 位) 和 DDS 幅度调整 (14 位)。

QDUC profile 控制: DDS 频率 (32 位)、DDS 相位偏移 (16 位)、输出幅度调整 (8 位)、CCI 滤波器插值因子、反 CCI 旁路和频谱反转。QDUC profile 还有选择地适用于 DAC 插值工作模式: 仅输出调整、CCI 滤波器插值因子和反 CCI 旁路适用; 所有其它部分 (DDS 频率、输出幅度调整和频谱反转) 会被忽略。

**Profile<7:0>寄存器—单频调制**

地址为 0x0E 至 0x15, 且此寄存器分配了八个字节。

**表27. Profile<7:0>寄存器的位功能描述—单频调制**

位	引脚名称	描述
63:62	开路	
61:48	幅度比例因子	此14位数控制DDS输出幅度。
47:32	相位偏移字	此16位数控制DDS相位偏移。
31:0	频率调谐字	此32位数控制DDS频率。

**Profile<7:0>寄存器—QDUC**

地址为 0x0E 至 0x15, 且此寄存器分配了八个字节。

**表28. Profile<7:0>寄存器的位功能描述—QDUC**

位	引脚名称	描述
63:58	CCI插值率	此6位数是CCI滤波器的速率插值因子。
57	频谱反转	0: 调制器输出采用以下格式: $I(t) \times \cos(ct) - Q(t) \times \sin(ct)$ . 1: 调制器输出采用以下格式: $I(t) \times \cos(ct) + Q(t) \times \sin(ct)$ .
56	反CCI旁路	0: 反CCI滤波器使能。 1: 反CCI滤波器被旁路。
55:48	输出比例因子	此8位数控制输出幅度。
47:32	相位偏移字	此16位数控制DDS相位偏移。
31:0	频率调谐字	此32位数控制DDS频率。

**RAM寄存器**

地址为 0x16, 且此寄存器分配了四个字节。

**表29. RAM寄存器的位功能描述**

位	引脚名称	描述
31:0	RAM字	写入RAM的32位字是由RAM段寄存器0或RAM段寄存器1的起始地址和结束地址来定义的。

**GPIO配置寄存器**

地址为 0x18, 且此寄存器分配了两个字节。

**表30. GPIO配置寄存器的位功能描述**

位	引脚名称	描述
15:0	GPIO配置	详见“通用I/O (GPIO)端口”部分。

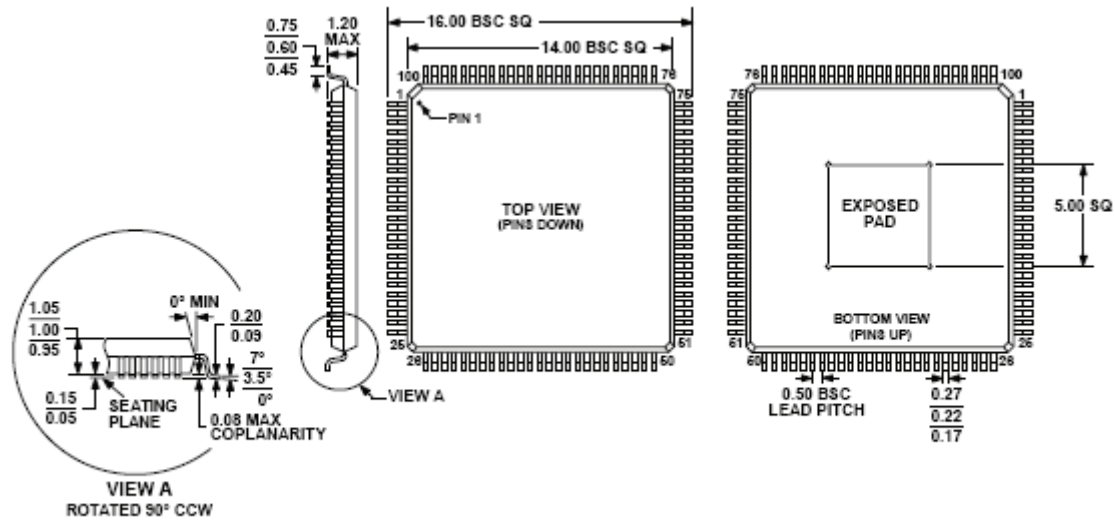
**GPIO数据寄存器**

地址为 0x19, 且此寄存器分配了两个字节。

**表31. GPIO数据寄存器的位功能描述**

位	引脚名称	描述
15:0	GPIO数据	读或写基于GPIO配置寄存器的内容。详见“通用I/O (GPIO)端口”部分。

# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HD  
[Note: Exposed Pad should be solder to ground]

图64. 100引脚裸露焊盘超薄四方扁平封装 [TQFP\_EP]  
(SV-100-4)  
图示尺寸单位: mm

521006-A

## 订购指南

型号	温度范围	封装描述	封装选项
AD9957BSVZ <sup>1</sup>	-40°C至+85°C	100引脚裸露焊盘超薄四方扁平封装[TQFP_EP]	SV-100-4
AD9957BSVZ-REEL <sup>1</sup>	-40°C至+85°C	100引脚裸露焊盘超薄四方扁平封装[TQFP_EP]	SV-100-4
AD9957/PCBZ <sup>1</sup>		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**