

### 产品特性

RF输出频率范围：54 MHz至13600 MHz  
 小数N分频频率合成器和整数N分频频率合成器  
 高分辨率38位模数  
 高达125 MHz的鉴频鉴相器(PFD)  
 最高600 MHz的参考频率  
 在-40°C至+85°C范围内保持锁频  
 低相位噪声压控振荡器(VCO)  
 可编程1/2/4/8/16/32/64分频输出  
 模拟和数字电源：3.3 V  
 电荷泵和VCO电源：5 V(典型值)  
 逻辑兼容性：1.8 V  
 可编程双模预分频器：4/5或8/9  
 可编程的输出功率  
 RF输出静音功能  
 模拟和数字锁定检测  
 ADIsimPLL设计工具支持

### 应用

无线基础设施(W-CDMA、TD-SCDMA、WiMAX、GSM、PCS、DCS、DECT)  
 点到点/点到多点微波链路  
 卫星/VSAT  
 测试设备/仪器仪表  
 时钟产生

### 概述

ADF5355结合外部环路滤波器和外部参考频率使用时，可实现小数N分频或整数N分频锁相环(PLL)频率合成器。该微波宽带VCO设计允许在一个射频(RF)输出实现6.8 GHz至13.6 GHz的工作频率。其他频率输出的一系列分频器可实现54 MHz至6800 MHz的工作频率。

ADF5355具有一个集成VCO，其基波输出频率范围为3400 MHz至6800 MHz。此外，VCO频率可进行1、2、4、8、16、32或64分频，因此用户可以产生低至54 MHz的RF输出频率。对于要求隔离的应用，RF输出级可以实现静音。静音功能既可以通过引脚控制，也可以通过软件控制。

所有片内寄存器均通过简单的三线式接口进行控制。ADF5355采用3.15 V至3.45 V的模拟和数字电源工作，并带有4.75 V至5.25 V的电荷泵和VCO电源。此外，它还内置硬件和软件关断模式。

功能框图

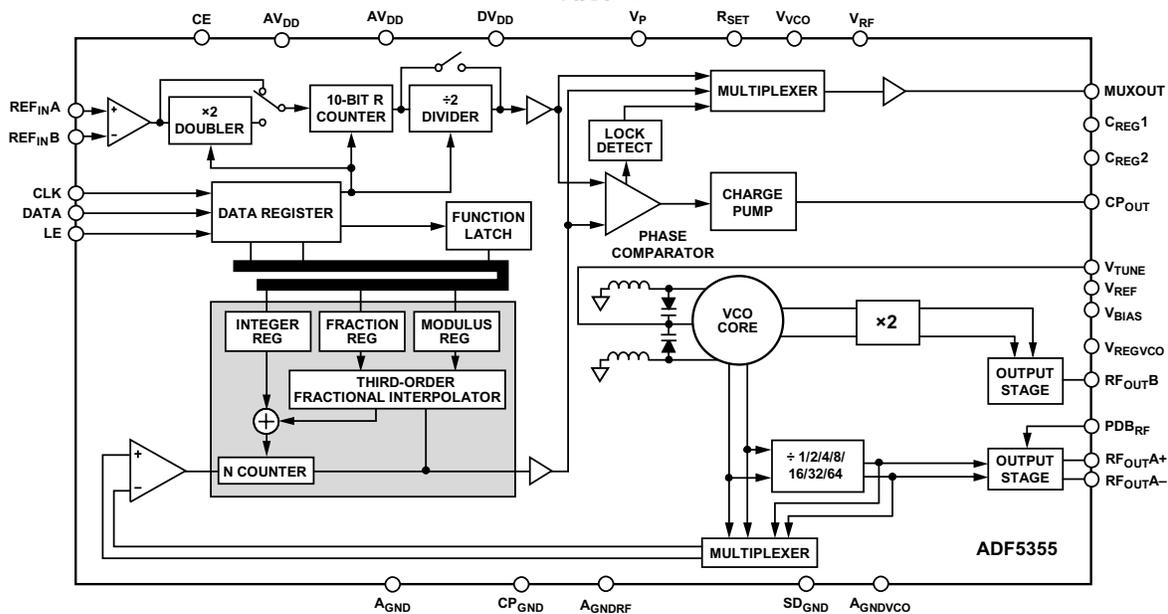


图1.

Rev. 0

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
 Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.  
 Technical Support [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

产品特性 .....	1	寄存器4 .....	24
应用 .....	1	寄存器5 .....	25
概述 .....	1	寄存器6 .....	26
功能框图 .....	1	寄存器7 .....	28
修订历史 .....	2	寄存器8 .....	29
技术规格 .....	3	寄存器9 .....	29
时序特性 .....	6	寄存器10 .....	30
绝对最大额定值 .....	7	寄存器11 .....	30
晶体管数量 .....	7	寄存器12 .....	31
ESD警告 .....	7	寄存器初始化序列 .....	31
引脚配置和功能描述 .....	8	频率更新序列 .....	31
典型性能参数 .....	10	RF频率合成器：一个成功范例 .....	32
电路描述 .....	15	参考倍频器和参考分频器 .....	32
参考输入部分 .....	15	杂散优化和快速锁定 .....	32
RF N分频器 .....	15	抖动优化 .....	32
鉴频鉴相器(PFD)和电荷泵 .....	16	杂散机制 .....	33
MUXOUT和Lock检测 .....	16	锁定时间 .....	33
输入移位寄存器 .....	16	应用信息 .....	34
编程模式 .....	16	电源 .....	34
VCO .....	17	芯片级封装的印刷电路板(PCB)设计指南 .....	34
输出级 .....	17	输出匹配 .....	35
寄存器映射 .....	18	外形尺寸 .....	36
寄存器0 .....	20	订购指南 .....	36
寄存器1 .....	21		
寄存器2 .....	22		
寄存器3 .....	23		

## 修订历史

2014年10月—修订版0：初始版

## 技术规格

除非另有说明,  $AV_{DD} = DV_{DD} = V_{RF} = 3.3 V \pm 5\%$ ,  $4.75 V \leq V_P = V_{VCO} \leq 5.25 V$ ,  $A_{GND} = CP_{GND} = A_{GNDVCO} = SD_{GND} = A_{GNDRF} = 0 V$ ,  $R_{SET} = 5.1 k\Omega$ , dBm以50  $\Omega$ 为基准,  $T_A = T_{MIN}$ 至 $T_{MAX}$ °

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
REF <sub>IN</sub> /REF <sub>IN</sub> B特性						
输入频率						如果f < 10 MHz, 确保压摆率大于21 V/ $\mu$ s
单端模式		10		250	MHz	
差模		10		600	MHz	
输入灵敏度						
单端模式		0.4		AV <sub>DD</sub>	V p-p	REF <sub>IN</sub> A偏置AV <sub>DD</sub> /2; 交流耦合确保AV <sub>DD</sub> /2偏置
差模		0.4		1.8	V p-p	LVDS和LVPECL兼容, REF <sub>IN</sub> A/REF <sub>IN</sub> B偏置2.1 V; 交流耦合确保2.1 V偏置
输入电容						
单端模式			6.9		pF	
差模			1.4		pF	
输入电流				$\pm 60$	$\mu$ A	设置单端参考
				$\pm 250$	$\mu$ A	设置差分参考
鉴相器频率				125	MHz	
电荷泵(CP)						
电荷泵电流(吸/源)	I <sub>CP</sub>					R <sub>SET</sub> = 5.1 k $\Omega$
高值			4.8		mA	
低值			0.3		mA	
R <sub>SET</sub> 范围			5.1		k $\Omega$	固定
电流匹配			3		%	0.5 V $\leq$ V <sub>CP</sub> <sup>1</sup> $\leq$ V <sub>P</sub> - 0.5 V
I <sub>CP</sub> 与V <sub>CP</sub>			3		%	0.5 V $\leq$ V <sub>CP</sub> <sup>1</sup> $\leq$ V <sub>P</sub> - 0.5 V
I <sub>CP</sub> 与温度			1.5		%	V <sub>CP</sub> <sup>1</sup> = 2.5 V
逻辑输入						
输入高电压	V <sub>INH</sub>	1.5			V	
输入低电压	V <sub>INL</sub>			0.6	V	
输入电流	I <sub>INH</sub> /I <sub>INL</sub>			$\pm 1$	$\mu$ A	
输入电容	C <sub>IN</sub>		3.0		pF	
逻辑输出						
输出高电压	V <sub>OH</sub>	DV <sub>DD</sub> - 0.4			V	
		1.5	1.8		V	选择1.8 V输出
输出高电流	I <sub>OH</sub>			500	$\mu$ A	
输出低电压	V <sub>OL</sub>			0.4	V	I <sub>OL</sub> <sup>2</sup> = 500 $\mu$ A
电源						
模拟电源	AV <sub>DD</sub>	3.15		3.45	V	见表6
数字电源和RF电源电压	DV <sub>DD</sub> , V <sub>RF</sub>		AV <sub>DD</sub>			电压必须等于AV <sub>DD</sub>
电荷泵电压和电源电压	V <sub>P</sub> , V <sub>VCO</sub>	4.75	5.0	5.25	V	V <sub>P</sub> 必须等于V <sub>VCO</sub>
电荷泵电源电流	I <sub>P</sub>		8	9	mA	
D <sub>I<sub>DD</sub></sub> + A <sub>I<sub>DD</sub></sub> <sup>3</sup>			62	69	mA	
输出分频器			6至36		mA	每个二分频输出消耗6 mA
电源电流	I <sub>VCO</sub>		70	85	mA	
RF <sub>OUT</sub> A $\pm$ /RF <sub>OUT</sub> B电源电流	I <sub>RFOUTX<math>\pm</math></sub>		16/30/ 42/55	20/35/ 50/70	mA	RF <sub>OUT</sub> A+/RF <sub>OUT</sub> A-输出级可编程; RF <sub>OUT</sub> A+/RF <sub>OUT</sub> A-和RF <sub>OUT</sub> B上电
低功耗休眠模式			500		$\mu$ A	选择硬件关断模式
			1000		$\mu$ A	选择软件关断模式

# ADF5355

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
RF输出特性						
VCO频率范围		3400		6800	MHz	基波VCO范围
RF <sub>OUTB</sub> 输出频率		6800		13600	MHz	2× VCO输出(RF <sub>OUTB</sub> )
RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> 输出频率		53.125		6800	MHz	
VCO灵敏度	Kv		15		MHz/V	
推频(开环)			15		MHz/V	外部低压差(LDO)模式
拉频(开环)			0.5		MHz/V	电压驻波比 (VSWR) = 2:1
			30		MHz	RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> VSWR = 2:1 RF <sub>OUTB</sub>
谐波成分						
第二			-27		dBc	基波VCO输出(RF <sub>OUTA+</sub> )
			-22		dBc	分频VCO输出(RF <sub>OUTA+</sub> )
第三			-20		dBc	基波VCO输出(RF <sub>OUTA+</sub> )
			-12		dBc	分频VCO输出(RF <sub>OUTA+</sub> )
基波VCO馈通			-8		dBm	RF <sub>OUTB</sub> = 10 GHz
			-55		dBc	RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> = 1 GHz; VCO频率 = 4 GHz
RF输出功率 <sup>4</sup>			+8		dBm	RF <sub>OUTA+</sub> = 1 GHz
			-3		dBm	RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> = 6.8 GHz
			1		dBm	RF <sub>OUTB</sub> = 6.8 GHz
			-1		dBm	RF <sub>OUTB</sub> = 13.6 GHz
RF输出功率波动			±1		dB	RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> = 5 GHz
			±1		dB	RF <sub>OUTB</sub> = 10 GHz
RF输出功率波动(频率范围内)			±6		dB	RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> = 1 GHz至6.8 GHz
			±4		dB	RF <sub>OUTB</sub> = 6.8 GHz至13.6 GHz
使能RF静音时的信号电平			-60		dBm	RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> = 1 GHz
			-30		dBm	RF <sub>OUTA+</sub> /RF <sub>OUTA-</sub> = 6.8 GHz
			-15		dBm	RF <sub>OUTB</sub> = 6.8 GHz
			-17		dBm	RF <sub>OUTB</sub> = 13.8 GHz
噪声特性						
基波VCO相位噪声性能						在开环条件下的VCO噪声
			-116		dBc/Hz	100 kHz偏移、3.4 GHz载波
			-136		dBc/Hz	800 kHz偏移、3.4 GHz载波
			-138		dBc/Hz	1 MHz偏移、3.4 GHz载波
			-155		dBc/Hz	10 MHz偏移、3.4 GHz载波
			-113		dBc/Hz	100 kHz偏移、5.0 GHz载波
			-133		dBc/Hz	800 kHz偏移、5.0 GHz载波
			-135		dBc/Hz	1 MHz偏移、5.0 GHz载波
			-153		dBc/Hz	10 MHz偏移、5.0 GHz载波
			-110		dBc/Hz	100 kHz偏移、6.8 GHz载波
			-130		dBc/Hz	800 kHz偏移、6.8 GHz载波
			-132		dBc/Hz	1 MHz偏移、6.8 GHz载波
			-150		dBc/Hz	10 MHz偏移、6.8 GHz载波

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
VCO 2×相位噪声性能			-110		dBc/Hz	在开环条件下的VCO噪声 100 kHz偏移、6.8 GHz载波
			-130		dBc/Hz	800 kHz偏移、6.8 GHz载波
			-132		dBc/Hz	1 MHz偏移、6.8 GHz载波
			-149		dBc/Hz	10 MHz偏移、6.8 GHz载波
			-107		dBc/Hz	100 kHz偏移、11 GHz载波
			-127		dBc/Hz	800 kHz偏移、11 GHz载波
			-129		dBc/Hz	1 MHz偏移、11 GHz载波
			-147		dBc/Hz	10 MHz偏移、11 GHz载波
			-103		dBc/Hz	100 kHz偏移、13.6 GHz载波
			-124		dBc/Hz	800 kHz偏移、13.6 GHz载波
			-126		dBc/Hz	1 MHz偏移、13.6 GHz载波
			-144		dBc/Hz	10 MHz偏移、13.6 GHz载波
	归一化带内相位本底噪声					
小数通道 <sup>5</sup>			-221		dBc/Hz	
整数通道 <sup>6</sup>			-223		dBc/Hz	
归一化1/f噪声, $PN_{1f}$ <sup>7</sup>			-116		dBc/Hz	10 kHz偏移; 归一化为1 GHz
积分RMS抖动			150		fs	
PFD频率引起的杂散信号			-80		dBc	

<sup>1</sup>  $V_{CP}$ 是CP<sub>OUT</sub>引脚上的电压。

<sup>2</sup>  $I_{OL}$ 是输出低电流。

<sup>3</sup>  $T_A = 25^\circ\text{C}$ ;  $AV_{DD} = DV_{DD} = V_{RF} = 3.3\text{ V}$ ;  $V_{VCO} = V_P = 5.0\text{ V}$ ; 预分频 = 4/5;  $f_{REF\_IN} = 122.88\text{ MHz}$ ;  $f_{PFD} = 61.44\text{ MHz}$ ;  $f_{RF} = 1650\text{ MHz}$ 。

<sup>4</sup> RF输出功率利用EV-ADF5355SD1Z评估板在频谱分析仪中测量, 评估板和电缆损耗已消除。未使用的RF输出引脚端接50 Ω电阻。

<sup>5</sup> 这个数值可用于任何应用的相位噪声计算。计算VCO输出端的带内相位噪声性能时, 请使用以下公式:  $-221 + 10\log(f_{PFD}) + 20\log N$ 。所给出的值是针对小数通道的最低噪声模式。

<sup>6</sup> 这个数值可用于任何应用的相位噪声计算。计算VCO输出端的带内相位噪声性能时, 请使用以下公式:  $-223 + 10\log(f_{PFD}) + 20\log N$ 。所给出的值是针对整数通道的最低噪声模式。

<sup>7</sup> PLL相位噪声由1/f(闪烁)噪声加归一化PLL噪底组成。RF频率为 $f_{RF}$ , 频率偏移为 $f$ 时, 计算1/f噪声贡献的公式如下:  $PN = P_{1f} + 10\log(10\text{ kHz}/f) + 20\log(f_{RF}/1\text{ GHz})$ 。归一化相位噪底和闪烁噪声均在ADIsimPLL设计工具中进行了模拟。

# ADF5355

## 时序特性

除非另有说明,  $AV_{DD} = DV_{DD} = V_{RF} = 3.3\text{ V} \pm 5\%$ ,  $4.75\text{ V} \leq V_P = V_{VCO} \leq 5.25\text{ V}$ ,  $A_{GND} = CP_{GND} = A_{GNDVCO} = SD_{GND} = A_{GNDRF} = 0\text{ V}$ ,  $R_{SET} = 5.1\text{ k}\Omega$ , dBm以50  $\Omega$ 为基准,  $T_A = T_{MIN}$ 至 $T_{MAX}$ 。

表2.

参数	限值	单位	说明
$t_1$	20	ns(最小值)	LE建立时间
$t_2$	10	ns(最小值)	DATA到CLK建立时间
$t_3$	10	ns(最小值)	DATA到CLK保持时间
$t_4$	25	ns(最小值)	CLK高电平持续时间
$t_5$	25	ns(最小值)	CLK低电平持续时间
$t_6$	10	ns(最小值)	CLK到LE建立时间
$t_7$	20	ns(最小值)	LE脉冲宽度

## 时序图

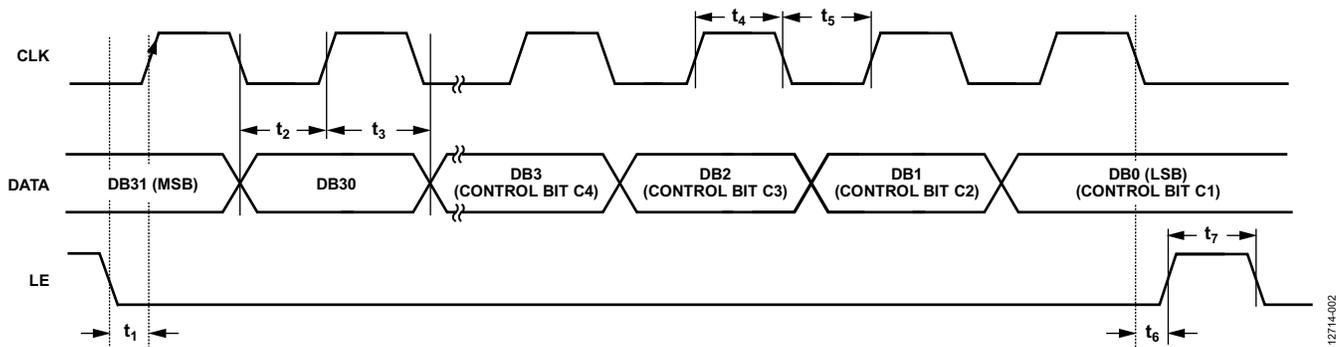


图2. 时序图

12714-002

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
$V_{RF}$ 、 $DV_{DD}$ 、 $AV_{DD}$ 至GND <sup>1</sup>	-0.3 V至+3.6 V
$AV_{DD}$ 至 $DV_{DD}$	-0.3 V至+0.3 V
$V_P$ 、 $V_{VCO}$ 至GND <sup>1</sup>	-0.3 V至+5.8 V
$V_P$ 、 $V_{VCO}$ 至 $AV_{DD}$	-0.3 V至 $AV_{DD} + 2.5$ V
$CP_{OUT}$ 至GND <sup>1</sup>	-0.3 V至 $V_P + 0.3$ V
数字输入/输出电压至GND <sup>1</sup>	-0.3 V至 $DV_{DD} + 0.3$ V
模拟输入/输出电压至GND <sup>1</sup>	-0.3 V至 $AV_{DD} + 0.3$ V
$REF_{IN,A}$ 、 $REF_{IN,B}$ 至GND <sup>1</sup>	-0.3 V至 $AV_{DD} + 0.3$ V
$REF_{IN,A}$ 至 $REF_{IN,B}$	$\pm 2.1$ V
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+125°C
最高结温	150°C
$\theta_{JA}$ ，热阻(焊盘焊接到GND <sup>1</sup> )	27.3°C/W
回流焊	
峰值温度	260°C
峰值温度时间	40秒
静电放电(ESD)	
充电器件模型	1000 V
人体模型	2500 V

<sup>1</sup> GND =  $A_{GND} = S_{D_{GND}} = A_{GND_{RF}} = A_{GND_{VCO}} = CP_{GND} = 0$  V.

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

ADF5355为高性能RF集成电路，ESD额定值为2.5 kV，对ESD(静电放电)敏感。搬运和装配时应采取适当的防范措施。

### 晶体管数量

ADF5355的晶体管数量为103,665 (CMOS)和3214(双极性)。

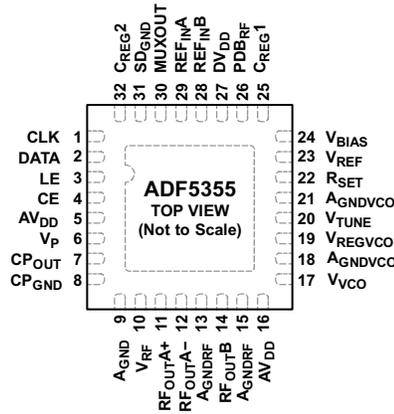
### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



NOTES  
1. THE EXPOSED PAD MUST BE CONNECTED TO AGND.

12714-003

图3. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	说明
1	CLK	串行时钟输入。数据在CLK上升沿时逐个输入32位移位寄存器。此输入为高阻抗CMOS输入。
2	DATA	串行数据输入。串行数据以最高有效位(MSB)优先方式加载，四个最低有效位(LSB)用作控制位。此输入为高阻抗CMOS输入。
3	LE	加载使能，CMOS输入。当LE变为高电平时，存储在移位寄存器中的数据载入四个LSB所选择的寄存器。
4	CE	芯片使能。此引脚的逻辑低电平将关断器件，并使电荷泵进入三态模式。根据关断位的状态不同，此引脚的逻辑高电平(等于DV <sub>DD</sub> )将使器件上电。
5, 16	AV <sub>DD</sub>	模拟电源。此引脚的电压范围为3.15V至3.45V。将去耦电容连接到模拟接地层并尽可能靠近此引脚。AV <sub>DD</sub> 的值必须与DV <sub>DD</sub> 相同。
6	V <sub>p</sub>	电荷泵电源。V <sub>p</sub> 的值必须与V <sub>VCO</sub> 相同。将去耦电容连接到接地层并尽可能靠近此引脚。
7	CP <sub>OUT</sub>	电荷泵输出。使能时，此输出向外部环路滤波器提供±I <sub>CP</sub> 。环路滤波器的输出连到V <sub>TUNE</sub> ，以驱动内部VCO。
8	CP <sub>GND</sub>	电荷泵地。此输出是CP <sub>OUT</sub> 的接地回路引脚。
9	AGND	模拟地。AV <sub>DD</sub> 的接地回路引脚。
10	V <sub>RF</sub>	RF输出的电源。将去耦电容连接到模拟接地层并尽可能靠近此引脚。V <sub>RF</sub> 的值必须与AV <sub>DD</sub> 相同。
11	RF <sub>OUTA+</sub>	VCO输出。输出电平可编程。提供VCO基波输出或分频输出。
12	RF <sub>OUTA-</sub>	互补VCO输出。输出电平可编程。提供VCO基波输出或分频输出。
13, 15	AGNDRF	RF输出级地。RF输出级的接地回路引脚。
14	RF <sub>OUTB</sub>	辅助VCO输出。此引脚提供2×VCO输出。
17	V <sub>VCO</sub>	VCO电源。此引脚的电压范围为4.75V至5.25V。将去耦电容放置到模拟接地层并尽可能靠近此引脚。为实现最佳性能，此电源的噪声必须非常低。
18, 21	AGNDVCO	VCO地。VCO的接地回路路径。
19	V <sub>REGVCO</sub>	VCO补偿节点。将去耦电容放置到接地层并尽可能靠近此引脚。将此引脚直接连至V <sub>VCO</sub> 。
20	V <sub>TUNE</sub>	VCO的控制输入。此电压决定输出频率，从对CP <sub>OUT</sub> 输出电压的滤波而获得。
22	R <sub>SET</sub>	偏置电流电阻。在此引脚与地之间连一个电阻可设置电荷泵输出电流。

引脚编号	引脚名称	说明
23	V <sub>REF</sub>	内部补偿节点。直流偏置调谐范围的一半。将去耦电容连接到接地层并尽可能靠近此引脚。
24	V <sub>BIAS</sub>	基准电压。此引脚可能需要连接一个直流偏置电平。将100 nF去耦电容连接到接地层并尽可能靠近此引脚。
25, 32	C <sub>REG1</sub> , C <sub>REG2</sub>	LDO稳压器输出。引脚25和引脚32是数字电路的电源电压。标称电压为1.8 V。这些引脚要求将100 nF去耦电容连接到A <sub>GND</sub> 。
26	PDB <sub>RF</sub>	RF关断。此引脚为逻辑低电平时，RF输出静音。此静音功能也是软件可控制的。
27	DV <sub>DD</sub>	数字电源。此引脚的电压必须与AV <sub>DD</sub> 相同。将去耦电容放置到接地层并尽可能靠近此引脚。
28	REF <sub>INB</sub>	互补参考输入。如未使用，应将此引脚交流耦合至A <sub>GND</sub> 。
29	REF <sub>INA</sub>	参考输入。
30	MUXOUT	多路复用器输出。此多路复用器输出允许从外部使用数字锁定检测、模拟锁定检测、经过缩放的RF或参考频率。
31	SD <sub>GND</sub>	数字Σ-Δ调制器地。引脚31是Σ-Δ型调制器的接地回路。
	EP	裸露焊盘。裸露焊盘必须连接到A <sub>GND</sub> 。

## 典型性能参数

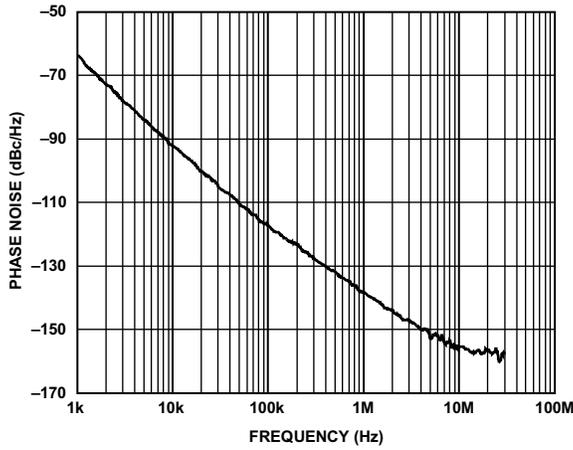


图4. 开环VCO相位噪声, 3.4 GHz

12714-004

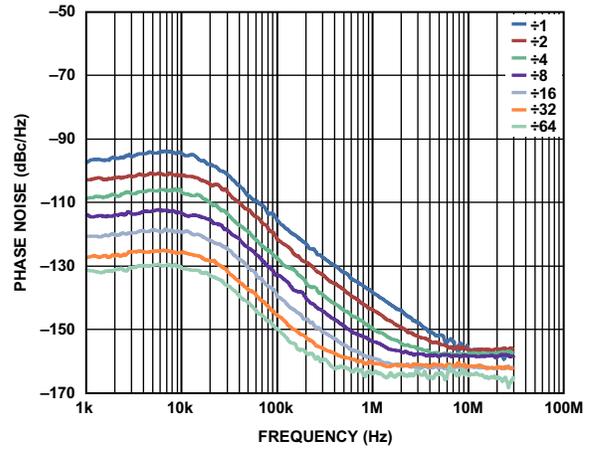


图7. 闭环相位噪声,  $RF_{OUT}A+$ , 基波VCO和分频器, VCO = 3.4 GHz, PFD = 61.44 MHz, 环路带宽 = 20 kHz

12714-007

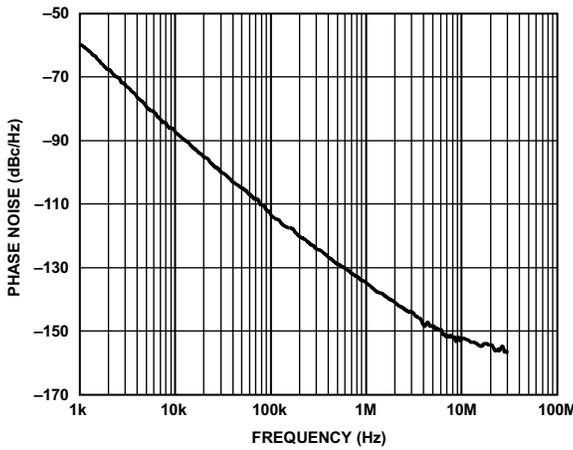


图5. 开环VCO相位噪声, 5.0 GHz

12714-005

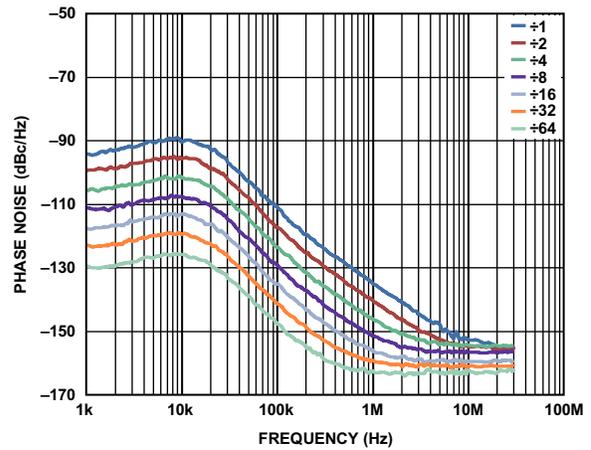


图8. 闭环相位噪声,  $RF_{OUT}A+$ , 基波VCO和分频器, VCO = 5.0 GHz, PFD = 61.44 MHz, 环路带宽 = 20 kHz

12714-008

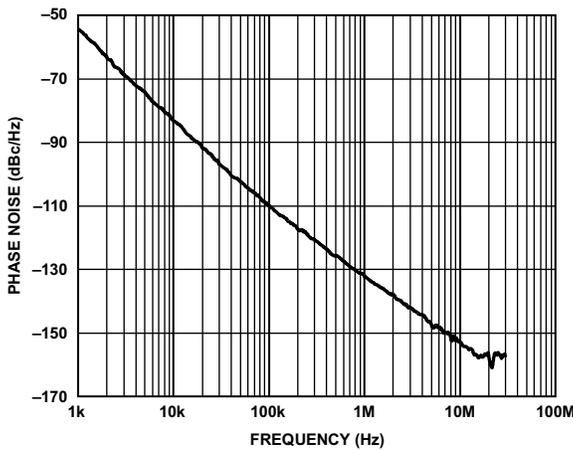


图6. 开环VCO相位噪声, 6.8 GHz

12714-006

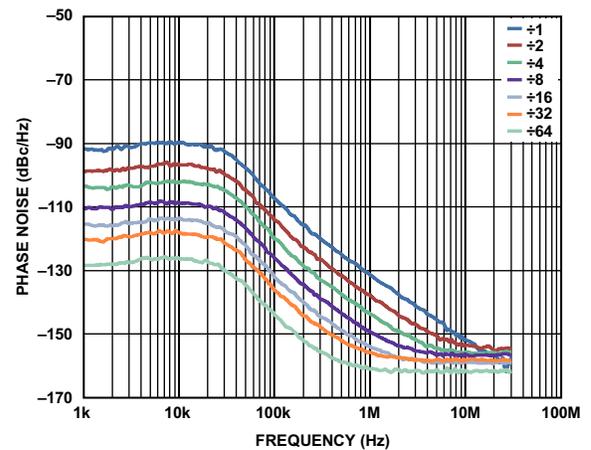


图9. 闭环相位噪声,  $RF_{OUT}A+$ , 基波VCO和分频器, VCO = 6.8 GHz, PFD = 61.44 MHz, 环路带宽 = 20 kHz

12714-009

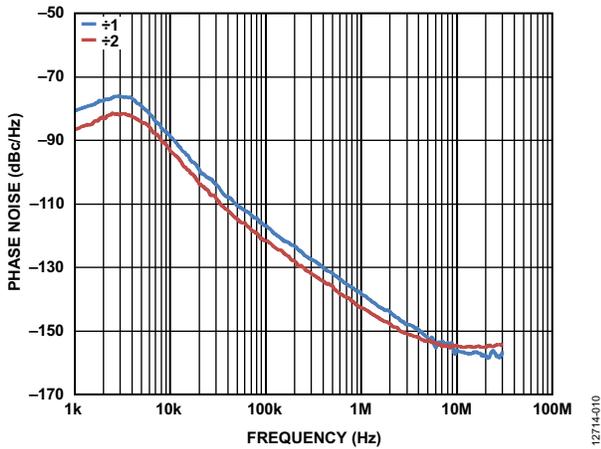


图10. 闭环相位噪声,  $RF_{OUT} A+$ , 基波VCO和2分频,  $VCO = 3.4 \text{ GHz}$ ,  $PFD = 61.44 \text{ MHz}$ , 环路带宽 = 2 kHz

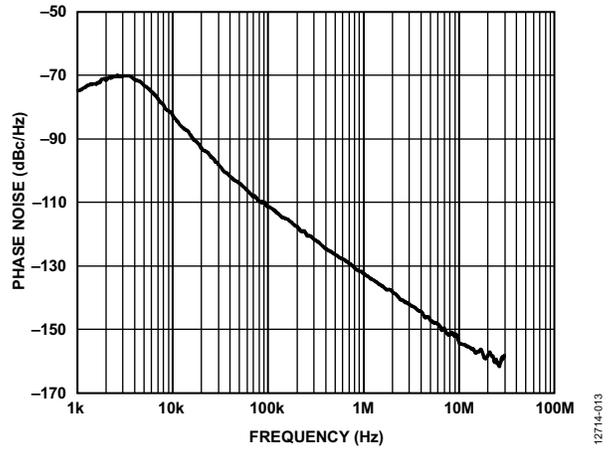


图13. 闭环相位噪声,  $RF_{OUT} B = 6.8 \text{ GHz}$ ,  $2 \times VCO$ ,  $VCO = 3.4 \text{ GHz}$ ,  $PFD = 61.44 \text{ MHz}$ , 环路带宽 = 2 kHz

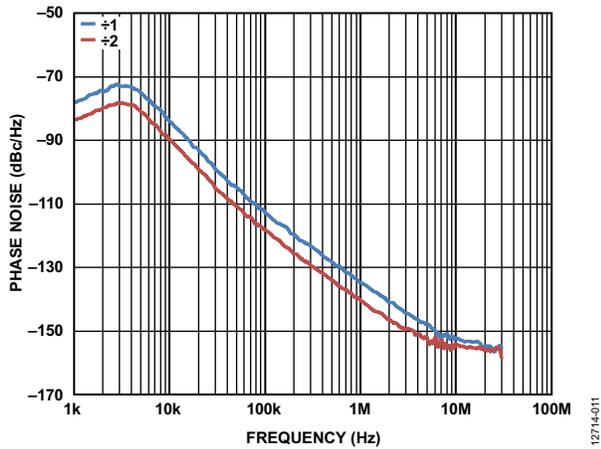


图11. 闭环相位噪声,  $RF_{OUT} A+$ , 基波VCO和2分频,  $VCO = 5.0 \text{ GHz}$ ,  $PFD = 61.44 \text{ MHz}$ , 环路带宽 = 2 kHz

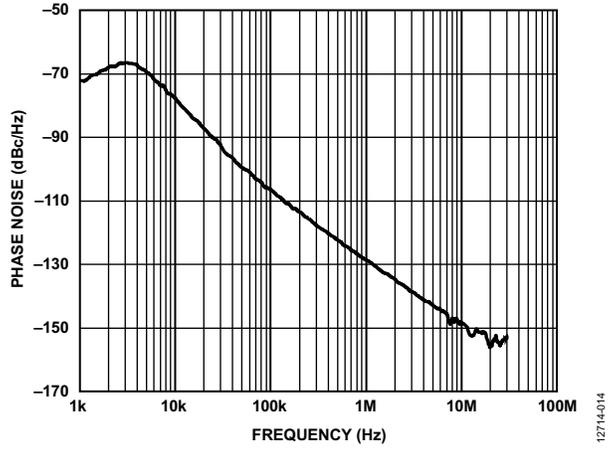


图14. 闭环相位噪声,  $RF_{OUT} B = 10 \text{ GHz}$ ,  $2 \times VCO$ ,  $VCO = 5.0 \text{ GHz}$ ,  $PFD = 61.44 \text{ MHz}$ , 环路带宽 = 2 kHz

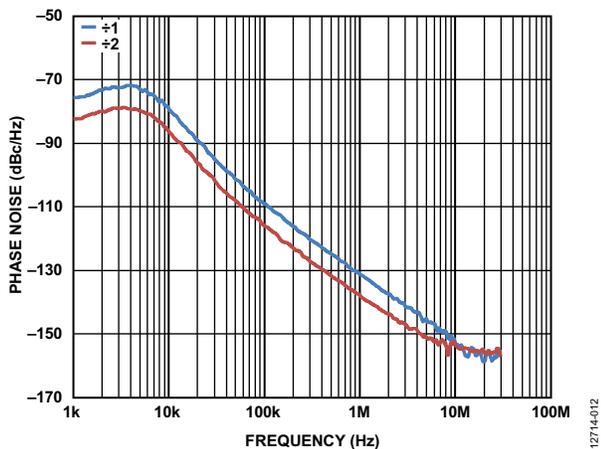


图12. 闭环相位噪声,  $RF_{OUT} A+$ , 基波VCO和2分频,  $VCO = 6.8 \text{ GHz}$ ,  $PFD = 61.44 \text{ MHz}$ , 环路带宽 = 2 kHz

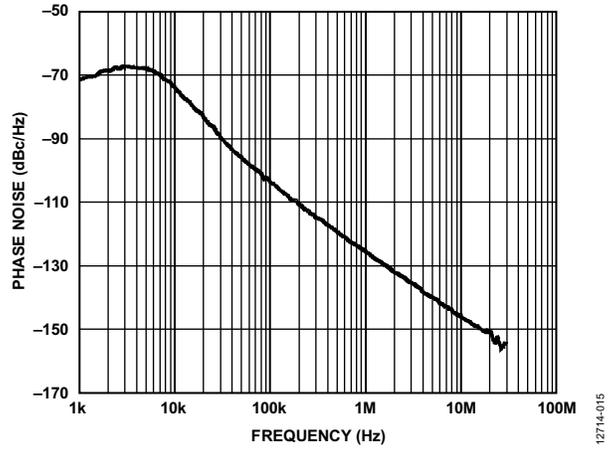


图15. 闭环相位噪声,  $RF_{OUT} B = 13.6 \text{ GHz}$ ,  $2 \times VCO$ ,  $VCO = 6.8 \text{ GHz}$ ,  $PFD = 61.44 \text{ MHz}$ , 环路带宽 = 2 kHz

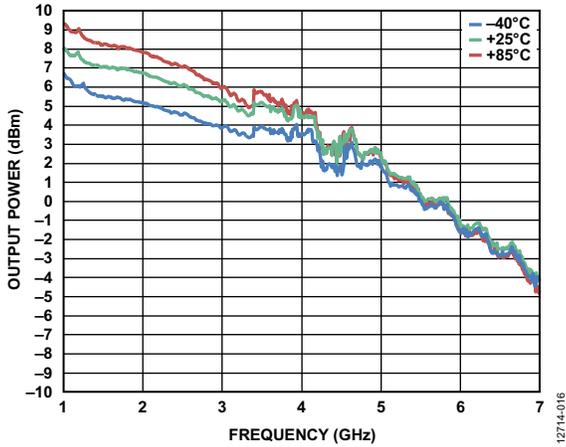


图16. 输出功率与频率的关系,  $RF_{OUT} A+/RF_{OUT} A-$  (7.5 nH电感, 10 pF旁路电容, 板损耗已消除)

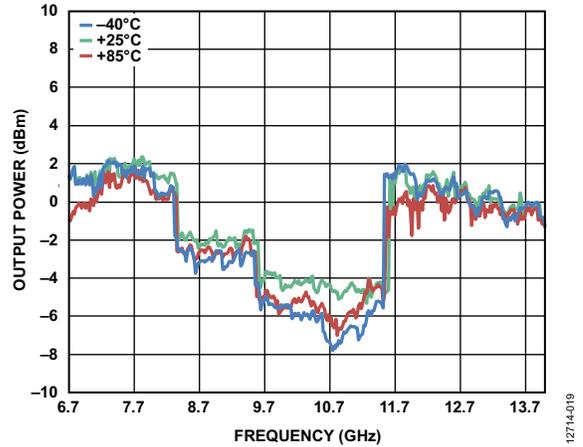


图19. 输出功率与频率的关系,  $RF_{OUT} B$  (10 pF旁路电容, 已消除)

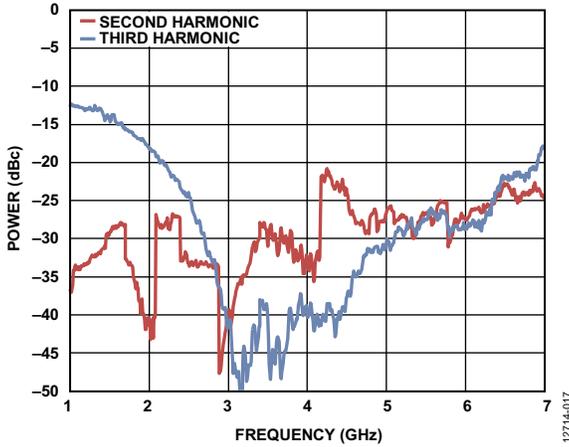


图17.  $RF_{OUT} A+/RF_{OUT} A-$ 谐波与频率的关系 (7.5 nH电感, 10 pF旁路电容, 板损耗已消除)

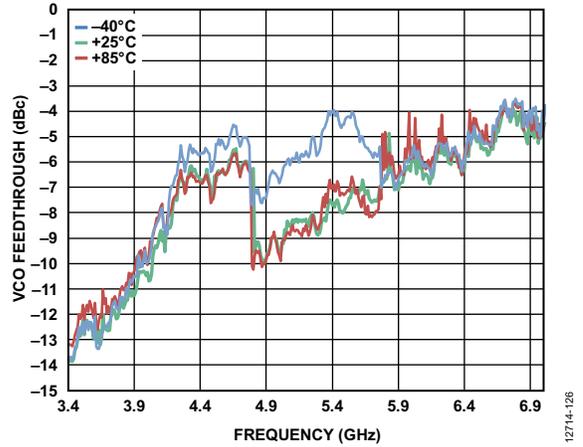


图20.  $RF_{OUT} B$ 处的VCO馈通(已消除)与基波VCO频率的关系

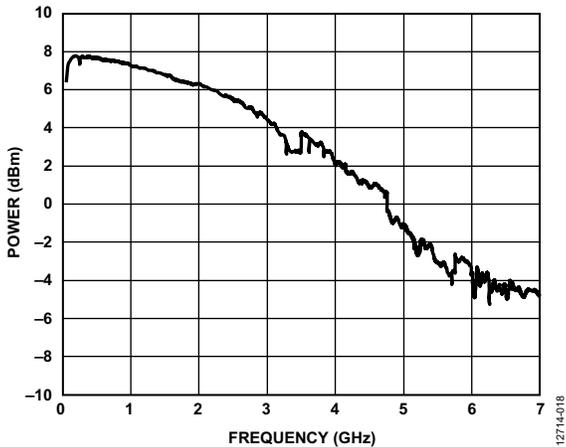


图18.  $RF_{OUT} A+/RF_{OUT} A-$ 功率与频率的关系 (100 nH电感, 100 pF旁路电容, 板测量结果)

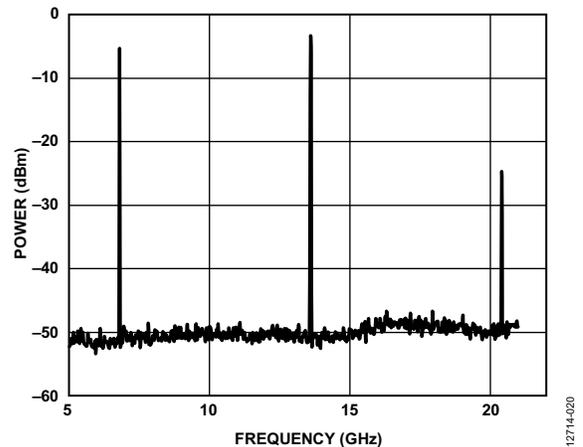


图21. 宽带频谱,  $RF_{OUT} B$ , VCO = 6.8 GHz,  $RF_{OUT} B$ 使能,  $RF_{OUT} A+/RF_{OUT} A-$ 禁用(板测量结果)

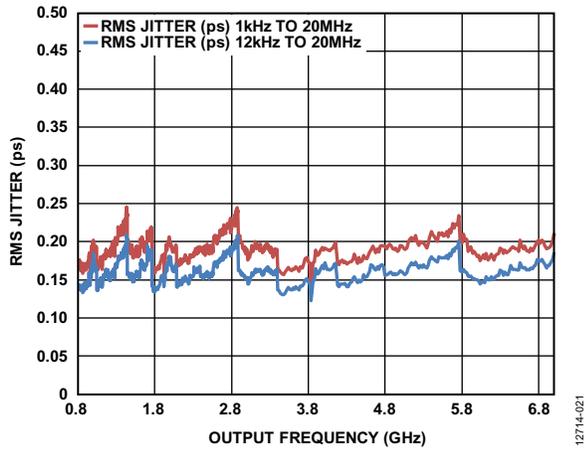


图22. RMS抖动与输出频率的关系, PFD频率 = 61.44 MHz, 环路滤波器 = 20 kHz

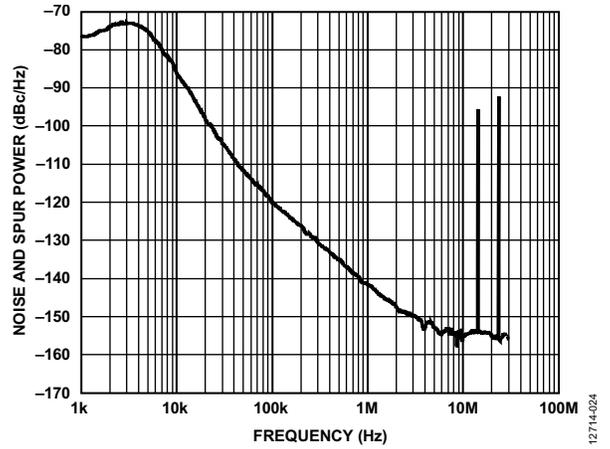


图25. 小数N分频杂散性能, W-CDMA频段,  $RF_{OUT\_A+} = 2113.5$  MHz,  $REF_{IN} = 122.88$  MHz, PFD = 61.44 MHz, 选择2分频输出, 环路滤波器带宽 = 2 kHz, 通道间隔 = 20 kHz

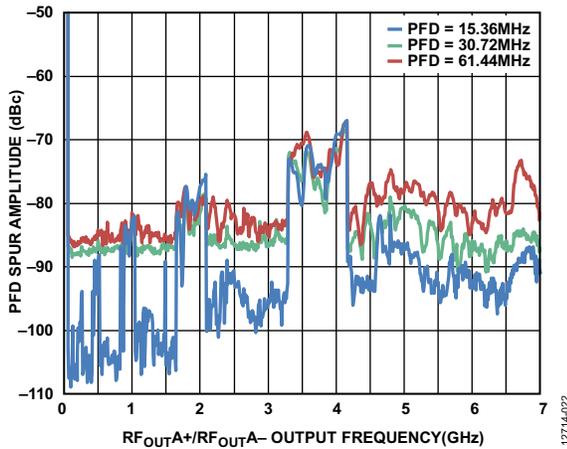


图23. PFD杂散幅度与 $RF_{OUT\_A+}/RF_{OUT\_A-}$ 输出频率的关系; PFD = 61.44 MHz、PFD = 30.72 MHz和PFD = 15.36 MHz; 环路滤波器 = 20 kHz

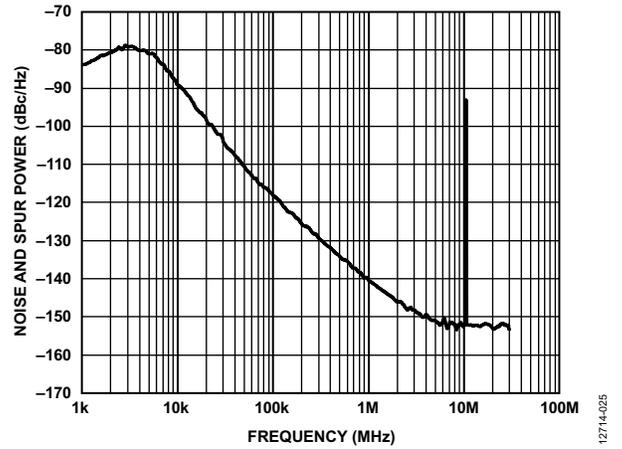


图26. 小数N分频杂散性能,  $RF_{OUT\_A+} = 2.591$  GHz,  $REF_{IN} = 122.88$  MHz, PFD = 61.44 MHz, 选择2分频输出, 环路滤波器带宽 = 2 kHz, 通道间隔 = 20 kHz

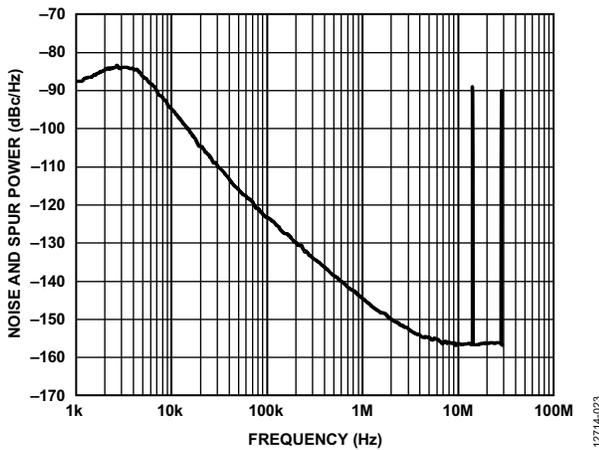


图24. 小数N分频杂散性能, GSM1800频段,  $RF_{OUT\_A+} = 1550.2$  MHz,  $REF_{IN} = 122.88$  MHz, PFD = 61.44 MHz, 选择4分频输出, 环路滤波器带宽 = 2 kHz, 通道间隔 = 20 kHz

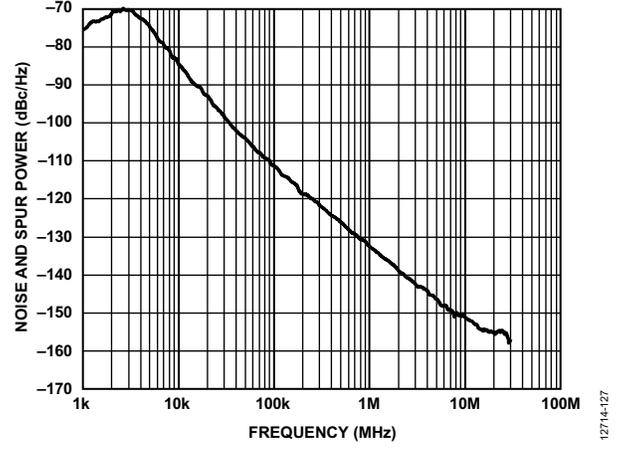


图27. 小数N分频杂散性能,  $RF_{OUT\_A+} = 5.8$  GHz,  $REF_{IN} = 122.88$  MHz, PFD = 61.44 MHz, 选择2分频输出, 环路滤波器带宽 = 2 kHz, 通道间隔 = 20 kHz

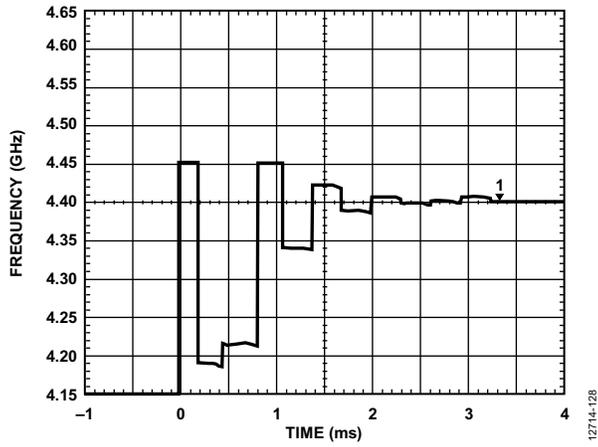


图28. 从3500 MHz到7000 MHz的100 MHz跳频的锁定时间，  
环路带宽 = 20 kHz

## 电路描述

### 参考输入部分

图29显示参考输入级。参考输入支持单端和差分信号。利用参考模式位(寄存器4的DB9)选择信号。要将差分信号用于参考输入,此位必须置1。这种情况下,SW1和SW2断开,SW3和SW4闭合,驱动晶体管差分对的电流源开启。差分信号经缓冲后提供给CMOS转换器的发射极耦合逻辑(ECL)。参考使用单端信号时,寄存器4的位DB9必须置0。这种情况下,SW1和SW2闭合,SW3和SW4断开,驱动晶体管差分对的电流源关闭。

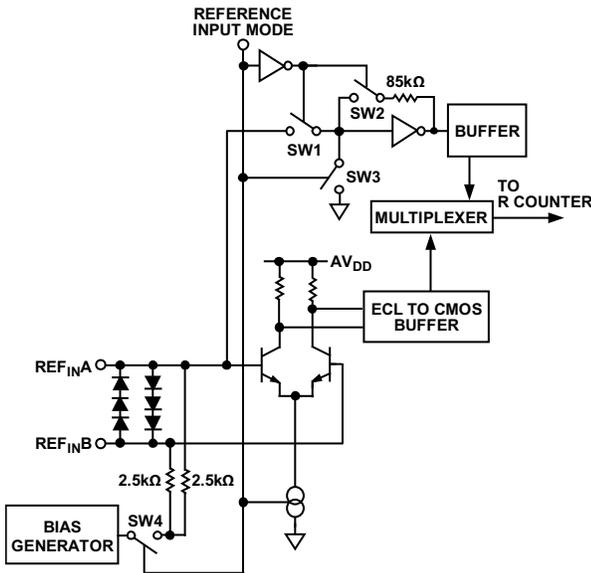


图29. 参考输入级

### RF N分频器

RF N分频器可以在PLL反馈路径中提供一个分频比。分频比由构成此分频器的INT、FRAC1、FRAC2和MOD2的值决定。

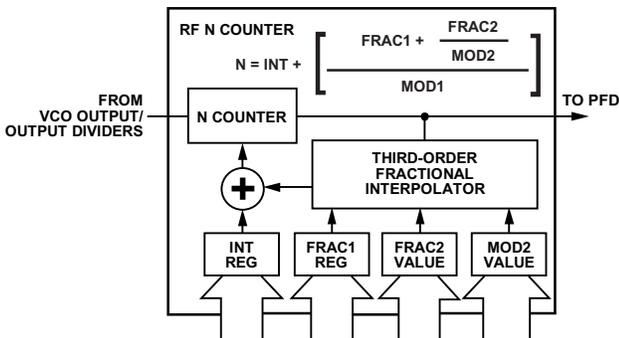


图30. RF N分频器

### INT、FRAC、MOD与R计数器的关系

利用INT、FRAC1、FRAC2、MOD1和MOD2的值以及R计数器,可以产生间隔为PFD频率( $f_{PFD}$ )的分数的输出频率。详情见“RF频率合成器:一个成功范例”部分。

RF VCO频率( $RF_{OUT}$ )计算如下:

$$RF_{OUT} = f_{PFD} \times N \quad (1)$$

其中:

$RF_{OUT}$ 是外部电压控制振荡器(VCO)的输出频率(不使用输出分频器)。

$f_{PFD}$ 是鉴频鉴相器频率。

$N$ 是所需的反馈计数器 $N$ 的值。

$f_{PFD}$ 计算如下:

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

其中:

$REF_{IN}$ 是参考输入频率。

$D$ 是 $REF_{IN}$ 倍频器位。

$R$ 是二进制10位可编程参考计数器的预设分频比(1至1023)。

$T$ 是 $REF_{IN}$  2分频位(0或1)。

$N$ 包括:

$$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \quad (3)$$

其中:

$INT$ 是16位整数值(4/5预分频器为23至32,767, 8/9预分频器为75至65,535)。

$FRAC1$ 是主要模数的分子(1至16,777,215)。

$FRAC2$ 是14位辅助模数的分子(1至16,383)。

$MOD2$ 是可编程的14位辅助小数模数(2至16,383)。

$MOD1$ 是24位主要模数,具有固定值 $2^{24}$  (16,777,216)。

因此,频率分辨率非常精密,无残余频率误差。要应用此公式,请执行以下步骤:

1. 将 $RF_{OUT}$ 除以 $f_{PFD}$ 以计算 $N$ 。
2. 该数值的整数部分即为 $INT$ 。
3. 从完整的 $N$ 值中减去此值。
4. 余数乘以 $2^{24}$ 。
5. 该数值的整数部分即为 $FRAC1$ 。
6. 根据通道间隔( $f_{CHSP}$ )计算 $MOD2$ :

$$MOD2 = f_{PFD} / GCD(f_{PFD}, f_{CHSP}) \quad (4)$$

其中:

$f_{CHSP}$ 是所需通道间隔频率。

$GCD(f_{PFD}, f_{CHSP})$ 是PFD频率和通道间隔频率的最大公约数。

7.  $FRAC2$ 的计算公式如下:

$$FRAC2 = [(N - INT) \times 2^{24} - FRAC1] \times MOD2 \quad (5)$$

# ADF5355

## 整数N分频模式

如果FRAC1和FRAC2均等于0，则频率合成器以整数N分频模式工作。

## R计数器

利用10位R计数器，可以细分输入参考频率( $REF_{IN}$ )以产生PFD的参考时钟。分频比可以为1至1023。

## 鉴频鉴相器(PFD)和电荷泵

PFD接受R计数器和N计数器的输入，产生与二者的相位和频率差成正比的输出。图31是该鉴频鉴相器的原理示意图。PFD内置一个固定的延迟元件，用来设置防反冲脉冲的宽度。此脉冲可确保PFD传递函数中无死区，从而提供一致的参考杂散水平。由于VCO为正调谐，该器件的鉴频器极性必须设置为正。

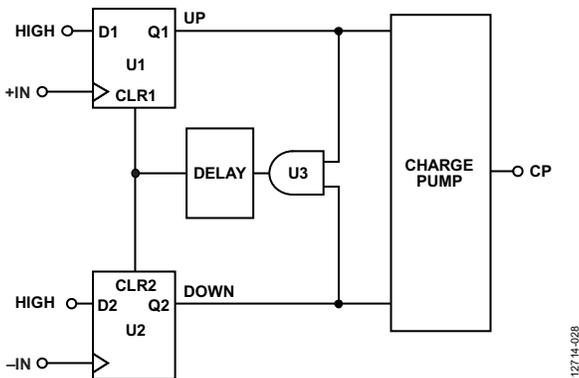


图31. PFD简化原理图

## MUXOUT和LOCK检测

ADF5355的输出多路复用器允许用户访问芯片的各种内部点。MUXOUT状态由寄存器4中的M3、M2和M1位控制。图32以框图形式显示了MUXOUT部分。

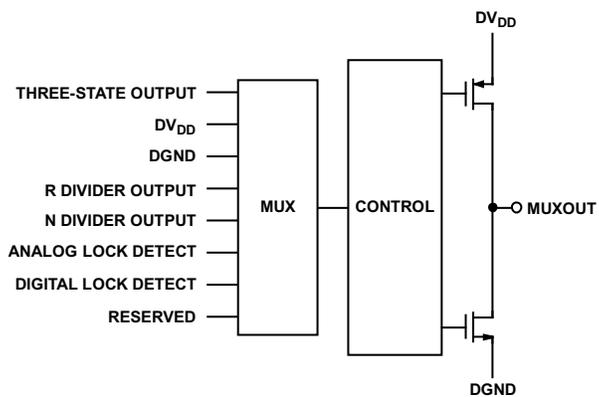


图32. MUXOUT原理图

## 输入移位寄存器

ADF5355数字部分包括一个10位R计数器、一个16位RF整数N计数器、一个24位FRAC1计数器、一个14位辅助小数计数器和一个14位辅助模数计数器。数据在CLK的每个上升沿时逐个输入32位移位寄存器。数据输入方式是MSB优先。在LE上升沿时，数据从移位寄存器传输至六个锁存器之一。目标锁存器由移位寄存器中的4个控制位(C4、C3、C2和C1)的状态决定。如图2所示，四个最低有效位(LSB)是DB3、DB2、DB1和DB0。表5为这些位的真值表。图36和图37总结了锁存器编程情况。

表5. C4、C3、C2和C1控制位的真值表

控制位				寄存器
C4	C3	C2	C1	
0	0	0	0	寄存器0
0	0	0	1	寄存器1
0	0	1	0	寄存器2
0	0	1	1	寄存器3
0	1	0	0	寄存器4
0	1	0	1	寄存器5
0	1	1	0	寄存器6
0	1	1	1	寄存器7
1	0	0	0	寄存器8
1	0	0	1	寄存器9
1	0	1	0	寄存器10
1	0	1	1	寄存器11
1	1	0	0	寄存器12

## 编程模式

表5和图36至图50显示了如何设置ADF5355的编程模式。

ADF5355的下列设置采用双缓冲：主要小数值(FRAC1)、辅助模数值(MOD2)、辅助小数值(FRAC2)、参考倍频器、参考2分频(RDIV2)、R计数器值和电荷泵电流设置。ADF5355要使用任何双缓冲设置的新值，必须发生两个事件。首先，通过写入适当的寄存器，将新值锁存至器件中。然后，必须对寄存器0执行一次新的写操作。

例如，为确保正确加载模数值，每次更新模数值时，必须写入寄存器0。寄存器6中的RF分频器选择也是双缓冲，但条件是寄存器4的DB14为1。

VCO

ADF5355的VCO内核由四个独立VCO组成，每个VCO使用256个重叠频段，以便覆盖较宽的频率范围，而VCO灵敏度( $K_V$ )则较小，不会导致相位噪声和杂散性能较差。

上电时或寄存器0更新且自动校准已使能时，VCO和频段选择逻辑会自动选择正确的VCO和频段。VCO  $V_{TUNE}$  与环路滤波器的输出断开，连到内部基准电压。

R计数器用作频段选择逻辑的时钟。选择频段之后，恢复正常PLL操作。当N分频器采用VCO输出驱动时， $K_V$ 的标称值为15 MHz/V，或者为此值除以D。如果N分频器采用RF输出分频器驱动(由寄存器6中的编程位[D23:D21]予以选择)，则D为输出分频器值。

调谐电压  $V_{TUNE}$  在频段内和频段间变化时，VCO的  $K_V$  随之变化。针对频率范围较宽(且输出分频器不断变化)的宽带应用，15 MHz/V是最精确的  $K_V$  值，因为它最接近平均值。图33显示了  $K_V$  随VCO基频的变化以及频段的平均值。使用窄带设计时，用户可能更倾向于使用此图。

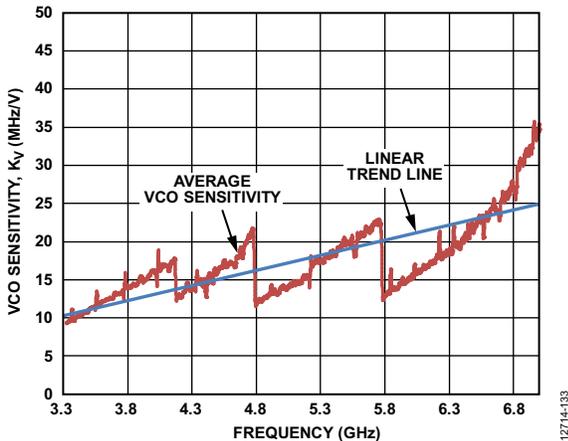


图33. VCO灵敏度( $K_V$ )与频率的关系

输出级

ADF5355的RF<sub>OUT</sub>A+和RF<sub>OUT</sub>A-引脚连到由VCO的缓冲输出驱动的NPN差分对的集电极，如图34所示。这种方案中，ADF5355的内置50 Ω电阻连接到  $V_{RF}$  引脚。为了优化功耗与输出功率要求之间的关系，用户可以通过寄存器6中的位[D2:D1]设置差分对的尾电流。可以使用50 Ω电阻与  $V_{RF}$  相连并交流耦合至50 Ω负载时，这些电流水平分别提供-4 dBm、-1 dBm、+2 dBm和+5 dBm的近似输出功率水平。欲了解精确功率水平，请查阅“典型性能参数”部分。外加分流电感可提供更高的功率水平，但是，这种情况下的带宽低于仅使用内部偏置的情况。未使用的互补输出必须用与已使用输出相似的电路端接。

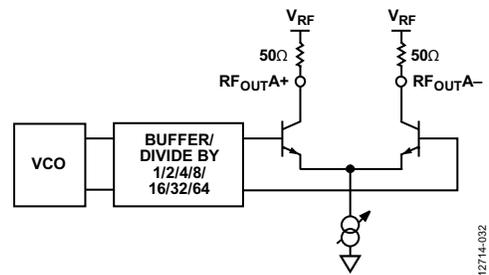


图34. 输出级

RF<sub>OUT</sub>B引脚提供加倍VCO输出(6.8 GHz至13.6 GHz)，可交流耦合到下一电路。

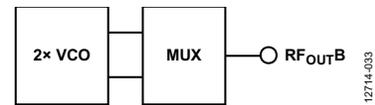


图35. 输出级

ADF5355的另一个特性是可以切断RF<sub>OUT</sub>A+/RF<sub>OUT</sub>A-输出级的电源电流，直到数字锁定检测电路检测到器件实现锁定为止。此特性可通过寄存器6中的“静音至检测到锁定”(MTLD)位使能。

RF<sub>OUT</sub>B直接连到VCO，只能通过寄存器6中的RF<sub>OUT</sub>B位(DB10)静音。

表6. 总  $I_{DD}$  (RF<sub>OUT</sub>A± Refers to RF<sub>OUT</sub>A+/RF<sub>OUT</sub>A-)

分频比	RF <sub>OUT</sub> A± Off	RF <sub>OUT</sub> A± = -4 dBm	RF <sub>OUT</sub> A± = -1 dBm	RF <sub>OUT</sub> A± = +2 dBm	RF <sub>OUT</sub> A± = +5 dBm
5 V电源( $I_{VCO}$ 和 $I_P$ )	78 mA	78 mA	78 mA	78 mA	78 mA
3.3 V电源( $I_{DD}$ 、 $D I_{DD}$ 、 $I_{RF}$ )					
1	79.8 mA	101.3 mA	111.9 mA	122.7 mA	132.8 mA
2	87.8 mA	110.1 mA	120.6 mA	131.9 mA	141.9 mA
4	97.1 mA	119.3 mA	130.1 mA	141.6 mA	152.1 mA
8	104.9 mA	127.1 mA	137.8 mA	149.2 mA	159.7 mA
16	109.8 mA	131.8 mA	142.7 mA	154.1 mA	164.6 mA
32	113.6 mA	135.5 mA	146.5 mA	157.8 mA	168.4 mA
64	115.9 mA	137.8 mA	148.9 mA	160.1 mA	170.8 mA

## 寄存器映射

REGISTER 0

RESERVED											AUTOCAL	PRESCALER	16-BIT INTEGER VALUE (INT)																CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	AC1	PR1	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	C4(0)	C3(0)	C2(0)	C1(0)

REGISTER 1

RESERVED				24-BIT MAIN FRACTIONAL VALUE (FRAC1)																								DBR <sup>1</sup>	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)	

REGISTER 2

14-BIT AUXILIARY FRACTIONAL VALUE (FRAC2)														DBR <sup>1</sup>	14-BIT AUXILIARY MODULUS VALUE (MOD2)														DBR <sup>1</sup>	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4(0)	C3(0)	C2(1)	C1(0)		

REGISTER 3

RESERVED	SD LOAD RESET	PHASE RESYNC	PHASE ADJUST	24-BIT PHASE VALUE (PHASE)																								DBR <sup>1</sup>	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	SD1	PR1	PA1	P24	P23	P22	P21	P20	P19	P18	P17	P16	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C4(0)	C3(0)	C2(1)	C1(1)	

REGISTER 4

RESERVED	MUXOUT		REFERENCE DOUBLER	DBR <sup>1</sup>	RDIV2	DBR <sup>1</sup>	10-BIT R COUNTER														DBR <sup>1</sup>	DOUBLE BUFF	CURRENT SETTING				DBR <sup>1</sup>	REF MODE	MUX LOGIC	PD POLARITY	PD	CP THREE-STATE	COUNTER RESET	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0						
0	0	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	U6	U5	U4	U3	U2	U1	C4(0)	C3(1)	C2(0)	C1(0)						

REGISTER 5

RESERVED																										CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(0)	C3(1)	C2(0)	C1(1)

REGISTER 6

RESERVED	GATED BLEED	NEGATIVE BLEED	RESERVED				FEEDBACK SELECT	RF DIVIDER SELECT <sup>2</sup>	CHARGE PUMP BLEED CURRENT														RESERVED	MTLD	RF <sub>out</sub> B	RESERVED				RF <sub>out</sub> A+/RF <sub>out</sub> A-	RF OUTPUT POWER	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0				
0	BL10	BL9	1	0	1	0	D13	D12	D11	D10	BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	0	D8	D7	0	0	0	D3	D2	D1	C4(0)	C3(1)	C2(1)	C1(0)				

<sup>1</sup>DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.  
<sup>2</sup>DBB = DOUBLE BUFFERED BITS—BUFFERED BY A WRITE TO REGISTER 0 WHEN BIT DB14 OF REGISTER 4 IS HIGH.

图36. 寄存器汇总(寄存器0至寄存器6)

REGISTER 7

RESERVED																LE SYNC	RESERVED										LD CYCLE COUNT	LOL MODE	FRAC-N LD PRECISION	LD MODE	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
0	0	0	1	0	0	LE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LD5	LD4	LOL	LD3	LD2	LD1	C4(0)	C3(1)	C2(1)	C1(1)			

REGISTER 8

RESERVED																										CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	C4(1)	C3(0)	C2(0)	C1(0)

REGISTER 9

VCO BAND DIVISION						TIMEOUT								AUTOMATIC LEVEL TIMEOUT					SYNTHESIZER LOCK TIMEOUT					CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
VC8	VC7	VC6	VC5	VC4	VC3	VC2	VC1	TL10	TL9	TL8	TL7	TL6	TL5	TL4	TL3	TL2	TL1	AL5	AL4	AL3	AL2	AL1	SL5	SL4	SL3	SL2	SL1	C4(1)	C3(0)	C2(0)	C1(1)

REGISTER 10

RESERVED																ADC CLOCK DIVIDER								ADC CONVERSION	ADC ENABLE	CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AE2	AE1	C4(1)	C3(0)	C2(1)	C1(0)

REGISTER 11

RESERVED																										CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(1)	C1(1)

REGISTER 12

RESYNC CLOCK																RESERVED										CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P16	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	0	0	0	0	0	1	0	0	0	0	0	1	C4(1)	C3(1)	C2(0)	C1(0)

图37. 寄存器汇总(寄存器7至寄存器12)

12714-035

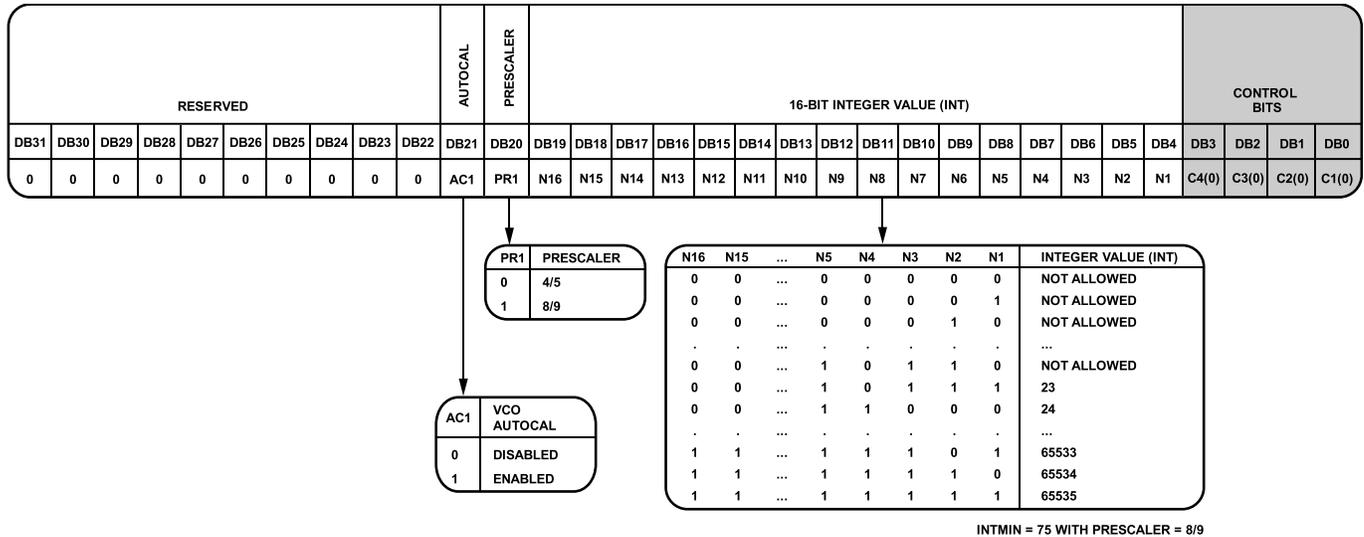


图38. 寄存器0

## 寄存器0

### 控制位

当位[C4:C1]设置为0000时，可对寄存器0进行编程。图38显示对此寄存器进行编程的输入数据格式。

### 保留

位[DB31:DB22]保留，必须设置为0。

### 自动校准(Autocal)

写入寄存器0以执行(默认)VCO自动校准，并选择适当的VCO和VCO子频段。写入1到AC1位(DB21)以启用自动校准，这是推荐的工作模式。

AC1位设为0会禁用自动校准，当寄存器0更新时，ADF5355仍然处于之前的频段。

只能对固定频率应用、相位调整应用和极小跳频(<10 kHz)应用禁用自动校准功能。

### 预分频器值

双模预计数器(P/P + 1)与INT、FRAC<sub>x</sub>和MOD<sub>x</sub>计数器一起，决定从VCO输出到PFD输入的整体分频比。寄存器0中的PR1位(DB20)设置预分频器值。

预分频器工作在CML电平，从VCO输出获得时钟，并针对计数器进行分频。它基于同步4/5内核。当预分频器设置为4/5时，容许的最大RF频率为7 GHz。预分频器会限制INT值，当P为4/5时，N<sub>MIN</sub>为23；当P为8/9时，N<sub>MIN</sub>为75。

### 16位整数

这16个INT位(位[DB19:DB4])设置INT值，它决定反馈分频系数的整数部分，用于公式3(参见“INT、FRAC、MOD与R计数器的关系”部分)。对于4/5预分频器，可以设置从23到32,767的所有整数值。对于8/9预分频器，最小整数值为75，最大整数值为65,535。

RESERVED				24-BIT MAIN FRACTIONAL VALUE (FRAC1) DBR <sup>1</sup>																								CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)

F24	F23	.....	F2	F1	MAIN FRACTIONAL VALUE (FRAC1)
0	0	.....	0	0	0
0	0	.....	0	1	1
0	0	.....	1	0	2
0	0	.....	1	1	3
.	.	.....	.	.	.
.	.	.....	.	.	.
.	.	.....	.	.	.
1	1	.....	0	0	16777212
1	1	.....	0	1	16777213
1	1	.....	1	0	16777214
1	1	.....	1	1	16777215

<sup>1</sup>DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图39. 寄存器1

**寄存器1  
控制位**

当位[C4:C1]设置为0001时，可对寄存器1进行编程。图39显示对此寄存器进行编程的输入数据格式。

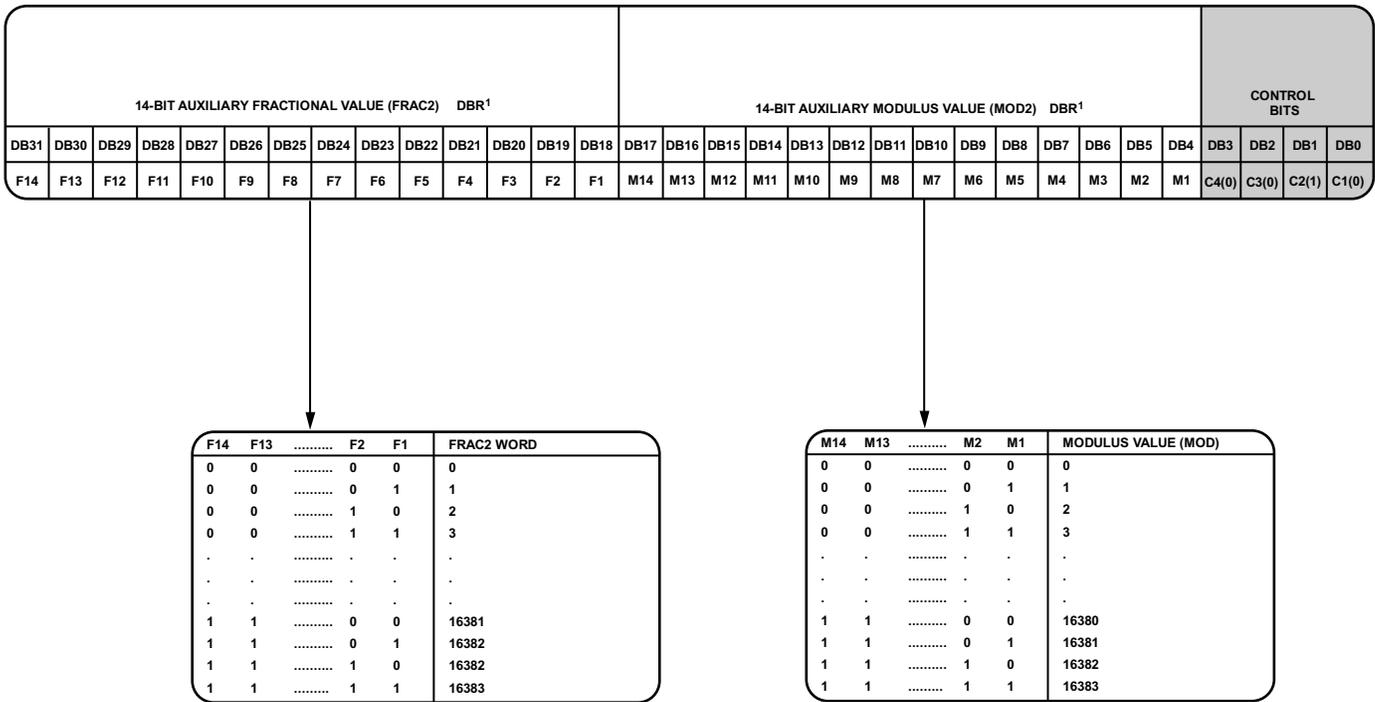
**保留**

位[DB31:DB28]保留，必须设置为0。

**24位主要小数值**

24个FRAC1位(位[DB27:DB4])设置Σ-Δ调制器小数输入的分子。它与INT值一起指定频率合成器所锁定的新频率通道，参见“RF频率合成器：一个成功范例”部分。FRAC1值的范围是从0到(MOD1 - 1)，所涵盖的通道频率范围与PFD参考频率相同。

12714-037



<sup>1</sup>DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图40. 寄存器2

## 寄存器2

### 控制位

当位[C4:C1]设置为0010时，可对寄存器2进行编程。图40显示对此寄存器进行编程的输入数据格式。

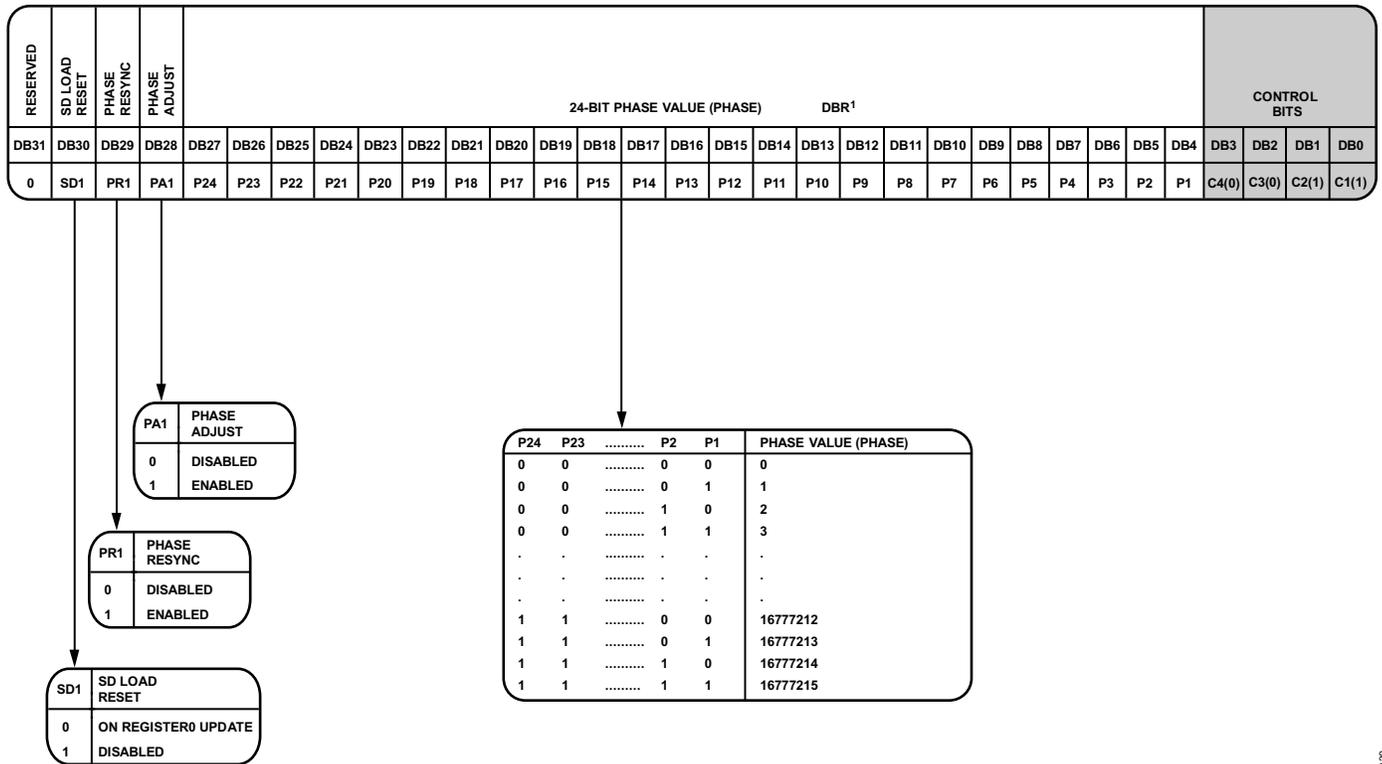
### 14位辅助小数值(FRAC2)

14位辅助小数值(位[DB31:DB18])控制辅助小数字。FRAC2必须小于寄存器2中设置的MOD2值。

### 14位辅助模数值(MOD2)

14位辅助模数值(位[DB17:DB4])设置辅助小数模数。MOD2用于校正主要小数模数引起的残余误差。

12714-038



<sup>1</sup>DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图41. 寄存器3

12714-039

### 寄存器3 控制位

当位[C4:C1]设置为0011时，可对寄存器3进行编程。图41显示对此寄存器进行编程的输入数据格式。

#### 保留

位DB31保留，必须设置为0。

#### SD加载复位

写入寄存器0时，Σ-Δ调制器复位。对于相位持续调整的应用，可能不希望这样做。因此，在此类情况下，可将1写入SD1位(DB30)以禁用Σ-Δ复位。

#### 相位再同步

要使用相位再同步特性，PR1位(DB29)必须置1。如果不使用，此位可置0。还必须使用寄存器12中的相位再同步定时器，确保再同步特性在PLL建立至最终频率之后应用。如果PLL尚未建立至最终频率，相位再同步可能工作不正常。再同步适用于相控阵和波束成形应用。设置相同频率时，它能确保输出相位具有可重复性。在需要输出分频器以使用频率(<3400 MHz)的相位关键型应用中，必须将与基波VCO频率截然不同的分频VCO频率提供给N分频器。这

是通过将寄存器6的D13位(DB24)设为0来实现的，确保分频频率反馈至N分频器。

对于再同步应用，将DB30设为0以启用寄存器3中的SD加载复位。

#### 相位调整

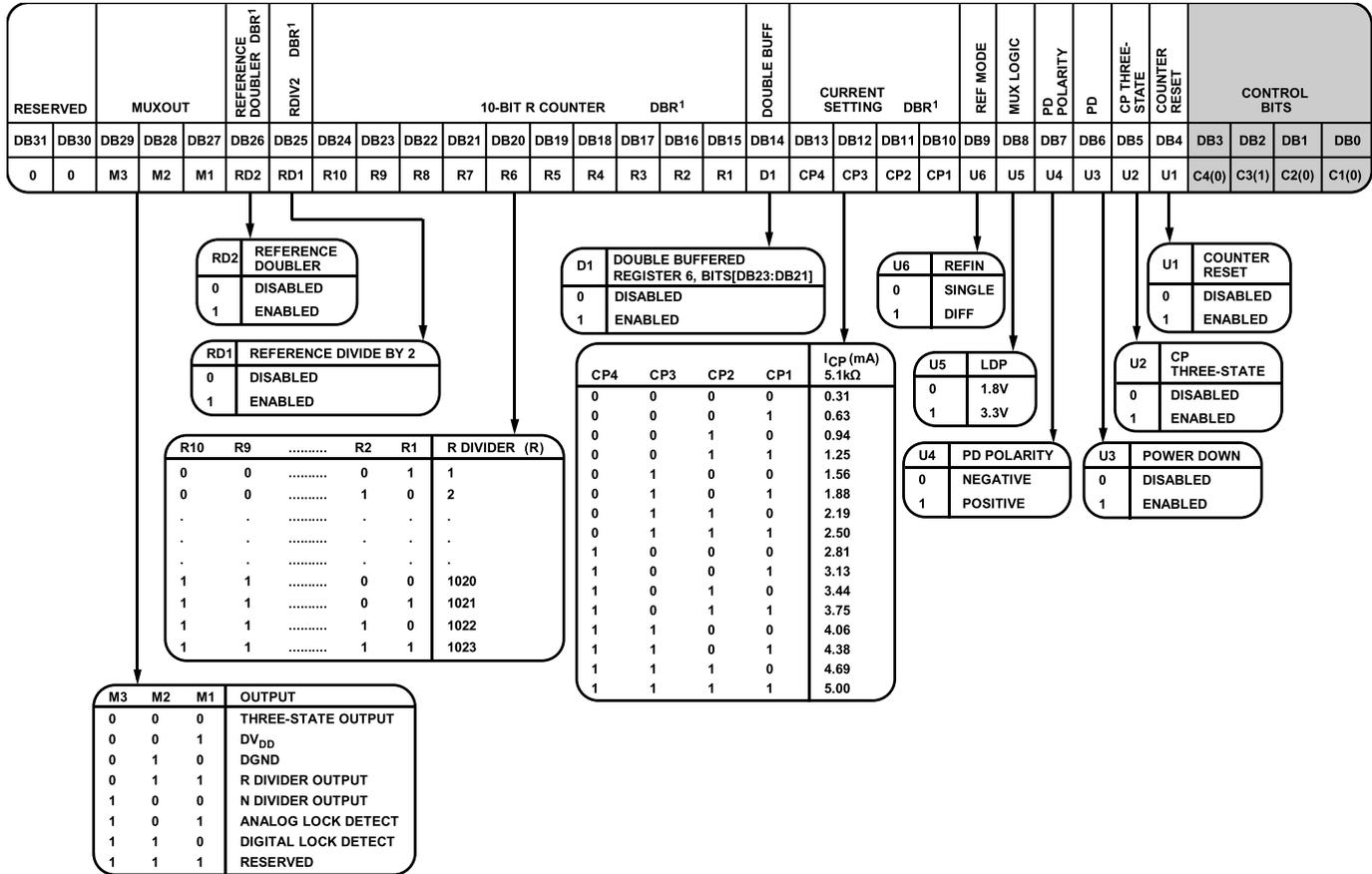
要在每次寄存器0更新时调整ADF5355的相对输出相位，应将PA1位(DB28)设为1。与再同步特性不同，该特性适用于连续调整相位的应用。为使其有效，应将寄存器0的AC1位(DB21)设为1以禁用VCO自动校准，并将寄存器3的SD1位(DB30)设为1以禁用SD加载复位。注意，相位再同步和相位调整不能同时使用。

#### 24位相位值

RF输出频率的相位可利用24位步进在0°(0)至360°(2<sup>24</sup> - 1)范围内调整。对于相位调整应用，相位设置公式为：

$$(\text{相位值} / 16,777,216) \times 360^\circ$$

向寄存器3写入相位值后，每次调整寄存器0，相位就会增加以上公式所得出的值。



<sup>1</sup>DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图42. 寄存器4

## 寄存器4

### 控制位

当位[C4:C1]设置为0100时，可对寄存器4进行编程。图42显示对此寄存器进行编程的输入数据格式。

### 保留

位[DB31:DB30]保留，必须设置为0。

### MUXOUT

片内多路复用器(MUXOUT)由位[DB29:DB27]控制。更多信息请参考图42。

### 参考倍频器

当RD2位(DB26)设置为0时，参考频率信号直接馈入10位R计数器，倍频器禁用。当此位设置为1时，参考频率加倍，然后输入10位R计数器。倍频器禁用时，REF<sub>IN</sub>下降沿是小数频率合成器的PFD输入端的有效沿。倍频器使能时，参考频率的上升沿和下降沿均是PFD输入端的有效沿。

倍频器使能时的最大容许参考频率为60 MHz。

### RDIV2

当RDIV2位(DB25)设置为1时，R计数器与PFD之间将插入一个二分频触发器，以扩大参考频率最大输入速率。该功能在PFD输入端提供50%占空比信号。

### 10位R计数器

利用10位R计数器，可以细分输入参考频率(REF<sub>IN</sub>)以产生PFD的参考时钟。分频比范围是1到1023。

### 双缓冲器

D1位(DB14)使能或禁用对寄存器6中的RF分频器选择位[DB23:DB21]的双缓冲。“编程模式”部分说明了双缓冲的工作原理。

### 电荷泵电流设置

CP4至CP1位([DB13:DB10])用于设置电荷泵的电流。应将电荷泵电流设置为环路滤波器的设计电流(见图42)。为使杂散最低，推荐设置为0.9 mA。

### 参考模式

ADF5355支持使用差分或单端参考源。对于差分源，应将参考模式位(DB9)设为1；对于单端源，应设为0。

**电平选择**

为了支持逻辑兼容性，MUXOUT可设置两个逻辑电平。U5位(DB8)设为0即选择1.8 V逻辑，设为1即选择3.3 V逻辑。

**鉴相器极性**

U4位(DB7)设置鉴相器极性。如果使用无源环路滤波器或同相有源环路滤波器，应将DB7设置为1(正)。如果使用反相有源滤波器，应将其设置为0(负)。

**关断**

U3位(DB6)设置可编程关断模式。DB6设置为1时，执行关断程序。DB6设置为0时，频率合成器恢复正常工作。在软件关断模式下，ADF5355会保留寄存器中的所有信息。只有当切断电源时，寄存器内容才会丢失。

激活关断时，将发生下列事件：

- 强制频率合成器的计数器进入加载状态。
- VCO关断。

- 强制电荷泵进入三态模式。
- 数字锁定检测电路复位。
- RF<sub>OUT</sub>A+/RF<sub>OUT</sub>A-和RF<sub>OUT</sub>B输出级禁用。
- 输入寄存器保持活动状态，能够加载并锁存数据。

**电荷泵三态**

U2位(DB5)设置为1时，电荷泵进入三态模式。DB5设置为0时，正常工作。

**计数器复位**

U1位(DB4)用于复位ADF5355的R计数器、N计数器和VCO频段选择。当DB4设为1时，RF频率合成器N计数器、R计数器和VCO频段选择复位。正常工作时，DB4应设置为0。

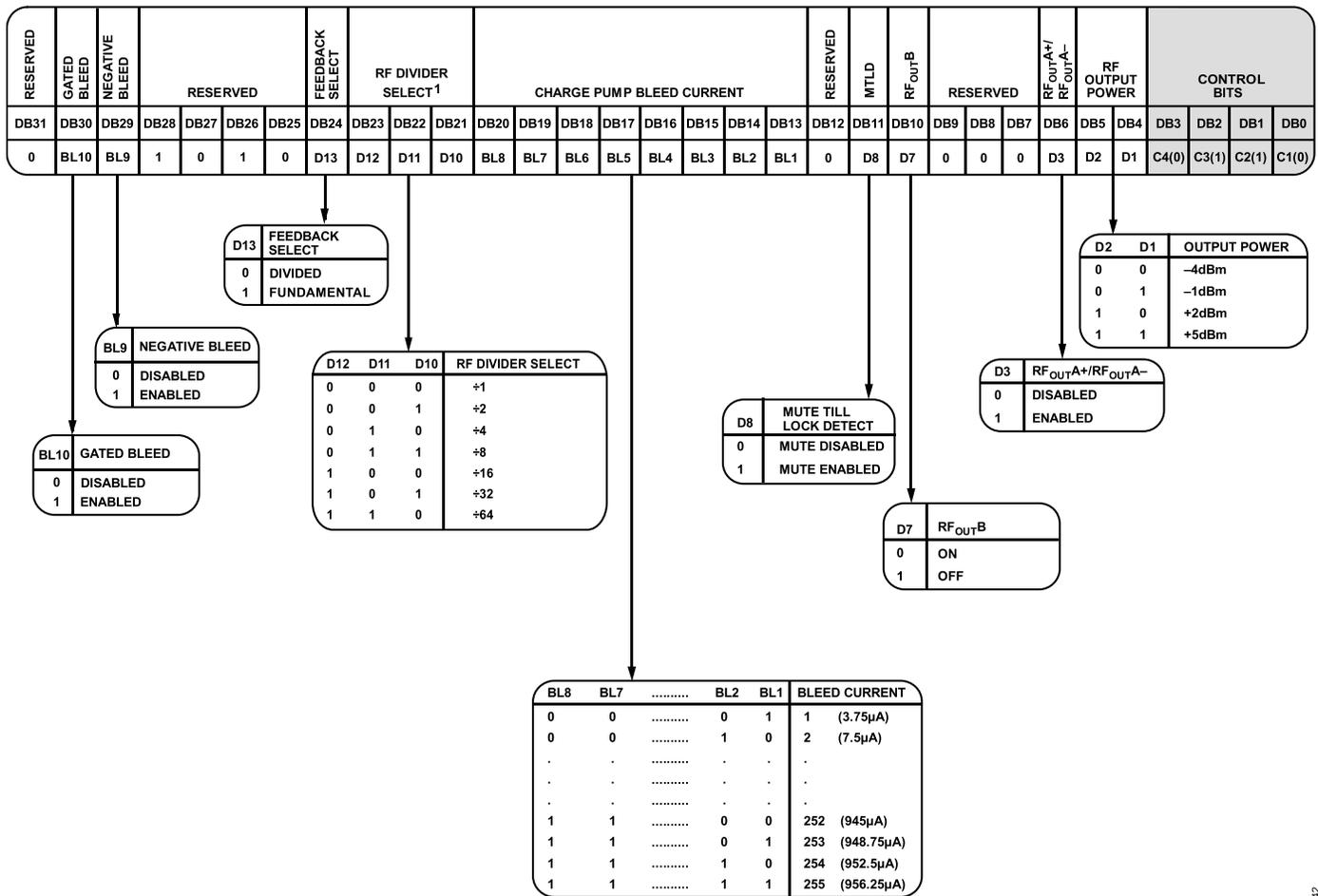
**寄存器5**

寄存器5中的这些位保留，必须按照图43所示设置，使用十六进制字0x00800005。

RESERVED																								CONTROL BITS								
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(0)	C3(1)	C2(0)	C1(1)

图43. 寄存器5 (0x00800005)

12714-041



<sup>1</sup>BITS[DB23:DB21] ARE BUFFERED BY A WRITE TO REGISTER 0 WHEN THE DOUBLE BUFFER BIT, BIT DB14 OF REGISTER 4, IS ENABLED.

图44. 寄存器6

12714-042

## 寄存器6

### 控制位

当位[C4:C1]设置为0110时，可对寄存器6进行编程。图44显示对此寄存器进行编程的输入数据格式。

### 保留

位DB31保留，必须设置为0。

### 选通泄漏

泄漏电流可用于改善相位噪声和杂散，但它对锁定时间可能有影响。选通泄漏位BL10 (DB30)设置为1时，可确保泄漏电流直到数字锁定检测置位逻辑高电平时才开启。注意，此功能要求使能数字锁定检测。

### 负泄漏

对于大多数应用，建议使用恒定负泄漏，因为它能改善电荷泵的线性度，从而降低噪声和杂散。要启用负泄漏，应向BL9 (位DB29)写入1；要禁用负泄漏，应向BL9 (位DB29)写入0。

### 保留

位DB28保留，必须设置为1。位[DB27:DB25]保留，必须设置为010。

### 反馈选择

D13 (位DB24)选择从VCO输出到N计数器的反馈。D13设置为1时，信号直接从VCO获得。此位设置为0时，信号从输出分频器的输出获得。这些分频器使得输出可涵盖较宽的频率范围(3.4 GHz至6.8 GHz)。当计数器使能且反馈信号从其输出获得时，两个独立配置PLL的RF输出信号同相。分频反馈在需要对信号进行正干涉以提高功率的一些应用中很有用。

### 分频器选择

D12至D10 (位[DB23:DB21])选择RF输出分频器的值(见图44)。

**电荷泵泄漏电流**

BL8至BL1(位[DB20:DB13])控制电荷泵输出端增加的泄漏电流。此电流可优化器件的相位噪声和杂散水平。

测试表明,最佳泄漏电流应设置如下:

$$4/N < I_{BLEED}/I_{CP} < 10/N$$

其中:

$I_{BLEED}$ 是施加于电荷泵的恒定负泄漏电流,由位[BL8:BL1]的值设置。

$I_{CP}$ 是电荷泵电流设置(寄存器4的位[DB13:DB10])的值。

$N$ 是从VCO到PFD的反馈计数器的值。

**保留**

位DB12保留,必须设置为0。

**静音至锁定检测**

如果D8(位DB11)设置为1,则切断RF输出级的电源电流,直到数字锁定检测电路检测到器件实现锁定为止。

**RF输出B使能**

D7(位DB10)使能或禁用高频RF输出(RF<sub>OUT</sub>B)。DB10设置为0时,高频RF输出使能。DB10设置为1时,辅助RF输出禁用。

**保留**

位[DB9:DB7]保留,必须设置为000。

**RF输出A使能**

D3(位DB6)使能或禁用主RF输出(RF<sub>OUT</sub>A+/RF<sub>OUT</sub>A-)。DB6设置为0时,主RF输出禁用。DB6设置为1时,主RF输出使能。

**输出功率**

D2和D1(位[DB5:DB4])设置主RF输出功率水平的值(参见图44)。

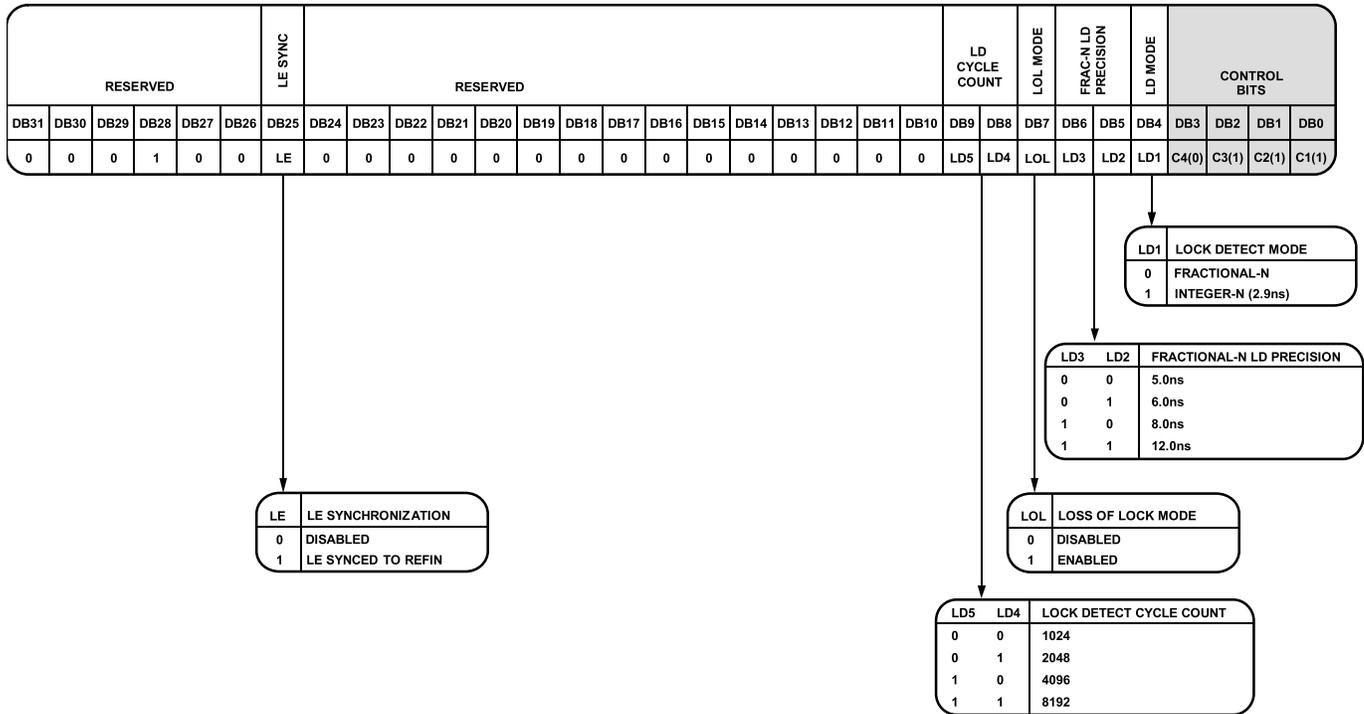


图45. 寄存器7

## 寄存器7

### 控制位

当位[C4:C1]设置为0111时，可对寄存器7进行编程。图45显示对此寄存器进行编程的输入数据格式。

### 保留

位[DB31:DB29]保留，必须设置为0。位DB28保留，必须设置为1。位[DB27:DB26]保留，必须设置为0。

### LE同步

设置为1时，位DB25确保加载使能(LE)沿与参考输入频率的上升沿内部同步。该同步可防止参考与RF分频器同时在参考频率的下降沿加载的罕见情况(可能导致锁定时间延长)。

### 保留

位[DB24:DB10]保留，必须设置为0。

### 小数N锁定检测计数(LDC)

LD5和LD4(位[DB9:DB8])设置锁定检测电路连续计数多少周期后才将锁定检测置位高电平。详情参见图45。

### 失锁模式

对于可能会移除参考(REF<sub>IN</sub>)的固定频率应用，例如定时应用，应将LOL(位DB7)设置为1。标准锁定检测电路假设REF<sub>IN</sub>始终存在，但对于定时应用，情况可能并非如此。此功能通过将DB7设置为1来使能。

### 小数N锁定检测精度(LDP)

LD3和LD2(位[DB6:DB5])设置小数N模式下锁定检测电路的精度。LDP可设置为5 ns、6 ns、8 ns或12 ns。使用泄漏电流时，应使用12 ns。

### 锁定检测模式(LDM)

如果LD1(位DB4)设置为0，则每个参考周期由小数N锁定检测精度设置，如“小数N锁定检测计数(LDC)”部分所述。DB4设置为1时，各参考周期为2.9 ns长，这更适合整数N分频应用。

RESERVED																								CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0	1	0	0	0	0	1	0	C4(1)	C3(0)	C2(0)	C1(0)

图46. 寄存器8 (0x102D4028)

VCO BAND DIVISION								TIMEOUT								AUTOMATIC LEVEL TIMEOUT					SYNTHESIZER LOCK TIMEOUT					CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
VC8	VC7	VC6	VC5	VC4	VC3	VC2	VC1	TL10	TL9	TL8	TL7	TL6	TL5	TL4	TL3	TL2	TL1	AL5	AL4	AL3	AL2	AL1	SL5	SL4	SL3	SL2	SL1	C4(1)	C3(0)	C2(0)	C1(1)

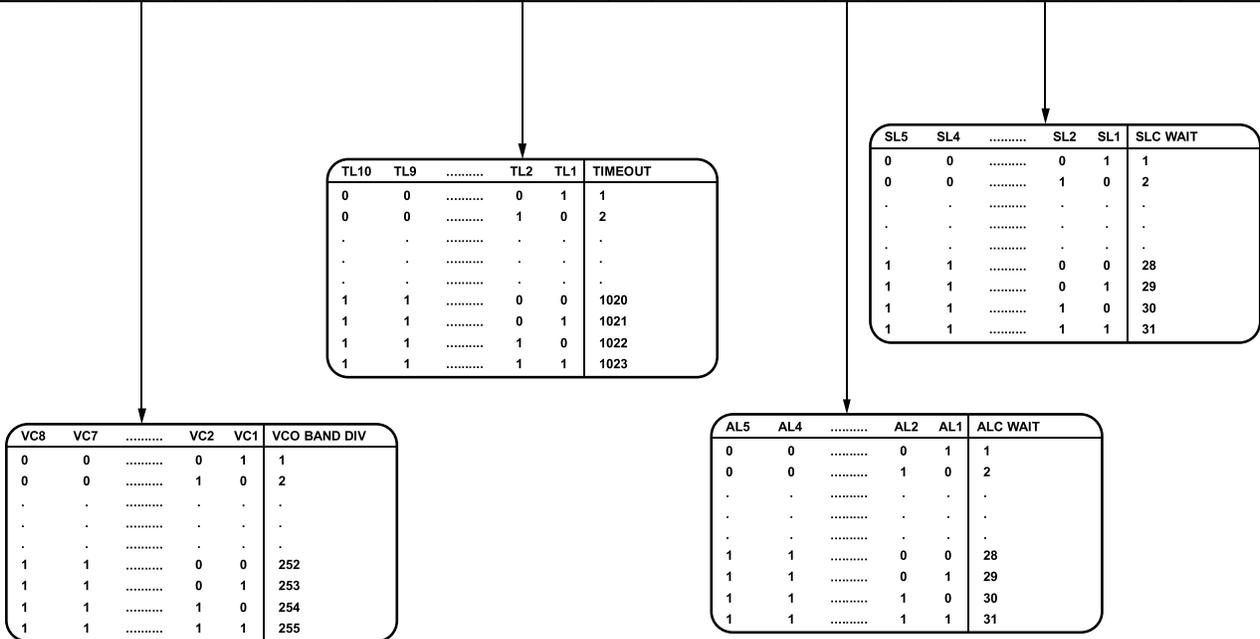


图47. 寄存器9

### 寄存器8

此寄存器中的这些位保留，必须按照图46所示设置，使用十六进制字0x102D4028。

### 寄存器9 控制位

当位[C4:C1]设置为1001时，可对寄存器9进行编程。图47显示对此寄存器进行编程的输入数据格式。

### VCO频段分频

VC8至VC1(位[DB31:DB24])设置VCO频段分频时钟的值。用PFD/(频段分频×16)确定此时钟的值，使得结果小于150 kHz。

### 超时

TL10至TL1(位[DB23:DB14])设置VCO频段选择的超时值。此值用作其他VCO校准设置中的变量。

### 自动电平校准超时

AL5至AL1(位[DB13:DB9])设置VCO自动电平校准的超时值。此功能集中了PFD频率、超时变量和ALC等待变量。选择适当的ALC，使得下式始终大于50 μs。

$$(\text{超时} \times \text{ALC等待} / \text{PFD频率}) > 50 \mu\text{s}$$

### 频率合成器锁定超时

SL5至SL1(位[DB8:DB4])设置频率合成器锁定超时值。此值支持V<sub>TUNE</sub>驱动电压建立在V<sub>TUNE</sub>引脚上。该值必须是20 μs。使用下式计算：

$$(\text{超时} \times \text{频率合成器锁定超时} / \text{PFD频率}) > 20 \mu\text{s}$$

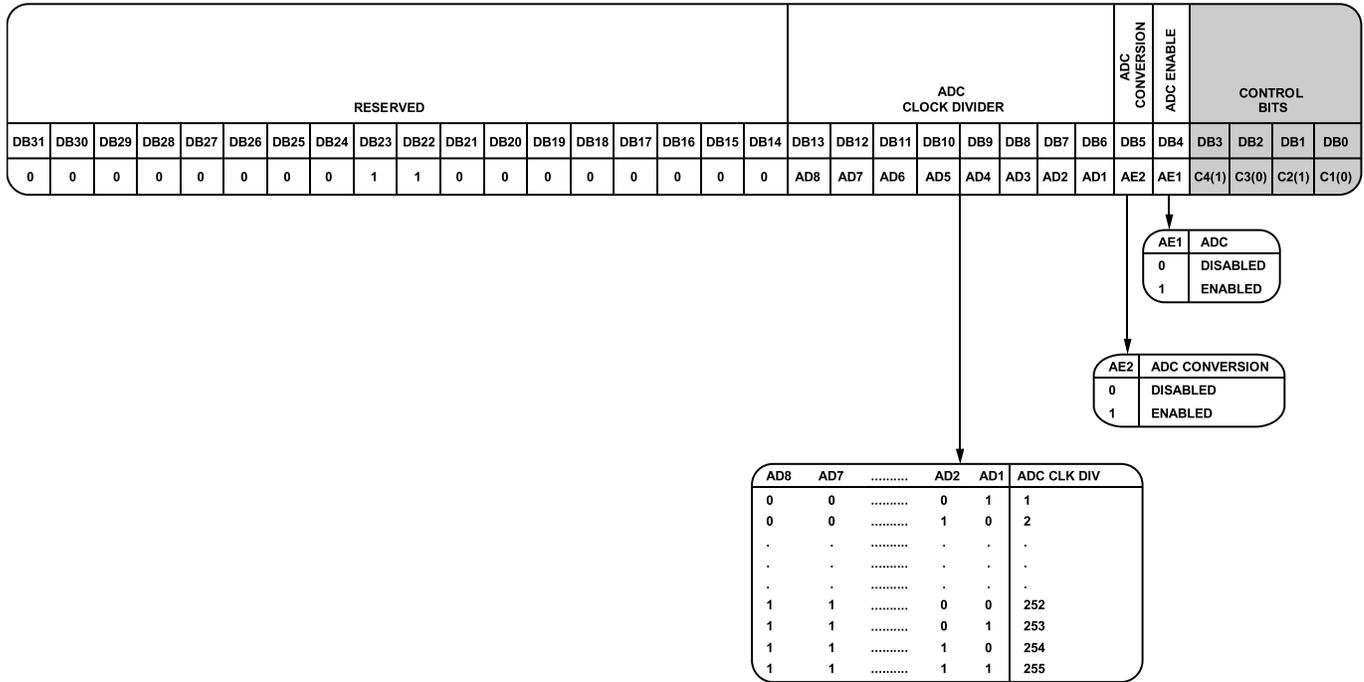


图48. 寄存器10

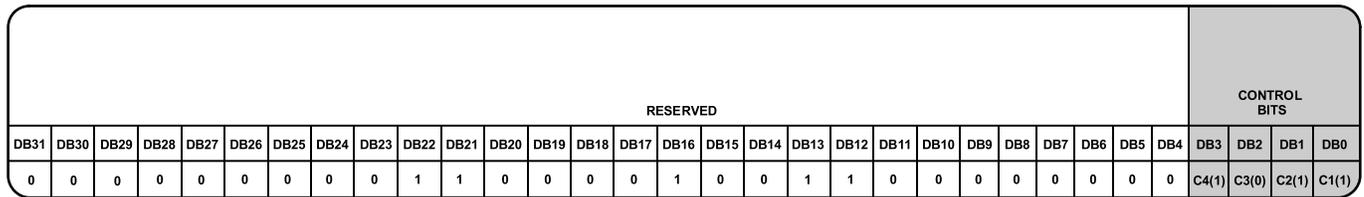


图49. 寄存器11 (0x0061300B)

## 寄存器10 控制位

当位[C4:C1]设置为1010时，可对寄存器10进行编程。图48显示对此寄存器进行编程的输入数据格式。

### 保留

位[DB31:DB14]保留。位[DB23:DB22]必须设置为11，但该范围中的所有其他位必须设置为0。

### ADC转换时钟(ADC\_CLK)

片上模数转换器(ADC)决定 $V_{TUNE}$ 相对于ADF5355环境温度的设定点。ADC确保任何应用都能选择合适的初始调谐电压，以免发生温漂问题。

ADC使用的时钟频率等于R计数器输出(或PFD频率)除以ADC\_CLK。

AD8至AD1(位[DB13:DB6])设置此分频器的值。上电时，R计数器未编程，不过默认值为 $R = 1$ 。

选择使下式成立的值：

$$PFD / ((ADC\_CLK \times 4) \times 2) < 100 \text{ kHz}$$

### ADC转换使能

AE2(位DB5)确保对寄存器10执行写操作后，ADC执行转换。建议使能这种模式。

### ADC使能

AE1(位DB4)设置为1时，ADC上电以执行温度相关的 $V_{TUNE}$ 校准。建议总是使用该功能。

### 寄存器11

此寄存器中的这些位保留，必须按照图49所示设置，使用十六进制字0x0061300B。

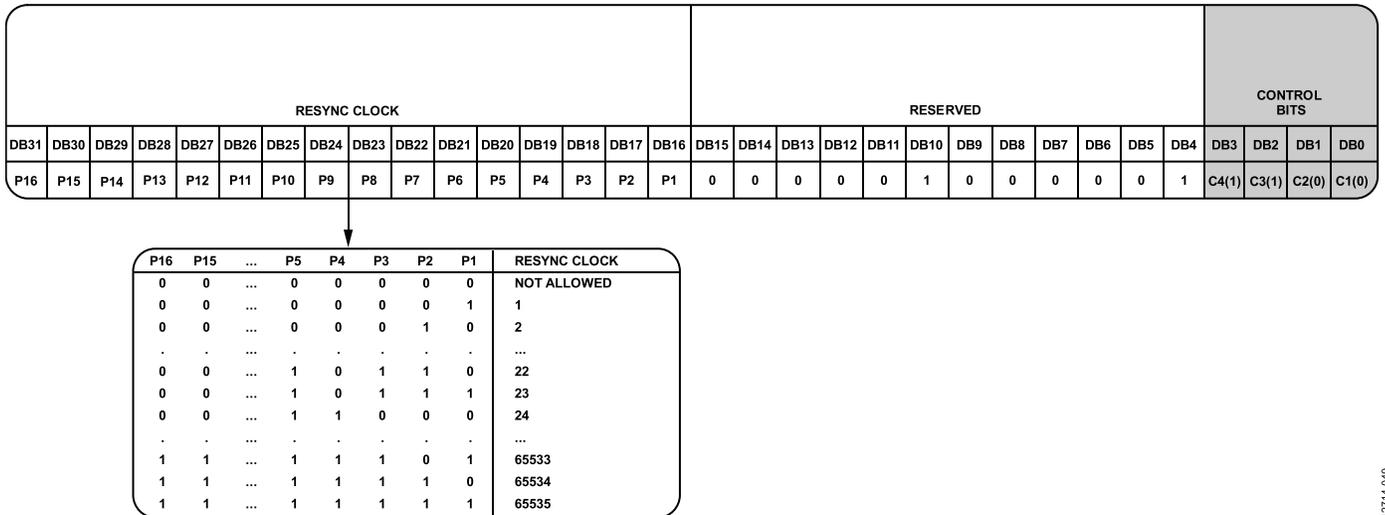


图50. 寄存器12

**寄存器12  
控制位**

当位[C4:C1]设置为1100时，可对寄存器12进行编程。图50显示对此寄存器进行编程的输入数据格式。

**相位再同步时钟分频器值**

P16至P1(位[DB31:DB16])设置相位再同步激活的超时计数器。此值必须设置得当，使得重新编程后PLL实现锁定时立即发生再同步。

通过下式计算超时值：

$$\text{超时值} = \text{相位再同步时钟} / \text{PFD频率}$$

**保留**

位[DB15:DB4]保留。位DB10和位DB4必须设置为1，但该范围中的所有其他位必须设置为0。

**寄存器初始化序列**

初始上电时，对电源引脚施加正确的电压后，ADF5355寄存器应按以下顺序启动：

- 寄存器12
- 寄存器11
- 寄存器10
- 寄存器9
- 寄存器8
- 寄存器7
- 寄存器6
- 寄存器5
- 寄存器4
- 寄存器3
- 寄存器2
- 寄存器1
- 寄存器0

**频率更新序列**

频率更新要求更新寄存器2中的辅助调制器(MOD2)、寄存器1中的小数值(FRAC1)和寄存器0中的整数值(INT)。建议首先更新寄存器10以执行温度相关的V<sub>TUNE</sub>校准。因此，必须按如下顺序操作：

- 寄存器10
- 寄存器2
- 寄存器1
- 寄存器0

频率仅在写入寄存器0时发生改变。

# ADF5355

## RF频率合成器：一个成功范例

下面的公式用于对ADF5355频率合成器进行编程：

$$RF_{OUT} = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \times (f_{PFD})/RF \text{ Divider} \quad (6)$$

其中：

$RF_{OUT}$ 是RF频率输出；

$INT$ 是整数分频系数；

$FRAC1$ 是小数；

$FRAC2$ 是辅助小数；

$MOD2$ 是辅助模数；

$MOD1$ 是24位固定模数；

$RF \text{ Divider}$ 是细分VCO频率的输出分频器。

$$f_{PFD} = REF_{IN} \times ((1 + D)/(R \times (1 + T))) \quad (7)$$

其中：

$REF_{IN}$ 是参考频率输入；

$D$ 是 $RF \text{ REF}_{IN}$ 倍频器位；

$R$ 是RF基准分频系数。

$T$ 是参考2分频位(0或1)。

例如，一个通用移动通信系统(UMTS)要求2112.8 MHz RF频率输出( $RF_{OUT}$ )，参考频率输入( $REF_{IN}$ )为122.88 MHz，请注意，ADF5355工作在3.4 GHz至6.8 GHz频率范围内。因此，必须使用RF二分频(VCO频率 = 4225.6 MHz， $RF_{OUT} = \text{VCO频率}/\text{RF分频器} = 4225.6 \text{ MHz}/2 = 2112.8 \text{ MHz}$ )。

环路何处闭合也很重要。本例中，环路在输出分频器之前闭合(参见图51)。

尽可能使用最大PFD频率；对于此参考，选择122.88 MHz。但是，出于说明目的，假设PFD为61.44 MHz。

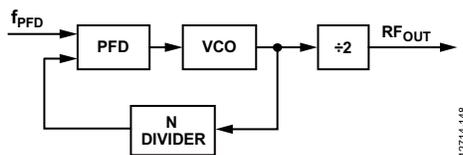


图51. 环路在输出分频器之前闭合

成功范例如下：

- $N = \text{VCO频率}/\text{PFD}$
- $INT = \text{INT}(\text{VCO频率}/\text{PFD})$
- $INT = 68$
- $FRAC = 0.7760416667$
- $MOD1 = 15,777,216$
- $FRAC1 = \text{INT}(\text{MOD1} \times \text{FRAC}) = 13019818$
- 余数 = 0.66667或2/3
- $MOD2 = 42$
- $FRAC2 = 63$

根据等式7，

$$f_{PFD} = (122.88 \text{ MHz} \times (1 + 0))/2 = 61.44 \text{ MHz} \quad (8)$$

$$2112.8 \text{ MHz} = (61.44 \text{ MHz} \times ((INT + (FRAC1 + FRAC2/MOD2)/2^24))/2) \quad (9)$$

其中：

$INT = 68$

$FRAC1 = 13,019,818$

$FRAC2 = 42$

$MOD2 = 63$

$RF \text{分频器} = 2$

## 参考倍频器和参考分频器

片内参考倍频器可以使输入参考信号频率加倍，这可用于提高PFD比较频率。提高PFD频率可改善系统的噪声性能。PFD频率加倍一般可使噪声性能改善3 dB。

参考2分频将参考信号除以2，得到50%占空比的PFD频率。

## 杂散优化和快速锁定

窄环路带宽可以滤除不需要的杂散信号，但锁定时间一般较长。较宽的环路带宽可以实现较快的锁定时间，但环路带宽内的杂散信号可能会增加。

## 抖动优化

为使应用的抖动最低，应使用尽可能高的PFD频率，以使PLL贡献的带内噪声最小。适当设置PLL滤波器带宽，使PLL带内噪声与VCO开环噪声相交，从而最大程度地降低二者对整体噪声的贡献。

可使用ADIsimPLL设计工具来完成此任务。

## 杂散机制

本部分说明小数N分频频率合成器的两种不同杂散机制，以及如何降低ADF5355的杂散。

### 整数边界杂散

小数杂散的一个产生机制是RF VCO频率与参考频率的交互作用。当这些频率不是整数关系时(小数N分频频率合成器的意义所在)，杂散边带将以一定的偏移频率出现在VCO输出频谱上，该偏移频率与整数倍数的参考频率和VCO频率之间的拍频或差频相对应。这些杂散由环路滤波器予以衰减，在靠近参考频率整数倍数的通道上表现得更为明显；对于这些通道，差频率可能位于环路带宽以内，整数边界杂散的名称正是由此而来。

### 参考杂散

在小数N分频频率合成器中，参考杂散一般不是问题，因为参考偏移远远超出了环路带宽。不过，旁路环路的任何参考馈通机制可能会引起问题。低电平片内参考切换噪声的馈通通过预分频器回到VCO，可能会产生高达-80 dBc的参考杂散。

### 锁定时间

PLL锁定时间分为多个设置。所有这些都已在ADIsimPLL设计工具中建模。

### 频率合成器锁定超时

频率合成器锁定超时确保VCO校准DAC(其驱动 $V_{TUNE}$ )已建立至频段选择电路的稳定值。

寄存器9中设置的超时和频率合成器锁定超时变量用于选择DAC有多长时间可以建立至最终电压，经过该时间后，VCO校准过程进入下一阶段，即VCO频段选择。PFD频率是该逻辑的时钟，时长设置为：

$$\frac{\text{超时} \times \text{频率合成器锁定超时}}{\text{PDF频率}}$$

算出的时间必须等于或大于20  $\mu\text{s}$ 。

### VCO频段选择

再次将PFD频率用作频段选择过程的时钟。通过下式计算该值：

$$\text{PFD}/(\text{VCO频段选择} \times 16) < 150 \text{ kHz}$$

频带选择需要11周期的上述计算时间。通过下式计算时长：

$$11 \times (\text{VCO频段选择} \times 16)/\text{PFD频率}$$

### 自动电平校准超时

使用自动电平校准(ALC)功能选择ADF5355 VCO内核中的正确偏置电流。所需的时间通过下式计算：

$$5 \times 11 \times \text{ALC超时} \times \text{超时}/\text{PFD频率}$$

### PLL低通滤波器建立时间

环路建立所需的时间与低通滤波器带宽成反比。该建立时间也已在ADIsimPLL设计工具中建模。

变化频率的总锁定时间为四个不同时间(频率合成器锁定、VCO频段选择、ALC超时和PLL建立时间)之和，这些时间全都已在ADIsimPLL设计工具中建模。

## 应用信息

### 电源

ADF5355包含四个多频段VCO，这些VCO共同覆盖一个倍频程的频率范围。为确保性能最佳，务必将一个低噪声稳压器(如ADM7150)连接到 $V_{VCO}$ 引脚。同时将该稳压器连接到 $V_{VCO}$ 、 $V_{REGVCO}$ 和 $V_P$ 。

对于3.3 V电源引脚，可使用一个或两个ADM7150稳压器。图52所示为推荐的连接。

### 芯片级封装的印刷电路板(PCB)设计指南

32引脚引脚架构芯片级封装上的焊盘为方形。PCB焊盘必须比封装焊盘长0.1 mm，宽0.05 mm。为增大焊点，各封装焊盘应位于引脚焊盘中央。

芯片级封装的底部有一个居中的裸露焊盘用于散热，PCB的散热焊盘至少应与裸露焊盘一样大。在PCB上，散热焊盘与焊盘图形内边的间距至少应为0.25 mm。此间距确保不会发生短路。

为改善封装的散热性能，PCB散热焊盘上可以开散热通孔。散热通孔应与散热垫合为一体，间距为1.2 mm。通孔直径必须在0.3 mm至0.33 mm之间，通孔管必须镀以1盎司的铜，以堵住通孔。

对于ADF5355等微波PLL和VCO频率合成器，应注意电路板堆叠和布局。请勿使用FR4材料，因为在3 GHz以上时，其损耗太高。Rogers 4350、Rogers 4003或Rogers 3003是合适的电介质材料。

谨慎安排RF输出走线，尽量减少不连续部分，确保信号完整性最佳。过孔安排和接地至关重要。

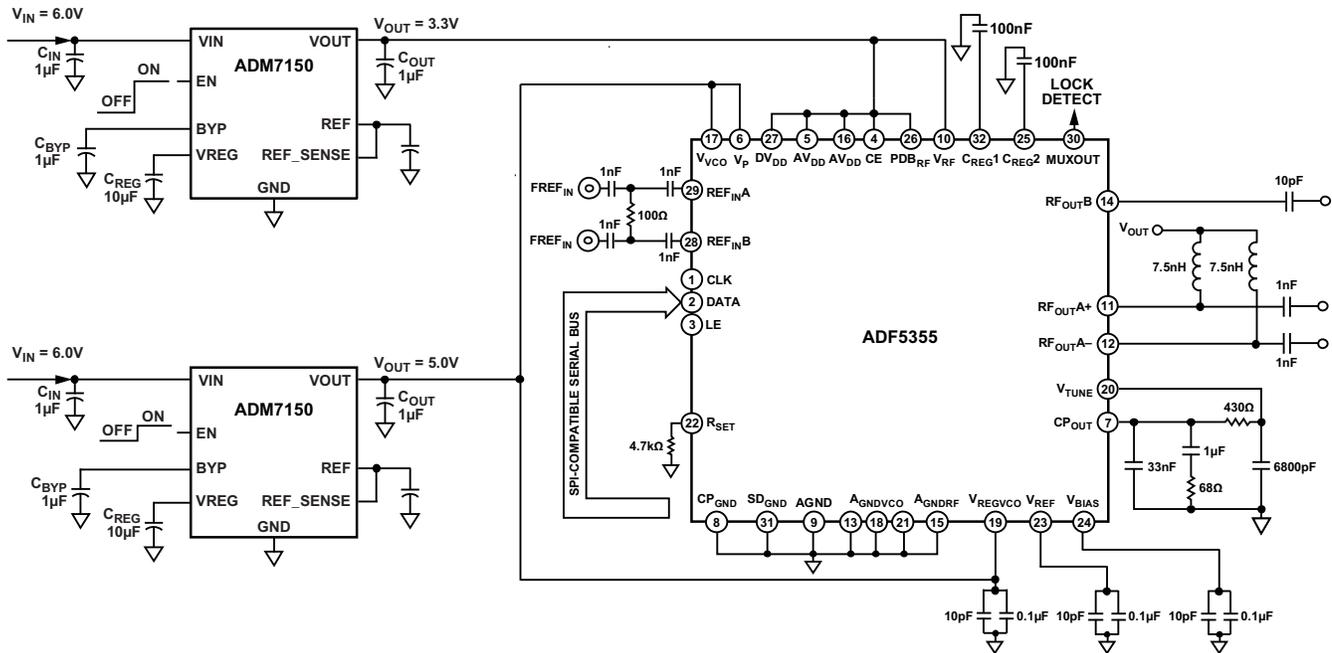


图52. ADF5355电源

12714-050

## 输出匹配

需要时，低频输出可以简单地交流耦合到下一电路。如果要求更高的输出功率，可使用上拉电感以提高输出功率水平。

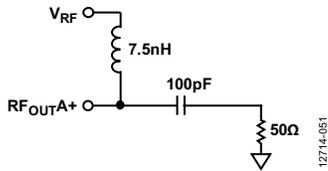


图53. 最佳输出级

不需要差分输出时，可将不用的输出端接起来，或者利用巴伦将两路输出合并。

对于2 GHz以下的较低频率，建议在 $RF_{OUTA+}/RF_{OUTA-}$ 引脚上使用100 nH电感。

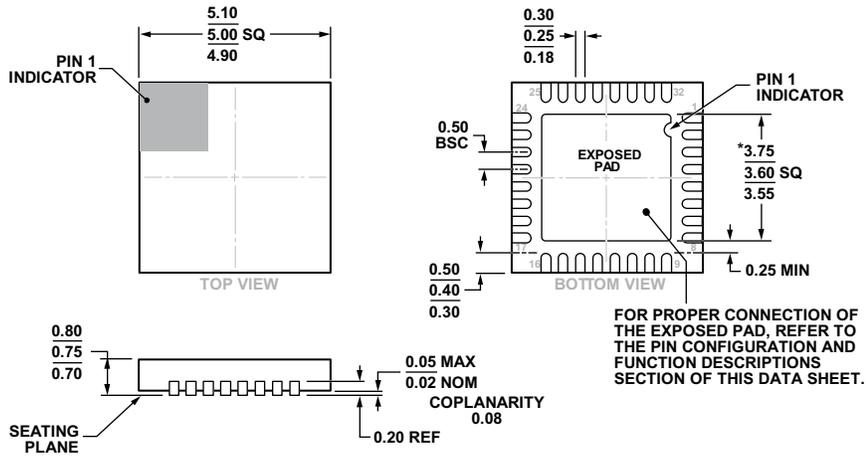
$RF_{OUTA+}/RF_{OUTA-}$ 引脚是不同的电路。尽可能为各路输出提供相同(或相似)的元件，例如：相同的分流电感值、旁路电容和端接。

将较高频率输出 $RF_{OUTB}$ 直接交流耦合到下一适当的电路级。

$RF_{OUTB}$ 内部匹配50  $\Omega$ 阻抗，无需额外的匹配元件。

# ADF5355

## 外形尺寸



\*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.

图54. 32引脚引脚架构芯片级封装[LFCSP\_WQ]  
5 mm × 5 mm超薄四方体  
(CP-32-12)  
图示尺寸单位: mm

08-16-2010-B

### 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADF5355BCPZ	-40°C至+85°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADF5355BCPZ-RL7	-40°C至+85°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
EV-ADF5355SD1Z		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。