

**ANALOG
DEVICES**

10位、4倍过采样 标清电视视频解码器，支持去隔行

ADV7280

产品特性

支持全球NTSC/PAL/SECAM色彩解调
一个10位模数转换器(ADC)，每通道4倍过采样适用于CVBS、Y/C和YPrPb模式
模拟视频输入通道，内置片内抗混叠滤波器
ADV7280：最多4路输入通道
ADV7280-M：最多8路输入通道
视频输入支持CVBS(复合)、Y/C(S视频)和YPrPb(分量)
NTSC/PAL/SECAM自动检测
高达1.47 V的共模输入范围解决方案
出色的共模噪声抑制能力
5线自适应2D梳状滤波器和CTI视频增强特性
自适应数字线路长度跟踪(ADLLT)、信号处理和增强FIFO管理
可提供Mini时基校正(TBC)功能
集成自动增益控制(AGC)功能，提供自适应峰值白色模式
快速切换能力
集成隔行-逐行(I2P)视频输出转换器
自适应对比度增强(ACE)
向下扰动(8位至6位)
Rovi (Macrovision)复制保护检测
MIPI CSI-2输出接口(**ADV7280-M**)
8位ITU-R BT.656 YCrCb 4:2:2输出和HS、VS或场同步(**ADV7280**)
全功能垂直消隐间隔(VBI)数据分割器
提供关断模式
双线式I²C兼容型串行接口
通过汽车应用认证
温度等级：-40°C至+105°C
32引脚、5 mm x 5 mm LFCSP封装，符合RoHS标准

应用

智能电话/多媒体手机
汽车信息娱乐
支持视频安全监控的DVR
媒体播放器

概述

ADV7280/ADV7280-M是功能丰富的单芯片、多格式视频解码器。**ADV7280/ADV7280-M**可自动检测标准模拟基带视频信号，兼容复合、S视频和分量视频形式的NTSC、PAL和SECAM全球标准信号。

ADV7280可将模拟视频信号转换为YCrCb 4:2:2视频数据流，其与8位ITU-R BT.656接口标准兼容。**ADV7280-M**可将模拟视频信号转换为8位、YCrCb 4:2:2视频数据流，可通过兼容移动工业处理器接口(MIPI®)的CSI-2接口输出。

ADV7280/ADV7280-M的模拟视频输入端支持单端信号。**ADV7280**提供4路模拟输入，**ADV7280-M**提供8路模拟输入。**ADV7280**和**ADV7280-M**支持I2P转换。

ADV7280/ADV7280-M通过双线式串行双向端口(I²C兼容型)进行编程，并且采用1.8 V CMOS工艺制造。该解码器提供LFCSP封装选项，非常适合空间受限的便携式应用。

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013–2014 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	关断时序	15
应用	1	通用电源(仅ADV7280)	15
概述	1	输入网络	16
修订历史	2	输入配置	17
功能框图	3	自适应对比度增强(ACE)	18
技术规格	4	I2P功能	19
电气规格	4	MIPI CSI-2输出(仅ADV7280-M)	20
视频规格	5	ITU-R BT.656 Tx配置(仅ADV7280)	21
模拟规格	6	I ² C端口描述	22
MIPI视频输出规格(仅ADV7280-M)	6	寄存器映射	23
像素端口时序规格(仅ADV7280)	8	PCB布局建议	25
时钟和I ² C时序规格	9	模拟接口输入	25
绝对最大额定值	10	电源去耦	25
热阻	10	VREFN和VREFP引脚	25
回流焊	10	数字输出(INTRQ、GPO0至GPO2)	25
ESD警告	10	裸露金属焊盘	25
引脚配置和功能描述	11	数字输入	25
工作原理	13	ADV7280-M的MIPI输出(D0P、D0N、 CLKP、CLKN)	25
模拟前端(AFE)	13	典型电路连接	26
标清处理器(SDP)	14	外形尺寸	28
电源时序控制	15	订购指南	28
最佳上电时序	15	汽车应用产品	28
简化上电时序	15		

修订历史

2014年2月—修订版0至修订版A

更改表1的模拟电源电流的单端CVBS输入参数

2013年8月—修订版0：初始版

功能框图

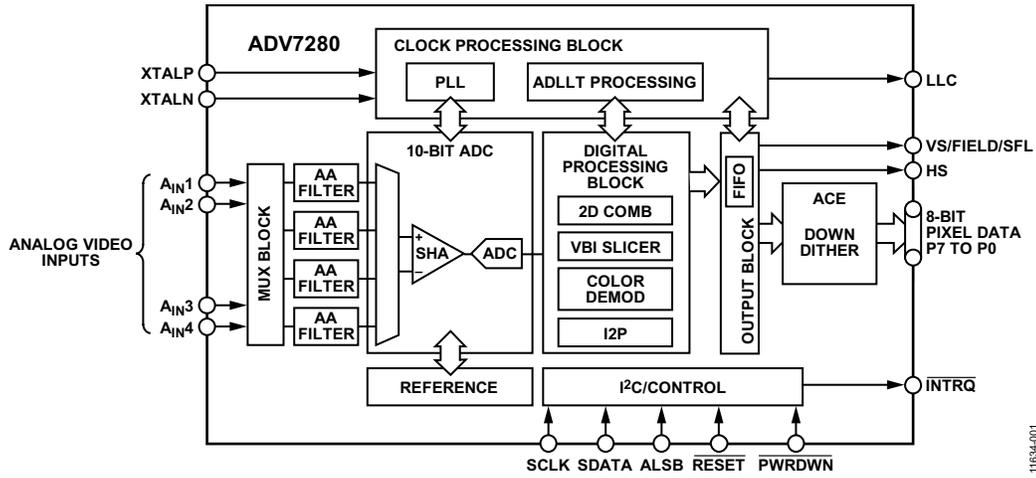


图1. ADV7280功能框图

11634-001

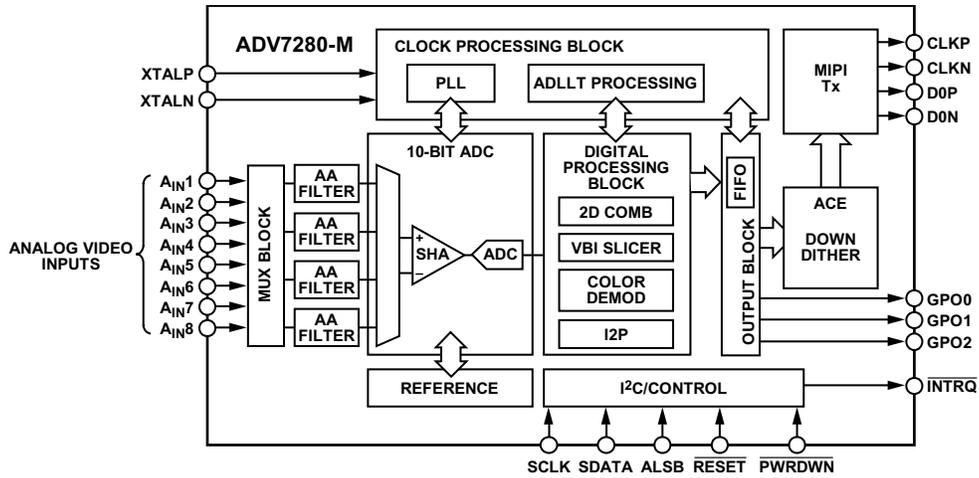


图2. ADV7280-M功能框图

11634-002

ADV7280

技术规格

电气规格

除非另有说明， A_{VDD} 、 D_{VDD} 、 $PVDD$ 和 $M_{VDD} = 1.71\text{ V}$ 至 1.89 V ， $D_{VDDIO} = 2.97\text{ V}$ 至 3.63 V ，针对额定工作温度范围内。 M_{VDD} 仅适用于ADV7280-M。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
静态性能						
ADC分辨率	N				10	位
积分非线性	INL	CVBS模式		2		LSB
差分非线性	DNL	CVBS模式		±0.6		LSB
数字输入						
输入高电压	V_{IH}	$D_{VDDIO} = 3.3\text{ V}$ $D_{VDDIO} = 1.8\text{ V}$ (仅ADV7280)	2 1.2			V V
输入低电压	V_{IL}	$D_{VDDIO} = 3.3\text{ V}$ $D_{VDDIO} = 1.8\text{ V}$ (仅ADV7280)			0.8 0.4	V V
输入漏电流	I_{IN}	RESET 引脚 SDATA、SCLK引脚 PWRDWN、ALSB引脚	-10 -10 -10		+10 +15 +50	μA μA μA
输入电容	C_{IN}				10	pF
晶振输入						
输入高电压	V_{IH}	XTALN引脚	1.2			V
输入低电压	V_{IL}	XTALN引脚			0.4	V
数字输出						
输出高电压	V_{OH}	$D_{VDDIO} = 3.3\text{ V}$, $I_{SOURCE} = 0.4\text{ mA}$ $D_{VDDIO} = 1.8\text{ V}$, $I_{SOURCE} = 0.4\text{ mA}$ (仅ADV7280)	2.4 1.4			V V
输出低电压	V_{OL}	$D_{VDDIO} = 3.3\text{ V}$, $I_{SINK} = 3.2\text{ mA}$ $D_{VDDIO} = 1.8\text{ V}$, $I_{SINK} = 1.6\text{ mA}$ (仅ADV7280)			0.4 0.2	V V
高阻抗漏电流	I_{LEAK}				10	μA
输出电容	C_{OUT}				20	pF
电源要求 ^{1, 2, 3}						
数字I/O电源	D_{VDDIO}	ADV7280-M ADV7280	2.97 1.62	3.3 3.3	3.63 3.63	V V
PLL电源	P_{VDD}		1.71	1.8	1.89	V
模拟电源	A_{VDD}		1.71	1.8	1.89	V
数字电源	D_{VDD}		1.71	1.8	1.89	V
MIPI Tx电源	M_{VDD}	仅ADV7280-M	1.71	1.8	1.89	V
数字I/O电源电流	I_{DVDDIO}	ADV7280-M ADV7280		1.5 5		mA mA
PLL电源电流	I_{PVDD}			12		mA
MIPI Tx电源电流	I_{MVDD}	仅ADV7280-M		14		mA
模拟电源电流	I_{AVDD}					
单端CVBS输入				47		mA
Y/C输入				60		mA
YPrPb输入				75		mA
数字电源电流	I_{DVDD}					
单端CVBS输入				70		mA
Y/C输入				70		mA
YPrPb输入				70		mA

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
关断电流 ¹						
数字I/O电源关断电流	I _{DVDDIO_PD}	D _{VDDIO} = 3.3 V, ADV7280-M D _{VDDIO} = 3.3 V, ADV7280		73		μA
PLL电源关断电流	I _{PVDD_PD}			84		μA
模拟电源关断电流	I _{AVDD_PD}			46		μA
数字电源关断电流	I _{DVDD_PD}			0.2		μA
MIPI Tx电源关断电流	I _{MVDD_PD}	仅 ADV7280-M		420		μA
关断模式下的总功耗				4.5		μA
				1		mW

¹ 通过特性保证。

² 典型功耗值在标称电源电压水平和SMPTE条形测试图案下测得。

³ 除非另有说明，所有规格均适用于I2P内核激活的情况下。

视频规格

除非另有说明，A_{VDD}、D_{VDD}、P_{VDD}和M_{VDD} = 1.71 V至1.89 V，D_{VDDIO} = 2.97 V至3.63 V，针对额定工作温度范围内。规格通过特性保证。M_{VDD}仅适用于**ADV7280-M**。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
非线性规格 ¹						
差分相位	DP	CVBS输入，5步调制		0.9		度
差分增益	DG	CVBS输入，5步调制		0.5		%
亮度非线性	LNL	CVBS输入，5步		2.0		%
噪声规格						
信噪比，未加权	SNR	亮度斜坡 亮度平场		57.1		dB
模拟前端串扰				58		dB
共模抑制比 ²	CMRR			60		dB
				73		dB
锁定时间规格						
水平锁定范围			-5		+5	%
垂直锁定范围			40		70	Hz
f _{sc} 副载波锁定范围				±1.3		kHz
色彩锁定时间				60		行
同步深度范围			20		200	%
色同步范围			5		200	%
垂直锁定时间				2		场
自动检测切换速度 ³				100		行
快速切换速度 ⁴				100		ms
亮度规格		CVBS, 1 V输入				
亮度精度				1		%
亮度对比度精度				1		%

¹ 这些规格适用于全部CVBS输入类型(NTSC、PAL和SECAM)。

² 本电路设计的CMRR严重依赖于电路输入端的外部电阻匹配(参见“输入网络”部分)。采用0.1%容差电阻、1 V共模电压和10 kHz共模频率进行CMRR测量。

³ 自动检测切换速度表示**ADV7280/ADV7280-M**检测其输入端存在何种视频格式(例如，PAL I或NTSC M)所需的时间。

⁴ 快速切换速度表示**ADV7280/ADV7280-M**从一路模拟输入切换到另一路所需的时间(比如从A_{N1}切换到A_{N2})。

ADV7280

模拟规格

除非另有说明， A_{VDD} 、 D_{VDD} 、 P_{VDD} 和 $M_{VDD} = 1.71\text{ V至}1.89\text{ V}$ ， $D_{VDDIO} = 2.97\text{ V至}3.63\text{ V}$ ，针对额定工作温度范围内。规格通过特性保证。 M_{VDD} 仅适用于ADV7280-M。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
箝位电路					
外部箝位电容	箝位断开		0.1		μF
输入阻抗			10		$\text{M}\Omega$
大箝位源电流			0.4		mA
大箝位吸电流			0.4		mA
小箝位源电流			10		μA
小箝位吸电流			10		μA

MIPI视频输出规格(仅ADV7280-M)

除非另有说明， A_{VDD} 、 D_{VDD} 、 P_{VDD} 和 $M_{VDD} = 1.71\text{ V至}1.89\text{ V}$ ， $D_{VDDIO} = 2.97\text{ V至}3.63\text{ V}$ ，针对额定工作温度范围内。ADV7280-M的CSI-2时钟通道甚至在数据通道进入低功耗(LP)模式时依然保持高速(HS)模式。由于这个原因，时钟通道上某些适合低功耗模式的测量不适用。除非另有说明，所有高速测量均在ADV7280-M逐行模式以及432 Mbps标称输出数据速率下完成。规格通过特性保证。

表4.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
单位间隔	UI					
隔行输出				4.63		ns
逐行输出				2.31		ns
数据通道LP TX直流规格 ¹						
戴维宁输出高电平	V_{OH}		1.1	1.2	1.3	V
戴维宁输出低电平	V_{OL}		-50	0	+50	mV
数据通道LP TX交流规格 ¹						
上升时间，15%至85%					25	ns
下降时间，85%至15%					25	ns
上升时间，30%至85%					35	ns
数据通道LP压摆率与 C_{LOAD} 的关系						
整个垂直边沿区间内的最大压摆率		上升沿			150	mV/ns
		下降沿			150	mV/ns
最小压摆率		下降沿	30			mV/ns
$400\text{ mV} \leq V_{OUT} \leq 930\text{ mV}$		上升沿	30			mV/ns
$400\text{ mV} \leq V_{OUT} \leq 700\text{ mV}$		上升沿	>0			mV/ns
$700\text{ mV} \leq V_{OUT} \leq 930\text{ mV}$		上升沿	40			ns
LP异或时钟的脉冲宽度		停止状态后的第一个时钟脉冲或停止状态前的最后一个脉冲	20			ns
		所有其他时钟脉冲				
LP异或时钟周期			90			ns
时钟通道LP TX直流规格 ¹						
戴维宁输出高电平	V_{OH}		1.1	1.2	1.3	V
戴维宁输出低电平	V_{OL}		-50	0	+50	mV
时钟通道LP TX交流规格 ¹						
上升时间，15%至85%					25	ns
下降时间，85%至15%					25	ns

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
时钟通道LP压摆率 整个垂直边沿区间内的 最大压摆率		上升沿			150	mV/ns
		下降沿			150	mV/ns
最小压摆率		下降沿	30			mV/ns
400 mV ≤ V _{OUT} ≤ 930 mV		上升沿	30			mV/ns
400 mV ≤ V _{OUT} ≤ 700 mV		上升沿	>0			mV/ns
700 mV ≤ V _{OUT} ≤ 930 mV		上升沿				mV/ns
数据通道HS TX 信号要求		参见图3				
低功耗至高速 转换级	t ₉	DOP引脚处于V _{OL} 以及DON引脚 处于V _{OH} 的时间	50			ns
	t ₁₀	DOP和DON引脚处于V _{OL} 的时间	40 + (4 × UI)		85 + (6 × UI)	ns
	t ₁₁	t ₁₀ 加上HS零电平周期	145 + (10 × UI)			ns
高速差分电压摆幅	V _i		140	200	270	mV p-p
差分电压失配					10	mV
单端输出高电压					360	mV
静态共模电压电平			150	200	250	mV
静态共模电压失配					5	mV
常见动态电平变化						
50 MHz至450 MHz					25	mV
450 MHz以上					15	mV
上升时间, 20%至80%			0.15		0.3 × UI	ns
下降时间, 80%至20%			0.15		0.3 × UI	ns
高速至低功耗 转换级	t ₁₂	发送HS传输脉冲的最终有效 载荷数据位之后, ADV7280-M驱动翻转 最终数据位所需的时间	60 + (4 × UI)			ns
	t ₁₃	传输上升时间的 后端(30%至85%)			35	ns
	t ₁₄	从t ₁₂ 开始到低功耗状态 开始的时间, 之后是一次 HS传输突发脉冲			105 + (12 × UI)	ns
	t ₁₅	HS传输突发脉冲后, 发送低功耗状态的时间			100	ns
时钟通道HS TX 信号要求		参见图3				
低功耗至高速 转换级 ²	t ₉	CLKP引脚处于V _{OL} 以及 CLKN引脚处于V _{OH} 的时间	50 38		95	ns ns
		时钟HS零电平周期	300	500		ns
高速差分电压摆幅	V ₂		140	200	270	mV p-p
差分电压失配					10	mV
单端输出高电压					360	mV
静态共模电压电平			150	200	250	mV
静态共模电压失配					5	mV
常见动态电平变化						
50 MHz至450 MHz					25	mV
450 MHz以上					15	mV
上升时间, 20%至80%			0.15		0.3 × UI	ns
下降时间, 80%至20%			0.15		0.3 × UI	ns

ADV7280

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
HS TX时钟至数据通道时序要求 数据至时钟压摆			0.35 × UI		0.65 × UI	ns

¹ 这些测量在 $C_{LOAD} = 50 \text{ pF}$ 下执行。

² 时钟通道在正常工作期间保持高速模式。这些结果仅适用于启动阶段的ADV7280-M。

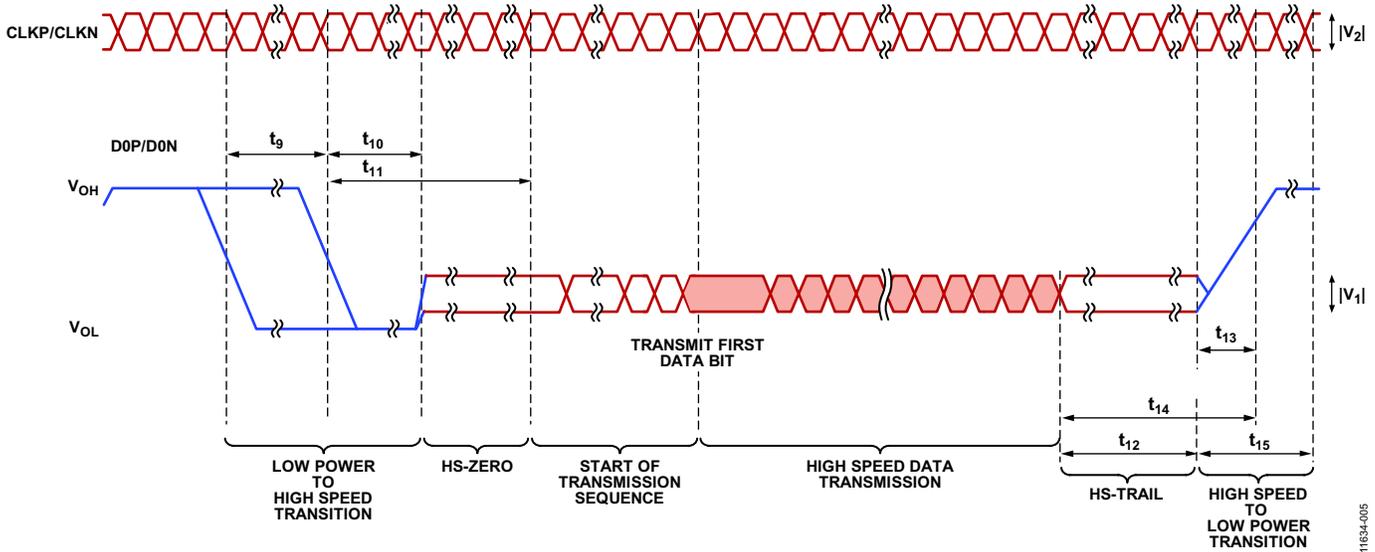


图3. ADV7280-M输出时序图(符合MIPI CSI-2规格)

像素端口时序规格(仅ADV7280)

除非另有说明, A_{VDD} 、 D_{VDD} 和 $P_{VDD} = 1.71 \text{ V}$ 至 1.89 V , $D_{VDDIO} = 1.62 \text{ V}$ 至 3.63 V , 针对额定工作温度范围内。规格通过特性保证。

表5.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
时钟输出 LLC传号空号比	$t_9:t_{10}$		45:55		55:45	%占空比
数据和控制输出 数据输出转换时间	t_{11}	负时钟沿至有效数据开始 ($t_{SETUP} = t_{10} - t_{11}$)			3.8	ns
	t_{12}	有效数据结束至负时钟沿 ($t_{HOLD} = t_9 - t_{12}$)			6.9	ns

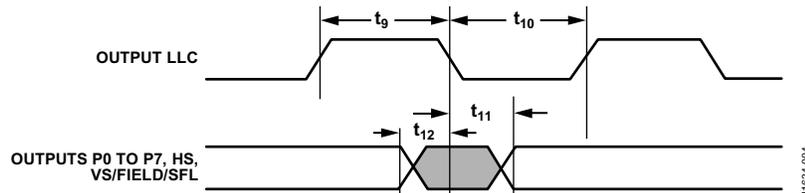


图4. ADV7280像素端口和控制输出时序图

时钟和I²C时序规格

除非另有说明， A_{VDD} 、 D_{VDD} 、 P_{VDD} 和 $M_{VDD} = 1.71\text{ V至}1.89\text{ V}$ ， $D_{VDDIO} = 2.97\text{ V至}3.63\text{ V}$ ，针对额定工作温度范围内。规格通过特性保证。 M_{VDD} 仅适用于ADV7280-M。

表6.

参数	符号	最小值	典型值	最大值	单位
系统时钟和晶振					
标称频率			28.63636		MHz
频率稳定性				±50	ppm
I ² C端口					
SCLK频率				400	kHz
SCLK最短脉冲宽度(高电平)	t_1	0.6			μs
SCLK最短脉冲宽度(低电平)	t_2	1.3			μs
保持时间(起始条件)	t_3	0.6			μs
建立时间(起始条件)	t_4	0.6			μs
SDATA建立时间	t_5	100			ns
SCLK和SDATA上升时间	t_6			300	ns
SCLK和SDATA下降时间	t_7			300	ns
建立时间(停止条件)	t_8		0.6		μs
RESET 输入					
RESET 脉冲宽度		5			ms

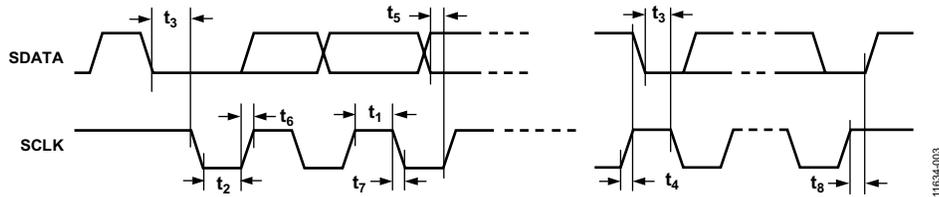


图5. I²C时序图

11634-003

绝对最大额定值

表7.

参数	额定值
A_{VDD} 至DGND	2.2 V
D_{VDD} 至DGND	2.2 V
P_{VDD} 至DGND	2.2 V
M_{VDD} 至DGND ¹	2.2 V
D_{VDDIO} 至DGND	4 V
P_{VDD} 至 D_{VDD}	-0.9 V至+0.9 V
M_{VDD} 至 D_{VDD} ¹	-0.9 V至+0.9 V
A_{VDD} 至 D_{VDD}	-0.9 V至+0.9 V
数字输入电压	DGND - 0.3 V至 $D_{VDDIO} + 0.3 V$
数字输出电压	DGND - 0.3 V至 $D_{VDDIO} + 0.3 V$
模拟输入至地	地 - 0.3 V至 $A_{VDD} + 0.3 V$
最大结温 (T_{JMAX})	140°C
存储温度范围	-65°C至+150°C
红外回流焊 (20秒)	260°C

¹ M_{VDD} 仅适用于ADV7280-M。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

这些器件为高性能集成电路，ESD额定值小于2 kV，对ESD(静电放电)敏感。搬运和装配时必须采取适当的防范措施。

热阻

表8中的热阻值表示焊接在4层印刷电路板(PCB)上的器件额定值，这些器件具有公共接地层，并且器件的裸露焊盘连接至DGND。表8中的数值为最大值。

表8. 32引脚LFCSP封装热阻

热特性	符号	数值	单位
结至环境热阻 (静止空气)	θ_{JA}	32.5	°C/W
结至外壳 热阻	θ_{JC}	2.3	°C/W

回流焊

ADV7280/ADV7280-M是一款无铅、环保产品。采用最新材料和工艺制造。每个器件引脚上的涂层均为100%纯锡电镀。这些器件适合无铅应用，并且可耐受高达255°C(±5°C)的表贴焊接温度。

此外，ADV7280/ADV7280-M还向后兼容传统的SnPb焊接工艺。这意味着可在传统回流温度(220°C至235°C)下将电镀Sn涂层焊接至Sn/Pb焊盘。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

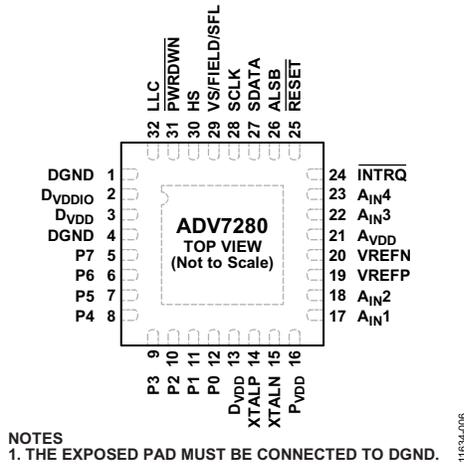
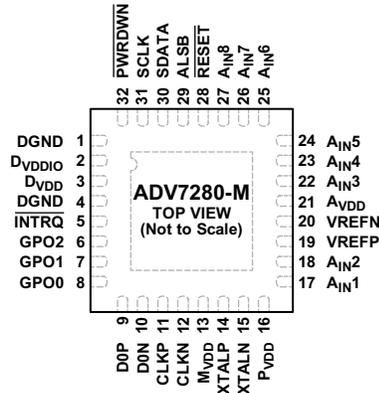


图6. ADV7280引脚配置

表9. ADV7280引脚功能描述

引脚编号	引脚名称	类型	说明
1, 4	DGND	地	数字电源接地。
2	DVDDIO	电源	数字I/O电源(1.8 V或3.3 V)。
3, 13	DVDD	电源	数字电源(1.8 V)。
5至12	P7至P0	输出	视频像素输出端口。
14	XTALP	输出	将该引脚连接至外部28.63636 MHz晶振，如果已经采用外部1.8 V、28.63636 MHz时钟振荡器为ADV7280提供时钟信号，则保持其断开状态。ADV7280必须使用基频晶振。
15	XTALN	输入	外部28.63636 MHz晶振的输入引脚。供ADV7280使用的晶振必须为基频晶振。如果使用外部1.8 V、28.63636 MHz时钟振荡器源为ADV7280提供时钟，则振荡器输出信号输入XTALN引脚。
16	P_VDD	电源	PLL电源(1.8 V)。
17, 18, 22, 23	A _{IN} 1至A _{IN} 4	输入	模拟视频输入通道。
19	VREFP	输出	内部基准电压输出。
20	VREFN	输出	内部基准电压输出。
21	A_VDD	电源	模拟电源(1.8 V)。
24	INTRQ	输出	中断请求输出。 在输入视频信号中检测到某些信号时，产生中断。
25	RESET	输入	系统复位输入(低电平有效)。 ADV7280电路复位需要最短5 ms的低电平复位脉冲。
26	ALSB	输入	该引脚选择ADV7280的I ² C写入地址。当ALSB设为逻辑0时，写入地址为0x40；当ALSB设为逻辑1时，写入地址为0x42。
27	SDATA	输入/输出	I ² C端口串行数据输入/输出。
28	SCLK	输入	I ² C端口串行时钟输入。最大时钟速率为400 kHz。
29	VS/FIELD/SFL	输出	垂直同步输出信号/场同步输出信号/副载波频率锁定。 配置为SFL功能时，该引脚提供一个串行输出流，可以在ADV7280解码器连到任何ADI数字视频编码器时锁定副载波频率。
30	HS	输出	水平同步输出信号。
31	PWRDWN	输入	关断引脚。该引脚为逻辑低电平时，ADV7280进入关断模式。
32	LLC	输出	输出像素数据的行锁定输出时钟。 时钟输出标称值为27 MHz，但它会根据视频线路长度增加或减少。 裸露焊盘。裸露焊盘必须连接到DGND。
	EPAD (EP)		

ADV7280



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND.

11634-007

图7. ADV7280-M引脚配置

表10. ADV7280-M引脚功能描述

引脚编号	引脚名称	类型	说明
1, 4	DGND	地	数字电源接地。
2	D _{VDDIO}	电源	数字I/O电源(3.3 V)。
3	D _{VDD}	电源	数字电源(1.8 V)。
5	INTRQ	输出	中断请求输出。 在输入视频信号中检测到某些信号时，产生中断。
6至8	GPO2 至 GPO0	输出	通用输出。 这些引脚可通过I2C配置，以便控制外部器件。
9	D0P	输出	正MIPI差分数据输出。
10	D0N	输出	负MIPI差分数据输出。
11	CLKP	输出	正MIPI差分时钟输出。
12	CLKN	输出	负MIPI差分时钟输出。
13	M _{vDD}	电源	MIPI数字电源(1.8 V)。
14	XTALP	输出	将该引脚连接至外部28.63636 MHz晶振，如果已经采用外部1.8 V、28.63636 MHz时钟振荡器为ADV7280-M提供时钟信号，则保持其断开状态。 ADV7280-M必须使用基频晶振。
15	XTALN	输入	外部28.63636 MHz晶振的输入引脚。供ADV7280-M使用的晶振必须为基频晶振。 如果使用外部1.8 V、28.63636 MHz时钟振荡器源为ADV7280-M提供时钟，则振荡器输出信号输入XTALN引脚。
16	P _{vDD}	电源	PLL电源(1.8 V)。
17, 18, 22, 23, 24, 25, 26, 27	A _{IN} 1至A _{IN} 8	输入	模拟视频输入通道。
19	VREFP	输出	内部基准电压输出。
20	VREFN	输出	内部基准电压输出。
21	A _{vDD}	电源	模拟电源(1.8 V)。
28	RESET	输入	系统复位输入(低电平有效)。 ADV7280-M电路复位需要最短5 ms的低电平复位脉冲。
29	ALSB	输入	该引脚选择ADV7280-M的I ² C写入地址。 当ALSB设为逻辑0时，写入地址为0x40；当ALSB设为逻辑1时，写入地址为0x42。
30	SDATA	输入/输出	I ² C端口串行数据输入/输出。
31	SCLK	输入	I ² C端口串行时钟输入。最大时钟速率为400 kHz。
32	PWRDWN	输入	关断引脚。该引脚为逻辑低电平时，ADV7280-M进入关断模式。
	EPAD (EP)		裸露焊盘。裸露焊盘必须连接到DGND。

工作原理

ADV7280/ADV7280-M是功能丰富的单芯片、多格式视频解码器。ADV7280/ADV7280-M可自动检测标准模拟基带视频信号，兼容复合、S视频和分量视频形式的NTSC、PAL和SECAM全球标准信号。

ADV7280可将模拟视频信号转换为8位YCrCb 4:2:2分量视频数据流，其与ITU-R BT.656接口标准兼容。

ADV7280-M可将模拟视频信号转换为8位YCrCb 4:2:2视频数据流，通过MIPI CSI-2接口输出。MIPI CSI-2输出接口连接宽范围视频处理器和FPGA。

ADV7280/ADV7280-M接受复合视频信号以及S-视频和YPbPr视频信号，支持较宽范围的消费和汽车视频源。针对具有真8位数据分辨率的消费电子应用，精确的10位模数转换可以提供专业品质的视频性能。

高级隔行-逐行(I2P)转换功能可让ADV7280/ADV7280-M将隔行视频输入转换为逐行视频输出。该功能可在不使用外部存储器的情况下执行。ADV7280/ADV7280-M使用边沿自适应技术，最大程度减少低角度线上的视频缺陷。

自动增益控制(AGC)和钳位复位电路使ADV7280/ADV7280-M模拟视频输入引脚处的输入视频信号峰峰值范围可达0V至1.0V。或者，也可以旁路AGC和钳位复位电路，实现手动设置。

ADV7280/ADV7280-M支持其他多种功能，包括8位至6位向下扰动模式和自适应对比度增强(ACE)。

ADV7280/ADV7280-M通过双线式串行双向端口(I²C兼容型)进行编程，并且采用1.8 V CMOS工艺制造。ADV7280/ADV7280-M的单芯片CMOS结构可确保以更低的功耗提供更多的功能。该解码器提供LFCSP封装选项，非常适合空间受限的便携式应用。

模拟前端(AFE)

ADV7280/ADV7280-M的模拟前端(AFE)包含一个高速、10位ADC，将模拟视频信号数字化，然后输入至标清处理器(SDP)。

AFE还包括一个输入多路复用器，支持多个视频信号施加于ADV7280/ADV7280-M。输入多路复用器允许最多4路复合视频信号施加于ADV7280，以及最多8路复合视频信号施加于ADV7280-M。

ADC前置电流钳位电路，确保视频信号始终在转换器的处理范围之内。

每个模拟输入通道之前需要连接一个电阻分压器网络，确保输入信号保持在ADC范围内(参见“输入网络”部分)。ADV7280/ADV7280-M的数字精密钳位电路对视频信号执行精密钳位。

表11列出了三种ADC时钟速率，它们由待处理的视频输入格式确定。这些时钟速率确保对于CVBS、Y/C和YPrPb模式具有每通道4倍过采样。

表11. ADC时钟速率

输入格式	ADC时钟速率(MHz) ¹	每通道过采样速率
CVBS	57.27	4×
Y/C(S-视频)	114	4×
YPrPb	172	4×

¹ 基于XTALP和XTALN引脚之间的28.63636 MHz晶振。

ADV7280

标清处理器(SDP)

ADV7280/ADV7280-M可解码复合、S视频和分量格式的许多基带视频信号。视频处理器支持的视频标准包括：

- PAL B、PAL D、PAL G、PAL H、PAL I、PAL M、PAL N、PAL Nc、PAL 60
- NTSC J、NTSC M、NTSC 4.43
- SECAM B、SECAM D、SECAM G、SECAM K、SECAM L

ADV7280/ADV7280-M可通过标清处理器(SDP)自动检测视频标准，并作相应处理。

ADV7280/ADV7280-M具有一个5线式自适应2D梳状滤波器，可在解码复合视频信号时提供出色的色度和亮度分离。这种自适应滤波器根据视频标准和信号质量自动调整处理模式，无需用户干预。

ADV7280/ADV7280-M还提供视频用户控制，如亮度、对比度和色调。

ADV7280/ADV7280-M采用已获专利的自适应数字线路长度跟踪(ADLLT™)算法，可跟踪VCR等视频源的视频线路长度变化。ADLLT使ADV7280/ADV7280-M能够跟踪和解码质量不佳的视频源，如VCR以及调谐器输出和便携式摄像机的高噪声源等。ADV7280/ADV7280-M集成色度瞬态改善(CTI)处理器，能够提高色度转换的边沿速率，从而锐化垂直转换。

自适应对比度增强(ACE)可提供最佳的视觉细节，其算法会自动调整对比度水平，增强图像细节。ACE能在不使图像亮区饱和的情况下增加暗区的对比度。该特性在汽车应用中特别有用，因为在这类应用中，分辨阴影区域的物体很重要。

向下扰动将ADV7280/ADV7280-M的输出从8位转换为6位，方便进行标准LCD面板设计。

I2P模块将隔行视频输入转换为逐行视频输出，而无需借助外部存储器。

SDP可处理各种VBI数据服务，如字幕信息(CCAP)、宽屏幕信令(WSS)和版权生成管理系统(CGMS)。VBI数据作为辅助数据包传输。

ADV7280/ADV7280-M完全兼容Rovi® (Macrovision®)；检测电路可识别并向用户汇报I型、II型和III型保护级。这些解码器还能够稳定地支持所有Macrovision信号输入。

电源时序控制

最佳上电时序

ADV7280/ADV7280-M的最佳上电时序为：首先是3.3 V D_{VDDIO} 电源上电，然后是1.8 V电源上电： D_{VDD} 、 P_{VDD} 、 A_{VDD} 和 M_{VDD} (仅适用于ADV7280-M)。

ADV7280/ADV7280-M上电时，需遵循以下步骤。上电期间，所有电源都必须遵循“绝对最大额定值”部分所列之规格。

1. 置位 \overline{PWRDWN} 和 \overline{RESET} 引脚(拉低引脚)。
2. D_{VDDIO} 电源上电。
3. 完全置位 D_{VDDIO} 后，1.8 V电源上电。
4. 1.8 V电源完全置位后，拉高 \overline{PWRDWN} 引脚。
5. 等待5 ms，然后拉高 \overline{RESET} 引脚。
6. 待所有电源以及 \overline{PWRDWN} 和 \overline{RESET} 引脚都完成上电并稳定后，再等待5 ms时间，然后启动ADV7280/ADV7280-M的I²C通信。

简化上电时序

作为替代方案，ADV7280/ADV7280-M可通过同时置位所有电源以及 \overline{PWRDWN} 和 \overline{RESET} 引脚完成上电。完成此操作后，执行软件复位，等待10 ms，然后启动ADV7280/ADV7280-M的I²C通信。

由于各电源都正在建立，因此必须确保低额定电源电压水平不超过高额定电源电压水平。上电期间，所有电源都必须遵循“绝对最大额定值”部分所列之规格。

关断时序

只要 D_{VDDIO} 不低于低额定电源电压，ADV7280/ADV7280-M电源就可同时解除置位。

通用电源(仅ADV7280)

ADV7280-M需要标称值为3.3 V的 D_{VDDIO} 电源。但是，ADV7280可采用标称值为1.8 V的 D_{VDDIO} 电源工作。因此，ADV7280的所有电源(D_{VDD} 、 P_{VDD} 、 A_{VDD} 和 D_{VDDIO})都可以上电至1.8 V。

当 D_{VDDIO} 为标称值1.8 V时，ADV7280应按如下顺序上电：

1. 按照“最佳上电时序”部分所述的步骤上电，但 D_{VDDIO} 电源上电至1.8 V，而不是3.3 V。另外， \overline{PWRDWN} 和 \overline{RESET} 引脚上电至1.8 V，而不是3.3 V。
2. 将ADV7280数字输出的驱动强度设置为最大值。
3. 将所有连接至ADV7280上引脚(如SCLK和SDATA引脚)的上拉电阻接1.8 V电压，而不是3.3 V。

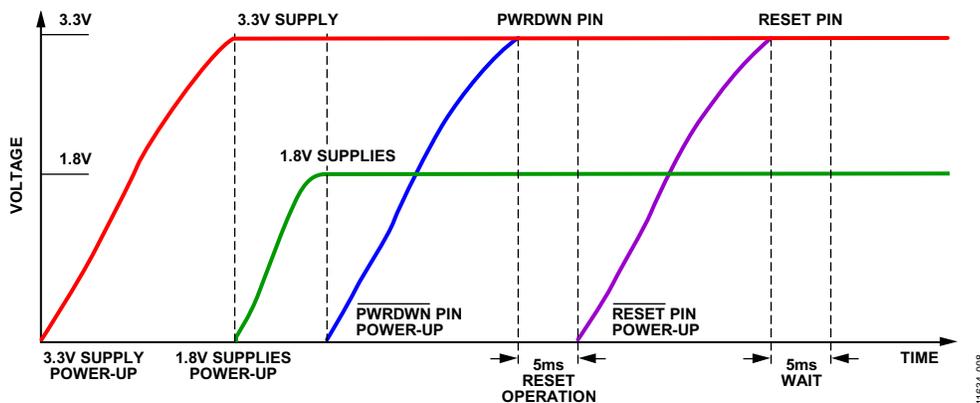


图8. 最佳上电时序

ADV7280

输入网络

解码器的 $A_{IN,x}$ 输入引脚上需要连接一个输入网络(外部电阻和电容电路)。图9显示使用下列任一视频输入格式时，用于ADV7280/ADV7280-M每个 $A_{IN,x}$ 输入引脚上的输入网络：

- 单端CVBS
- YC(S-视频)
- YPrPb

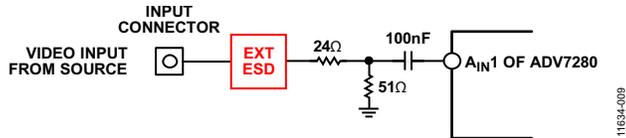


图9. 输入网络

24 Ω 和51 Ω 电阻提供模拟视频输入所需的75 Ω 端接电阻。这些电阻同时组成增益为0.68的电阻分压器。电阻分压器衰减输入模拟视频的幅度，将输出调整到ADV7280/ADV7280-M的ADC范围，这使得ADV7280/ADV7280-M的输入范围最高可达1.47 V p-p。注意，ADC内的放大器会恢复输入信号幅度，从而保持信噪比(SNR)性能。

100 nF交流耦合电容可在模拟输入视频的直流偏置馈入ADV7280/ADV7280-M的 $A_{IN,x}$ 引脚之前将其移除。ADV7280/ADV7280-M的箝位电路可在输入信号的直流偏置馈入ADV7280/ADV7280-M的ADC之前将其恢复为最佳水平。

输入配置

ADV7280/ADV7280-M的输入格式由INSEL[4:0]位指定(见表12)。这些位还可用来配置SDP内核,以处理CVBS、Y/C(S-视频)或分量(YPrPb)格式。INSEL[4:0]位处于寄存器空间的用户子映射中,地址为0x00[4:0]。有关寄存器的更多信息,请参考“寄存器映射”部分。

INSEL[4:0]位指定预定义模拟输入路由方案,无需使用手动多路复用编程,允许用户将各种视频信号类型路由至解码器。例如,如果选择CVBS输入,则会关断其余通道。

表12. INSEL[4:0]位指定的输入格式

INSEL[4:0]位值	视频格式	模拟输入	
		ADV7280	ADV7280-M
00000	CVBS	A _{IN} 1上的CVBS输入	A _{IN} 1上的CVBS输入
00001	CVBS	A _{IN} 2上的CVBS输入	A _{IN} 2上的CVBS输入
00010	CVBS	A _{IN} 3上的CVBS输入	A _{IN} 3上的CVBS输入
00011	CVBS	A _{IN} 4上的CVBS输入	A _{IN} 4上的CVBS输入
00100	CVBS	保留	A _{IN} 5上的CVBS输入
00101	CVBS	保留	A _{IN} 6上的CVBS输入
00110	CVBS	保留	A _{IN} 7上的CVBS输入
00111	CVBS	保留	A _{IN} 8上的CVBS输入
01000	Y/C(S-视频)	A _{IN} 1上的Y输入 A _{IN} 2上的C输入	A _{IN} 1上的Y输入 A _{IN} 2上的C输入
01001	Y/C(S-视频)	A _{IN} 3上的Y输入 A _{IN} 4上的C输入	A _{IN} 3上的Y输入 A _{IN} 4上的C输入
01010	Y/C(S-视频)	保留	A _{IN} 5上的Y输入 A _{IN} 6上的C输入
01011	Y/C(S-视频)	保留	A _{IN} 7上的Y输入 A _{IN} 8上的C输入
01100	YPrPb	A _{IN} 1上的Y输入 A _{IN} 2上的Pb输入 A _{IN} 3上的Pr输入	A _{IN} 1上的Y输入 A _{IN} 2上的Pb输入 A _{IN} 3上的Pr输入
01101	YPrPb	保留	A _{IN} 4上的Y输入 A _{IN} 5上的Pb输入 A _{IN} 6上的Pr输入
01110至11111	保留	保留	保留

自适应对比度增强(ACE)

ADV7280/ADV7280-M可根据图片内容增加图像对比度，让亮区变得更亮，暗区变得更暗。可选ACE功能能够在不大幅影响亮区的情况下提高暗区的对比度。该功能在汽车应用中特别有用，因为在这类应用中，分辨阴影区域的物体很重要。

ACE功能默认禁用。如需使能ACE功能，请如按表13所示执行寄存器写操作。如需禁用ACE功能，请按表14所示执行寄存器写操作。

表13. 使能ACE功能的寄存器写操作

寄存器映射	寄存器地址	寄存器写操作	说明
用户子映射(0x40或0x42)	0x0E	0x40	进入用户子映射2
用户子映射2(0x40或0x42)	0x80	0x80	使能ACE
用户子映射2(0x40或0x42)	0x0E	0x00	重新进入用户子映射

表14. 禁用ACE功能的寄存器写操作

寄存器映射	寄存器地址	寄存器写操作	说明
用户子映射(0x40或0x42)	0x0E	0x40	进入用户子映射2
用户子映射2(0x40或0x42)	0x80	0x00	禁用ACE
用户子映射2(0x40或0x42)	0x0E	0x00	重新进入用户子映射

I2P功能

高级隔行-逐行(I2P)转换功能可让ADV7280/ADV7280-M将隔行视频输入转换为逐行视频输出。该功能可在不使用外部存储器的情况下执行。ADV7280/ADV7280-M使用边缘自适应技术，最大程度减少低角度线上的视频缺陷。

I2P功能默认禁用。如需使能I2P功能，请使用ADI公司推荐的脚本。

MIPI CSI-2输出(仅ADV7280-M)

ADV7280-M的解码器输出ITU-R BT.656数据流。ITU-R BT.656数据流连接CSI-2 Tx模块。CSI-2 Tx模块的数据馈入D-PHY物理层，并以串行形式从器件输出。

ADV7280-M的输出由D0P和D0N线路上的单数据通道以及CLKP和CLKN线路上的时钟通道组成。

视频数据通过数据线路以高速模式输出。数据线路在水平和垂直消隐期间进入低功耗模式。

时钟线路用来为输出视频提供时钟信号。对ADV7280-M编程后，时钟线路退出低功耗模式，并保持高速模式，直到器件复位或关断。

ADV7280-M以8位YCrCb 4:2:2格式输出视频数据。禁用I2P内核后，视频数据以216 Mbps标称数据速率隔行输出。使能I2P内核后，视频数据以432 Mbps标称数据速率逐行输出(更多信息请参见“I2P功能”部分)。

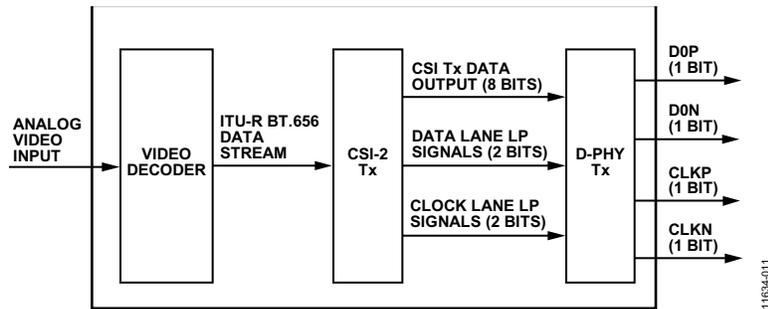


图10. ADV7280-M的MIPI CSI-2输出级

ITU-R BT.656 Tx配置(仅ADV7280)

ADV7280接收模拟视频，然后输出符合ITU-R BT.656规范的数字视频。ADV7280通过P0至P7数据引脚输出ITU-R BT.656视频数据流，并提供一个行锁定时钟(LLC)引脚和两个同步引脚(HS和VS/FIELD/SFL)。

视频数据通过P0至P7引脚，以YCrCb 4:2:2的格式输出。同步信号自动内嵌入视频数据信号中，并符合ITU-R BT.656规范。

LLC输出用作P0至P7引脚上的输出数据时钟信号，标称频率为27 MHz。

两个同步引脚(HS和VS/FIELD/SFL)可输出各种同步信号，如水平同步、垂直同步、场同步和色彩副载波频率锁定(SFL)同步信号。其中大多数同步信号已嵌入视频数据中。因此，同步引脚的使用是可选项。

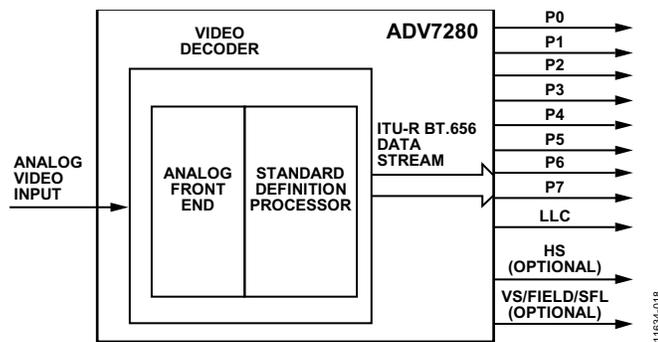


图11. ADV7280的ITU-R BT.656输出级

I²C端口描述

ADV7280/ADV7280-M支持双线式I²C兼容型串行接口。两路输入——串行数据(SDATA)和串行时钟(SCLK)——承载ADV7280/ADV7280-M与系统I²C主控制器之间的信息。ADV7280/ADV7280-M的I²C端口允许用户建立并配置解码器并回读捕捉到的VBI数据。

ADV7280/ADV7280-M具有多个可能的I²C从机地址和子地址(参考“寄存器映射”部分)。ADV7280/ADV7280-M的主映射具有四个可能的从机地址用于读写操作，具体取决于ALSIB引脚上的逻辑电平(见表15)。

表15. ADV7280/ADV7280-M的主映射I²C地址

ALSIB引脚	R/W位	从机地址
0	0	0x40(写)
0	1	0x41(读)
1	0	0x42(写)
1	1	0x43(读)

ALSIB引脚控制从机地址的位1。通过改变ALSIB引脚的逻辑电平，可在应用中控制两个ADV7280/ADV7280-M器件，无需使用同一个I²C从机地址。LSB(位0)指定读取或写入操作：逻辑1对应读操作，逻辑0对应写操作。

如需控制总线上的器件，请遵循特定规则：

1. 主机通过建立起始条件而启动数据传输，定义为SDATA上的高低转换，同时SCLK保持高电平，表示后面还有地址/数据流。
2. 所有外设均响应起始条件，并移动后续8位(7位地址加R/W位)。这些位以MSB到LSB的方式传输。
3. 能够识别所传输地址的外设在第9个时钟脉冲期间将数据线拉低，从而做出响应；称为应答(ACK)位。

4. 所有其它器件从总线退出，保持空闲状态。在空闲条件下，器件监控SDATA和SCLK线路，等待起始条件和正确的传输地址。

R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机向外设写入信息。如果第一个字节的LSB为逻辑1，则意味着主机从外设读取信息。

ADV7280/ADV7280-M用作总线上的标准I²C从机器件。SDATA引脚上的数据长8位，支持7位地址加R/W位。该器件具有子地址以提供针对内部寄存器的访问；因此，它将第一个字节解释为器件地址，将第二个字节解释为起始子地址。子地址自动递增，可以写入或读取起始子地址。数据传输始终由停止条件终止。用户也可以单独访问任何唯一的子地址寄存器，而无需更新所有寄存器。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果正常的读写操作导致这些条件置位失序，器件将立即跳入空闲状态。在给定的SCLK高电平期间，用户只应发送一个起始条件或一个停止条件，或者先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，ADV7280/ADV7280-M不会发送应答，而是直接返回到空闲状态。

在自动递增模式下，如果超过最高子地址，则器件会采取以下其中一种措施：

- 在读取模式下，连续输出最高子地址的寄存器内容，直到主机发送不应答，表示读取结束。不应答条件是指SDATA线在第9个脉冲期间未被拉低。
- 在写入模式下，单独字节数据不会载入子地址寄存器。ADV7280/ADV7280-M发出不应答信号，器件返回空闲状态。

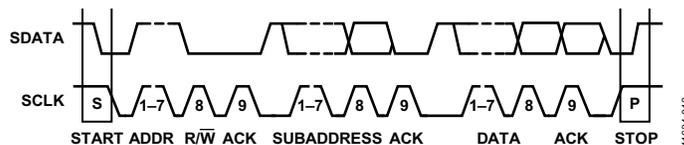


图12. 总线数据传输

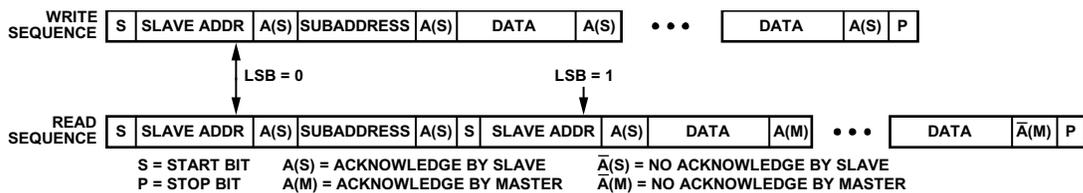


图13. 读取和写入序列

寄存器映射

ADV7280/ADV7280-M包含三个寄存器映射：主寄存器映射、VPP寄存器映射和CSI寄存器映射(仅ADV7280-M)。

主映射

ADV7280/ADV7280-M主映射的I²C从机地址由ALSIB引脚设置(见表15)。主映射允许用户编程VPP和CSI映射的I²C从机地址。主映射含有三个子映射：用户子映射、中断/VDP子映射和用户子映射2。通过写入SUB_USR_EN位(地址0x0E[6:5])即可在主映射中访问这三个子映射(见图14和表16)。

用户子映射

用户子映射包含可以编程设置ADV7280/ADV7280-M模拟前端和数字内核的寄存器。用户子映射含有与主映射相同的I²C从机地址。如需访问用户子映射，请将主映射(地址0x0E[6:5])中的SUB_USR_EN位设为00。

中断/VDP子映射

中断/VDP子映射包含可用来编程内部中断、控制INTRQ引脚和解码垂直消隐间隔(VBI)数据的寄存器。

中断/VDP子映射含有与主映射相同的I²C从机地址。如需访问中断/VDP子映射，请将主映射(地址0x0E[6:5])中的SUB_USR_EN位设为01。

用户子映射2

用户子映射2包含控制ACE、向下扰动和快速锁定功能的寄存器。它还提供控制，可在ADV7280/ADV7280-M进入自由运行和色彩丢失模式之前设置适当的输入亮度和色度限值。

用户子映射2含有与主映射相同的I²C从机地址。如需访问用户子映射2，请将主映射(地址0x0E[6:5])中的SUB_USR_EN位设为10。

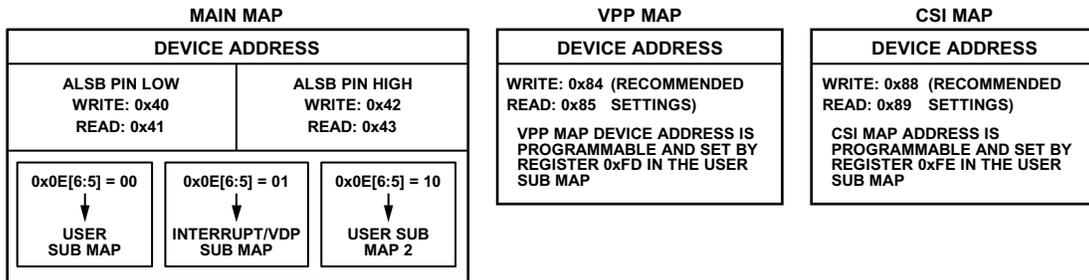


图14. 寄存器映射和子映射访问

11634-014

表16. I²C寄存器映射和子映射地址

ALSIB引脚	R/W位	从机地址	SUB_USR_EN位 (地址0x0E[6:5])	寄存器映射或子映射
0	0(写入)	0x40	00	用户子映射
0	1(读取)	0x41	00	用户子映射
0	0(写入)	0x40	01	中断/VDP子映射
0	1(读取)	0x41	01	中断/VDP子映射
0	0(写入)	0x40	10	用户子映射2
0	1(读取)	0x41	10	用户子映射2
1	0(写入)	0x42	00	用户子映射
1	1(读取)	0x43	00	用户子映射
1	0(写入)	0x42	01	中断/VDP子映射
1	1(读取)	0x43	01	中断/VDP子映射
1	0(写入)	0x42	10	用户子映射2
1	1(读取)	0x43	10	用户子映射2
X ¹	0(写入)	0x84	XX ¹	VPP映射
X ¹	1(读取)	0x85	XX ¹	VPP映射
X ¹	0(写入)	0x88	XX ¹	CSI映射(仅ADV7280-M)
X ¹	1(读取)	0x89	XX ¹	CSI映射(仅ADV7280-M)

¹ X and XX mean don't care.

ADV7280

VPP映射

视频后置处理器(VPP)映射包含控制I2P内核(隔行-逐行转换器)的寄存器。

VPP映射具有可编程I²C从机地址, 可通过主映射中的用户子映射寄存器0xFD编程设置。VPP映射地址默认值为0x00; 然而, I²C从机地址复位前, VPP映射无法访问。VPP映射的I²C从机地址建议使用0x84。

如需复位VPP映射的I²C从机地址, 可写入主寄存器映射(地址0xFD[7:1])中的VPP_SLAVE_ADDRESS[7:1]位。将这些位设为0x84(I²C写入地址; I²C读取地址为0x85)。

CSI映射(仅ADV7280-M)

CSI映射包含控制ADV7280-M MIPI CSI-2输出流的寄存器。

CSI映射具有可编程I²C从机地址, 可通过主映射中的用户子映射寄存器0xFE编程设置。CSI映射地址默认值为0x00; 然而, I²C从机地址复位前, CSI映射无法访问。CSI映射的I²C从机地址建议使用0x88。

如需复位CSI映射的I²C从机地址, 可写入主寄存器映射(地址0xFE[7:1])中的CSI_TX_SLAVE_ADDRESS[7:1]位。将这些位设为0x88(I²C写入地址; I²C读取地址为0x89)。

SUB_USR_EN位(地址0x0E[6:5])

ADV7280/ADV7280-M主映射含有三个子映射: 用户子映射、中断/VDP子映射和用户子映射2(见图14)。默认提供用户子映射。使用SUB_USR_EN位可访问另外两个子映射。完成中断/VDP映射或用户子映射2编程后, 需要写入SUB_USR_EN位, 以便返回用户子映射。

PCB布局建议

ADV7280/ADV7280-M是高精度、高速、混合信号器件。为了实现器件的最大性能，使用设计良好的PCB非常重要。本节提供使用ADV7280/ADV7280-M时的PCB设计指南。

模拟接口输入

路由PCB上的模拟接口输入时，应保持走线尽量短。尽量使用75 Ω 走线阻抗；非75 Ω 走线阻抗会增加出现反射的可能性。

电源去耦

建议采用100 nF和10 nF电容对每个电源引脚去耦。基本原则是，在距离每个电源引脚大约0.5 cm以内放置一个去耦电容。避免在ADV7280/ADV7280-M的另一侧PCB上放置去耦电容，因为这样做会在路径上产生感性过孔。

在电源层和电源引脚之间放置去耦电容。电流应从电源层经过电容，然后流入电源引脚。不要在电容和电源引脚之间施加电源连接。最佳做法是在低至电源层上的去耦电容焊盘附近或焊盘下方放置一个过孔(参见图15)。

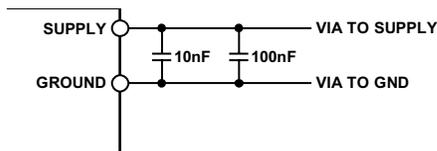


图15. 推荐的电源去耦

保持低噪声和良好的 P_{VDD} 引脚稳定性尤为重要。调节、滤波和去耦时必须十分仔细。最好为每组电路(A_{VDD} 、 D_{VDD} 、 D_{VDDIO} 、 P_{VDD} 以及ADV7280-M的 M_{VDD})提供独立的稳压电源。

某些图形控制器在激活后(有效画面期间)以及空闲时(水平和垂直同步期间)，具有极为不同的功率水平。这种差异会使输入模拟电源调节器的电压产生可以测量到的变化，从而使得调节后的模拟电源电压发生变化。通过采用另一个较为干净的电源(比如12 V电源)调节模拟电源，或者至少调节 P_{VDD} 电源可以缓解此问题。

另外，建议为整个电路板使用单接地层。经验表明，采用单接地层时噪声性能将保持不变，甚至更佳。使用多个接地层可能会产生不利影响，因为每个独立的接地层都较小，会产生较长的接地环路。

VREFN和VREFP引脚

将与VREFN和VREFP引脚有关的电路放置在尽可能靠近ADV7280/ADV7280-M的地方，并且与器件同在PCB的一侧。

数字输出(INTRQ、GPO0至GPO2)

最大程度缩短数字输出必须驱动的走线长度。更长的走线具有更高的电容，需要更多电流，从而产生更多的内部数字噪声。较短的走线可降低反射的可能性。

增加一个30 Ω 至50 Ω 串联电阻可抑制反射、降低EMI，并减少ADV7280/ADV7280-M中的电流尖峰。如果使用了串联电阻，则应将它们尽可能靠近ADV7280/ADV7280-M的引脚放置。然而，在试图将电阻靠近放置的时候，应当避免引入过孔或增加额外的输出走线长度。

如果可能的话，应将每路数字输出所必须驱动的电容量限制在15 pF以内。通过将走线保持在较短长度内，以及将输出仅与一个器件相连，便可轻松实现建议的要求。输出端加载过多电容会增加ADV7280/ADV7280-M器件内的电流瞬态，产生更多电源数字噪声。

裸露金属焊盘

ADV7280/ADV7280-M封装底部有一个裸露金属焊盘。此焊盘必须焊接至地。该裸露焊盘用于正常散热、抑制噪声，并获得机械强度方面的好处。

数字输入

ADV7280/ADV7280-M的数字输入设计为接受1.8 V信号(D_{VDDIO} 为3.3 V)，无法耐受5 V信号。如果5 V逻辑信号必须施加于解码器，则需添加额外的元器件。

ADV7280-M的MIPI输出(D0P、D0N、CLKP、CLKN)

建议MIPI的输出走线尽可能短，并位于ADV7280-M器件的同一侧PCB上。另外还建议与MIPI走线相邻的那一层采用实心层(最好是接地层)，以便提供实心参考层。

MIPI传输可工作在差分 and 单端模式下。在高速传输期间，输出对工作在差分模式下；在低功耗模式下，输出对以两个独立的单端走线工作。因此，建议将每个输出对以两个松散耦合的50 Ω 单端走线形式路由，降低低功耗模式下两条走线之间的串扰风险。

ADV7280

典型电路连接

图16提供如何连接ADV7280的示例。欲获得ADV7280评估板的详细原理图，请联系当地ADI公司的现场应用工程师，或咨询ADI公司经销商。

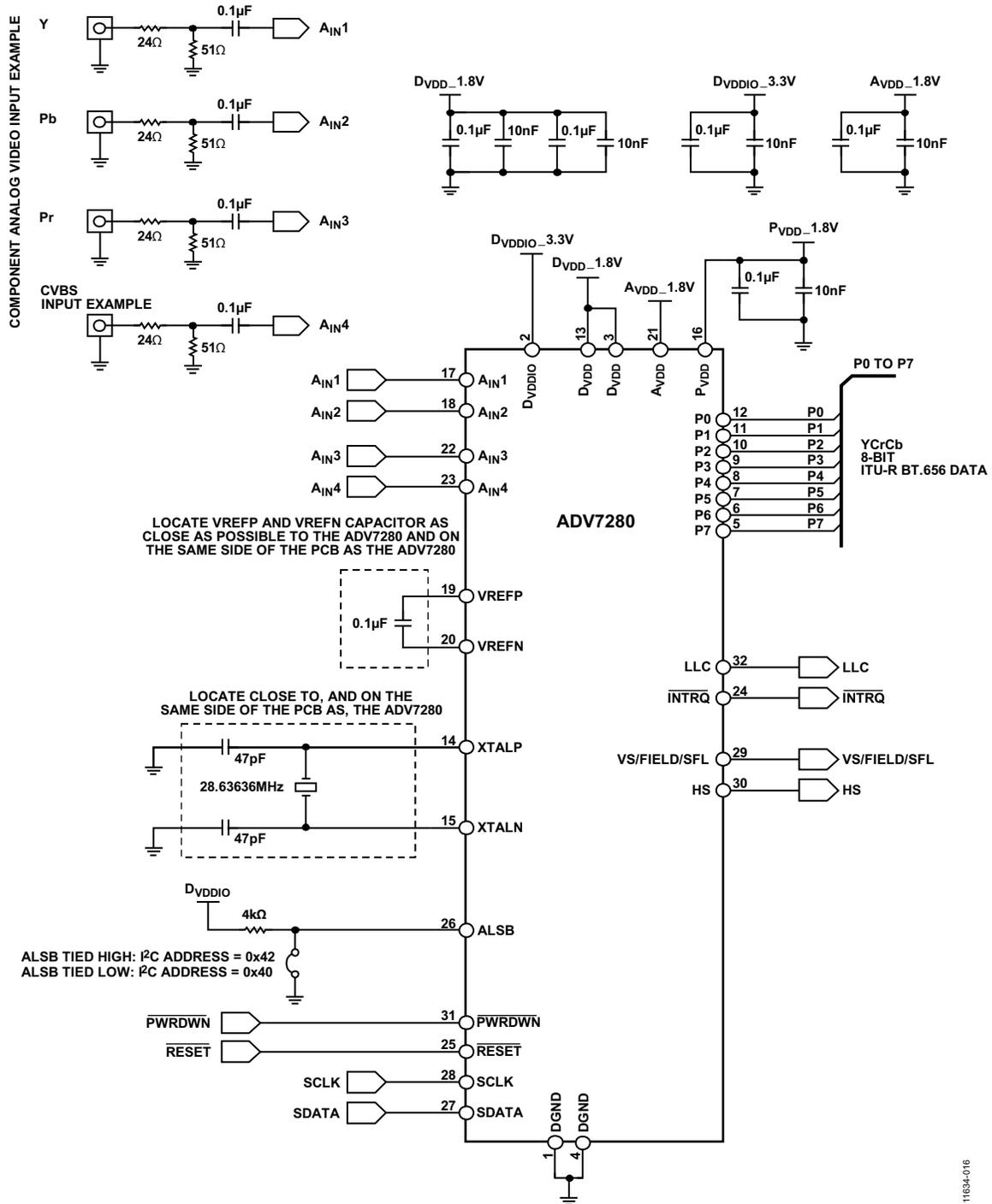


图16. ADV7280典型连接图

11634-016

图17提供如何连接ADV7280-M的示例。欲获得ADV7280-M评估板的详细原理图，请联系当地ADI公司的现场应用工程师，或咨询ADI公司经销商。

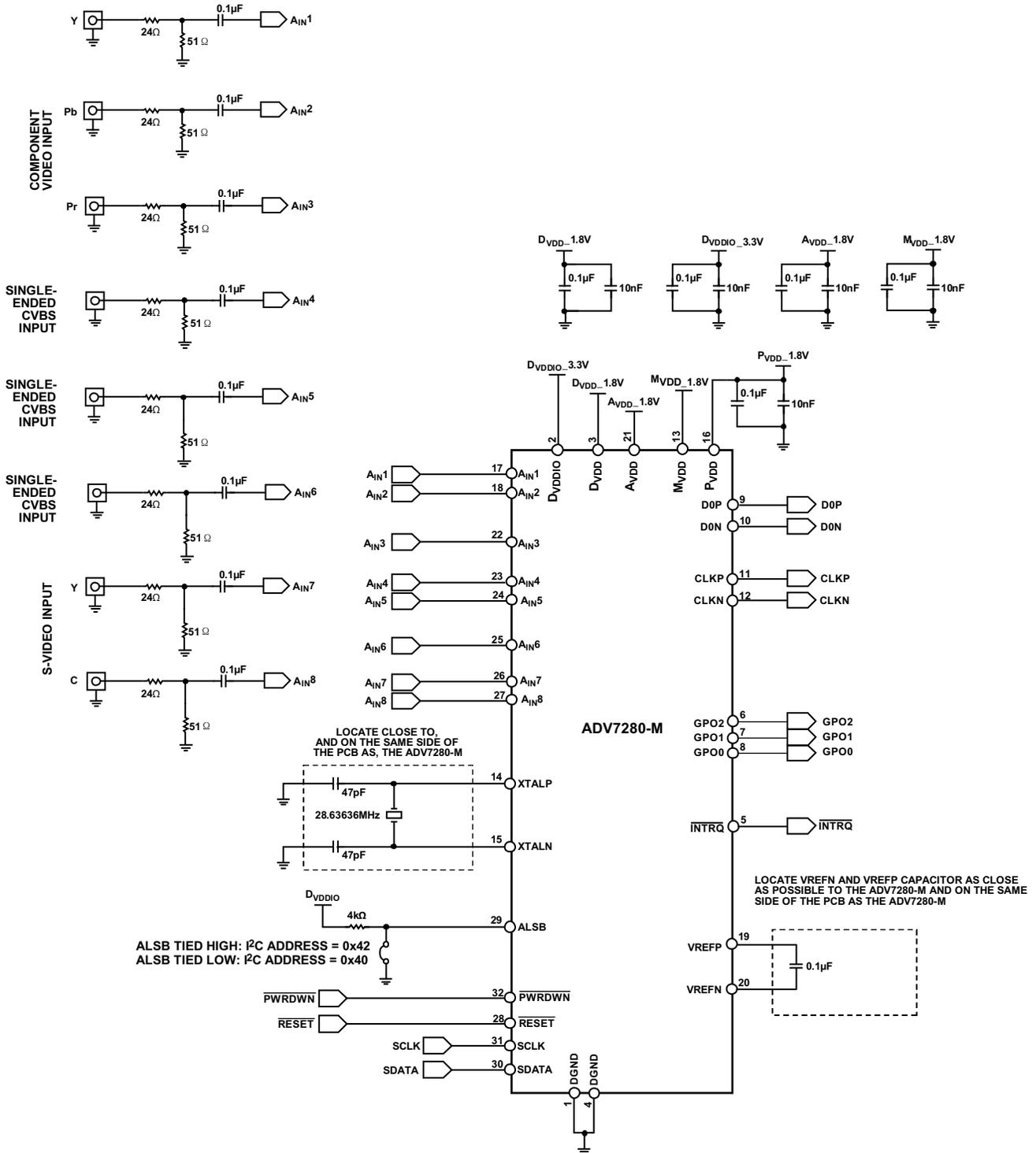
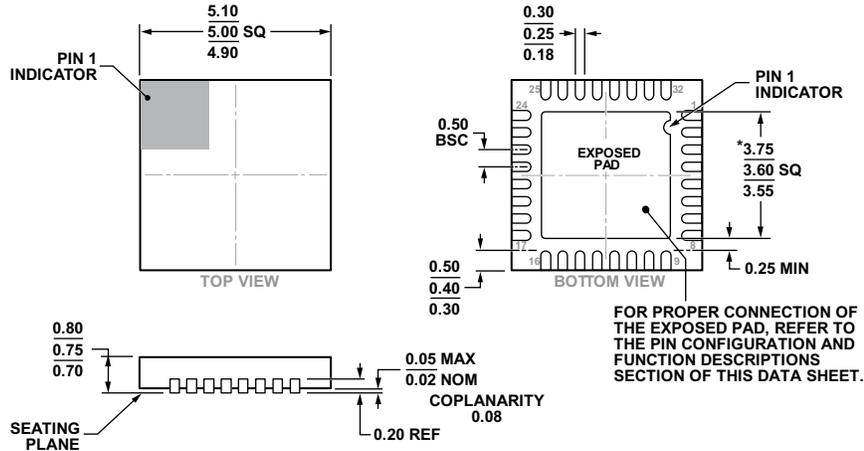


图17. ADV7280-M典型连接图

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.

图18. 32引脚引脚架构芯片级封装[LFCSP_WQ]
5 mm x 5 mm, 超薄体
(CP-32-12)
尺寸单位: mm

08-16-2010-B

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
ADV7280WBCPZ	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280WBCPZ-RL	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280BCPZ	-40°C至+85°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280BCPZ-RL	-40°C至+85°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280KCPZ	-10°C至+70°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280KCPZ-RL	-10°C至+70°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280WBCPZ-M	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280WBCPZ-M-RL	-40°C至+105°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280BCPZ-M	-40°C至+85°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280BCPZ-M-RL	-40°C至+85°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280KCPZ-M	-10°C至+70°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
ADV7280KCPZ-M-RL	-10°C至+70°C	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-12
EVAL-ADV7280EBZ		ADV7280评估板	
EVAL-ADV7280MEBZ		ADV7280-M评估板	

¹Z = 符合RoHS标准的器件。

²W = 通过汽车应用认证。

汽车应用产品

ADV7280W生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

¹C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。