



### 产品特性

- 4通道多路复用器连接LNA、PGA、AAF
- 1个直接至ADC通道
- 可编程增益放大器(PGA)
- 包含低噪声前置放大器(LNA)
- SPI可编程增益：17 dB至35 dB(6 dB步进)
- 抗混叠滤波器(AAF)
- 可编程三阶低通椭圆滤波器(LPF)：9 MHz至15 MHz
- 模数转换器(ADC)
- 12位精度，最高80 MSPS
- SNR = 67 dB
- SFDR = 68 dBc
- 低功耗：345 mW(12位、80 MSPS时)
- 低噪声：折合到输入端的电压噪声最大值为3.5 nV/√Hz
- 关断模式
- 64引脚、10 mm × 10 mm TQFP封装
- 额定温度范围：-40°C至+105°C
- 通过汽车应用认证

### 应用

- 汽车雷达
  - 自适应巡航控制
  - 防撞系统
  - 盲点检测
  - 自动泊车
  - 电子保险杠

### 概述

AD8284是一款低成本、小尺寸、灵活易用的集成模拟前端。它内置4通道差分多路复用器(mux)、带可编程增益放大器(PGA)和抗混叠滤波器(AAF)的单通道低噪声放大器(LNA)，外加一个直接连接ADC的通道，所有通道都连接到单通道12位模数转换器(ADC)。AD8284还包含一个针对高频过压状况的饱和和检测电路；若无该电路，此类状况将被AAF滤除。

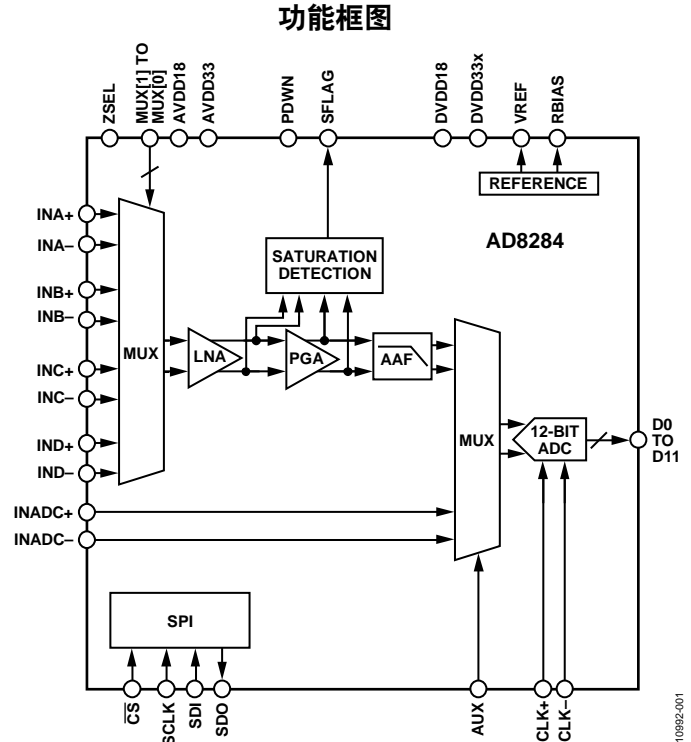


图1.

模拟通道具有17 dB至35 dB的增益范围，步进为6 dB，ADC转换速率最高可达60 MSPS。在最大增益下，所有通道折合到输入端电压噪声为3.5 nV/√Hz。通道专门针对动态性能与低功耗而优化，适合要求小封装尺寸的应用。

AD8284采用先进的CMOS工艺制造，提供10 mm × 10 mm、符合RoHS标准的64引脚TQFP封装。额定温度范围为-40°C至+105°C汽车应用温度范围。

Rev. C

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2012–2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

产品特性 .....	1	时钟抖动考虑 .....	16
应用 .....	1	SDI和SDO引脚 .....	16
功能框图 .....	1	SCLK引脚 .....	16
概述 .....	1	$\overline{\text{CS}}$ 引脚 .....	16
修订历史 .....	2	RBIAS引脚 .....	16
技术规格 .....	3	基准电压源 .....	16
交流规格 .....	3	电源和接地建议 .....	16
数字规格 .....	5	裸露焊盘散热块建议 .....	17
时钟规格 .....	6	串行端口接口(SPI) .....	18
绝对最大额定值 .....	7	硬件接口 .....	18
ESD警告 .....	7	存储器映射 .....	20
引脚配置和功能描述 .....	8	读取存储器映射表 .....	20
典型性能参数 .....	10	逻辑电平 .....	20
工作原理 .....	12	保留位置 .....	20
雷达接收路径AFE .....	12	默认值 .....	20
通道概述 .....	13	应用电路 .....	24
模数转换器 .....	15	封装和订购信息 .....	26
AUX通道 .....	15	外形尺寸 .....	26
时钟输入考虑 .....	15	订购指南 .....	26
时钟占空比考虑 .....	16	汽车应用产品 .....	26

## 修订历史

### 2014年6月 — 修订版B至修订版C

80 MSPS更改为60 MSPS .....	通篇
更改表1 .....	3
更改表3中的时钟脉冲宽度高电平参数、 时钟脉冲宽度低电平参数和数据建立时间参数， 将6.25更改为8.33 .....	6

### 2013年7月 — 修订版A至修订版B

更改表1的输入电阻和关断功耗参数 .....	3
更新“外形尺寸”部分 .....	26
更改“订购指南”部分 .....	26

### 2013年1月 — 修订版0至修订版A

更改图16 .....	14
-------------	----

### 2012年10月 — 修订版0：初始版

# 技术规格

## 交流规格

除非另有说明，AVDD18x = 1.8 V，AVDD33x = 3.3 V，DVDD18x = 1.8 V，DVDD33x = 3.3 V，1.0 V内部ADC基准源， $f_{IN} = 2.5$  MHz， $f_S = 60$  MSPS， $R_S = 50 \Omega$ ，LNA + PGA增益 = 35 dB，LPF截止频率 =  $f_{SAMPLECH}/4$ ，12位操作，温度 =  $-40^\circ\text{C}$ 至 $+105^\circ\text{C}$ ，所有规格均通过测试保证。

表1.

参数 <sup>1</sup>	测试条件/注释	最小值	典型值	最大值	单位
模拟通道特性	LNA、PGA和AAF通道				
增益	可编程		17/23/29/35		dB
增益范围			18		dB
增益误差		-1.25		+1.25	dB
输入电压范围 <sup>2</sup>	通道增益 = 17 dB		0.283		V p-p
	通道增益 = 23 dB		0.142		V p-p
	通道增益 = 29 dB		0.071		V p-p
	通道增益 = 35 dB		0.036		V p-p
输入电阻	200 $\Omega$ 输入阻抗	0.200	0.265	0.300	k $\Omega$
	200 k $\Omega$ 输入阻抗	160	200	240	k $\Omega$
输入电容 <sup>2</sup>			7		pF
折合到输入端电压噪声 <sup>2</sup>	最大增益、1 MHz时			1.85	nV/ $\sqrt{\text{Hz}}$
	最小增益、1 MHz时			6.03	nV/ $\sqrt{\text{Hz}}$
噪声系数 <sup>2</sup>	最大增益， $R_S = 50 \Omega$ ，末端接		7.1		dB
	最大增益， $R_S = R_{IN} = 50 \Omega$		12.7		dB
输出失调	增益为17 dB	-60		+60	LSB
	增益为35 dB	-250		+250	LSB
AAF低通滤波器截止频率	-3 dB，可编程		9.0至15.0		MHz
容差	滤波器自动调谐后	-10	$\pm 5$	+10	%
AAF阻带衰减 <sup>2</sup>	三阶椭圆滤波器				
	2 $\times$ 截止频率		30		dB
	3 $\times$ 截止频率		40		dB
群延迟偏差 <sup>2</sup>	滤波器设置为9 MHz		400		ns
1 dB压缩 <sup>2</sup>	相对于输出		11.9		dBm
饱和标志响应时间	饱和事件与饱和标志变为高电平之间的时间 (1 dB过驱)		30	100	ns
	饱和事件与饱和标志变为低电平之间的时间 增益为29 dB	25	40		ns
饱和标志精度					
关	PGA电压低于2 V p-p		2		V p-p
开	PGA电压高于2.25 V p-p		2.25		V p-p
多路复用器 <sup>2</sup>					
导通电阻			50		$\Omega$
开关时间			200		ns
电源					
AVDD18x <sup>2</sup>		1.7	1.8	1.9	V
AVDD33x <sup>2</sup>		3.1	3.3	3.5	V
DVDD18x <sup>2</sup>		1.7	1.8	1.9	V
DVDD33x <sup>2</sup>		3.1	3.3	3.5	V
$I_{AVDD18}$	$f_S = 60$ MSPS			54	mA
$I_{AVDD33}$	$f_S = 60$ MSPS			65	mA
$I_{DVDD18}$	$f_S = 60$ MSPS			15	mA
$I_{DVDD33}$	$f_S = 60$ MSPS			2	mA
总功耗	无信号，典型电源电压 $\times$ 最大电源电流， 不包括输出电流			345	mW

# AD8284

参数 <sup>1</sup>	测试条件/注释	最小值	典型值	最大值	单位
关断功耗	$T_A = -25^\circ\text{C}$ 至 $+105^\circ\text{C}$		2.5	4.0	mW
电源抑制比(PSRR) <sup>2</sup>	$T_A = -40^\circ\text{C}$ 至 $+25^\circ\text{C}$ 相对于输入		2.5	8.0	mW
模数转换器					
分辨率 <sup>2</sup>			12		位
最大采样速率			60		MSPS
信噪比(SNR)	$f_{\text{IN}} = 1 \text{ MHz}$		67		dB
信纳比(SINAD) <sup>2</sup>			66		dB
SNRFS <sup>2</sup>			68		dB
差分非线性(DNL)	保证无失码			1	LSB
积分非线性(INL)	$f_s = 60 \text{ MSPS}$		4	10	LSB
有效位数(ENOB) <sup>2</sup>			10.67		LSB
ADC输出特性 <sup>2</sup>					
最大容性负载	每位		20		pF
容性负载下 $I_{\text{D}V\text{DD}33}$ 峰值电流 <sup>2</sup>	驱动20 pF负载时的每位峰值电流； 需要时可通过SPI端口编程			40	mA
ADC基准电压					
输出电压误差	$V_{\text{REF}} = 1.000 \text{ V}$			$\pm 20$	mV
负载调整率	1.0 mA时 $V_{\text{REF}} = 1.000 \text{ V}$		2		mV
电流输出		-1		+1	mA
输入电阻			6		k $\Omega$
全通道特性	LNA、PGA、AAF和ADC				
SNRFS	$f_{\text{IN}} = 1 \text{ MHz}$ , $-10 \text{ dBFS}$ 输出 增益 = 17 dB, $f_s = 60 \text{ MSPS}$ 增益 = 23 dB, $f_s = 60 \text{ MSPS}$ 增益 = 29 dB, $f_s = 60 \text{ MSPS}$ 增益 = 35 dB, $f_s = 60 \text{ MSPS}$	60	64		dBFS
SINAD <sup>2</sup>	$f_{\text{IN}} = 1 \text{ MHz}$ 增益为17 dB 增益为23 dB 增益为29 dB 增益为35 dB		62		dB
无杂散动态范围(SFDR)	$f_{\text{IN}} = 1 \text{ MHz}$ , $-10 \text{ dBFS}$ 输出 增益 = 17 dB, $f_s = 60 \text{ MSPS}$ 增益 = 23 dB, $f_s = 60 \text{ MSPS}$ 增益 = 29 dB, $f_s = 60 \text{ MSPS}$ 增益 = 35 dB, $f_s = 60 \text{ MSPS}$	62	68		dBc
谐波失真 <sup>2</sup>	$f_{\text{IN}} = 1 \text{ MHz}$ , $-10 \text{ dBFS}$ 输出				
二次谐波	增益为17 dB 增益为35 dB		-70		dBc
三次谐波	增益为17 dB 增益为35 dB		-66		dBc
IM3失真	$f_{\text{IN}1} = 1 \text{ MHz}$ , $f_{\text{IN}2} = 1.1 \text{ MHz}$ , $-1 \text{ dBFS}$ , 增益 = 35 dB		-69		dBc
增益响应时间			600		ns
过驱恢复时间			200		ns

<sup>1</sup> 如需了解完整的定义和测试方法，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

<sup>2</sup> 仅通过设计保证。

**数字规格**

除非另有说明，AVDD18x = 1.8 V，AVDD33x = 3.3 V，DVDD18x = 1.8 V，DVDD33x = 3.3 V，1.00 V内部ADC基准源， $f_{IN} = 2.5$  MHz， $f_s = 60$  MSPS， $R_s = 50 \Omega$ ，LNA + PGA增益 = 35 dB，LPF截止频率 =  $f_{SAMPLECH}/4$ ，12位操作，温度 = -40°C至+105°C，所有规格均通过测试保证。

**表2.**

参数 <sup>1</sup>	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-) <sup>2</sup>					
逻辑兼容		CMOS/LVDS/LVPECL			
差分输入电压 <sup>3</sup>	全	250			mV p-p
输入共模电压	全		1.2		V
输入电阻(差分)	25°C		20		kΩ
输入电容	25°C		1.5		pF
逻辑输入(PDWN、SCLK、AUX、MUX[0]、MUX[1]、ZSEL) <sup>2</sup>					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		0.5		pF
逻辑输入( $\overline{CS}$ 逻辑输入) <sup>2</sup>					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		70		kΩ
输入电容	25°C		0.5		pF
逻辑输入(SDI) <sup>2</sup>					
逻辑1电压	全	1.2		DVDD33x + 0.3	V
逻辑0电压	全	0		0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输出(SDO)					
逻辑1电压( $I_{OH} = 800 \mu A$ )	全	3.0			V
逻辑0电压( $I_{OL} = 50 \mu A$ )	全			0.3	V
逻辑输出(D11至D0、SFLAG)					
逻辑1电压( $I_{OH} = 2$ mA)	全	3.0			V
逻辑0电压( $I_{OL} = 2$ mA)	全			0.3	V

<sup>1</sup> 如需了解完整的定义和测试方法，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

<sup>2</sup> 仅通过设计保证。

<sup>3</sup> 仅针对LVDS和LVPECL。

# AD8284

## 时钟规格

除非另有说明，AVDD18x = 1.8 V，AVDD33x = 3.3 V，DVDD18x = 1.8 V，DVDD33x = 3.3 V，1.00 V内部ADC基准源， $f_{IN} = 2.5$  MHz， $f_s = 60$  MSPS， $R_s = 50 \Omega$ ，LNA + PGA增益 = 35 dB，LPF截止频率 =  $f_{SAMPLECH} / 4$ ，12位操作，温度 =  $-40^\circ\text{C}$ 至 $+105^\circ\text{C}$ 。所有规格仅通过设计保证。

表3.

参数 <sup>1</sup>	符号	温度	最小值	典型值	最大值	单位
时钟						
时钟速率		全	10		60	MSPS
60 MSPS时高电平时钟脉冲宽度	$t_{EH}$	全		8.33		ns
60 MSPS时低电平时钟脉冲宽度	$t_{EL}$	全		8.33		ns
40 MSPS时高电平时钟脉冲宽度	$t_{EH}$	全		12.5		ns
40 MSPS时低电平时钟脉冲宽度	$t_{EL}$	全		12.5		ns
输出参数						
60 MSPS传播延迟	$t_{PD}$	全		6		ns
上升时间	$t_r$	全		1.9		ns
下降时间	$t_f$	全		1.2		ns
60 MSPS数据建立时间	$t_{DS}$	全		8.33		ns
60 MSPS数据保持时间	$t_{DH}$	全		6.0		ns
40 MSPS数据建立时间	$t_{DS}$	全		18		ns
40 MSPS数据保持时间	$t_{DH}$	全		6		ns
流水线延迟时间		全		7		时钟周期

<sup>1</sup> 如需了解完整的定义和测试方法，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

## 时序和开关图

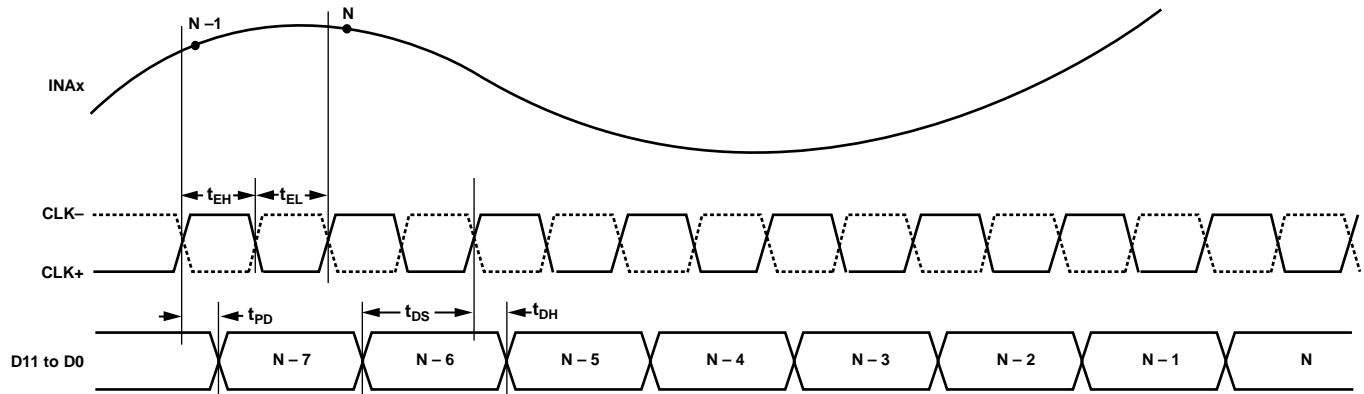


图2. 时钟规格时序图

10692-002

## 绝对最大额定值

表4.

参数	额定值
电气	
AVDD18、AVDD18ADC至AGND	-0.3V至+2.0V
AVDD33、AVDD33REF至AGND	-0.3V至+3.9V
DVDD18、DVDD18CLK至AGND	-0.3V至+2.0V
DVDD33CLK、DVDD33DRV和 DVDD33SPI至AGND	-0.3V至+3.9V
模拟输入	
INx+、INx-至AGND	-0.3V至 +3.9V
辅助输入	
INADC+、INADC-至AGND	-0.3V至+2.0V
数字输出(D11至D0、SDO) 和SDI至AGND	-0.3V至+3.9V
CLK+、CLK-至AGND	-0.3V至+3.9V
PDWN、SCLK、 $\overline{CS}$ 、AUX、ZSEL至AGND	-0.3V至+3.9V
RBIAS、VREF至AGND	-0.3V至+2.0V
环境	
工作温度范围(环境)	-40°C至 +105°C
存储温度范围(环境)	-65°C至+150°C
最高结温	150°C
引脚温度(焊接, 10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

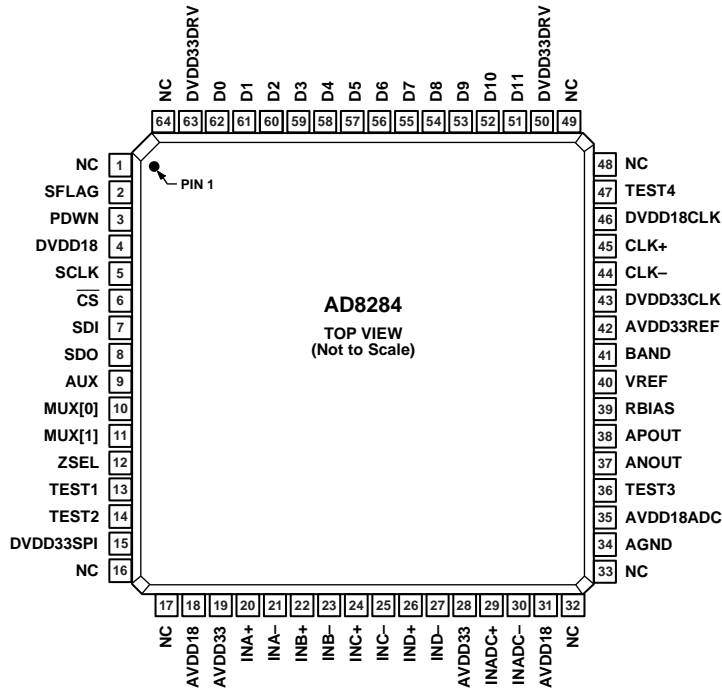
## ESD警告



## ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



- NOTES
1. TIE THE EXPOSED PAD ON THE BOTTOM SIDE TO THE ANALOG GROUND PLANE.
  2. NC = NO CONNECTION. TIE NC TO ANY POTENTIAL.

10992-203

图3. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	说明
1	NC	不连接。NC可连接至任何电位。
2	SFLAG	饱和标志。
3	PDWN	完全关断。PDWN为逻辑高电平时，禁止SPI并关断器件；逻辑低电平时允许通过SPI选择。
4	DVDD18	1.8 V数字电源。
5	SCLK	串行时钟。
6	$\overline{CS}$	片选。
7	SDI	串行数据输入。
8	SDO	串行数据输出。
9	AUX	辅助通道。AUX为逻辑高电平时，AUX通道切换至ADC (INADC+/INADC-)。
10	MUX[0]	复用通道选择的数字控制。
11	MUX[1]	复用通道选择的数字控制。
12	ZSEL	输入阻抗选择。ZSEL为逻辑高电平时，禁止SPI并将输入阻抗设置为200 kΩ；逻辑低电平时允许通过SPI选择。
13	TEST1	测试。勿使用TEST1引脚；应将TEST1接地。
14	TEST2	测试。勿使用TEST2引脚；应将TEST2接地。
15	DVDD33SPI	3.3 V数字电源，SPI端口。
16	NC	不连接。NC可连接至任何电位。
17	NC	不连接。NC可连接至任何电位。
18	AVDD18	1.8 V模拟电源。
19	AVDD33	3.3 V模拟电源。
20	INA+	通道A的正复用模拟输入。
21	INA-	通道A的负复用模拟输入。
22	INB+	通道B的正复用模拟输入。
23	INB-	通道B的负复用模拟输入。



引脚编号	引脚名称	说明
24	INC+	通道C的正复用模拟输入。
25	INC-	通道C的负复用模拟输入。
26	IND+	通道D的正复用模拟输入。
27	IND-	通道D的负复用模拟输入。
28	AVDD33	3.3 V模拟电源。
29	INADC+	备选通道的正模拟输入(仅限ADC)。
30	INADC-	备选通道的负模拟输入(仅限ADC)。
31	AVDD18	1.8 V模拟电源。
32	NC	不连接。NC可连接至任何电位。
33	NC	不连接。NC可连接至任何电位。
34	AGND	地。
35	AVDD18ADC	1.8 V模拟电源。
36	TEST3	测试。勿使用TEST3引脚；应将TEST3接地。
37	ANOUT	模拟输出。ANOUT仅用于调试目的。ANOUT应保持浮空。
38	APOUT	模拟输出。APOUT仅用于调试目的。APOUT应保持浮空。
39	RBIAS	外部电阻。RBIAS引脚设置ADC内核偏置电流。
40	VREF	基准电压输入/输出。
41	带	带隙电压。BAND仅用于调试目的。BAND应保持浮空。
42	AVDD33REF	3.3 V模拟电源。
43	DVDD33CLK	3.3 V数字电源。
44	CLK-	时钟输入(-)。
45	CLK+	时钟输入(+)
46	DVDD18CLK	1.8 V数字电源。
47	TEST4	测试。勿使用TEST4引脚；应将TEST4接地。
48	NC	不连接。NC可连接至任何电位。
49	NC	不连接。NC可连接至任何电位。
50	DVDD33DRV	3.3 V数字电源。
51	D11	ADC数据输出(MSB)。
52	D10	ADC数据输出。
53	D9	ADC数据输出。
54	D8	ADC数据输出。
55	D7	ADC数据输出。
56	D6	ADC数据输出。
57	D5	ADC数据输出。
58	D4	ADC数据输出。
59	D3	ADC数据输出。
60	D2	ADC数据输出。
61	D1	ADC数据输出。
62	D0	ADC数据输出(LSB)。
63	DVDD33DRV	3.3 V数字电源。
64	NC	不连接。NC可连接至任何电位。
	EP	裸露焊盘。将底部裸露焊盘接到模拟接地层。

## 典型性能参数

AVDD18x = 1.8 V, AVDD33x = 3.3 V, T<sub>A</sub> = 25°C, f<sub>S</sub> = 60 MSPS, R<sub>IN</sub> = 200 kΩ, V<sub>REF</sub> = 1.0 V。

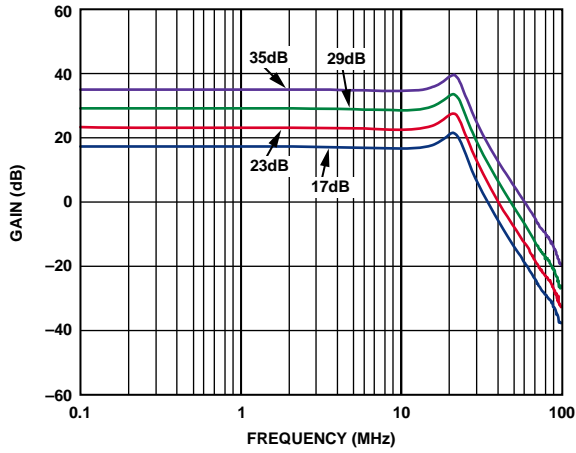


图4. 通道增益与频率的关系

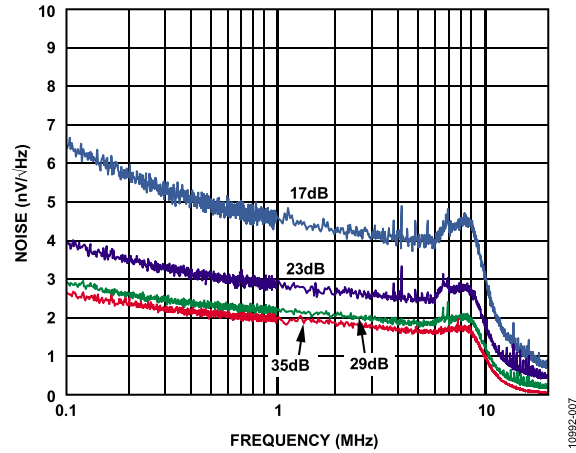


图7. 短路时折合到输入端的噪声与频率的关系

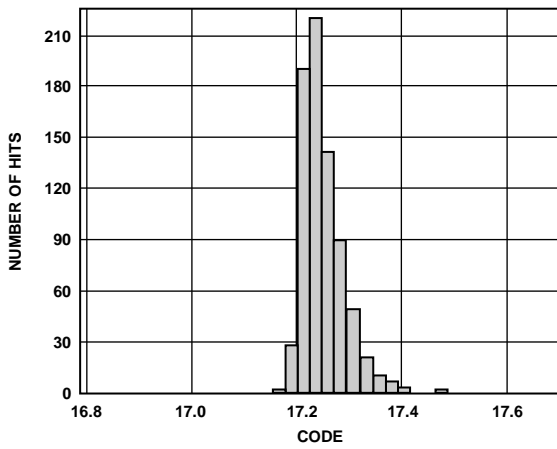


图5. 增益直方图(增益 = 17 dB)

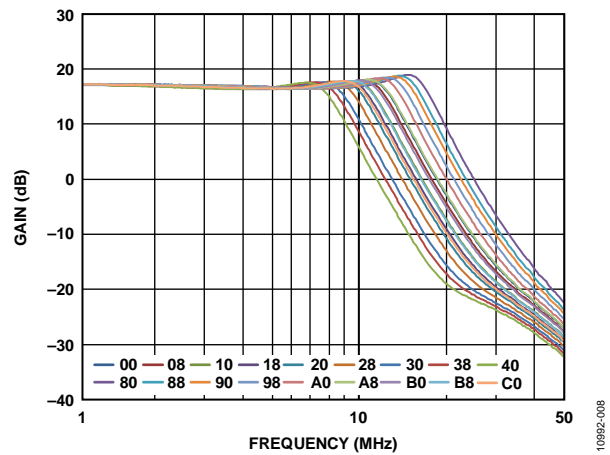


图8. 滤波器频率响应

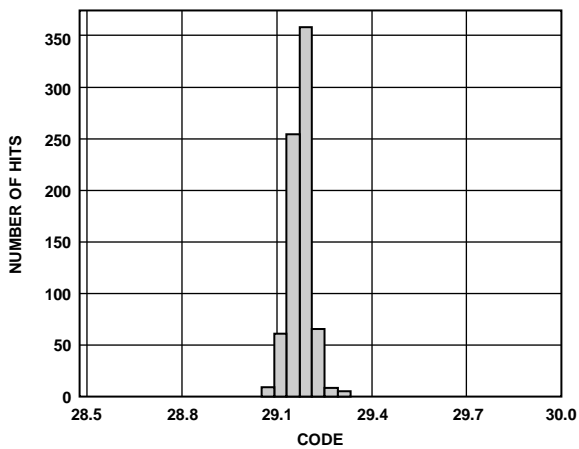


图6. 增益直方图(增益 = 29 dB)

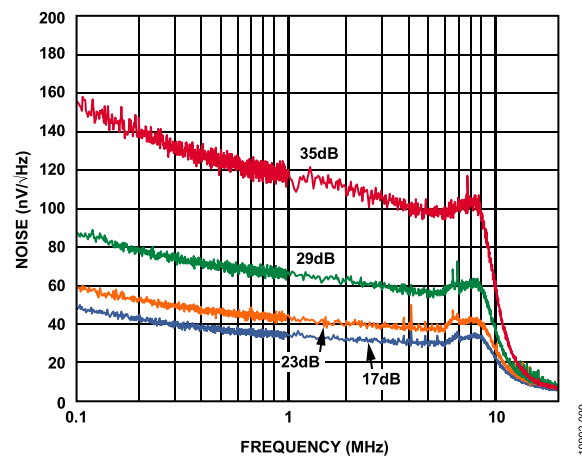


图9. 短路时折合到输出端的噪声与频率的关系

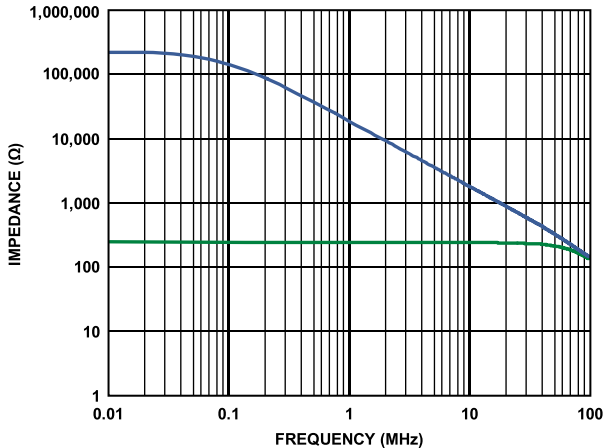


图10.  $R_{IN}$  与频率的关系

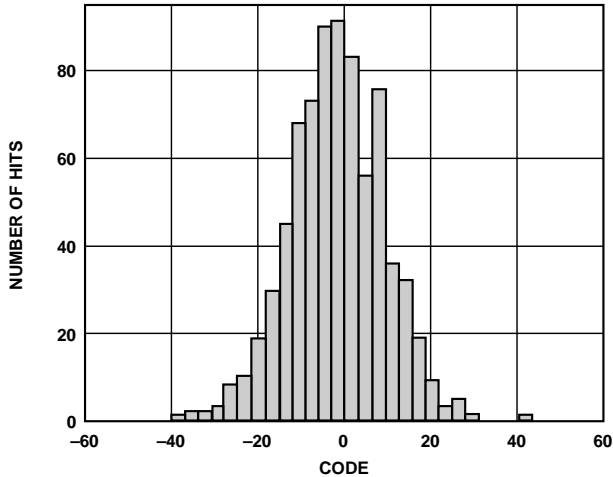


图12. 通道失调分布(增益 = 17 dB)

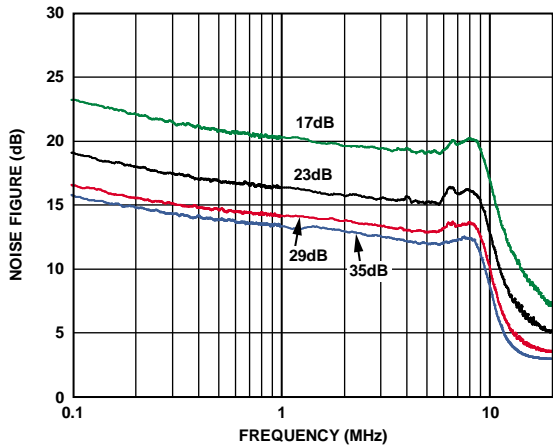


图11. 噪声系数与频率的关系

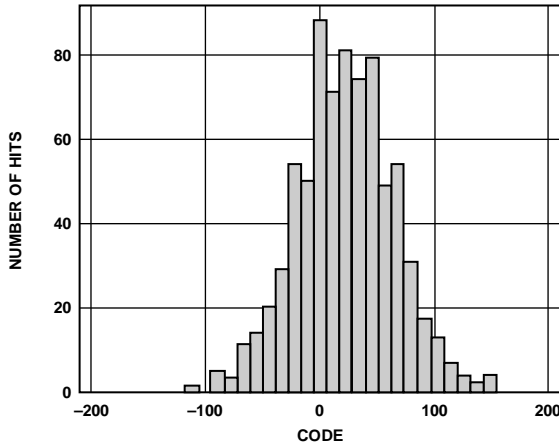


图13. 通道失调分布(增益 = 35 dB)

## 工作原理

### 雷达接收路径AFE

AD8284的主要应用是基带信号带宽要求最高达15 MHz的高速斜坡、调频、连续波(HSR-FMCW)雷达。图14所示为HSR-FMCW雷达系统的简化功能框图。

信号链需要多个通道，每个通路由至低噪声放大器(LNA)、可编程增益放大器(PGA)、抗混叠滤波器(AAF)和模数转换器(ADC)。AD8284在单个10mm × 10mm TQFP封装中提供所有这些关键元件。

各元件的性能根据HSR-FMCW雷达系统的要求而设计。举例来说，LNA噪声、PGA增益范围、AAF截止特性、ADC采样速率和分辨率就是其中的一些性能指标。

AD8284的模拟信号链前方有一个多路复用器(mux)，这样就不必为每个通道配置一个AFE，从而节省成本。多路复用器可通过mux引脚或SPI端口在活动输入之间切换。

AD8284还内置一个饱和检测电路，用于指示LNA或PGA信号不再位于线性区间的情况。该特性有助于检测故障状况，否则故障状况可能会被AAF滤除。

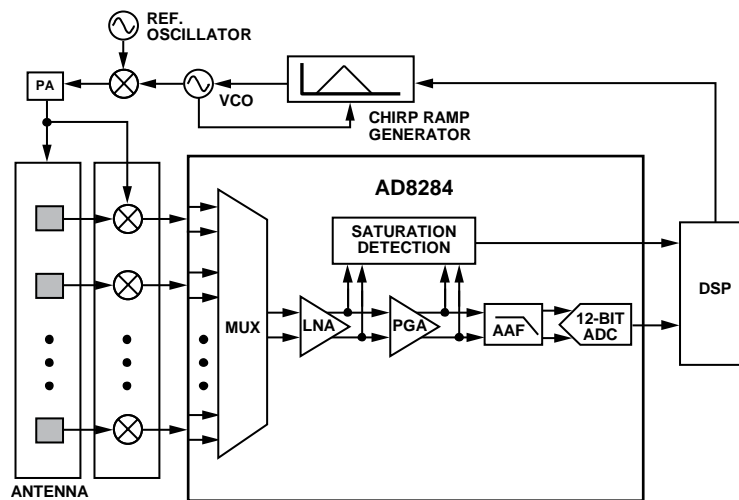


图14. HSR-FMCW雷达系统简化功能框图

10992-014

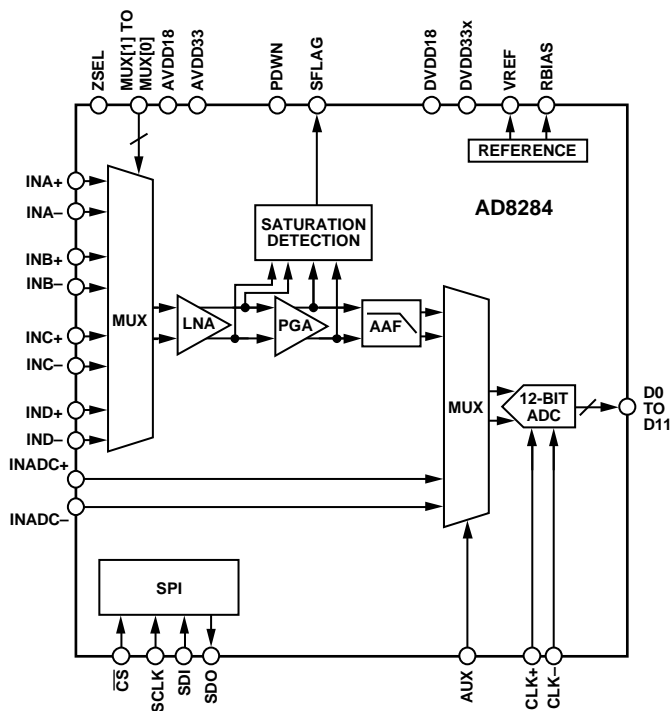


图15. 简化功能框图

## 通道概述

AD8284的信号路径中包括一个四路输入多路复用器、一个LNA、一个PGA和一个AAF，如图15所示。信号链输入阻抗可以是200  $\Omega$ 或200 k $\Omega$ 。PGA具有可选增益，导致通道增益范围为17 dB至35 dB。AAF具有三极点椭圆响应和9 MHz至15 MHz的可选截止频率。信号路径为全差分路径，能够实现最大信号摆幅，并减少偶数阶失真。LNA设计采用差分或单端信号源驱动。

## 多路复用器

AD8284输入端有一个多路复用器(mux)，可将最多4个不同通道切换到信号链。活动复用通道由SPI端口或利用外部引脚(MUX[0]和MUX[1])控制。输入代码与所选复用通道之间的关系如表6所示。

表6. 选择活动ADC通道的数字输入值

AUX	MUX[1]	MUX[0]	活动通道
1	X	X	AUX
0	0	0	A
0	0	1	B
0	1	0	C
0	1	1	D

外部引脚是选择活动复用通道的默认方法，但SPI寄存器0x0C也可控制多路复用器。寄存器0x0C的位3指定多路复用器是通过SPI还是外部引脚控制。

## 低噪声放大器

良好的噪声性能依赖于信号链始端的专有超低噪声LNA。LNA可将信号链中随后的PGA和AAF的噪声贡献降至最低。输入阻抗可以是200  $\Omega$ 或200 k $\Omega$ ，其值可通过SPI端口或ZSEL引脚选择。

LNA支持高达5.0 V p-p的差分输出电压，相对于1.5 V共模电压的正负偏移为 $\pm 1.25$  V。输出饱和电平是固定的，因此通道增益可设定饱和前的最大输入信号。

借助低值反馈电阻和输出级的电流驱动能力，在通道增益为35 dB时，LNA可以实现3.5 nV/ $\sqrt{\text{Hz}}$ 的低折合到输入端噪声电压。由于采用全差分拓扑和负反馈，二阶失真减至最低。差分信号使得每个输出端的摆幅变小，从而进一步降低三阶失真。

## 建议

为实现尽可能最佳的噪声性能，必须让正负输入端的阻抗匹配。阻抗匹配可确保信号路径抑制任何共模噪声。

### 抗混叠滤波器

抗混叠滤波器(AAF)使用极点和零点的组合来形成一个三阶椭圆滤波器。椭圆滤波器用来在截止频率之后提供陡峭的滚降。在截止频率之后的第一个倍频程,这种架构可实现每倍频程-30 dB的滚降。

该滤波器采用片内调谐来调整内部电阻和电容,进而设置所需的截止频率。这种调谐方法可降低电阻和电容的标准IC工艺容差所引起的截止频率差异。

-3 dB低通滤波器的默认截止频率为 $1/3 \times 1.125 \times \text{ADC}$ 采样时钟频率。该设置可更改为ADC采样时钟频率的1/4。通过SPI,也可在这些频率的0.75至1.25倍(增量为0.0625倍)范围内调整截止频率。

调谐通常处于关闭状态,需由用户通过SPI端口启动。滤波器调谐至特定频率后,将保持该频率,直至再次启动调谐过程。调谐过程最多需要2048个时钟周期。

调谐之前,滤波器默认使用最高频率设置。为使时钟频率与截止频率的比值保持预期值,应在初始上电、通过SPI重

新设置滤波器截止频率比例或更改ADC采样速率之后调谐滤波器。建议在空闲时间偶尔重新调整,以补偿温度漂移。

截止频率范围可以是9 MHz到15 MHz,举例如下:

- ADC时钟: 40 MHz
- 默认调谐截止频率 =  $(40 \text{ MHz} \div 3) \times 1.125 = 15 \text{ MHz}$

完成自动调谐周期需要数个时钟周期。在此期间,复用通道A至D不工作,但可使用AUX输入。

### 饱和和标志

饱和标志功能检测可能会把LNA或PGA推到线性区间之外的过压状况。当PGA输出电压超过2.0 V p-p或LNA输出电压超过4.0 V p-p时,该标志置位。此功能对检测可能被AAF滤除(因而无法通过监控ADC输出来检测)的饱和事件特别有用。

饱和标志置位时,在饱和事件结束后,它还会保持置位至少25 ns。

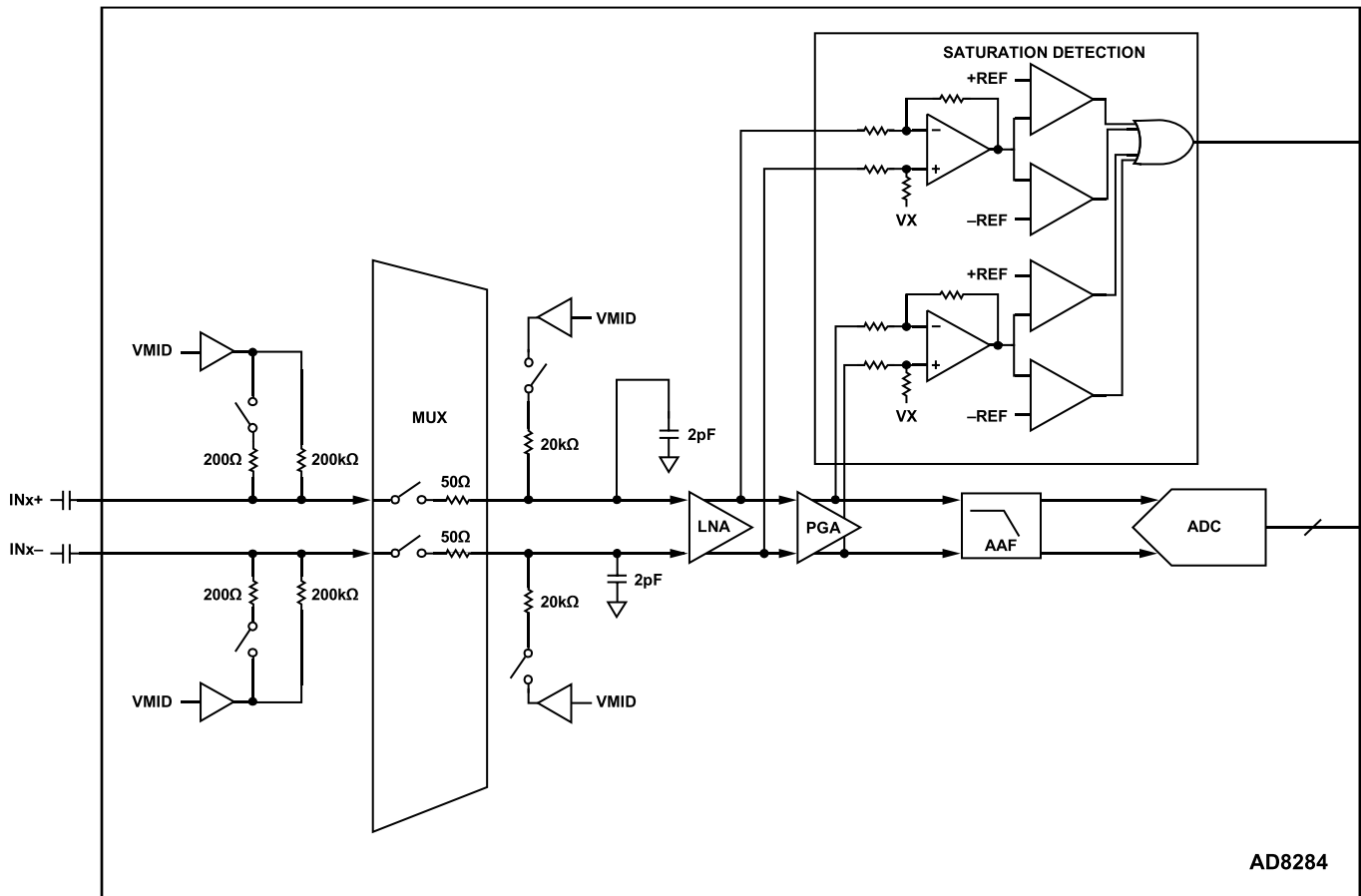


图16. 模拟通道简化功能框图

## 模数转换器

AD8284采用流水线式ADC架构。各级的量化输出组合在一起，在数字校正逻辑中形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。输出级模块能够实现数据对准，并且能将数据传输到输出缓冲器。

## AUX通道

利用复用设置选择AUX通道时，AD8284允许直接访问ADC。选择该通道时，ADC的输入可通过INADC+和INADC-引脚访问。为确保满量程差分2.0 V p-p输入信号有足够的余量，应利用0.9 V共模电压偏置INADC±引脚。

## 时钟输入考虑

为了充分发挥芯片性能，应利用一个差分信号作为AD8284采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。这两个引脚有内部偏置，无需其它偏置。

图17显示了为AD8284提供时钟信号的首选方法。使用RF变压器，可以将低抖动时钟源，如VFAC3-BHL (50 MHz) Valpey Fisher振荡器从单端转换成差分。跨接在次级变压器上的背对背肖特基二极管可以将输入到AD8284中的时钟幅度限制为约0.8 V p-p差分信号。这样，既可以防止时钟的大电压摆幅馈通至AD8284的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

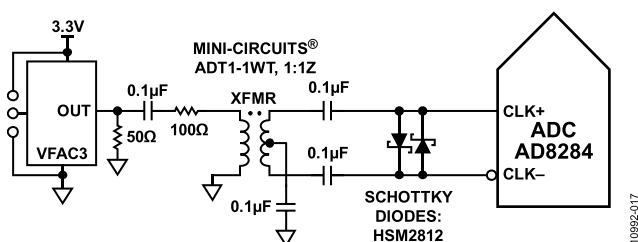
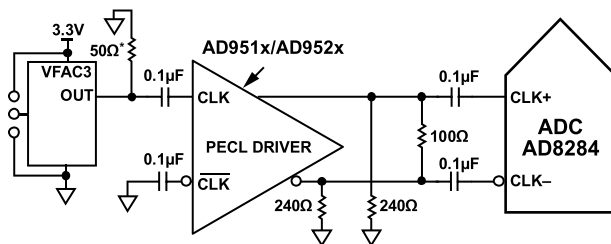


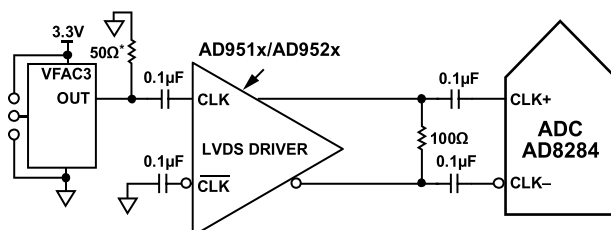
图17. 变压器耦合的差分时钟

如果有低抖动的时钟源，那么，另一种方法是将差分PECL或LVDS信号交流耦合到采样时钟输入引脚，如图18和图19所示。AD951x/AD952x时钟驱动器系列具有出色的抖动性能。



\*50Ω RESISTOR IS OPTIONAL.

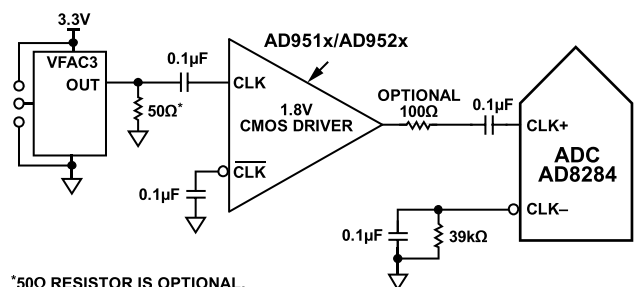
图18. 差分PECL采样时钟



\*50Ω RESISTOR IS OPTIONAL.

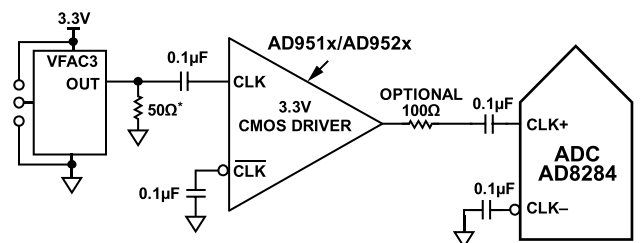
图19. 差分LVDS采样时钟

在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过与39 kΩ电阻并联的0.1 μF电容旁路接地（见图20）。虽然CLK+输入电路电源通过引脚46 (DVDD18CLK)提供，但该输入电路可支持高达3.3 V的输入电压，因此，驱动逻辑的电压选择非常灵活。AD951x/AD952x系列器件可用来提供3.3 V输入（见图21）。这种情况下无需39 kΩ电阻。



\*50Ω RESISTOR IS OPTIONAL.

图20. 单端1.8 V CMOS采样时钟



\*50Ω RESISTOR IS OPTIONAL.

图21. 单端3.3 V CMOS采样时钟



# AD8284

## 时钟占空比考虑

典型的高速ADC利用时钟的两个边沿来产生各种内部时序信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。[AD8284](#)内置一个占空比稳定器(DCS)，可对非采样边沿进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，时钟输入占空比范围非常广，且不会影响[AD8284](#)的性能。

当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。但是，有些应用可能要求关闭DCS功能。如果是这样，则在这种模式下工作时，应注意动态范围性能可能会受影响。有关使用此功能的更多详细信息，请参阅表9。

占空比稳定器利用延迟锁定环(DLL)创建非采样边沿。因此，一旦采样频率发生变化，DLL就需要大约8个时钟周期来获取并锁定新的速率。

## 时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率( $f_A$ )下，仅由孔径抖动( $t_j$ )造成的信噪比(SNR)下降计算公式如下：

$$\text{SNR下降幅度} = 20 \times \log 10[1/2 \times \pi \times f_A \times t_j]$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动)的均方根。中频欠采样应用对抖动尤其敏感。

当孔径抖动可能影响[AD8284](#)的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动、晶控振荡器为最佳时钟源，如Valpey Fisher VFAC3系列。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法的有序步骤)，则需要最后在原始时钟按上述步骤进行重定时。

如需深入了解与ADC相关的抖动性能信息，请参阅[应用笔记AN-501](#)和[AN-756](#)。

## SDI和SDO引脚

SDI和SDO引脚用于运行SPI。SDI引脚内置30 k $\Omega$ 下拉电阻，可拉低该引脚。此引脚兼容1.8 V和3.3 V电压。SDO输出引脚为3.3 V逻辑。

## SCLK引脚

SCLK引脚用于运行SPI。它内置30 k $\Omega$ 下拉电阻，可拉低该引脚。此引脚兼容1.8 V和3.3 V电压。

## CS引脚

CS引脚用于运行SPI。它内置70 k $\Omega$ 上拉电阻，可拉高该引脚。此引脚兼容1.8 V和3.3 V电压。

## RBIAS引脚

为了设置ADC的内核偏置电流，应在RBIAS引脚上串联一个接地电阻(标称值10.0 k $\Omega$ )。建议使用10.0 k $\Omega$ 电阻，若使用其它电阻作为RBIAS会降低器件的性能。因此，要实现稳定的性能，至少应使用1.0%容差的电阻。

## 基准电压源

[AD8284](#)内置稳定、精确的0.5 V基准电压源。基准电压在内部放大2倍，将 $V_{REF}$ 设置为1.0 V，因此ADC的满量程差分输入范围为2.0 V p-p。 $V_{REF}$ 默认为内部设置，但也可以用1.0 V外部基准电压源驱动VREF引脚，以便提高精度。不过，[AD8284](#)不支持低于2.0 V p-p的ADC满量程范围。

对VREF引脚应用去耦电容时，应采用低ESR陶瓷电容。这些电容应靠近基准引脚，并与[AD8284](#)处于同一层PCB。VREF引脚应该有一个0.1  $\mu$ F电容和一个1  $\mu$ F电容并联至模拟地。建议ADC采用这些电容值以使信号正确建立并获得下一个有效采样。

## 电源和接地建议

当连接电源至[AD8284](#)时，建议使用两个独立的1.8 V电源和两个独立的3.3 V电源：一个用于模拟1.8 V (AVDD18x)，一个用于数字1.8 V (DVDD18x)，一个用于模拟3.3 V (AVDD33x)，一个用于数字3.3 V (DVDD33x)。如果仅为模拟和数字部分(例如AVDD18x和DVDD18x)提供一个电源，则应先连接到AVDD18x，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再连接到DVDD18x。模拟和数字3.3 V电源同样如此。用户应针对所有电源使用多个去耦电容以适用于高频和低频。去耦电容应放置在接近印刷电路板(PCB)入口点和接近[AD8284](#)的位置，并尽可能缩短走线长度。

12个电源引脚分为四个电源域：AVDD18、AVDD33、DVDD18和DVDD33。同一域内的各引脚应同时上电，但不同域可以独立上电。

[AD8284](#)仅需要一个PCB接地层。只要对PCB的模拟、数字和时钟部分进行适当的去耦和巧妙的分隔，就能轻松实现最佳性能。



### 裸露焊盘散热块建议

为获得最佳的AD8284电气性能和热性能，必须将器件底部的裸露焊盘连接至低噪声模拟地。PCB上裸露的连续铜层应与AD8284的裸露焊盘(引脚0)匹配。铜层上应有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。

为了最大程度地实现器件与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层或阻焊膜，以便将连续铜层划分为多个均等的部分。这样，在回流焊过程中，可在PCB与器件之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在AD8284与PCB之间有一个连接点。有关封装的更多信息和更多PCB布局示例，请参考[应用笔记AN-772](#)。

## 串行端口接口(SPI)

AD8284串行端口接口允许用户利用芯片内部的一个结构化寄存器空间来配置信号链，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如“存储器映射”部分所述。如需了解详细操作信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

定义串行端口接口(SPI)的是以下四个引脚：SCLK、SDI、SDO、 $\overline{CS}$ 引脚。串行时钟引脚(SCLK)用于同步提供给器件的读取和写入数据。串行数据输入和输出引脚(SDI和SDO)允许将数据发送至器件的内部存储器映射寄存器，以及从寄存器中读取数据。片选引脚( $\overline{CS}$ )是低电平有效控制引脚，能够使能或者禁用读写周期(见表7)。

**表7. 串行端口接口引脚**

引脚	功能
SCLK	串行时钟。串行移位时钟输入。 SCLK用来使串行接口的读写操作同步。
SDI	串行数据输入。
SDO	串行数据输出。
$\overline{CS}$	片选(低电平有效)。用来控制读写周期的选通。

$\overline{CS}$ 的下降沿与SCLK的上升沿共同决定帧序列的开始。在指令周期传输一条16位指令，然后是一个或多个数据字节，由位域W0和W1决定。串行时序示例及其定义参见图22和表8。

正常工作时， $\overline{CS}$ 用来告知器件准备接收和处理SPI命令。当 $\overline{CS}$ 被拉低时，器件通过SCLK和SDI处理指令。一般而言， $\overline{CS}$ 将一直保持低电平，直到通信周期结束。然而，如果AD8284与慢速器件相连，可以在两个字节之间拉高 $\overline{CS}$ ，使老式微控制器有足够的时间将数据传输至移位寄存器。当传输一个、两个或三个字节的数时， $\overline{CS}$ 可以保持不变。

当W0和W1设置为11时，器件进入流模式并继续处理数据(读出或写入)，直到 $\overline{CS}$ 被拉高以结束通信周期。这样就可以传输整个存储器而无需额外的指令。无论何种模式，如果 $\overline{CS}$ 在字节传输期间被拉高，则SPI状态机复位，器件等待新的指令。

除了操作模式之外，可配置SPI端口以不同的方式操作。对于不需要控制端口的应用， $\overline{CS}$ 线可以连接并保持高电平。这将把其余SPI引脚置于其第二模式，参见[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。 $\overline{CS}$ 也可以接低电平，以使能三线模式。当 $\overline{CS}$ 接低电平时，通信只需要SCLK、SDO和SDI引脚。虽然器件在上电期间已同步，但在使用此模式时，应注意确保串行端口仍然与 $\overline{CS}$ 线路保持同步。在三线模式下，建议仅使用1、2或3字节传输。无有效 $\overline{CS}$ 线的情况下，可以进入但无法退出流模式。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认模式为MSB优先，可以通过调整配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

### 硬件接口

表7中所描述的引脚构成用户编程设备与AD8284的串行端口之间的物理接口。当使用SPI接口时，SCLK、SDI和 $\overline{CS}$ 引脚用作输入引脚。SDO引脚为回读期间的输出引脚。

该接口非常灵活，串行可编程只读存储器(PROM)或PIC微控制器均可控制该接口，因而除了完整SPI控制器之外，用户还可以使用其它方法对器件编程(参见[应用笔记AN-812](#))。

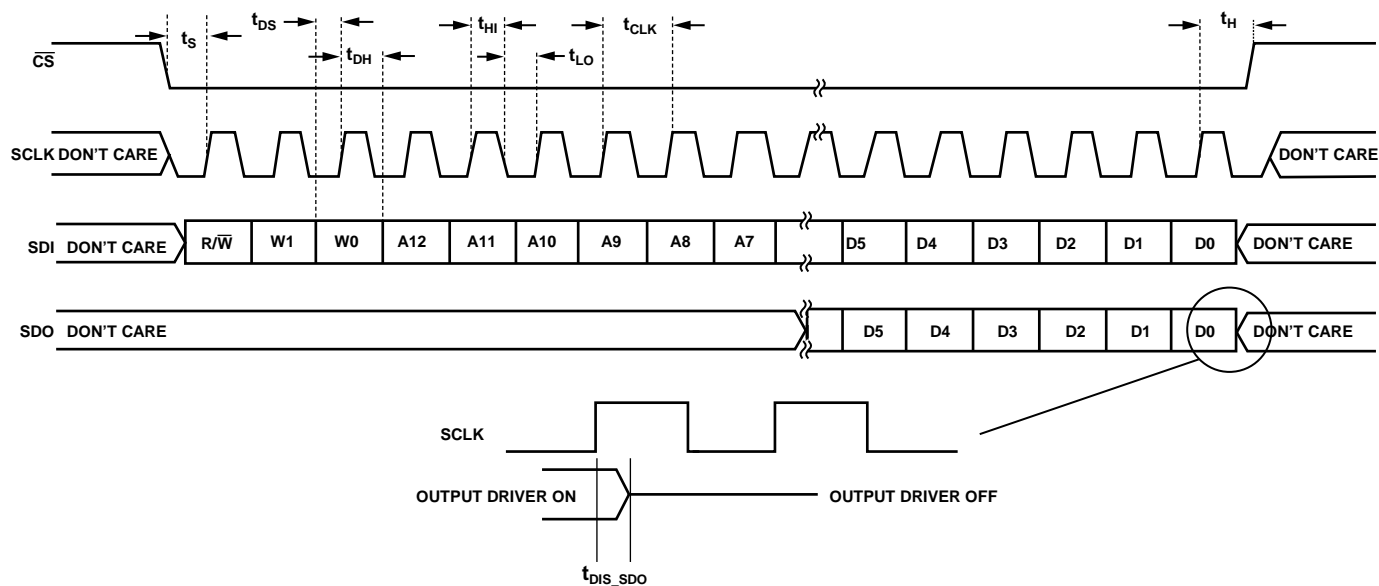


图22. 串行时序详图

表8. 串行时序定义

参数	最短时间(ns)	说明
$t_{ds}$	5	数据与SCLK上升沿之间的建立时间。
$t_{DH}$	2	数据与SCLK上升沿之间的保持时间。
$t_{CLK}$	40	时钟周期。
$t_s$	5	$\overline{CS}$ 与SCLK之间的建立时间。
$t_H$	2	$\overline{CS}$ 与SCLK之间的保持时间。
$t_{HI}$	16	SCLK应处于逻辑高电平状态的最短时间。
$t_{LO}$	16	SCLK应处于逻辑低电平状态的最短时间。
$t_{Dis\_SDO}$	10	SDO引脚在输出与高阻抗节点之间切换所需的最短时间，相对于SCLK上升沿。

## 存储器映射

### 读取存储器映射表

存储器映射表的每一行都有8个地址位。存储器映射大致分为三个部分：芯片配置寄存器映射(地址0x00和地址0x01)、器件索引和传送寄存器映射(地址0x04至地址0xFF)以及ADC通道功能寄存器映射(地址0x08至地址0x2C)。

存储器映射的第一栏显示寄存器地址编号，倒数第二栏显示默认值。

位7 (MSB)栏为给定十六进制默认值的起始位。例如，地址0x09(GLOBAL\_CLOCK寄存器的默认值为0x01，表示位7 = 0、位6 = 0、位5 = 0、位4 = 0、位3 = 0、位2 = 0、位1 = 0、位0 = 1，或者0000 0001(二进制)。此设置是占空比稳定器在开启状态下的默认值。通过向该地址的位0写入0，然后在寄存器0xFF中的SW传送位写入0x01之后，关闭占空比稳定器。在每个写入序列后对SW传送位写入1以更新SPI寄存器，这点很重要。

### 注意

除了寄存器0x00和0xFF之外的所有寄存器都利用主从锁存器进行缓冲，并要求对传送位写入1。如需了解更多关于该功能及其它功能的信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

### 逻辑电平

以下是各寄存器的说明：“置位”是指将某位设置为逻辑1或向某位写入逻辑1。类似地，“清除位”是指将某位设置为逻辑0或向某位写入逻辑0。

### 保留位置

请勿写入未定义的存储器位置，除非写入本数据手册建议的默认值。值标示为0的地址应被视为保留地址，上电期间应将0写入其寄存器。

### 默认值

复位后，关键寄存器自动加载默认值。表9显示了这些值，其中X表示未定义的特性。

表9. 存储器映射寄存器<sup>1</sup>

地址十六进制	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值/注释
芯片配置寄存器											
0x00	CHIP_PORT_C开FIG	0	LSB优先 1 = 开 0 = 关 (默认)	软复位 1 = 开 0 = 关 (默认)	1	1	软复位 1 = 开 0 = 关 (默认)	LSB优先 1 = 开 0 = 关 (默认)	0	0x18	半字节之间是镜像关系, 使得无论在何种移位模式下, LSB优先或MSB优先模式寄存器均能正确记录数据。
0x01	CHIP_ID	芯片ID位[7:0] (AD8284 = 0xAA, 默认值)								只读	默认值是AD8284特定的唯一芯片ID。这是一个只读寄存器。
器件索引和传送寄存器											
0xFF	DEVICE_UPDATE	X	X	X	X	X	X	X	软件传输 1 = 开 0 = 关 (默认)	0x00	从主移位寄存器向从移位寄存器同步传输数据。
通道功能寄存器											
0x08	GLOBAL_MODES	通道A 缓冲器 电源 0 = 关断 1 = 上电 (默认)	通道B 缓冲器 电源 0 = 关断 1 = 上电 (默认)	通道C 缓冲器 电源 0 = 关断 1 = 上电 (默认)	通道D 缓冲器 电源 0 = 关断 1 = 上电 (默认)	通道关断 0 = 上电 (默认) 1 = 关断	X	内部关断模式 00 = 芯片运行 (默认) 01 = 完全关断 11 = 复位		0xF0	决定关断模式(全局)。
0x09	GLOBAL_CLOCK	X	X	X	X	X	X	X	占空比 稳定器 1 = 开 (默认) 0 = 关	0x01	打开和关闭内部占空比稳定器(全局)。
0x0C	FLEX_MUX_C开TROL	X	未使用 通道关断 0 = PD (关断, 默认值) 1 = 上电	X	0 = 信号 通道(A、B、 C、D)开启 (默认) 1 = AUX 通道开启	0 = 使用 外部引脚 (默认) 1 = 使用 内部 寄存器	0 = 所有 通道均 关闭 (默认) 1 = 选定 通道开启 (默认)	00 = 通道A(默认) 01 = 通道B 10 = 通道C 11 = 通道D	0x04	设置哪个复用输入通道在使用, 以及是否关断未使用的通道。	
0x0D	FLEX_TEST_IO	用户测试模式 00 = 关(默认) 01 = 开, 单一交替 10 = 开, 单一一次 11 = 开, 交替一次		产生复位 PN长序列 1 = 开 0 = 关 (默认)	产生复位 PN短序列 1 = 开 0 = 关 (默认)	输出测试模式——见表10 0000 = 关(默认) 0001 = 中间电平短码 0010 = +FS短码 0011 = -FS短码 0100 = 棋盘形式输出 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率 (格式由OUTPUT_MODE寄存器决定)			0x00	设置此寄存器后, 测试数据将取代正常数据被置于输出引脚上。(局部, PN序列除外。)	

# AD8284

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值注释				
0x0E	TEST_REGISTER	使能模拟输出(APOUT、ANOUT) 0x01 = 模拟输出使能								0x00	将AAF的差分输出路由至APOUT和ANOUT。				
0x0F	FLEX_CHANNEL_INPUT	滤波器截止频率控制 00000 = $1.25 \times 1/4 \times f_{\text{SAMPLECH}}$ 00001 = $1.1875 \times 1/4 \times f_{\text{SAMPLECH}}$ 00010 = $1.125 \times 1/4 \times f_{\text{SAMPLECH}}$ 00011 = $1.0625 \times 1/4 \times f_{\text{SAMPLECH}}$ 00100 = $1.0 \times 1/4 \times f_{\text{SAMPLECH}}$ 00101 = $0.9375 \times 1/4 \times f_{\text{SAMPLECH}}$ 00110 = $0.875 \times 1/4 \times f_{\text{SAMPLECH}}$ 00111 = $0.8125 \times 1/4 \times f_{\text{SAMPLECH}}$ 01000 = $0.75 \times 1/4 \times f_{\text{SAMPLECH}}$ 01001至01111 = 保留  10000 = $1.25 \times 1/3 \times f_{\text{SAMPLECH}}$ 10001 = $1.1875 \times 1/3 \times f_{\text{SAMPLECH}}$ 10010 = $1.125 \times 1/3 \times f_{\text{SAMPLECH}}$ (默认) 10011 = $1.0625 \times 1/3 \times f_{\text{SAMPLECH}}$ 10100 = $1.0 \times 1/3 \times f_{\text{SAMPLECH}}$ 10101 = $0.9375 \times 1/3 \times f_{\text{SAMPLECH}}$ 10110 = $0.875 \times 1/3 \times f_{\text{SAMPLECH}}$ 10111 = $0.8125 \times 1/3 \times f_{\text{SAMPLECH}}$ 11000 = $0.75 \times 1/3 \times f_{\text{SAMPLECH}}$ 11001至11111 = 保留					X	X	X	X	X	X	X	0x90	低通滤波器截止频率(全局)。 $f_{\text{SAMPLECH}}$ = ADC采样速率。 注意, 绝对范围以9 MHz到15 MHz为限。
0x10	FLEX_OFFSET	X	X	6位LNA失调调节 00 0000用于LNA失调低 10 0000用于LNA失调中(默认) 11 1111用于LNA失调高					0x20	LNA强制失调校正。					
0x11	FLEX_GAIN_1	X	X	X	X	X	000 = 17 dB 001 = 17 dB 010 = 17 dB 011 = 23 dB 100 = 29 dB (默认) 101 = 35 dB			0x04	LNA和PGA总增益调整(局部)。				
0x12	FLEX_BIAS_CURRENT	X	X	X	X	X	X	LNA偏置 00 = 高(默认) 01 = 中高 10 = 中低 11 = 低		0x00	LNA偏置电流调整(全局)。				
0x14	FLEX_OUTPUT_MODE	X	X	X	X	X	1 = 输出反转(局部)	0 = 偏移二进制 1 = 二进制补码(默认)		0x01	配置输出和数据格式。				
0x15	FLEX_OUTPUT_ADJUST	0 = 使能数据位 [11:0] 1 = 禁用数据位 [11:0]	X	X	X	输出驱动电流 0000 = 低 ... 1111 = 高(默认)				0x0F	选择输出驱动强度, 以限制输出切换给通道增加的噪声。				
0x18	FLEX_VREF	X	0 = 内部基准电压源(默认) 1 = 外部基准电压源	X	X	X	X	内部基准电压源调整 00 = 0.625 V 01 = 0.750 V 10 = 0.875 V 11 = 1.000 V (默认)		0x03	选择内部基准电压源(推荐的默认值)或外部基准电压源(全局); 调整内部基准电压源。				
0x19	FLEX_USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码1, LSB。				
0x1A	FLEX_USER_PATT1_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码1, MSB。				

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值/注释
0x1B	FLEX_USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码2, LSB。
0x1C	FLEX_USER_PATT2_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码2, MSB。
0x2B	FLEX_FILTER	X	使能自动 低通调谐 1 = 开 (自清零)	X	X	X	X	X	X	0x00	使能低通滤波器调谐。
0x2C	CH_IN_IMP	饱和检测器限值调整 000 = PGA输出端1.90 V p-p 011 = PGA输出端2.00 V p-p (默认) 111 = PGA输出端2.15 V p-p 其它值保留(001、010、100、 101、110)			饱和检测 迟滞 0 = 低迟滞 (PGA输出 端25 mV 标称值) (默认) 1 = 高迟滞 (PGA输出 端60 mV 标称值)	X	X	X	输入阻抗 0 = 200 Ω 1 = 200 kΩ (默认)	0x61	饱和检测器调整和输入阻抗调整(全局)。

<sup>1</sup> X = 未定义特性。

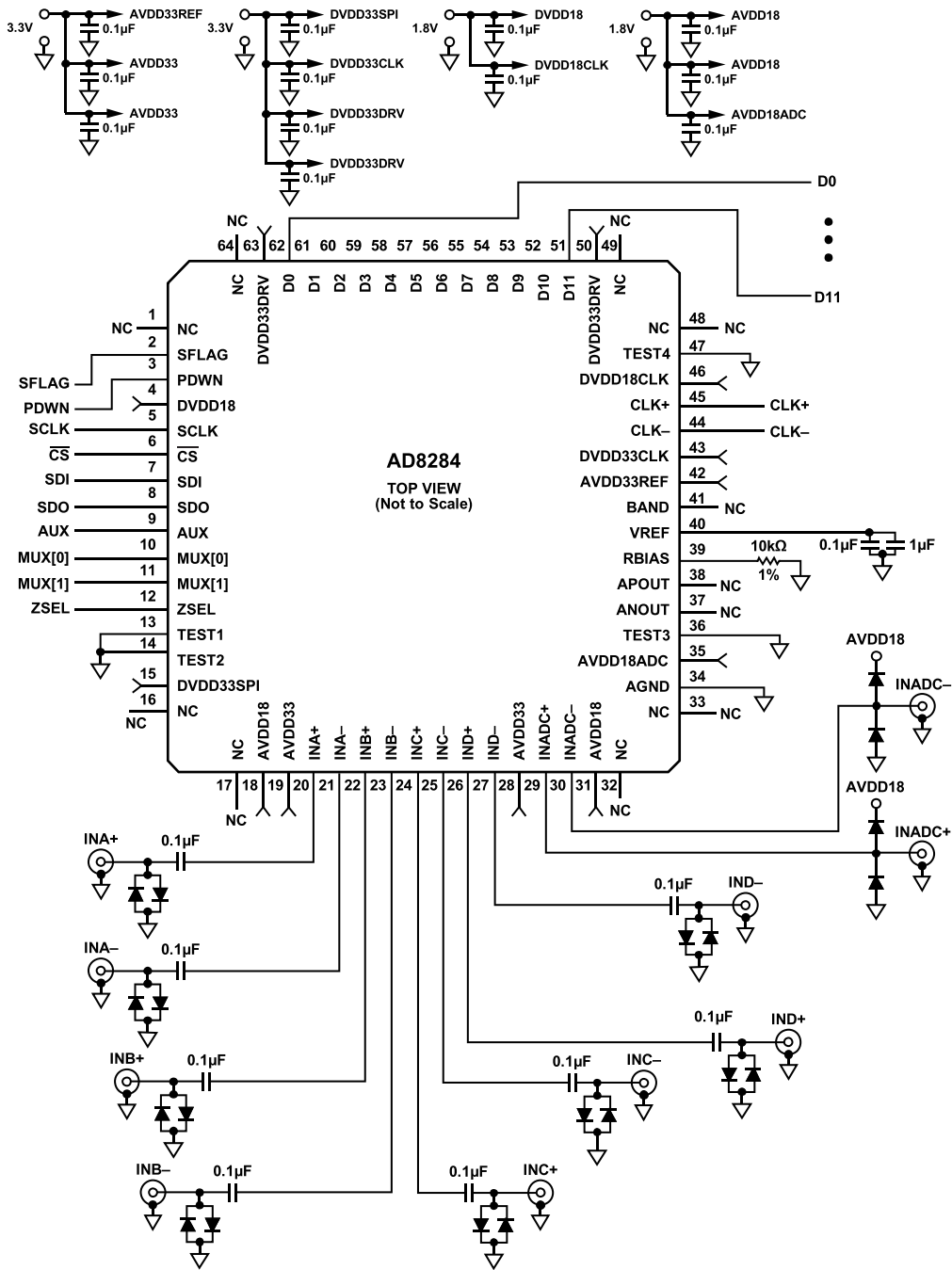
**表10. 灵活的输出测试模式<sup>1</sup>**

输出测试模式位 序列	测试码名称	数字输出字1	数字输出字2	接受数据格式 选择
0000	关闭(默认)	不适用	不适用	不适用
0001	中间电平短码	1000 0000 0000	相同	是
0010	+满量程短码	1111 1111 1111	相同	是
0011	-满量程短码	0000 0000 0000	相同	是
0100	棋盘形式输出	1010 1010 1010	0101 0101 0101	否
0101	PN长序列	不适用	不适用	是
0110	PN短序列	不适用	不适用	是
0111	1/0字反转	1111 1111 1111	0000 0000 0000	否
1000	用户输入	寄存器0x19和寄存器0x1A	寄存器0x1B和寄存器0x1C	否
1001	1/0位反转	1010 1010 1010	不适用	否
1010	1×同步	0000 0011 1111	不适用	否
1011	1位高电平	1000 0000 0000	不适用	否
1100	混合位频率	1010 0011 0011	不适用	否

<sup>1</sup> 不适用表示不适用。

# AD8284

## 应用电路

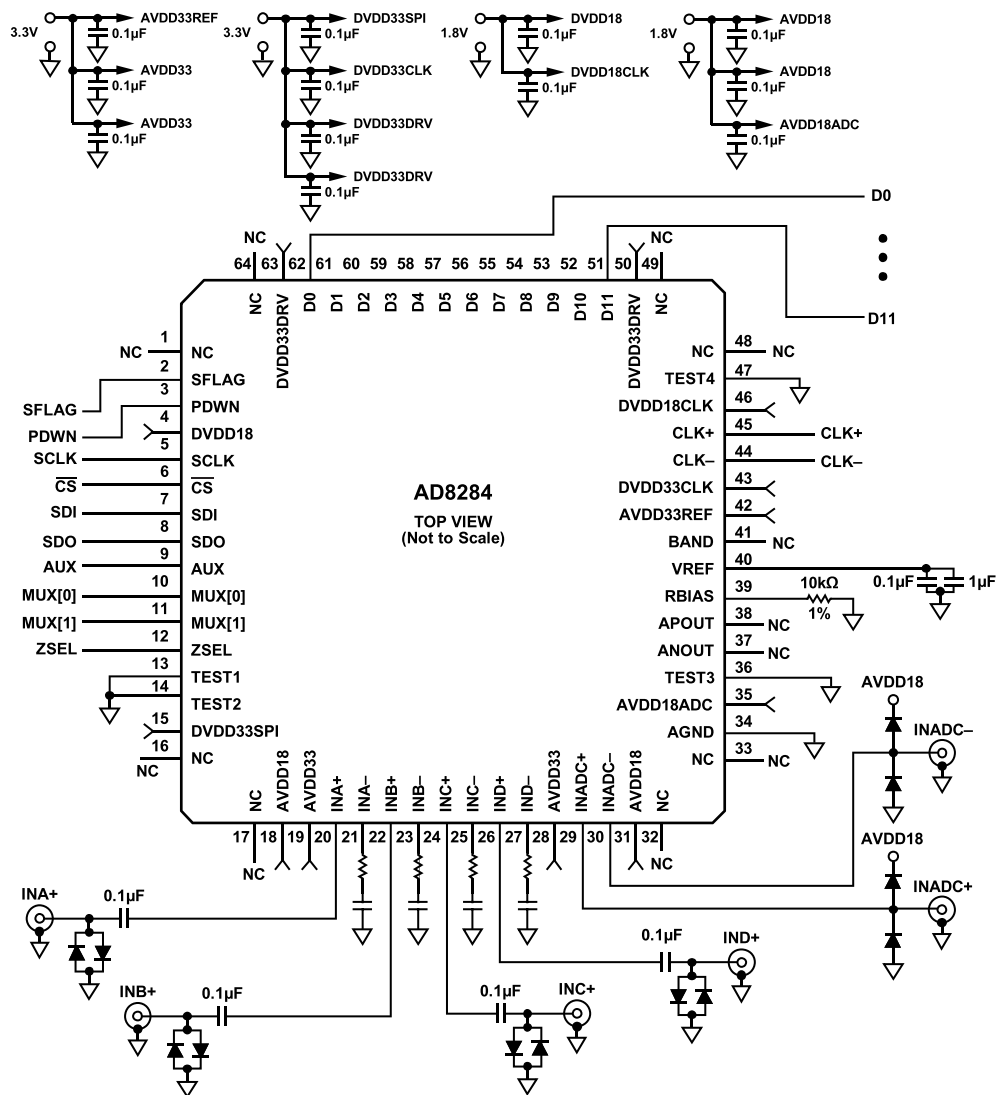


- NOTES
1. ALL CAPACITORS FOR SUPPLIES AND REFERENCES SHOULD BE PLACED CLOSE TO THE PART.
  2. TIE THE EXPOSED PAD ON THE BOTTOM SIDE TO THE ANALOG GROUND PLANE.

图23. 差分输入

10992-023





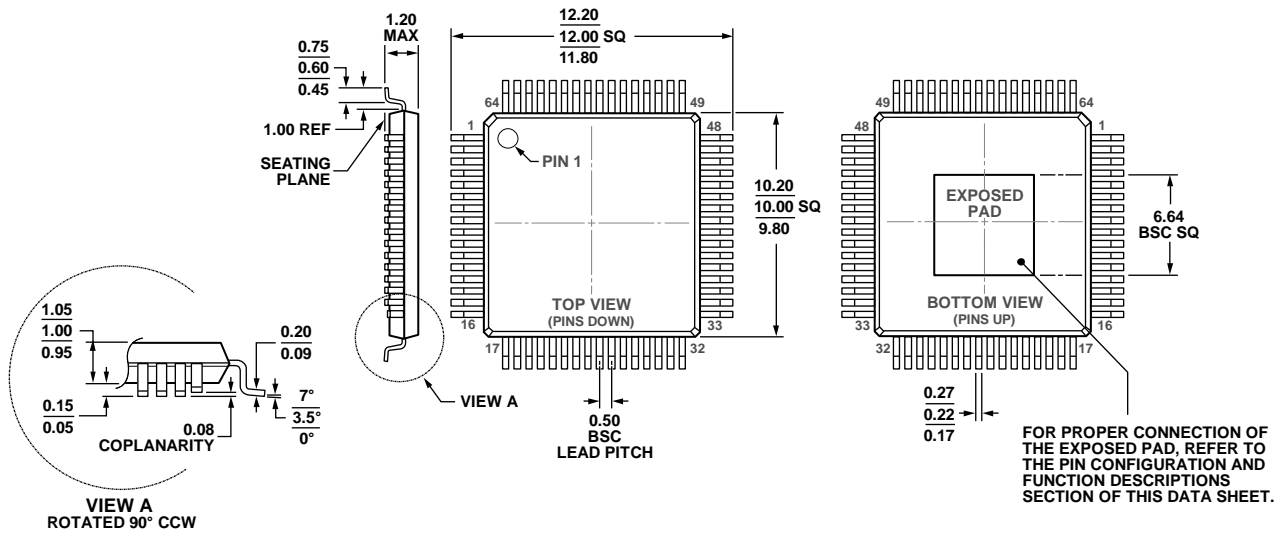
- NOTES**
1. RESISTOR R (INX- INPUTS) SHOULD MATCH THE OUTPUT IMPEDANCE OF THE INPUT DRIVER.
  2. ALL CAPACITORS FOR SUPPLIES AND REFERENCES SHOULD BE PLACED CLOSE TO THE PART.
  3. TIE THE EXPOSED PAD ON THE BOTTOM SIDE TO THE ANALOG GROUND PLANE.

图24. 单端输入

10892-024

## 封装和订购信息

### 外形尺寸



02-288-2013-A

### 订购指南

型号 <sup>1, 2, 3</sup>	温度范围	封装描述	封装选项
AD8284WCSVZ	-40°C至+105°C	64引脚 TQFP_EP, 窝伏尔组件	SV-64-5
AD8284WCSVZ-RL	-40°C至+105°C	64引脚 TQFP_EP, 13"卷带和卷盘	SV-64-5

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> W = 通过汽车应用认证。

<sup>3</sup> 符合JEDEC标准MS-026-ACD-HD。

### 汽车应用产品

AD8284WCSVZ生产工艺受到严格控制, 以提供满足汽车应用的质量和可靠性要求。请注意, 车用型号的技术规格可能不同于商用型号; 因此, 设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告, 请联系当地ADI客户代表。

注释

**AD8284**

**注释**