

CA-IS302x 低功耗双向通讯 I²C 总线隔离器

1. 产品特性

- 隔离双向通讯，兼容 I²C 总线通讯协议
- 信号传输速率：DC to 1MHz
- 宽电源电压范围：3V to 5.5V
- 宽温度范围：-55°C to 125°C
- 开漏输出
 - A 侧具有 3.5mA 电流下拉能力
 - B 侧具有 35mA 电流下拉能力
- 优异的电磁抗扰度
- CMTI: ±150kV/μS
- 浪涌：10kV
- ESD: 8kV
- 高达 5kV_{RMS} 的隔离电压
- 隔离栅寿命: >40 年
- 封装：SOIC8、宽体 SOIC8
- 符合 RoHS 标准

2. 应用

- 隔离 I²C 总线
- SMBus 和 PMBus 接口
- 电机驱动系统
- I²C 电平转换

3. 概述

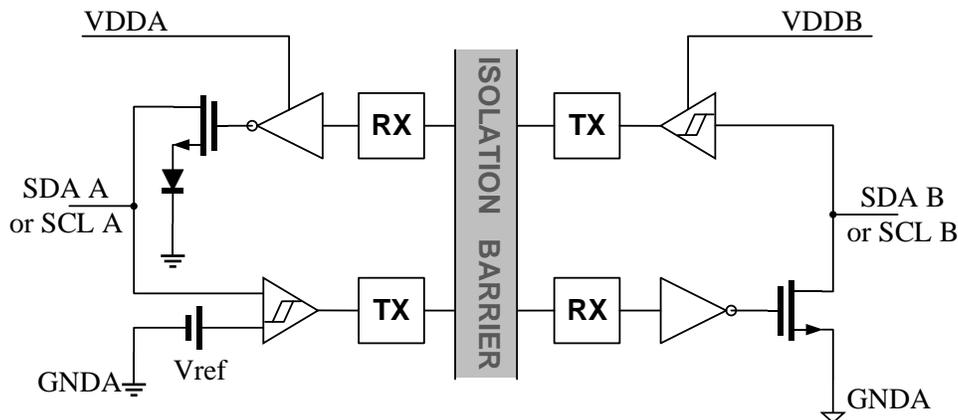
CA-IS3020 和 CA-IS3021 芯片为兼容 I²C 接口的双向通讯低功耗隔离器，隔离器的输入侧与输出侧具备电气隔离特性，该电气隔离屏障由二氧化硅构成的高压隔离电容构成。CA-IS302x 系列隔离器具有高达 5kV_{rms} 的超高绝缘能力，可以防止数据总线或其他电路上的噪声和浪涌进入本地接地端而干扰或损坏敏感电路。高达 150kV/μS 的 CMTI 抗干扰的能力可以保证信号在恶劣噪声环境下的正确传输。

CA-IS3020 芯片的数据传输通道（SDA）和时钟传输通道（SCK）均具有双向传输功能；CA-IS3021 芯片的数据传输通道支持双向通信而时钟通道为单向通道。CA-IS3020 芯片适用于多主机（Master）应用而 CA-IS3021 芯片适用于单主机应用。如果在实际应用场景中，存在从机（Slave）下拉时钟线的可能性，则需要使用 CA-IS3020 芯片。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IS3020	SOIC8(S)	4.90mm × 3.90 mm
CA-IS3021	SOIC8-WB(G)	5.85 mm × 7.50 mm

I²C 单线简化功能框图



4. 订购指南

表 4-1 有效订购零件编号

型号	双向 I ² C 通道数	单向 I ² C 通道数	额定耐压(kV _{RMS})	输出类型	封装
CA-IS3020S	2	0	5.0	开漏输出	SOIC8
CA-IS3020G	2	0	5.0	开漏输出	SOIC8-WB
CA-IS3021S	1	1	5.0	开漏输出	SOIC8
CA-IS3021G	1	1	5.0	开漏输出	SOIC8-WB

目录

1. 产品特性.....	1	6.10. 时序滤波特性	9
2. 应用	1	6.11. 开关特性	10
3. 概述	1	7. 参数测量信息	11
4. 订购指南.....	2	8. 详细说明.....	12
5. 引脚功能描述	4	8.1. 隔离 I ² C 背景.....	12
6. 产品规格.....	5	8.2. 功能框图	12
6.1. 绝对最大额定值.....	5	8.3. I ² C 功能实现.....	13
6.2. ESD 额定值	5	8.4. 特性描述	13
6.3. 推荐工作条件.....	5	8.5. 输入输出功能真值表	13
6.4. 热量信息.....	6	9. 典型应用.....	14
6.5. 额定功率.....	6	10. 封装信息.....	15
6.6. 隔离特性.....	7	10.1. SOIC8 宽体外形尺寸	15
6.7. 安全相关认证.....	8	10.2. SOIC8 窄体外形尺寸	16
6.8. 电气特性.....	8	TAPE AND REEL INFORMATION	17
6.9. 功耗特性.....	9		

5. 引脚功能描述

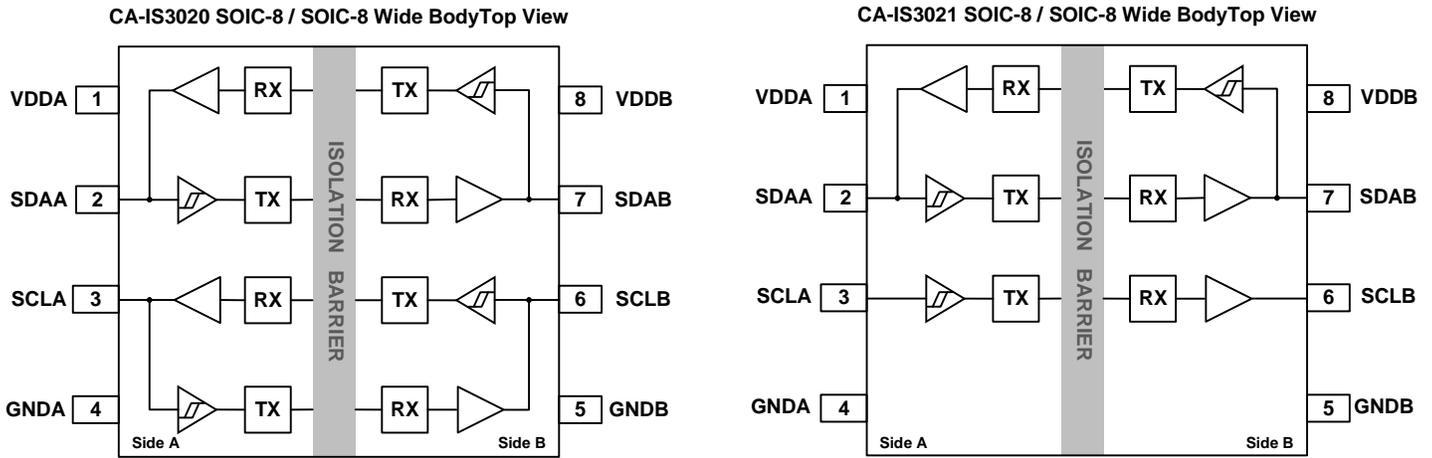


图 5-1 CA-IS3020/21 SOIC-8/SOIC8-WB 顶部视图

表 5-1 CA-IS3020 引脚功能描述

引脚名称	SOIC8 引脚编号	类型	描述
VDDA	1	电源	A 侧电源电压
SDAA	2	输入/输出	A 侧数据输入/输出
SCLA	3	输入/输出	A 侧时钟输入/输出
GNDA	4	地	A 侧接地基准点
GNDB	5	地	B 侧接地基准点
SCLB	6	输入/输出	B 侧时钟输入/输出
SDAB	7	输入/输出	B 侧数据输入/输出
VDDB	8	电源	B 侧电源电压

表 5-2 CA-IS3021 引脚功能描述

引脚名称	SOIC8 引脚编号	类型	描述
VDDA	1	电源	A 侧电源电压
SDAA	2	输入/输出	A 侧数据输入/输出
SCLA	3	输入	A 侧时钟输入
GNDA	4	地	A 侧接地基准点
GNDB	5	地	B 侧接地基准点
SCLB	6	输出	B 侧时钟输出
SDAB	7	输入/输出	B 侧数据输入/输出
VDDB	8	电源	B 侧电源电压

6. 产品规格

6.1. 绝对最大额定值¹

参数		最小值	最大值	单位
V _{DDA} , V _{DDB}	电源电压 ²	-0.5	6.0	V
SDAA, SCLA	输入输出电压	-0.5	V _{DDA} +0.5 ³	V
SDAB, SCLB	输入输出电压	-0.5	V _{DDB} +0.5 ³	V
I _{OA}	输出电流	-20	20	mA
I _{OB}	输出电流	-100	100	mA
T _J	结温		150	°C
T _{STG}	存储温度范围	-65	150	°C

备注:

- 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
- 除差分 I/O 总线电压以外的所有电压值，均相对于本地接地端子（GNDA 或 GNDB），并且是峰值电压值。
- 最大电压不得超过 6V。

6.2. ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 ¹	±8000	V
	组件充电模式(CDM), 根据 JEDEC specification JESD22-C101, 所有引脚 ²	±2000	

备注:

- JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造。
- JEDEC 文件 JEP157 规定 250V CDM 允许使用标准 ESD 控制过程进行安全制造。

6.3. 推荐工作条件

参数		MIN	MAX	单位
V _{DDA} , V _{DDB}	电源电压	3	5.5	V
V _{SDAA} , V _{SCLA}	A 侧输入输出电压	0	V _{DDA}	V
V _{SDAB} , V _{SCLB}	B 侧输入输出电压	0	V _{DDB}	V
V _{ILA}	A 侧输入低电平电压	0	0.5	V
V _{IHA}	A 侧输入高电平电压	0.7 V _{DDA}	V _{DDA}	V
V _{ILB}	B 侧输入低电平电压	0	0.3 V _{DDA}	V
V _{IHB}	B 侧输入高电平电压	0.7 V _{DDB}	V _{DDB}	V
I _{OLA}	A 侧输出低电平电流	0.5	3.5	mA
I _{OLB}	B 侧输出低电平电流	0.5	35	mA
C1	A 侧负载电容		40	pF
C2	B 侧负载电容		400	pF
f _{MAX}	信号传输速率 ¹		1	MHz
T _A	环境温度	-55	125	°C
T _J	结温	-55	150	°C

备注:

- 该最大信号传输速率表示的是在总线上负载电容最大且下拉电流最大情况下的最大信号传输频率，如果系统在总线节点上的负载电容较小，则可以获得更高速的信号传输速率。

6.4. 热量信息

热量表		CA-IS302x		单位
		S(SOIC)	G(SOIC)	
		8 Pins	8 Pins	
$R_{\theta JA}$	IC 结至环境的热阻	109.0	92.3	°C/W

6.5. 额定功率

参数	测试条件	最小值	典型值	最大值	单位
P_D 最大功耗	$V_{DDA} = V_{DDB} = 5.5\text{ V}$, $C_L = 15\text{ pF}$, $T_J = 150^\circ\text{C}$, $C1 = 40\text{ pF}$, $C2 = 400\text{ pF}$, 输入 1MHz 50% 占空比方波			86	mW
P_{DA} A 侧的最大功耗				34	mW
P_{DB} B 侧的最大功耗				52	mW

6.6. 隔离特性

参数		测试条件	数值		单位
			G	S	
CLR	外部气隙 (间隙) ¹	测量输入端至输出端, 隔空最短距离	8	4	mm
CPG	外部爬电距离 ¹	测量输入端至输出端, 沿壳体最短距离	8	4	mm
DTI	隔离距离	最小内部间隙 (内部距离)	14	14	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	>600	V
	材料组	依据 IEC 60664-1	I	I	
	IEC 60664-1 过压类别	额定市电电压 ≤ 300 V _{RMS}	I-IV	I-III	
		额定市电电压 ≤ 400 V _{RMS}	I-IV	I-III	
		额定市电电压 ≤ 600 V _{RMS}	I-III	n/a	
DIN V VDE V 0884-11:2017-01²					
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	849	565	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	600	400	V _{RMS}
		直流电压	849	565	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	7070	5300	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试)	6250	5000	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	≤5	
		Method b1, 常规测试 (100% 生产测试) 和前期 预处理 (抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	≤5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin (2πft), f = 1 MHz	~0.5	~0.5	pF
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	>10 ⁹	
	污染度		2	2	
UL 1577					
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	5000	3750	V _{RMS}
备注:					
1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离, 以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙变得相等。诸如在印刷电路板上插入凹槽的技术用于帮助增加这些规格。 2. 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。 3. 测试在空气或油中进行, 以确定隔离屏障的固有浪涌抗扰度。 4. 表征电荷是由局部放电引起的放电电荷(pd)。 5. 栅两侧的所有引脚连接在一起, 形成双端子器件					

6.7. 安全相关认证

VDE(申请中)	CSA(申请中)	UL(申请中)	CQC(申请中)	TUV(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	根据 IEC60950-1, IEC 62368-1 和 IEC 60601-1 认证	UL1577 器件认证程序认证	根据 GB4943.1-2011 认证	根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证

6.8. 电气特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
仅 A 侧						
V_{ILTA}	SDAA 和 SCLA 的低电平输入阈值		450	500	550	mV
$V_{IH TA}$	SDAA 和 SCLA 的高电平输入阈值		500	600	700	mV
V_{HYSA}	输入阈值迟滞	$V_{IH TA} - V_{IL TA}$	40	60		mV
V_{OLA}	低电平输出电压 ¹	$0.5mA \leq (I_{SDAA} \text{ 和 } I_{SCLA}) \leq 3.5mA$			800	mV
ΔV_{OIT1}	低电平输出电压和高电平输入阈值差值 ^{1,2}	$0.5mA \leq (I_{SDAA} \text{ 和 } I_{SCLA}) \leq 3.5mA$	50			mV
仅 B 侧						
V_{ILTB}	SDAB 和 SCLB 的低电平输入阈值		1.0	1.23	1.4	V
$V_{IH TB}$	SDAB 和 SCLB 的高电平输入阈值		1.4	1.67	1.9	V
V_{HYSB}	输入阈值迟滞	$V_{IH TB} - V_{IL TB}$	0.30	0.44	0.50	V
V_{OLB}	低电平输出电压	$0.5mA \leq (I_{SDAA} \text{ 和 } I_{SCLA}) \leq 35mA$			0.4	V
A 和 B 两侧						
$ I_L $	SDAA, SDAB, SCLA, SCLB 的输入漏电流	$V_{SDAA} = V_{SCLA} = V_{DDA}$ $V_{SDAB} = V_{SCLB} = V_{DDB}$			1	μA
C_i	SDAA, SDAB, SCLA, SCLB 的到地输入电容			3		pF
CMTI	共模瞬变抗干扰度	见图 7-3	100	150		kV/ μs
V_{DDUV}	欠压保护阈值电压 ³		1.95	2.24	2.375	V
备注:						
1. 本参数不适用于 CA-IS3021 芯片，因为 CA-IS3021 芯片的 SCL1 脚为单向传输脚。						
2. $\Delta V_{OIT1} = V_{OLA} - V_{IHA}$ ，该参数表示的是双向传输通道的低电平输出电压和高电平输入电压阈值的最小差值。						
3. 芯片任何一个电源电压小于欠压保护的最小阈值均会导致芯片进入欠压保护模式。当且仅当两侧电源电压均大于欠压保护的最大阈值时才能保证芯片的正常工作。						

6.9. 功耗特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。测试电路详见图7-1

参数	测试条件	电源电流	最小值	典型值	最大值	单位
3 V ≤ VDDA, VDDB ≤ 3.6 V						
CA-IS3020	V _{SDAA} = V _{SCLA} = GNDA; V _{SDAB} = V _{SCLB} = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		3.4	5.1	mA
		I _{DDB}		3.0	4.6	
	V _{SDAA} = V _{SCLA} = VDDA; V _{SDAB} = V _{SCLB} = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		2.2	3.4	
		I _{DDB}		1.9	2.9	
CA-IS3021	V _{SDAA} = V _{SCLA} = GNDA; V _{SDAB} = V _{SCLB} = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		2.9	4.4	
		I _{DDB}		2.4	3.7	
	V _{SDAA} = V _{SCLA} = VDDA; V _{SDAB} = V _{SCLB} = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		1.7	2.6	
		I _{DDB}		1.8	2.8	
4.5 V ≤ VDDA, VDDB ≤ 5.5V						
CA-IS3020	V _{SDAA} = V _{SCLA} = GNDA; V _{SDAB} = V _{SCLB} = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		3.5	5.2	mA
		I _{DDB}		3.1	4.7	
	V _{SDAA} = V _{SCLA} = VDDA; V _{SDAB} = V _{SCLB} = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		2.3	3.5	
		I _{DDB}		2.0	3.0	
CA-IS3021	V _{SDAA} = V _{SCLA} = GNDA; V _{SDAB} = V _{SCLB} = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		3.0	4.5	
		I _{DDB}		2.5	3.8	
	V _{SDAA} = V _{SCLA} = VDDA; V _{SDAB} = V _{SCLB} = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I _{DDA}		1.8	2.7	
		I _{DDB}		1.9	2.9	

6.10. 时序滤波特性

		最小值	典型值	最大值	单位
t _{SP}	输入信号尖峰消除滤波	10	25		ns

6.11. 开关特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位		
3 V ≤ VDDA, VDDB ≤ 3.6 V								
t _{f1}	输出信号下降时间 (SDAA, SCLA)	见 图 7-1 R1 = 953Ω C1 = 40pF	0.7 VDDA 到 0.3 VDDA	15	29	47	ns	
			0.9 VDDA 到 900mV	24	41	62		
t _{f2}	输出信号下降时间 (SDAB, SCLB)	见 图 7-1 R2 = 95.3Ω C2 = 400pF	0.7 VDDB 到 0.3 VDDB	2	4	7		
			0.9 VDDB 到 400mV	5	9	19		
t _{PLHA-B}	A 侧到 B 侧, 信号上升沿传输时延	见 图 7-1 R1 = 953Ω R2 = 95.3Ω C1 = C2 = 10pF	0.55V 到 0.7 VDDB	90	135			
t _{PHLA-B}	A 侧到 B 侧, 信号下降沿传输时延		0.7V 到 0.4V	64	120			
PWD _{A-B}	脉宽失真, t _{PLHA-B} - t _{PHLA-B}			25	46			
t _{PLHB-A} ¹	B 侧到 A 侧, 信号上升沿传输时延		0.4 VDDB 到 0.7 VDDA	50	100			
t _{PHLB-A} ¹	B 侧到 A 侧, 信号下降沿传输时延		0.4 VDDB 到 0.9V	72	108			
PWD _{B-A} ¹	脉宽失真, t _{PLHA-B} - t _{PHLA-B}			23	48			
t _{LOOPA} ¹	A 侧环路传输时延		见 图 7-2 R1 = 953Ω C1 = 40pF R2 = 95.3Ω C2 = 400pF	0.4V 到 0.3 VDDA	161	210		
4.5 V ≤ VDDA, VDDB ≤ 5.5 V								
t _{f1}	输出信号下降时间 (SDAA, SCLA)	见 图 7-1 R1 = 1430Ω C1 = 40pF	0.7 VDDA 到 0.3 VDDA	4	6	9		ns
			0.9 VDDA 到 900mV	23	37	56		
t _{f2}	输出信号下降时间 (SDAB, SCLB)	见 图 7-1 R2 = 143Ω C2 = 400pF	0.7 VDDB 到 0.3 VDDB	1	3	5		
			0.9 VDDB 到 400mV	4	8	16		
t _{PLHA-B}	A 侧到 B 侧, 信号上升沿传输时延	见 图 7-1 R1 = 1430Ω R2 = 143Ω C1 = C2 = 10pF	0.55V 到 0.7 VDDB	94	136			
t _{PHLA-B}	A 侧到 B 侧, 信号下降沿传输时延		0.7V 到 0.4V	65	121			
PWD _{A-B}	脉宽失真, t _{PLHA-B} - t _{PHLA-B}			29	46			
t _{PLHB-A} ¹	B 侧到 A 侧, 信号上升沿传输时延		0.4 VDDB 到 0.7 VDDA	57	101			
t _{PHLB-A} ¹	B 侧到 A 侧, 信号下降沿传输时延		0.4 VDDB 到 0.9V	67	110			
PWD _{B-A} ¹	脉宽失真, t _{PLHA-B} - t _{PHLA-B}			10	46			
t _{LOOPA} ¹	A 侧环路传输时延		见 图 7-2 R1 = 1430Ω C1 = 40pF R2 = 143Ω C2 = 400pF	0.4V 到 0.3 VDDA	166	212		
备注:								
1. 本参数不适用于 CA-IS3021 芯片, 因为 CA-IS3021 芯片的 SCL1 脚为单向传输脚。								

7. 参数测量信息

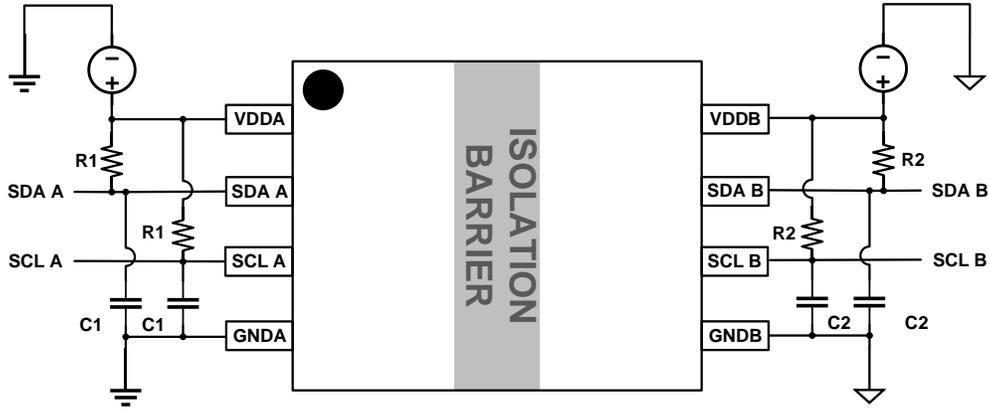


图 7-1 测试电路

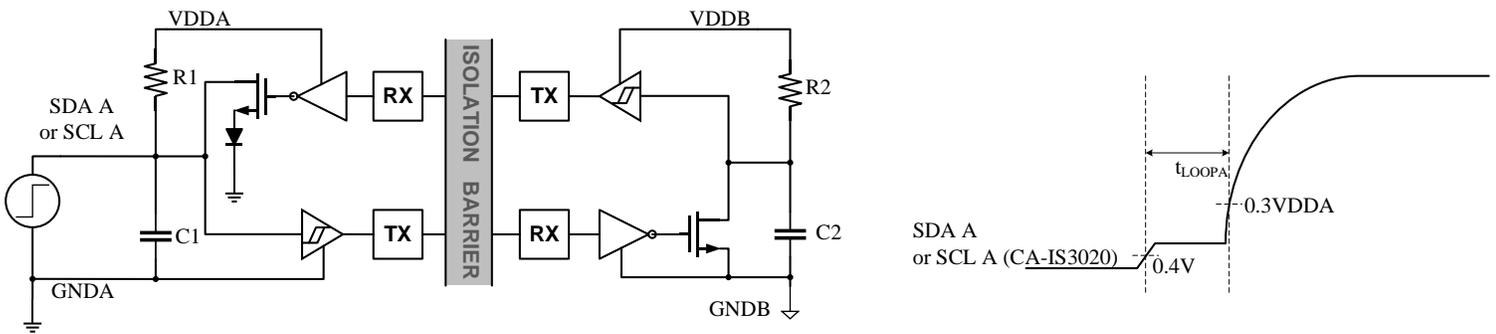


图 7-2 t_{LOOPA} 测试电路及时序波形

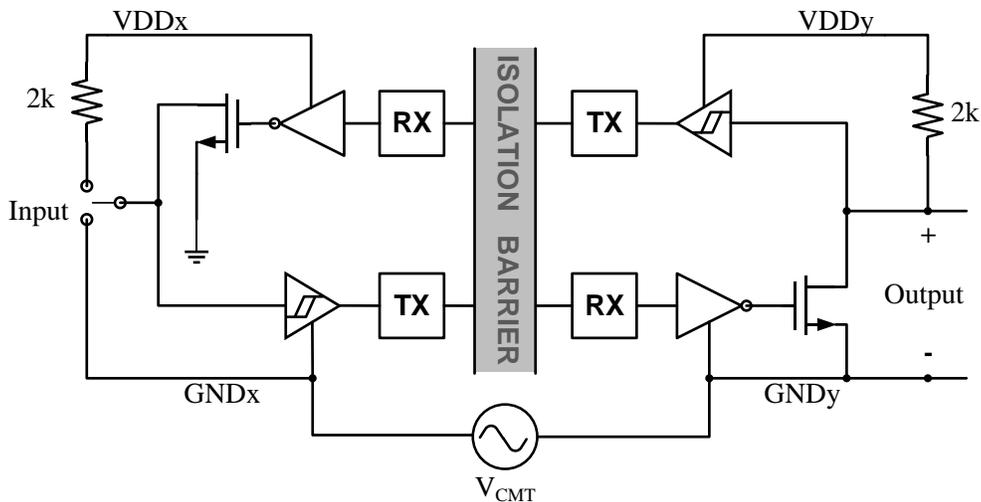


图 7-3 共模瞬变抗扰度测试电路

8. 详细说明

8.1. 隔离 I²C 背景

I²C 总线被广泛应用于多种工业应用场合，其中的很多应用场景要求 I²C 总线接口具有电气隔离消除地回路的安全隔离特性。I²C 总线包含两个开漏结构的双向通信接口，串行时钟线（SCL）和串行数据线（SDA），支持数据和时钟在一个主机和多个从机之间传输。主机通过控制串行时钟线（SCL）控制总线时序，同时数据在主机和从机之间通过串行数据线（SDA）进行传输。

不同于单向传输数据的标准数字隔离器，I²C 接口隔离器需要工作在双向通讯工作模式下。如果简单的将两个方向相反的单向数字隔离通道并联，组成双向通讯隔离器，总线上会产生低电平死锁的情况。虽然这个问题可以通过添加外围的防死锁电路解决，但是这会增加系统方案的器件数量、面积和成本。CA-IS302x 系列产品提供了单芯片的隔离 I²C 解决方案，除了芯片电源和地之间的去耦电容和 I²C 总线上的上拉电阻以外，不需要其他外围器件；同时芯片两侧的逻辑输入以及输出驱动通过片上 SiO₂ 实现了高达 5kV_{RMS} 的安全的电气隔离。

8.2. 功能框图

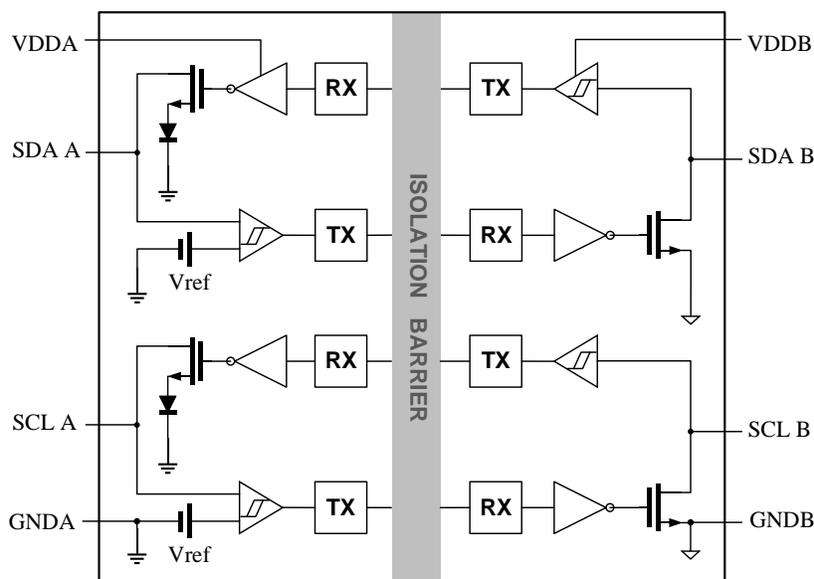


图 8-1 CA-IS3020 功能框图

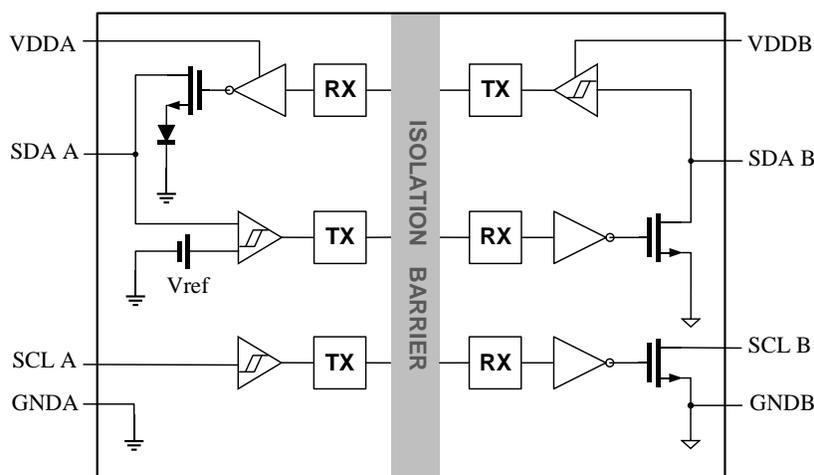


图 8-2 CA-IS3021 功能框图

8.3. I²C 功能实现

CA-IS302x 系列 I²C 接口隔离器产品内部将双向 SCL / SDA 数据线分为两个单向的数字信号传输通道。每个数字通道的输出驱动均为兼容 I²C 的开漏输出。CA-IS302x 芯片的 A 侧连接 I²C 总线上的低电容节点，最大支持 40pF 负载电容；B 侧连接 I²C 总线上的高电容节点，最大支持 400pF 负载电容。芯片内部具有防止 I²C 总线死锁电路，该电路将芯片 A 侧的 SCL / SDA 输出低电平电压抬升至大约 700mV；同时芯片 A 侧逻辑输入由内部迟滞比较器进行判决，判定 A 侧低电平是由 SDA 总线直接下拉的不超过 400mV 的输入低电平，还是经过 A 侧输出驱动抬升 700mV 的输出低电平，以此来判定此时 SCL / SDA 线上的信号传输方向。

8.4. 特性描述

CA-IS302x 系列产品通道特性、耐压特性以及数据速率特性详见表 8-1。

表 8-1 芯片特性描述

芯片名称	通道方向	隔离耐压等级 ¹	最大数据传输速率
CA-IS3020	双向通道 (SCL) 双向通道 (SDA)	5000 V _{RMS} 7071 V _{PK}	1MHz
CA-IS3021	单向通道 (SCL) 双向通道 (SDA)		
备注:			
1. 详细描述详见“隔离特性”节。			

8.5. 输入输出功能真值表

CA-IS302x 系列产品输入输出真值表详见表 8-2

表 8-2 芯片输入输出功能真值表¹

电源状态	输入	输出
VDDA 或 VDDB < 2.10V	X	Z
VDDA 和 VDDB > 2.24V	L	L
VDDA 和 VDDB > 2.24V	H	Z
VDDA 和 VDDB > 2.24V	Z ²	?
备注:		
1. H 表示高电平，L 表示低电平，Z 表示高阻态，X 表示无关，? 表示不定态。		
2. 正常工作状态下 I ² C 系统的 SDA 和 SCL 线需要电阻上拉到 VDD，正常工作状态下不会出现该情况。		

9. 典型应用

CA-IS3020 和 CA-IS3021 I²C 接口隔离芯片的典型应用原理图分别如图 9-1 和图 9-2 所示。其中 VDDA 和 VDDB 的电源电压建议在 3V~5.5V 之间，同时建议在 VDDA 和 GNDA 之间以及 VDDB 和 GNDB 之间加入 0.1μF 的去耦电容，用以保证芯片的稳定供电以及数据的稳定传输。0.1μF 的去耦电容距离芯片的 VDDA / VDDB 电源引脚要尽可能近，建议控制在 2mm 以内。

芯片 A 侧信号 SDA A / SCL A 线的负载电容不大于 40pF，芯片 B 侧信号 SDA B / SCL B 线的负载电容不大于 400pF；芯片 A 侧信号 SDA A / SCL A 线的最大电流下拉能力为 3.5mA，因此能挂载的最小上拉电阻要保证上拉电流不大于 3.5mA；芯片 B 侧信号 SDA B / SCL B 线的最大电流下拉能力为 35mA，因此能挂载的最小上拉电阻要保证上拉电流不大于 35mA；芯片 A 侧和 B 侧芯片 SDA / SCL 线上所能挂载的最大上拉电阻，要依据实际应用中的负载电容以及信号所需的上升时间而定。

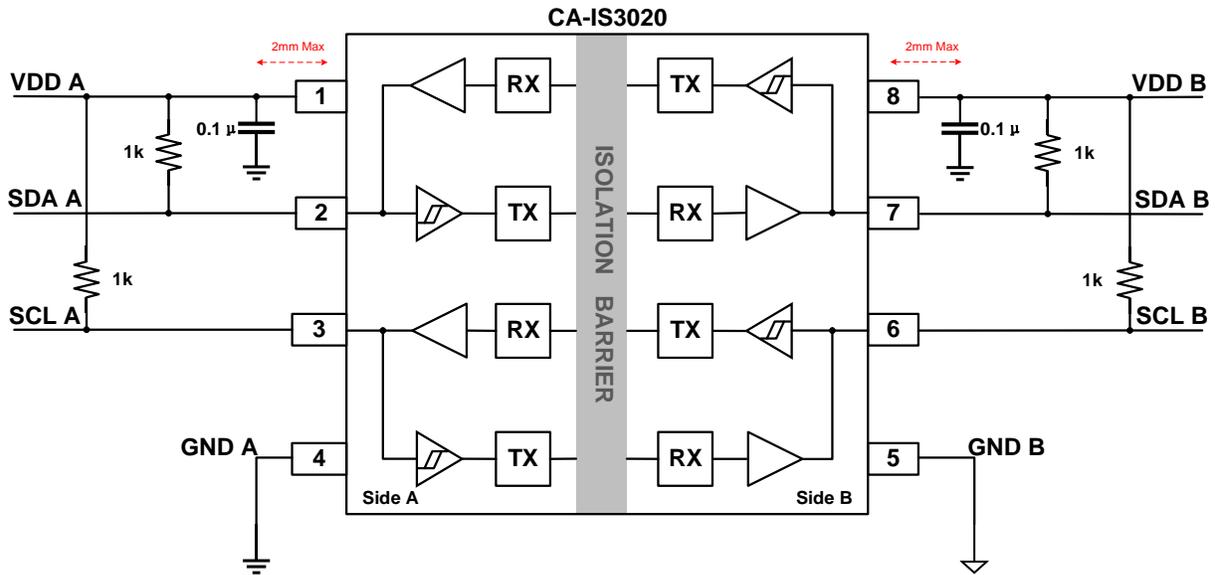


图 9-1 CA-IS3020 隔离 I²C 芯片典型应用原理图

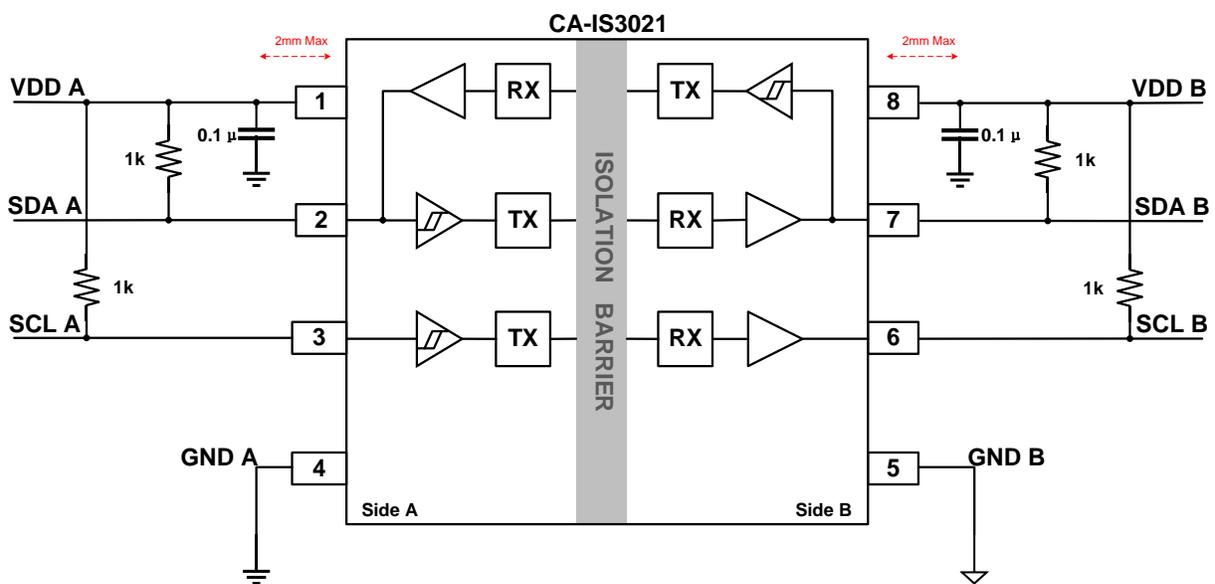
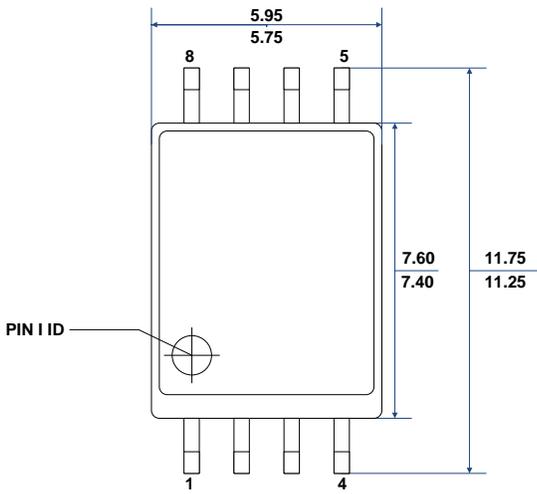


图 9-2 CA-IS3021 隔离 I²C 芯片典型应用原理图

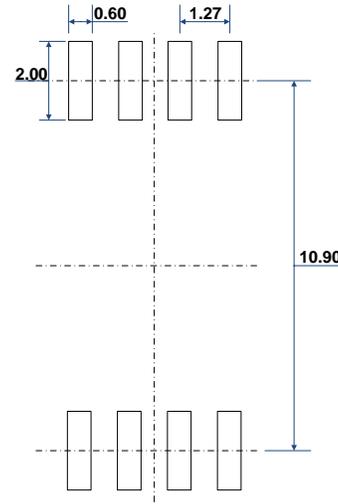
10. 封装信息

10.1. SOIC8 宽体外形尺寸

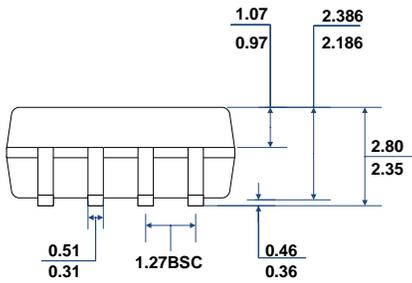
下图说明了 CA-IS302x 系列隔离 I²C 芯片采用 SOIC8 宽体封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



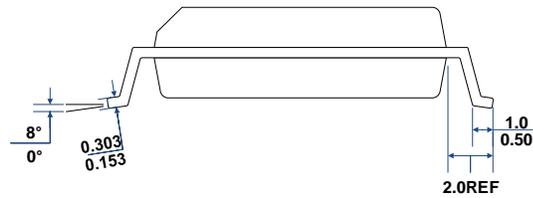
TOP VIEW



RECOMMENDED LAND PATTERN



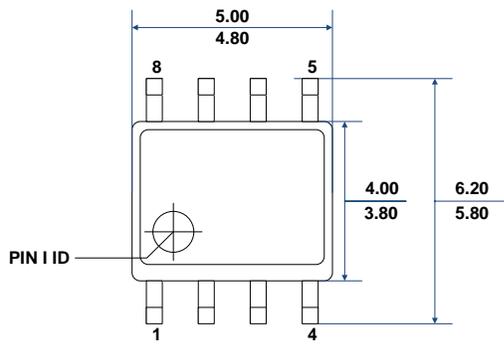
FRONT VIEW



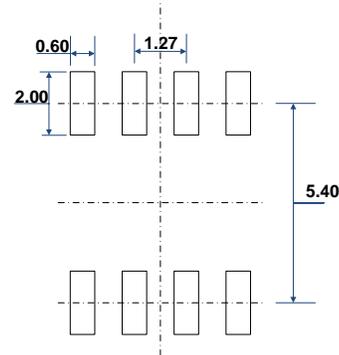
LEFT-SIDE VIEW

10.2. SOIC8 窄体外形尺寸

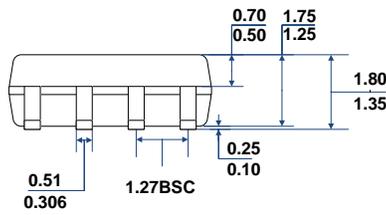
下图说明了 CA-IS302x 系列隔离 I²C 芯片采用 SOIC-8 窄体封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



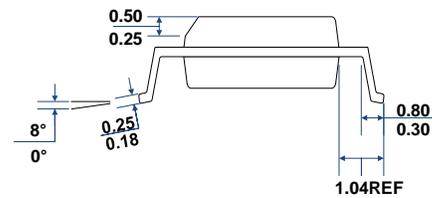
TOP VIEW



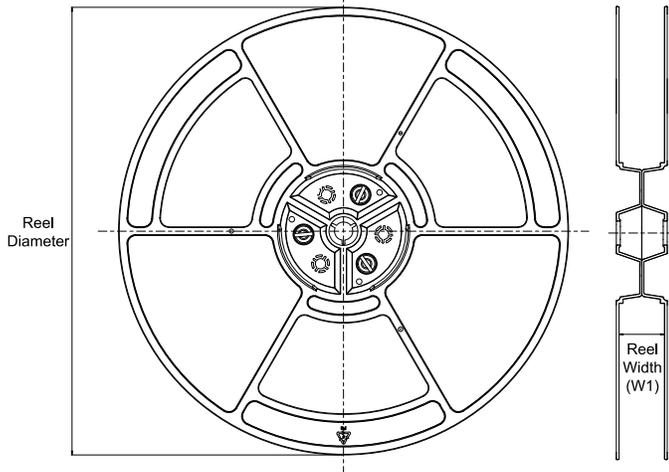
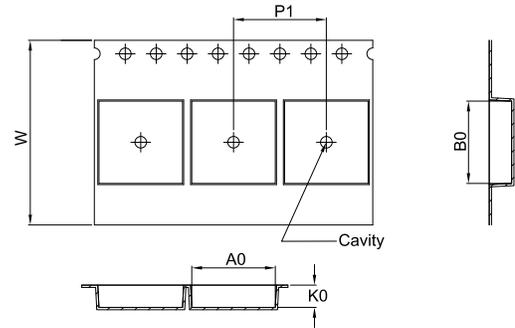
RECOMMENDED LAND PATTERN



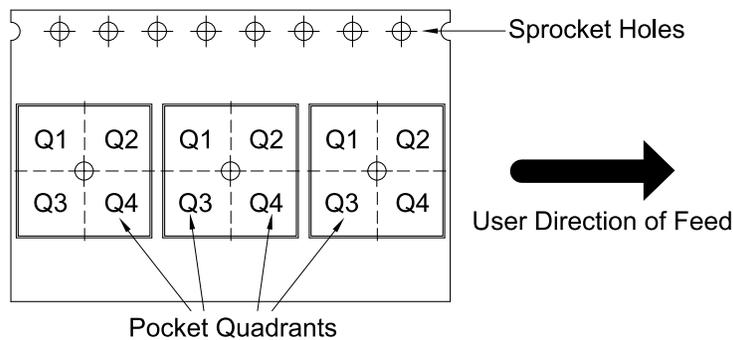
FRONT VIEW



LEFT-SIDE VIEW

TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3020S	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3020G	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1
CA-IS3021S	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3021G	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>