

CA-IF4023 AISG 开关键控同轴调制解调收发器

1. 产品特性

- 模拟电源电压范围：3V 至 5.5V
- 逻辑电源电压范围：1.6V 至 5.5V
- 接收机具有 -15dBm 至 +5dBm 的宽输入动态范围
- 发射机输出功率可在 5.4dBm 至 12dBm 范围内调节
- 符合 AISG 3.0 标准的发射特性
- 低功耗待机模式
- 针对 RS-485 总线仲裁的方向控制
- 支持所有 AISG 信号速率：9.6kbps、38.4kbps、115.2kbps
- 片上集成中心频率 2.176MHz 的有源带通滤波器
- 3mm × 3mm 16 引脚四方扁平无引线 (QFN) 封装
- 工作温度范围 -40°C~125°C

2. 应用

- AISG 针对天线线路器件的接口
- 塔顶放大器 (TMA)
- 通用调制解调器 (Modem) 接口

3. 概述

CA-IF4023 是一款符合 AISG 3.0 标准的全集成收发器。

CA-IF4023 接收机具有 20dB 的输入动态范围，集成一个中心频率为 2.176MHz 的窄带有源带通滤波器，保证即使在有干扰信号的情况下，接收机仍然有能力解调出有用信号。

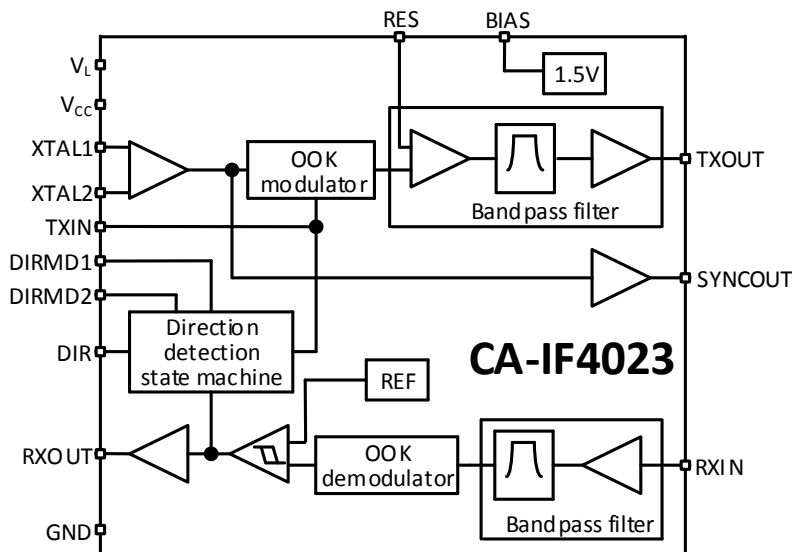
CA-IF4023 发射机同样集成了中心频率为 2.176MHz 的窄带有源带通滤波器，保证输出频谱满足 AISG 3.0 标准，输出功率在 5.4dBm 至 12dBm 范围内可通过片外电阻调节以补偿同轴电缆上的功率损失。

CA-IF4023 支持针对 RS-485 总线仲裁的方向控制功能，支持片外晶振、振荡器或其他片外时钟源输入。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IF4023	QFN16	3mm × 3mm

简化功能框图



4. 订购指南

表 4-1 有效订购零件编号

型号	封装
CA-IF4023	QFN16

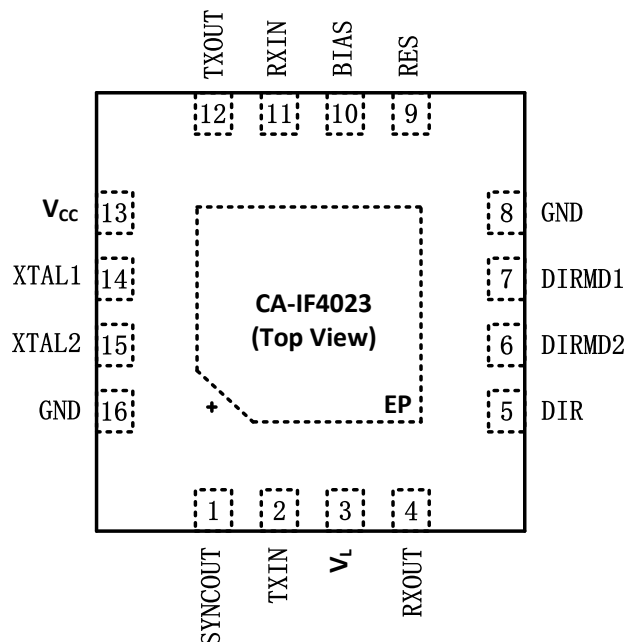
目录

1. 产品特性	1	7.5.6. 发射机特性	7
2. 应用	1	7.5.7. 转换时间特性	7
3. 概述	1	7.6. 典型特性	8
4. 订购指南	2	8. 参数测量信息	11
5. 修改历史	3	9. 详细说明	13
6. 引脚功能描述	4	9.1. 工作原理	13
7. 产品规格	5	9.2. 真值表	14
7.1. 绝对最大额定值 ¹	5	10. 应用信息	15
7.2. ESD 额定值	5	10.1. 发射频谱	15
7.3. 建议工作条件.....	5	10.2. 输出功率	15
7.4. 热量信息.....	6	10.3. 解调阈值	15
7.5. 电气特性.....	6	10.4. 外部时钟	15
7.5.1. 直流特性	6	11. 封装信息	17
7.5.2. 逻辑输入和输出	6	11.1. 封装信息表	17
7.5.3. XTAL 输入和 SYNCOUT 输出	6	11.2. QFN16 外形尺寸	17
7.5.4. 接收机滤波特性	6	12. 卷带信息	18
7.5.5. 接收机特性	7		

5. 修改历史

2020年10月29日 修订版 A

- 初始版本

6. 引脚功能描述

图 6-1 CA-IF4023 引脚图
表 6-1 CA-IF4023 引脚功能描述

引脚名称	引脚编号	类型	描述
SYNCOUT	1	输出	同步时钟输出，以漏端开路形式输出 XTAL1/2 输入的源时钟，使用时建议外接 1kΩ 电阻到电源 V _{cc}
TXIN	2	输入	发射端数字信号输入端口
V _L	3	电源	逻辑电源端口，1.6V 至 5.5V
RXOUT	4	输出	接收端数字信号输出
DIR	5	输出	信号方向指示逻辑输出，检测到 RXIN 有信号时置高
DIRMD2	6	输入	信号速率控制端口，DIRMD[2:1]: [L, L] = 9.6kbps; [L, H] = 38.4kbps; [H, L] = 115.2kbps; [H, H] = 待机模式
DIRMD1	7	输入	
GND	8	地	地
RES	9	输入	发射端输出功率控制端口，外接从 BIAS 端口引出的分压电阻
BIAS	10	输出	参考电压输出端口，外接分压电阻到 RES 端口，使用时建议接 1μF 到地去耦电容
RXIN	11	输入	接收端输入信号端口
TXOUT	12	输出	发射端输出信号端口
V _{cc}	13	电源	模拟电源端口，3.0V 至 5.5V
XTAL1	14	输入	外接晶振输入端口，若 XTAL1 直接外接振荡器或锁相环的输出时钟时，请将 XTAL2 接地
XTAL2	15	输入	
GND	16	地	地
EP	—	—	底部散热盘，使用时建议接地

7. 产品规格

7.1. 绝对最大额定值¹

参数		最小值	最大值	单位
V _{CC} , V _L	电源电压	-0.3	6.0	V
V _{IO}	模拟端口对地电压 RXIN, TXOUT, XTAL1, XTAL2, SYNCOUT, RES, BIAS	-0.3	V _{CC} + 0.3	V
V _{IO}	逻辑端口对地电压 TXIN, RXOUT, DIR, DIRMD1, DIRMD2	-0.3	V _L + 0.3	V
I _O	逻辑端口输出电流	-20	20	mA
I _O	TXOUT 端口输出电流	内部限流		
I _O	SYNCOUT 端口输出电流	内部限流		
T _J	结温	-40	150	°C
T _{STG}	存储温度范围	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

7.2. ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 ¹	±2000	V
	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, RXIN 或 TXOUT 对 GND	±8000	
	组件充电模式 (CDM), 根据 JESD22-C101, 所有引脚	±1000	

备注:

1. JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造。

7.3. 建议工作条件

参数		最小值	典型值	最大值	单位
V _{CC}	模拟电源电压	3	5	5.5	V
V _L	逻辑电源电压	1.6	3.3	5.5	V
V _{IN}	RXIN 输入信号幅度			1.12	V
1/t _{UI}	信号速率	9.6		115.2	kbps
V _{IH}	高电平输入阈值	TXIN, DIRMD1, DIRMD2		V _L	V
		XTAL1, XTAL2		V _{CC}	
V _{IL}	低电平输入阈值	TXIN, DIRMD1, DIRMD2		0.3 x V _L	V
		XTAL1, XTAL2		0.3 x V _{CC}	
R1	BIAS 和 RES 端口间电阻		4.1		kΩ
R2	RES 和 GND 端口间电阻		10		kΩ
R _{SYNC}	SYNCOUT 的上拉电阻		1		kΩ
V _{RES}	RES 端口电压	0.7		1.5	V
f _{OSC}	振荡器频率	-30ppm	8.704	30ppm	MHz
C _C	RXIN 端口与线缆间的隔直电容		100		nF
C _{BIAS}	BIAS 端口与 GND 间的去耦电容		1		μF
T _A	环境温度	-40		125	°C
T _J	结温	-40		150	°C

7.4. 热量信息

热量表		QFN16	单位
$R_{\theta JA}$	IC 结至环境的热阻	51.6	°C/W
$R_{\theta JC(top)}$	IC 结到壳 (顶部) 热阻	69.5	°C/W
$R_{\theta JB}$	IC 结对板热阻	24.2	°C/W
$R_{\theta JC(bottom)}$	IC 结到壳 (底部) 热阻	26.1	°C/W

7.5. 电气特性

以建议工作条件为准, 除非另有说明。

7.5.1. 直流特性

参数	测试条件	最小值	典型值	最大值	单位	
I_{CC}	模拟电源电流	DIRMD1 = L DIRMD2 = H	TXIN = L (调制态)	30.5	44	mA
			TXIN = H (静默态)	30	43	mA
			TXIN = 115.2kbps, 50% 占空比	30.3	44	mA
			DIRMD1 = DIRMD2 = H (待机模式)	13.5	25	mA
I_L	逻辑电源电流	TXIN = H, RXIN = 直流输入		50	μA	
PSRR_RX ¹	接收机电源抑制比	$V_{TXIN} = V_L$	45		dB	
PSRR_TX ²	接收机电源抑制比	$V_{TXIN} = 0$	45		dB	
T_{JSD_RISE}	上升热关断温度		180		°C	
T_{JSD_FALL}	下降热关断温度		150		°C	
T_{JSD_HYS}	热关断温度迟滞窗口		30		°C	
备注:						
1. 定义为在直流处的 $\Delta V_{RXIN}/\Delta V_{CC}$ 。						
2. 定义为在直流处的 $\Delta V_{TXOUT}/\Delta V_{CC}$ 。						

7.5.2. 逻辑输入和输出

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	高逻辑输入电平 RXOUT, DIR	输出拉电流 3.3mA	$0.9 \times V_L$		V
V_{OL}	低逻辑输入电平 RXOUT, DIR	输出灌电流 3.3mA		$0.1 \times V_L$	V
I_{IH}	高逻辑输入电流 TXIN	$V_{TXIN} = V_L$		1	μA
I_{IL}	低逻辑输入电流 TXIN	$V_{TXIN} = 0V$	-1		μA
I_{IH}	高逻辑输入电流 DIRMD1/2	$V_{DIRMD1/2} = V_L$		50	μA
I_{IL}	低逻辑输入电流 DIRMD1/2	$V_{DIRMD1/2} = 0V$	-1		μA

7.5.3. XTAL 输入和 SYNCOUT 输出

参数	测试条件	最小值	典型值	最大值	单位
I_{XTAL_IH}	高电平输入电流	$V_{XTAL} = V_{CC}$		10	μA
I_{XTAL_IL}	低电平输入电流	$V_{XTAL} = 0V$	-1		μA
V_{SYNC_OL}	低电平输出电压	输出灌电流 3.3mA		0.4	V

7.5.4. 接收机滤波特性

参数	测试条件	最小值	典型值	最大值	单位
f_{PB}	接收机通带频率	$V_{RXIN} = 1.12V_{P-P}$	1.1	4.17	MHz
f_{REJ}	接收机干扰抑制频率	2.176MHz 载波幅度为 112.4mV _{P-P} , 带外杂散信号幅度为 800mV _{P-P}	1.1	4.17	MHz
t_{noise_filter}	接收机去抖动时间	DIRMD1/2 设置为 9.6kbps 速率	4		μs
		DIRMD1/2 设置为 >9.6kbps 速率	2		μs

上海川土微电子有限公司

7.5.5. 接收机特性

参数	测试条件	最小值	典型值	最大值	单位
V _{IT} 接收机输入阈值	f _{RXIN} = 2.176MHz	-18	-15	-12	dBm
		79.6	112.4	158.8	mV _{P-P}
Z _{IN} 接收机输入阻抗	f = f ₀	11	18		kΩ

7.5.6. 发射机特性

参数	测试条件	最小值	典型值	最大值	单位
V _{OUT} TXOUT 输出电压幅度	V _{RES} = 1.5V (最大)	10.5	12		dBm
		2.12	2.52		V _{P-P}
	V _{RES} = 0.7V (最小)		5.38	6.28	dBm
			1.17	1.3	V _{P-P}
f ₀ TXOUT 输出频率		2.176		MHz	
Δf ₀ ¹ TXOUT 输出频率变化				±100	ppm
P _{oz} 输出泄漏功率	TXIN = V _L	TXOUT 输出端		1	mV _{P-P}
		线缆端		-60	dBm
输出频谱掩膜 ²		符合 AISG 频谱掩膜标准 (3GPP TS 37.461 规范), 见图 10-1			
Z _o TXOUT 输出阻抗	直流	0.03		Ω	
	f _{sw} = 10MHz	3.5			
I _{sc} TXOUT 输出短路电流	短路至 GND 或 V _{CC}			±200	mA

备注:

- 输出频率的变化主要取决于片外晶振频率的变化。
- 在 RXIN 和 GND 之间接 470pF 电容, 频率超过 150MHz 以上的测试结果由测试仪器的设置决定。

7.5.7. 转换时间特性

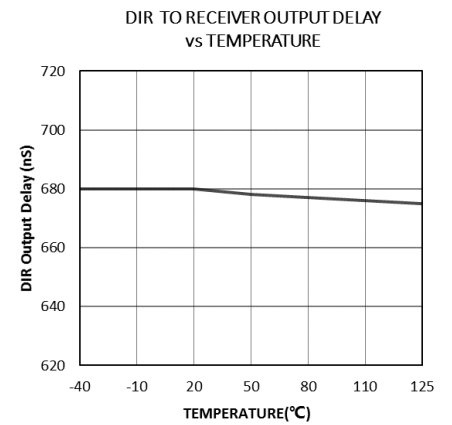
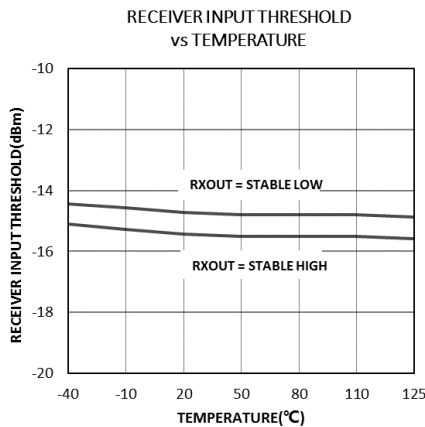
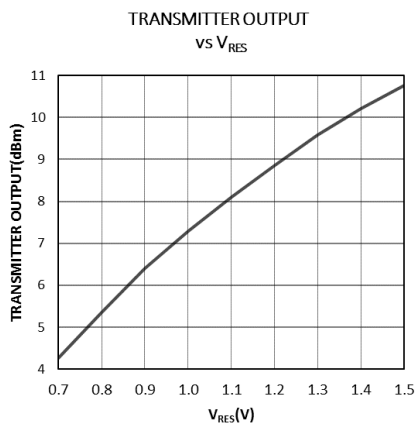
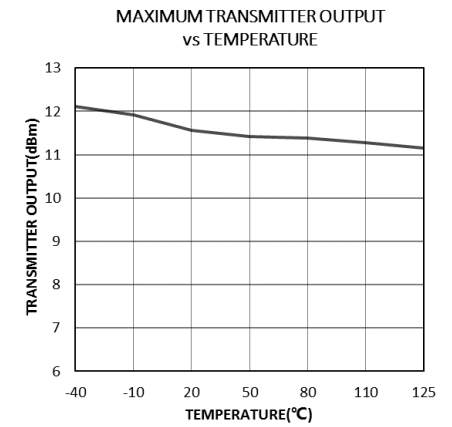
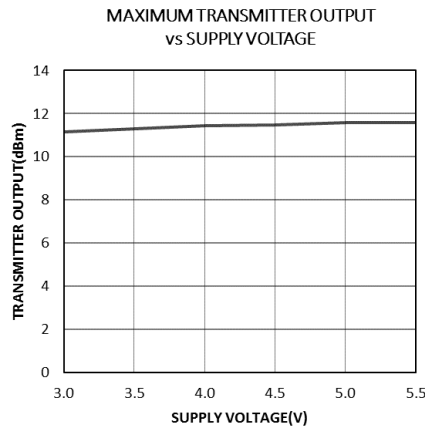
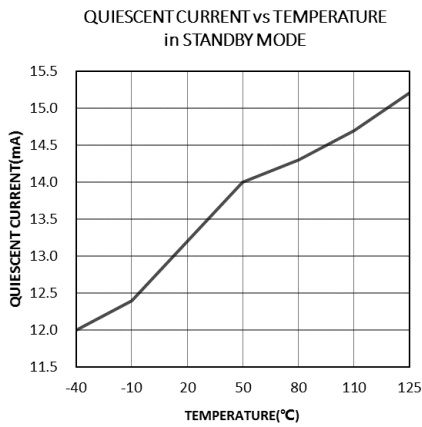
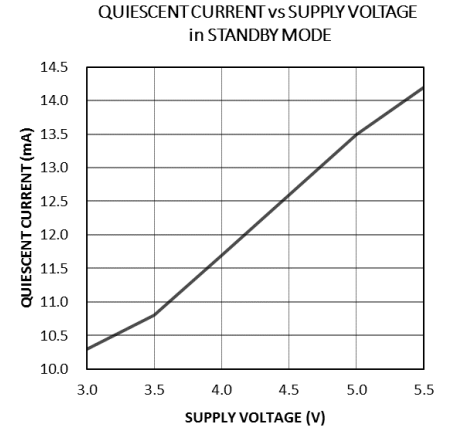
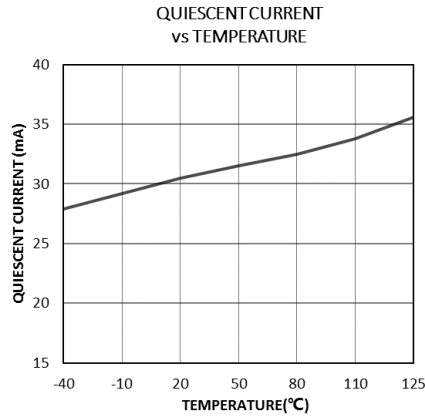
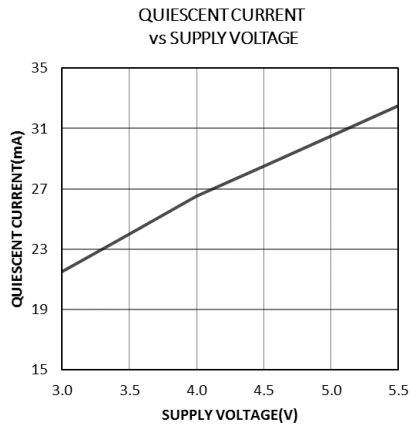
参数	测试条件	最小值	典型值	最大值	单位
t _{rx} 接收机传输延时	RXIN 到 RXOUT, DIRMD1 = DIRMD2 = 0V		7	10	μs
	RXIN 到 RXOUT, DIRMD1 = V _L , DIRMD2 = 0V (38.4kbps), 或 DIRMD1 = 0V, DIRMD2 = V _L (115.2kbps)		5	10	μs
t _r , t _f 接收机输出上升下降时间	t _r : 10%至 90%; t _f : 90%至 10%; R _L = 1kΩ, C _L = 10pF		8	20	ns
t _{tx} 发射机传输延时	TXIN 到 TXOUT			3	μs
t _{DIR_SKEW} ¹ DIR 相对 RXOUT 的延时		270	670		ns
t _{DIR} DIR 为高电平时长	DIRMD1 = DIRMD2 = 0V (9.6kbps)		1667		μs
	DIRMD1 = V _L , DIRMD2 = 0V (38.4kbps)		417		
	DIRMD1 = 0V, DIRMD2 = V _L (115.2kbps)		137		
ΔDC 接收机输出信号占空比变化	RXIN 灌入 50%占空比、2.176MHz 正弦 OOK 调制信号 ²	RXIN = 0dBm		±10	%
		RXIN = -10dBm		±10	

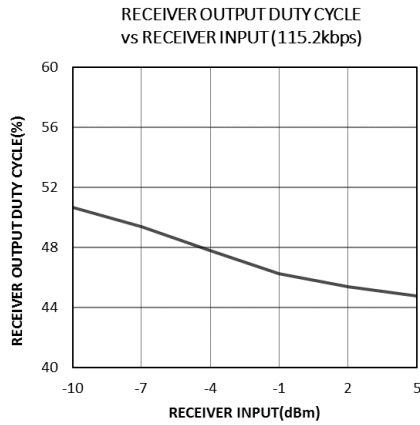
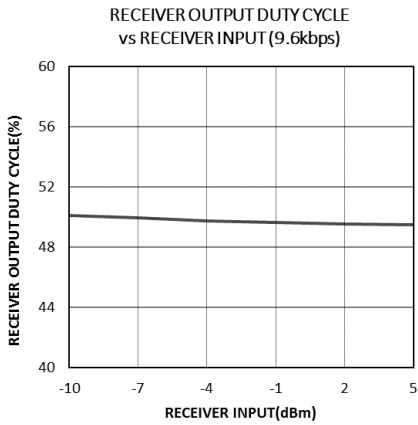
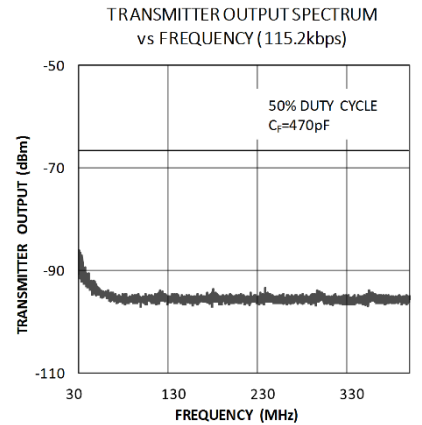
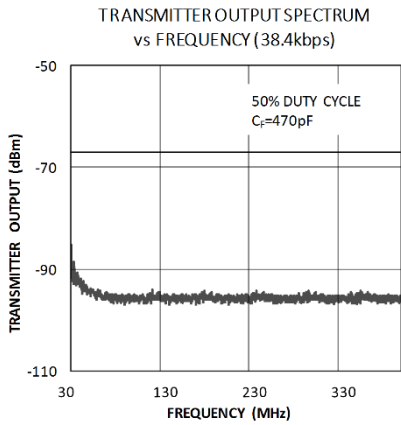
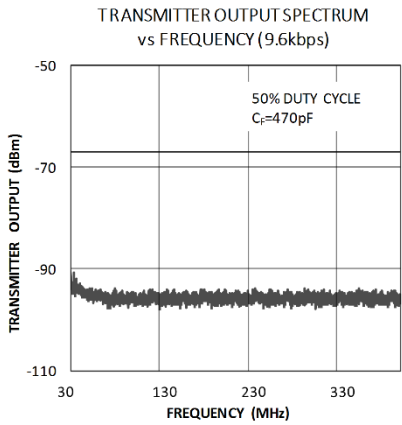
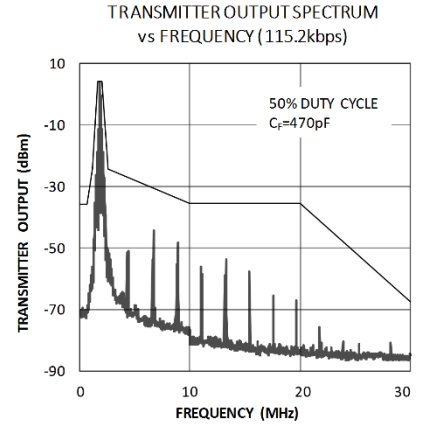
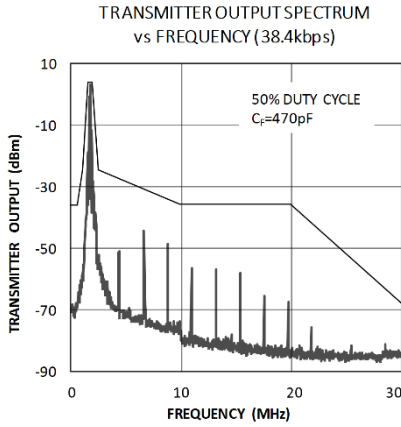
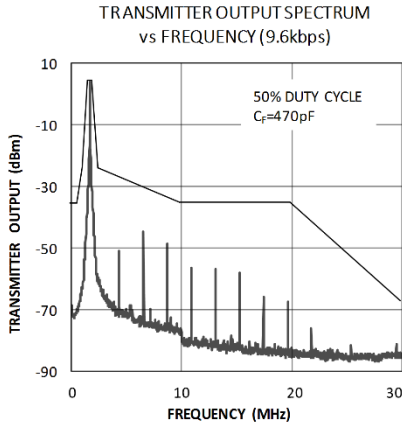
备注:

- 见图 8-2。
- ±2μs 的包络上升下降时间。

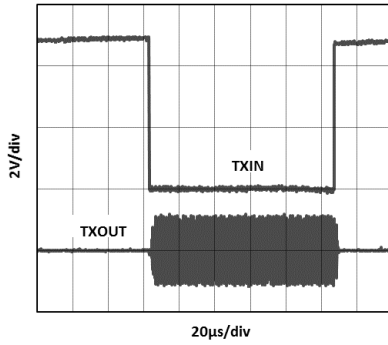
7.6. 典型特性

以建议工作条件为准，除非另有说明。

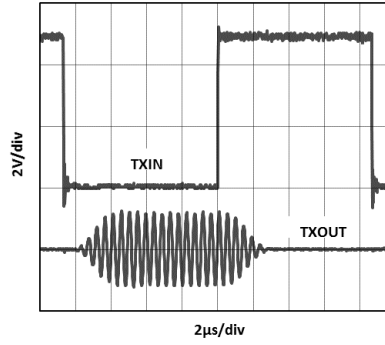




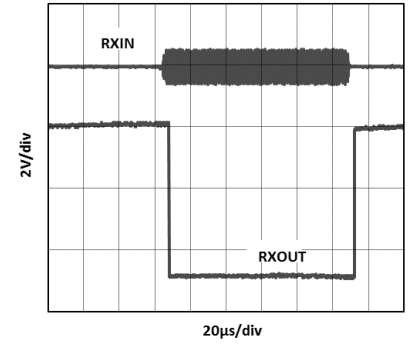
TRANSMITTER PROPAGATION DELAY
AT 9.6kbps



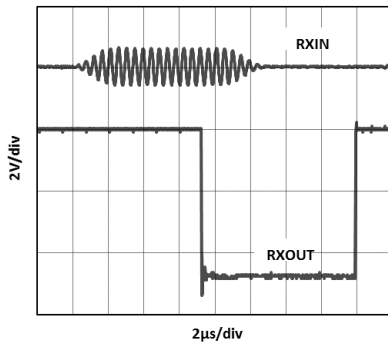
TRANSMITTER PROPAGATION DELAY
AT 115.2kbps



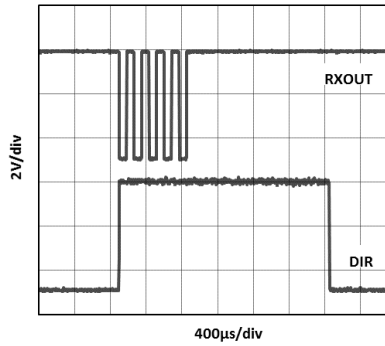
RECEIVER PROPAGATION DELAY
AT 9.6kbps



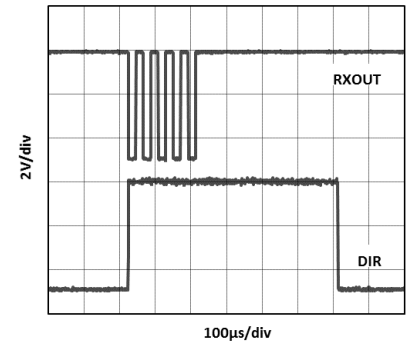
RECEIVER PROPAGATION DELAY
AT 115.2kbps



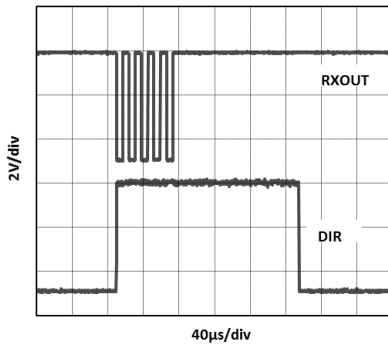
RECEIVER OUTPUT TO DIR
AT 9.6kbps



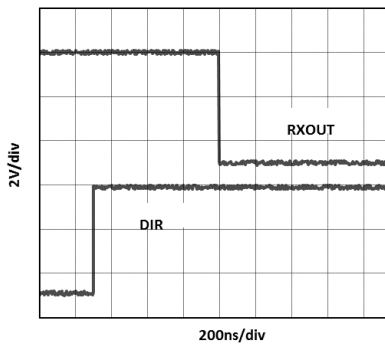
RECEIVER OUTPUT TO DIR
AT 38.4kbps



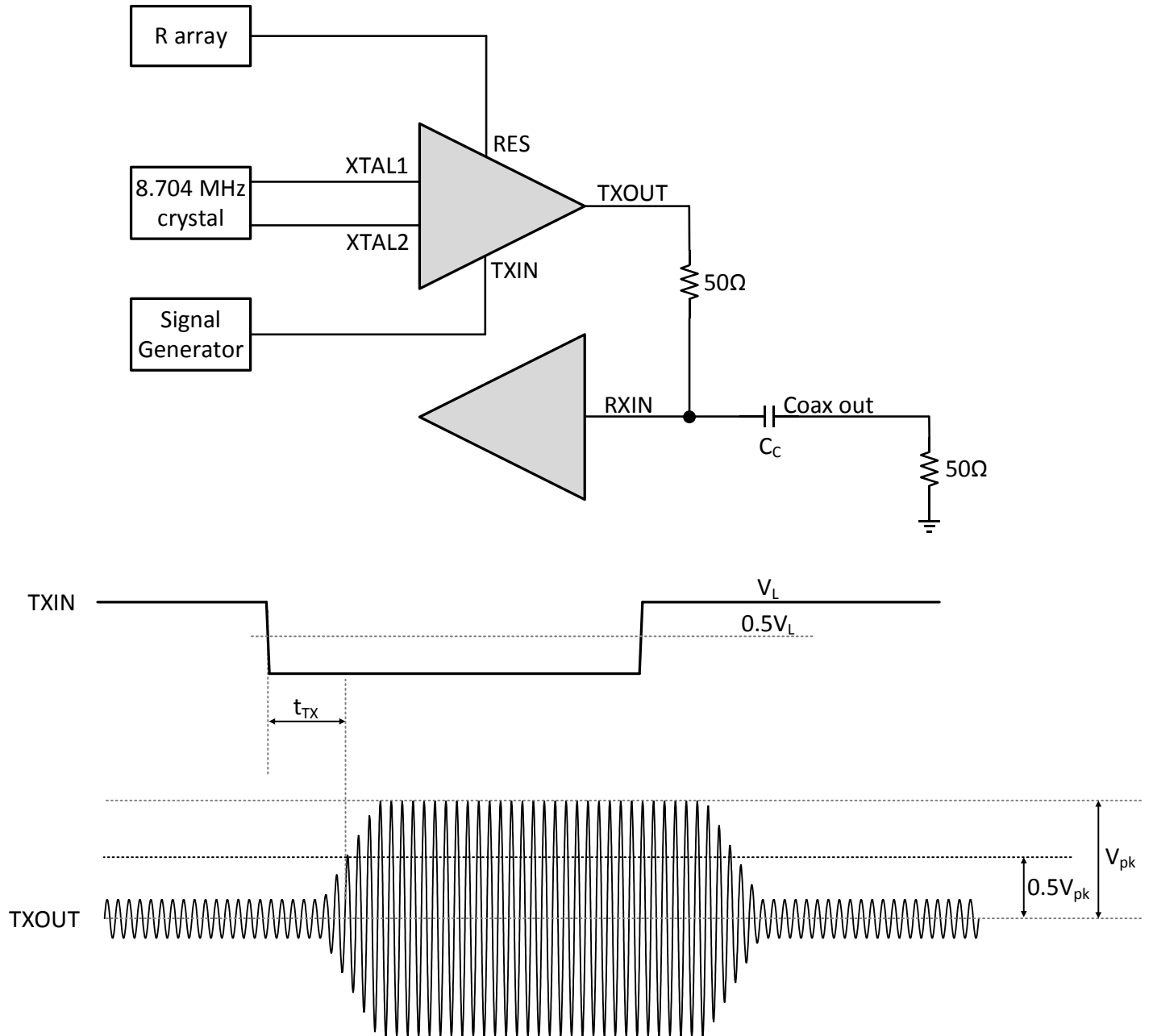
RECEIVER OUTPUT TO DIR
AT 115.2kbps



DIR TO RECEIVER OUTPUT



8. 参数测量信息



备注:

1. 信号发生器产生的数字信号要求为 50% 占空比，上升下降时间小于 6ns，正常输出高低电平分别为 3.3V 和 0V。
2. C_c 取值建议为 100nF 或者 220nF。
3. 电阻阵列的取值描述见 10.2 小节。
4. 8.704MHz 的晶振或其他片外时钟源的使用说明见 10.4 小节。

图 8-1 发射链路传输延时和输出信号幅度测试电路和波形示意图

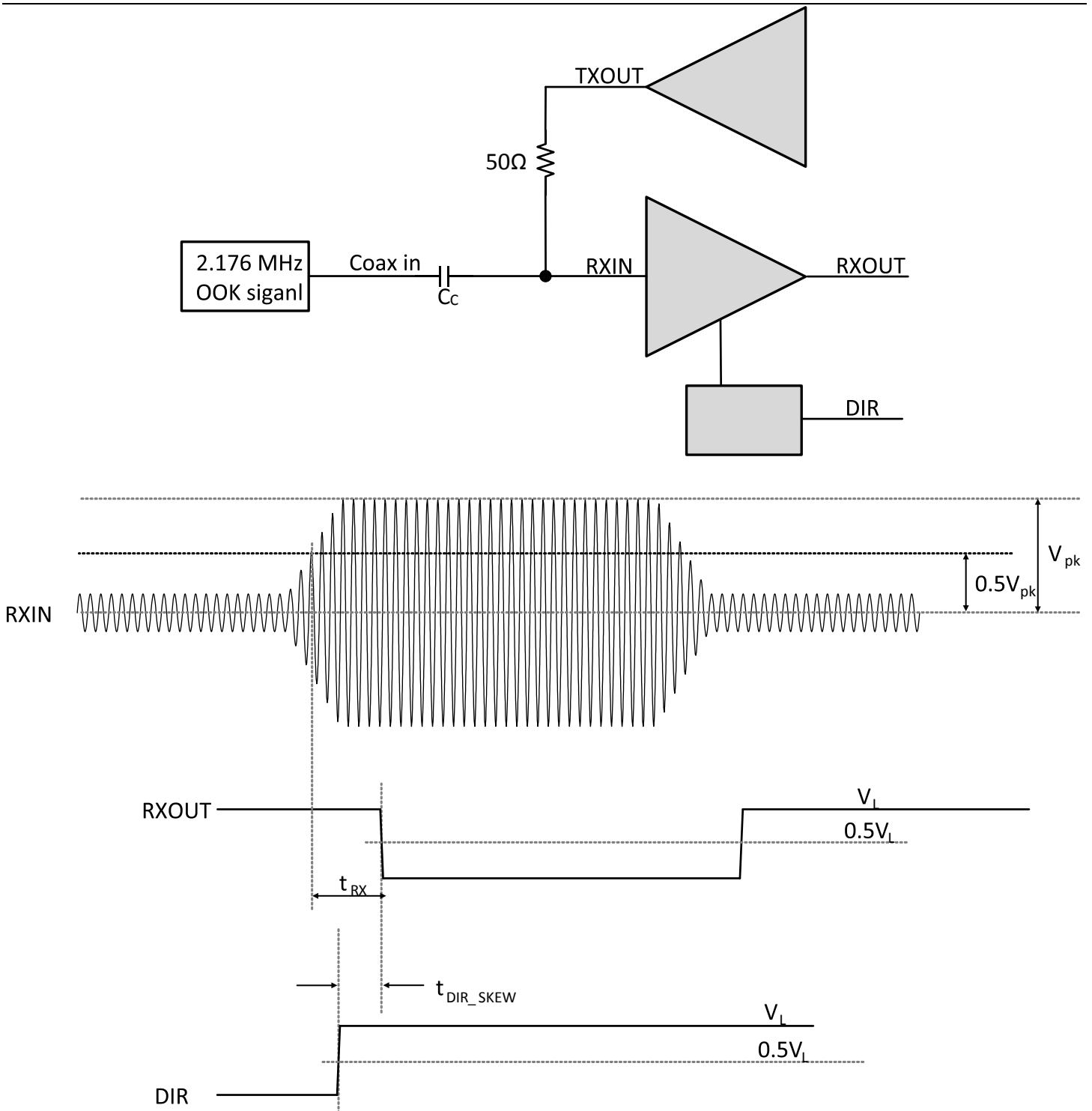


图 8-2 接收链路传输延时和方向指示信号 DIR 测试电路和波形示意图

9. 详细说明

9.1. 工作原理

CA-IF4023 是一款符合 AISG 3.0 标准的全集成收发器。

CA-IF4023 接收链路包括一个中心频率为 2.176MHz 的窄带带通滤波器 (Bandpass filter)、OOK 解调器 (OOK demodulator)、输出驱动器，能够在有干扰信号的情况下正确地解调出有用信号。接收链路的解调阈值典型值为 $-15 \pm 2\text{dBm}$ ，符合 AISG 标准规范。

CA-IF4023 发射链路包括 OOK 信号调制器 (OOK modulator)、符合 AISG 频谱掩膜的带通滤波器和输出放大器。发射链路输出功率可通过片外电阻网络调节，以补偿片外电路和同轴电缆导致的功率损失，可调范围为 $+5.4\text{dBm}$ 到 $+12\text{dBm}$ (线缆输出端相应的为 -0.6dBm 到 $+6\text{dBm}$)。8.704MHz 的片外晶振从 XTAL1 和 XTAL2 端口输入产生 OOK 调制载波信号，同样可以使用片外相同频率的时钟信号从 XTAL1 端口输入作为载波信号，此时 XTAL2 端口须接地。

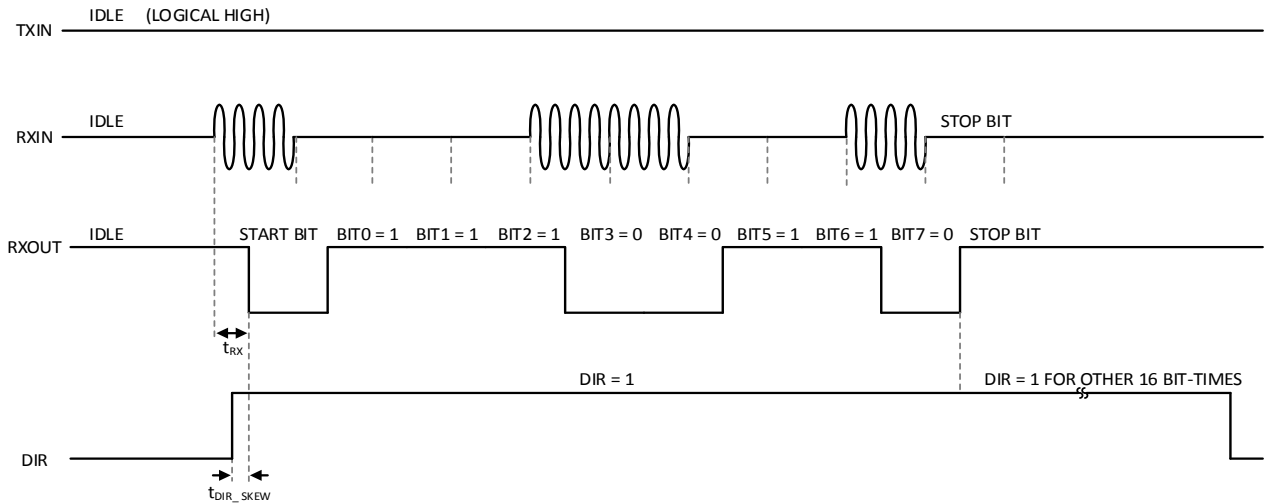


图 9-1 通信信号从 RXIN 传输到 RXOUT 的时序图

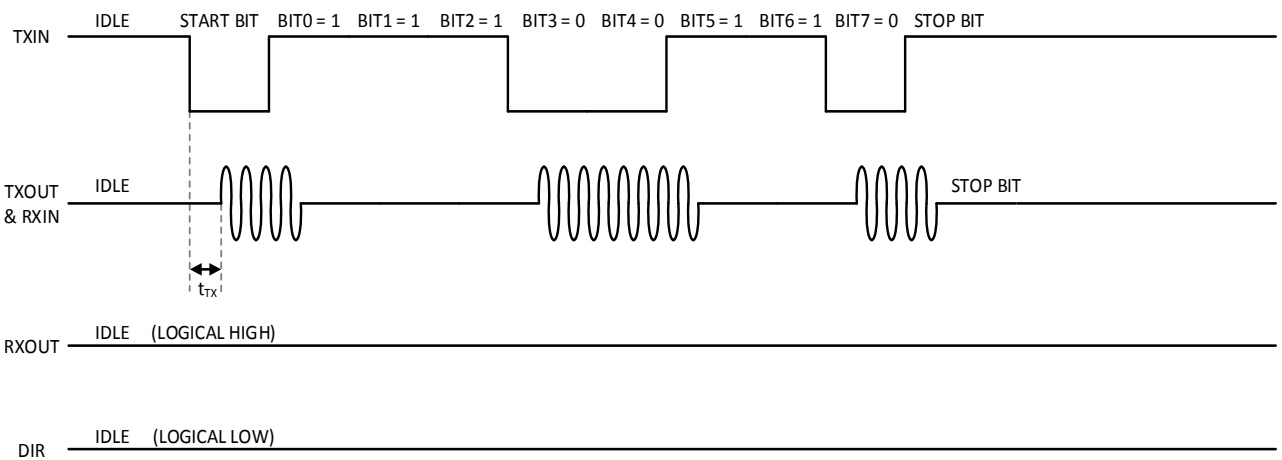


图 9-2 通信信号从 TXIN 传输到 TXOUT 的时序图

CA-IF4023 提供一个方向指示输出端口 (DIR) 用来指示信号流的方向，帮助 RS-485 更快捷方便地进行总线判决。如在塔顶的应用中 (如图 10-3 所示)，DIR 可被用来控制 RS-485 的 DE (发射机输出使能) 和 RE (接收机输入使能)，当信号从 RXIN 传输到 RXOUT，DIR 将被置高；反之，当有信号从 TXIN 传输到 TXOUT 或者 TXIN 和 RXIN 均无信号时，DIR 将被置低；若在 RXIN 和 TXIN 处均有信号，芯片内部的方向检测状态机 (Direction detection state machine) 会进行

判决，若接收链路的信号先到状态机处，则 CA-IF4023 进入接收模式，屏蔽发射链路，反之 CA-IF4023 进入发射模式，屏蔽接收链路，在实际使用时应合理安排时序，避免进入此种状态。

图 9-1 和图 9-2 显示了 DIR 的具体指示功能：

1) 当 RXIN 和 TXIN 均没有信号时，芯片进入默认的空闲 (IDLE) 状态，此时 DIR 被置低，RXOUT 被置高，TXOUT 进入静默态；

2) 当芯片内部的状态机检测到信号从 RXIN 传输到 RXOUT，芯片进入接收模式，此时 DIR 被置高，RXOUT 响应 RXIN 的信号，输出对应的解调信号，在 RXOUT 最后一次变高后再延长 16 个 BIT 时间，接收模式结束，然后 DIR 被置低，芯片进入空闲状态；

3) 当芯片内部的状态机检测到信号从 TXIN 传输到 TXOUT，芯片进入发射模式，DIR 被置低，TXOUT 响应 TXIN 的信号，RXOUT 不响应 RXIN 的信号且被置高，在 TXIN 最后一次变高后再延长 16 个 BIT 时间，发射模式结束，进入空闲状态。

端口 DIRMD1 和 DIRMD2 用来设置不同信号速率下的 BIT 时间，如表 9-1 所示。当 DIRMD1 和 DIRMD2 均被拉高至 V_L 时，芯片进入待机模式，此时 RXOUT 被置高，不解调 RXIN 的任何输入信号，DIR 被置低，整个芯片的供电电流下降。

9.2. 真值表

表 9-1 DIRMD1 和 DIRMD2 功能定义

DIRMD2 ¹	DIRMD1 ¹	AISG 速率 (kbps)	单 BIT 时间 (μ s)
0	0	9.6	104.16
0	1	38.4	26.04
1	0	115.2	8.68
1	1	待机 ²	待机 ²

备注:

1. DIRMD1 和 DIRMD2 端口在芯片内部通过电阻下拉到 GND。
2. 待机模式下 RXOUT 置高，TXOUT 静默态，不响应任何输入信号。

10. 应用信息

10.1. 发射频谱

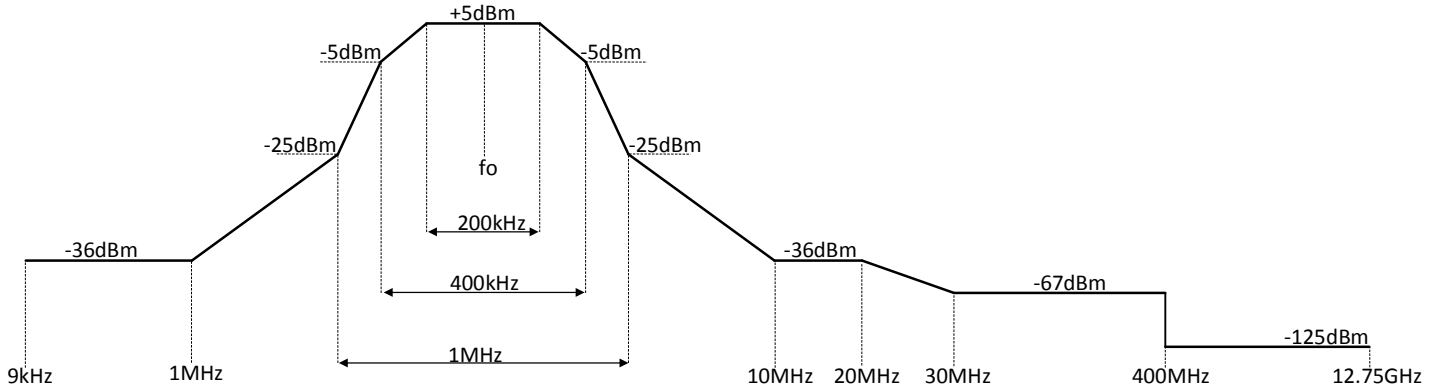


图 10-1 符合 AISG TS 37.461 标准 50% 占空比 OOK 调制信号发射频谱掩膜

图 10-1 显示了 AISG 标准规定的 OOK 调制信号频谱掩膜。实际应用时，如图 10-2 和图 10-3 所示，在 RXIN 端口和 GND 之间接一个 470pF 的电容来滤除频率在 25MHz 以上的谐波以更好地满足频谱掩膜的要求。在 TXOUT 和 RXIN 之间接 50Ω 电阻，对于信号从 TXIN 传输到 TXOUT 而言，50Ω 电阻相当于串联在 TXOUT 和线缆之间，而对于 RXIN 端接收到的信号而言，50Ω 电阻相当于并联关系。为了更好地抑制电源上的干扰，TXOUT 的直流工作点偏置在 1.5V 左右，同时芯片为了避免 TXOUT 的直流工作点受到线缆侧的影响，通过隔直电容连接到线缆上。

10.2. 输出功率

CA-IF4023 发射链路的输出功率可以通过片外电阻调节，如图 10-2 和图 10-3 所示，电阻 R1 接在 BIAS 和 RES 之间，电阻 R2 接在 RES 和 GND 之间，在 BIAS 和 GND 之间建议接一个 1μF 的去耦电容。TXOUT 的输出电压幅度和 R1、R2 之间的关系为：

$$V_{TXOUT}(V_{P-P}) = 2.52V_{P-P} \times R2 / (R1 + R2)$$

其中 R2 / (R1 + R2) 的值可在 0.467 和 1 之间变化，当 R1 为 0Ω 时，TXOUT 输出最大幅度为 2.52V，TXOUT 输出的最小幅度为 1.17V，折算到 50Ω 上的输出功率为 5.4dBm，相当于线缆的输出功率为 -0.6dBm。AISG 标准要求线缆输出端功率为 3dBm，相当于 TXOUT 输出电压幅度为 1.78V_{P-P}，因此根据上述关系建议选取 R1 = 4.1kΩ，R2 = 10kΩ。

10.3. 解调阈值

CA-IF4023 接收链路最大输入信号为 1.12V_{P-P}，折算到 50Ω 上接收功率为 5dBm。解调阈值为 -15dBm (112.4mV_{P-P}) ± 3dB，这规定了芯片内部能够完成正确解调的最小输入信号幅度。为避免接收机饱和，其他任何功率高于 5dBm 的相邻载波频率必须低于 1.1MHz 或者高于 4.17MHz。

10.4. 外部时钟

CA-IF4023 需要外部提供调制载波信号，且为满足 AISG 标准规定的 ±100ppm 的频率稳定度指标，要求 8.704MHz 的片外晶振具有 ±30ppm 的频率稳定度，如图 10-2 和图 10-3 所示，建议在 XTAL1 和 XTAL2 分别接一个 40pF (±10%) 的电容到 GND。CA-IF4023 可通过 SYNCOUT 端口共享出 XTAL1 和 XTAL2 输入的源时钟信号，将 SYNCOUT 端口通过 1kΩ 电阻上拉至 V_{CC}。若基站端作为主设备，塔端作为从设备，则基站端的 CA-IF4023 的 SYNCOUT 将源时钟信号通过串接一个 10kΩ 电阻输出至塔端的 CA-IF4023 的 XTAL1，其 XTAL2 端口此时须接地。

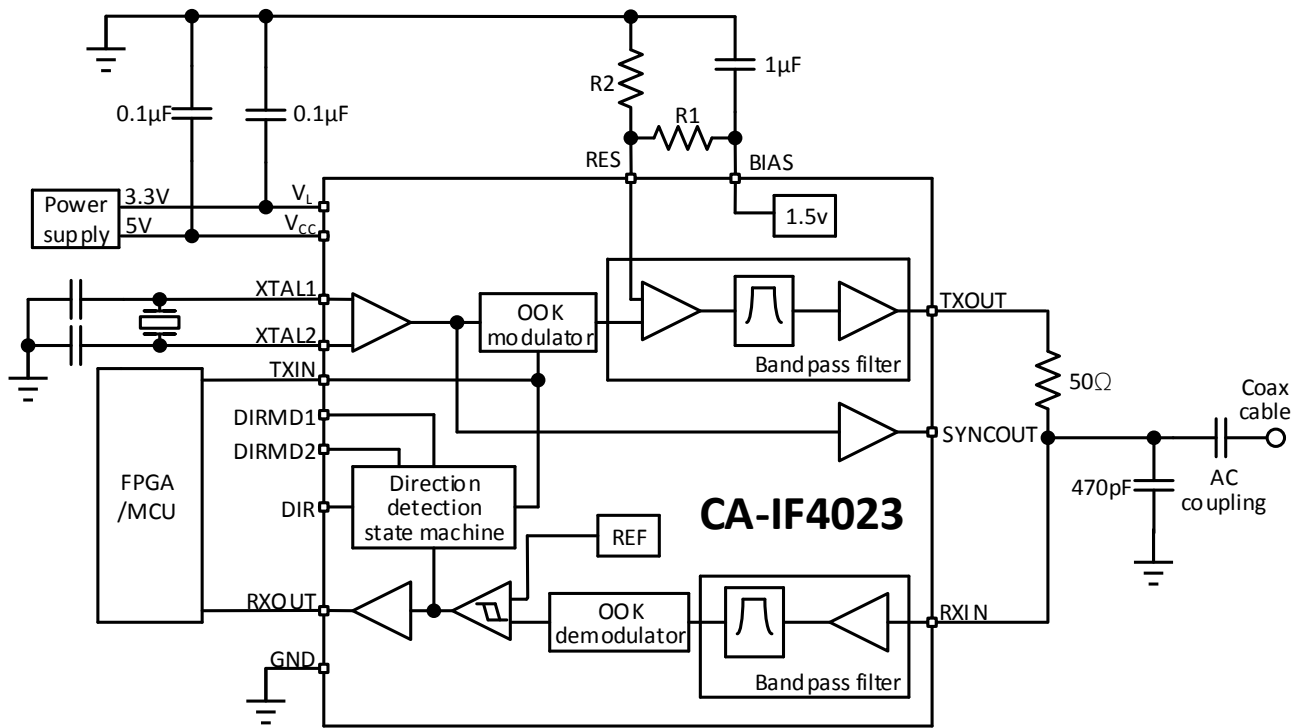


图 10-2 CA-IF4023 连接基站端的典型应用图

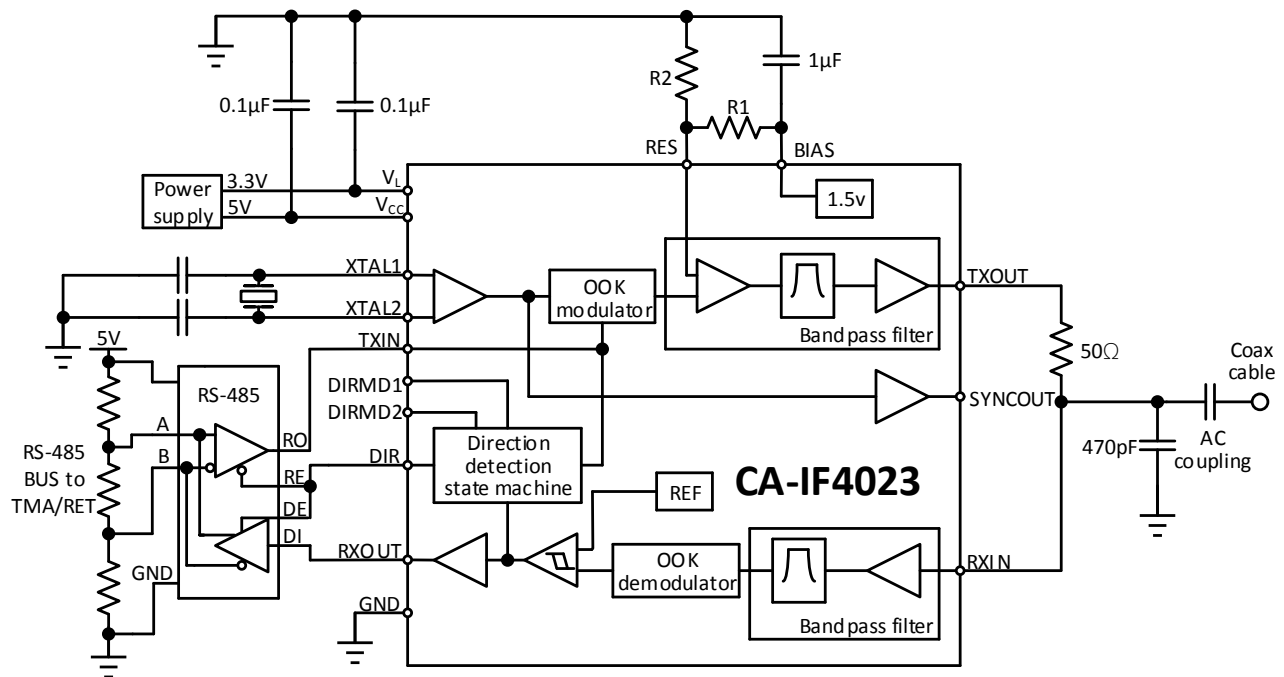


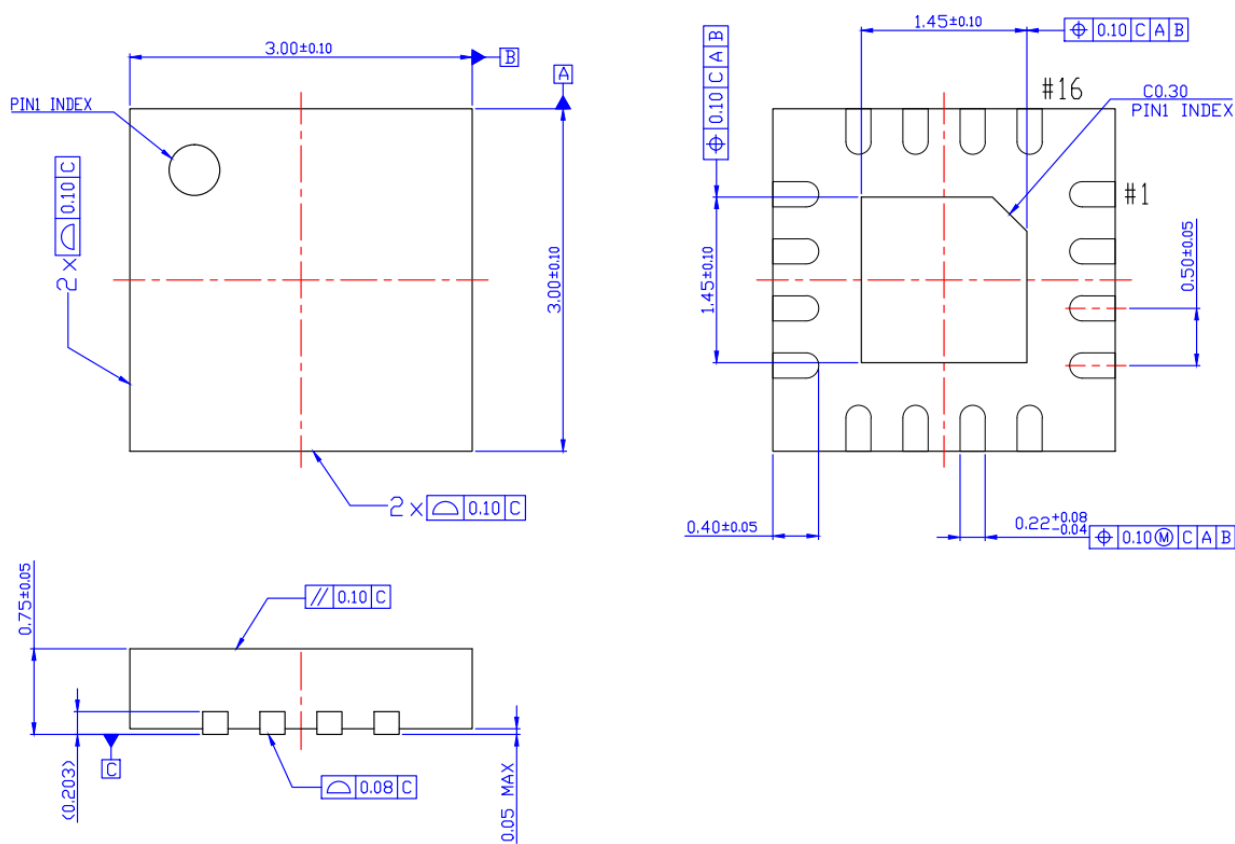
图 10-3 CA-IF4023 连接塔端的典型应用图

11. 封装信息

11.1. 封装信息表

可订购型号	封装类型	引脚数量	包装数量	环保要求	湿度敏感等级 峰值温度	工作温度	器件标识
CA-IF4023	QFN16	16	3000	Green (RoHS & no Sb/Br)	Level-1-260C-1 YEAR	-40°C~125°C	4023

11.2. QFN16 外形尺寸

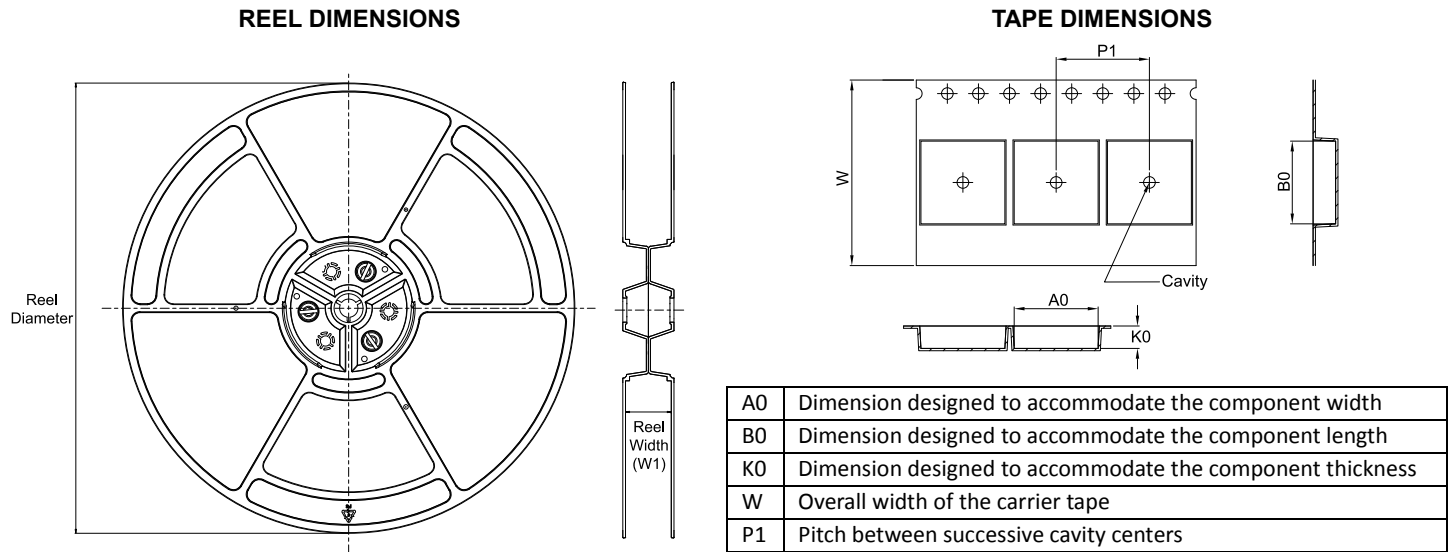


备注:

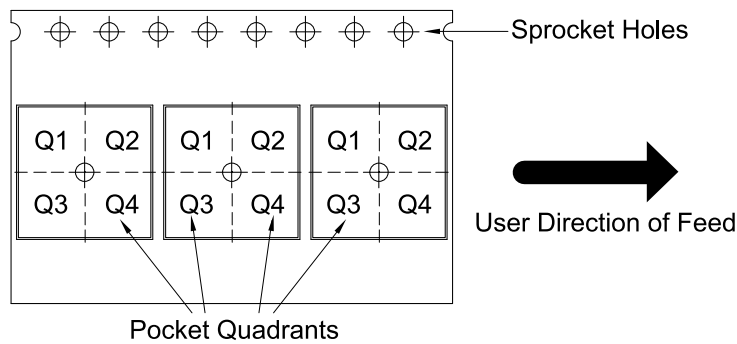
1. 图中所有数值单位为毫米。

图 11-1 QFN16 封装尺寸图

12. 卷带信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF4023	QFN16	/	16	3000	330	12.4	3.6	3.6	1.2	8.0	12.0	Q1

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用，除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>