



BL702/704/706

数据手册

版本: 2.1

版权 @ 2021

www.bouffalolab.com

Features

- 无线
 - 2.4GHz 射频收发器
 - 蓝牙规范 v5.0
 - 蓝牙低功耗 1Mbps 和 2Mbps
 - 蓝牙 @Long Range Coded 500Kbps 和 125Kbps
 - Zigbee 3.0, 基本设备行为, Core Stack R21, 绿色能源标准
 - IEEE 802.15.4 MAC/PHY
 - 支持 BLE/zigbee 共存
 - 集成 balun, PA/LNA
- MCU 子系统
 - 带 FPU (浮点单元) 的 32 位 RISC CPU
 - 一级缓存
 - 1 个 RTC 计时器, 最长计数周期为 1 年
 - 2 个 32 位通用定时器
 - 8 个 DMA 通道
 - CPU 频率可配置为 1MHz 至 144MHz
 - JTAG 开发支持
 - XIP QSPI Flash/pSRAM 具备硬件解密功能
- 内存
 - 132KB RAM
 - 192KB ROM
 - 1Kb eFuse
 - 嵌入式 Flash 闪存 (选配)
 - 嵌入式 pSRAM (BL704/BL706, 选配)
- 安全机制
 - 安全启动
- 安全调试端口
- QSPI Flash 即时 AES 解密 (OTFAD) - AES - 128 和 CTR+ 模式
- 支持 AES 128/192/256 位加密引擎
- 支持 MD5,SHA-1/224/256/384/512
- 真实随机数发生器 (TRNG)
- 公钥加速器 (PKA)
- 外设
 - USB2.0 FS (全速) 设备接口
 - 红外遥控接口
 - 1 个 SPI 主/从机
 - 2 个 UART
 - 支持 ISO 17987 (本地互连网络)
 - 1 个 I2C 主机
 - 1 个 I2S 主/从
 - 5 个 PWM 通道
 - 正交解码器
 - 按键扫描矩阵接口
 - 12 位通用 ADC
 - 10 位通用 DAC
 - 被动红外 (PIR) 检测
 - 以太网 RMII 接口 (BL704/BL706)
 - 摄像头接口 (BL706)
 - 15(BL702)/23(BL704)/31(BL706) 个 GPIO (功能可配置)
- 电源管理模式
 - CPU 正常运作

- 空闲模式
 - 睡眠模式（可配置不同区域）
 - 休眠模式
 - 电源关闭模式
 - 主动接收
 - 主动发送
 - 外部主时钟 XTAL 32MHz
 - 外部低功耗和 RTC 时钟 XTAL32/32.768kHz
 - 内部 RC 32kHz 振荡器
 - 内部 RC 32MHz 振荡器
 - 内部系统 PLL
 - 内部音频 PLL
- 时钟架构

1 概述	9
2 功能描述	10
2.1 CPU	11
2.2 缓存	11
2.3 内存	11
2.4 DMA 控制器	11
2.5 总线结构	11
2.6 中断	13
2.7 启动选项	13
2.8 电源管理单元	13
2.9 时钟架构	13
2.10 外设	14
2.10.1 GPIO	15
2.10.2 UART	15
2.10.3 SPI	15
2.10.4 I2C	15
2.10.5 I2S	15
2.10.6 TIMER	15
2.10.7 PWM	16
2.10.8 IR(IR-remote)	16
2.10.9 USB2.0(Full Speed)	16
2.10.10 EMAC	16
2.10.11 QDEC	16
2.10.12 ADC	16
2.10.13 DAC	17
2.10.14 调试接口	17

3	管脚定义	18
4	电气特性	26
4.1	绝对最大额定值	26
4.2	运行条件	26
4.2.1	电源特性	27
4.2.2	温度特性	27
4.2.3	通用工作条件	27
4.2.4	GPADC 特性	27
5	产品使用	30
5.1	湿敏等级 (MSL)	30
5.2	静电放电 (ESD)	31
5.3	回流焊接曲线 (Reflow Profile)	31
6	参考设计	33
7	封装信息 QFN32	34
8	封装信息 QFN40	36
9	封装信息 QFN48	38
10	标志定义	40
11	订购信息	41
12	版本信息	43

List of Figures

1.1 功能框图	9
2.1 系统框图	10
2.2 时钟框图	14
3.1 BL702 管脚布局	18
3.2 BL704 管脚布局	19
3.3 BL706 管脚布局	20
5.1 Classification Profile (Not to scale)	31
6.1 参考设计	33
7.1 QFN32 封装图	34
8.1 QFN40 封装图	36
9.1 QFN48 封装图	38
10.1 标志定义	40
11.1 型号命名	41

List of Tables

2.1	总线连接	11
2.2	地址映像	12
2.2	地址映像	13
3.1	管脚定义	20
3.1	管脚定义	21
3.1	管脚定义	22
3.2	GPIO Muxed Pins	23
3.2	GPIO Muxed Pins	24
3.3	UART 信号映射表 (Default)	25
3.4	UART 信号映射表 (Example)	25
4.1	电源的绝对最大额定值	26
4.2	建议电源值范围	27
4.3	建议温度值范围	27
4.4	一般操作条件	27
4.5	GPADC 特性	28
4.6	ADC electrical characteristic	29
5.1	Reference Conditions for Drying Mounted or Unmounted SMD Packages (User Bake: Floor life begins counting at time = 0 after bake)	30
5.2	Classification Reflow Profiles	32
7.1	尺寸说明 (测量单位: 毫米)	34
7.1	尺寸说明 (测量单位: 毫米)	35
8.1	尺寸说明 (测量单位: 毫米)	36
8.1	尺寸说明 (测量单位: 毫米)	37
9.1	尺寸说明 (测量单位: 毫米)	38

9.1 尺寸说明 (测量单位: 毫米)	39
11.1 订购选项	42
12.1 修改记录	43

BL702/BL704/BL706 是用于物联网应用的高度集成的 BLE 和 zigbee 组合芯片组。

无线子系统包含 2.4G 无线电，BLE + zigbee 基带和 MAC 设计。微控制器子系统包含 32 位 RISC CPU，高速缓存和内存。电源管理单元控制超低功耗模式。此外，还支持各种安全功能。

外围接口包括 USB2.0, Ethernet(BL704/BL706), IR-remote, SPI, UART, ISO 17987, I2C, I2S, PWM, QDEC, KeyScan, ADC, DAC, PIR, Camera(BL706) 和 GPIO。

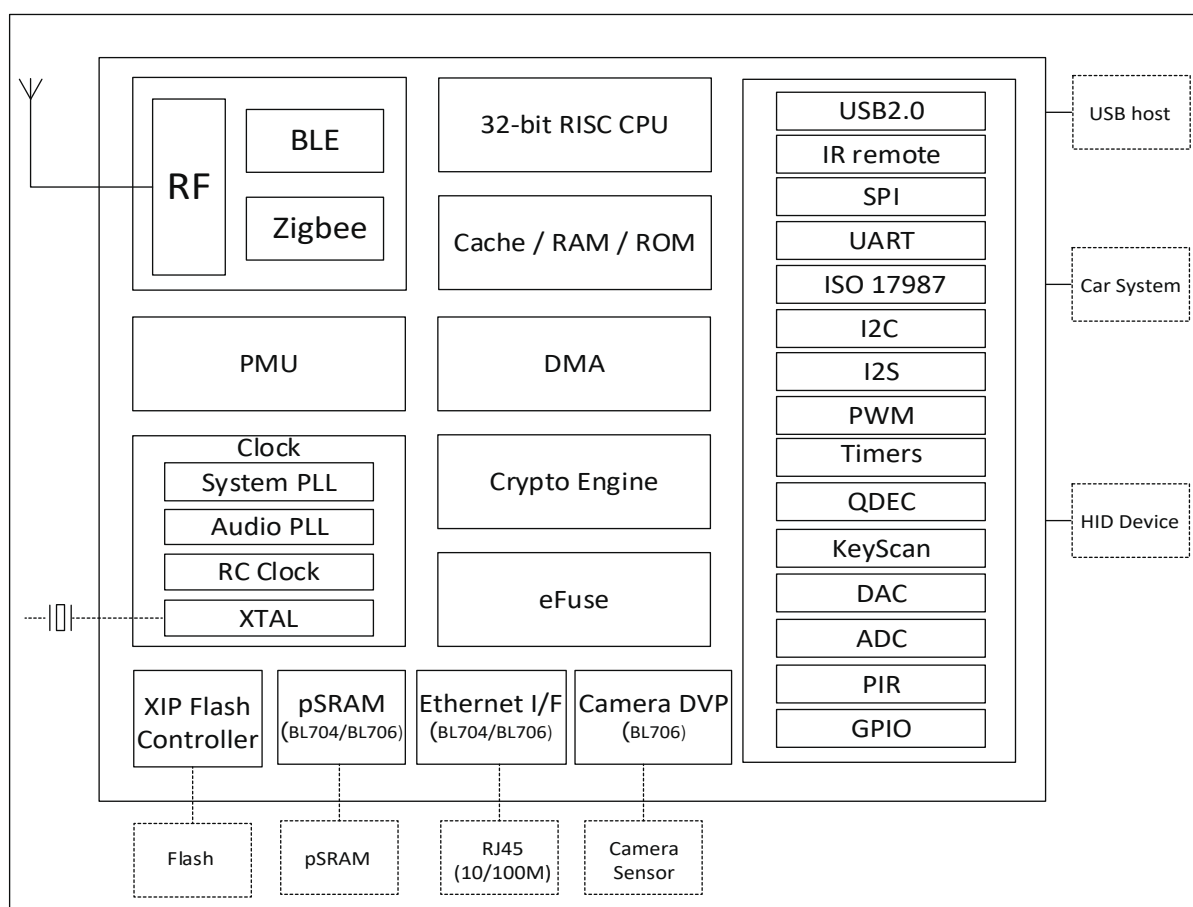


图 1.1: 功能框图

BL702/BL704/BL706 主要功能描述如下:

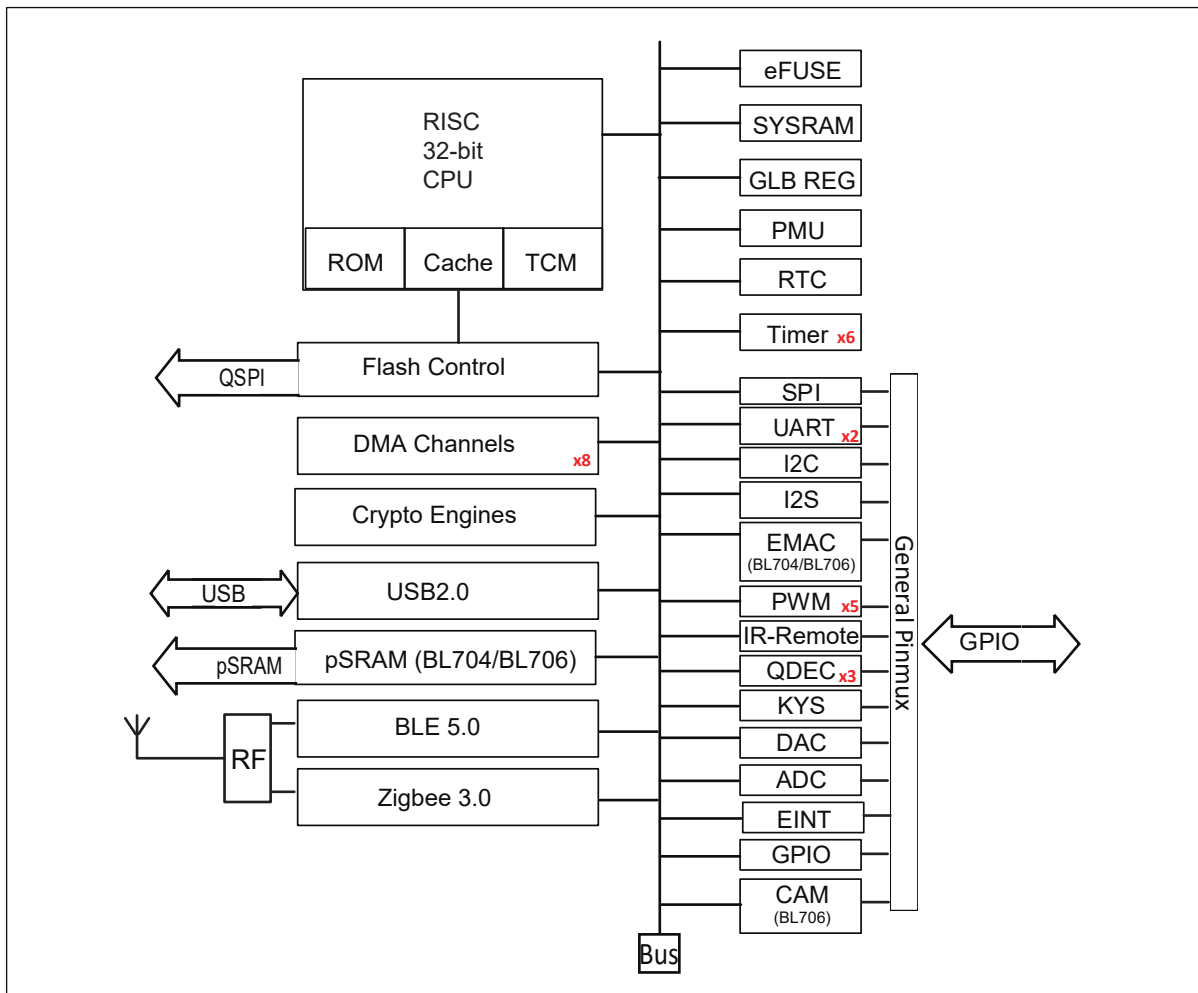


图 2.1: 系统框图

2.1 CPU

BL702/BL704/BL706 32-bit RISC CPU 包含用于 32 位单精度算术的 FPU（浮点单元），三级流水线（IF, EXE, WB），压缩的 16 位和 32 位指令集，包含 4 个硬件可编程断点的标准 JTAG 调试器端口，包含 64 个中断和 16 个中断级别/优先级的中断控制器，用于低延迟中断处理。时钟频率高达 144MHz，可以动态配置用来更改时钟频率，进入省电模式以实现低功耗。

ZigBee/BLE 堆栈和应用程序均在单个 32-bit RISC CPU 上运行，用来实现简单和超低功耗的应用程序。CPU 性能约 1.46 DMIPS / MHz； 3.1 CoreMark / MHz。

2.2 缓存

BL702/BL704/BL706 的缓存提高了 CPU 访问外部存储器的效能。高速缓存可以部分或全部配置为 TCM（紧密耦合内存）。

2.3 内存

BL702/BL704/BL706 存储器包括：片上零延迟 SRAM 存储器，只读存储器，一次写入存储器，嵌入式闪存（可选），嵌入式 pSRAM（BL704/BL706, 可选）。

2.4 DMA 控制器

BL702/BL704/BL706 DMA（直接存储器访问）控制器具有四个专用通道，用于管理外设和存储器之间的数据传输，以提高 CPU /总线效率。DMA 有四种传输类型，内存到内存，内存到外设、外设到内存以及外设到外设四种模式。DMA 还支持 LLI（链接列表项）功能，该链表由一系列链接列表预定义多个传输，然后硬件会根据每个 LLI 的大小和地址自动完成所有传输。

DMA 支持的外设包括 USB，UART，I2C，I2S，SPI，ADC 和 DAC。

2.5 总线结构

BL702/BL704/BL706 总线连接与地址访问总结如下：

表 2.1: 总线连接

从/主	CPU	以太网	DMA	加密引擎	调试接口
内存	V	V	V	V	V
外设	V	-	V	-	V
Zigbee/BLE	V	-	V	-	V

表 2.2: 地址映像

目标	地址	大小	描述
RETRAM	0x40010000	4KB	深度睡眠内存 (保留 RAM)
HBN	0x4000F000	4KB	深度睡眠控制 (休眠)
PDS	0x4000E000	4KB	睡眠控制 (掉电睡眠)
USB	0x4000D800	1KB	USB 控制
EMAC	0x4000D000	2KB	EMAC 控制 (BL704/BL706)
DMA	0x4000C000	4KB	DMA 控制
QSPI	0x4000B000	4KB	闪存/pSRAM QSPI 控制
CAM	0x4000AD00	256B	CAM 控制 (BL706)
I2S	0x4000AA00	256B	I2S 控制
KYS	0x4000A900	256B	Key-Scan 控制
QDEC2	0x4000A880	64B	正交解码器控制
QDEC1	0x4000A840	64B	正交解码器控制
QDEC0	0x4000A800	64B	正交解码器控制
IRR	0x4000A600	256B	红外遥控器
TIMER	0x4000A500	256B	计时器控制
PWM	0x4000A400	256B	脉冲宽度调制控制
I2C	0x4000A300	256B	I2C 控制
SPI	0x4000A200	256B	SPI 主/从控制
UART1	0x4000A100	256B	UART 控制
UART0	0x4000A000	256B	UART 控制
L1C	0x40009000	4KB	缓存控制
eFuse	0x40007000	4KB	eFuse 存储器控制
SEC	0x40004000	4KB	安全引擎
GPIP	0x40002000	4KB	通用 DAC / ADC / ACOMP 接口控制
MIX	0x40001000	4KB	混合信号寄存器
GLB	0x40000000	4KB	全局寄存器
pSRAM	0x24000000	8MB	pSRAM 存储器
XIP	0x23000000	8MB	XIP 闪存
OCRAM	0x22020000	64KB	片上存储器
DTCM	0x22014000	48KB	数据高速缓存
ITCM	0x22010000	16KB	指令高速缓存

表 2.2: 地址映像

目标	地址	大小	描述
ROM	0x21000000	192KB	只读存储器

2.6 中断

BL702/BL704/BL706 支持内部 RTC 时钟唤醒、外部中断唤醒，以实现低功耗睡眠唤醒功能。

CPU 中断控制器支持包括 UART 中断、I2C 中断、SPI 中断、定时器中断、DMA 中断等在内的共 64 个可屏蔽中断触发源。所有 I/O 引脚都可以配置为外部中断输入模式，外部中断支持高电平触发、低电平触发、上升沿触发和下降沿触发共四种触发类型。

2.7 启动选项

BL702/BL704/BL706 支持多种启动，可选择从 UART、USB、Flash 闪存启动。

2.8 电源管理单元

电源管理单元（PMU）管理整个芯片的电源，可分为运行、空闲、睡眠、休眠和电源关闭模式。软件可配置进入睡眠模式时，通过 RTC 定时器或 EINT 来唤醒，以达到低功耗电源管理。

睡眠模式非常灵活，可以使应用配置为最低功耗。

2.9 时钟架构

时钟控制单元为核心 MCU 和外围 SOC 设备生成时钟。时钟源可以是 XTAL，PLL 或 RC 振荡器。通过适当的配置（例如 sel, div, en 等）来动态节省功耗。PMU 以 32kHz 时钟运行，使系统在睡眠模式下保持低功耗。

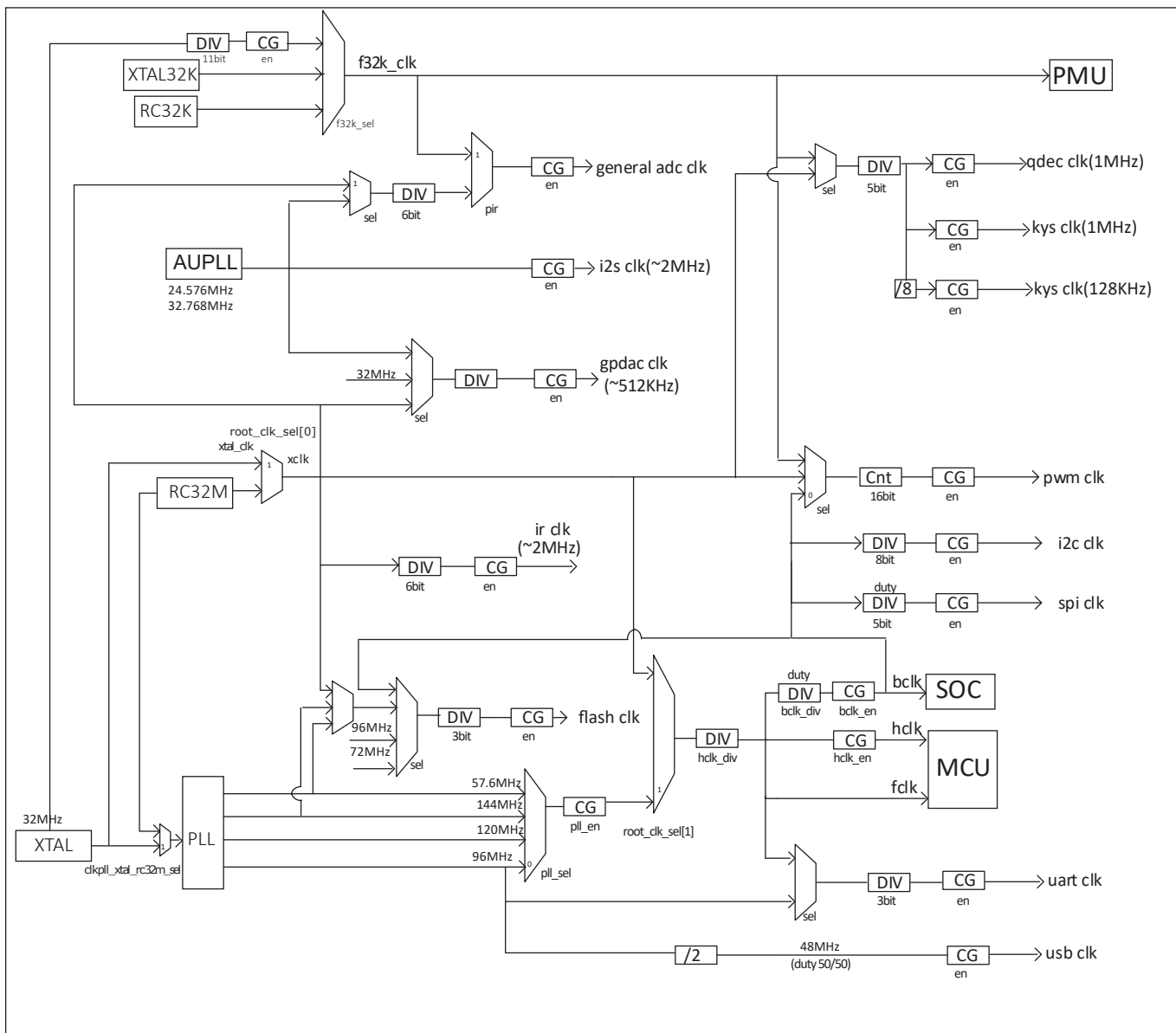


图 2.2: 时钟框图

2.10 外设

外设包括 USB2.0, 以太网, IR-remote, SPI, UART, ISO 17987, I2C, I2S, PWM, QDEC, KeyScan, ADC, DAC, PIR, Camera。

2.10.1 GPIO

BL702 具有 15 个 GPIO, BL704 具有 23 个 GPIO, BL706 具有 31 个 GPIO, 每个 GPIO 都可用作通用输入和输出功能, 上拉/下拉/浮空可由软件配置。每个 GPIO 都支持中断功能, 中断支持上升沿触发, 下降沿触发, 高电平触发以及低电平触发。每个 GPIO 都可以设置为高阻态, 用于低功耗模式省电。

2.10.2 UART

内置 2 个通用异步串行收发器 (UART0 和 UART1), 并支持 LIN 主/从功能。UART 模块工作时钟可以选择为 FCLK 或 96M, 波特率最大支持 8M。支持硬件的 CTS 和 RTS 信号管理。TX 和 RX 具有独立 FIFO, FIFO 深度为 128 字节, 支持 DMA 功能。

2.10.3 SPI

1 路 SPI 接口, 可以配置为主模式或者从模式, SPI 模块时钟是 BCLK。作为主机, 最大 SPI Clock 可达 36MHz, 作为从机, 允许主机最大 SPI Clock 24MHz。每帧的位宽可以配置为 8 位/16 位/24 位/32 位。SPI 的收发具有独立 FIFO, FIFO 深度固定为 4 帧 (即, 如果帧的位宽是 8bit, FIFO 的深度是 4 字节), 支持 DMA 功能。

2.10.4 I2C

1 路 I2C 接口, 支持主机模式和 7bit 寻址, I2C 模块时钟是 BCLK, 支持标准和快速模式。具有器件地址寄存器, 寄存器地址寄存器, 寄存器地址长度可配为 1 字节/2 字节/3 字节/4 字节。I2C 的收发具有独立 FIFO, FIFO 深度为 2 words, 支持 DMA 功能。

2.10.5 I2S

1 路 I2S 接口, 支持 Left-justified/Right-justified/DSP 等数据格式, 支持 8/16/24/32 比特数据宽度, 除单声道/双声道模式之外, 同时支持四声道模式, I2S 收发具有独立的 FIFO, FIFO 深度为 16 帧。在数据宽度为 16 比特时, FIFO 深度可以设置为 32 帧。I2S 模块具有独立的 Audio PLL, 支持 48K(及其整数分频) 和 44.1K(及其整数分频) 两类采样率。

2.10.6 TIMER

TIMER 模块包含两个通用定时器和一个看门狗定时器, 通用定时器的时钟源可以选择 FCLK/32K/1K/XTAL, 看门狗定时器的时钟源可以选择 FCLK/32K/XTAL。每个计数器都有 8 比特分频器。

每组通用定时器都包含三个比较寄存器, 支持比较中断, 计数模式支持 FreeRun 模式和 PreLoad 模式。

看门狗定时器的计数器为 16 比特宽度, 支持中断或复位两种看门狗溢出方式。

2.10.7 PWM

5 路 PWM 接口，三种时钟源 BCLK/XCLK/32K 可选择，分频寄存器位宽为 16 比特，周期寄存器位宽为 16 比特，支持输出极性可调，双门限值设定，增加脉冲输出灵活性。支持 PWM 周期计数中断，用于统计输出脉冲数等。

2.10.8 IR(IR-remote)

一路红外遥控，支持发送和接收两种模式，既支持以固定协议 NEC、RC-5 接收数据，也支持以脉冲宽度计数方式接收任意格式数据。IR 模块时钟源为 XCLK，具有强大的红外波形编辑能力，可发出符合各种协议的波形，发射功率有 15 档可调，接收 FIFO 深度可达 64 字节。

2.10.9 USB2.0(Full Speed)

内嵌一个兼容全速 USB 的设备控制器，遵循全速 USB 设备标准，具备 8 个端点，每个断点都有 64 字节深度的 FIFO，除端点 0 外，其它端点均支持中断/批量/同步传输。具有待机/恢复功能。USB 专用的 48MHz 时钟由内部主 PLL 直接产生。

2.10.10 EMAC

EMAC 模块是一个兼容 IEEE 802.3 的 10/100Mbps 以太网控制器 (Ethernet Media Access Controller)。兼容 IEEE 802.3 定义的 MAC 层功能，支持 IEEE 802.3 定义的 RMII 接口的 PHY，通过 MDIO 与 PHY 交互，支持 10Mbps 与 100Mbps 以太网，支持半双工与全双工，数据收发通过 Buffer Descriptor 数据结构来实现，EMAC 控制内嵌 AHB Master，可以直接从内存读取或者写入数据。Buffer Descriptor 数据结构存放在 EMAC 内部 RAM，Buffer Descriptor 总个数多达 128 个，用户可以根据场景，灵活配置收发 Buffer Descriptor 个数。

2.10.11 QDEC

芯片内置三组正交解码器 (quadrature decoder)，用于将双路旋转编码器产生的两组相位相差 90 度的脉冲解码为对应转速和旋转方向。QDEC 的时钟源可以为 32K (f32k_clk) 或 32M (xclk)，具有 16 位脉冲计数范围 (-32768~32767 pulse/sample)，具有 12 种可配置的 sample 周期 (32us~131ms per sample at 1MHz)，具有 16 位可设置的 report 周期 (0~65535 sample/report)。

2.10.12 ADC

芯片内置一个 12bits 的逐次逼近式模拟数字转换器 (ADC)，最大工作时钟为 2MHz，支持 12 路外部模拟输入和若干内部模拟信号选择，支持单通道转换和多通道扫描两种模式。ADC 可以工作在单次转换和多通道扫描两种模式下，支持 2.0V、3.2V 可选内部参考电压，转换结果为 12/14/16bits(通过过采样实现) 左对齐模式。ADC 拥有深度为 32 的 FIFO，支持多种中断，支持 DMA 操作。ADC 除了用于普通模拟信号测量外，还可以用于测量供电电压，此外 ADC 还可以通过测量内/外部二极管电压用于温度检测。

2.10.13 DAC

芯片内置一个 10bits 的数字模拟转换器 (DAC),FIFO 深度为 1, 支持 2 路 DAC 调制输出。可用于音频播放, 常规的模拟信号调制,DAC 的输入时钟可选为 32M 或者 Audio PLL, 支持 DMA 将内存搬运至 DAC 调制寄存器, DAC 的输出引脚固定为 ChannelA 为 GPIO11,ChannelB 为 GPIO17

2.10.14 调试接口

支持标准的 JTAG 4 线调试接口, 支持使用 Jlink/OpenOCD/CK Link 等调试器进行调试。

BL702 32-pin 封装包括固定电源接口 11 个、固定模拟接口 6 个、以及富含弹性的 GPIO 接口 15 个供应用选择。

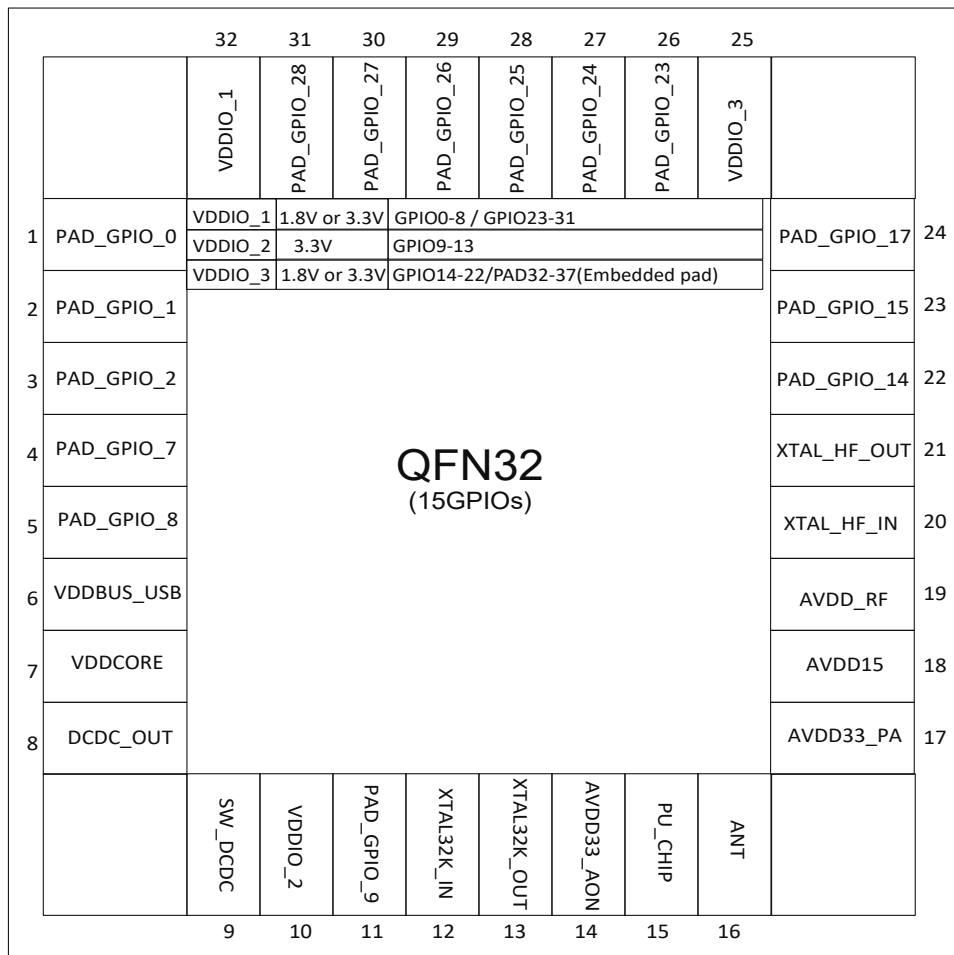


图 3.1: BL702 管脚布局

BL704 40-pin 封装包括固定电源接口 11 个、固定模拟接口 6 个、以及富含弹性的 GPIO 接口 23 个供应用选择。

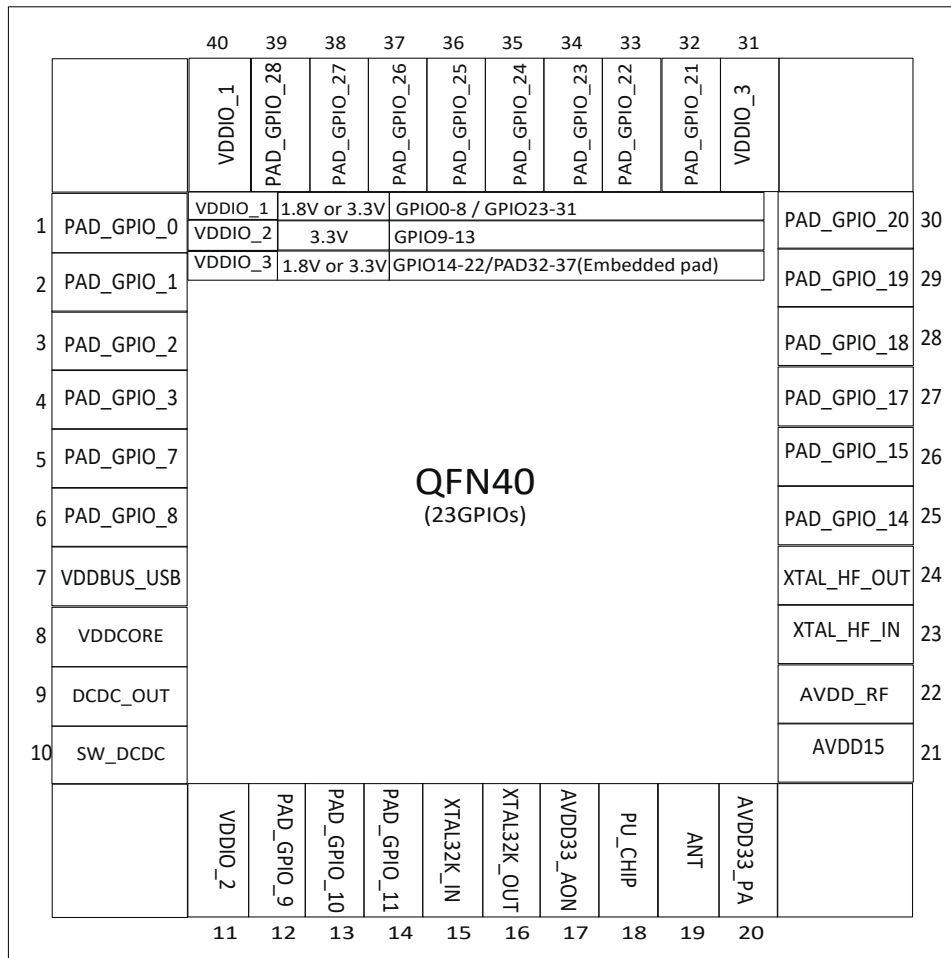


图 3.2: BL704 管脚布局

BL706 48-pin 封装包括固定电源接口 11 个、固定模拟接口 6 个、以及富含弹性的 GPIO 接口 31 个供应用选择。

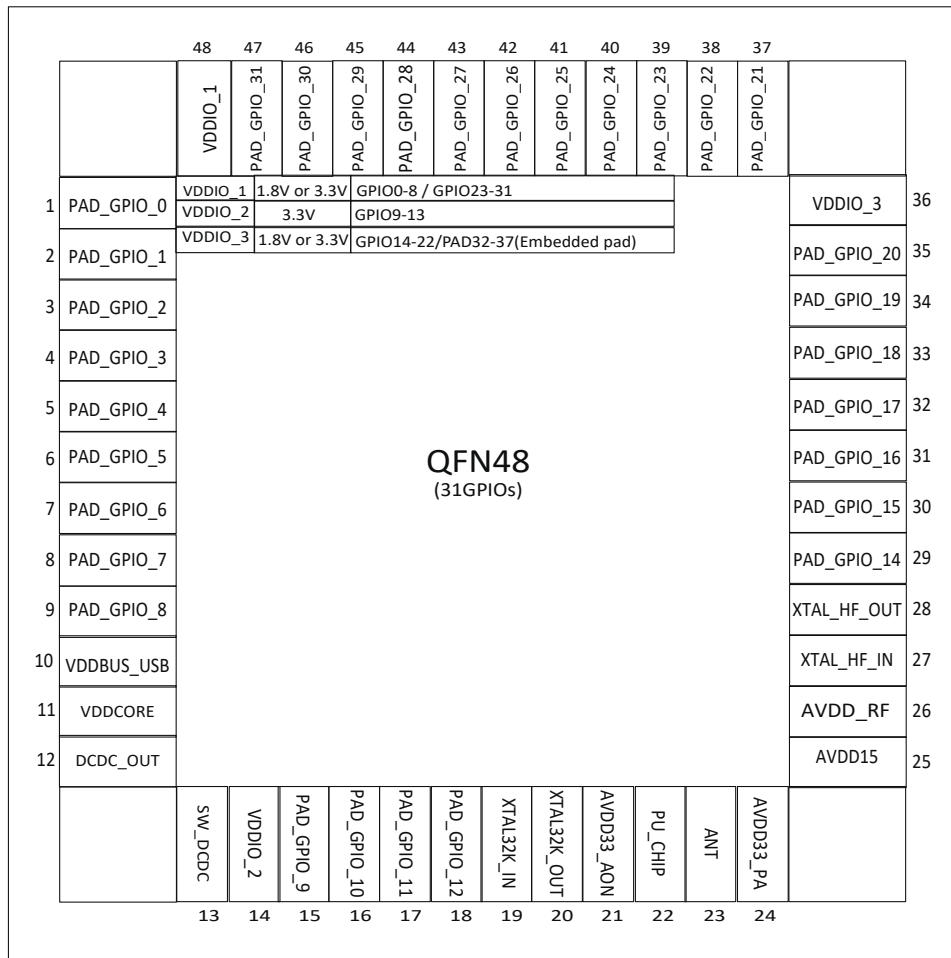


图 3.3: BL706 管脚布局

表 3.1: 管脚定义

No	Voltage Domain	BL702	BL704	BL706	I/O Type	Pin Name	Description
1	VDDIO_1	1	1	1	DI/DO	PAD_GPIO_0	-
2	VDDIO_1	2	2	2	DI/DO	PAD_GPIO_1	-
3	VDDIO_1	3	3	3	DI/DO	PAD_GPIO_2	-
4	VDDIO_1	-	4	4	DI/DO	PAD_GPIO_3	-
5	VDDIO_1	-	-	5	DI/DO	PAD_GPIO_4	-
6	VDDIO_1	-	-	6	DI/DO	PAD_GPIO_5	-
7	VDDIO_1	-	-	7	DI/DO	PAD_GPIO_6	-
8	VDDIO_1	4	5	8	DI/DO	PAD_GPIO_7	-
9	VDDIO_1	5	6	9	DI/DO	PAD_GPIO_8	-
10	VDDIO_2	11	12	15	DI/DO	PAD_GPIO_9	-
11	VDDIO_2	-	13	16	DI/DO	PAD_GPIO_10	-
12	VDDIO_2	-	14	17	DI/DO	PAD_GPIO_11	-
13	VDDIO_2	-	-	18	DI/DO	PAD_GPIO_12	-

表 3.1: 管脚定义

No	Voltage Domain	BL702	BL704	BL706	I/O Type	Pin Name	Description
14	VDDIO_3	22	25	29	DI/DO	PAD_GPIO_14	-
15	VDDIO_3	23	26	30	DI/DO	PAD_GPIO_15	-
16	VDDIO_3	-	-	31	DI/DO	PAD_GPIO_16	-
17	VDDIO_3	24	27	32	DI/DO	PAD_GPIO_17	-
18	VDDIO_3	-	28	33	DI/DO	PAD_GPIO_18	-
19	VDDIO_3	-	29	34	DI/DO	PAD_GPIO_19	-
20	VDDIO_3	-	30	35	DI/DO	PAD_GPIO_20	-
21	VDDIO_3	-	32	37	DI/DO	PAD_GPIO_21	-
22	VDDIO_3	-	33	38	DI/DO	PAD_GPIO_22	-
23	VDDIO_1	26	34	39	DI/DO	PAD_GPIO_23	-
24	VDDIO_1	27	35	40	DI/DO	PAD_GPIO_24	-
25	VDDIO_1	28	36	41	DI/DO	PAD_GPIO_25	-
26	VDDIO_1	29	37	42	DI/DO	PAD_GPIO_26	-
27	VDDIO_1	30	38	43	DI/DO	PAD_GPIO_27	-
28	VDDIO_1	31	39	44	DI/DO	PAD_GPIO_28	-
29	VDDIO_1	-	-	45	DI/DO	PAD_GPIO_29	-
30	VDDIO_1	-	-	46	DI/DO	PAD_GPIO_30	-
31	VDDIO_1	-	-	47	DI/DO	PAD_GPIO_31	-
32	VDDIO_3	-	-	-	DI/DO	PAD_32	Embedded pad for embedded psram or flash
33	VDDIO_3	-	-	-	DI/DO	PAD_33	Embedded pad for embedded psram or flash
34	VDDIO_3	-	-	-	DI/DO	PAD_34	Embedded pad for embedded psram or flash
35	VDDIO_3	-	-	-	DI/DO	PAD_35	Embedded pad for embedded psram or flash
36	VDDIO_3	-	-	-	DI/DO	PAD_36	Embedded pad for embedded psram or flash
37	VDDIO_3	-	-	-	DI/DO	PAD_37	Embedded pad for embedded psram or flash
38	AVDD33_AON	12	15	19	Analog	XTAL32K_IN	Crystal oscillator 32.768kHz input
39	AVDD33_AON	13	16	20	Analog	XTAL32K_OUT	Crystal oscillator 32.768kHz output
40	AVDD33_AON	20	23	27	Analog	XTAL_HF_IN	External crystal input, 32MHz
41	AVDD33_AON	21	24	28	Analog	XTAL_HF_OUT	External crystal output, 32MHz
42	AVDD33_AON	15	18	22	Analog	PU_CHIP	Chip power-up
43	AVDD15	16	19	23	Analog	ANT	RF input and output (single pin)
44	-	32	40	48	Power	VDDIO_1	Externally powered 3.3V or 1.8V
45	-	10	11	14	Power	VDDIO_2	Externally powered 3.3V
46	-	25	31	36	Power	VDDIO_3	Externally powered 3.3V or 1.8V
47	-	14	17	21	Power	AVDD33_AON	Externally powered 3.3V
48	-	17	20	24	Power	AVDD33_PA	Externally powered 3.3V
49	-	19	22	26	Power	AVDD_RF	Externally powered 3.3/1.8/1.5V

表 3.1: 管脚定义

No	Voltage Domain	BL702	BL704	BL706	I/O Type	Pin Name	Description
50	-	18	21	25	Power	AVDD15	Internal LDO output (for internal use only)
51	-	9	10	13	Power	SW_DCDC	DCDC power 1.8V
52	-	8	9	12	Power	DCDC_OUT	DCDC power 1.8V
53	-	6	7	10	Power	VDDBUS_USB	USB power
54	-	7	8	11	Power	VDDCORE	Internal LDO output (for internal use only)

表 3.2: GPIO Muxed Pins

Pin Name	Flash ¹	I2S	SPI (Default /SWAP=1)	CAM	UART ² (Default /SWAP=1)	I2C Master	PWM	Analog	External_PA	JTAG (Default /SWAP=1)	Ether_Mac	QDEC	Key_Scan_In	Key_Scan_Drive	IR
PAD_GPIO_0	-	BCLK	MOSI /MISO	PIX_CLK	SIG0 /SIG4	SCL	PWM_CH0	-	FEM0	TMS/TCK	RMII_REF_ CLK	QDEC0_a	ROW0	COL0	-
PAD_GPIO_1	-	FS	MISO /MOSI	FRAME_VLD	SIG1 /SIG5	SDA	PWM_CH1	-	FEM1	TDI/TDO	RMII_TXD[0]	QDEC0_b	ROW1	COL1	-
PAD_GPIO_2	-	DIO/DO	SS	LINE_VLD	SIG2 /SIG6	SCL	PWM_CH2	-	FEM2	TCK/TMS	RMII_TXD[1]	QDEC0_led	ROW2	COL2	-
PAD_GPIO_3	-	RCLK_O /DI	SCLK	PIX_DAT0	SIG3 /SIG7	SDA	PWM_CH3	-	FEM3	TDO/TDI	-	QDEC1_a	ROW3	COL3	-
PAD_GPIO_4	-	BCLK	MOSI /MISO	PIX_DAT1	SIG4 /SIG0	SCL	PWM_CH4	-	FEM4	TMS/TCK	-	QDEC1_b	ROW4	COL4	-
PAD_GPIO_5	-	FS	MISO /MOSI	PIX_DAT2	SIG5 /SIG1	SDA	PWM_CH0	-	FEM0	TDI/TDO	-	QDEC1_led	ROW5	COL5	-
PAD_GPIO_6	-	DIO/DO	SS	PIX_DAT3	SIG6 /SIG2	SCL	PWM_CH1	-	FEM1	TCK/TMS	-	QDEC2_a	ROW6	COL6	-
PAD_GPIO_7	-	RCLK_O /DI	SCLK	-	SIG7 /SIG3	SDA	PWM_CH2	USB_ DP/ADC_ CH6	FEM2	TDO/TDI	RMII_RXD[0]	QDEC2_b	ROW7	COL7	-
PAD_GPIO_8	-	BCLK	MOSI /MISO	-	SIG0 /SIG4	SCL	PWM_CH3	USB_ DM/ADC_ CH0	FEM3	TMS/TCK	RMII_RXD[1]	QDEC2_led	ROW0	COL8	-
PAD_GPIO_9	-	FS	MISO /MOSI	-	SIG1 /SIG5	SDA	PWM_CH4	ADC_CH7	FEM4	TDI/TDO	-	QDEC0_a	ROW1	COL9	-
PAD_GPIO_10	-	DIO/DO	SS	-	SIG2 /SIG6	SCL	PWM_CH0	MICBIAS	FEM0	TCK/TMS	-	QDEC0_b	ROW2	COL10	-
PAD_GPIO_11	-	RCLK_O /DI	SCLK	-	SIG3 /SIG7	SDA	PWM_CH1	ADC_CH3	FEM1	TDO/TDI	-	QDEC0_led	ROW3	COL11	-
PAD_GPIO_12	-	BCLK	MOSI /MISO	PIX_DAT4	SIG4 /SIG0	SCL	PWM_CH2	ADC_CH4	FEM2	TMS/TCK	-	QDEC1_a	ROW4	COL12	-
PAD_GPIO_13	-	FS	MISO /MOSI	-	SIG5 /SIG1	SDA	PWM_CH3	-	FEM3	TDI/TDO	-	QDEC1_b	ROW5	COL13	-
PAD_GPIO_14	-	DIO/DO	SS	-	SIG6 /SIG2	SCL	PWM_CH4	ADC_CH5	FEM4	TCK/TMS	-	QDEC1_led	ROW6	COL14	-
PAD_GPIO_15	-	RCLK_O /DI	SCLK	-	SIG7 /SIG3	SDA	PWM_CH0	ADC_CH1	FEM0	TDO/TDI	-	QDEC2_a	ROW7	COL15	-
PAD_GPIO_16	-	BCLK	MOSI /MISO	-	SIG0 /SIG4	SCL	PWM_CH1	-	FEM1	TMS/TCK	-	QDEC2_b	ROW0	COL16	-
PAD_GPIO_17	SF1_IO0 /SF2_CS2	FS	MISO /MOSI	PIX_DAT4	SIG1 /SIG5	SDA	PWM_CH2	ADC_ CH2/psw_ irrcv	FEM2	TDI/TDO	-	QDEC2_led	ROW1	COL17	IRRX (ir_rx_gpio_sel=1)
PAD_GPIO_18	SF1_IO1	DIO/DO	SS	PIX_DAT5	SIG2 /SIG6	SCL	PWM_CH3	ADC_CH8	FEM3	TCK/TMS	RMII_MDC	QDEC0_a	ROW2	COL18	IRRX (ir_rx_gpio_sel=2)
PAD_GPIO_19	SF1_CS	RCLK_O /DI	SCLK	PIX_DAT6	SIG3 /SIG7	SDA	PWM_CH4	ADC_CH9	FEM4	TDO/TDI	RMII_MDIO	QDEC0_b	ROW3	COL19	IRRX (ir_rx_gpio_sel=3)
PAD_GPIO_20	SF1_IO3	BCLK	MOSI /MISO	PIX_DAT7	SIG4 /SIG0	SCL	PWM_CH0	ADC_CH10	FEM0	TMS/TCK	RMII_RXERR	QDEC0_led	ROW4	COL0	IRRX (ir_rx_gpio_sel=4)
PAD_GPIO_21	SF1_CLK	FS	MISO /MOSI	-	SIG5 /SIG1	SDA	PWM_CH1	ADC_CH11	FEM1	TDI/TDO	RMII_TX_EN	QDEC1_a	ROW5	COL1	IRRX (ir_rx_gpio_sel=5)

表 3.2: GPIO Muxed Pins

Pin Name	Flash ¹	I2S	SPI (Default /SWAP=1)	CAM	UART ² (Default /SWAP=1)	I2C Master	PWM	Analog	External_PA	JTAG (Default /SWAP=1)	Ether_Mac	QDEC	Key_Scan_In	Key_Scan_Drive	IR
PAD_GPIO_22	SF1_IO2	DIO/DO	SS	-	SIG6 /SIG2	SCL	PWM_CH2	IRTX	FEM2	TCK/TMS	RMII_RX_DV	QDEC1_b	ROW6	COL2	IRRX (ir_rx_gpio_sel=6)
PAD_GPIO_23	SF2_IO2	RCLK_O /DI	SCLK	PIX_DAT4	SIG7 /SIG3	SDA	PWM_CH3	IRTX	FEM3	TDO/TDI	-	QDEC1_led	ROW7	COL3	IRRX (ir_rx_gpio_sel=7)
PAD_GPIO_24	SF2_IO1	BCLK	MOSI /MISO	PIX_DAT5	SIG0 /SIG4	SCL	PWM_CH4	-	FEM4	TMS/TCK	RMII_MDC	QDEC2_a	ROW0	COL4	IRRX (ir_rx_gpio_sel=8)
PAD_GPIO_25	SF2_CS	FS	MISO /MOSI	PIX_DAT6	SIG1 /SIG5	SDA	PWM_CH0	-	FEM0	TDI/TDO	RMII_MDIO	QDEC2_b	ROW1	COL5	IRRX (ir_rx_gpio_sel=9)
PAD_GPIO_26	SF2_IO3	DIO/DO	SS	PIX_DAT7	SIG2 /SIG6	SCL	PWM_CH1	-	FEM1	TCK/TMS	RMII_RXERR	QDEC2_led	ROW2	COL6	IRRX (ir_rx_gpio_sel=10)
PAD_GPIO_27	SF2_CLK	RCLK_O /DI	SCLK	-	SIG3 /SIG7	SDA	PWM_CH2	-	FEM2	TDO/TDI	RMII_TX_EN	QDEC0_a	ROW3	COL7	IRRX (ir_rx_gpio_sel=11)
PAD_GPIO_28	SF2_IO0	BCLK	MOSI /MISO	PIX_DAT4	SIG4 /SIG0	SCL	PWM_CH3	-	FEM3	TMS/TCK	RMII_RX_DV	QDEC0_b	ROW4	COL8	IRRX (ir_rx_gpio_sel=12)
PAD_GPIO_29	-	FS	MISO /MOSI	PIX_DAT5	SIG5 /SIG1	SDA	PWM_CH4	-	FEM4	TDI/TDO	-	QDEC0_led	ROW5	COL9	IRRX (ir_rx_gpio_sel=13)
PAD_GPIO_30	-	DIO/DO	SS	PIX_DAT6	SIG6 /SIG2	SCL	PWM_CH0	-	FEM0	TCK/TMS	-	QDEC1_a	ROW6	COL10	IRRX (ir_rx_gpio_sel=14)
PAD_GPIO_31	-	RCLK_O /DI	SCLK	PIX_DAT7	SIG7 /SIG3	SDA	PWM_CH1	-	FEM1	TDO/TDI	-	QDEC1_b	ROW7	COL11	IRRX (ir_rx_gpio_sel=15)

¹ Flash 一共有 2 组，最小的选择单元是组，即使用时按组配置。在 Dual CS 模式时，PAD_GPIO_17 可以配置为 SF2_CS2 功能。

² 默认的 UART 信号映射表如下所示。

表 3.3: UART 信号映射表 (Default)

UART Signal	uart_sig_x_sel	Mapping Signal
UART_SIG0	uart_sig_0_sel=0	UART0_RTS
UART_SIG1	uart_sig_1_sel=1	UART0_CTS
UART_SIG2	uart_sig_2_sel=2	UART0_TXD
UART_SIG3	uart_sig_3_sel=3	UART0_RXD
UART_SIG4	uart_sig_4_sel=4	UART1_RTS
UART_SIG5	uart_sig_5_sel=5	UART1_CTS
UART_SIG6	uart_sig_6_sel=6	UART1_TXD
UART_SIG7	uart_sig_7_sel=7	UART1_RXD

注解: UART_SIG0-UART_SIG7 都可配置为 8 种 Mapping Signal 中的任意一种。例如: UART_SIG0 也可以配置为 UART_RXD, 具体信号映射示例如下表所示。

表 3.4: UART 信号映射表 (Example)

UART Signal	uart_sig_x_sel	Mapping Signal
UART_SIG0	uart_sig_0_sel=7	UART1_RXD
UART_SIG1	uart_sig_1_sel=6	UART1_TXD
UART_SIG2	uart_sig_2_sel=5	UART1_CTS
UART_SIG3	uart_sig_3_sel=4	UART1_RTS
UART_SIG4	uart_sig_4_sel=3	UART0_RXD
UART_SIG5	uart_sig_5_sel=2	UART0_TXD
UART_SIG6	uart_sig_6_sel=1	UART0_CTS
UART_SIG7	uart_sig_7_sel=0	UART0_RTS

4.1 绝对最大额定值

表 4.1: 电源的绝对最大额定值

管脚名称	最小值	最大值	单位
VDDIO_1	-0.3	3.63	V
VDDIO_2	-0.3	3.63	V
VDDIO_3	-0.3	3.63	V
VSSBUS_USB	-0.3	5.5	V
AVDD33_AON	-0.3	3.63	V
AVDD33_PA	-0.3	3.63	V
AVDD33_RF	-0.3	3.63	V
ESD Protection (HBM)		2000	V
Storage Temperature	-40	125	°C

4.2 运行条件

4.2.1 电源特性

表 4.2: 建议电源值范围

管脚名称	最小值	典型值	最大值	单位
VDDIO_1	1.62/1.8	1.8/3.3	1.92/3.63	V
VDDIO_2	1.8	3.3	3.63	V
VDDIO_3	1.8	3.3	3.63	V
VDDBUS_USB	4.5	5	5.5	V
AVDD33_AON	1.8	3.3	3.63	V
AVDD33_PA	1.4/2.97	1.5/3.3	1.6/3.63	V
AVDD33_RF	1.4/2.97	1.5/3.3	1.6/3.63	V

4.2.2 温度特性

表 4.3: 建议温度值范围

项目	最小值	最大值	单位	
温度	主芯片	-40	105	°C
	合封多芯片	-40	85	°C

4.2.3 通用工作条件

表 4.4: 一般操作条件

项目	描述	最小值	典型值	最大值	单位
FCPU	CPU/TCM/Cache 时钟频率	0	32	144	MHz
FSYS	系统时钟频率	0	32	72	MHz

4.2.4 GPADC 特性

表 4.5: GPADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDD33	Vbat supply voltage		2.3		3.6	V
T	Working temperture		-40		125	°C
I_{vdd33}	Current consumption of ADC on VDD33	PGA1&2 off (2M clock)		150		μ A
		PGA1&2 on(2M clock)		350		
Fclk	ADC input top clock frequency	Clock from SOC	1.5		32	MHz
Fsample	Sampling rate	2.048M(12bit mode) 32K-128K(14bit mode) 8K-16K(16bit mode)			2	MHz
Vin	Input conversion voltage range	Differential mode			6.4	V(vpp)
		Single-ended mode			3.2	
Rin	Total input channel resistance				2	K Ω
Tcal	Calibration time	Fsample=2M (16bit mode)			140	μ S
Tpu	Power up time				1	μ S
Tconv	Total conversion time	12bit mode			1	1/Fsample
		14bit mode ¹			16	
		14bit mode ²			64	
		16bit mode ³			128	
		16bit mode ⁴			256	

1. 14-bit mode with 16 times average
2. 14-bit mode with 64 times average
3. 16-bit mode with 128 times average
4. 16-bit mode with 256 times average

注解：如果没有特殊说明，表中给出的参数是在-40°C~ 125°C 的条件下进行测试得出的，电源为 AVDD = 3.3V, DVDD = 1.1V。

表 4.6: ADC electrical characteristic

符号	参数	条件	最小值	典型值	最大值	单位
DNL ¹	Differential linearity error				+/-1	LSB
INL ¹	Integral linearity error				+/-2	LSB
Offset	Input offset				+/-2	LSB
Ge ^{1&2}	Gain error				+/-1	%
ENOB	Effective number of bits	12bit mode(201KHz input)	9.7	10.5		bit
		14bit mode(2.5KHz input)	10.8	11.4		
		16bit mode(1KHz input)	11.5	12.3		
SNDR	Signal-to-noise-distortion (PGA on)	12bit mode(201KHz input)	59	65		dB
		14bit mode(2.5KHz input)	66	72.4		
		16bit mode(1KHz input)	71	76.8		
SNDR	Signal-to-noise-distortion (PGA gain=4)	12bit mode(201KHz input)	58	64		dB
		14bit mode(2.5KHz input)	64	69.5		
		16bit mode(1KHz input)	70	74		

1. more test needed
2. after calibration

5.1 湿敏等级 (MSL)

芯片的湿敏等级为：MSL3。真空包装打开后，在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下，需要在 168 小时（7 天）内使用完毕，否则需要烘烤后上线。烘烤温度和时间可参考 IPC/JEDECJ-STD-033B01。

表 5.1: Reference Conditions for Drying Mounted or Unmounted SMD Packages
(User Bake: Floor life begins counting at time = 0 after bake)

Package Body	Level	Bake @ 125°C		Bake @ 90°C $\leq 5\% \text{ RH}$		Bake @ 40°C $\leq 5\% \text{ RH}$	
		Exceeding Floor Life by >72 h	Exceeding Floor Life by ≤ 72 h	Exceeding Floor Life by >72 h	Exceeding Floor Life by ≤ 72 h	Exceeding Floor Life by >72 h	Exceeding Floor Life by ≤ 72 h
Thickness ≤ 1.4 mm	2	5 hours	3 hours	17 hours	11 hours	8 days	5 days
	2a	7 hours	5 hours	23 hours	13 hours	9 days	7 days
	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days
	4	11 hours	7 hours	37 hours	23 hours	15 days	9 days
	5	12 hours	7 hours	41 hours	24 hours	17 days	10 days
	5a	16 hours	10 hours	54 hours	24 hours	22 days	10 days

5.2 静电放电 (ESD)

- 人体放电模式 (HBM): 2000V
- 组件充电模式 (CDM): 500V

5.3 回流焊接曲线 (Reflow Profile)

具体可参考 IPC/JEDEC J-STD-020E。

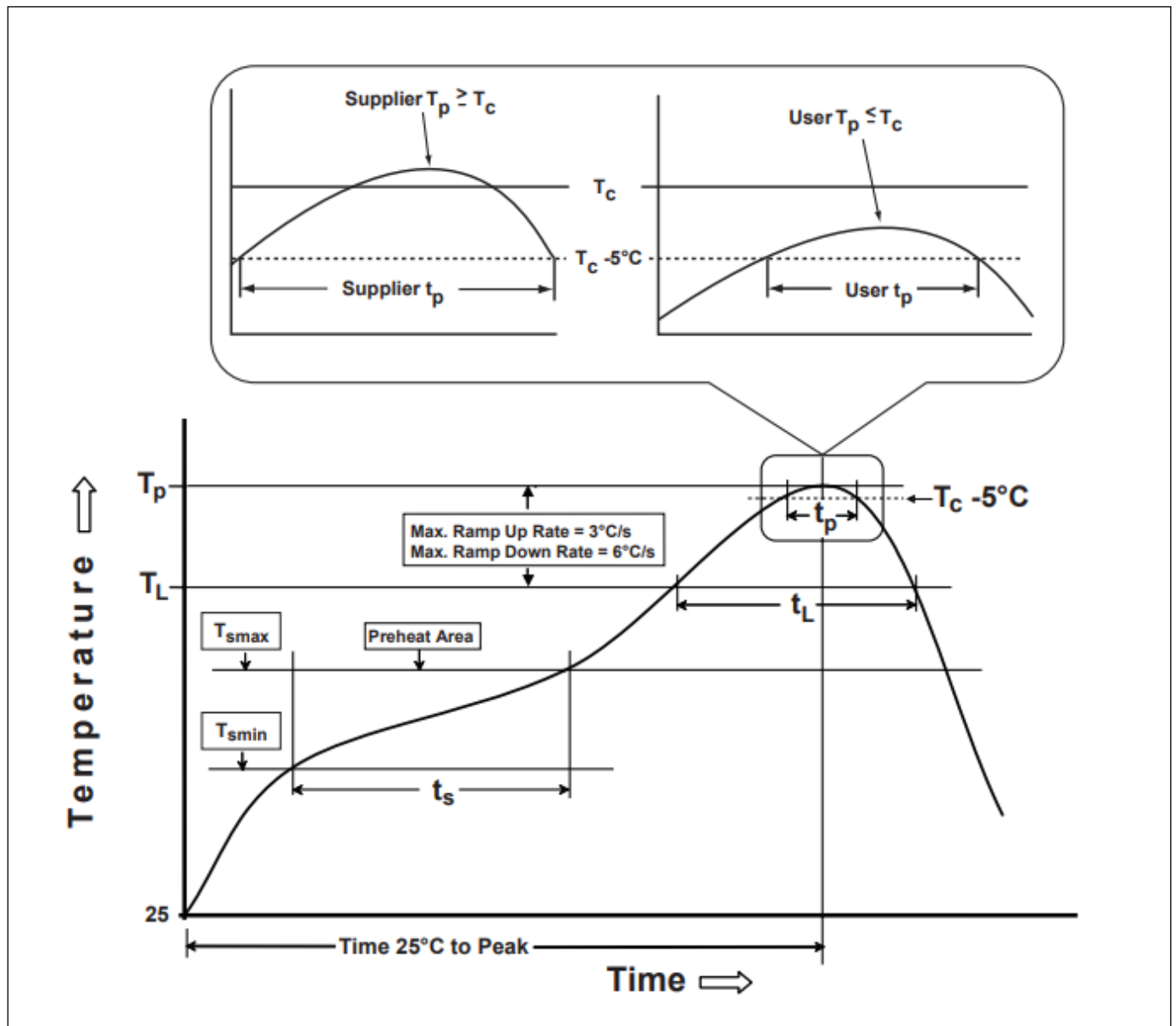


图 5.1: Classification Profile (Not to scale)

表 5.2: Classification Reflow Profiles

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat/Soak		
Temperature Min (T_{smin})	100 °C	150 °C
Temperature Max (T_{smax})	150 °C	200 °C
Time (t_s) from (T_{smin} to T_{smax})	60-120 seconds	60-120 seconds
Ramp-up rate (T_L to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L)	183 °C	217 °C
Time (t_L) maintained above T_L	60-150 seconds	60-150 seconds
Peak package body temperature (T_p)	240 °C+0/-5 °C	250 °C+0/-5 °C
Time (t_p)* within 5 °C of the specified classification temperature (T_c)	10-30 seconds	20-40 seconds
Ramp-down rate (T_p to T_L)	6 °C/second max	6 °C/second max
Time 25 °C to peak temperature	6 minutes max	8 minutes max
- Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum.		

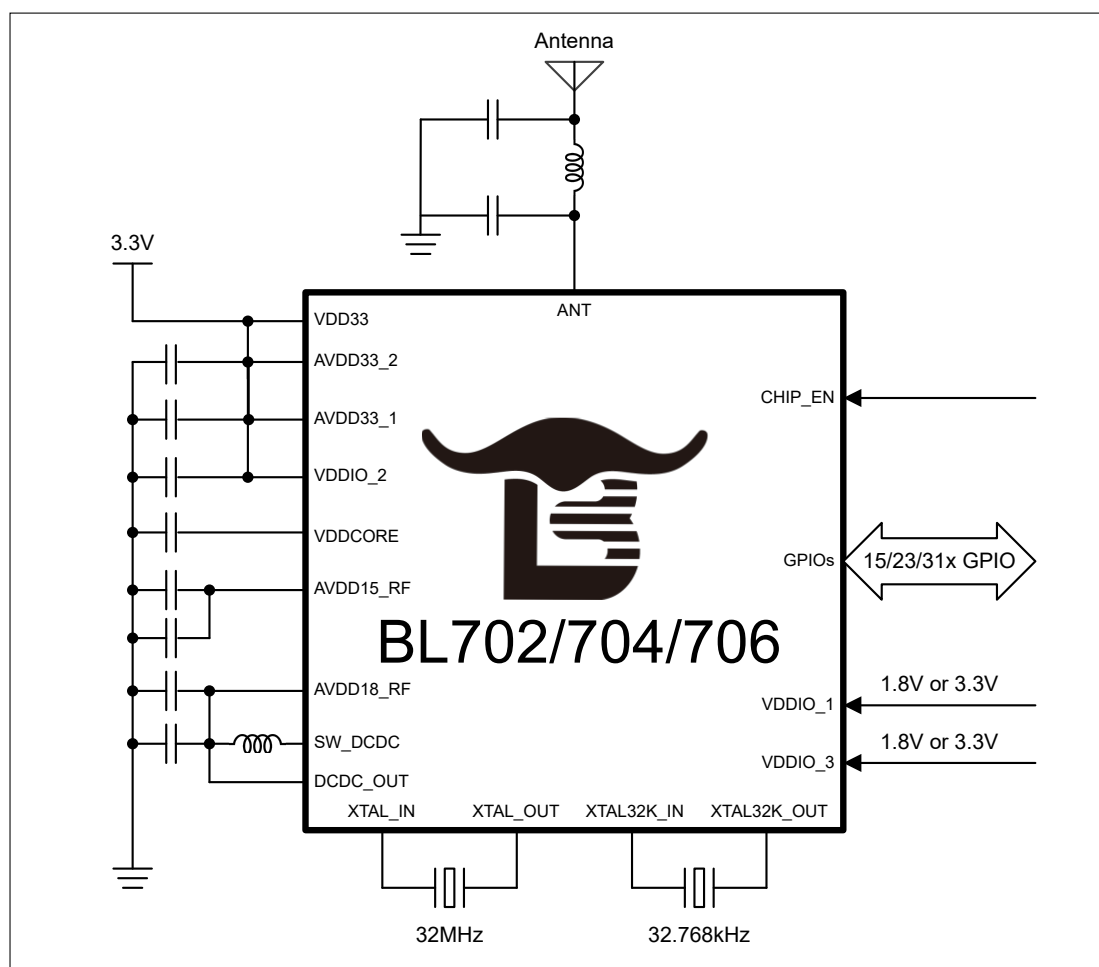


图 6.1: 参考设计

封装信息 QFN32

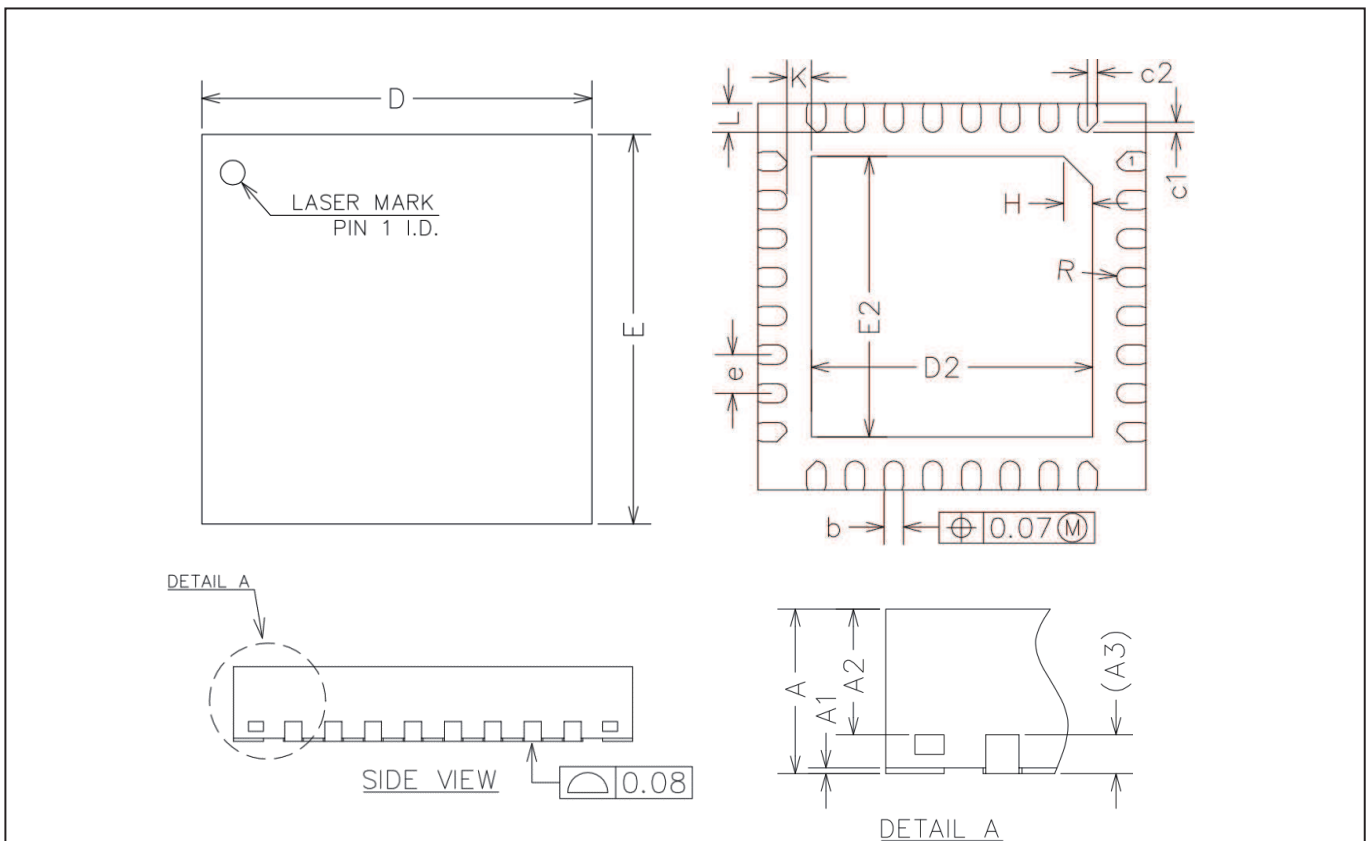


图 7.1: QFN32 封装图

表 7.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05

表 7.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.80	2.90	3.00
E2	2.80	2.90	3.00
e	0.30	0.40	0.50
H	0.30REF		
K	0.25REF		
L	0.25	0.30	0.35
R	0.09	-	-
c1	-	0.10	-
c2	-	0.10	-

封装信息 QFN40

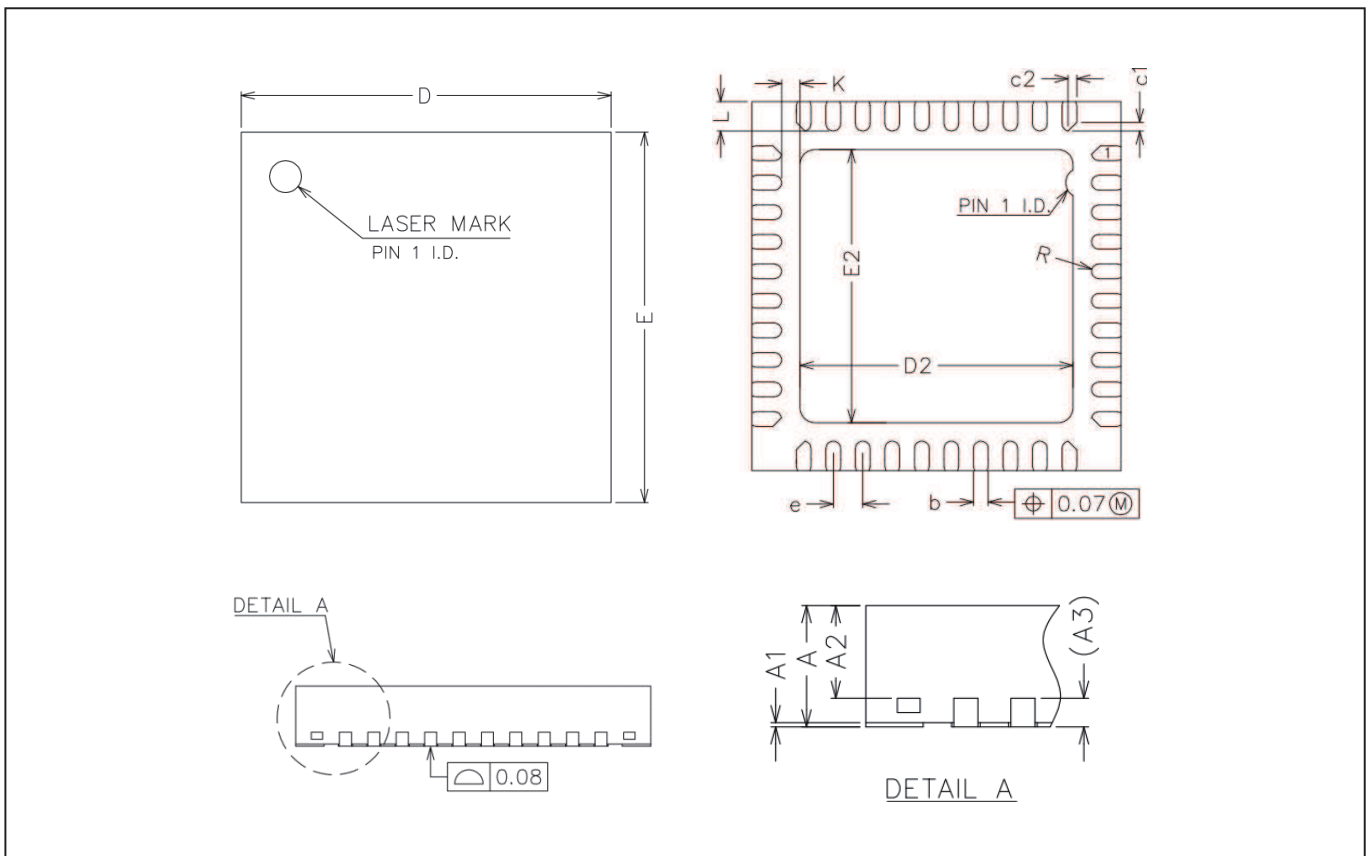


图 8.1: QFN40 封装图

表 8.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05

表 8.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A2	0.60	0.65	0.70
A3	0.20REF		
b	0.15	0.20	0.25
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.60	3.70	3.80
E2	3.60	3.70	3.80
e	0.35	0.40	0.45
K	0.20	-	-
L	0.35	0.40	0.45
R	0.075	-	-
C1	-	0.12	-
C2	-	0.12	-

封装信息 QFN48

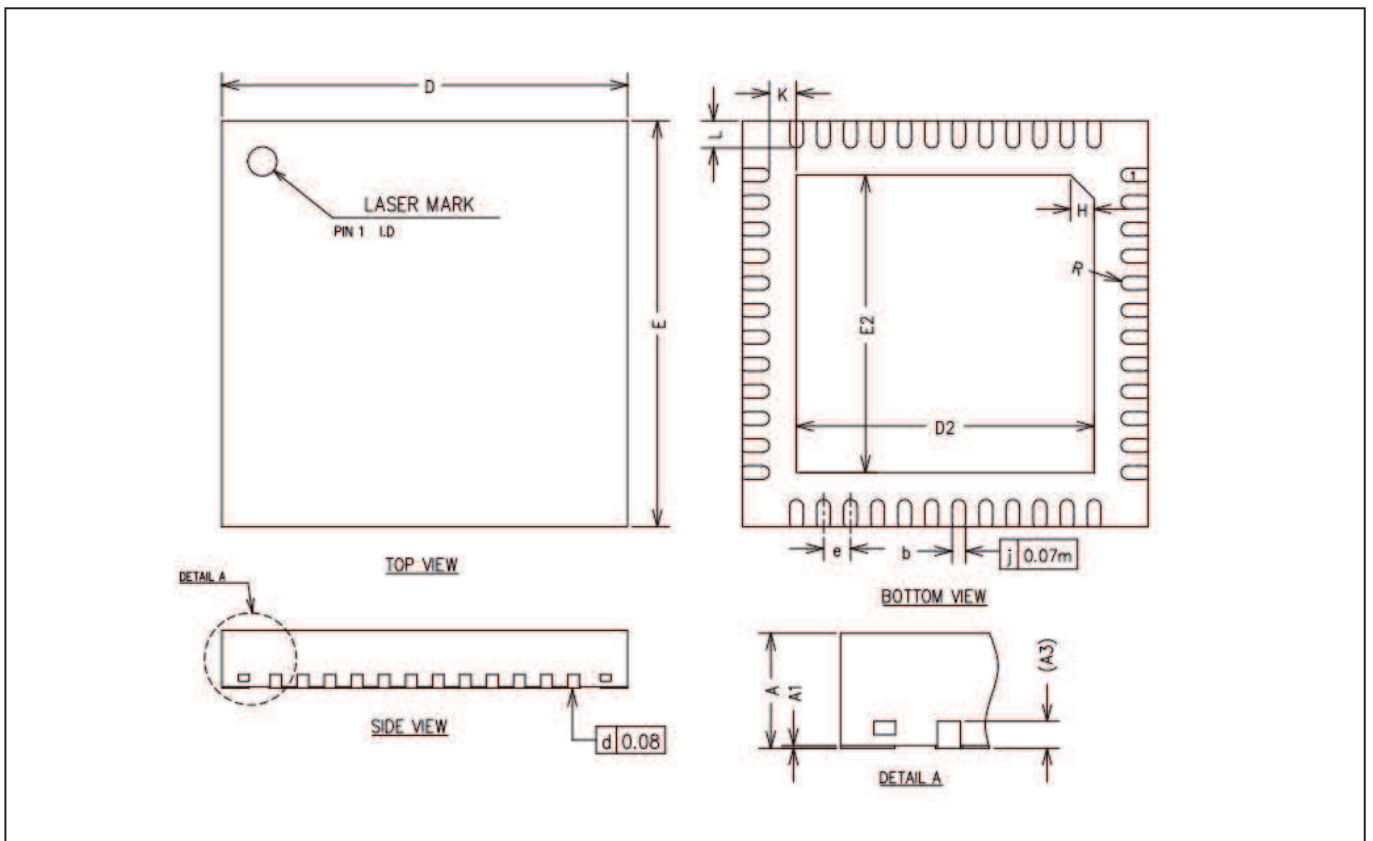


图 9.1: QFN48 封装图

表 9.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05

表 9.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A3	0.20REF		
b	0.15	0.20	0.25
D	5.90	6.00	6.10
E	5.90	6.00	6.10
D2	4.30	4.40	4.50
E2	4.30	4.40	4.50
e	0.30	0.40	0.50
H	0.35REF		
K	0.30	0.40	0.50
L	0.30	0.40	0.50
R	0.075	-	-

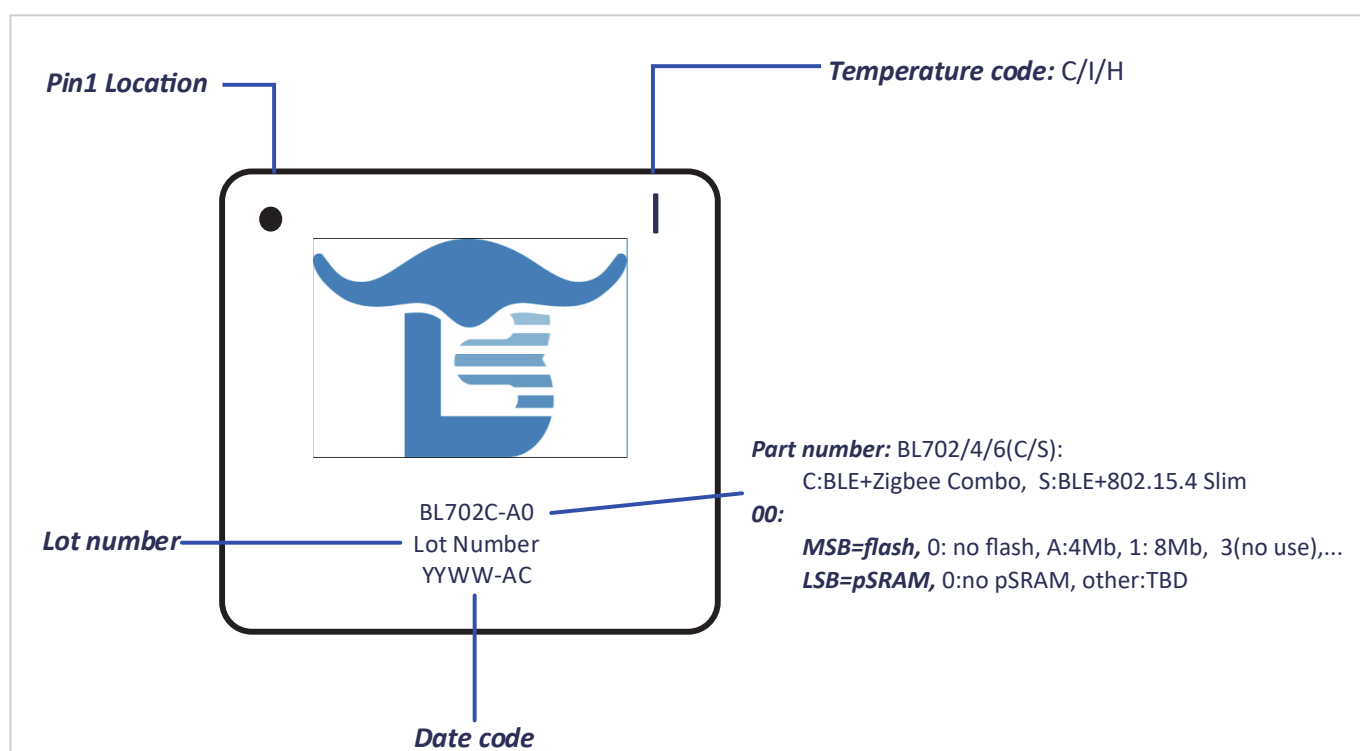


图 10.1: 标志定义

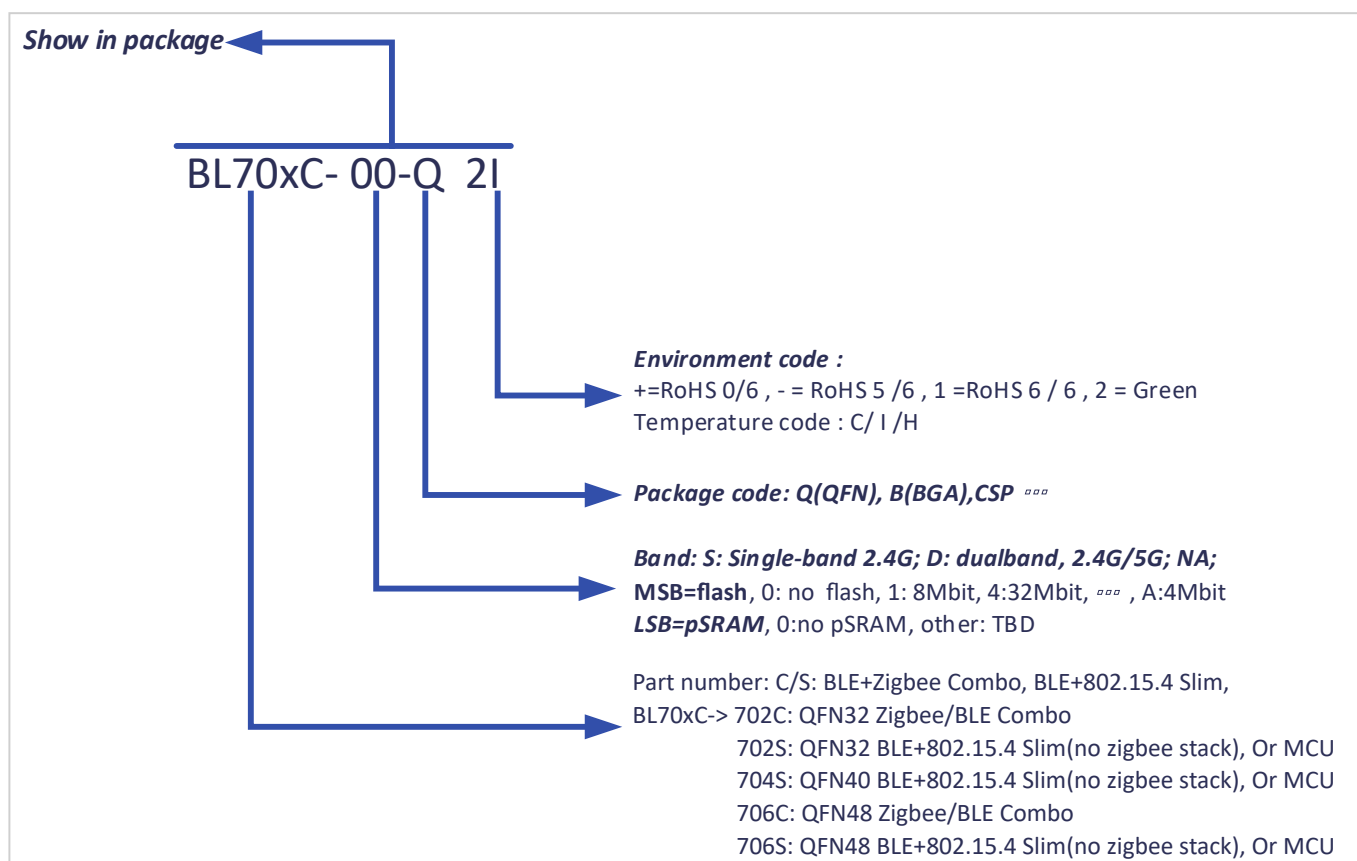


图 11.1: 型号命名

表 11.1: 订购选项

产品编号	描述
BL702S-A0-Q2I	BLE+802.15.4 Slim, MCU, QFN32, 4Mb flash
BL702C-10-Q2H	Zigbee+BLE Combo, QFN32, 8Mb flash
BL704S-10-Q2I	BLE+802.15.4 Slim, MCU, QFN40, 8Mb flash
BL706C-10-Q2I	Zigbee+BLE Combo, QFN48, 8Mb flash
BL706S-10-Q2I	BLE+802.15.4 Slim, MCU, QFN48, 8Mb flash

表 12.1: 修改记录

日期	版本	修改内容
2020/9/15	1.0	初版
2020/9/22	1.1	增加 QFN48 封装图信息
2020/10/20	1.2	修改 Timer 数量
2020/12/4	1.4	区分不同封装信息
2021/1/11	1.5	增加 GPIO Muxed Pins
2021/1/22	1.6	增加参考设计
2021/3/16	1.7	增加产品使用说明、ADC 特性, 修改 SPI 管脚默认功能
2021/4/9	1.8	增加外设介绍
2021/5/27	1.9	修改 Pinmux 描述和最低温度值
2021/6/9	2.0	更新产品编号
2021/7/1	2.1	修改内置引脚说明