

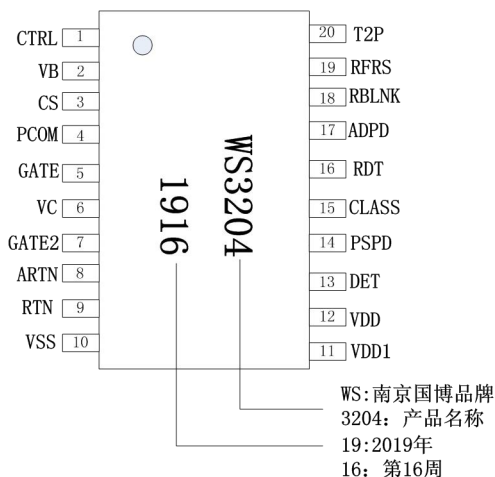
产品介绍

南京国博电子股份有限公司研制的 WS3204 是一款以太网供电 (PoE) 受电设备 (PD) 接口与电流模式 DC 至 DC 控制器组合在一起的器件。此 PoE 接口支持 IEEE 802.3at 标准。

WS3204 支持一定数量的输入电压 ORing 选项, 其中包括最高电压、外部适配器基准和 PoE 优先选择。这些特性使得设计人员能够确定哪个电源在所有情况下来承担负载

PoE 接口特有与高功率中跨式供电设备 (PSE) (符合 IEEE 802.3at 标准) 兼容所需的双事件、物理层分类。签名检测引脚也可被用来强制关闭 PoE 供电。使用一个单个电阻器可将分级设定为一定类别中的任何一个。

DC/DC 控制器特有两个支持可编程死区时间的互补栅极驱动器。这样简化了采用有源钳位正激变换器和采用次级同步整流的高效反激式拓扑结构的设计。如果需要一个单一的 MOSFET 拓扑, 可将第二个栅极驱动禁用。此控制器还特有内部软启动、引导加载程序启动源、电流模式补偿和一个最大值为 78% 的占空比。一个可编程和可同步振荡器可针对使用效率对设计进行优化并简化控制器的使用。具有一个缺省周期的精确可编程消隐简化了常见的电流感测滤波器平衡设计。产品的结构及引脚图 (Top View) 如下:

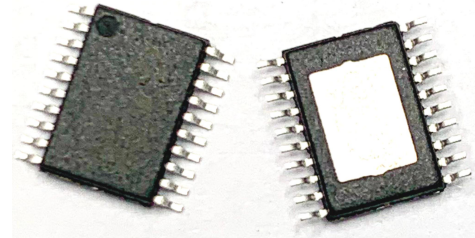


WS3204 引脚图—20-pin HTSSOP
(Top View)

WS3204



IEEE802.3at 标准 PD 供电芯片



20-pin HTSSOP 封装

产品特征

- 针对隔离转换器对 DC 至 DC 控制进行了优化
- 支持高效率的拓扑结构
- 完整的 PoE 接口
- 符合 IEEE 802.3at 标准且具有状态标志的增强型分类
- 适配器 ORing 支持
- 可编程的并且带有同步功能的频率设置
- 稳定耐用的 85V, 0.4 Ω 热插拔金属氧化物半导体场效应晶体管
- -40° C 至 125° C 的工作结点温度范围
- 行业标准的 HTSSOP-20 封装

应用

- 符合 IEEE 802.3at 标准的受电设备
- 视频和网络语音 (VoIP) 电话
- RFID 阅读器
- 无线访问点设备
- 监控摄像机



WS3204 电性能

除非另外标注，否则条件如下：CS=PCOM=ADPD=CTRL=RTN=ARTN, GATE and GATE2 float, R_{RFRS}=68 k Ω , R_{RBLNK}=200 k Ω , R_{RDT}=V_B, P_{SPD}=V_{SS}, T2P open, C_{VB}=C_{Vc}=0.1 μ F, R_{DET}=24.9 k Ω , R_{CLASS} open, 0 V \leq (V_{DD}, V_{DD1}) \leq 57 V, 0 V \leq V_C \leq 12 V, -40 $^{\circ}$ C \leq T_J \leq 125 $^{\circ}$ C. Typical specifications are at 25 $^{\circ}$ C.

表1: 控制器部分

[V_{SS} = RTN and V_{DD}=V_{DD1}] 或 [V_{SS}=RTN=V_{DD}], 所有电压参考为[ARTN, PCOM].

参数		测试条件	MIN	TYP	MAX	UNIT
V_C						
V _{CUV}	UVLO	V _C rising	10.4	11	11.6	V
V _{CUVH}		Hysteresis ⁽¹⁾	3.7	4	4.3	V
Operating current		V _C =12V, CTRL=V _B , R _{RDT} =68.1k Ω	0.7	1.2	1.4	mA
t _{ST}	Bootstrap startup time, C _{Vc} =22 μ F	V _{DD1} =13.2V, V _C (0)=0V	50	85	175	ms
		V _{DD1} =35V, V _C (0)=0V	27	45	92	
Startup current source I _{Vc}		V _{DD1} =13.2V, V _C =8.6V	0.44	1.06	1.80	mA
		V _{DD1} =48V, V _C =0V	2.7	4.8	6.8	mA
V_B						
Voltage		6.5V \leq V _C \leq 12V, 0 \leq I _{VB} \leq 5mA	4.8	5.1	5.25	V
RFRS						
Switching frequency		CTRL=V _B , measure GATE, R _{RFRS} =68.1K	227	253	278	kHz
D _{MAX}	Duty cycle	CTRL=V _B , measure GATE	76	78	80	%
V _{SYNC}	Synchronization	Input threshold	2	2.2	2.4	V
CTRL						
V _{ZDC}	0% duty cycle threshold	V _{CTRL} \downarrow until GATE stops	1.3	1.5	1.7	V
	Softstart period	Interval from switching start to V _{CSMAX}	1.9	3.9	6.2	ms
	Input resistance		70	100	145	k Ω
RBLNK						
	Blanking delay	RBLNK=RTN	35	55	78	ns
	(in addition to t ₁)	R _{RBLNK} =49.9 k Ω	38	55	70	
RDT						
	Dead time See Figure 2 for t _{RDTX} definition	CTRL=V _B , C _{GATE} =1nF, C _{GATE2} =1nF, Measure GATE and GATE2				ns
t _{RDT1}		R _{RDT} =24.9 k Ω , GATE \uparrow To GATE \uparrow	40	55	70	
t _{RDT2}		R _{RDT} =24.9 k Ω , GATE \downarrow To GATE \downarrow	40	55	70	
t _{RDT1}		R _{RDT} =75k Ω , GATE \uparrow To GATE \uparrow	120	165	210	
t _{RDT2}		R _{RDT} =75 k Ω , GATE \downarrow To GATE \downarrow	120	165	210	
CS						
V _{CSMAX}	Maximum threshold voltage	V _{CTRL} =V _B , V _{CS} rising until GATE duty cycles drops	0.5	0.55	0.6	V
t ₁	Turnoff delay	V _{CS} =0.65V	24	40	70	ns
V _{SLOPE}	Internal slope compensation voltage	Peak voltage at maximum duty cycle, referenced to CS	120	155	185	mV
I _{SL_EX}	Peak slope compensation current	V _{CTRL} =V _B , I _{CS} at maximum duty cycle	30	42	54	μ A
Bias current (sourcing)		DC component of I _{CS}	1	2.5	4.3	μ A
GATE						
Source current		V _{CTRL} =V _B , V _C =12V, GATE high, pulsed measurement	0.37	0.6	0.95	A
Sink current		V _{CTRL} =V _B , V _C =12V, GATE low, pulsed measurement	0.7	1	1.4	A
GATE2						



Source current	$V_{CTRL}=V_B$, $V_C=12V$, GATE2 high, pulsed measurement, $R_{RDT}=24.9k$	0.37	0.6	0.95	A	
Sink current	$V_{CTRL}=V_B$, $V_C=12V$, GATE2 low, pulsed measurement, $R_{RDT}=24.9k$	0.7	1	1.4	A	
ADPD/PSPD						
V_{ADPDE} N	ADPD threshold voltage	V_{ADPD} rising	1.43	1.5	1.57	V
V_{ADPDH}		Hysteresis ⁽¹⁾	0.29	0.31	0.33	
V_{PSPDE} N	PSPD threshold voltage	$V_{PSPD}-V_{SS}$ rising, UVLO disable	1.45	1.55	1.65	V
V_{PSPDH}		Hysteresis ⁽¹⁾	0.29	0.31	0.33	
V_{PSPD2}		$V_{PSPD}-V_{SS}$ rising, Class enable	7.4	8.3	9.2	V
V_{PSPD2H}		Hysteresis ⁽¹⁾	0.5	0.6	0.7	
ADPD leakage current (source or sink)		$V_C=12V$, $V_{ADPD}=V_B$	1			μA
I_{PSPD}	PSPD sink current	$V_{PSPD}-V_{SS}=1.5V$	2.5	5	7.5	μA
THERMAL SHUTDOWN						
Turnoff temperature		TJ rising	135	145	155	$^{\circ}C$
Hysteresis ⁽²⁾			20			$^{\circ}C$

(1) 迟滞量的公差跟踪器件的上升阈值。

(2) 这些参数仅供参考。

表2: PoE和控制器

[$V_{DD}=V_{DD1}$] or [$V_{DD1}=RTN$], $V_C=RTN$, $PCOM=RTN=ARTN$, 所有电压参考为 V_{SS} , 除非另外说明。

参数		测试条件	MIN	TYP	MAX	UNIT
DETECTION (DET)		$V_{DD}=V_{DD1}=RTN=V_{SUPPLY}$ positive				
Detection current		Measure I_{SUPPLY}				μA
		$V_{DD}=1.6V$	62	64.3	66.5	
		$V_{DD}=10V$	399	406	414	
Detection bias current		$V_{DD}=10V$, float DET, measure I_{SUPPLY} Note: not during Mark state		5.6	10	μA
V_{PD_DIS}	Hotswap disable threshold		3	4	5	V
DET leakage current		$V_{DET}=V_{DD}=57V$, float V_{DD1} and RTN, measure I_{DET}		0.1	5	μA
CLASSIFICATION (CLASS)		$(V_{DD}=V_{DD1}=RTN=V_{SUPPLY}$ positive)				
I_{CLASS}	Classification current, applies to both cycles	$13V \leq V_{DD} \leq 21V$, measure I_{SUPPLY}				mA
		$R_{CLASS}=1270\Omega$	1.8	2.1	2.4	
		$R_{CLASS}=243\Omega$	9.9	10.4	10.9	
		$R_{CLASS}=137\Omega$	17.6	18.5	19.4	
		$R_{CLASS}=90.9\Omega$	26.5	27.7	29.3	
Classification mark resistance		$5.6V \leq V_{DD} \leq 9.4V$	7.5	9.7	12	k Ω
V_{CL_ON}	Classification regulator lower threshold	Regulator turns on, V_{DD} rising	11.2	11.9	12.6	V
V_{CL_H}		Hysteresis ⁽¹⁾	1.55	1.65	1.75	
V_{CU_OF} F	Classification regulator upper threshold	Regulator turns off, V_{DD} rising	21	22	23	V
V_{CU_H}		Hysteresis ⁽¹⁾	0.5	0.75	1.0	
V_{MSR}	Mark state reset	V_{DD} falling	3	4	5	V
Leakage current		$V_{DD}=57V$, $V_{CLASS}=0V$, $DET=V_{SS}$, measure I_{CLASS}	1			μA
PASS DEVICE (RTN)		$V_{DD1}=RTN$				
On resistance			0.25	0.40	0.75	Ω
Current limit		$V_{RTN}=1.5V$, $V_{DD}=48V$, pulsed measurement	850	970	1100	mA
Inrush limit		$V_{RTN}=2V$, $V_{DD}:0V \rightarrow 48V$, pulsed measurement	100	140	180	mA



Fold-back voltage threshold		V _{DD} rising	11	12.3	13.6	V
UVLO						
V _{UVLO_R}	UVLO threshold	V _{DD} rising	33.9	35	36.1	V
V _{UVLO_H}		Hysteresis ⁽¹⁾	4.4	4.55	4.76	
T2P						
On characteristic		Perform classification algorithm, V _{T2P-RTN} =1V, CTRL=RTN	2			mA
Leakage current		V _{T2P} =12V, CTRL=V _B			10	uA
t _{T2P}	delay	From start of switching to T2P active	5	9	15	ms
THERMAL SHUTDOWN						
Turnoff temperature		T _J rising	135	145	155	°C
Hysteresis ⁽²⁾				20		°C

(1) 迟滞量的公差跟踪器件相应的上升阈值。

(1) 这些参数仅供参考。

WS3204 外围参考电路:

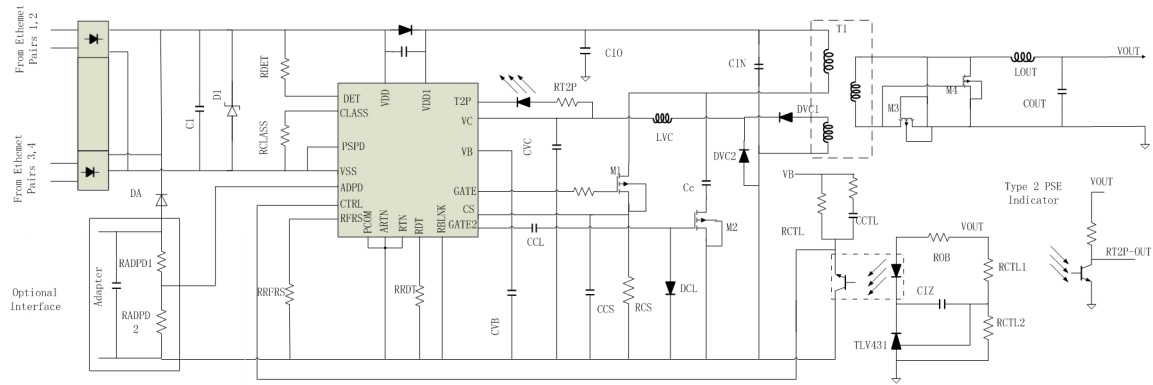


图 1 WS3204 典型工作电路

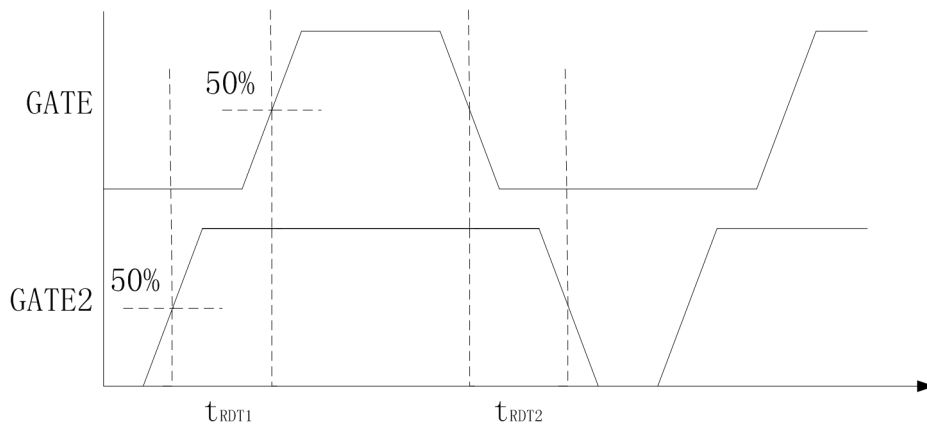


图 2 GATE和GATE2时间和相位



表 3: WS3204 引脚定义

名称	管脚	类型	描述
CTRL	1	I	CTRL 是控制环路的到 PWM 的输入端，典型应用时由输出反馈部分驱动（光耦等）。VB 为 CTRL 提供上拉电源。
VB	2	0	VB 为内部 LDO 输出端，为芯片的 DC-DC 控制电路和反馈光电耦合器提供 5.1V 电源。典型条件接 0.1uF 旁路电容到 ARTN。
CS	3	I/O	DC/DC 转换器中开关 MOSFET 的电流采样信号输入端。参考图 1 中的 RCS。
PCOM	4		Gate 驱动模块的地端，需要连接到 ARTN 和 RTN。
GATE	5	0	Gate 驱动模块的输出，用于驱动 DC/DC 转换器的主开关 MOSFET。
VC	6	I/O	DC/DC 转换器的偏置电压。需要连接 0.47uF（最小）的陶瓷电容到 ARTN，并且还需要加个大电容来完成芯片上电启动。
GATE2	7	0	Gate 驱动模块的输出，用于驱动 DC/DC 转换器的第二个开关 MOSFET。
ARTN	8		ARTN 是 DC/DC 转换器的模拟地端，在电路板上需连接到 RTN 和 PCOM 端。
RTN	9		RTN 是内部的 PoE 热插拔 MOSFET 的输出端。
VSS	10		VSS 连接到 PoE 输入的负电源端。
VDD1	11	I	DC/DC 转换器提供启动电流的电源端，多数应用中连接到 VDD。
VDD	12	I	此端连接到 PoE 输入的正电源端。VDD 为 PoE 接口电路部分的电源，需连接 0.1uF 旁路电容和 TVS 保护器件。
DET	13	I/O	在 DET 到 VDD 之间连接 24.9 kΩ 电阻作为 PoE 检测的标记电阻。在芯片运行正常时，将 DET 拉到 VSS 将导致内部热插拔 MOSFET 关断。
PSPD	14	I	VPSPD-VSS 上升到 1.55V 以上时，将使能芯片内部热插拔 MOSFET 和开启 T2P 功能。在 ADPD 活跃时将 PSPD 接到 VDD 可使能分级功能。在不使用时将 PSPD 连接到 VSS 或悬空。
CLASS	15	I	在 CLASS 和 VSS 之间连接电阻设置分级电流。芯片运行在分级阶段时，CLASS 端将输出 2.5V 的固定电压，2.5V 电压加在 CLASS 端电阻上形成分级电流。
RDT	16	I	在 RDT 和 ARTN 之间连接电阻可设置 GATE 和 GATE2 的死区时间。将 RDT 接到 VB 将关闭 GATE2 端。
ADPD	17	I	VADPD-ARTN 上升到 1.5V 以上时，关闭芯片内部热插拔 MOSFET，禁用分级功能，并且使能 T2P 功能。此时芯片将强制转为由外部 VDD1-RTN 之间的电源适配器供电。
RBLNK	18	I	将此引脚连接到 ARTN 时，将使用内部模块固有的电流检测消隐时间，若从 RBLNK 连接电阻到 ARTN，可外部编程设置更精确的消隐时间。
RFRS	19	I	在 RFRS 和 ARTN 之间连接电阻可编程设置转换器的开关频率。RFRS 也可以通过外部时钟源将芯片设置为同步工作模式。
T2P	20	0	T2P 为低输出时表示以下情况出现，PSE 执行 IEEE 802.3at type 2 硬件分级，或者 PSPD 使能，又或者 ADPD 使能。
Pad	-		散热连接到 VSS。

表 4: WS3204 最大工作条件范围 (注 1, 注 2)

特性	符号	最小限定值	典型值	最大限定值	单位
最大工作电压	ARTN ⁽²⁾ , PCOM ⁽²⁾ DET, PSPD, RTN,, VDD, VDD1	-0.3		85	V
CLASS 电压	CLS ⁽²⁾	-0.3		6.5	V
APD, BLNK ⁽²⁾ , CTL, FRS ⁽²⁾ , VB 电压	[APD, BLNK ⁽²⁾ , CTL, FRS ⁽²⁾ , VB ⁽²⁾] to [RTN]	-0.3		6.5	V
Vc T2P, 电压	Vc T2P, to [RTN]	-0.3		15	V
GATE GATE2 电压	GATE ⁽²⁾ GATE2 to [RTN]	-0.3		Vc+0.3	V
存储温度	T _{STG}	-65		+150	°C
最高结温	T _J			+150	°C
ESD-HBM	ESD-HBM	2000			V

注 1: 工作条件超过以上任何一个限制都可能导致器件的永久性损坏。

注 2: 不要对这些引脚施加电压。

表 5: WS3204 推荐工作条件范围 (注 3)

特性	符号	最小限定值	典型值	最大限定值	单位
推荐工作电压	ARTN ⁽²⁾ , PCOM ⁽²⁾ DET, PSPD, RTN,, VDD, VDD1	0	48	57	V
T2P, VC 电压	T2P, VC to [RTN]	0	12	15	V
APD, CTL 电压	APD, CTL to [RTN]	0		VB	V
CS 电压	CS to [RTN]	0		2	V
VB 电流	I _{VB}	0	2.5	5	mA
VB 电容	C _{VB}	0.08			uF
BLNK 电阻	R _{BLNK}	0		350	KΩ
持续的 RTN 电流 (T _J ≤ 125°C)	I _{limit}	0		825	mA
工作温度	T _A	-40		+125	°C

注 3: 超出推荐工作温度范围下工作可能会导致器件的性能恶化。

警告: 该产品为静电敏感器件, 在贮存、运输、使用过程中需全程采取防静电措施。



ESD sensitive

注意: WS3204 产品在拿取、装架以及测试过程中必须防静电!

WS3204功能逻辑框图

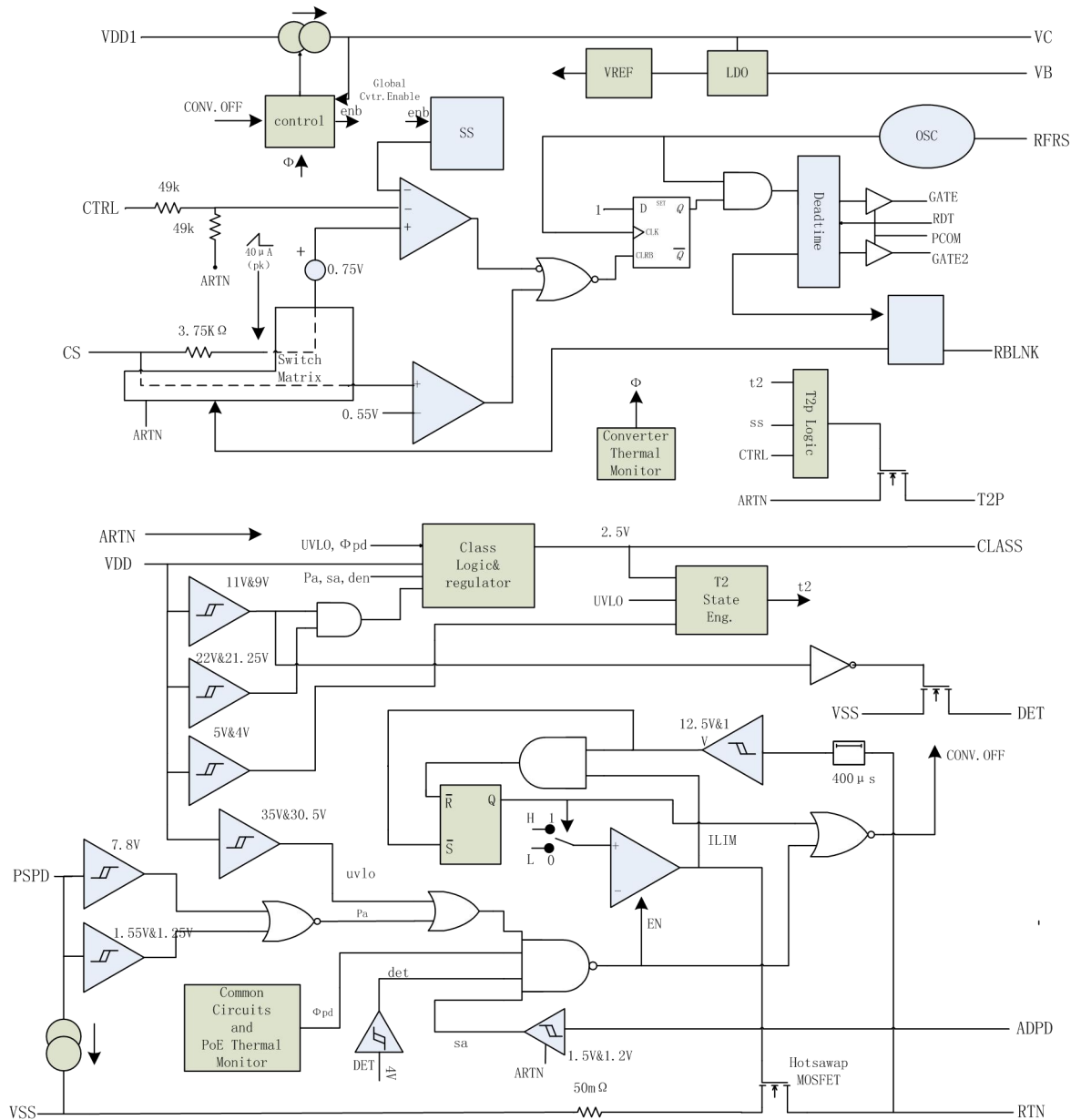


图3功能逻辑框图

**PIN 描述**

请参见图1中的器件参考标识符（例如RCS），以及由参考标识符（例如VCSMAX）表示的电气特性值。上述的电气特性值优先于以下部分中使用的任何数值。

ADPD

ADPD通过开启热插拔开关，禁用分级功能（参见PSPD引脚描述）和使能T2P，强制系统变为由连接到VDD1和RTN之间的外部适配器供电。当ADPD连接到外部适配器时，建议使用电阻分压。分压器为电源适配器ORing二极管提供ESD保护，泄漏放电和输入电压限制。电压限制条件确保适配器的输出电压足够高，以保证在PoE电流切断之前可以支持PD工作。根据方程1选择ADPD分压电阻，其中VADPTR-ON是指适配器电压上升达到芯片使能ADPD功能时，对应的适配器的电压值。

$$R_{ADPD1} = R_{ADPD2} \times (V_{ADPTR_ON} - V_{ADPDEN}) / V_{ADPDEN}$$

$$V_{ADPTR_OFF} = \frac{R_{ADPD1} + R_{ADPD2}}{R_{ADPD2}} \times (V_{ADPDEN} - V_{ADPDH})$$

(1)

将ADPD下拉电阻放在ADPD引脚附近。

不使用时，ADPD应与ARTN相连。

RBLNK

消隐功能在GATE上升为高和电流控制比较器对CS输入信号主动监测之间加入一个延迟时间。该延迟使得正常导通的电流瞬变（尖峰）在比较器被使能之前消失，防止误触发的小占空比和电流限制现象。将RBLNK连接到ARTN可以获得内部设置的消隐时间，而通过外部电阻设置消隐时间由公式2定义。

$$R_{RBLNK} (k\Omega) = t_{RBLNK} (ns)$$

(2)

将RRBLNK电阻放置在RBLNK引脚附近。

CLASS

根据IEEE标准，在CLASS引脚到VSS接入电阻可以设置分级电流。PD功率范围和对应的电阻值列在表1中。分配的功率是指对应于PD在工作期间拉出的最大平均功率。如果在第一个分级周期时出现第4级分类，那么大功率PSE可以执行两个分级周期。依据IEEE标准，WS3204在每个周期都提供相同的分级设置（电阻编程）。

表6：分级电阻选择

CLASS	POWER AT PD		RESISTOR (Ω)	NOTES
	MINIMUM	MAXIMUM		
	(W)	(W)		
0	0.44	12.95	1270	Minimum may be reduced by pulsed loading. Serves as a catch-all default class.
1	0.44	3.84	243	
2	3.84	6.49	137	
3	6.49	12.95	90.9	
4	12.95	25.5	63.4	Not allowed prior to IEEE 802.3at. Use to indicate a Type 2 PD (high power) device per IEEE 802.3at.



DC/DC 转换器的 CS（电流检测）输入端应连接到开关 MOSFET 电流检测电阻（RCS）的高端。限流阈值 VCSMAX 定义为当 CS 电压超过这个阈值电压时，无论此时 CTRL 的电压如何，GATE 都将停止切换。

WS3204 提供内部斜率补偿（150 mV，VSLOPE），以及提供额外的斜率补偿输出电流，峰值电流限制和 GATE 关断时对 CS 引脚的下拉功能。

电流检测电阻和 CS 引脚之间的布线应该很短，以尽量减少噪声线（如门驱动信号）的串扰。

CTRL

CTRL（控制）是电压控制回路到 PWM（脉宽调制器）的输入。将 VCTRL 拉到阈值 VZDC 下方会导致 GATE 停止切换。当 VCTRL 在 VZDC（零占空比电压）以上时，继续增加 VCTRL 电压将会提高开关 MOSFET 编程的峰值电流。要求在大约 $VZDC + (2 \times VCSMAX)$ 时下达达到最大（峰值）电流。从 CTRL 到 PWM 比较器的交流增益为 0.5。从 CTRL 到 ARTN 的内部分压器大约为 100kΩ。

使用 VB 作为 CTRL 的上拉电源。

DET

DET（检测和使能）是具有 PoE 检测和 PoE 电源禁止功能的多功能引脚。将一个 24.9 k 电阻从 DET 连接到 VDD，以提供 PoE 检测签名。当 VVDD-VSS 超出检测范围时，DET 变为高阻态。在供电运行期间将 DET 拉到 VSS 会导致内部热插拔 MOSFET 和分级稳压器关闭，而被减小的检测电阻防止 PD 的重新检测。

RDT

死区时间编程设置 GATE 和 GATE2 之间的延迟时间，以防止开关 MOSFET 出现同时导通情况，如图 2 所示。当 GATE2 变为高电平时，第二个 MOSFET 关断。在 GATE2 变高到 GATE 变高，或从 GATE2 变低到 GATE2 变低之间的时间，两个 MOSFET 应该同时关闭。最大 GATE 开启时间会被编程的死区时间减少。死区时间定义的标准值是指在 GATE 和 GATE2 外接 1nF 电容条件下测试，而这两个 GATE 引脚上的不同负载将改变有效死区时间。从 RDT 到 ARTN 连接的电阻，依据方程式 3 设置 GATE 和 GATE2 之间的延迟。

$$R_{RDT}(\text{k}\Omega) = \frac{t_{RDT}(\text{ns})}{2}$$

(3)

将 RDT 连接到 VB 时将死区时间设置为 0 并关闭 GATE2。

RFRS

将电阻连接到 RFRS（频率和同步）和 ARTN 之间，可以对转换器的开关频率进行编程。根据以下关系选择 RRFRS 电阻。

通过向 RFRS 引脚施加短交流耦合脉冲，可将转换器同步到高于其最大自由运行频率的频率。

RFRS 引脚为高阻抗。需要保持短的连接线和远离潜在的噪声源。当使用同步电路时，应特别注意避免串扰。

$$R_{RFRS}(\text{k}\Omega) = \frac{17250}{f_{SW}(\text{kHz})}$$

(4)

**GATE**

DC/DC 转换器主开关 MOSFET 的栅极驱动输出。GATE 输出转为高电平时主开关打开，当转为低电平时主开关关闭。当转换器被禁用时，GATE 保持低电平。

GATE2

GATE2是DC / DC转换器的第二个栅极驱动输出。GATE2输出转变为高电平时关闭第二个开关MOSFET，当其转变为低电平时开启第二个开关MOSFET。这个引脚可以根据图1驱动有源钳位PMOS器件，也可根据图28驱动反激式同步整流器。有关GATE到GATE2的死区时间的描述可参考RDT的引脚说明。将RDT连接到VB会使GATE2处于高阻态。转换器禁用时，GATE2为低电平。

PSPD

PSPD 是具有两个电压阈值 PSPD1 和 PSPD2 的多功能引脚。

PSPD1 允许通过屏蔽开启内部热插拔开关的UVLO（阈值约35V）功能，实现从VDD连接到VSS的外部低压适配器（例如24 V）直接供电。PSPD电压高于1.55V时，使能内部热插拔MOSFET，禁用分级功能，并开启T2P。图35中的电阻分压器为适配器ORing二极管提供ESD保护和漏电放电，适配器电压反向保护和输入电压限定功能。电压限定确保适配器输出电压足够高，以便在PD开始抽取电流之前可以支持PD运行。

$$R_{PSPD1} = \left(\frac{V_{ADPTR_ON} - V_{PSPDEN}}{\frac{V_{PSPDEN} - I_{PSPD}}{R_{PSPD2}}} \right)$$

$$V_{ADPTR_OFF} = (V_{PSPDEN} - V_{PSPDH}) + \left[R_{PSPD1} \times \left(\frac{V_{PSPDEN} - V_{PSPDH}}{R_{PSPD2}} - I_{PSPD} \right) \right] \quad (5)$$

当ADPD与二极管DVDD一起使用时，PSPD2可以在VSPD高于8.3V时使能分级功能，以允许TYPE2分级。当需要PSPD2操作时，将PSPD连接到VDD。

PSPD引脚具有5μA的内部下拉电流。

使用此引脚时，请将PSPD下拉电阻放在引脚附近。

不使用时，PSPD可连接到VSS或保持悬空。

RTN, ARTN, PCOM

RTN内部连接到PoE热插拔开关MOSFET的漏极，而ARTN是DC/DC控制器的模拟参考地端。PCOM为内部GATE驱动模块的参考地，并且PCOM应连接到电路板上的ARTN。应将ARTN / PCOM / RTN短接看做DC/DC转换器和转换器初级的局部参考地电压（接地层）。对于特殊应用，RTN和（ARTN / PCOM）可以有几伏的差值。

T2P

T2P是为低有效的输出，有效时表示[(VADPD > 1.5V) 或 (1.55V ≤ VSPD ≤ 8.3V) 或 (执行TEPY2型硬件分类)]。T2P有效时需要同时满足以下两个条件，即转换器开始切换后经过了tT2P的延迟时间和[VCTRL ≤ (VB - 1V)]。一旦T2P有效以后，VCTRL就不会再影响它。如果转换器回到软启动，过温或在CIN充电（涌入）期间被PD关闭，T2P将变为无效。T2P参考地为ARTN，旨在驱动光耦合器的二极管侧。如果不使用T2P，应保持悬空或与ARTN连接。

VB

VB是内部稳压器的5.1V输出端，作为DC/DC控制器电源，此引脚通常需接0.1uF的旁路电容到ARTN。VB可以用来作为反馈光电耦合器的偏置。

VC

VC是DC/DC控制器的偏置电源。MOSFET栅极驱动器和稳压器VB都直接由VC供电，并且

VC是转换器控制部分休眠时的偏置电压。从VDD1到VC的启动电流源由带有迟滞的比较器控制，以实现转换器上电启动。在正常运行期间，VC必须连接到外部偏置源，例如转换器辅助绕组输出。VC引脚需要连接一个最小0.47 μ F的旁路电容，并且电容的地端需要接到PCOM以为了栅极驱动器提供旁路。另外VC需要接一个大电容，为了在芯片启动并且转换器开关开始切换到辅助电源有输出电压这段时间内保证VC有足够的驱动电压。

VDD

VDD是来自于PoE源（PSE）的正输入电源端。需要使用IEEE标准要求的0.1 μ F电容将VDD旁路到VSS。瞬态抑制二极管（TVS），一种特殊类型的齐纳二极管，如SMAJ58A，应该加在VDD到VSS，以防止过压瞬变。

VDD1

VDD1是DC/DC转换器的启动电源。在许多应用中需要连接到VDD。VDD1可以通过二极管与VDD隔离，以支持PoE优先级运算操作。

VSS

VSS 是 PoE 输入的低电位端。它是 PoE 接口电路的参考地，并且内部通过带有电流限制功能的热插拔开关连接到 RTN。通过热插拔开关将 VSS 钳位到低于 RTN 约一个二极管压降以上。

PCB 需设置局部的 VSS 参考平面，使得输入端旁路电容，TVS，RCLASS 和散热焊盘连接到此平面。这个 VSS 参考平面将作为 WS3204 的主要散热器。

VSS在芯片内部连接到散热焊盘。

散热焊盘

散热焊盘内部连接到VSS。它应该连接到PCB上的大面积VSS铜区域，以向电路板提供低电阻热路径。建议在VSS，RTN和各种控制信号之间保持0.025英寸的间隙，以保持高电压信号安全（如VDD和VDD1）。

WS3204 典型参数特性

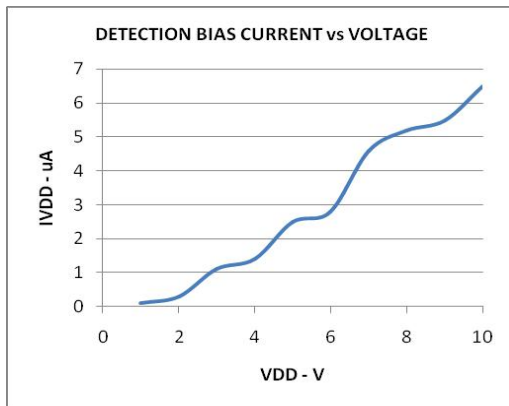


图 3.

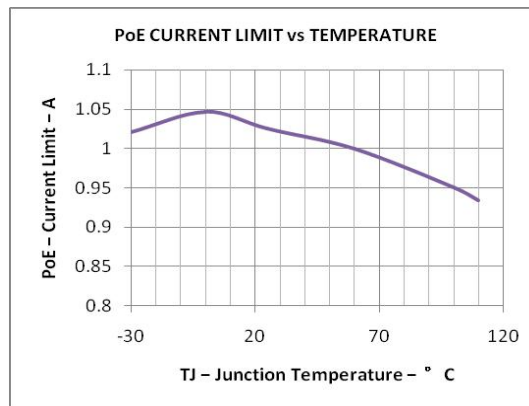


图 4.

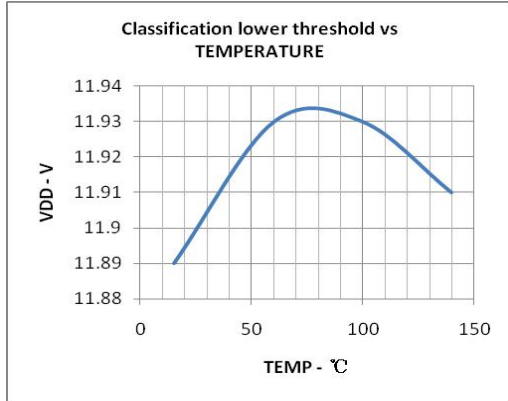


图5.

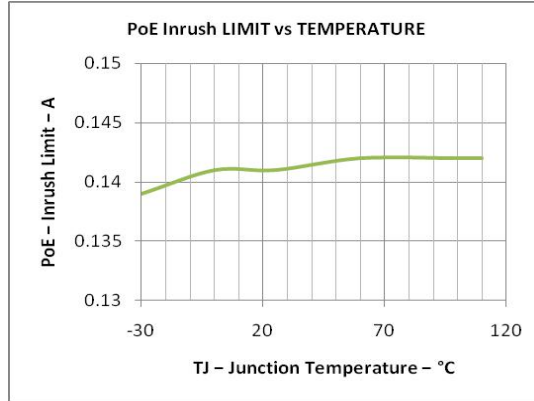


图6.

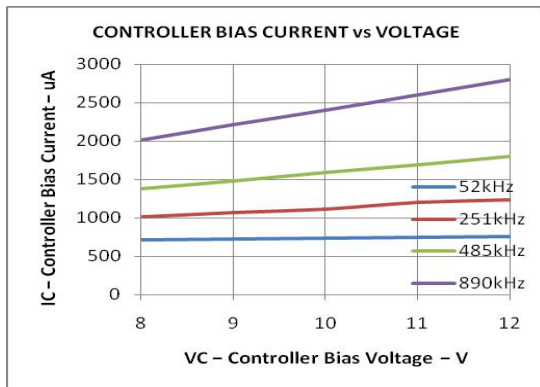


图7.

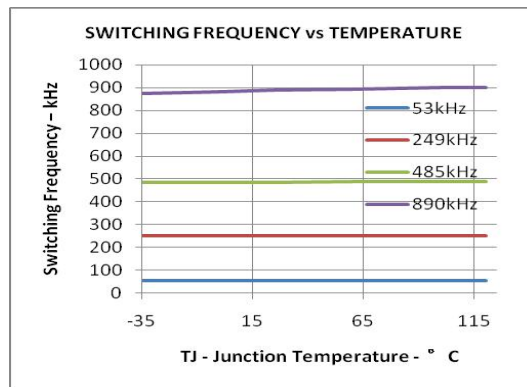


图8.

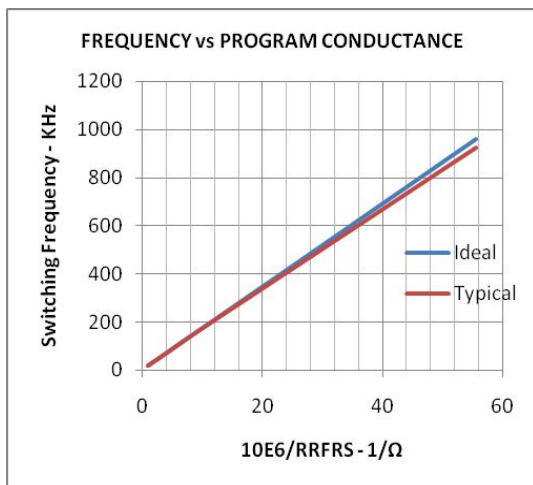


图9.

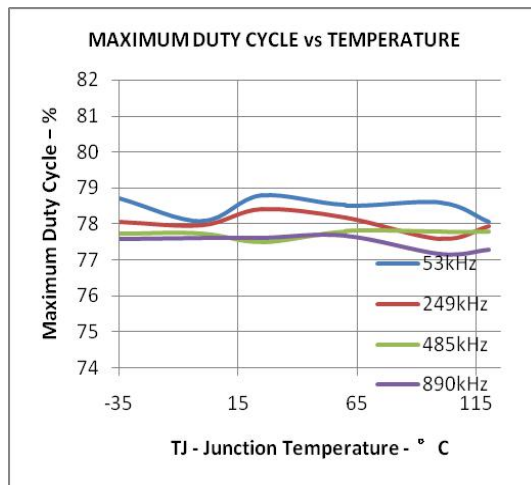


图10.

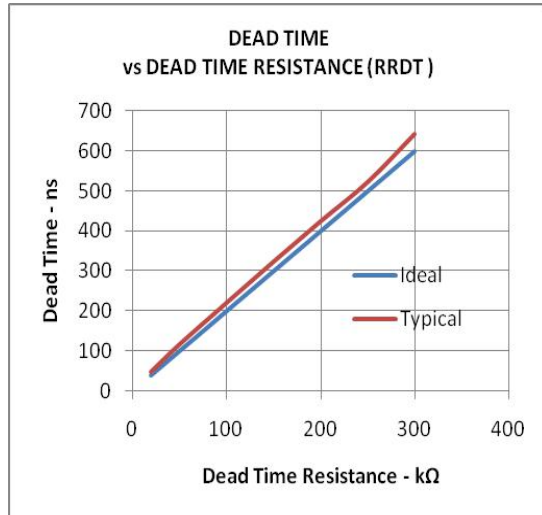


图11.

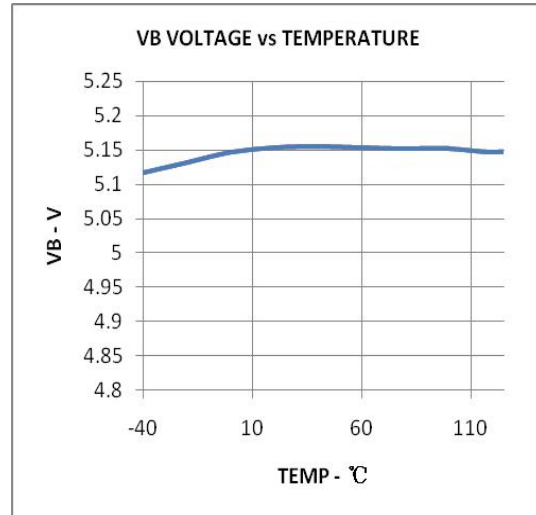


图12.

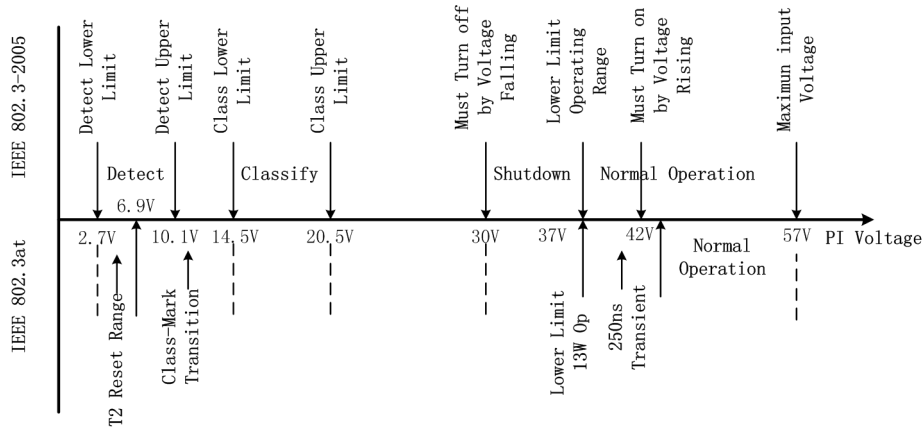
PoE 概述

以下文本旨在帮助您了解WS3204的操作，但不能替代IEEE 802.3at标准。IEEE 802.3at标准是IEEE 802.3-2008第33条（PoE）的更新，增加了大功率选项和增强分类。一般来说，符合IEEE 802.3-2008的设备被称为类型1设备，具有高功率和增强分类的设备将被称为类型2设备。在进行设计决策时设计者应始终关注IEEE标准的变更。

IEEE 802.3at标准定义了一种通过电源设备（PSE）通过电缆安全地为PD（供电设备）供电的方法，然后如果PD断开连接，则断开电源。该过程通过空闲状态和检测，分级和运行的三种操作状态进行。当PSE离开供电线缆时（空闲状态），PSE会定期查看是否有东西被插入，这被称为检测。检测期间使用的低功耗级别不会损坏不是为PoE设计的设备。如果存在有效的PD签名，则PSE询问PD需要多少电力，这被称为分级。如果PSE具有足够的容量，则PSE可以为PD供电。

类型2 PSE需要进行类型1硬件分类加上(新)数据层分类或增强型2硬件分类。类型1 PSE不需要进行硬件或数据链路层（DLL）分类。类型2 PD必须执行类型2硬件分级以及DLL分类。PD可以返回默认的13W当前编码的分级，或者其他四个选择之一。上电后发生DLL分类，并建立以太网数据链路。

一旦启动，PD必须呈现出保持功率签名（MPS），以确保PSE一直存在。PSE监视其输出以获得有效的MPS，如果丢失MPS，则关闭该端口。MPS的丢失将PSE返回到空闲状态。图13显示了以PD输入电压为变量的系统工作状态。上半部分为IEEE 802.3-2008，下半部分为IEEE 802.3at的具体差异。下半部分的虚线表示这两者都相同（例如，检测和类别）。


图13 PD工作状态

PD 输入典型是 RJ-45 八引脚连接器，被称为电源接口 (PI)。PD 输入条件与 PSE 输出条件是不同的，以解决电压下降和运行裕度问题。无论实际安装如何，该标准分配电缆损耗为最大损耗，这样以简化实施。IEEE 802.3-2008 旨在运行基础设施，包括可能已经使用 AWG 26 导线的 ISO / IEC 11801 C 类（每 TIA / EIA-568 的 CAT3）。根据 ISO/IEC11801 D 类（每个 TIA / EIA-568 的 CAT5 或更高版本，通常为 AWG # 24 导体），IEEE 802.3at 2 型布线功率损耗分配和电压降已调整为 12.5 Ω 功率环路。表 7 显示了标准两项修订的主要操作限制。

表7：标准差异对比

STANDARD	POWER LOOP RESISTANCE (max)	PSE OUTPUT POWER (min)	PSE STATIC OUTPUT VOLTAGE (min)	PD INPUT POWER (max)	STATIC PD INPUT VOLTAGE	
					POWER ≤ 12.95 W	POWER > 12.95 W
IEEE 802.3-2008 802.3af (Type 1)	20 Ω	15.4 W	44 V	12.95 W	37 V–57 V	N/A
802.3at (Type 2)	12.5 Ω	36 W	50 V	25.5 W	37 V–57 V	42.5 V–57 V

PSE 可以在 RX 和 TX 对（针对 10baseT 或 100baseT 的引脚 1-2 和 3 - 6）之间或两个备用对（4 - 5 和 7 - 8）之间施加电压。在 IEEE 802.3at 中识别了在 1000baseT 系统中使用相同引脚组合的电源应用。1000baseT 系统可以处理所有供电对上的数据，从而消除多余的对供电术语。PSE 只能一次对一组供电对施加电压。PD 使用输入二极管桥接器接受来自任何可能的 PSE 配置的电源。与输入桥相关的电压降在 PI 标准极限和 WS3204 规范的之间产生差异。兼容类型 2 的 PD 具有一些 1 型 PD 不存在的对电源管理的要求。这些要求包括：

1. 必须说明 2 型硬件分类
2. 必须出示硬件类 4
3. 必须实现 DLL 协商
4. 在浪涌和启动过程中，必须像类型 1 PD 一样
5. PSE 施加工作电压（上电后）后的 80ms 以内不得抽取超过 13W 的功率
6. 如果没有收到类型 2 硬件分类或通过 DLL 获得许可，则不得绘制超过 13W
7. 必须满足各种操作和临时模板
8. 可选地监视适配器的存在或不存在（假设高功率）。

由于这些要求，PD 必须能够动态地控制其负载，并监视 T2P 的变化。在设计需要特别知道

适配器是否插上并且可工作的情况下，则应通过光耦合器单独监视适配器。

阈值电压

WS3204 具有多个带有迟滞功能的内部比较器，用于实现各种状态之间的稳定切换。图 14 将“电气特性”部分中的参数与 PoE 状态相关联。在分级和上电启动之间标记为空闲的模式意味着 DET, CLASS 和 RTN 引脚均为高阻抗。标记为 Mark 的状态是虚线绘制的，是新的类型 2 硬件分级状态机的一部分。

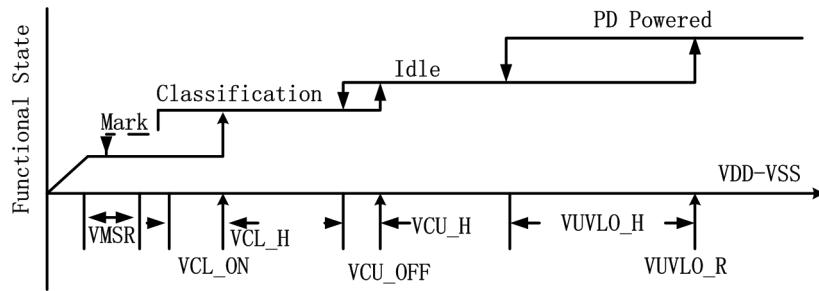


图14. 阈值电压

PoE 启动顺序

图 15 的波形示出了具有 2 型硬件分级的 PSE 的检测，分级和启动。显示的关键波形是 VVDD-VVSS, VRTN-VVSS 和 IPI 电流。IEEE 802.3at 需要至少两个检测级别，两个分级和标记周期，并且从第二个标记事件开始启动。由于 WS3204 在被施加满电压后，会对 CIN 进行充电，VRTN 至 VSS 会下降。随后转换器启动，抽取电流，如 IPI 波形所示。

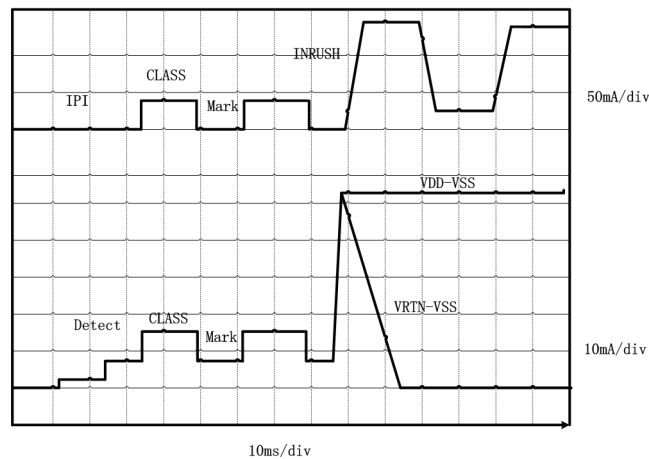


图15 Startup

检测

只要 VVDD-VVSS 低于分级的下限阈值，WS3204 就会将 DET 驱动到 VSS。当输入电压上升到 VCL-ON 以上时，DET 引脚进入漏极开路状态以节省功耗。在检测时，RTN 是高阻抗，几乎所有内部电路都被禁用。一个 24.9kΩ (1%) 的 RDET 电阻即代表正确的检测标记，它可以是一个小型的低功耗电阻器，因为它只看到约 5 mW 的应力。有效的 PD 检测特征是 PI 位置的阻值为 23.75kΩ和 26.25kΩ之间的线性电阻 ($\Delta V/\Delta I$)。

PSE 在 PI 处的检测电阻是输入桥电阻与 RDET 和内部 VDD 负载的并联组合串联的结果。在 2.7 V 施加到 PI 时所抽取的极低电流下，输入二极管桥的增量电阻可能为几百欧姆。WS3204 在检测期间的有效电阻部分抵消了输入桥电阻。

IEEE 802.3at 的 2 类硬件分级协议规定，2 类 PSE 在分级顺序进行期间会将其输出电压降低到检测范围内。在该条件下，PD 指示具有不正确的检测签名，这段被称为标记事件（见图 15）。在第一个标记事件之后，WS3204 将出现小于 12k Ω 的签名，直到其经历了低于标记复位阈值（VMSR）的 VVDD-VVSS 电压。这种情况在硬件分级下会更全面地解释。

硬件分级

硬件分级允许 PSE 在上电之前确定 PD 的电源要求，并且一旦施加电源就有助于电源管理。2 类硬件分级允许大功率 PSE 和 PD 来确定连接的设备是否可以支持大功率操作。2 类 PD 在硬件中呈现分级 4 以指示其是大功率设备。1 类 PSE 将分级 4 设备作为分级 0 设备处理，如果此时选择为 PD 供电，则分配 13W 功率。接收 2 类分级事件的 PD 了解到它是由大功率 PSE 供电的，并且在 80ms 的启动周期完成后，它可以立即抽取高达 25.5W。不接收 2 类硬件分级的 2 型 PD 可能选择不启动，或者必须以 13W 条件启动，并且在启动后通过 DLL 请求更多的电力。该标准需要 2 型 PD 来表明如果发生这种情况，则它的功率不足。在 13W 以下启动大功率 PD 隐含的意思是需要应用电路的某些部分被掉电。

表 1 中的最大功率项决定了 PD 必须通告的级别。如果 PD 抽取的功率超过其指示的分级功率（可能是硬件类别或较低的 DLL 导出的功率电平），则 PSE 可能会断开该 PD。该标准允许 PD 抽取有限的电流峰值，从而提高超过表 1 限制的瞬时功率，但是对于平均功率需求总是适用。

WS3204 支持了双事件分级。选择 63.4Ω 的 RCLASS 可提供有效的 2 类型分级标记。WS3204 可以简单地通过编程表 1 中的 0-3 类用作兼容类型 1 设备。DLL 通信由 PD 中的以太网通信系统实现，不由 WS3204 实现。

电压在 VCU_OFF 以上时 WS3204 将禁用分级模块，以避免功耗过大。在 PD 热限制期间或当 ADPD 或 DET 激活时，CLASS 电压也会关闭。CLASS 输出实际上是有电流限制的，但也不应该长时间短接到 VSS。

图 16 显示了 WS3204 的分级方式。当超过比较器阈值时，就会发生从状态到状态的转变（参见图 13 和图 14）。这些比较器具有迟滞，这增加了设备的固有记忆。操作在空闲状态（PSE 无动力）开始，并从左到右逐渐增加电压。2 类型双事件分级遵循底部的（重排列）路径，最后以突出显示的下部分支的为 2 类型过程。该状态在正常操作期间导致 T2P 变低。一旦到 2 型 PSE 检测的有效路径被破坏，输入电压必须转换到标记复位阈值以下才能重新开始。

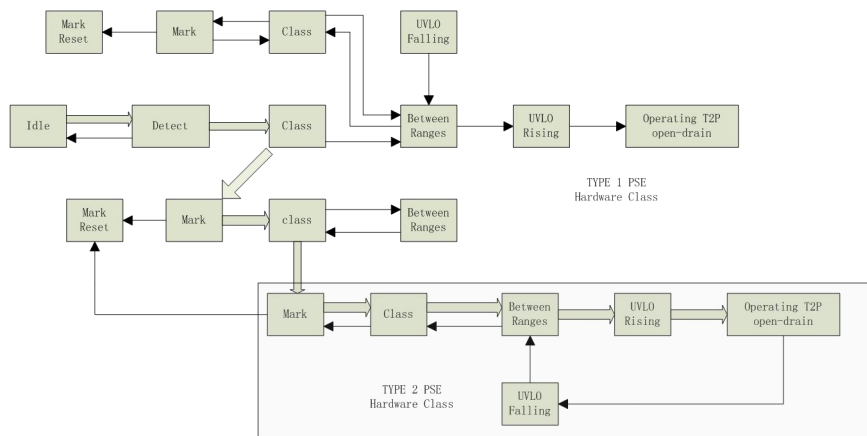


图16 双事件分级

浪涌电流限制和启动

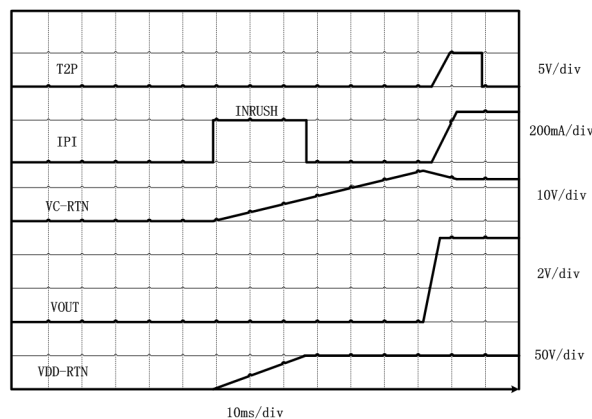
802.3at 具有启动电流和时间限制，提供 2 型 PSE 以兼容 1 型 PD 设备。2 型 PSE 在上电后将输出电流限制在 400 mA 和 450 mA 之间，最长可达 75 ms（对 PI 端口应用“48 V”），以反映出 1 型 PSE 功能。2 型 PSE 将在 75 ms 后支持更高的输出电流。WS3204 实现了 140mA 浪涌电流，与所有 PSE 类型兼容。大功率 PD 必须将其转换器启动峰值和工作电流控制在 400 mA 以下并持续 80 ms。WS3204 的内部软启动允许控制转换器启动，但是应用电路必须确保其功耗不会导致 PD 超过电流/时间限制。这个要求隐含地要求应用电路以某些形式的部分断电。T2P 在切换开始后在经过 tT2P 后有效，或者当 PD 从 PSE 运行时插入外部适配器时有效。

维持功率标记 (MPS)

MPS 是由 PD 提供的电子签名，以确保 PSE 在施加工作电压之后仍然存在。有效的 MPS 由 10 mA 的最小直流电流（或每 225 ms 至少 75 ms 的 10 mA 脉冲电流）和低于 26.25kΩ 的交流阻抗与 0.05 μF 并联。交流阻抗通常通过 5 μF 的最小工作 CIN 要求来实现。当使用 ADPD 或 DET 来强制关闭热插拔开关时，将不会满足直流 MPS。当发生这种情况时，监视直流 MPS 的 PSE 将从 PD 中断电。仅监视交流电源的 PSE 可能会从 PD 中断电。

启动和转换器运行

在 PSE 向 PD 提供完整电压之前，内部 PoE UVLO（欠压锁定）电路会保持热插拔开关关闭。这样可以防止转换器电路在检测和分类期间加载 PoE 输入。转换器电路将在 PD 无功供电时对 CIN，CVC 和 CVB 进行放电。因此，如图 15 所示，VVDD-VRTN 将在完整电压施加之后为小电压。一旦决定启动 PD，PSE 会将 PI 电压驱动到工作范围。当 VVDD 高于 RTN 高电压的 UVLO 导通阈值（VUVLO-R，~35 V）时，WS3204 可以使热插拔 MOSFET 具有 ~140 Ma（浪涌）电流限制，如图 17 所示。CIN 被充电时，转换器是被禁止切换和 VRTN 从 VVDD 电压下降到接近 VVSS，然后转换器启动电路允许对 CVC（自举启动电容）充电。如果 PD 没有浪涌，OTSD 未动作，VC UVLO 允许，则将允许转换器切换。浪涌电流一旦下降到低于浪涌电流限制的 10%，则 PD 电流限制将切换到正常工作水平（~970mA）。继续图 17 所示的启动顺序，VVC 继续上升，直到超过启动阈值（VCUV，~11 V），关闭启动电流源并启动切换。VB 稳压器始终处于工作状态，在 VVC 上升时为内部转换器电路供电。随着软启动斜坡上升到电压高于 VZDC（CTL 阈值），在移除启动充电电流到转换器开始切换之间有微小的延迟。因为 VVC 为内部电路和开关 MOSFET 栅极供电，则 VVC 将开始下降。如果转换器控制辅助电源输出电压上升，在 VVC 下降到 VCUV-VCUVH（~7 V）之前支持 VVC，则会成功启动。图 15 中的 T2P（图 1，VT2P-OUT）在开关启动后的 tT2P 时间内变为有效，表示插入了 2 型 PSE 或外部适配器。


图17. 上电启动

如果 VVDD-VVSS 低于较低的 PoE UVLO（VUVLO-R - VUVLO-H，~30.5 V），则热插拔

MOSFET 关闭,但转换器仍将运行。如果 VVC 低于转换器 UVLO($V_{CUV} - V_{CUVH}$, $\sim 7V$), 热插拔开关处于浪涌电流限制转台, V_{CTRL} ($V_{CTRL} < V_{ZDC}$, $\sim 1.5V$) 要求 0% 占空比, 或转换器处于热关断状态, 这几种情况下转换器将停止工作。

PD热插拔操作

内部热插拔 MOSFET 可以防止输出故障和输入电压阶跃, 具有电流限制和抗尖峰脉冲(延时滤波)折返。通过 MOSFET 的电流过载超过电流限制导致的结果是 RTN-VSS 电压上升。如果 RTN 高于 $\sim 12V$ 超过 $\sim 400\mu s$, 则电流限制恢复到浪涌电流值, 并关闭转换器。这个 $400\mu s$ 的延时功能可以防止瞬态瞬变引起的 PD 复位, 只要恢复位于热插拔和 PSE 保护范围内。图 18 示出了从 16V PSE 上升电压阶跃恢复的示例。热插拔 MOSFET 进入电流限制, 过冲到相对较低的电流, 恢复到 $\sim 950mA$ 的全电流限制, 并在转换器继续运行时对输入电容充电。MOSFET 没有进入折返, 因为 RTN-VSS 在 $400\mu s$ 延迟之后低于 $12V$ 。

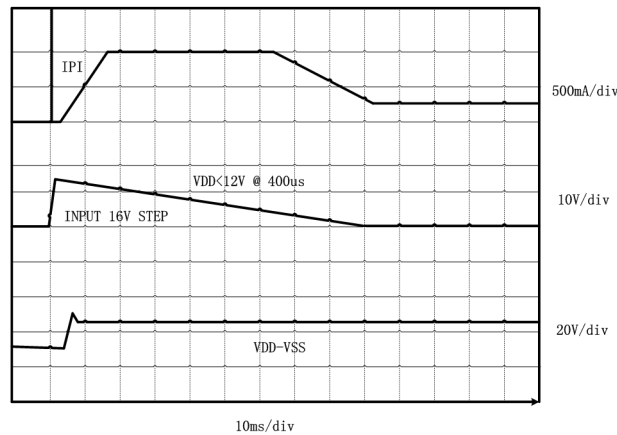


图18. Response to PSE Step Voltage

PD 控制器具有保护内部热插拔 MOSFET 的热传感器。类似于启动或运行进入 VDD 到 RTN 短路的条件下时, 将引起 MOSFET 的高功率耗散。过温关断 (OTSD) 功能关闭热插拔 MOSFET 和分级稳压器, 在器件冷却后重新启动。当过温情况退出时, 热插拔 MOSFET 将重新启用浪涌电流限制。

在供电运行期间将 DET 拉到 VSS 会导致内部热插拔 MOSFET 关断。这个功能允许依照带有三个运算选项的方案, 实现适配器供电优先级。必须注意同步转换器拓扑, 可以在两个方向上传输电力。

在以下情况下, 热插拔开关将被强制关闭:

1. VADPD 超过 VADPDEN ($\sim 1.5V$)
2. $V_{VDD} - V_{VSS}$ 在运行范围内时, $V_{DET} < V_{PD-DIS}$
3. PD 过温保护
4. $(V_{VDD} - V_{VSS}) < PoE UVLO$ ($\sim 30.5V$).

转换器控制器特点

WS3204 DC/DC 控制器实现了典型的电流模式控制, 如功能框图所示。特性包括振荡器, 过流和 PWM 比较器, 电流检测消隐器, 死区时间控制, 软启动和门驱动器。此外, 还提供了一个内部斜坡补偿斜坡发生器, 频率同步逻辑, 热关断和带控制的启动电流源。

WS3204 针对隔离转换器进行了优化, 并没有提供内部误差放大器。相反, 光耦合器反馈被直接馈送到 CTRL 引脚, 该引脚信号提供给 PWM, 用作电流需求控制。因为 VZDC ($\sim 1.5V$) 和 2: 1 电阻分压器, 而在 CTRL 和 PWM 之间存在一个偏移量。低于 VZDC 的 VCTRL 将停止转换器切换, 而高于 ($V_{ZDC} + (2 \times V_{CSMAX})$) 的电压将不会增加开关 MOSFET 中所



请求的峰值电流。光耦合器的偏置设计因为这种限制而变得简单。

引导式拓扑

内部启动电流源和控制逻辑实现了“启动和转换器操作”中所述的引导式启动。当转换器被关闭不能（通过 PD 控制或 VC 控制）存储足够的能量支持转换器启动过程时，启动电流源将从 VDD1 向 CVC 充电。稳态工作电源必须来自转换器（偏置绕组）输出或其他源。在 CVC 被充电时，加在 VC 和 VB 上的负载必须是最小的，否则转换器可能永远不会启动。在大多数情况下，当转换器关闭时，光耦合器不会加载 VB，但是在 PoE 关闭时输出电源的 ORing 拓扑结构应该小心。

当 VC 低于其较低 UVLO 时，转换器将关闭。当从 PD 移除电源时，或在转换器输出线路发生故障时，可能会发生这种情况。当一个输出短路时，所有的输出电压都会下降，包括为 VC 供电的输出电压。控制电路对 VC 进行放电，直到其达到较低的 UVLO 并关闭。如果转换器关闭并且有足够的 VDD1 电压，则将按照启动和转换器操作中所述的启动过程重启。这种类型的操作有时被称为打嗝模式，其通过提供减少输出整流器的平均加热时间来提供强大的输出短路保护。

自举充电控制器会禁用除了 VB 稳压器和内部参考电压之外的大多数转换器控制器电路。当禁用转换器时，GATE 和 GATE2（假定 GATE2 使能）将为低电平。VC UVLO 禁用转换器时，RFRS, RBLNK 和 RDT 将设置在 ARTN。当转换器运行时，RFRS, RBLNK 和 RDT 将为约 1V。

电流斜坡补偿和电流限制

电流模式控制需要在检测到的斜坡（变压器或电感器）电流上增加补偿斜坡，以便在接近和超过 50% 的占空比下获得稳定性。WS3204 具有 78% 的最大占空比限制，允许在输出整流器上设计宽输入范围反激式和具有较低电压应力的有源钳位转换器。虽然最大占空比为 78%，但转换器可能设计为在较低的 36V 至 57V PI 范围内运行，则占空比会远低于此值。WS3204 提供了一个固定的内部补偿斜坡，足以满足大多数应用。

WS3204 为内部 PWM 比较器输入提供频率独立的斜率补偿（150 mV, VSLOPE），用于电流模式下控制环路稳定性。该电压不施加到阈值为 0.55 V（VCSMAX）的限流比较器。如果提供的斜率补偿不足，则可以通过添加 RS 电阻来增加有效斜率。附加斜率电压由 $(I_{SL-EX} \times R_S)$ 提供。有一个由 $\sim 2.5\mu A$ 引脚电流引起的小直流偏移。除非使用 RS，否则峰值电流限制不具有占空比依赖性。这使得将电流限制设计为固定值更容易。有关详细信息，请参阅电流斜率补偿。

在 GATE 为低时，监控 CS 的内部比较器是通过消隐电路与 IC 引脚隔离的，并且在 GATE 开关高电平后短时间内（消隐期间）仍然隔离。当 GATE 为低电平时，一个等效 440 Ω （最大）的下拉加在 CS 端。

消隐时间 - RRBLNK

WS3204 提供可以选择的内部固定消隐时间和外部可编程的消隐时间。消隐时间被指定为固有栅极驱动器的最小 GATE 上升和比较器延迟时间。通过将 RBLNK 连接到 RTN 来使用内部设定的默认消隐时间（参见电气特性表），外部可编程消隐时间由 RRBLNK 设置。

WS3204 内部消隐器的定时是足够精确的，因此可以省去 CS 上加的传统 R-C 滤波器。这避免了电流检测波形失真，这种失真是在轻输出负载时会变得更糟。可能有些情况或工程师倾向于 R-C 方法。在 GATE 关闭时间内，WS3204 在 CS 上提供一个下拉，以便在必须使用 R-C 滤波器时改善感测。应保护 CS 输入信号免受附近的噪声信号干扰，如 GATE 驱动和开关 MOSFET 漏极。

死区时间



WS3204 具有两个开关 MOSFET 栅极驱动器，可以轻松实现高效拓扑。具体来说，这些包括主动（主）钳位拓扑结构以及由控制电路硬驱动的同步驱动器。在所有情况下，都需要确保两个驱动 MOSFET 都不在同一时间导通。RDT 引脚在一个栅极驱动器的关断到下一个驱动器的导通之间设置一个固定时间段的延迟。该功能是在消除了电路板上的多个分立器件的情况下，同时相对于分立器件的解决方案的改进了可重复性和精度。转换器效率可以通过这个可重复的调整来轻松设置。GATE-GATE2 和 GATE2-GATE 转换的编程死区时间相同。死区时间由驱动器后面几个阶段的内部信号触发，以消除栅极负载对该周期的影响，然而观察到实际的死区时间将在某种程度上取决于栅极负载。GATE2 的关闭与内部时钟周期的开始是一致的。

RDT 可用于禁用 GATE2，禁止时 GATE2 将会变为高阻抗状态。

GATE 的相位转换为高电平时，主开关打开，当转换为低电平时关闭。GATE2 的相位转换为高电平时关闭第二个开关，当其转换为低电平时，该开关开启。当 GATE2 为高电平且 GATE 为低电平时，两个开关应关闭。信号定相如图 2 所示。许多使用次级侧同步整流器的拓扑结构也会使用通过栅极驱动变压器驱动的 N 沟道 MOSFET。这些整流器的正确的信号相位可以通过使次级绕组（交换引线）的相位相反来实现。

RFRS 和同步

RFRS 引脚可编程（自由运行）振荡器频率，也可用于将 WS3204 转换器同步到更高的频率。内部振荡器将最大占空比设置为 78%，并控制斜坡补偿电路。同步操作可以通过向 RFRS 施加幅度为 VSYNC 的短脉冲（TSYNC）来实现。同步脉冲终止电位导通时间周期，并且关闭时间周期后不会在脉冲终止之前开始。

T2P，启动和电源管理

T2P（2 型 PSE）是一个低电平有效的多功能引脚，如果 $[(PSE = Type_2) + (1.5V < VADPD) + (1.55V < VPSPD < 8.3V)] \times (VCTRL < 4V) \times (pd \text{ 电流限制} \neq \text{浪涌})$ 条件满足时 T2P 动作。VCTRL 功能防止连接到次级侧的光耦合器在转换器启动之前加载到 VC。假设适配器具有足够的容量，如果不存在 2 型 PSE，那么 ADPD 和 PSPD 功能允许 PD 从高功率的适配器运行。应用程序必须监视 T2P 的状态以检测电源的转换。当本地电源被添加或删除时，或在远端启用 PSE 时，可能会发生电源转换。PD 可能需要适当调整负载。T2P 的用法如图 1 所示。

为了使 2 型 PD 在施加电源后的最初 80 ms 时间内工作在小于 13W，应用控制器必须评估和使用各种延迟以满足要求。许多应用处理器的启动时间可能足够长以消除任何时间设置的需要。

热关断

DC/DC 控制器具有可由包括 VB 稳压器，GATE 驱动器，自举电流源和偏置电流的热源触发的 OTSD（过温保护）。控制器 OTSD 关闭 VB，GATE 驱动程序，并强制 VC 控制器处于欠压状态。

适配器运算（ORing）

许多具有 PoE 功能的设备设计成可以通过本地墙上的电源适配器或 PoE 电源进行供电操作。本地电源解决方案增加了成本和复杂性，但是如果在特定安装中 PoE 不可用，则允许使用本地电源供电。虽然大多数应用程序仅要求 PD 在两个源都存在时运行，但 WS3204 支持来自任何一个电源的强制运行操作。图 19 说明了将外部电源二极管与 PD 连接的三个选项。在任何特定设计中只能使用一个选项。选项 1 为 WS3204 由 PoE 输入供电，选项 2 在 WS3204 PoE 部分和电源电路之间施加电源，选项 3 对转换器的输出侧施加电源。这些选项中的每一个都有优缺点。

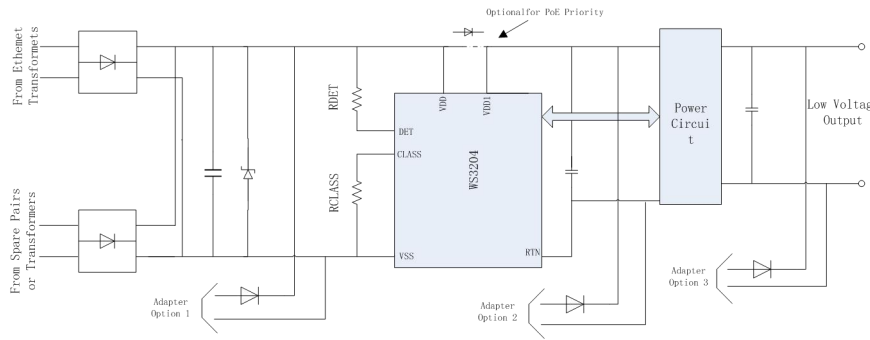


图19. 适配器ORing的配置

IEEE 标准要求以太网电缆与地面和所有其他系统电位隔离。对于 ORing 选项 1 和 2，适配器必须在输出和所有其他连接之间达到最小的 1500Vac 绝缘耐受测试。如果转换器不提供适配器，则该适配器仅需要该选项 3 的隔离。

适配器 ORing 二极管用于防止所有选项中的电压适配器反向，适配器输入引脚短路以及对低压适配器的损坏。ORing 有时可以在选项 3 中使用 MOSFET 完成。

PSPD ORing 功能

WS3204 依靠多功能 PSPD 引脚提供了几个额外的功能，以便简化 ORing 设计。这些包括选项 1 使用 24 V 适配器（降低输出功率）时候，使能 T2P 标识信号，以及使用 PoE 作为备份电源与选项 2 一起使用。请参见高级 ORing 技术部分。

使用DET禁用PoE

通过将这个DET引脚拉低到VSS，可以实现在正常运行状态时关断热插拔开关，或者在空闲状态时防止检测。

ORing挑战

一个电源的优先供电权的设计提出了一些挑战。适配器输出电压（标称值和容差），功率插入点以及优选哪个源的供电组合的问题决定了解决方案的复杂性。有几个增加设计复杂度的因素分别是：二极管 ORing（组合源的最简单方法）的自然高压选择特性，PSE 中隐含的电流限制以及 PD 浪涌保护电路（运行和可靠性所需要的）。对于许多的组合，创建简单而无缝的解决方案不是不可能的，但是是很困难的。然而 WS3204 提供了几种内置功能，可简化某些组合的设计。

几个例子将展示 ORing 解决方案所固有的局限性。二极管将 48V 适配器与 PoE（选项 1）进行运算（ORing）存在的问题是，真正的供电源可能是其中更高的那个。将需要一个隔离开关，以确保哪个源是活动的。第二个例子是使用选项 2 将 12V 适配器与 PoE 组合在一起。转换器将从 12V 适配器抽取四倍的电流，而不是从 48V 的 PoE 抽取。从电源适配器到 PoE 的转换可能需要比 PSE 能够提供的更多的电流。当 CIN 电容充电时转换器必须是关闭的，随后的转换器在较高的电压和较低的输入电流下重新启动。第三个例子是使用基于 ORing 选项 1 的 12 V 适配器。PD 热插拔开关将不得不处理四倍的电流，并且有 1/16 的电阻（大于 16 倍）耗散相等的功率。第四个例子是从外部适配器运行时 MPS 丢失，导致 PSE 从 PD 中断电。如果交流电源丢失，则 PD 将停止运行，直到 PSE 检测到并为 PD 供电。

应用信息

WS3204 可以支持许多类型的需要单个 PWM 栅极驱动器或两个互补栅极驱动器，并通过电流模式控制进行工作的电源拓扑。图 1 提供了使用第二栅极驱动器来控制 M2 中的有源元件的有源钳位正激转换器的示例。GATE2 也可用于驱动同步整流器，如图 20 所示。WS3204 可用于不需要 GATE2 的拓扑，GATE2 可以被禁用以减少其空载损耗。

选择转换器拓扑以及设计过程超出了本应用部分介绍的范围。如下所示为有助于规划 WS3204 设计的例子。其他特殊主题包括，ORing 功能说明，频率抖动和其他设计注意事项。

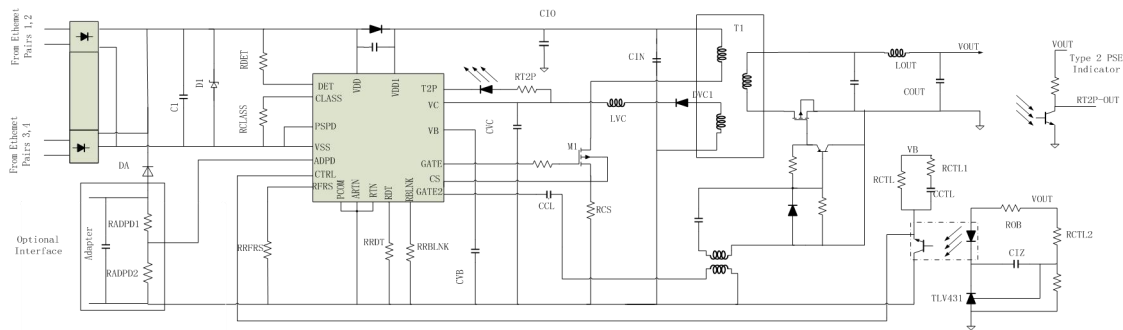


图20. 驱动同步反激变换器

输入桥和肖特基二极管

对于 PoE 输入桥和 DVDD，使用肖特基二极管代替 PN 结二极管可以将该功能的损耗减少约 30%。然而，使用它们时需要考虑一些事情。

IEEE 标准规定了 2.8V 的最大反馈电压。在未供电对之间放置 100kΩ 电阻器，并且在电阻器两端测量电压。肖特基二极管通常具有比 PN 二极管更高的反向泄漏电流，这是更难以满足的要求。对于二极管工作温度采用保守的设计，在可能的情况下选择较低漏电的器件，并通过使用封装的桥接器以帮助实现匹配泄漏和温度。

肖特基二极管漏电流和较低的动态电阻可能影响检测特征。对于这个精确的检测签名设置一个合理的温度范围是最简单的解决方案。增加 RDET 也可能有助于满足要求。

肖特基二极管已经被证明不能有效应对 ESD 瞬变的应力，不能短路或瞬间泄漏。必须注意提供符合暴露程度的适当保护。该保护可能与铁氧体磁珠和电容器一样简单。

输入整流器的一般建议是 1 A 或 2 A，100 V 额定分立或桥式二极管。

保护, D1

如图 21 所示的整流 PoE 电压必须使用 TVS, D1。推荐使用一般室内应用的 SMAJ58A 或具有相同或更好性能的部件。如果适配器从 VDD1 连接到 RTN，如上述 ORing 选项 2 所示，由输入电压的瞬变可能会通过线缆的寄生电感和内部 PD 电容形成振铃。充足的电容滤波或 TVS 必须将该电压限制在绝对最大额定值内。如果是室外瞬态水平或特殊应用时需要额外的保护。

对于 PoE 优先时，使用二极管 DVDD 可被指定用来在 WS3204 周围增加额外的保护。

如果 DVDD 变为反向偏置并且阻断 WS3204 周围的瞬变电流，则发生在 PD 供电输入或者输入和转换器输出之间的 ESD 事件，会在热插拔 MOSFET 上引起大的电压应力。在图 22 中使用 CVDD 和 DRTN 为 WS3204 的过度应力提供额外的保护是存在问题的。DRTN 的 SMAJ58A 将是很好的选择。个别设计中可能需要调整 CVDD 的价值。

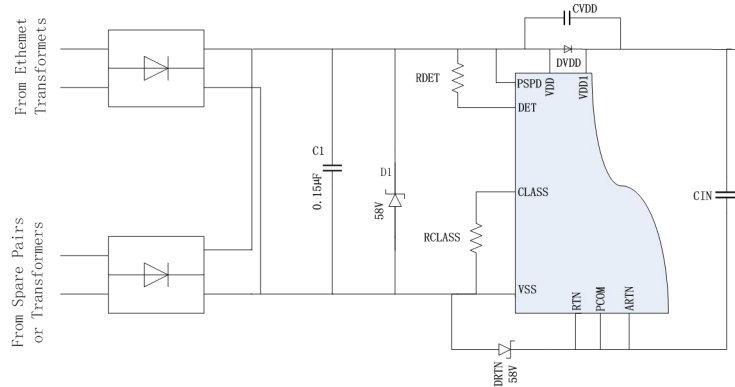


图21. PoE优先方案增加ESD保护示例

电容器, C₁

IEEE 802.3at 标准规定了输入旁路电容（从 VDD 到 VSS）为 0.05 μF 至 0.12 μF。通常使用 0.1 μF, 100V, 10% 的陶瓷电容器。

检测电阻, R_{DET}

IEEE 802.3at 标准规定了检测签名电阻, R_{DET} 在 23.75kΩ 和 26.25kΩ 之间, 或 25kΩ ± 5%。选择 24.9kΩ 的 R_{DET}。

分级电阻, R_{CLASS}

将电阻从 CLASS 连接到 VSS, 以根据 IEEE 802.3at 标准对分级电流进行编程。分配的等级功率应对应于 PD 在运行期间抽取的最大平均功率。根据表 1 选择 R_{CLASS}。

对于高功率设计, 请选择 4 级和 R_{CLASS} = 63.4 Ω。

ADPD 引脚分压网络, R_{ADPD1}, R_{ADPD2}

ADPD 引脚可用于禁用 WS3204 内部热插拔 MOSFET, 使适配器源优先于 PoE 源。

PSPD 引脚分压网络, R_{PSPD1}, R_{PSPD2}

当使用连接在 VDD 和 VSS 之间的低压适配器时, PSPD 引脚可用于屏蔽内部热插拔 MOSFET 的 UVLO (VUVLO_R 和 VUVLO_H)。PSPD 引脚具有内部 5 μA 下拉电流源。例如, 对于 24V 适配器, 如下考虑 R_{PSPD1} 和 R_{PSPD2} 的选择。

1. 选择 24 V 适配器的启动电压 V_{ADPTR-ON} 约为额定值的 75%。假设适配器输出为 24 V ± 10%, 这比最小适配器工作电压低 15%。
2. 选择 V_{ADPTR-ON} = 24 V × 0.75 = 18 V
3. 选择 R_{PSPD2} = 3.01 KΩ
4. 计算 R_{PSPD1}

$$(a) \quad R_{PSPD1} = \left(\frac{V_{ADPTR_ON} - V_{PSPDEN}}{V_{PSPDEN} - I_{PSPD}} \right) = \left(\frac{18V - 1.55V}{1.55V - 5\mu A} \right) = 32.4$$

$$(b) \quad \text{选择 } R_{PSPD1} = 32.4 \text{ k}\Omega$$

5. 检查 PSPD 开启和关闭的电压。

$$(a) \quad V_{ADPTR_ON} = V_{PSPDEN} + \left[R_{PSPD1} \times \left(\frac{V_{PSPDEN}}{R_{PSPD2}} - I_{PSPD} \right) \right] = 18$$

$$(b) \quad V_{ADPTR_OFF} = (V_{PSPDEN} - V_{PSPDH}) + \left[R_{PSPD1} \times \left(\frac{V_{PSPDEN} - V_{PSPDH}}{R_{PSPD2}} - I_{PSPD} \right) \right] = 14$$

(c) Voltages look acceptable.

6. 检查PSPD电阻功率耗散。

$$(a) \quad R_{PSPD} = \frac{(V_{DD} - V_{SS})^2}{R_{PSPD1} + R_{PSPD2}} = \frac{(24V \times 1.4)^2}{3.01k + 32.4k} = 19.6$$

(b) 功率可以接受，但是为了减小功耗电阻值可以再增大。

设置频率 (RRFRS) 和同步

转换器的切换频率通过将电阻 RRFRS 从 RFRS 引脚连接到 ARTN 来设置。该频率能够高达 1 MHz，但此时编程精度以及转换器效率会降低一些。由于内部振荡器延迟减少了可用的导通时间，高占空比的同步可能会在 500 kHz 以上变得更加困难。举个例子：

1. 假设所需的开关频率 (f_{SW}) 为 250 kHz
2. 计算 RRFRS:

$$(a) \quad R_{RRFRS} (k\Omega) = \frac{17250}{f_{SW} (kHz)} = \frac{17250}{250}$$

(b) 选择 69.8 kΩ.

WS3204 可以与外部时钟同步，以消除采样系统的拍频，或将发射光谱放在远离 RF 输入频率的位置。如图 22 所示，可以通过向 RFRS 施加幅度为 V_{SYNC} 的短脉冲 (TSYNC) 来实现同步。应该选择适当的 RRFRS，使得最大自由运行频率刚好低于期望的同步频率。同步脉冲将关闭导通时间周期，并且在脉冲终止之前关闭的时间周期不会再开始。RFRS 引脚上的脉冲应达到 2.5 V 到 V_B 之间，最小宽度为 22 ns (2.5 V 以上)，上升/下降时间小于 10 ns。RFRS 节点因为高阻抗而被保护免受噪音影响。隔离示例中的 100 Ω 数量级的 RT 降低了噪声灵敏度和抖动。

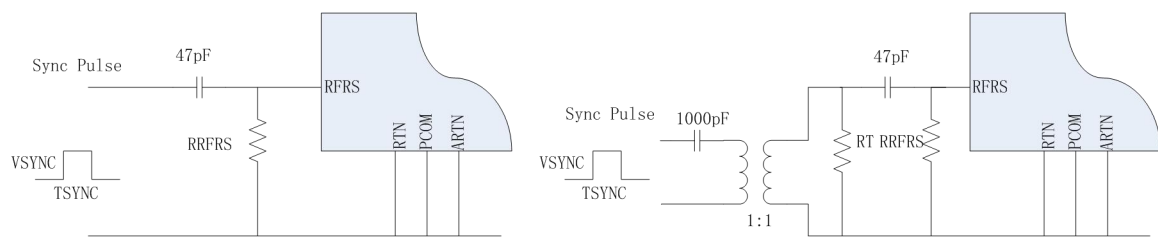


Figure 22 Synchronization

电流斜坡补偿

WS3204 提供了一个固定的内部补偿斜坡，足以满足大多数应用。如果内部提供的斜坡补偿不足，则可以使用外部 RS 电阻增加斜坡补偿 (见图 23)。

大多数电流模式控制论文和应用笔记根据 V_{PP}/T_S (峰值斜坡电压/开关周期) 定义斜率值，然而电特性表基于最大 (78%) 占空比指定斜率峰值 (VSLOPE)。假设所需的斜率

VSLOPE-D (以 mV/周期为单位) 基于整个周期, 根据以下方程式计算 RS, 其中 VSLOPE, DMAX 和 ISL-EX 来自电特性表, 电压为 mV, 电流在 μA 中, 占空比是无单位的 (例如, DMAX = 0.78)。

$$R_S(\Omega) = \frac{\left[V_{SLOPE_D}(\text{mV}) - \left(\frac{V_{SLOPE}(\text{mV})}{D_{MAX}} \right) \right]}{I_{SL_EX}(\mu A)} \times 1000 \quad (6)$$

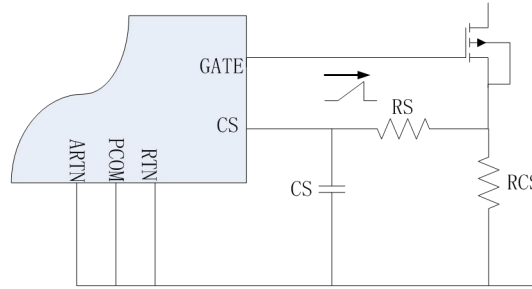


图23. 附加斜坡补偿

如果存在RS引起由于相邻信号 (如栅极驱动) 而出现在CS引脚上的噪声, 则可能需要加入CS电容。

消隐时间, RRBLNK

消隐时间的选择通常是经验性的, 因为它受到栅极驱动器和输出电容器之间每个器件的寄生效应和热效应的影响。最小消隐时间是防止电流限制和 PWM 比较器被开关 MOSFET 导通时发生的固有电流尖峰误触发。最大消隐时间由输出整流器在转换器输出短路期间经受的电流的能力所限制。

如果消隐时间的期望值超出内部设置的默认值, 则使用 $RRBLNK(k\Omega) = tRBLNK(ns)$ 来选择 RRBLNK。

1. 对于100ns的消隐时间
 - (a) $RRBLNK(k\Omega) = 100$
 - (b) 选择 $RRBLNK = 100 k\Omega$.

消隐时间也可以通过与开关周期设置的一个百分比来确定。

1. 在250kHz条件下RRBLNK按照消隐时间为开关运行周期的2%计算

$$(a) \quad R_{RBLNK}(k\Omega) = \frac{\text{Blanking_interval}}{f_{SW}(kHz)} \times 10^4 = \frac{2}{250} \times 10^4 :$$

- (b) 选择 $RRBLNK = 80.6 k\Omega$.

死区时间电阻, RRDT

所需的死区时间取决于具体的拓扑和寄生效应。获得最佳定时电阻的最简单的方法是建立电源后并调整死区时间, 以便在考虑到所有工作情况 (负载, 输入电压和温度) 后实现最佳效率。初始值为 100 ns。使用根据等式 3 从 RDT 连接到 ARTN 的电阻器对死区时间进行编程。

1. 假设tRDT为100 ns, 选择RRDT如下:

$$(a) \quad R_{RDT}(k\Omega) = \frac{t_{RDT}(ns)}{2} = \frac{100}{2} :$$

- (b) 选择 $RRDT = 49.9 k\Omega$

评估偏置电源要求和C_{vc}

偏置电源（VC）的功率需求确定了 CVC 的尺寸和故障期间的打嗝频率。第一步是确定电源控制的功率/电流需求，然后使用这个值来选择 CVC。为了简化计算，控制电流抽取值将被假设为恒定，故所得结果是个近似值。

首先确定开关 MOSFET 栅极驱动功率。

1. 设V_{QG}为MOSFET QG的栅极电压摆幅的额定电压（通常为10V）。

$$(a) \quad P_{GATE} = V_C \times f_{SW} \times \left(Q_{GATE} \times \frac{V_C}{V_{QG}} \right) \quad P_{GATE2} = V_C \times f_{SW} \times \left(Q_{GATE2} \times \frac{V_C}{V_{QG}} \right)$$

(b) 如果V_C为12V，Q_{GATE}为17nC，并且Q_{GATE2}为8nC，计算栅极的功耗。

$$P_{GATE} = 12V \times 250kHz \times 17nC \times \frac{12}{10} = 61.2mW$$

$$P_{GATE2} = 12V \times 250kHz \times 8nC \times \frac{12}{10} = 28.8mW$$

$$(c) \quad P_{DRIVE} = 61.2mW + 28.8mW = 90mW$$

(d) 这说明了为什么MOSFET的QG应该是选择开关MOSFET的时需要重要考虑的因素。

2. 在CVC放电期间，估算在某些中间电压下所需要的偏置电流。对于WS3204芯片，12V提供了合理估计。将工作偏置电流与栅极驱动电流相加如下。

$$(a) \quad I_{DRIVE} = \frac{P_{DRIVE}}{V_C} = \frac{90mW}{12V} = 7.5mA$$

$$(b) \quad I_{TOTAL} = I_{DRIVE} + I_{OPERATING} = 7.5mA + 0.92mA = 8.42mA$$

3. 在4ms的典型软启动周期内，根据启动计算所需的CVC。

$$(a) \quad C_{VC1} + C_{VC2} = \frac{T_{STARUP} \times I_{TOTAL}}{V_{CUVH}} = \frac{4ms \times 8.42mA}{6.5V} = 5.18\mu F$$

(b) 对于这种情况，标准的10μF电解电容加0.47μF电容应该是足够的。

4. 计算从PoE运行到启动转换器的初始时间。

(a) 使用4mA的典型自举电流，计算启动时间。

$$(b) \quad T_{ST} = \frac{C_{VC1} \times V_{CUH}}{I_{VC}} = \frac{10.47\mu F \times 15V}{4mA} = 39ms$$

5. 计算故障占空比和打嗝频率

$$(a) \quad T_{RECHARGE} = \frac{(C_{VC1} + C_{VC2}) \times V_{CUVH}}{I_{VC}} = \frac{(10\mu F + 0.47\mu F) \times 6.5V}{4mA} = 17ms$$

$$(b) \quad T_{DISCHARGE} = \frac{(C_{VC1} + C_{VC2}) \times V_{CUVH}}{I_{TOTAL}} = \frac{(10\mu F + 0.47\mu F) \times 6.5V}{8.42mA} = 8.08ms$$

(c) 请注意由于输出在电流限制，光耦合器电流为0mA。

此外，假设IT2P为0mA。

$$\text{占空比: } D = \frac{T_{DISCHARGE}}{T_{DISCHARGE} + T_{RECHARGE}} = \frac{8.08ms}{8.08ms + 17ms} = 32\%$$

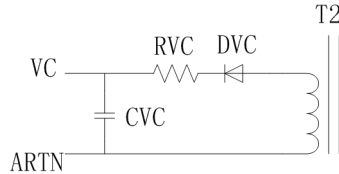
$$(d) \text{ 打嗝频率: } F = \frac{1}{T_{DISCHARGE} + T_{RECHARGE}} = \frac{1}{8.08ms + 17ms} = 39.9Hz$$

6. 对于WS3204，CVC1和CVC2的额定电压应至少为25V

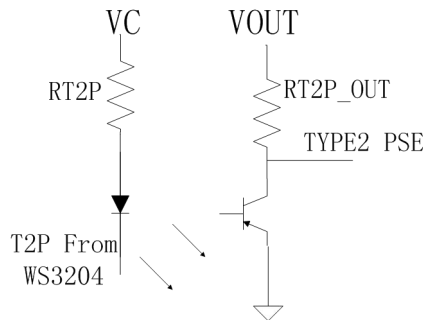
开关变压器注意事项和Rvc

为了获得打嗝过载保护，需要注意变压器和 VC 偏置电路的设计。偏置绕组上的前沿电压过冲可能导致 VC 峰值充电，从而阻止偏置绕组电压对输出电压的预期跟踪。通常需要一些控制方法。这可能类似于串联电阻或者是 DVC1 前面加入 R-C 滤波器一样简单。良好的变压器偏置绕组到输出绕组的耦合，能够减小偏置电压的过冲并且更好的跟踪输出电压。

如图 24 所示的 RVC 有助于减少偏置绕组的峰值充电。在输出过载期间调整打嗝模式操作时，这一点尤为重要。RVC 的典型值将在 10Ω 和 100Ω 之间。


图24. Rvc Usage
T2P引脚接口

T2P 引脚是低电平有效的漏极开路输出，表示可在引脚应用高驱动源。光耦合器通常用作 T2P 引脚到转换器二次侧的信号设备的接口，以显示 T2P 的状态。光耦合器电流增益被称为 CTR（电流传输比），其是晶体管集电极电流与 LED 电流的比率。为了保持效率，推荐使用高增益光耦(250% ≤ CTR ≤ 500%，或 300% ≤ CTR ≤ 600%)以及高阻抗(例如 CMOS)接收器。T2P 光耦接口的设计可以按照如下完成：


图25. T2P Interface

1. T2P 开启特性: $I_{T2P} = 2 \text{ mA minimum}$, $V_{T2P} = 1 \text{ V}$
2. 设 $V_C = 12 \text{ V}$, $V_{OUT} = 5 \text{ V}$, $R_{T2P-OUT} = 10 \text{ k}\Omega$, $V_{T2P-OUT}(\text{low}) = 400 \text{ mV max}$

$$(a) I_{RT2P-OUT} = \frac{V_{OUT} - V_{T2P-OUT}(\text{low})}{R_{T2P-OUT}} = \frac{5 - 0.4}{10000} = 0.46 \text{ mA}$$

3. 需要光耦的 CTR 来确定 RT2P。选择一个在 5mA 的 LED 偏置电流时最小 CTR 为 300% 的光耦器件。CTR 也随温度和 LED 偏置电流而变化。CTR 随着二极管电流的剧烈变化，使得这问题需要使用光耦合器数据表上的 CTR 与 IDIODE 曲线进行一些迭代。

(a) 依据（标准化）曲线，需要 0.4 mA 至 0.5 mA 的电流作为输出电流来支持 25° C 时的最小 CTR。

(a) 选择一个 IDIODE。例如依据期望的负载电流

(b) 使用光耦合器数据表曲线确定此工作电流下的有效 CTR。通常需要将归一化曲线值应用于最小指定的 CTR。可能需要对曲线读数进行比例换算或偏移，以获得相对于电流的值指定的 CTR。

(c) 如果 $IDIODE \times CTR_{DIODE}$ 与 $I_{RT2P-OUT}$ 大不相同，请选择另一个 IDIODE 并重复运算。

(b) 该制造商的曲线也显示了 CTR 随温度 -20% 的变化。有数据表可知，光耦二极管的近似正向电压为 1.1 V。

$$I_{RT2P} \cong I_{MIN} \times \frac{100}{100 - \Delta CTR_{TEMP}} = 0.5 \text{ mA} \times \frac{100}{100 - 20} = 0.625 \text{ mA}$$

(c) $V_{FLED} 1.1 \text{ V}$

当的值，防止由于误差放大器恢复而引起的电压过冲。次级侧误差放大器在次级有足够的电压之前不会起作用。WS3204 提供了一个初级侧软启动，其持续时间足够长（ $\sim 4\text{ ms}$ ），用于接替次级侧电压环路软启动。初级侧电流环软启动器通过将缓慢上升的斜坡电压施加到第二个 PWM 控制输入来控制开关 MOSFET 峰值电流。PWM 由软启动斜坡的或 CTRL 产生的电流需求中的较低者控制。实际的输出电压上升时间通常比内部软启动时间短得多。最初内部软启动斜坡对最大电流需求的限制是时间的函数。电流限制，二次侧软启动或输出调节都会在内部软启动周期结束之前对 PWM 进行控制。显示了具有最小输出电压过冲的初级和次级侧软启动之间的平滑切换。

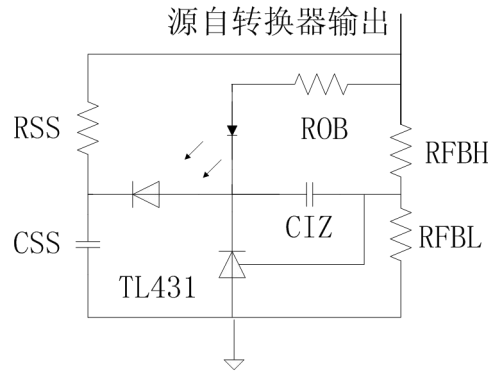


图28 误差放大器软启动

开关 MOSFET 注意事项

必须特别注意转换器开关 MOSFET 的选择。WS3204 最小开关 MOSFET VGATE 为 $\sim 5.5\text{ V}$ ，这归因于 VC 较低的阈值。这将在输出过载期间或在（失败）引导启动接近结束时发生。MOSFET 必须能够在该栅极电压下承载预期的峰值故障电流。

散热注意事项和 OTSD

在热设计时应考虑附近本地 PCB 的热源。典型的计算假设 WS3204 是唯一有助于 PCB 温升的热源。正常工作的 WS3204 设备如果被附近的设备过度加热，可能会进入 OTSD 状态。

频率抖动和 EMI 管理控制

国际标准 CISPR 22（和采用的版本）通常用作传导 EMI 的要求。对于以太网电缆的 EMI，被记录在 5.2 节下的电信部分。满足 EMI 要求通常是一个挑战，B 类的下限更加困难。电路板布局，滤波和缓冲电源电路中的各种节点是第一层控制技术。关于 EMI 控制的更详细的讨论在“实用指南”中介绍了设计具有隔离反激的 EMI 兼容 PoE 供电设备。此外，IEEE802.3at 第 33.3 和 33.4 节有基于数据传输的兼容性对注入到以太网电缆上的噪声的要求。

偶尔使用称为频率抖动的技术来提供额外的 EMI 测量减少。调制开关频率以在更宽的带宽上扩展窄带单个谐波，从而降低峰值测量。图 29 路通过将小的交流信号馈送到 RFRS 引脚来调制开关频率。这些值可能只适合个别的需要。

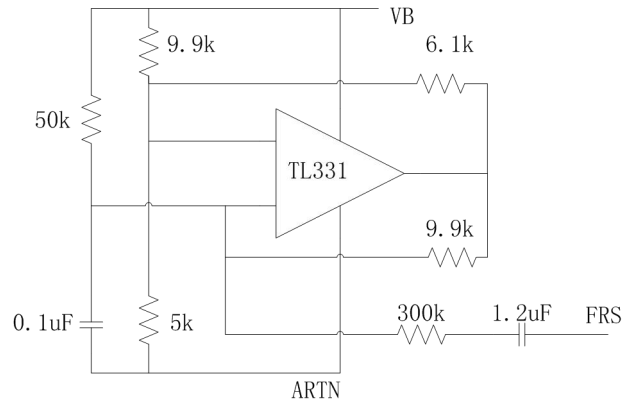


图29 频率抖动

ESD

WS3204 已经使用基于图 1 的电源对 EN61000-4-2 进行了测试。使用的电平为 8 kV 接触放电和 15 kV 空气放电。在 PoE 输入和直流输出之间，适配器输入和直流输出之间，适配器和 PoE 输入之间以及相对于地的直流输出之间施加了浪涌。测试都是动力的和没有动力的。没有观察到 WS3204 故障则操作持续。有关某些测试配置的其他保护，请参见图 21

布局

印刷电路板布局建议将在可用于这个器件的评估模块（EVB）文档中提供。

封装尺寸

HTSSOP-20 Package Dimension

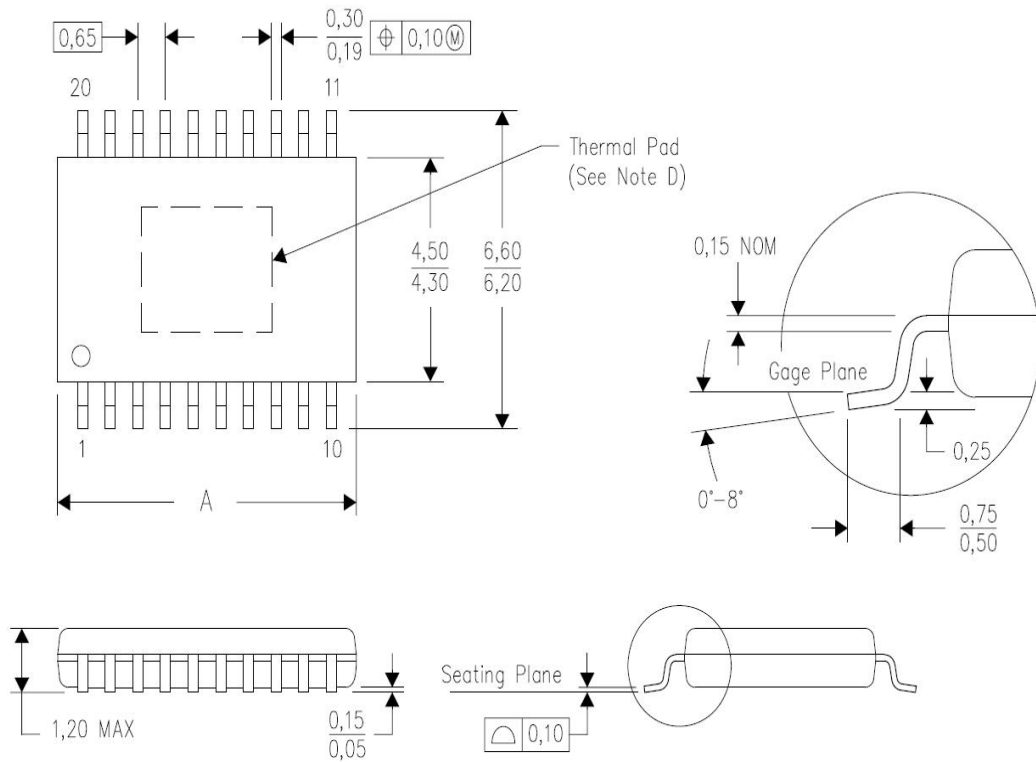


图 30 件封装信息

封装引脚示意图

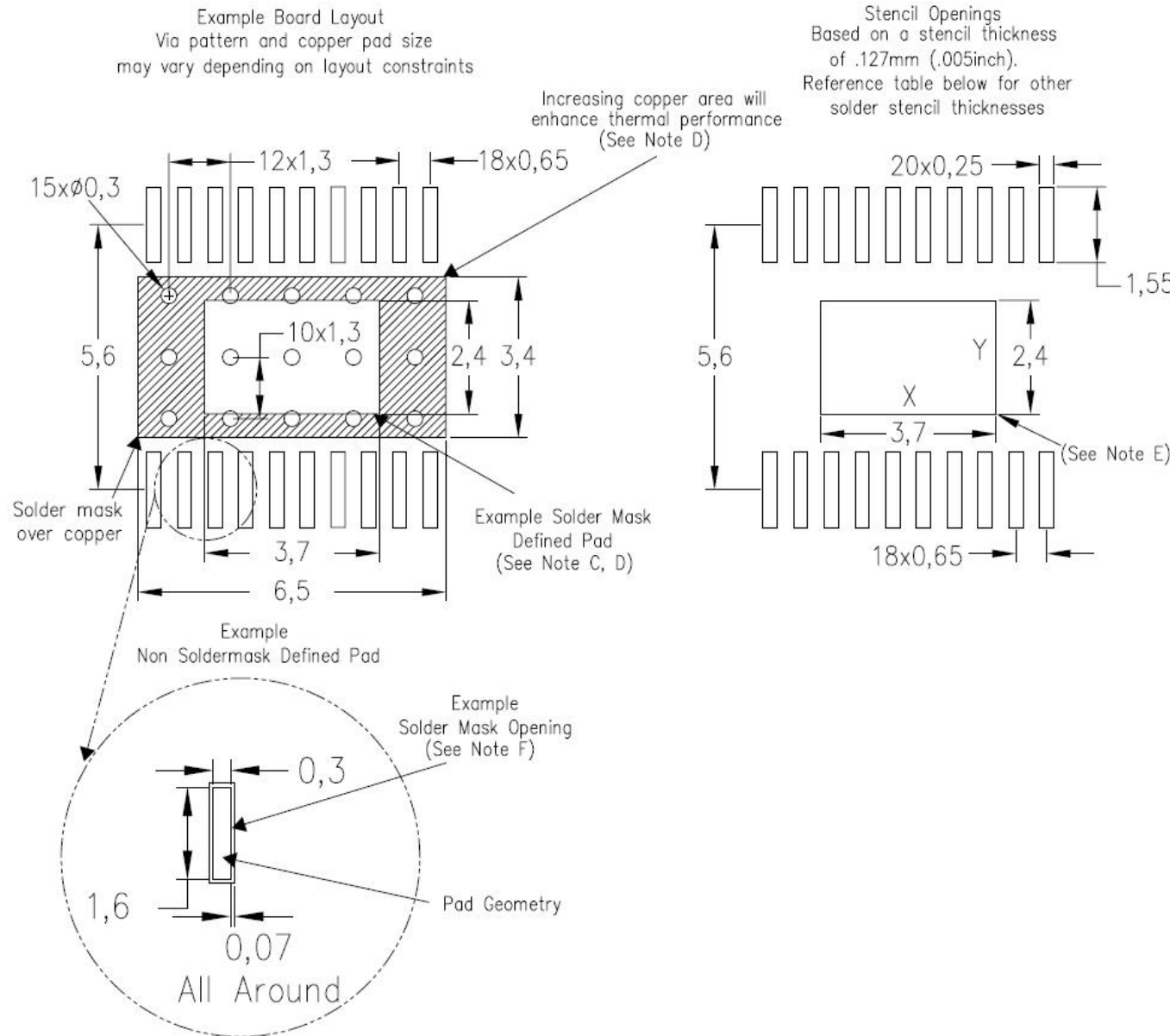


图 31 装引脚示意图

包装信息

器件型号	封装形式	卷带数量	卷带尺寸	MSL	是否贴湿敏标签	烘烤时间/小时	烘烤温度
WS3204	HTSSOP20	4000	13 英寸	3	贴	6	125



版本信息

版本	日期	信息描述	拟制	审核	会签	批准
v1.0	2013.06	最初版本	黄德文	郭玮	徐慧/许悦	朱波
v1.1	2021.11	修改模板	黄德文	郭玮	徐慧/许悦	朱波