

78K0/Kx2

ユーザーズマニュアル ハードウェア編

8 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対 象 者 このマニュアルは、78K0/Kx2マイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

	従来規格品	拡張規格品
78K0/KB2	μ PD78F0500, 78F0501, 78F0502, 78F0503, 78F0503D, 78F0500(A), 78F0501(A), 78F0502(A), 78F0503(A), 78F0500(A2), 78F0501(A2), 78F0502(A2), 78F0503(A2)	μ PD78F0500A, 78F0501A, 78F0502A, 78F0503A, 78F0503DA, 78F0500A(A), 78F0501A(A), 78F0502A(A), 78F0503A(A), 78F0500A(A2), 78F0501A(A2), 78F0502A(A2), 78F0503A(A2)
78K0/KC2	μ PD78F0511, 78F0512, 78F0513, 78F0514, 78F0515, 78F0513D, 78F0515D, 78F0511(A), 78F0512(A), 78F0513(A), 78F0514(A), 78F0515(A), 78F0511(A2), 78F0512(A2), 78F0513(A2), 78F0514(A2), 78F0515(A2)	μ PD78F0511A, 78F0512A, 78F0513A, 78F0514A, 78F0515A, 78F0513DA, 78F0515DA, 78F0511A(A), 78F0512A(A), 78F0513A(A), 78F0514A(A), 78F0515A(A), 78F0511A(A2), 78F0512A(A2), 78F0513A(A2), 78F0514A(A2), 78F0515A(A2)
78K0/KD2	μ PD78F0521, 78F0522, 78F0523, 78F0524, 78F0525, 78F0526, 78F0527, 78F0527D, 78F0521(A), 78F0522(A), 78F0523(A), 78F0524(A), 78F0525(A), 78F0526(A), 78F0527(A), 78F0521(A2), 78F0522(A2), 78F0523(A2), 78F0524(A2), 78F0525(A2), 78F0526(A2), 78F0527(A2)	μ PD78F0521A, 78F0522A, 78F0523A, 78F0524A, 78F0525A, 78F0526A, 78F0527A, 78F0527DA, 78F0521A(A), 78F0522A(A), 78F0523A(A), 78F0524A(A), 78F0525A(A), 78F0526A(A), 78F0527A(A), 78F0521A(A2), 78F0522A(A2), 78F0523A(A2), 78F0524A(A2), 78F0525A(A2), 78F0526A(A2), 78F0527A(A2)
78K0/KE2	μ PD78F0531, 78F0532, 78F0533, 78F0534, 78F0535, 78F0536, 78F0537, 78F0537D, 78F0531(A), 78F0532(A), 78F0533(A), 78F0534(A), 78F0535(A), 78F0536(A), 78F0537(A), 78F0531(A2), 78F0532(A2), 78F0533(A2), 78F0534(A2), 78F0535(A2), 78F0536(A2), 78F0537(A2)	μ PD78F0531A, 78F0532A, 78F0533A, 78F0534A, 78F0535A, 78F0536A, 78F0537A, 78F0537DA, 78F0531A(A), 78F0532A(A), 78F0533A(A), 78F0534A(A), 78F0535A(A), 78F0536A(A), 78F0537A(A), 78F0531A(A2), 78F0532A(A2), 78F0533A(A2), 78F0534A(A2), 78F0535A(A2), 78F0536A(A2), 78F0537A(A2)
78K0/KF2	μ PD78F0544, 78F0545, 78F0546, 78F0547, 78F0547D, 78F0544(A), 78F0545(A), 78F0546(A), 78F0547(A), 78F0544(A2), 78F0545(A2), 78F0546(A2), 78F0547(A2)	μ PD78F0544A, 78F0545A, 78F0546A, 78F0547A, 78F0547DA, 78F0544A(A), 78F0545A(A), 78F0546A(A), 78F0547A(A), 78F0544A(A2), 78F0545A(A2), 78F0546A(A2), 78F0547A(A2)

従来規格品と拡張規格品の違い

78K0/Kx2マイクロコントローラの従来規格品（ μ PD78F05xx, 78F05xxD）と拡張規格品（ μ PD78F05xxA, 78F05xxDA）の違いは、次のとおりです。

- ・ A/D変換時間
- ・ X1発振回路特性
- ・ 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ・レベル幅, ロウ・レベル幅 (AC特性)
- ・ フラッシュ・メモリ書き換え回数と保持年数
- ・ セルフ・プログラミング・ライブラリの処理時間
- ・ セルフ・プログラミング・ライブラリの割り込み応答時間

詳細については、1. 1 **従来規格品（ μ PD78F05xx, 78F05xxD）と拡張規格品（ μ PD78F05xxA, 78F05xxDA）の違い**を参照してください。

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 78K0/Kx2マイクロコントローラのマニュアルは、このマニュアルと命令編（78K0マイクロコントローラ共通）の2冊に分かれています。

78K0/Kx2 ユーザーズ・マニュアル	78K0シリーズ ユーザーズ・マニュアル 命令編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

- ☐ 78K0/Kx2マイクロコントローラの(A) 水準品, (A2) 水準品のマニュアルとしてお使いになる方へ
→標準製品と (A) 水準品, (A2) 水準品は品質水準のみが異なります。(A) 水準品, (A2) 水準品
については品名を次のように読み替えてください。

- ・ μ PD78F05xx → μ PD78F05xx(A), 78F05xx(A2)
- ・ μ PD78F05xxA → μ PD78F05xxA(A), 78F05xxA(A2)

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。
この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に
検索できます。

- ☐ レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では
#pragma sfr指令で、sfr変数として定義されているものです。

- レジスタ名が分かっていてレジスタの詳細を確認するとき
→付録C レジスタ索引を利用してください。
- 78K0マイクロコントローラの命令機能の詳細を知りたいとき
→別冊の78K0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{XXX}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... XXXX または XXXXB 10進数... XXXX 16進数... XXXXH

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
78K0/Kx2 ユーザーズ・マニュアル	このマニュアル	U18598E
78K0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編)	U17739J	U17739E
78K0/Kx2 ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング	U17516J	U17516E
78K0/Kx2 アプリケーション・ノート EEPROM [®] エミュレーション	U17517J	U17517E
78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01	U18274J	U18274E
78K0マイクロコントローラ ユーザーズ・マニュアル EEPROMエミュレーション・ライブラリ Type01	U18275J	U18275E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資 料 名	資料番号	
	和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和 文	英 文
QB-78K0KX2 インサーキット・エミュレータ	U17341J	U17341E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

開発ツール（ソフトウェア）の資料

資 料 名		資料番号	
		和 文	英 文
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザーズ・マニュアル ^{※1}	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） ^{※1}		ZUD-CD-07-0181	ZUD-CD-07-0181-E
CC78K0 Ver.3.70 Cコンパイラ ユーザーズ・マニュアル ^{※2}	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver.4.00 使用上の留意点（文書） ^{※2}		ZUD-CD-07-0103	ZUD-CD-07-0103-E
SM+ システム・シミュレータ ユーザーズ・マニュアル	操作編	U18601J	U18601E
	ユーザ・オープン・ インタフェース編	U18212J	U18212E
ID78K0-QB Ver.2.94 統合デバッガ ユーザーズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッガ ユーザーズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 ^{※3} ユーザーズ・マニュアル		U16934J	U16934E
PM+ Ver.6.30 ^{※4} ユーザーズ・マニュアル		U18416J	U18416E

注1. この資料は、RA78K0 Ver.4.01のインストール時に、ツール本体と一緒に、PCにインストールされます。

「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80のユーザーズ・マニュアルを参照してください。

2. この資料は、CC78K0 Ver.4.00のインストール時に、ツール本体と一緒に、PCにインストールされます。

「CC78K0 Ver.4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70のユーザーズ・マニュアルを参照してください。

3. PM+ Ver.5.20は、RA78K0 Ver.3.80に同梱されている統合開発環境です。

4. PM+ Ver.6.30は、RA78K0 Ver.4.01に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、Cコンパイラ、デバッガ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資 料 名	資料番号	
	和 文	英 文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質／信頼性ハンドブック	C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	—
ROMコードの発注方法 インフォメーション	C10302J	—

★

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www2.renesas.com/pkg/ja/jissou/index.html>

英文：<http://www2.renesas.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目次

第1章 概 説 … 19

- 1. 1 従来規格品 (μ PD78F05xx, 78F05xxD) と拡張規格品 (μ PD78F05xxA, 78F05xxDA) の違い … 19
 - 1. 1. 1 A/D変換時間 … 20
 - 1. 1. 2 X1発振回路特性 … 20
 - 1. 1. 3 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ・レベル幅, ロウ・レベル幅 (AC特性) … 21
 - 1. 1. 4 フラッシュ・メモリ書き換え回数と保持年数 … 22
 - 1. 1. 5 セルフ・プログラミング・ライブラリの処理時間 … 23
 - 1. 1. 6 セルフ・プログラミング・ライブラリの割り込み応答時間 … 29
- 1. 2 特 徴 … 33
- 1. 3 応用分野 … 34
- 1. 4 オータ情報 … 35
- 1. 5 端子接続図 (Top View) … 42
 - 1. 5. 1 78K0/KB2 … 42
 - 1. 5. 2 78K0/KC2 … 44
 - 1. 5. 3 78K0/KD2 … 47
 - 1. 5. 4 78K0/KE2 … 48
 - 1. 5. 5 78K0/KF2 … 50
- 1. 6 端子名称 … 51
- 1. 7 ブロック図 … 52
 - 1. 7. 1 78K0/KB2 … 52
 - 1. 7. 2 78K0/KC2 … 53
 - 1. 7. 3 78K0/KD2 … 54
 - 1. 7. 4 78K0/KE2 … 55
 - 1. 7. 5 78K0/KF2 … 56
- 1. 8 機能概要 … 57

第2章 端子機能 … 60

- 2. 1 端子機能一覧 … 60
 - 2. 1. 1 78K0/KB2 … 61
 - 2. 1. 2 78K0/KC2 … 64
 - 2. 1. 3 78K0/KD2 … 67
 - 2. 1. 4 78K0/KE2 … 70
 - 2. 1. 5 78K0/KF2 … 74
- 2. 2 端子機能の説明 … 78
 - 2. 2. 1 P00-P06 (Port 0) … 78
 - 2. 2. 2 P10-P17 (Port 1) … 79
 - 2. 2. 3 P20-P27 (Port 2) … 81
 - 2. 2. 4 P30-P33 (Port 3) … 82
 - 2. 2. 5 P40-P47 (Port 4) … 83

- 2.2.6 P50-P57 (Port 5) ... 84
- 2.2.7 P60-P67 (Port 6) ... 84
- 2.2.8 P70-P77 (Port 7) ... 85
- 2.2.9 P120-P124 (Port 12) ... 86
- 2.2.10 P130 (Port 13) ... 88
- 2.2.11 P140-P145 (Port 14) ... 88
- 2.2.12 AVREF, AVSS, VDD, EVDD, VSS, EVSS ... 89
- 2.2.13 RESET ... 91
- 2.2.14 REGC ... 91
- 2.2.15 FLMD0 ... 91
- 2.3 端子の入出力回路と未使用端子の処理 ... 92

第3章 CPUアーキテクチャ ... 96

- 3.1 メモリ空間 ... 96
 - 3.1.1 内部プログラム・メモリ空間 ... 111
 - 3.1.2 メモリ・バンク（フラッシュ・メモリが96 Kバイト以上の製品のみ） ... 113
 - 3.1.3 内部データ・メモリ空間 ... 114
 - 3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域 ... 116
 - 3.1.5 データ・メモリ・アドレッシング ... 116
- 3.2 プロセッサ・レジスタ ... 125
 - 3.2.1 制御レジスタ ... 125
 - 3.2.2 汎用レジスタ ... 128
 - 3.2.3 特殊機能レジスタ（SFR：Special Function Register） ... 130
- 3.3 命令アドレスのアドレッシング ... 136
 - 3.3.1 レラティブ・アドレッシング ... 136
 - 3.3.2 イミディエイト・アドレッシング ... 137
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 138
 - 3.3.4 レジスタ・アドレッシング ... 138
- 3.4 オペランド・アドレスのアドレッシング ... 139
 - 3.4.1 インプライド・アドレッシング ... 139
 - 3.4.2 レジスタ・アドレッシング ... 140
 - 3.4.3 ダイレクト・アドレッシング ... 141
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 142
 - 3.4.5 特殊機能レジスタ（SFR）アドレッシング ... 143
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 144
 - 3.4.7 ベースト・アドレッシング ... 145
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 146
 - 3.4.9 スタック・アドレッシング ... 147

第4章 メモリ・バンク切り替え機能（フラッシュ・メモリが96 Kバイト以上の製品のみ） ... 148

- 4.1 メモリ・バンク ... 148
- 4.2 メモリ空間表現の違い ... 149
- 4.3 メモリ・バンク選択レジスタ（BANK） ... 150
- 4.4 メモリ・バンク切り替え使用方法 ... 151
 - 4.4.1 メモリ・バンク間の値の参照 ... 151
 - 4.4.2 メモリ・バンク間の命令分岐 ... 153

- 4.4.3 メモリ・バンク間のサブルーチン・コール … 155
- 4.4.4 割り込みによるバンク・エリアへの命令分岐 … 157

第5章 ポート機能 … 159

- 5.1 ポートの機能 … 159
- 5.2 ポートの構成 … 163
 - 5.2.1 ポート0 … 164
 - 5.2.2 ポート1 … 175
 - 5.2.3 ポート2 … 181
 - 5.2.4 ポート3 … 183
 - 5.2.5 ポート4 … 186
 - 5.2.6 ポート5 … 188
 - 5.2.7 ポート6 … 189
 - 5.2.8 ポート7 … 193
 - 5.2.9 ポート12 … 195
 - 5.2.10 ポート13 … 198
 - 5.2.11 ポート14 … 199
- 5.3 ポート機能を制御するレジスタ … 203
- 5.4 ポート機能の動作 … 219
 - 5.4.1 入出力ポートへの書き込み … 219
 - 5.4.2 入出力ポートからの読み出し … 220
 - 5.4.3 入出力ポートでの演算 … 220
- 5.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 … 220
- 5.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項 … 223

第6章 クロック発生回路 … 224

- 6.1 クロック発生回路の機能 … 224
- 6.2 クロック発生回路の構成 … 225
- 6.3 クロック発生回路を制御するレジスタ … 228
- 6.4 システム・クロック発振回路 … 239
 - 6.4.1 X1発振回路 … 239
 - 6.4.2 XT1発振回路 … 239
 - 6.4.3 サブシステム・クロックを使用しない場合 … 242
 - 6.4.4 高速内蔵発振回路 … 242
 - 6.4.5 低速内蔵発振回路 … 242
 - 6.4.6 プリスケアラ … 242
- 6.5 クロック発生回路の動作 … 243
- 6.6 クロックの制御 … 247
 - 6.6.1 高速システム・クロックの制御例 … 247
 - 6.6.2 高速内蔵発振クロックの制御例 … 250
 - 6.6.3 サブシステム・クロックの制御例 … 253
 - 6.6.4 低速内蔵発振クロックの制御例 … 255
 - 6.6.5 CPUクロック，周辺ハードウェア・クロックへの供給クロック … 256
 - 6.6.6 CPUクロック状態移行図 … 257
 - 6.6.7 CPUクロックの移行前の条件と移行後の処理 … 263
 - 6.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 … 265
 - 6.6.9 クロック発振停止前の条件 … 267

第7章 16ビット・タイマ/イベント・カウンタ00, 01 ... 269

- 7.1 16ビット・タイマ/イベント・カウンタ00, 01の機能 ... 269
- 7.2 16ビット・タイマ/イベント・カウンタ00, 01の構成 ... 270
- 7.3 16ビット・タイマ/イベント・カウンタ00, 01を制御するレジスタ ... 276
- 7.4 16ビット・タイマ/イベント・カウンタ00, 01の動作 ... 287
 - 7.4.1 インターバル・タイマとしての動作 ... 287
 - 7.4.2 方形波出力としての動作 ... 290
 - 7.4.3 外部イベント・カウンタとしての動作 ... 294
 - 7.4.4 TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作 ... 298
 - 7.4.5 フリー・ランニング・タイマとしての動作 ... 314
 - 7.4.6 PPG出力としての動作 ... 324
 - 7.4.7 ワンショット・パルス出力としての動作 ... 328
 - 7.4.8 パルス幅測定としての動作 ... 333
- 7.5 TM0nの特殊な使用方法 ... 342
 - 7.5.1 CR01nのTM0n動作中の書き換え ... 342
 - 7.5.2 LVSR0n, LVR0nの設定について ... 342
- 7.6 16ビット・タイマ/イベント・カウンタ00, 01の注意事項 ... 344

第8章 8ビット・タイマ/イベント・カウンタ50, 51 ... 349

- 8.1 8ビット・タイマ/イベント・カウンタ50, 51の機能 ... 349
- 8.2 8ビット・タイマ/イベント・カウンタ50, 51の構成 ... 349
- 8.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ ... 352
- 8.4 8ビット・タイマ/イベント・カウンタ50, 51の動作 ... 358
 - 8.4.1 インターバル・タイマとしての動作 ... 358
 - 8.4.2 外部イベント・カウンタとしての動作 ... 360
 - 8.4.3 方形波出力としての動作 ... 361
 - 8.4.4 PWM出力としての動作 ... 362
- 8.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項 ... 366

第9章 8ビット・タイマH0, H1 ... 367

- 9.1 8ビット・タイマH0, H1の機能 ... 367
- 9.2 8ビット・タイマH0, H1の構成 ... 367
- 9.3 8ビット・タイマH0, H1を制御するレジスタ ... 371
- 9.4 8ビット・タイマH0, H1の動作 ... 377
 - 9.4.1 インターバル・タイマ/方形波出力としての動作 ... 377
 - 9.4.2 PWM出力としての動作 ... 380
 - 9.4.3 キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ) ... 386

第10章 時計用タイマ ... 393

- 10.1 時計用タイマの機能 ... 393
- 10.2 時計用タイマの構成 ... 395
- 10.3 時計用タイマを制御するレジスタ ... 395
- 10.4 時計用タイマの動作 ... 397

- 10.4.1 時計用タイマとしての動作 … 397
- 10.4.2 インターバル・タイマとしての動作 … 398
- 10.5 時計用タイマの注意事項 … 399

第11章 ウォッチドッグ・タイマ … 400

- 11.1 ウォッチドッグ・タイマの機能 … 400
- 11.2 ウォッチドッグ・タイマの構成 … 401
- 11.3 ウォッチドッグ・タイマを制御するレジスタ … 402
- 11.4 ウォッチドッグ・タイマの動作 … 403
 - 11.4.1 ウォッチドッグ・タイマの動作制御 … 403
 - 11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 … 404
 - 11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 … 405

第12章 クロック出力／ブザー出力制御回路 … 407

- 12.1 クロック出力／ブザー出力制御回路の機能 … 407
- 12.2 クロック出力／ブザー出力制御回路の構成 … 408
- 12.3 クロック出力／ブザー出力制御回路を制御するレジスタ … 408
- 12.4 クロック出力／ブザー出力制御回路の動作 … 412
 - 12.4.1 クロック出力としての動作 … 412
 - 12.4.2 ブザー出力としての動作 … 412

第13章 A/Dコンバータ … 413

- 13.1 A/Dコンバータの機能 … 413
- 13.2 A/Dコンバータの構成 … 414
- 13.3 A/Dコンバータで使用するレジスタ … 416
- 13.4 A/Dコンバータの動作 … 425
 - 13.4.1 A/Dコンバータの基本動作 … 425
 - 13.4.2 入力電圧と変換結果 … 426
 - 13.4.3 A/Dコンバータの動作モード … 428
- 13.5 A/Dコンバータ特性表の読み方 … 430
- 13.6 A/Dコンバータの注意事項 … 433

第14章 シリアル・インタフェースUART0 … 437

- 14.1 シリアル・インタフェースUART0の機能 … 437
- 14.2 シリアル・インタフェースUART0の構成 … 438
- 14.3 シリアル・インタフェースUART0を制御するレジスタ … 441
- 14.4 シリアル・インタフェースUART0の動作 … 446
 - 14.4.1 動作停止モード … 446
 - 14.4.2 アシクロナス・シリアル・インタフェース (UART) モード … 447
 - 14.4.3 専用ボー・レート・ジェネレータ … 453
 - 14.4.4 ボー・レートの算出 … 455

第15章 シリアル・インタフェースUART6 … 459

- 15.1 シリアル・インタフェースUART6の機能 … 459
- 15.2 シリアル・インタフェースUART6の構成 … 464
- 15.3 シリアル・インタフェースUART6を制御するレジスタ … 467
- 15.4 シリアル・インタフェースUART6の動作 … 477
 - 15.4.1 動作停止モード … 477
 - 15.4.2 アシクロナス・シリアル・インタフェース (UART) モード … 478
 - 15.4.3 専用ボー・レート・ジェネレータ … 492
 - 15.4.4 ボー・レートの算出 … 493

第16章 シリアル・インタフェースCSI10, CSI11 … 499

- 16.1 シリアル・インタフェースCSI10, CSI11の機能 … 499
- 16.2 シリアル・インタフェースCSI10, CSI11の構成 … 500
- 16.3 シリアル・インタフェースCSI10, CSI11を制御するレジスタ … 502
- 16.4 シリアル・インタフェースCSI10, CSI11の動作 … 510
 - 16.4.1 動作停止モード … 510
 - 16.4.2 3線式シリアルI/Oモード … 511

第17章 シリアル・インタフェースCSIA0 … 523

- 17.1 シリアル・インタフェースCSIA0の機能 … 523
- 17.2 シリアル・インタフェースCSIA0の構成 … 524
- 17.3 シリアル・インタフェースCSIA0を制御するレジスタ … 526
- 17.4 シリアル・インタフェースCSIA0の動作 … 535
 - 17.4.1 動作停止モード … 535
 - 17.4.2 3線式シリアルI/Oモード … 535
 - 17.4.3 自動送受信機能付き3線式シリアルI/Oモード … 541

第18章 シリアル・インタフェースIIC0 … 563

- 18.1 シリアル・インタフェースIIC0の機能 … 563
- 18.2 シリアル・インタフェースIIC0の構成 … 566
- 18.3 シリアル・インタフェースIIC0を制御するレジスタ … 569
- 18.4 I²Cバス・モードの機能 … 582
 - 18.4.1 端子構成 … 582
- 18.5 I²Cバスの定義および制御方法 … 583
 - 18.5.1 スタート・コンディション … 583
 - 18.5.2 アドレス … 584
 - 18.5.3 転送方向指定 … 584
 - 18.5.4 アクノリッジ (ACK) … 585
 - 18.5.5 ストップ・コンディション … 586
 - 18.5.6 ウエイト … 587
 - 18.5.7 ウエイト解除方法 … 589
 - 18.5.8 割り込み要求 (INTIIC0) 発生タイミングおよびウエイト制御 … 590
 - 18.5.9 アドレスの一致検出方法 … 591
 - 18.5.10 エラーの検出 … 591

- 18.5.11 拡張コード … 592
- 18.5.12 アービトレーション … 593
- 18.5.13 ウェイク・アップ機能 … 595
- 18.5.14 通信予約 … 595
- 18.5.15 その他の注意事項 … 599
- 18.5.16 通信動作 … 600
- 18.5.17 I²C割り込み要求 (INTIIC0) の発生タイミング … 608
- 18.6 タイミング・チャート … 629

第19章 乗除算器 … 636

- 19.1 乗除算器の機能 … 636
- 19.2 乗除算器の構成 … 636
- 19.3 乗除算器を制御するレジスタ … 641
- 19.4 乗除算器の動作 … 642
 - 19.4.1 乗算動作 … 642
 - 19.4.2 除算動作 … 644

第20章 割り込み機能 … 646

- 20.1 割り込み機能の種類 … 646
- 20.2 割り込み要因と構成 … 646
- 20.3 割り込み機能を制御するレジスタ … 651
- 20.4 割り込み処理動作 … 672
 - 20.4.1 マスカブル割り込み要求の受け付け動作 … 672
 - 20.4.2 ソフトウェア割り込み要求の受け付け動作 … 675
 - 20.4.3 多重割り込み処理 … 675
 - 20.4.4 割り込み要求の保留 … 678

第21章 キー割り込み機能 … 679

- 21.1 キー割り込みの機能 … 679
- 21.2 キー割り込みの構成 … 680
- 21.3 キー割り込みを制御するレジスタ … 681

第22章 スタンバイ機能 … 682

- 22.1 スタンバイ機能と構成 … 682
 - 22.1.1 スタンバイ機能 … 682
 - 22.1.2 スタンバイ機能を制御するレジスタ … 683
- 22.2 スタンバイ機能の動作 … 685
 - 22.2.1 HALTモード … 685
 - 22.2.2 STOPモード … 690

第23章 リセット機能 … 696

- 23.1 リセット要因を確認するレジスタ … 706

第24章 パワーオン・クリア回路 … 707

- 24.1 パワーオン・クリア回路の機能 … 707
- 24.2 パワーオン・クリア回路の構成 … 708
- 24.3 パワーオン・クリア回路の動作 … 708
- 24.4 パワーオン・クリア回路の注意事項 … 711

第25章 低電圧検出回路 … 713

- 25.1 低電圧検出回路の機能 … 713
- 25.2 低電圧検出回路の構成 … 713
- 25.3 低電圧検出回路を制御するレジスタ … 714
- 25.4 低電圧検出回路の動作 … 717
 - 25.4.1 リセットとして使用時の設定 … 718
 - 25.4.2 割り込みとして使用時の設定 … 723
- 25.5 低電圧検出回路の注意事項 … 728

第26章 オプション・バイト … 731

- 26.1 オプション・バイトの機能 … 731
- 26.2 オプション・バイトのフォーマット … 732

第27章 フラッシュ・メモリ … 735

- 27.1 メモリ・サイズ切り替えレジスタ … 735
- 27.2 内部拡張RAMサイズ切り替えレジスタ … 736
- 27.3 フラッシュ・メモリ・プログラマによる書き込み方法 … 738
- 27.4 プログラミング環境 … 738
- 27.5 通信方式 … 739
- 27.6 オンボード上の端子処理 … 741
 - 27.6.1 FLMD0端子 … 742
 - 27.6.2 シリアル・インタフェース端子 … 742
 - 27.6.3 $\overline{\text{RESET}}$ 端子 … 743
 - 27.6.4 ポート端子 … 744
 - 27.6.5 REGC端子 … 744
 - 27.6.6 その他の信号端子 … 744
 - 27.6.7 電 源 … 745
- 27.7 プログラミング方法 … 745
 - 27.7.1 フラッシュ・メモリ制御 … 745
 - 27.7.2 フラッシュ・メモリ・プログラミング・モード … 746
 - 27.7.3 通信方式の選択 … 747
 - 27.7.4 通信コマンド … 747
- 27.8 セキュリティ設定 … 749
- 27.9 PG-FP4, PG-FP5使用時の各コマンド処理時間(参考値) … 751
- 27.10 セルフ書き込みによるフラッシュ・メモリ・プログラミング … 753
 - 27.10.1 ブート・スワップ機能 … 765
- 27.11 書き込み済み品発注用ROMコードの作成方法 … 767
 - 27.11.1 ROMコードの発注手順 … 767

第28章 オンチップ・デバッグ機能 (μ PD78F05xxD, 78F05xxDAのみ) ... 769

- 28.1 QB-MINI2と μ PD78F05xxD, 78F05xxDAの接続 ... 769
- 28.2 QB-MINI2が使用する予約領域 ... 771

第29章 命令セットの概要 ... 772

- 29.1 凡 例 ... 773
 - 29.1.1 オペランドの表現形式と記述方法 ... 773
 - 29.1.2 オペレーション欄の説明 ... 774
 - 29.1.3 フラグ動作欄の説明 ... 774
- 29.2 オペレーション一覧 ... 775
- 29.3 アドレッシング別命令一覧 ... 783

第30章 電気的特性 (標準品) ... 787

第31章 電気的特性 ((A) 水準品) ... 817

第32章 電気的特性 ((A2) 水準品: $T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$) ... 845

第33章 電気的特性 ((A2) 水準品: $T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$) ... 873

第34章 外形図 ... 901

- 34.1 78K0/KB2 ... 901
- 34.2 78K0/KC2 ... 904
- 34.3 78K0/KD2 ... 909
- 34.4 78K0/KE2 ... 911
- 34.5 78K0/KF2 ... 921

第35章 半田付け推奨条件 ... 925

第36章 ウェイトに関する注意事項 ... 930

- 36.1 ウェイトに関する注意事項 ... 930
- 36.2 ウェイトが発生する周辺ハードウェア ... 931

付録A 開発ツール ... 933

- A.1 ソフトウェア・パッケージ ... 936
- A.2 言語処理用ソフトウェア ... 936

- A. 3 **フラッシュ・メモリ書き込み用ツール** … 937
 - A. 3. 1 **フラッシュ・メモリ・プログラマ** PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合 … 937
 - A. 3. 2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ** QB-MINI2を使用する場合 … 938
- A. 4 **デバッグ用ツール（ハードウェア）** … 938
 - A. 4. 1 **インサーキット・エミュレータ** QB-78K0KX2を使用する場合 … 938
 - A. 4. 2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ** QB-MINI2を使用する場合 … 940
- A. 5 **デバッグ用ツール（ソフトウェア）** … 941

付録B ターゲット・システム設計上の注意 … 942

付録C レジスタ索引 … 949

- C. 1 **レジスタ索引（50音順）** … 949
- C. 2 **レジスタ索引（アルファベット順）** … 953

付録D 注意事項一覧 … 957

付録E 改版履歴 … 984

- E. 1 **本版で改訂された主な箇所** … 984
- E. 2 **前版までの改版履歴** … 985

第1章 概 説

1. 1 従来規格品 (μ PD78F05xx, 78F05xxD) と拡張規格品 (μ PD78F05xxA, 78F05xxDA) の違い

78K0/Kx2マイクロコントローラの従来規格品 (μ PD78F05xx, 78F05xxD) と拡張規格品 (μ PD78F05xxA, 78F05xxDA) の違いは、次のとおりです。

- ・ A/D変換時間
- ・ X1発振回路特性
- ・ 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ・レベル幅, ロウ・レベル幅 (AC特性)
- ・ フラッシュ・メモリ書き換え回数と保持年数
- ・ セルフ・プログラミング・ライブラリの処理時間
- ・ セルフ・プログラミング・ライブラリの割り込み応答時間

1.1.1 A/D変換時間

(1) 従来規格品 (μ PD78F05xx, 78F05xxD)

項 目	略 号	条 件	MIN.	MAX.	単 位
変換時間	t_{CONV}	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	6.1	36.7	$\mu\text{ s}$
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$	12.2	36.7	
		$2.3\text{ V} \leq AV_{REF} < 2.7\text{ V}^{\text{注}}$	27	66.6	

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA)

項 目	略 号	条 件	MIN.	MAX.	単 位
変換時間	t_{CONV}	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	6.1	66.6	$\mu\text{ s}$
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$	12.2	66.6	
		$2.3\text{ V} \leq AV_{REF} < 2.7\text{ V}^{\text{注}}$	27	66.6	

注 標準品と (A) 水準品のみ。

1.1.2 X1発振回路特性

(1) 従来規格品 (μ PD78F05xx, 78F05xxD)

発振子	項 目	条 件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子	X1クロック 発振周波数 (f_x)	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$1.0^{\text{注2}}$		20.0	MHz
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$1.0^{\text{注2}}$		10.0	MHz
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}^{\text{注1}}$	1.0		5.0	MHz

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA)

発振子	項 目	条 件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子	X1クロック	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$1.0^{\text{注2}}$		20.0	MHz
	発振周波数 (f_x)	$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}^{\text{注1}}$	1.0		5.0	MHz

注1. 標準品と (A) 水準品のみ。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

1. 1. 3 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ・レベル幅, ロウ・レベル幅 (AC特性)

(1) 従来規格品 (μ PD78F05xx, 78F05xxD)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
命令サイクル (最小命令実行時間)	T _{cy}	メイン・システム・ クロック (f _{XP}) 動作	4.0 V ≦ V _{DD} ≦ 5.5 V	0.1		32	μ s
			2.7 V ≦ V _{DD} < 4.0 V	0.2		32	μ s
			1.8 V ≦ V _{DD} < 2.7 V ^{注1}	0.4 ^{注3}		32	μ s
		サブシステム・クロック (f _{SUB}) 動作 ^{注2}		114	122	125	μ s
周辺ハードウェア・ク ロック周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	4.0 V ≦ V _{DD} ≦ 5.5 V			20	MHz
			2.7 V ≦ V _{DD} < 4.0 V			10	MHz
			1.8 V ≦ V _{DD} < 2.7 V ^{注1}			5	MHz
		f _{PRS} = f _{RH} (XSEL = 0)	2.7 V ≦ V _{DD} ≦ 5.5 V	7.6		8.4	MHz
			1.8 V ≦ V _{DD} < 2.7 V ^{注1, 5}	7.6		10.4	MHz
外部メイン・システ ム・クロック周波数	f _{EXCLK}	4.0 V ≦ V _{DD} ≦ 5.5 V		1.0 ^{注6}		20.0	MHz
		2.7 V ≦ V _{DD} < 4.0 V		1.0 ^{注6}		10.0	MHz
		1.8 V ≦ V _{DD} < 2.7 V ^{注1}		1.0		5.0	MHz
外部メイン・システム・ クロック入力ハイ／ロ ウ・レベル幅	t _{EXCLKH} , t _{EXCLKL}	4.0 V ≦ V _{DD} ≦ 5.5 V		24			ns
		2.7 V ≦ V _{DD} < 4.0 V		48			ns
		1.8 V ≦ V _{DD} < 2.7 V ^{注1}		96			ns

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
命令サイクル (最小命令実行時間)	T _{cy}	メイン・システム・ クロック (f _{XP}) 動作	2.7 V ≦ V _{DD} ≦ 5.5 V	0.1		32	μ s
			1.8 V ≦ V _{DD} < 2.7 V ^{注1}	0.4 ^{注3}		32	μ s
		サブシステム・クロック (f _{SUB}) 動作 ^{注2}		114	122	125	μ s
周辺ハードウェア・ク ロック周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	4.0 V ≦ V _{DD} ≦ 5.5 V			20	MHz
			2.7 V ≦ V _{DD} < 4.0 V ^{注4}			20	MHz
			1.8 V ≦ V _{DD} < 2.7 V ^{注1}			5	MHz
		f _{PRS} = f _{RH} (XSEL = 0)	2.7 V ≦ V _{DD} ≦ 5.5 V	7.6		8.4	MHz
			1.8 V ≦ V _{DD} < 2.7 V ^{注1, 5}	7.6		10.4	MHz
外部メイン・システ ム・クロック周波数	f _{EXCLK}	2.7 V ≦ V _{DD} ≦ 5.5 V		1.0 ^{注6}		20.0	MHz
		1.8 V ≦ V _{DD} < 2.7 V ^{注1}		1.0		5.0	MHz
外部メイン・システム・ クロック入力ハイ／ロ ウ・レベル幅	t _{EXCLKH} ,	2.7 V ≦ V _{DD} ≦ 5.5 V		24			ns
	t _{EXCLKL}	1.8 V ≦ V _{DD} < 2.7 V ^{注1}		96			ns

注1. 標準品と (A) 水準品のみ。

2. 78K0/KB2には、サブシステム・クロックはありません。

3. 8 MHz内蔵発振器で動作時は、0.38 μ sとなります。

4. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{XH}/2 (10 MHz) 以下にしてください。ただし乗除算器回路については、f_{XH} (20 MHz) での動作が可能です。

5. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{RH}/2以下にしてください。

6. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

1.1.4 フラッシュ・メモリ書き換え回数と保持年数

項 目	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)	
1チップあたりの書き換え回数 (保持年数)	100回 (保持10年)	フラッシュ・メモリ・プログラマ 使用時および当社提供のライブラリ ^{注1} を使用時, プログラム更新 用途	1000回 (保持15年)
		当社提供のEEPROMエミュレー ション・ライブラリ ^{注2} 使用時, 書 き換えROMサイズ: 4 Kバイト, データ更新用途	10000回 (保持5年)
		上記以外の条件 ^{注3}	100回 (保持10年)

- 注1. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (資料番号: U17516J)」で指定されるサンプル・ライブラリを除きます。
2. 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラムを除きます。
3. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (資料番号: U17516J)」で指定されるサンプル・ライブラリ, および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラム使用時を含みます。

1.1.5 セルフ・プログラミング・ライブラリの処理時間

(1) 従来規格品 (μ PD78F05xx, 78F05xxD) (1/3)

① 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間（単位：μ s）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.25			
イニシャライズ・ライブラリ		977.75			
モード・チェック・ライブラリ		753.875		753.125	
ブロック・ブランク・チェック・ライブラリ		12770.875		12765.875	
ブロック・イレース・ライブラリ		36909.5	356318	36904.5	356296.25
ワード・ライト・ライブラリ		1214 (1214.375)	2409 (2409.375)	1207 (1207.375)	2402 (2402.375)
ブロック・ベリファイ・ライブラリ		25618.875		25613.875	
セルフ・プログラミング・エンド・ライブラリ		4.25			
ゲット・インフォメーション・ライブラリ	オプション値：03H	871.25 (871.375)		866 (866.125)	
	オプション値：04H	863.375 (863.5)		858.125 (858.25)	
	オプション値：05H	1024.75 (1043.625)		1037.5 (1038.375)	
セット・インフォメーション・ライブラリ		105524.75	790809.375	105523.75	790808.375
EEPROMライト・ライブラリ		1496.5 (1496.875)	2691.5 (2691.875)	1489.5 (1489.875)	2684.5 (2684.875)

② 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間（単位：μ s）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.25			
イニシャライズ・ライブラリ		443.5			
モード・チェック・ライブラリ		219.625		218.875	
ブロック・ブランク・チェック・ライブラリ		12236.625		12231.625	
ブロック・イレース・ライブラリ		36363.25	355771.75	36358.25	355750
ワード・ライト・ライブラリ		679.75 (680.125)	1874.75 (1875.125)	672.75 (673.125)	1867.75 (1868.125)
ブロック・ベリファイ・ライブラリ		25072.625		25067.625	
セルフ・プログラミング・エンド・ライブラリ		4.25			
ゲット・インフォメーション・ライブラリ	オプション値：03H	337 (337.125)		331.75 (331.875)	
	オプション値：04H	329.125 (239.25)		323.875 (324)	
	オプション値：05H	502.25 (503.125)		497 (497.875)	
セット・インフォメーション・ライブラリ		104978.5	541143.125	104977.5	541142.125
EEPROMライト・ライブラリ		962.25 (962.625)	2157.25 (2157.625)	955.25 (955.625)	2150.25 (2150.625)

備考1. () 内は、書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

2. 上記の処理時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

3. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

(1) 従来規格品 (μ PD78F05xx, 78F05xxD) (2/3)

③ 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間（単位：μs）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		49/fCPU+485.8125			
モード・チェック・ライブラリ		35/fCPU+374.75		29/fCPU+374.75	
ブロック・ブランク・チェック・ライブラリ		174/fCPU+6382.0625		134/fCPU+6382.0625	
ブロック・イレース・ライブラリ		174/fCPU +31093.875	174/fCPU +298948.125	134/fCPU +31093.875	134/fCPU +298948.125
ワード・ライト・ライブラリ		318 (321) /fCPU +644.125	318 (321) /fCPU +1491.625	262 (265) /fCPU +644.125	262 (265) /fCPU +1491.625
ブロック・ベリファイ・ライブラリ		174/fCPU+13448.5625		134/fCPU+13448.5625	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	171 (172) /fCPU+432.4375		129 (130) /fCPU+432.4375	
	オプション値：04H	181 (182) /fCPU+427.875		139 (140) /fCPU+427.875	
	オプション値：05H	404 (411) /fCPU+496.125		362 (369) /fCPU+496.125	
セット・インフォメーション・ライブラリ		75/fCPU +79157.6875	75/fCPU +652400	67/fCPU +79157.6875	67/fCPU +652400
EEPROMライト・ライブラリ		318 (321) /fCPU +799.875	318 (321) /fCPU +1647.375	262 (265) /fCPU +799.875	262 (265) /fCPU +1647.375

備考1. () 内は, 書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

- 上記の処理時間は, 高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。
- RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

(1) 従来規格品 (μ PD78F05xx, 78F05xxD) (3/3)

④ 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間（単位：μ s）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		49/fCPU+224.6875			
モード・チェック・ライブラリ		35/fCPU+113.625		29/fCPU+113.625	
ブロック・ブランク・チェック・ライブラリ		174/fCPU+6120.9375		134/fCPU+6120.9375	
ブロック・イレース・ライブラリ		174/fCPU+ 30820.75	174/fCPU+ 298675	134/fCPU+ 30820.75	134/fCPU+298675
ワード・ライト・ライブラリ		318 (321) /fCPU+ 383	318 (321) /fCPU+ 1230.5	262 (265) /fCPU+ 383	262 (265) /fCPU+ 1230.5
ブロック・ベリファイ・ライブラリ		174/fCPU+13175.4375		134/fCPU+13175.4375	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	171 (172) /fCPU+171.3125		129 (130) /fCPU+171.3125	
	オプション値：04H	181 (182) /fCPU+166.75		139 (140) /fCPU+166.75	
	オプション値：05H	404 (411) /fCPU+231.875		362 (369) /fCPU+231.875	
セット・インフォメーション・ライブラリ		75/fCPU+ 78884.5625	75/fCPU+ 527566.875	67/fCPU+ 78884.5625	67/fCPU+ 527566.875
EEPROMライト・ライブラリ		318 (321) /fCPU+ 538.75	318 (321) /fCPU+ 1386.25	262 (265) /fCPU+ 538.75	262 (265) /fCPU+ 1386.25

備考1. () 内は, 書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

2. 上記の処理時間は, 高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

3. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA) (1/3)

① 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間 (単位: μ s)			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.0	4.5	4.0	4.5
イニシャライズ・ライブラリ		1105.9	1106.6	1105.9	1106.6
モード・チェック・ライブラリ		905.7	906.1	904.9	905.3
ブロック・ブランク・チェック・ライブラリ		12776.1	12778.3	12770.9	12772.6
ブロック・イレース・ライブラリ		26050.4	349971.3	26045.3	349965.6
ワード・ライト・ライブラリ		1180.1+203×w	1184.3+2241×w	1172.9+203×w	1176.3+2241×w
ブロック・ベリファイ・ライブラリ		25337.9	25340.2	25332.8	25334.5
セルフ・プログラミング・エンド・ライブラリ		4.0	4.5	4.0	4.5
ゲット・インフォメーション・ライブラリ	オプション値: 03H	1072.9	1075.2	1067.5	1069.1
	オプション値: 04H	1060.2	1062.6	1054.8	1056.6
	オプション値: 05H	1023.8	1028.2	1018.3	1022.1
セット・インフォメーション・ライブラリ		70265.9	759995.0	70264.9	759994.0
EEPROMライト・ライブラリ		1316.8+347×w	1320.9+2385×w	1309.0+347×w	1312.4+2385×w

② 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間 (単位: μ s)			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.0	4.5	4.0	4.5
イニシャライズ・ライブラリ		449.5	450.2	449.5	450.2
モード・チェック・ライブラリ		249.3	249.7	248.6	248.9
ブロック・ブランク・チェック・ライブラリ		12119.7	12121.9	12114.6	12116.3
ブロック・イレース・ライブラリ		25344.7	349266.4	25339.6	349260.8
ワード・ライト・ライブラリ		445.8+203×w	449.9+2241×w	438.5+203×w	441.9+2241×w
ブロック・ベリファイ・ライブラリ		24682.7	24684.9	24677.6	24679.3
セルフ・プログラミング・エンド・ライブラリ		4.0	4.5	4.0	4.5
ゲット・インフォメーション・ライブラリ	オプション値: 03H	417.6	419.8	412.1	413.8
	オプション値: 04H	405.0	407.4	399.5	401.3
	オプション値: 05H	367.4	371.8	361.9	365.8
セット・インフォメーション・ライブラリ		69569.3	759297.3	69568.3	759296.2
EEPROMライト・ライブラリ		795.1+347×w	799.3+2385×w	787.4+347×w	790.8+2385×w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. w: 書き込みデータのワード数 (1ワード = 4 バイト)

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA) (2/3)

③ 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間（単位：μs）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		55/fCPU+594			
モード・チェック・ライブラリ		36/fCPU+495		30/fCPU+495	
ブロック・ブランク・チェック・ライブラリ		179/fCPU+6429		136/fCPU+6429	
ブロック・イレース・ライブラリ		179/fCPU +19713	179/fCPU +268079	136/fCPU +19713	136/fCPU +268079
ワード・ライト・ライブラリ		333/fCPU +647+136×w	333/fCPU +647+1647×w	272/fCPU +647+136×w	272/fCPU +647+1647×w
ブロック・ベリファイ・ライブラリ		179/fCPU+13284		136/fCPU+13284	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	180/fCPU+581		134fCPU+581	
	オプション値：04H	190/fCPU+574		144/fCPU+574	
	オプション値：05H	350/fCPU+535		304/fCPU+535	
セット・インフォメーション・ライブラリ		80/fCPU +43181	80/fCPU+572934	72/fCPU+43181	72/fCPU+572934
EEPROMライト・ライブラリ		333/fCPU +729+209×w	333/fCPU +729+1722×w	268/fCPU +729+209×w	268/fCPU +729+1722×w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. f_{CPU}: CPU動作クロック周波数
4. w: 書き込みデータのワード数 (1ワード = 4 バイト)

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA) (3/3)

④ 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間（単位：μ s）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		55/fCPU+272			
モード・チェック・ライブラリ		36/fCPU+173		30/fCPU+173	
ブロック・ブランク・チェック・ライブラリ		179/fCPU+6108		136/fCPU+6108	
ブロック・イレース・ライブラリ		179/fCPU+19371	179/fCPU+267738	136/fCPU+19371	136/fCPU+267738
ワード・ライト・ライブラリ		333/fCPU+247+ 136×w	333/fCPU+247+ 1647×w	272/fCPU+247+ 136×w	272/fCPU+247+ 1647×w
ブロック・ベリファイ・ライブラリ		179/fCPU+12964		136/fCPU+12964	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	180/fCPU+261		134/fCPU+261	
	オプション値：04H	190/fCPU+254		144/fCPU+254	
	オプション値：05H	350/fCPU+213		304/fCPU+213	
セット・インフォメーション・ライブラリ		80/fCPU+42839	80/fCPU+572592	72/fCPU +42839	72/fCPU+572592
EEPROMライト・ライブラリ		333/fCPU+516+ 209×w	333/fCPU+516+ 1722×w	268/fCPU+516+ 209×w	268/fCPU+516+ 1722×w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. f_{CPU}: CPU動作クロック周波数
4. w: 書き込みデータのワード数 (1ワード = 4 バイト)

1.1.6 セルフ・プログラミング・ライブラリの割り込み応答時間

(1) 従来規格品 (μ PD78F05xx, 78F05xxD) (1/2)

① 高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	933.6	668.6	927.9	662.9
ブロック・イレース・ライブラリ	1026.6	763.6	1020.9	757.9
ワード・ライト・ライブラリ	2505.8	1942.8	2497.8	1934.8
ブロック・ベリファイ・ライブラリ	958.6	693.6	952.9	687.9
セット・インフォメーション・ラ イブラリ	476.5	211.5	475.5	210.5
EEPROMライト・ライブラリ	2760.8	2168.8	2759.5	2167.5

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

② 高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$179/f_{CPU}+507$	$179/f_{CPU}+407$	$179/f_{CPU}+1650$	$179/f_{CPU}+714$
ブロック・イレース・ライブラリ	$179/f_{CPU}+559$	$179/f_{CPU}+460$	$179/f_{CPU}+1702$	$179/f_{CPU}+767$
ワード・ライト・ライブラリ	$333/f_{CPU}+1589$	$333/f_{CPU}+1298$	$333/f_{CPU}+2732$	$333/f_{CPU}+1605$
ブロック・ベリファイ・ライブラリ	$179/f_{CPU}+518$	$179/f_{CPU}+418$	$179/f_{CPU}+1661$	$179/f_{CPU}+725$
セット・インフォメーション・ラ イブラリ	$80/f_{CPU}+370$	$80/f_{CPU}+165$	$80/f_{CPU}+1513$	$80/f_{CPU}+472$
EEPROMライト・ライブラリ [※]	$29/f_{CPU}+1759$	$29/f_{CPU}+1468$	$29/f_{CPU}+1759$	$29/f_{CPU}+1468$
	$333/f_{CPU}+834$	$333/f_{CPU}+512$	$333/f_{CPU}+2061$	$333/f_{CPU}+873$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP: 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

(1) 従来規格品 (μ PD78F05xx, 78F05xxD) (2/2)

③ 高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	136/f _{CPU} +507	136/f _{CPU} +407	136/f _{CPU} +1650	136/f _{CPU} +714
ブロック・イレース・ライブラリ	136/f _{CPU} +559	136/f _{CPU} +460	136/f _{CPU} +1702	136/f _{CPU} +767
ワード・ライト・ライブラリ	272/f _{CPU} +1589	272/f _{CPU} +1298	272/f _{CPU} +2732	272/f _{CPU} +1605
ブロック・ペリファイ・ライブラリ	136/f _{CPU} +518	136/f _{CPU} +418	136/f _{CPU} +1661	136/f _{CPU} +725
セット・インフォメーション・ラ イブラリ	72/f _{CPU} +370	72/f _{CPU} +165	72/f _{CPU} +1513	72/f _{CPU} +472
EEPROMライト・ライブラリ注	19/f _{CPU} +1759	19/f _{CPU} +1468	19/f _{CPU} +1759	19/f _{CPU} +1468
	268/f _{CPU} +834	268/f _{CPU} +512	268/f _{CPU} +2061	268/f _{CPU} +873

注 EEPROMライト・ライブラリの割り込み応答時間は、f_{CPU}の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0
3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA) (1/2)

① 高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	1100.9	431.9	1095.3	426.3
ブロック・イレース・ライブラリ	1452.9	783.9	1447.3	778.3
ワード・ライト・ライブラリ	1247.2	579.2	1239.2	571.2
ブロック・ベリファイ・ライブラリ	1125.9	455.9	1120.3	450.3
セット・インフォメーション・ラ イブラリ	906.9	312.0	905.8	311.0
EEPROMライト・ライブラリ	1215.2	547.2	1213.9	545.9

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

② 高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	179/f _{CPU} +567	179/f _{CPU} +246	179/f _{CPU} +1708	179/f _{CPU} +569
ブロック・イレース・ライブラリ	179/f _{CPU} +780	179/f _{CPU} +459	179/f _{CPU} +1921	179/f _{CPU} +782
ワード・ライト・ライブラリ	333/f _{CPU} +763	333/f _{CPU} +443	333/f _{CPU} +1871	333/f _{CPU} +767
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +580	179/f _{CPU} +259	179/f _{CPU} +1721	179/f _{CPU} +582
セット・インフォメーション・ラ イブラリ	80/f _{CPU} +456	80/f _{CPU} +200	80/f _{CPU} +1598	80/f _{CPU} +459
EEPROMライト・ライブラリ [※]	29/f _{CPU} +767	29/f _{CPU} +447	29/f _{CPU} +767	29/f _{CPU} +447
	333/f _{CPU} +696	333/f _{CPU} +376	333/f _{CPU} +1838	333/f _{CPU} +700

注 EEPROMライト・ライブラリの割り込み応答時間は、f_{CPU}の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU}: CPU動作クロック周波数

2. RSTOP: 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

(2) 拡張規格品 (μ PD78F05xxA, 78F05xxDA) (2/2)

③ 高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	136/f _{CPU} +567	136/f _{CPU} +246	136/f _{CPU} +1708	136/f _{CPU} +569
ブロック・イレース・ライブラリ	136/f _{CPU} +780	136/f _{CPU} +459	136/f _{CPU} +1921	136/f _{CPU} +782
ワード・ライト・ライブラリ	272/f _{CPU} +763	272/f _{CPU} +443	272/f _{CPU} +1871	272/f _{CPU} +767
ブロック・ペリファイ・ライブラリ	136/f _{CPU} +580	136/f _{CPU} +259	136/f _{CPU} +1721	136/f _{CPU} +582
セット・インフォメーション・ラ イブラリ	72/f _{CPU} +456	72/f _{CPU} +200	72/f _{CPU} +1598	72/f _{CPU} +459
EEPROMライト・ライブラリ [※]	19/f _{CPU} +767	19/f _{CPU} +447	19/f _{CPU} +767	19/f _{CPU} +447
	268/f _{CPU} +696	268/f _{CPU} +376	268/f _{CPU} +1838	268/f _{CPU} +700

注 EEPROMライト・ライブラリの割り込み応答時間は、f_{CPU}の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

1.2 特 徴

○高速 (0.1 μ s : 高速システム・クロック20 MHz動作時) から超低速 (122 μ s : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間を変更可能

○汎用レジスタ：8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

○ROM (フラッシュ・メモリ) , RAM容量

ROM ^注	高速	拡張	78K0/KB2	78K0/KC2		78K0/KD2	78K0/KE2	78K0/KF2
	RAM ^注	RAM ^注	30/36ピン	38/44ピン	48ピン	52ピン	64ピン	80ピン
128 KB	1 KB	6 KB	—	—	—	μ PD78F0527D, 78F0527DA	μ PD78F0537D, 78F0537DA	μ PD78F0547D, 78F0547DA
						μ PD78F0527, 78F0527A	μ PD78F0537, 78F0537A	μ PD78F0547, 78F0547A
96 KB	1 KB	4 KB	—	—	—	μ PD78F0526, 78F0526A	μ PD78F0536, 78F0536A	μ PD78F0546, 78F0546A
60 KB	1 KB	2 KB	—	—	μ PD78F0515D, 78F0515DA	μ PD78F0525, 78F0525A	μ PD78F0535, 78F0535A	μ PD78F0545, 78F0545A
					μ PD78F0515, 78F0515A			
48 KB	1 KB	1 KB	—	—	μ PD78F0514, 78F0514A	μ PD78F0524, 78F0524A	μ PD78F0534, 78F0534A	μ PD78F0544, 78F0544A
32 KB	1 KB	—	μ PD78F0503D, 78F0503DA	μ PD78F0513D, 78F0513DA	μ PD78F0513, 78F0513A	μ PD78F0523, 78F0523A	μ PD78F0533, 78F0533A	—
			μ PD78F0503, 78F0503A	μ PD78F0513, 78F0513A				
24 KB	1 KB	—	μ PD78F0502, 78F0502A	μ PD78F0512, 78F0512A	μ PD78F0512, 78F0512A	μ PD78F0522, 78F0522A	μ PD78F0532, 78F0532A	—
16 KB	768 B	—	μ PD78F0501, 78F0501A	μ PD78F0511, 78F0511A	μ PD78F0511, 78F0511A	μ PD78F0521, 78F0521A	μ PD78F0531, 78F0531A	—
8 KB	512 B	—	μ PD78F0500, 78F0500A	—	—	—	—	—

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能です。IMSとIXSについては、27. 1 メモリ・サイズ切り替えレジスタ、27. 2 内部拡張RAMサイズ切り替えレジスタを参照してください。

○バッファRAM：32バイト (自動送受信機能付きCSIの転送用として使用可能, 78K0/KF2のみ)

○単電源のフラッシュ・メモリ内蔵

○セルフ・プログラミング内蔵 (ブート・スワップ機能あり)

○オンチップ・デバッグ機能内蔵 (μ PD78F05xxD, 78F05xxDAのみ) ^注

注 μ PD78F05xxD, 78F05xxDAには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

- パワーオン・クリア（POC）回路，低電圧検出（LVI）回路内蔵
- ウォッチドッグ・タイマ（低速内蔵発振クロックで動作可能）内蔵
- 10ビット分解能A/Dコンバータ（ $AV_{REF} = 2.3 \sim 5.5 \text{ V}$ ）内蔵
- 乗除算器（16ビット×16ビット，32ビット÷16ビット），キー割り込み機能，クロック出力／ブザー出力制御回路，I/Oポート，タイマ，シリアル・インタフェースを内蔵
- 電源電圧
 - ・標準品，（A）水準品： $V_{DD} = 1.8 \sim 5.5 \text{ V}$
 - ・（A2）水準品： $V_{DD} = 2.7 \sim 5.5 \text{ V}$
- 動作周囲温度
 - ・標準品，（A）水準品： $T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$
 - ・（A2）水準品： $T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$

備考 製品により，搭載している機能が異なります。1.7 ブロック図，1.8 機能概要を参照してください。

1.3 応用分野

- 自動車電装（（A），（A2）水準品対応）
 - ・Body電装系のシステム制御（パワー・ウインドウ，キーレス・エントリ受信など）
 - ・制御系のサブマイコン
- カー・オーディオ
- AV機器，ホーム・オーディオ
- PC周辺機器（キーボードなど）
- 家電製品
 - ・エアコン
 - ・電子レンジ，炊飯器
- 産業機器
 - ・ポンプ
 - ・自動販売機
 - ・FA（Factory Automation）

1.4 オータ情報

【オーダ名称】

μPD78F05xy××××(×)-×××-××

半導体部材		
A	鉛 フリー	すべての部位に鉛を含有していない製品
AX, G		外部端子および内部その他に鉛を含有し ていない製品 (Ni/Pd/Auめっき)

品質水準	
なし	標準 (一般電気機器用: $T_A = -40 \sim +85^{\circ}\text{C}$)
(A), A,	特別 (高信頼度電子機器用: $T_A = -40 \sim +85^{\circ}\text{C}$)
(A2), A2	特別 (高信頼度電子機器用: $T_A = -40 \sim +125^{\circ}\text{C}$)

パッケージ・タイプ		
50y (KB2)	MC-5A4	30ピン・プラスチックSSOP (7.62 mm (300))
	MC-CAB	
	FC-AA3	36ピン・プラスチックFLGA (4x4)
51y (KC2)	MC-GAA	38ピン・プラスチックSSOP (7.62 mm (300))
	GB-UES	44ピン・プラスチックLQFP (10x10)
	GB-GAF	
	GA-8EU GA-GAM	48ピン・プラスチックLQFP (ファインピッチ) (7x7)
52y (KD2)	GB-UET	52ピン・プラスチックLQFP (10x10)
	GB-GAG	
53y (KE2)	GB-UEU	64ピン・プラスチックLQFP (ファインピッチ) (10x10)
	GB-GAH	
	GC-UBS	64ピン・プラスチックLQFP (14x14)
	GC-GAL	
	GK-UET	64ピン・プラスチックLQFP (12x12)
	GK-GAJ	
	GA-9EV GA-HAB	64ピン・プラスチックTQFP (ファインピッチ) (7x7)
	FC-AA1	64ピン・プラスチックFLGA (5x5)
	F1-AA2	64ピン・プラスチックFBGA (4x4)
54y (KF2)	GC-UBT	80ピン・プラスチックLQFP (14x14)
	GC-GAD	
	GK-8EU	80ピン・プラスチックLQFP (ファインピッチ) (12x12)
	GK-GAK	

製品タイプ	
なし	従来規格品
A	拡張規格品

オンチップ・デバッグ機能	
なし	非搭載
D	搭載

製品タイプ	
F	フラッシュ・メモリ製品

	高速RAM容量	拡張RAM容量	フラッシュ・ メモリ容量
5x0	512バイト	-	8 Kバイト
5x1	768バイト	-	16 Kバイト
5x2	1 Kバイト	-	24 Kバイト
5x3	1 Kバイト	-	32 Kバイト
5x4	1 Kバイト	1 Kバイト	48 Kバイト
5x5	1 Kバイト	2 Kバイト	60 Kバイト
5x6	1 Kバイト	4 Kバイト	96 Kバイト
5x7	1 Kバイト	6 Kバイト	128 Kバイト

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J) をご覧ください。

【オーダ名称一覧】

(1/6)

78K0/Kx2マ イクロコン トローラ	パッケージ	製品 タイプ	品質 水準	オーダ名称
78K0/KB2	30ピン・プラスチ ックSSOP (7.62 mm (300))	従来 規格品	標準品	μ PD78F0500MC-5A4-A, 78F0501MC-5A4-A, 78F0502MC-5A4-A, 78F0503MC-5A4-A, 78F0503DMC-5A4-A [※]
			(A) 水準品	μ PD78F0500MC(A)-CAB-AX, 78F0501MC(A)-CAB-AX, 78F0502MC(A)-CAB-AX, 78F0503MC(A)-CAB-AX
			(A2) 水準品	μ PD78F0500MC(A2)-CAB-AX, 78F0501MC(A2)-CAB-AX, 78F0502MC(A2)-CAB-AX, 78F0503MC(A2)-CAB-AX
		拡張 規格品	標準品	μ PD78F0500AMC-CAB-AX, 78F0501AMC-CAB-AX, 78F0502AMC-CAB-AX, 78F0503AMC-CAB-AX, 78F0503DAMC-CAB-AX [※]
			(A) 水準品	μ PD78F0500AMCA-CAB-G, 78F0501AMCA-CAB-G, 78F0502AMCA-CAB-G, 78F0503AMCA-CAB-G
			(A2) 水準品	μ PD78F0500AMCA2-CAB-G, 78F0501AMCA2-CAB-G, 78F0502AMCA2-CAB-G, 78F0503AMCA2-CAB-G
	36ピン・プラスチ ックFLGA (4x4)	従来 規格品	標準品	μ PD78F0500FC-AA3-A, 78F0501FC-AA3-A, 78F0502FC-AA3-A, 78F0503FC-AA3-A, 78F0503DFC-AA3-A [※]
		拡張 規格品	標準品	μ PD78F0500AFC-AA3-A, 78F0501AFC-AA3-A, 78F0502AFC-AA3-A, 78F0503AFC-AA3-A, 78F0503DAFC-AA3-A [※]
78K0/KC2	38ピン・プラスチ ックSSOP (7.62 mm (300))	拡張 規格品	標準品	μ PD78F0511AMC-GAA-AX, 78F0512AMC-GAA-AX, 78F0513AMC-GAA-AX, 78F0513DAMC-GAA-AX [※]
			(A) 水準品	μ PD78F0511AMCA-GAA-G, 78F0512AMCA-GAA-G, 78F0513AMCA-GAA-G
			(A2) 水準品	μ PD78F0511AMCA2-GAA-G, 78F0512AMCA2-GAA-G, 78F0513AMCA2-GAA-G
	44ピン・プラスチ ックLQFP (10x10)	従来 規格品	標準品	μ PD78F0511GB-UES-A, 78F0512GB-UES-A, 78F0513GB-UES-A, 78F0513DGB-UES-A [※]
			(A) 水準品	μ PD78F0511GB(A)-GAF-AX, 78F0512GB(A)-GAF-AX, 78F0513GB(A)-GAF-AX
			(A2) 水準品	μ PD78F0511GB(A2)-GAF-AX, 78F0512GB(A2)-GAF-AX, 78F0513GB(A2)-GAF-AX
		拡張 規格品	標準品	μ PD78F0511AGB-GAF-AX, 78F0512AGB-GAF-AX, 78F0513AGB-GAF-AX, 78F0513DAGB-GAF-AX [※]
			(A) 水準品	μ PD78F0511AGBA-GAF-G, 78F0512AGBA-GAF-G, 78F0513AGBA-GAF-G
			(A2) 水準品	μ PD78F0511AGBA2-GAF-G, 78F0512AGBA2-GAF-G, 78F0513AGBA2-GAF-G

注 μ PD78F0503D, 78F0503DA, 78F0513D, 78F0513DAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

(2/6)

78K0/Kx2マ イクロコン トローラ	パッケージ	製品 タイプ	品質 水準	オーダ名称
78K0/KC2	48ピン・プラスチ ックLQFP(ファイ ンピッチ) (7x7)	従来 規格品	標準品	μ PD78F0511GA-8EU-A, 78F0512GA-8EU-A, 78F0513GA-8EU-A, 78F0514GA-8EU-A, 78F0515GA-8EU-A, 78F0515DGA-8EU-A [※]
			(A) 水準品	μ PD78F0511GA(A)-GAM-AX, 78F0512GA(A)-GAM-AX, 78F0513GA(A)-GAM-AX, 78F0514GA(A)-GAM-AX, 78F0515GA(A)-GAM-AX
			(A2) 水準品	μ PD78F0511GA(A2)-GAM-AX, 78F0512GA(A2)-GAM-AX, 78F0513GA(A2)-GAM-AX, 78F0514GA(A2)-GAM-AX, 78F0515GA(A2)-GAM-AX
		拡張 規格品	標準品	μ PD78F0511AGA-GAM-AX, 78F0512AGA-GAM-AX, 78F0513AGA-GAM-AX, 78F0514AGA-GAM-AX, 78F0515AGA-GAM-AX, 78F0515DAGA-GAM-AX [※]
			(A) 水準品	μ PD78F0511AGAA-GAM-G, 78F0512AGAA-GAM-G, 78F0513AGAA-GAM-G, 78F0514AGAA-GAM-G, 78F0515AGAA-GAM-G
			(A2) 水準品	μ PD78F0511AGAA2-GAM-G, 78F0512AGAA2-GAM-G, 78F0513AGAA2-GAM-G, 78F0514AGAA2-GAM-G, 78F0515AGAA2-GAM-G
78K0/KD2	52ピン・プラスチ ックLQFP (10x10)	従来 規格品	標準品	μ PD78F0521GB-UET-A, 78F0522GB-UET-A, 78F0523GB-UET-A, 78F0524GB-UET-A, 78F0525GB-UET-A, 78F0526GB-UET-A, 78F0527GB-UET-A, 78F0527DGB-UET-A [※]
			(A) 水準品	μ PD78F0521GB(A)-GAG-AX, 78F0522GB(A)-GAG-AX, 78F0523GB(A)-GAG-AX, 78F0524GB(A)-GAG-AX, 78F0525GB(A)-GAG-AX, 78F0526GB(A)-GAG-AX, 78F0527GB(A)-GAG-AX
			(A2) 水準品	μ PD78F0521GB(A2)-GAG-AX, 78F0522GB(A2)-GAG-AX, 78F0523GB(A2)-GAG-AX, 78F0524GB(A2)-GAG-AX, 78F0525GB(A2)-GAG-AX, 78F0526GB(A2)-GAG-AX, 78F0527GB(A2)-GAG-AX
		拡張 規格品	標準品	μ PD78F0521AGB-GAG-AX, 78F0522AGB-GAG-AX, 78F0523AGB-GAG-AX, 78F0524AGB-GAG-AX, 78F0525AGB-GAG-AX, 78F0526AGB-GAG-AX, 78F0527AGB-GAG-AX, 78F0527DAGB-GAG-AX [※]
			(A) 水準品	μ PD78F0521AGBA-GAG-G, 78F0522AGBA-GAG-G, 78F0523AGBA-GAG-G, 78F0524AGBA-GAG-G, 78F0525AGBA-GAG-G, 78F0526AGBA-GAG-G, 78F0527AGBA-GAG-G
			(A2) 水準品	μ PD78F0521AGBA2-GAG-G, 78F0522AGBA2-GAG-G, 78F0523AGBA2-GAG-G, 78F0524AGBA2-GAG-G, 78F0525AGBA2-GAG-G, 78F0526AGBA2-GAG-G, 78F0527AGBA2-GAG-G

注 μ PD78F0515D, 78F0515DA, 78F0527D, 78F0527DAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

(3/6)

78K0/Kx2マ イクロコン トローラ	パッケージ	製品 タイプ	品質 水準	オーダ名称
78K0/KE2	64ピン・プラスチ ックLQFP(ファイ ンピッチ) (10x10)	従来 規格品	標準品	μ PD78F0531GB-UEU-A, 78F0532GB-UEU-A, 78F0533GB-UEU-A, 78F0534GB-UEU-A, 78F0535GB-UEU-A, 78F0536GB-UEU-A, 78F0537GB-UEU-A, 78F0537DGB-UEU-A ^注
			(A) 水準品	μ PD78F0531GB(A)-GAH-AX, 78F0532GB(A)-GAH-AX, 78F0533GB(A)-GAH-AX, 78F0534GB(A)-GAH-AX, 78F0535GB(A)-GAH-AX, 78F0536GB(A)-GAH-AX, 78F0537GB(A)-GAH-AX
			(A2) 水準品	μ PD78F0531GB(A2)-GAH-AX, 78F0532GB(A2)-GAH-AX, 78F0533GB(A2)-GAH-AX, 78F0534GB(A2)-GAH-AX, 78F0535GB(A2)-GAH-AX, 78F0536GB(A2)-GAH-AX, 78F0537GB(A2)-GAH-AX
		拡張 規格品	標準品	μ PD78F0531AGB-GAH-AX, 78F0532AGB-GAH-AX, 78F0533AGB-GAH-AX, 78F0534AGB-GAH-AX, 78F0535AGB-GAH-AX, 78F0536AGB-GAH-AX, 78F0537AGB-GAH-AX, 78F0537DAGB-GAH-AX ^注
			(A) 水準品	μ PD78F0531AGBA-GAH-G, 78F0532AGBA-GAH-G, 78F0533AGBA-GAH-G, 78F0534AGBA-GAH-G, 78F0535AGBA-GAH-G, 78F0536AGBA-GAH-G, 78F0537AGBA-GAH-G
			(A2) 水準品	μ PD78F0531AGBA2-GAH-G, 78F0532AGBA2-GAH-G, 78F0533AGBA2-GAH-G, 78F0534AGBA2-GAH-G, 78F0535AGBA2-GAH-G, 78F0536AGBA2-GAH-G, 78F0537AGBA2-GAH-G

注 μ PD78F0537D, 78F0537DAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

(4/6)

78K0/Kx2マ イクロコン トローラ	パッケージ	製品 タイプ	品質 水準	オーダ名称
78K0/KE2	64ピン・プラスチ ックLQFP (14x14)	従来 規格品	標準品	μ PD78F0531GC-UBS-A, 78F0532GC-UBS-A, 78F0533GC-UBS-A, 78F0534GC-UBS-A, 78F0535GC-UBS-A, 78F0536GC-UBS-A, 78F0537GC-UBS-A, 78F0537DGC-UBS-A ^注
			(A) 水準品	μ PD78F0531GC(A)-GAL-AX, 78F0532GC(A)-GAL-AX, 78F0533GC(A)-GAL-AX, 78F0534GC(A)-GAL-AX, 78F0535GC(A)-GAL-AX, 78F0536GC(A)-GAL-AX, 78F0537GC(A)-GAL-AX
			(A2) 水準品	μ PD78F0531GC(A2)-GAL-AX, 78F0532GC(A2)-GAL-AX, 78F0533GC(A2)-GAL-AX, 78F0534GC(A2)-GAL-AX, 78F0535GC(A2)-GAL-AX, 78F0536GC(A2)-GAL-AX, 78F0537GC(A2)-GAL-AX
		拡張 規格品	標準品	μ PD78F0531AGC-GAL-AX, 78F0532AGC-GAL-AX, 78F0533AGC-GAL-AX, 78F0534AGC-GAL-AX, 78F0535AGC-GAL-AX, 78F0536AGC-GAL-AX, 78F0537AGC-GAL-AX, 78F0537DAGC-GAL-AX ^注
			(A) 水準品	μ PD78F0531AGCA-GAL-G, 78F0532AGCA-GAL-G, 78F0533AGCA-GAL-G, 78F0534AGCA-GAL-G, 78F0535AGCA-GAL-G, 78F0536AGCA-GAL-G, 78F0537AGCA-GAL-G
			(A2) 水準品	μ PD78F0531AGCA2-GAL-G, 78F0532AGCA2-GAL-G, 78F0533AGCA2-GAL-G, 78F0534AGCA2-GAL-G, 78F0535AGCA2-GAL-G, 78F0536AGCA2-GAL-G, 78F0537AGCA2-GAL-G

注 μ PD78F0537D, 78F0537DAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

(5/6)

78K0/Kx2マ イクロコン トローラ	パッケージ	製品 タイプ	品質 水準	オーダ名称
78K0/KE2	64ピン・プラスチ ックLQFP (12x12)	従来 規格品	標準品	μ PD78F0531GK-UET-A, 78F0532GK-UET-A, 78F0533GK-UET-A, 78F0534GK-UET-A, 78F0535GK-UET-A, 78F0536GK-UET-A, 78F0537GK-UET-A, 78F0537DGK-UET-A [※]
			(A) 水準品	μ PD78F0531GK(A)-GAJ-AX, 78F0532GK(A)-GAJ-AX, 78F0533GK(A)-GAJ-AX, 78F0534GK(A)-GAJ-AX, 78F0535GK(A)-GAJ-AX, 78F0536GK(A)-GAJ-AX, 78F0537GK(A)-GAJ-AX
			(A2) 水準品	μ PD78F0531GK(A2)-GAJ-AX, 78F0532GK(A2)-GAJ-AX, 78F0533GK(A2)-GAJ-AX, 78F0534GK(A2)-GAJ-AX, 78F0535GK(A2)-GAJ-AX, 78F0536GK(A2)-GAJ-AX, 78F0537GK(A2)-GAJ-AX
		拡張 規格品	標準品	μ PD78F0531AGK-GAJ-AX, 78F0532AGK-GAJ-AX, 78F0533AGK-GAJ-AX, 78F0534AGK-GAJ-AX, 78F0535AGK-GAJ-AX, 78F0536AGK-GAJ-AX, 78F0537AGK-GAJ-AX, 78F0537DAGK-GAJ-AX [※]
			(A) 水準品	μ PD78F0531AGKA-GAJ-G, 78F0532AGKA-GAJ-G, 78F0533AGKA-GAJ-G, 78F0534AGKA-GAJ-G, 78F0535AGKA-GAJ-G, 78F0536AGKA-GAJ-G, 78F0537AGKA-GAJ-G
			(A2) 水準品	μ PD78F0531AGKA2-GAJ-G, 78F0532AGKA2-GAJ-G, 78F0533AGKA2-GAJ-G, 78F0534AGKA2-GAJ-G, 78F0535AGKA2-GAJ-G, 78F0536AGKA2-GAJ-G, 78F0537AGKA2-GAJ-G
	64ピン・プラスチ ックTQFP(ファイ ンピッチ) (7x7)	従来 規格品	標準品	μ PD78F0531GA-9EV-A, 78F0532GA-9EV-A, 78F0533GA-9EV-A, 78F0534GA-9EV-A, 78F0535GA-9EV-A, 78F0536GA-9EV-A, 78F0537GA-9EV-A, 78F0537DGA-9EV-A [※]
		拡張 規格品	標準品	μ PD78F0531AGA-HAB-AX, 78F0532AGA-HAB-AX, 78F0533AGA-HAB-AX, 78F0534AGA-HAB-AX, 78F0535AGA-HAB-AX, 78F0536AGA-HAB-AX, 78F0537AGA-HAB-AX, 78F0537DAGA-HAB-AX [※]

注 μ PD78F0537D, 78F0537DAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

(6/6)

★

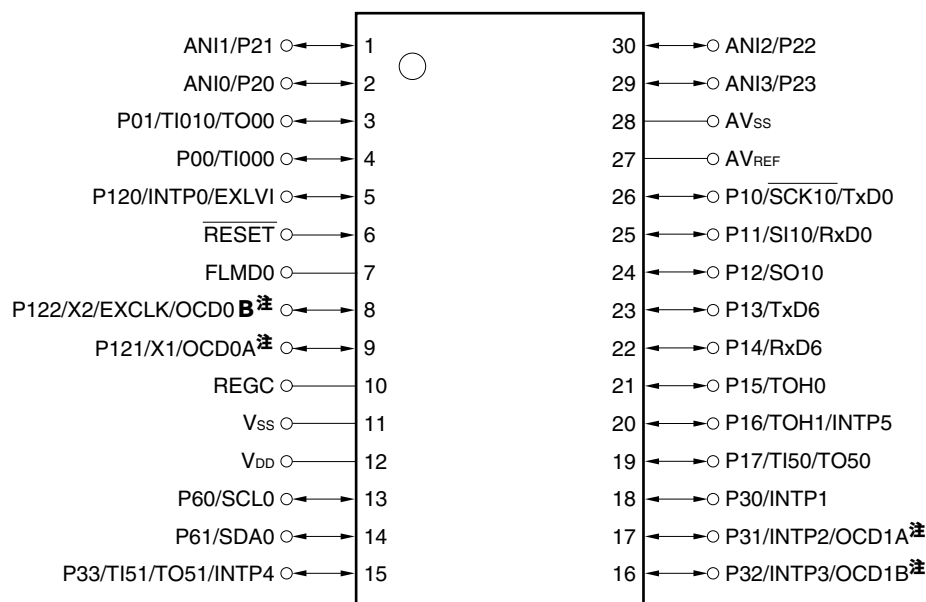
78K0/Kx2マ イクロコン トローラ	パッケージ	製品 タイプ	品質 水準	オーダ名称
78K0/KE2	64ピン・プラスチ ックFLGA (5x5)	従来 規格品	標準品	μ PD78F0531FC-AA1-A, 78F0532FC-AA1-A, 78F0533FC-AA1-A, 78F0534FC-AA1-A, 78F0535FC-AA1-A, 78F0536FC-AA1-A, 78F0537FC-AA1-A, 78F0537DFC-AA1-A [※]
		拡張 規格品	標準品	μ PD78F0531AFC-AA1-A, 78F0532AFC-AA1-A, 78F0533AFC-AA1-A, 78F0534AFC-AA1-A, 78F0535AFC-AA1-A, 78F0536AFC-AA1-A, 78F0537AFC-AA1-A, 78F0537DAFC-AA1-A [※]
	64ピン・プラスチ ックFBGA (4x4)	拡張 規格品	標準品	μ PD78F0531AF1-AA2-A, 78F0532AF1-AA2-A, 78F0533AF1-AA2-A, 78F0534AF1-AA2-A, 78F0535AF1-AA2-A, 78F0536AF1-AA2-A, 78F0537AF1-AA2-A, 78F0537DAF1-AA2-A [※]
78K0/KF2	80ピン・プラスチ ックLQFP (14x14)	従来 規格品	標準品	μ PD78F0544GC-UBT-A, 78F0545GC-UBT-A, 78F0546GC-UBT-A, 78F0547GC-UBT-A, 78F0547DGC-UBT-A [※]
			(A) 水準品	μ PD78F0544GC(A)-GAD-AX, 78F0545GC(A)-GAD-AX, 78F0546GC(A)-GAD-AX, 78F0547GC(A)-GAD-AX
			(A2) 水準品	μ PD78F0544GC(A2)-GAD-AX, 78F0545GC(A2)-GAD-AX, 78F0546GC(A2)-GAD-AX, 78F0547GC(A2)-GAD-AX
		拡張 規格品	標準品	μ PD78F0544AGC-GAD-AX, 78F0545AGC-GAD-AX, 78F0546AGC-GAD-AX, 78F0547AGC-GAD-AX, 78F0547DAGC-GAD-AX [※]
			(A) 水準品	μ PD78F0544AGCA-GAD-G, 78F0545AGCA-GAD-G, 78F0546AGCA-GAD-G, 78F0547AGCA-GAD-G
			(A2) 水準品	μ PD78F0544AGCA2-GAD-G, 78F0545AGCA2-GAD-G, 78F0546AGCA2-GAD-G, 78F0547AGCA2-GAD-G
	80ピン・プラスチ ックLQFP (ファ イ ン ピ ッ チ) (12x12)	従来 規格品	標準品	μ PD78F0544GK-8EU-A, 78F0545GK-8EU-A, 78F0546GK-8EU-A, 78F0547GK-8EU-A, 78F0547DGK-8EU-A [※]
			(A) 水準品	μ PD78F0544GK(A)-GAK-AX, 78F0545GK(A)-GAK-AX, 78F0546GK(A)-GAK-AX, 78F0547GK(A)-GAK-AX
			(A2) 水準品	μ PD78F0544GK(A2)-GAK-AX, 78F0545GK(A2)-GAK-AX, 78F0546GK(A2)-GAK-AX, 78F0547GK(A2)-GAK-AX
		拡張 規格品	標準品	μ PD78F0544AGK-GAK-AX, 78F0545AGK-GAK-AX, 78F0546AGK-GAK-AX, 78F0547AGK-GAK-AX, 78F0547DAGK-GAK-AX [※]
			(A) 水準品	μ PD78F0544AGKA-GAK-G, 78F0545AGKA-GAK-G, 78F0546AGKA-GAK-G, 78F0547AGKA-GAK-G
			(A2) 水準品	μ PD78F0544AGKA2-GAK-G, 78F0545AGKA2-GAK-G, 78F0546AGKA2-GAK-G, 78F0547AGKA2-GAK-G

注 μ PD78F0537D, 78F0537DA, 78F0547D, 78F0547DAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.5 端子接続図 (Top View)

1.5.1 78K0/KB2

・30ピン・プラスチックSSOP (7.62 mm (300))



注 オンチップ・デバッグ機能搭載品のみ。

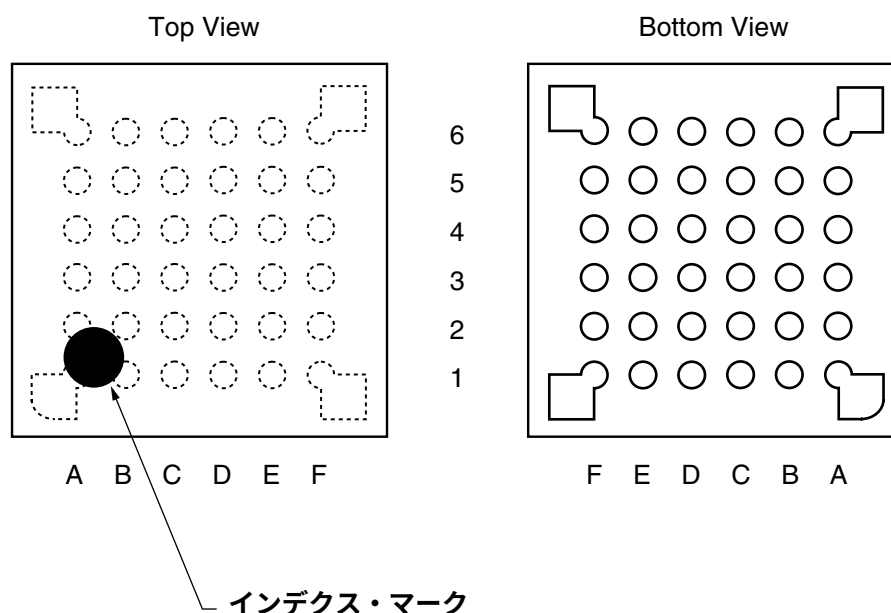
注意1. AVssはVssと同電位にしてください。

2. REGCはコンデンサ (0.47~1 μ F) を介し、Vssに接続してください。

3. ANI0/P20-ANI3/P23は、リセット解除後にアナログ入力モードになります。

備考 端子名称は、1.6 端子名称を参照してください。

・36ピン・プラスチックFLGA (4x4)



ピン番号	名 称	ピン番号	名 称	ピン番号	名 称
A1	NC ^{注1}	C1	P17/TI50/TO50	E1	AV _{REF}
A2	P32/INTP3/OCD1B ^{注2}	C2	P14/RxD6	E2	AV _{SS}
A3	P30/INTP1	C3	P13/TxD6	E3	ANI2/P22
A4	P61/SDA0	C4	P00/TI000	E4	ANI1/P21
A5	P33/TI51/TO51/INTP4	C5	V _{DD}	E5	FLMD0
A6	NC ^{注1}	C6	P121/X1/OCD0A ^{注2}	E6	RESET
B1	P31/INTP2/OCD1A ^{注2}	D1	P11/SI10/RxD0	F1	NC ^{注1}
B2	P16/TOH1/INTP5	D2	P12/SO10	F2	ANI3/P23
B3	P15/TOH0	D3	P10/SCK10/TxD0	F3	ANI0/P20
B4	P60/SCL0	D4	REGC	F4	P01/TI010/TO00
B5	EV _{DD}	D5	V _{SS}	F5	P120/INTP0/EXLVI
B6	EV _{SS}	D6	P122/X2/EXCLK/OCD0B ^{注2}	F6	NC ^{注1}

注1. NCは、V_{SS}に接続することを推奨します。

2. オンチップ・デバッグ機能搭載品のみ。

注意1. AV_{SS}とEV_{SS}は、V_{SS}と同電位にしてください。

2. EV_{DD}は、V_{DD}と同電位にしてください。

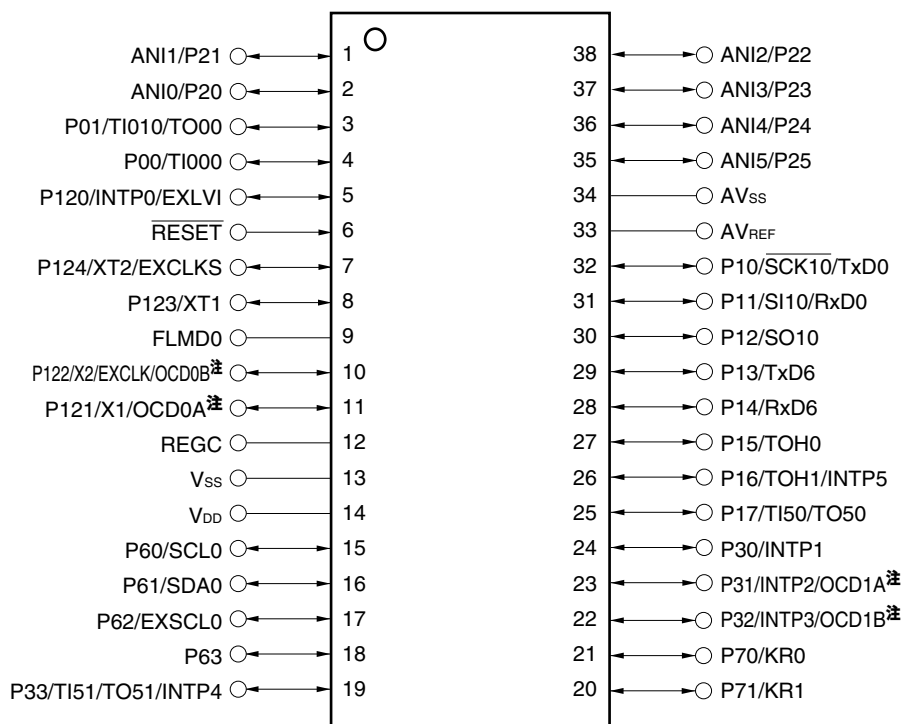
3. REGCはコンデンサ (0.47~1 μF) を介し、V_{SS}に接続してください。

4. ANI0/P20-ANI3/P23は、リセット解除後にアナログ入力モードになります。

備考 端子名称は、1. 6 端子名称を参照してください。

1.5.2 78K0/KC2

・38ピン・プラスチックSSOP（7.62 mm (300) ）



注 オンチップ・デバッグ機能搭載品のみ。

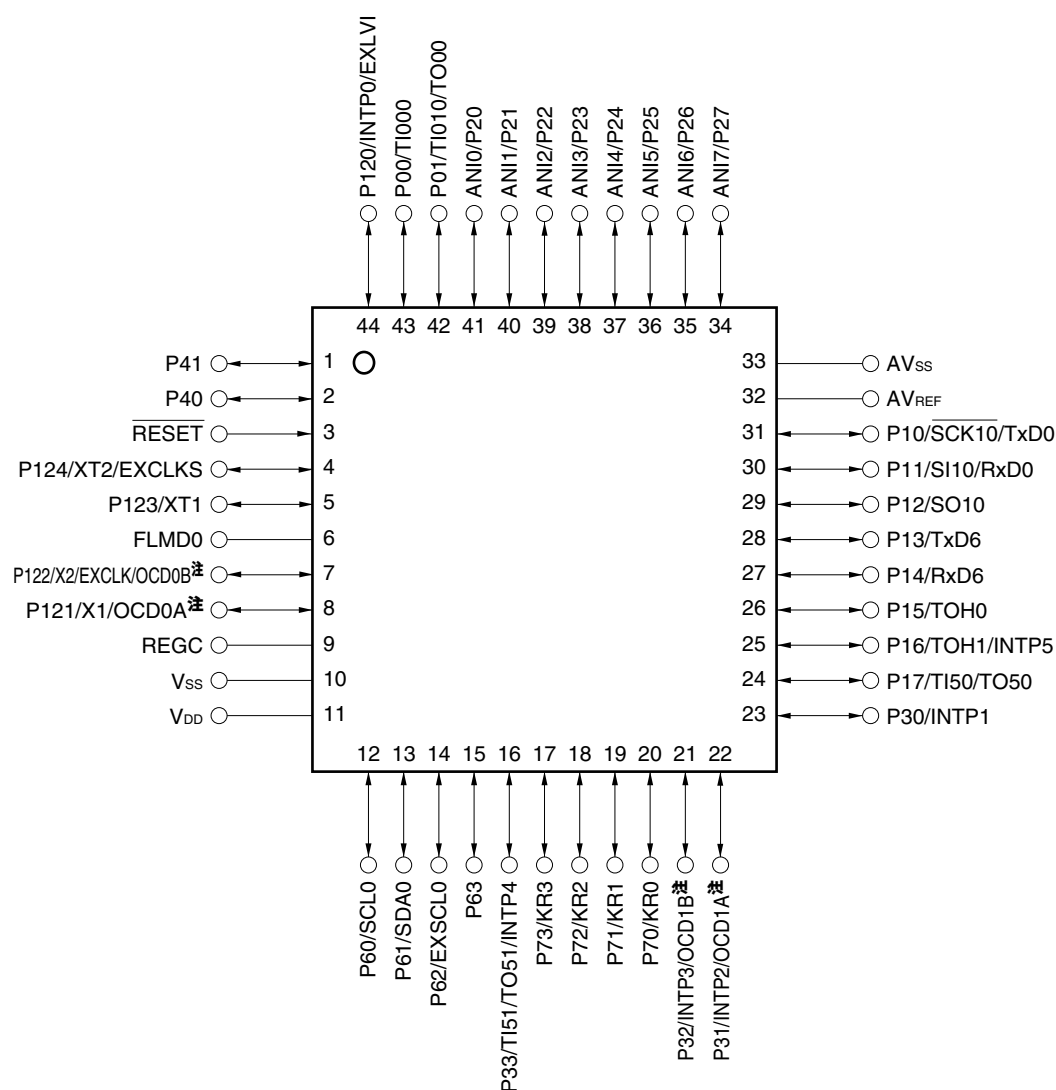
注意1. AVssはVssと同電位にしてください。

2. REGCはコンデンサ（0.47～1 μ F）を介し、Vssに接続してください。

3. ANI0/P20-ANI5/P25は、リセット解除後にアナログ入力モードになります。

備考 端子名称は、1.6 端子名称を参照してください。

・44ピン・プラスチックLQFP (10x10)



注 オンチップ・デバッグ機能搭載品のみ。

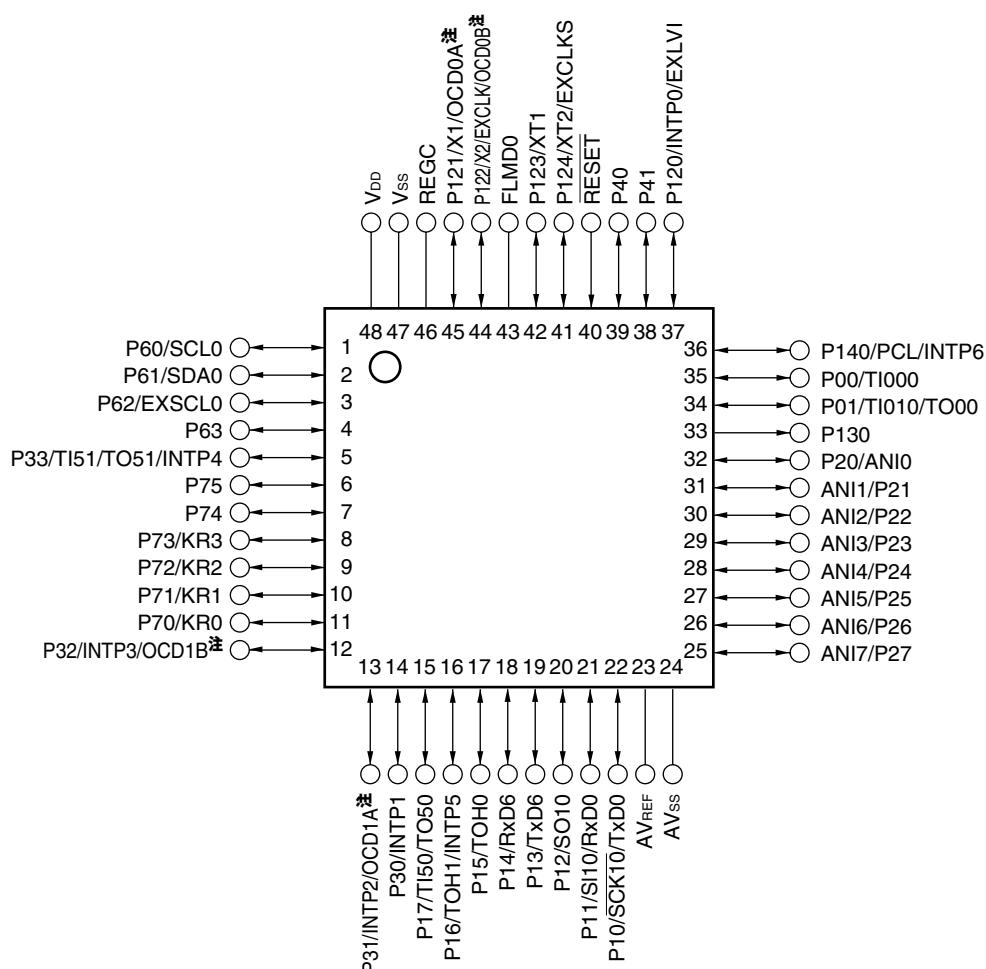
注意1. AV_{SS}はV_{SS}と同電位にしてください。

2. REGCはコンデンサ (0.47~1 μ F) を介し、V_{SS}に接続してください。

3. ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。

備考 端子名称は、1.6 端子名称を参照してください。

・48ピン・プラスチックLQFP（ファインピッチ）（7×7）



注 オンチップ・デバッグ機能搭載品のみ。

注意1. AV_{SS}はV_{SS}と同電位にしてください。

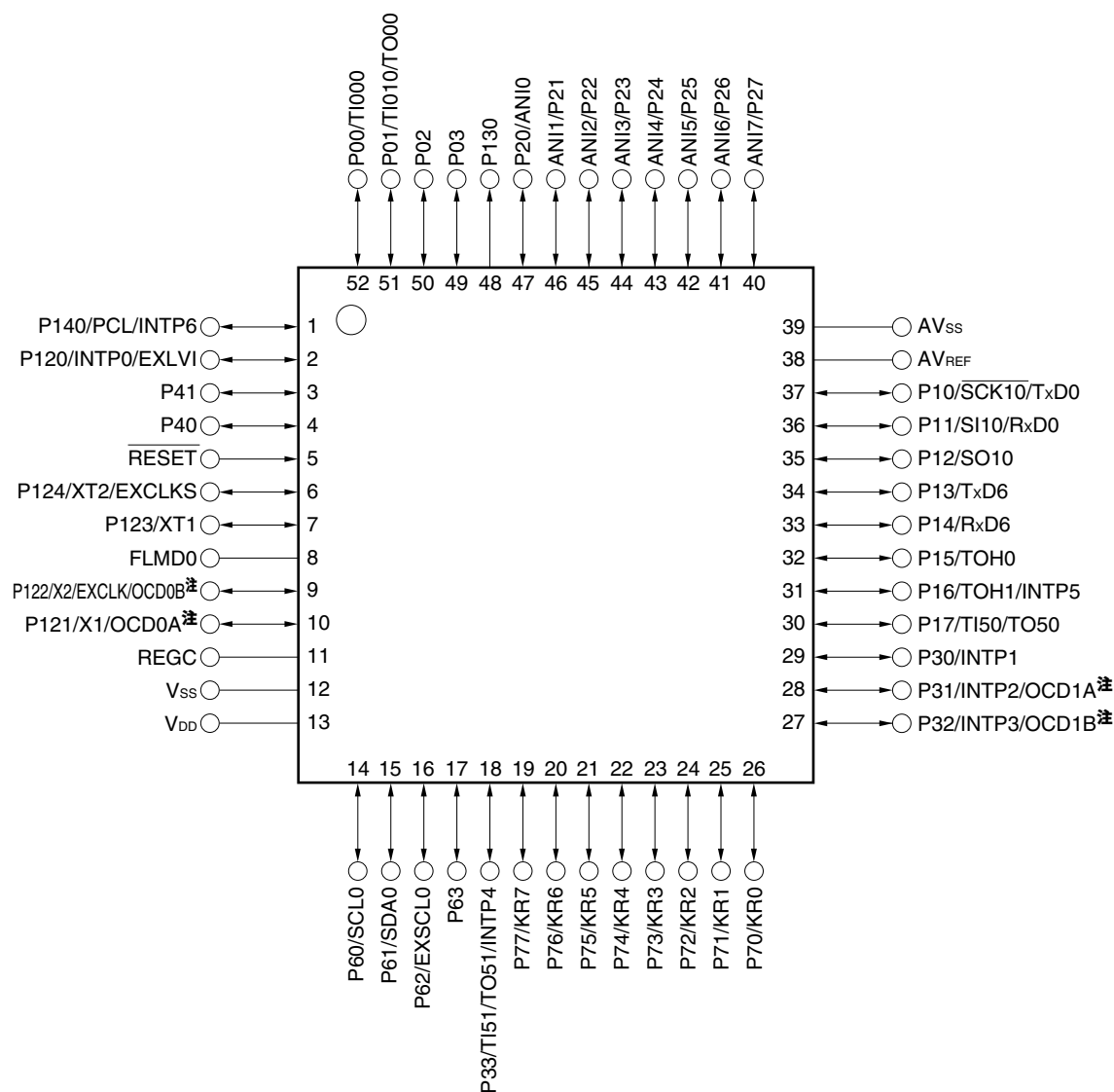
2. REGCはコンデンサ（0.47～1 μ F）を介し、V_{SS}に接続してください。

3. ANI0/P20-ANI7/P27は、リセット解除後はアナログ入力モードになります。

備考 端子名称は、1.6 端子名称を参照してください。

1.5.3 78K0/KD2

・52ピン・プラスチックLQFP（10x10）



注 オンチップ・デバッグ機能搭載品のみ。

注意1. AV_{SS}はV_{SS}と同電位にしてください。

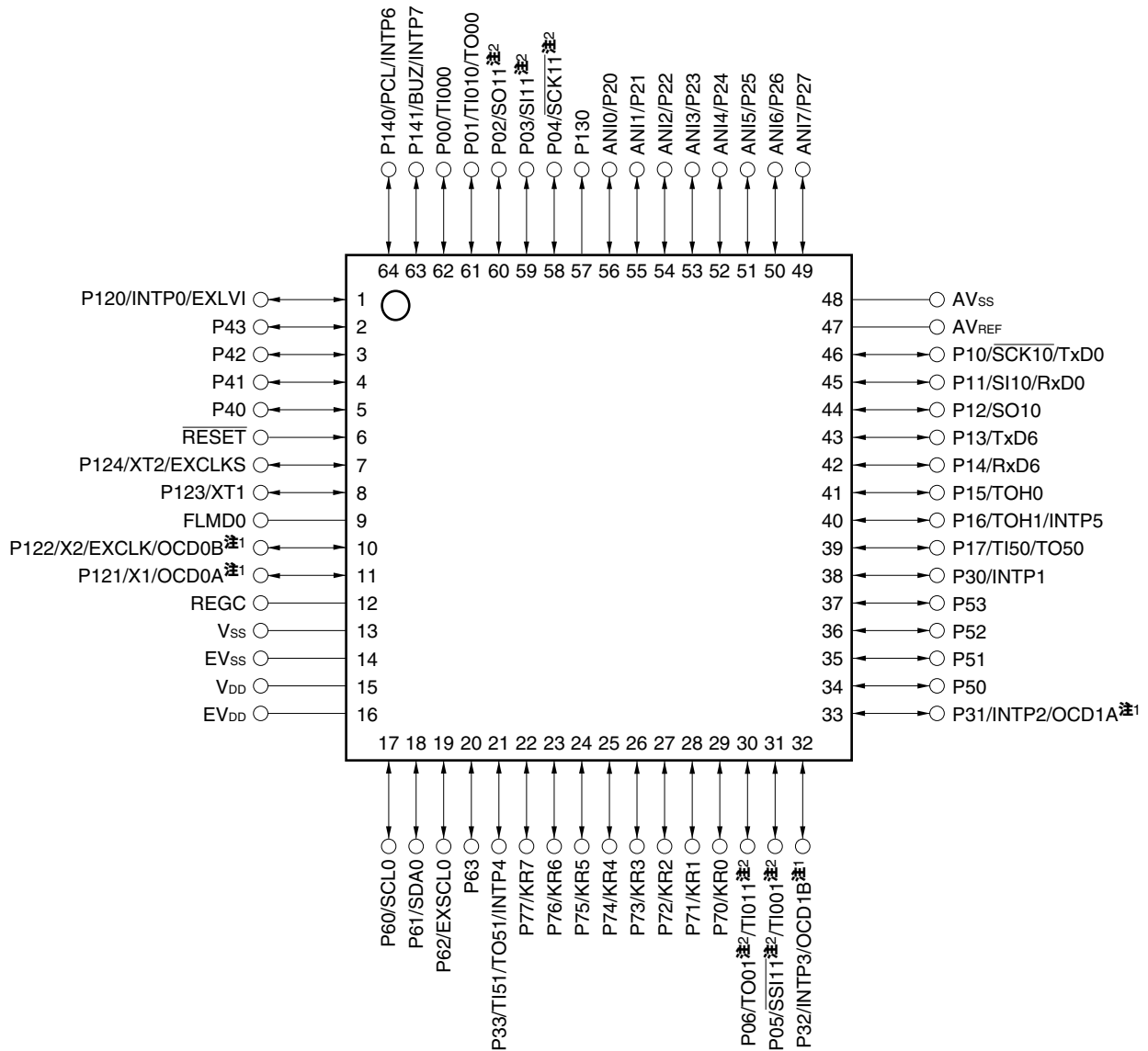
2. REGCはコンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。

3. ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。

備考 端子名称は、1.6 端子名称を参照してください。

1.5.4 78K0/KE2

- 64ピン・プラスチックLQFP（ファインピッチ）（10x10）
- 64ピン・プラスチックLQFP（14x14）
- 64ピン・プラスチックLQFP（12x12）
- 64ピン・プラスチックTQFP（7x7）



注1. オンチップ・デバッグ機能搭載品のみ。

2. フラッシュ・メモリが48 Kバイト以上の製品のみ。

注意1. AV_{ss}とEV_{ss}は、V_{ss}と同電位にしてください。

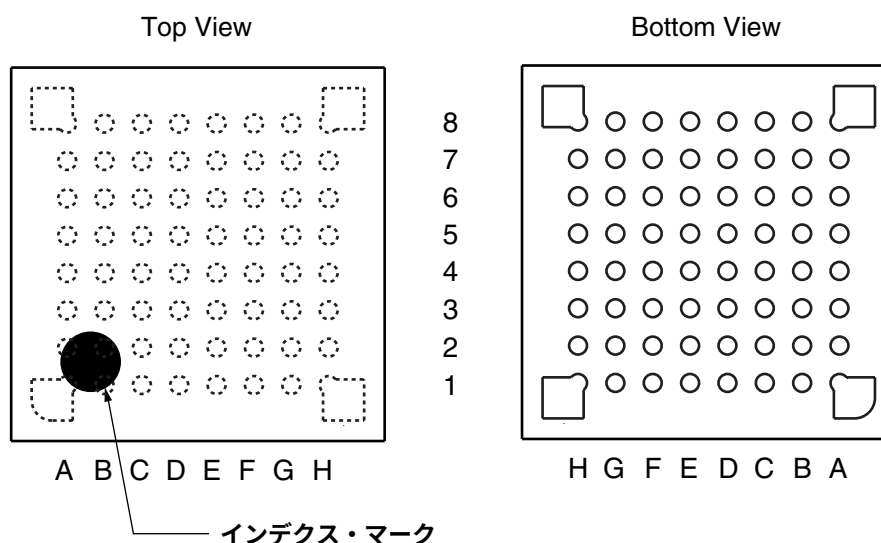
2. EV_{DD}は、V_{DD}と同電位にしてください。

3. REGCはコンデンサ（0.47～1 μF）を介し、V_{ss}に接続してください。

4. ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。

備考 端子名称は、1.6 端子名称を参照してください。

- ・64ピン・プラスチックFLGA (5x5)
- ・64ピン・プラスチックFBGA (4x4)



ピン番号	名 称	ピン番号	名 称	ピン番号	名 称	ピン番号	名 称
A1	AVss	C1	ANI4/P24	E1	P130	G1	P141/BUZ/INTP7
A2	AVREF	C2	ANI3/P23	E2	ANI0/P20	G2	P140/PCL/INTP6
A3	P11/SI10/RxD0	C3	ANI7/P27	E3	P03/SI11 ^{注2}	G3	P43
A4	P13/TxD6	C4	P10/SCK10/TxD0	E4	P42	G4	RESET
A5	P16/TOH1/INTP5	C5	P17/TI50/TO50	E5	P77/KR7	G5	REGC
A6	P53	C6	P30/INTP1	E6	P33/TI51/TO51/INTP4	G6	Vss
A7	P51	C7	P31/INTP2/OCD1A ^{注1}	E7	P74/KR4	G7	Vdd
A8	P32/INTP3/OCD1B ^{注1}	C8	P06 /TO01 ^{注2} /TI011 ^{注2}	E8	P76/KR6	G8	P61/SDA0
B1	ANI5/P25	D1	ANI1/P21	F1	P01/TI010/TO00	H1	P120/INTP0/EXLVI
B2	ANI6/P26	D2	ANI2/P22	F2	P00/TI000	H2	P124/XT2/EXCLKS
B3	P12/SO10	D3	P04/SCK11 ^{注2}	F3	P02/SO11 ^{注2}	H3	P123/XT1
B4	P15/TOH0	D4	P72/KR2	F4	P41	H4	FLMD0
B5	P14/RxD6	D5	P70/KR0	F5	P40	H5	P122/X2/EXCLK /OCD0B ^{注1}
B6	P52	D6	P71/KR1	F6	P60/SCL0	H6	P121/X1/OCD0A ^{注1}
B7	P50	D7	P75/KR5	F7	P62/EXSCL0	H7	EVss
B8	P05/SSI11 ^{注2} /TI001 ^{注2}	D8	P73/KR3	F8	P63	H8	EVdd

注1. オンチップ・デバッグ機能搭載品のみ。

2. フラッシュ・メモリが48 Kバイト以上の製品のみ。

注意1. AVssとEVssは、Vssと同電位にしてください。

2. EVddは、Vddと同電位にしてください。

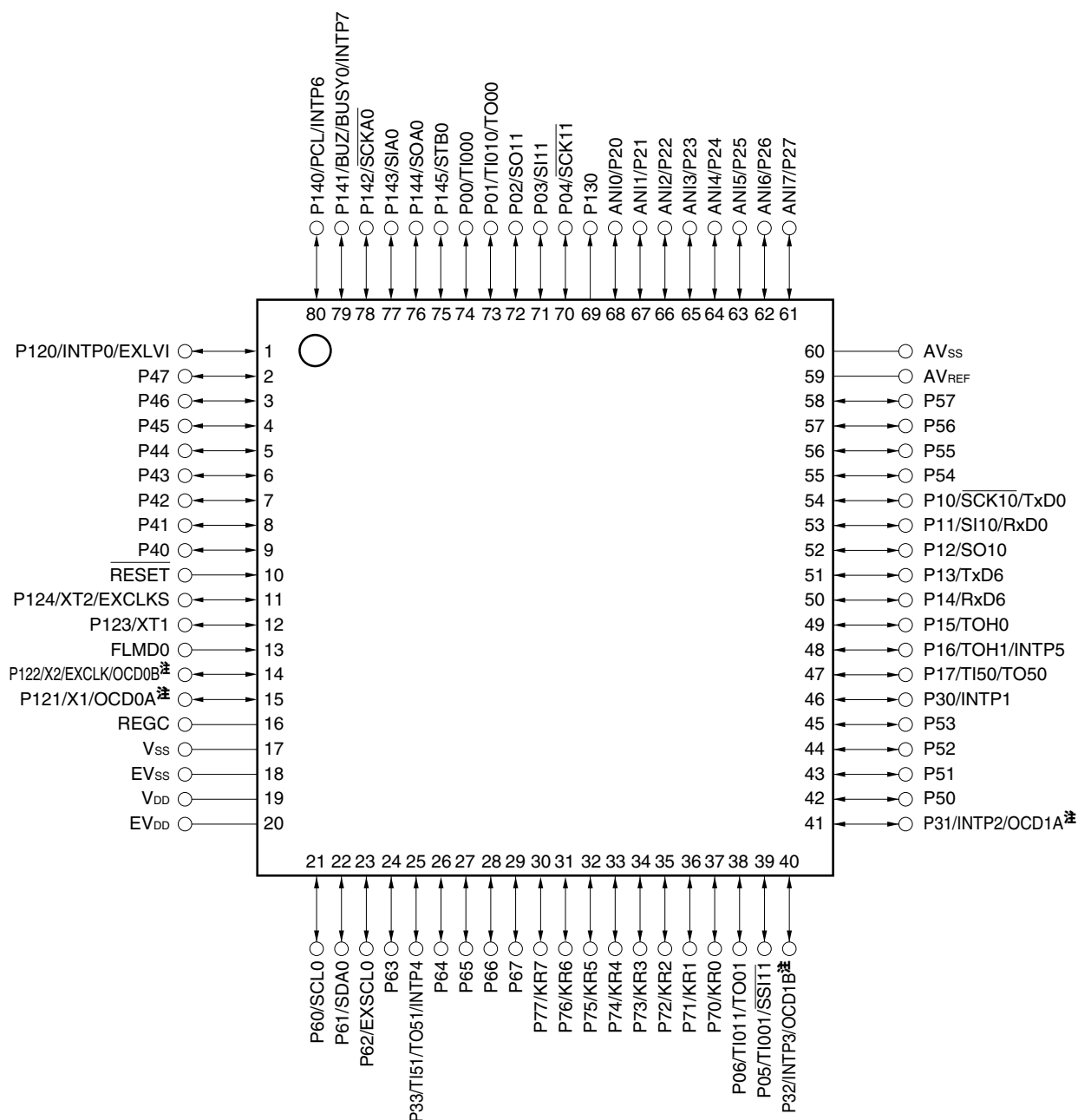
3. REGCはコンデンサ (0.47~1 μ F) を介し、Vssに接続してください。

4. ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。

備考 端子名称は、1.6 端子名称を参照してください。

1.5.5 78K0/KF2

- 80ピン・プラスチックLQFP（14x14）
- 80ピン・プラスチックLQFP（ファインピッチ）（12x12）



注 オンチップ・デバッグ機能搭載品のみ。

注意1. AVssとEVssは、Vssと同電位にしてください。

2. EVDDは、VDDと同電位にしてください。

3. REGCはコンデンサ（0.47～1 μ F）を介し、Vssに接続してください。

4. ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。

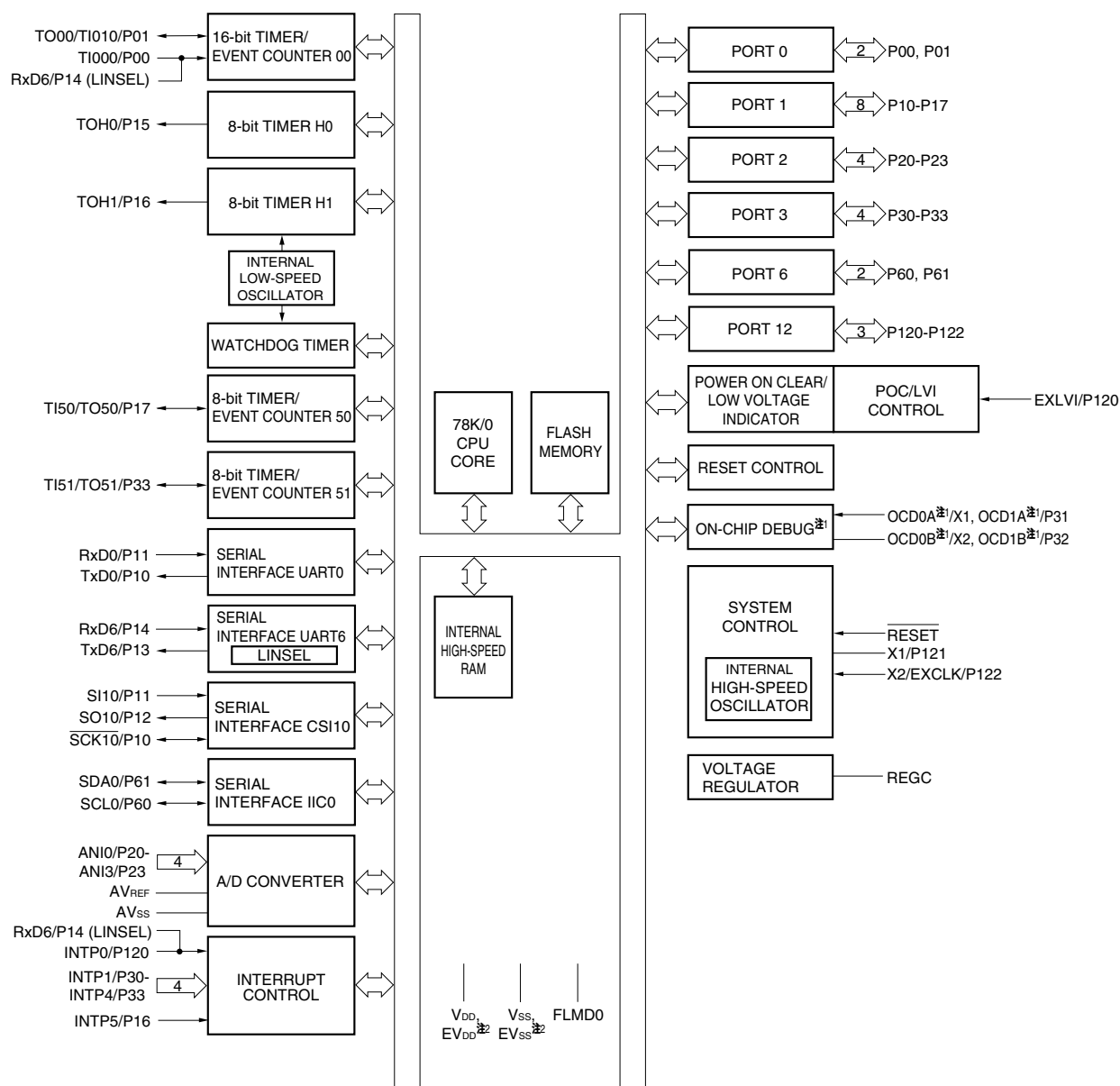
備考 端子名称は、1.6 端子名称を参照してください。

1.6 端子名称

ANI0-ANI7	: Analog Input	P120-P124	: Port 12
AV _{REF}	: Analog Reference Voltage	P130	: Port 13
AV _{SS}	: Analog Ground	P140-P145	: Port 14
BUSY0	: Serial Busy Input	PCL	: Programmable Clock Output
BUZ	: Buzzer Output	REGC	: Regulator Capacitance
EV _{DD}	: Power Supply for Port	$\overline{\text{RESET}}$	: Reset
EV _{SS}	: Ground for Port	RxD0, RxD6	: Receive Data
EXCLK	: External Clock Input (Main System Clock)	$\overline{\text{SCK10}}, \overline{\text{SCK11}}$	: Serial Clock Input/Output
EXCLKS	: External Clock Input (Subsystem Clock)	$\overline{\text{SCKA0}}$	
EXLVI	: External potential Input for Low-voltage detector	SCL0	: Serial Clock Input/Output
EXSCL0	: External Serial Clock Input	SDA0	: Serial Data Input/Output
FLMD0	: Flash Programming Mode	SI10, SI11, SIA0	: Serial Data Input
INTP0-INTP7	: External Interrupt Input	SO10, SO11, SOA0	: Serial Data Output
KR0-KR7	: Key Return	$\overline{\text{SSI11}}$	: Serial Interface Chip Select Input
NC	: Non-connection	STB0	: Serial Strobe
OCD0A, OCD0B, OCD1A, OCD1B	: On Chip Debug Input/Output	TI000, TI010, TI001, TI011, TI50, TI51	: Timer Input
P00-P06	: Port 0	TO00, TO01, TO50, TO51	: Timer Output
P10-P17	: Port 1	TOH0, TOH1, TxD0, TxD6	: Transmit Data
P20-P27	: Port 2	V _{DD}	: Power Supply
P30-P33	: Port 3	V _{SS}	: Ground
P40-P47	: Port 4	X1, X2	: Crystal Oscillator (Main System Clock)
P50-P57	: Port 5		
P60-P67	: Port 6	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
P70-P77	: Port 7		

1.7 ブロック図

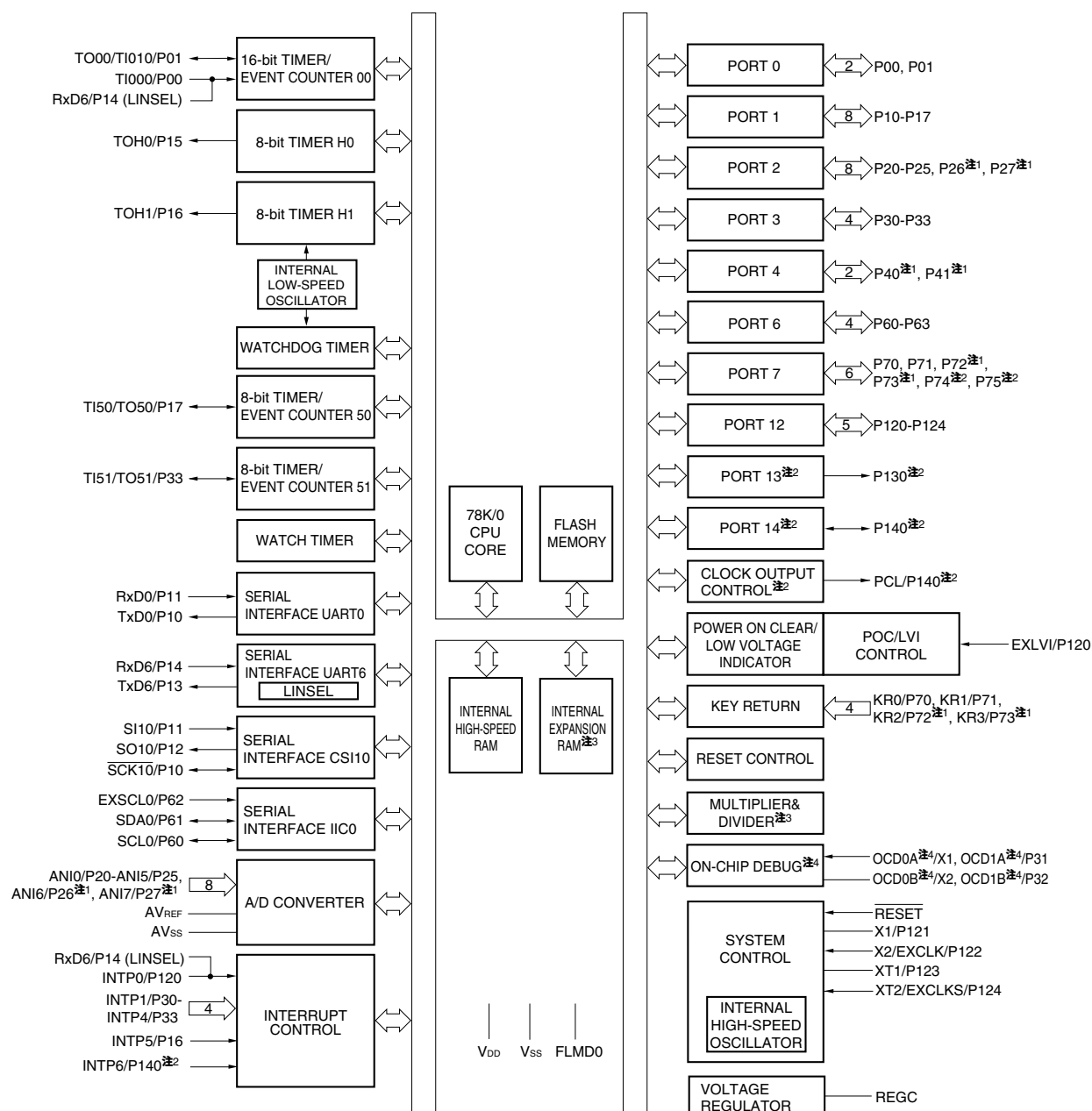
1.7.1 78K0/KB2



注1. オンチップ・デバッグ機能搭載品のみ。

2. 36ピン製品のみ。

1.7.2 78K0/KC2



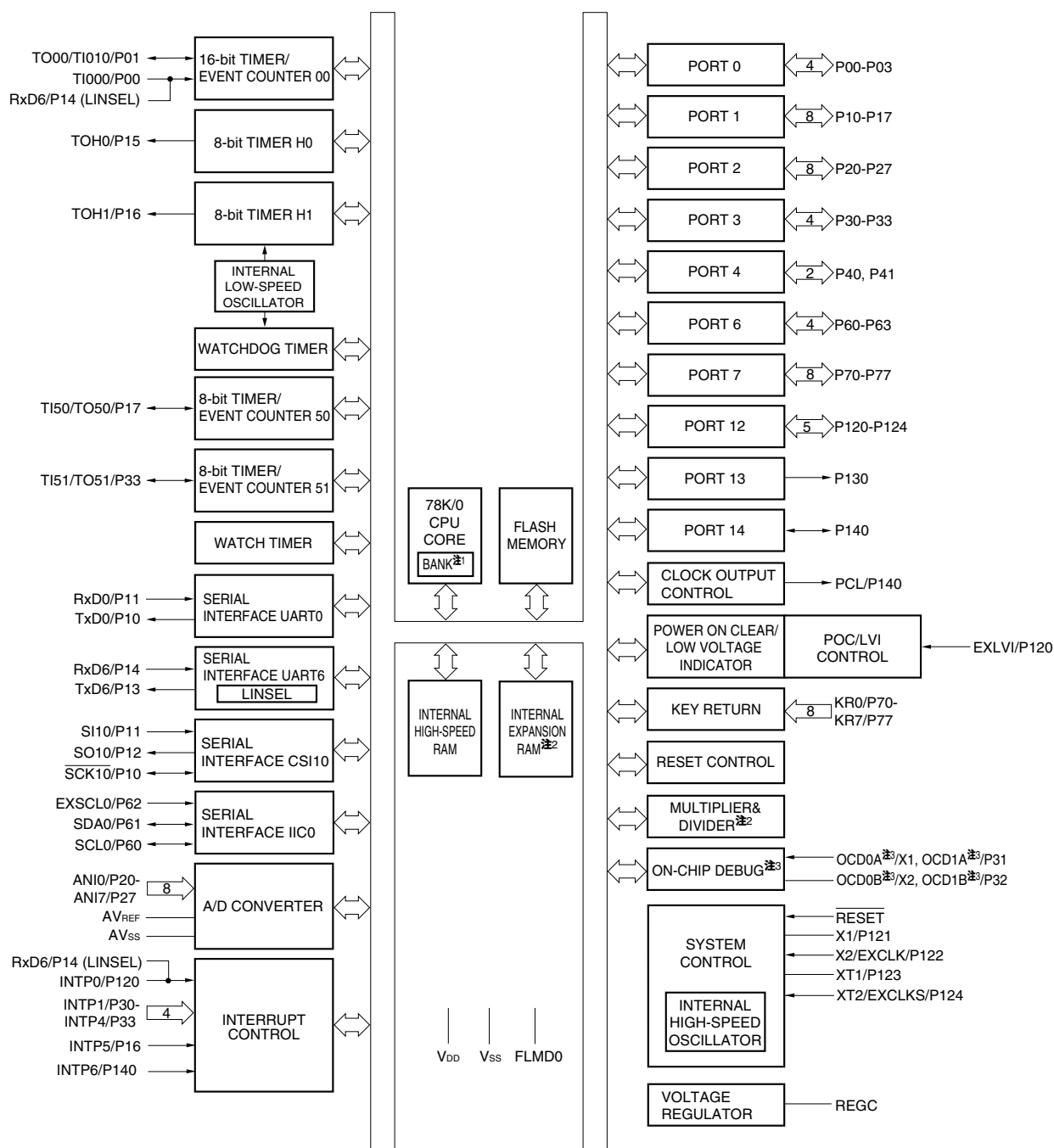
注1. 44ピン製品と48ピン製品のみ。

2. 48ピン製品のみ。

3. フラッシュ・メモリが48 Kバイト以上の製品のみ。

4. オンチップ・デバッグ機能搭載品のみ。

1.7.3 78K0/KD2

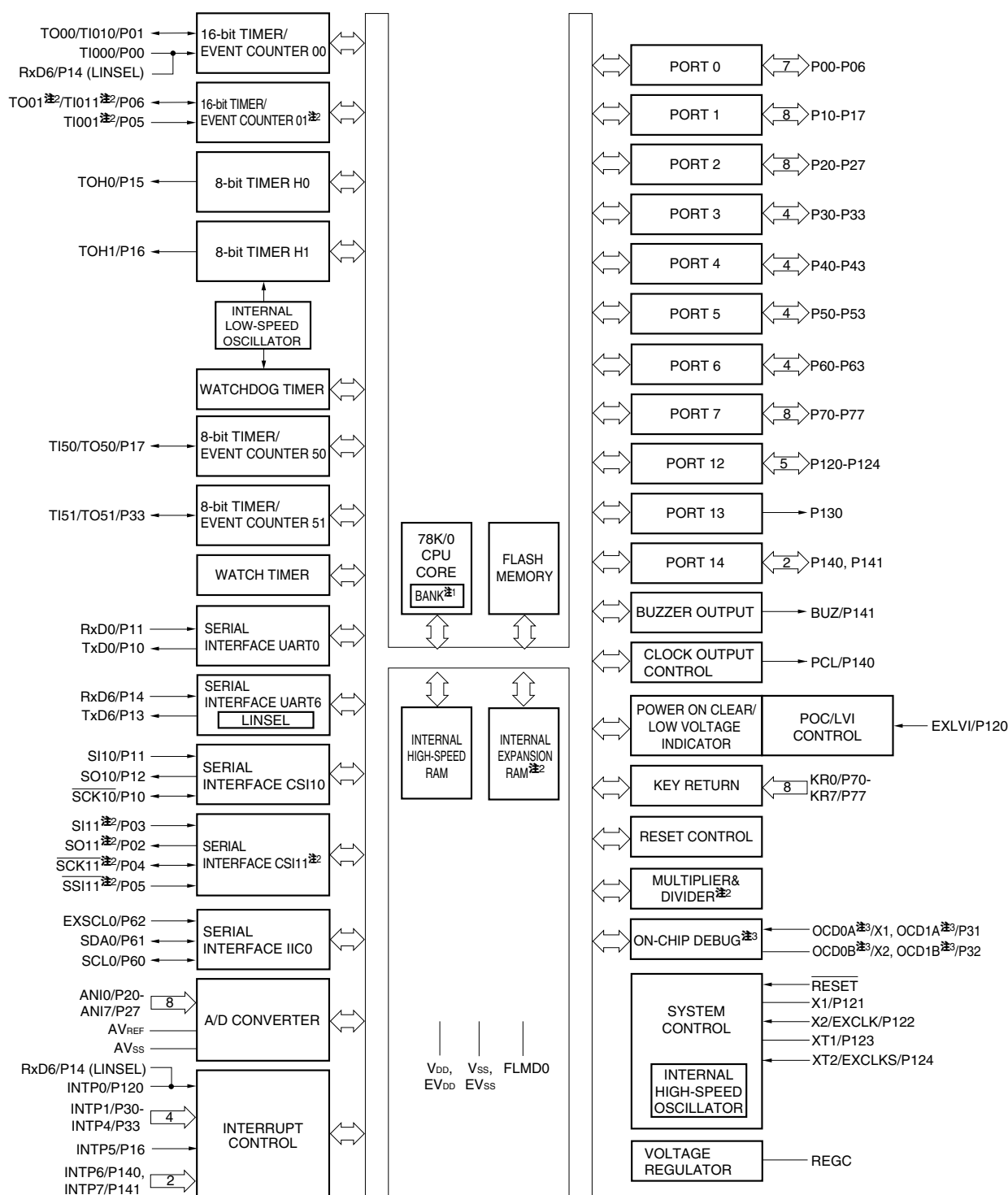


注1. フラッシュ・メモリが96 Kバイト以上の製品のみ。

2. フラッシュ・メモリが48 Kバイト以上の製品のみ。

3. オンチップ・デバッグ機能搭載品のみ。

1.7.4 78K0/KE2

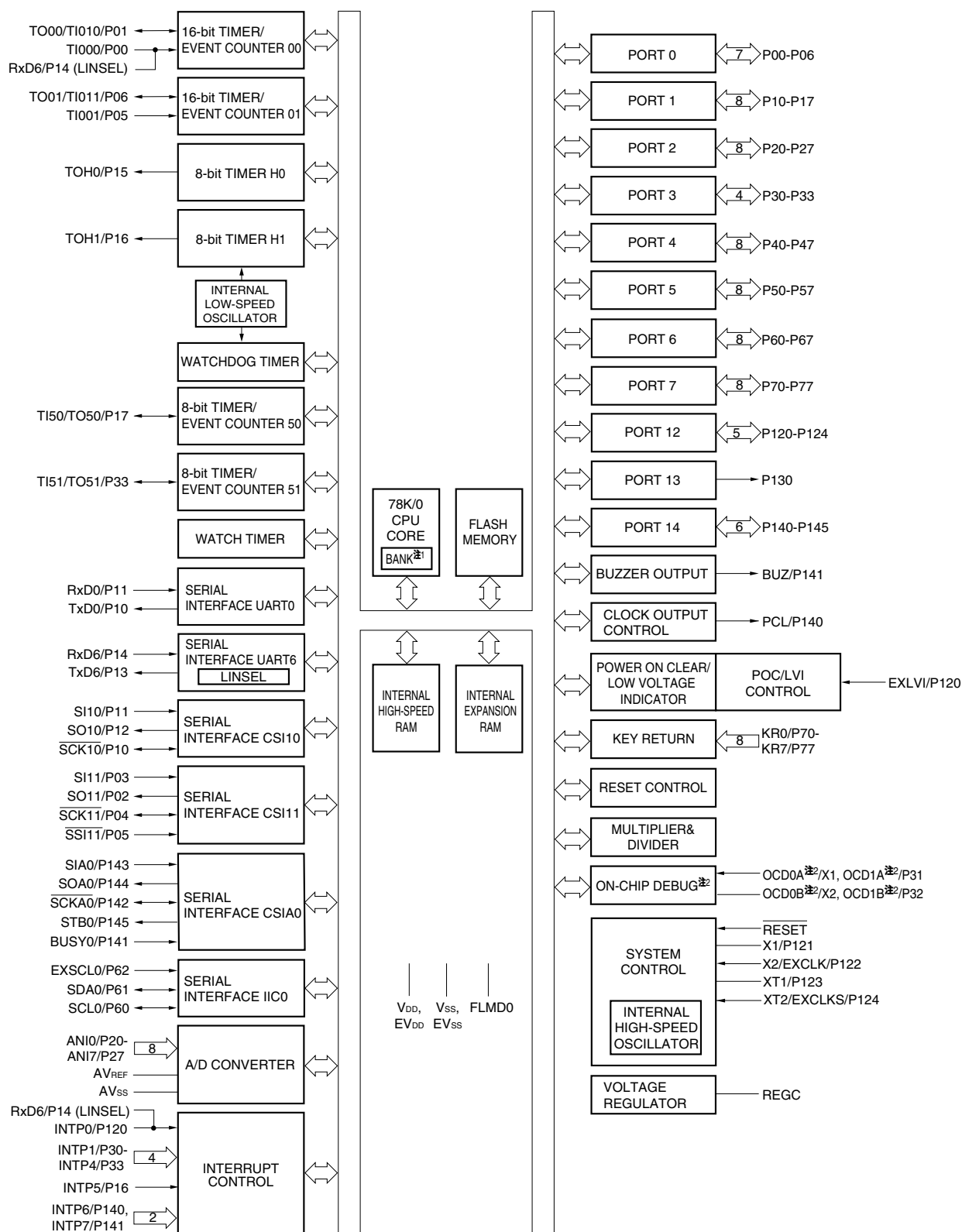


注1. フラッシュ・メモリが96 Kバイト以上の製品のみ。

2. フラッシュ・メモリが48 Kバイト以上の製品のみ。

3. オンチップ・デバッグ機能搭載品のみ。

1.7.5 78K0/KF2



注1. フラッシュ・メモリが96 Kバイト以上の製品のみ。

2. オンチップ・デバッグ機能搭載品のみ。

1.8 機能概要

(1/2)

78K0/Kx2		78K0/KB2				78K0/KC2								
項 目		30/36ピン				38/44ピン			48ピン					
フラッシュ・メモリ (Kバイト)		8	16	24	32	16	24	32	16	24	32	48	60	
高速RAM (Kバイト)		0.5	0.75	1	1	0.75	1	1	0.75	1	1	1	1	
拡張RAM (Kバイト)		－	－	－	－	－	－	－	－	－	－	1	2	
バンク (フラッシュ・メモリ)		－												
電源電圧		標準品, (A) 水準品: V _{DD} = 1.8～5.5 V, (A2) 水準品: V _{DD} = 2.7～5.5 V												
レギュレータ		内蔵												
最小命令実行時間		0.1 μs (20 MHz: V _{DD} = 2.7～5.5 V) / 0.4 μs (5 MHz: V _{DD} = 1.8～5.5 V) 注1												
クロック	メイン	高速システム	20 MHz: V _{DD} = 2.7～5.5 V / 5 MHz: V _{DD} = 1.8～5.5 V 注1											
		高速内蔵発振	8 MHz (TYP.): V _{DD} = 1.8～5.5 V 注1											
	サブ	－				32.768 kHz (TYP.): V _{DD} = 1.8～5.5 V 注1								
	低速内蔵発振		240 kHz (TYP.): V _{DD} = 1.8～5.5 V 注1											
ポート	合計	23				・ 31 (38ピン) ・ 37 (44ピン)			41					
	N-ch O.D. (6 V耐圧)	2				4			4					
タイマ	16ビット (TM0)		1 ch											
	8ビット (TM5)		2 ch											
	8ビット (TMH)		2 ch											
	時計用		－				1 ch							
	ウォッチドッグ (WDT)		1 ch											
シリアルインタフェース	3線式CSI		－											
	自動送受信3線式CSI		－											
	UART/3線式CSI 注2		1 ch											
	LIN-bus対応UART		1 ch											
	I ² Cバス		1 ch											
10ビットA/D		4 ch				・ 6 ch (38ピン) ・ 8 ch (44ピン)			8 ch					
割り込み	外部	6				7			8					
	内部	14				16								
キー割り込み		－				・ 2 ch (38ピン) ・ 4 ch (44ピン)			4 ch					
リセット	RESET端子		あり											
	POC		1.59 V±0.15 V											
	LVI		電源電圧の検出レベルを選択可能											
	WDT		あり											
クロック出力／ブザー出力		－							クロック出力のみ					
乗除算器		－										あり		
オンチップ・デバッグ機能		μ PD78F0503D, 78F0503DAのみ					μ PD78F0513D, 78F0513DAのみ			μ PD78F0515D, 78F0515DAのみ				
動作周囲温度		標準品, (A) 水準品: T _A = -40～+85 °C, (A2) 水準品: T _A = -40～+125 °C												

注1. 拡張規格品 (μ PD78F05xxA, 78F05xxDA) の標準品の場合です。他の規格品および水準品については、第30章 電気的特性 (標準品) ~ 第33章 電気的特性 ((A2) 水準品: $T_A: -40 \sim +125 \text{ }^\circ\text{C}$) を参照してください。

2. 端子を兼用しているため、どちらかを選択して使用します。

(2/2)

78K0/Kx2			78K0/KD2						78K0/KE2						78K0/KF2					
項 目			52ピン						64ピン						80ピン					
フラッシュ・メモリ (Kバイト)			16	24	32	48	60	96	128	16	24	32	48	60	96	128	48	60	96	128
高速RAM (Kバイト)			0.75	1	1	1	1	1	1	0.75	1	1	1	1	1	1	1	1	1	1
拡張RAM (Kバイト)			－	－	－	1	2	4	6	－	－	－	1	2	4	6	1	2	4	6
バンク (フラッシュ・メモリ)			－					4	6	－					4	6	－		4	6
電源電圧			標準品， (A) 水準品：V _{DD} = 1.8～5.5 V， (A2) 水準品：V _{DD} = 2.7～5.5 V																	
レギュレータ			内蔵																	
最小命令実行時間			0.1 μs (20 MHz：V _{DD} = 2.7～5.5 V／0.4 μs (5 MHz：V _{DD} = 1.8～5.5 V) 注1																	
クロック	メイン	高速システム	20 MHz：V _{DD} = 2.7～5.5 V／5 MHz：V _{DD} = 1.8～5.5 V 注1																	
		高速内蔵発振	8 MHz (TYP.)：V _{DD} = 1.8～5.5 V 注1																	
		サブ	32.768 kHz (TYP.)：V _{DD} = 1.8～5.5 V 注1																	
		低速内蔵発振	240 kHz (TYP.)：V _{DD} = 1.8～5.5 V 注1																	
ポート	合計	45							55							71				
	N-ch O.D. (6 V耐圧)	4							4							4				
タイマ	16ビット (TM0)		1 ch										2 ch							
	8ビット (TM5)		2 ch																	
	8ビット (TMH)		2 ch																	
	時計用		1 ch																	
	ウォッチドッグ (WDT)		1 ch																	
シリアルインタフェース	3線式CSI		－										1 ch							
	自動送受信3線式CSI		－														1 ch			
	UART/3線式CSI 注2		1 ch																	
	LIN-bus対応UART		1 ch																	
	I ² Cバス		1 ch																	
10ビットA/D			8 ch																	
割り込み	外部	8							9											
	内部	16										19				20				
キー割り込み			8 ch																	
リセット	RESET端子		あり																	
	POC		1.59 V±0.15 V																	
	LVI		電源電圧の検出レベルを選択可能																	
	WDT		あり																	
クロック出力／ブザー出力			クロック出力のみ								あり									
乗除算器			－		あり				－		あり									
オンチップ・デバッグ機能			μ PD78F0527D, 78F0527DAのみ								μ PD78F0537D, 78F0537DAのみ							μ PD78F0547D, 78F0547DAのみ		
動作周囲温度			標準品， (A) 水準品：T _A = -40～+85 ℃， (A2) 水準品：T _A = -40～+125 ℃																	

注1. 拡張規格品 ($\mu\text{PD78F05xxA}$, 78F05xxDA) の標準品の場合です。他の規格品および水準品については、第30章 電気的特性 (標準品) ~ 第33章 電気的特性 ((A2) 水準品: $T_A: -40 \sim +125 \text{ }^\circ\text{C}$) を参照してください。

2. 端子を兼用しているため、どちらかを選択して使用します。

次にタイマの概要を示します。

		16ビット・タイマ／イベント・カウンタ00, 01		8ビット・タイマ／イベント・カウンタ50, 51		8ビット・タイマH0, H1		時計用タイマ	ウォッチドッグ・タイマ
		TM00	TM01	TM50	TM51	TMH0	TMH1		
機能	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル ^{注1}	—
	外部イベント・カウンタ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	—	—	—	—
	PPG出力	1出力	1出力	—	—	—	—	—	—
	PWM出力	—	—	1出力	1出力	1出力	1出力	—	—
	パルス幅測定	2入力	2入力	—	—	—	—	—	—
	方形波出力	1出力	1出力	1出力	1出力	1出力	1出力	—	—
	キャリア・ジェネレータ	—	—	—	—	—	1出力 ^{注2}	—	—
	時計用タイマ	—	—	—	—	—	—	1チャンネル ^{注1}	—
	ウォッチドッグ・タイマ	—	—	—	—	—	—	—	1チャンネル
割り込み要因		2	2	1	1	1	1	1	—

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

備考 製品により、搭載するタイマが異なります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
16ビット・タイマ／イベント・カウンタ00	○					
16ビット・タイマ／イベント・カウンタ01	—				○	
8ビット・タイマ／イベント・カウンタ50	○					
8ビット・タイマ／イベント・カウンタ51	○					
8ビット・タイマH0	○					
8ビット・タイマH1	○					
時計用タイマ	—	○				
ウォッチドッグ・タイマ	○					

○：搭載，—：非搭載

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源 (AV_{REF} , V_{DD})

- 78K0/KB2: 30ピン・プラスチックSSOP (7.62 mm (300))
- 78K0/KC2: 38ピン・プラスチックSSOP (7.62 mm (300)) , 44ピン・プラスチックLQFP (10x10) , 48ピン・プラスチックLQFP (ファインピッチ) (7x7)
- 78K0/KD2: 52ピン・プラスチックLQFP (10x10)

電源	対応する端子
AV_{REF}	P20-P27
V_{DD}	P20-P27以外の端子

表2-2 各端子の入出力バッファ電源 (AV_{REF} , EV_{DD} , V_{DD})

- 78K0/KB2: 36ピン・プラスチックFLGA (4x4)
- 78K0/KE2: 64ピン・プラスチックLQFP (ファインピッチ) (10x10) , 64ピン・プラスチックLQFP (14x14) 64ピン・プラスチックLQFP (12x12) , 64ピン・プラスチックTQFP (7x7) , 64ピン・プラスチックFLGA (5x5) , 64ピン・プラスチックFBGA (4x4)
- 78K0/KF2: 80ピン・プラスチックLQFP (14x14) , 80ピン・プラスチックLQFP (ファインピッチ) (12x12)

電源	対応する端子
AV_{REF}	P20-P27
EV_{DD}	P20-P27, P121-P124以外のポート端子
V_{DD}	• P121-P124 • ポート以外の端子

2.1.1 78K0/KB2

(1) ポート機能：78K0/KB2

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P23	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ 入力	ANI0-ANI3
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A [※]
P32				INTP3/OCD1B [※]
P33				INTP4/TI51/TO51
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力（6 V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	SCL0
P61				SDA0
P120	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A [※]
P122				X2/EXCLK/ OCD0B [※]

注 μ PD78F0503D, 78F0503DA（オンチップ・デバッグ機能搭載品）のみ

(2) ポート以外の機能 (1/2) : 78K0/KB2

機能名称	入出力	機 能	リセット時	兼用機能
ANI0-ANI3	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P23
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がり の両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30
INTP2				P31/OCD1A ^注
INTP3				P32/OCD1B ^注
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
REGC	—	内部動作レギュレータ出力（2.5 V）安定容量接続。 コンデンサ（0.47~1 μ F）を介し、V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6		UART6のシリアル・データ入力		P14
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6		UART6のシリアル・データ出力		P13
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SI10	入力	CSI10のシリアル・データ入力		P11/RxD0
SO10	出力	CSI10のシリアル・データ出力		P12
SCL0	入出力	I ² Cのクロック入出力	入力ポート	P60
SDA0		I ² Cのシリアル・データ入出力		P61
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・ク ロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ（CR000, CR010）へのキャプチャ・トリガ入力。	入力ポート	P00
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ（CR000）へのキャプチャ・トリガ入力	入力ポート	P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・ク ロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・ク ロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0	出力	8ビット・タイマH0出力	入力ポート	P15
TOH1		8ビット・タイマH1出力		P16/INTP5
X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A ^注
X2	—		入力ポート	P122/EXCLK/ OCD0B ^注
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B ^注

注 μ PD78F0503D, 78F0503DA（オンチップ・デバッグ機能搭載品）のみ

(2) ポート以外の機能 (2/2) : 78K0/KB2

機能名称	入出力	機 能	リセット時	兼用機能
V _{DD}	—	30ピン製品：P20-P23以外の正電源 36ピン製品：P121, P122の正電源, およびポート部以外の正電源	—	—
EV _{DD} ^{注1}	—	36ピン製品：P20-P23, P121, P122以外のポート部の正電源。 V _{DD} と同電位にしてください。		
AV _{REF}	—	A/Dコンバータの基準電圧入力およびP20-P23, A/Dコンバータの正電源	—	—
V _{SS}	—	30ピン製品：P20-P23以外のグランド電位 36ピン製品：P121, P122のグランド電位, およびポート部以外のグランド電位	—	—
EV _{SS} ^{注1}	—	36ピン製品：P20-P23, P121, P122以外のポート部のグランド電位。V _{SS} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	—	—
OCD0A ^{注2}	入力	オンチップ・デバッグ・モード引き込み用接続 (μ PD78F0503D, 78F0503DAのみ)	入力ポート	P121/X1
OCD1A ^{注2}				P31/INTP2
OCD0B ^{注2}	—			P122/X2/EXCLK
OCD1B ^{注2}				P32/INTP3

注1. 36ピン製品のみ。

2. μ PD78F0503D, 78F0503DA (オンチップ・デバッグ機能搭載品) のみ。

2.1.2 78K0/KC2

(1) ポート機能 (1/2) : 78K0/KC2

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P25	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力	ANI0-ANI5
P26 ^{注1} , P27 ^{注1}				ANI6 ^{注1} , ANI7 ^{注1}
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A ^{注2}
P32				INTP3/OCD1B ^{注2}
P33				TI51/TO51/INTP4
P40 ^{注1} , P41 ^{注1}	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P60	入出力	ポート6。 4ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6 V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	SCL0
P61				SDA0
P62				EXSCL0
P63				—
P70, P71	入出力	ポート7。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0, KR1
P72 ^{注1} , P73 ^{注1}				KR2 ^{注1} , KR3 ^{注1}
P74 ^{注3} , P75 ^{注3}				—
P120	入出力	ポート12。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A ^{注2}
P122				X2/EXCLK/ OCD0B ^{注2}
P123				XT1
P124				XT2/EXCLKS

注1. 44ピン製品と48ピン製品のみ。

38ピン製品の場合、PM2のビット6, 7には1を、PM4のビット0, 1, PM7のビット2, 3, P2のビット6, 7, P4のビット0, 1, P7のビット2, 3には0を必ず設定してください。

2. μ PD78F0513D, 78F0513DA, 78F0515D, 78F0515DA（オンチップ・デバッグ機能搭載品）のみ。

3. 48ピン製品のみ。

(1) ポート機能 (2/2) : 78K0/KC2

機能名称	入出力	機 能	リセット時	兼用機能
P130 ^注	出力	ポート13。 1ビット出力専用ポート。	出力ポート	—
P140 ^注	入出力	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6 ^注

注 48ピン製品のみ。

(2) ポート以外の機能 (1/2) : 78K0/KC2

機能名称	入出力	機 能	リセット時	兼用機能
ANIO-ANI5	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P25
ANI6 ^{注1} , ANI7 ^{注1}				P26 ^{注1} , P27 ^{注1}
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
EXSCL0	入力	I ² Cの外部クロック入力。 外部クロックを入力する場合は、6.4 MHzのクロックを入力してください。	入力ポート	P62
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30
INTP2				P31/OCD1A ^{注2}
INTP3				P32/OCD1B ^{注2}
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6 ^{注3}				P140/PCL ^{注3}
KR0, KR1	入力	キー割り込み入力	入力ポート	P70, P71
KR2 ^{注1} , KR3 ^{注1}				P72 ^{注1} , P73 ^{注1}
PCL ^{注3}	出力	クロック出力（高速システム・クロック、サブシステム・クロックのトリミング用）	入力ポート	P140/INTP6 ^{注3}
REGC	—	内部動作レギュレータ出力（2.5 V）安定容量接続。 コンデンサ（0.47～1 μ F）を介し、V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P14
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SCL0	入出力	I ² Cのクロック入出力	入力ポート	P60
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11/RxD0
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12

注1. 44ピン製品と48ピン製品のみ。

38ピン製品の場合、PM2のビット6, 7には1を、PM7のビット2, 3, P2のビット6, 7, P7のビット2, 3には0を必ず設定してください。

2. μ PD78F0513D, 78F0513DA, 78F0515D, 78F0515DA（オンチップ・デバッグ機能搭載品）のみ。

3. 48ピン製品のみ。

(2) ポート以外の機能 (2/2) : 78K0/KC2

機能名称	入出力	機 能	リセット時	兼用機能
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力。	入力ポート	P00
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力	入力ポート	P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0	出力	8ビット・タイマH0出力	入力ポート	P15
TOH1		8ビット・タイマH1出力		P16/INTP5
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P13
X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121/OC0A ^注
X2	—		入力ポート	P122/EXCLK/ OC0B ^注
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OC0B ^注
XT1	—	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	—		入力ポート	P124/EXCLKS
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力ポート	P124/XT2
V _{DD}	—	P20-P27以外の正電源	—	—
AV _{REF}	—	A/Dコンバータの基準電圧入力およびP20-P27, A/Dコンバータの正電源	—	—
V _{SS}	—	P20-P27以外のグランド電位	—	—
AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	—	—
OC0A ^注	入力	オンチップ・デバッグ・モード引き込み用接続 (μ PD78F0513D, 78F0513DA, 78F0515D, 78F0515DAのみ)	入力ポート	P121/X1
OC01A ^注				P31/INTP2
OC00B ^注	—			P122/X2/EXCLK
OC01B ^注				P32/INTP3

注 μ PD78F0513D, 78F0513DA, 78F0515D, 78F0515DA (オンチップ・デバッグ機能搭載品) のみ。

2.1.3 78K0/KD2

(1) ポート機能：78K0/KD2

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P02				—
P03				—
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCDA ^注
P32				INTP3/OCDB ^注
P33				TI51/TO51/INTP4
P40, P41	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力（6 V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	SCL0
P61				SDA0
P62				EXSCL0
P63				—
P70-P77	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR7
P120	入出力	ポート12。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCDA ^注
P122				X2/EXCLK/OCDB ^注
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	—
P140	入出力	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6

注 μ PD78F0527D, 78F0527DA（オンチップ・デバッグ機能搭載品）のみ。

(2) ポート以外の機能 (1/2) : 78K0/KD2

機能名称	入出力	機 能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P27
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
EXSCL0	入力	I ² Cの外部クロック入力。 外部クロックを入力する場合は、6.4 MHzのクロックを入力してください。	入力ポート	P62
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30
INTP2				P31/OCD1A ^注
INTP3				P32/OCD1B ^注
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P140/PCL
KR0-KR7	入力	キー割り込み入力	入力ポート	P70-P77
PCL	出力	クロック出力（高速システム・クロック，サブシステム・クロックのトリミング用）	入力ポート	P140/INTP6
REGC	—	内部動作レギュレータ出力（2.5 V）安定容量接続。 コンデンサ（0.47~1 μ F）を介し、V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6		UART6のシリアル・データ入力		P14
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SCL0		I ² Cのクロック入出力		P60
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11/RxD0
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6		UART6のシリアル・データ出力		P13
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ入力。	入力ポート	P00
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力		P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4

注 μ PD78F0527D, 78F0527DA（オンチップ・デバッグ機能搭載品）のみ。

(2) ポート以外の機能 (2/2) : 78K0/KD2

	機能名称	入出力	機 能	リセット時	兼用機能
	TOH0	出力	8ビット・タイマH0出力	入力ポート	P15
	TOH1		8ビット・タイマH1出力		P16/INTP5
★	X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A ^注
	X2	—			P122/EXCLK/ OCD0B ^注
	EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B ^注
★	XT1	—	サブシステム・クロック用発振子接続	入力ポート	P123
	XT2	—		入力ポート	P124/EXCLKS
	EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力ポート	P124/XT2
	V _{DD}	—	P20-P27以外の正電源	—	—
★	AV _{REF}	—	A/Dコンバータの基準電圧入力およびP20-P27, A/Dコンバータの正電源	—	—
	V _{SS}	—	P20-P27以外のグランド電位	—	—
	AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	—	—
	OCD0A ^注	入力	オンチップ・デバッグ・モード引き込み用接続 (μ PD78F0527D, 78F0527DAのみ)	入力ポート	P121/X1
	OCD1A ^注				P31/INTP2
	OCD0B ^注	—			P122/X2/EXCLK
	OCD1B ^注				P32/INTP3

注 μ PD78F0527D, 78F0527DA (オンチップ・デバッグ機能搭載品) のみ。

2.1.4 78K0/KE2

(1) ポート機能 (1/2) : 78K0/KE2

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P02				SO11 ^{注1}
P03				SI11 ^{注1}
P04				SCK11 ^{注1}
P05				TI001 ^{注1} / SS11 ^{注1}
P06				TI011 ^{注1} / TO01 ^{注1}
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A ^{注2}
P32				INTP3/OCD1B ^{注2}
P33				TI51/ TO51/ INTP4
P40-P43	入出力	ポート4。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P50-P53	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力（6 V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	SCL0
P61				SDA0
P62				EXSCL0
P63				—
P70-P77	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR7

注1. フラッシュ・メモリが48 Kバイト以上の製品のみ。

2. μ PD78F0537D, 78F0537DA（オンチップ・デバッグ機能搭載品）のみ。

(1) ポート機能 (2/2) : 78K0/KE2

機能名称	入出力	機 能	リセット時	兼用機能
P120	入出力	ポート12。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P120のみ，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OC0A [※]
P122				X2/EXCLK/ OC0B [※]
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	—
P140	入出力	ポート14。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6
P141				BUZ/INTP7

注 μ PD78F0537D, 78F0537DA (オンチップ・デバッグ機能搭載品) のみ。

(2) ポート以外の機能 (1/3) : 78K0/KE2

機能名称	入出力	機 能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P27
BUZ	出力	ブザー出力	入力ポート	P141/INTP7
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
EXSCL0	入力	I ² Cの外部クロック入力。 外部クロックを入力する場合は，6.4 MHzのクロックを入力してください。	入力ポート	P62
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30
INTP2				P31/OC01A [※]
INTP3				P32/OC01B [※]
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P140/PCL
INTP7				P141/BUZ
KR0-KR7	入力	キー割り込み入力	入力ポート	P70-P77
PCL	出力	クロック出力（高速システム・クロック，サブシステム・クロックのトリミング用）	入力ポート	P140/INTP6
REGC	—	内部動作レギュレータ出力（2.5 V）安定容量接続。 コンデンサ（0.47～1 μ F）を介し，V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6		UART6のシリアル・データ入力		P14

注 μ PD78F0537D, 78F0537DA (オンチップ・デバッグ機能搭載品) のみ。

(2) ポート以外の機能 (2/3) : 78K0/KE2

機能名称	入出力	機 能	リセット時	兼用機能
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SCK11 ^{注1}		CSI11のクロック入出力		P04
SCL0	入出力	I ² Cのクロック入出力	入力ポート	P60
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11/RxD0
SI11 ^{注1}		CSI11のシリアル・データ入力		P03
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12
SO11 ^{注1}		CSI11のシリアル・データ出力		P02
SSI11 ^{注1}	入力	CSI11のチップ・セレクト入力	入力ポート	P05/TI001
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力ポート	P00
TI001 ^{注1}		16ビット・タイマ/イベント・カウンタ01への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001, CR011) へのキャプチャ・トリガ入力		P05/SSI11 ^{注1}
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力		P01/TO00
TI011 ^{注1}		16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001) へのキャプチャ・トリガ入力		P06/TO01 ^{注1}
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO01 ^{注1}		16ビット・タイマ/イベント・カウンタ01出力		P06/TI011 ^{注1}
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0	出力	8ビット・タイマH0出力	入力ポート	P15
TOH1		8ビット・タイマH1出力		P16/INTP5
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6		UART6のシリアル・データ出力		P13
★ X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A ^{注2}
X2	—			P122/EXCLK/ OCD0B ^{注2}
★ EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B ^{注2}
XT1	—	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	—		入力ポート	P124/EXCLKS
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力ポート	P124/XT2

注1. フラッシュ・メモリが48 Kバイト以上の製品のみ。

2. μ PD78F0537D, 78F0537DA (オンチップ・デバッグ機能搭載品) のみ。

(2) ポート以外の機能 (3/3) : 78K0/KE2

★

機能名称	入出力	機 能	リセット時	兼用機能
V _{DD}	—	P121-P124の正電源，およびポート部以外の正電源	—	—
EV _{DD}	—	P20-P27，P121-P124以外のポート部の正電源。V _{DD} と同電位にしてください。	—	—
AV _{REF}	—	A/Dコンバータの基準電圧入力およびP20-P27，A/Dコンバータの正電源	—	—
V _{SS}	—	P121-P124のグランド電位，およびポート部以外のグランド電位	—	—
EV _{SS}	—	P20-P27，P121-P124以外のポート部のグランド電位。V _{SS} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	—	—
OCD0A ^注	入力	オンチップ・デバッグ・モード引き込み用接続 (μ PD78F0537D, 78F0537DAのみ)	入力ポート	P121/X1
OCD1A ^注				P31/INTP2
OCD0B ^注	—			P122/X2/EXCLK
OCD1B ^注				P32/INTP3

注 μ PD78F0537D, 78F0537DA (オンチップ・デバッグ機能搭載品) のみ。

2.1.5 78K0/KF2

(1) ポート機能 (1/2) : 78K0/KF2

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P02				SO11
P03				SI11
P04				SCK11
P05				TI001/SSI11
P06				TI011/TO01
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A [※]
P32				INTP3/OCD1B [※]
P33				TI51/TO51/INTP4
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P60	入出力	ポート6。 8ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6 V耐圧）。 1ビット単位で入力／出力の指定可能。 P64-P67のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
P61				SDA0
P62				EXSCL0
P63-P67				—
P70-P77	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR7

注 μ PD78F0547D, 78F0547DA（オンチップ・デバッグ機能搭載品）のみ

(1) ポート機能 (2/2) : 78K0/KF2

機能名称	入出力	機 能	リセット時	兼用機能
P120	入出力	ポート12。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P120のみ，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A [※]
P122				X2/EXCLK/ OCD0B [※]
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	—
P140	入出力	ポート14。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6
P141				BUZ/BUSY0/INTP7
P142				SCKA0
P143				SIA0
P144				SOA0
P145				STB0

注 μ PD78F0547D, 78F0547DA (オンチップ・デバッグ機能搭載品) のみ

(2) ポート以外の機能 (1/3) : 78K0/KF2

機能名称	入出力	機 能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P27
BUSY0	入力	CSIA0のビジィ入力	入力ポート	P141/BUZ/INTP7
BUZ	出力	ブザー出力	入力ポート	P141/BUSY0/INTP7
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
EXSCL0	入力	I ² Cの外部クロック入力。 外部クロックを入力する場合は, 6.4 MHzのクロックを入力してください。	入力ポート	P62
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30
INTP2				P31/OCD1A [※]
INTP3				P32/OCD1B [※]
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P140/PCL
INTP7				P141/BUZ/BUSY0
KR0-KR7	入力	キー割り込み入力	入力ポート	P70-P77
PCL	出力	クロック出力（高速システム・クロック，サブシステム・クロックのトリミング用）	入力ポート	P140/INTP6
REGC	—	内部動作レギュレータ出力（2.5 V）安定容量接続。 コンデンサ（0.47～1 μ F）を介し，V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P14

注 μ PD78F0547D, 78F0547DA (オンチップ・デバッグ機能搭載品) のみ

(2) ポート以外の機能 (2/3) : 78K0/KF2

機能名称	入出力	機 能	リセット時	兼用機能
SCK10	入出力	CSI10, CSI11のクロック入出力	入力ポート	P10/TxD0
SCK11				P04
SCKA0	入出力	CSIA0のクロック入出力	入力ポート	P142
SCL0	入出力	I ² Cのクロック入出力	入力ポート	P60
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SI10	入力	CSI10, CSI11のシリアル・データ入力	入力ポート	P11/RxD0
SI11				P03
SIA0	入力	CSIA0のシリアル・データ入力	入力ポート	P143
SO10	出力	CSI10, CSI11のシリアル・データ出力	入力ポート	P12
SO11				P02
SOA0	出力	CSIA0のシリアル・データ出力	入力ポート	P144
SSI11	入力	CSI11のチップ・セレクト入力	入力ポート	P05/TI001
STB0	出力	CSIA0のストローブ出力	入力ポート	P145
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力ポート	P00
TI001		16ビット・タイマ/イベント・カウンタ01への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001, CR011) へのキャプチャ・トリガ入力		P05/SSI11
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力	入力ポート	P01/TO00
TI011		16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001) へのキャプチャ・トリガ入力		P06/TO01
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO01		16ビット・タイマ/イベント・カウンタ01出力		P06/TI011
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0	出力	8ビット・タイマH0出力	入力ポート	P15
TOH1		8ビット・タイマH1出力		P16/INTP5
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P13
X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A [※]
X2	—		入力ポート	P122/EXCLK/ OCD0B [※]
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B [※]

注 μ PD78F0547D, 78F0547DA (オンチップ・デバッグ機能搭載品) のみ

(2) ポート以外の機能 (3/3) : 78K0/KF2

機能名称	入出力	機 能	リセット時	兼用機能
XT1	－	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	－		入力ポート	P124/EXCLKS
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力ポート	P124/XT2
V _{DD}	－	P121-P124の正電源，およびポート部以外の正電源	－	－
EV _{DD}	－	P20-P27，P121-P124以外のポート部の正電源。V _{DD} と同電位にしてください。	－	－
AV _{REF}	－	A/Dコンバータの基準電圧入力およびP20-P27，A/Dコンバータの正電源	－	－
V _{SS}	－	P121-P124のグランド電位，およびポート部以外のグランド電位	－	－
EV _{SS}	－	P20-P27，P121-P124以外のポート部のグランド電位。V _{SS} と同電位にしてください。	－	－
AV _{SS}	－	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	－	－
OCD0A [※]	入力	オンチップ・デバッグ・モード引き込み用接続 (μ PD78F0547D, 78F0547DAのみ)	入力ポート	P121/X1
OCD1A [※]				P31/INTP2
OCD0B [※]	－			P122/X2/EXCLK
OCD1B [※]				P32/INTP3

注 μ PD78F0547D, 78F0547DA (オンチップ・デバッグ機能搭載品) のみ

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00-P06 (Port 0)

入出力ポートです。入出力ポートのほかにタイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P00/TI000	○		○	○	○	
P01/TI010/TO00	○		○	○	○	
P02/SO11	—		P02 ^注	P02 ^注	○	
P03/SI11	—		P03 ^注	P03 ^注	○	
P04/SCK11	—		—	P04 ^注	○	
P05/TI001/SSI11	—		—	P05 ^注	○	
P06/TI011/TO01	—		—	P06 ^注	○	

注 78K0/KD2の製品と、フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品は、ポート機能のみで、兼用機能はありません。

備考 ○：搭載，—：非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力として機能します。

(a) TI000, TI001

16ビット・タイマ／イベント・カウンタ00, 01への外部カウント・クロック入力端子および16ビット・タイマ／イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000, CR010またはCR001, CR011) へのキャプチャ・トリガ信号入力端子です。

(b) TI010, TI011

16ビット・タイマ／イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000またはCR001) へのキャプチャ・トリガ信号入力端子です。

(c) TO00, TO01

16ビット・タイマ／イベント・カウンタ00, 01のタイマ出力端子です。

(d) SI11

シリアル・インタフェースCSI11のシリアル・データ入力端子です。

(e) SO11

シリアル・インタフェースCSI11のシリアル・データ出力端子です。

(f) SCK11

シリアル・インタフェースCSI11のシリアル・クロック入出力端子です。

(g) SSI11

シリアル・インタフェースCSI11のチップ・セレクト入力端子です。

2.2.2 P10-P17 (Port 1)

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P10/SCK10/TxD0						○
P11/SI10/RxD0						○
P12/SO10						○
P13/TxD6						○
P14/RxD6						○
P15/TOH0						○
P16/TOH1/INTP5						○
P17/TI50/TO50						○

備考 ○：搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(e) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(f) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(g) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

(h) TI50

8ビット・タイマ／イベント・カウンタ50への外部カウント・クロック入力端子です。

(i) TO50

8ビット・タイマ／イベント・カウンタ50のタイマ出力端子です。

(j) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(k) INTP5

有効エッジ（立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.2.3 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P20/ANI0	○	○		○		
P21/ANI1	○	○		○		
P22/ANI2	○	○		○		
P23/ANI3	○	○		○		
P24/ANI4	—	○		○		
P25/ANI5	—	○		○		
P26/ANI6	—	○ ^注		○		
P27/ANI7	—	○ ^注		○		

注 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM2のビット6, 7には1を、P2のビット6, 7には0を必ず設定してください。

備考 ○：搭載，—：非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場合、13.6 A/Dコンバータの注意事項 (5) ANI0/P20-ANI7/P27を参照してください。

注意 ANI0/P20-ANI7/P27は、リセット解除後はアナログ入力モードになります。

2.2.4 P30-P33 (Port 3)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P30/INTP1						○
P31/INTP2/ OCD1A [※]						○
P32/INTP3/ OCD1B [※]						○
P33/INTP4/TI51/ TO51						○

注 OCD1A, OCD1Bはオンチップ・デバッグ機能搭載品 (μ PD78F05xx, 78F05xxDA) のみ。

備考 ○：搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

(a) INTP1-INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

(c) TO51

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

注意1. オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) は、誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。

注意2. オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のP31/INTP2/OCD1A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A
フラッシュ・メモリ・プログラマ接続		抵抗を介してEV _{SS} [※] に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、EV _{DD} [※] またはEV _{SS} [※] に接続してください。 出力時：オープンにしてください。
	リセット解除時	

注 EV_{SS}端子がない製品は、V_{SS}に接続してください。EV_{DD}端子がない製品は、V_{DD}に接続してください。

備考 オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のP31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第28章 オンチップ・デバッグ機能 (μ PD78F05xxD, PD78F05xxDAのみ) を参照してください。

2.2.5 P40-P47 (Port 4)

入出力ポートです。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P40	—	○ ^注	○	○	○	○
P41	—	○ ^注	○	○	○	○
P42	—	—	—	○	○	○
P43	—	—	—	○	○	○
P44	—	—	—	—	—	○
P45	—	—	—	—	—	○
P46	—	—	—	—	—	○
P47	—	—	—	—	—	○

注 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM4のビット0, 1とP4のビット0, 1には必ず0を設定してください。

備考 ○：搭載，—：非搭載

2.2.6 P50-P57 (Port 5)

入出力ポートです。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P50	—	—	—	○	○	
P51	—	—	—	○	○	
P52	—	—	—	○	○	
P53	—	—	—	○	○	
P54	—	—	—	—	○	
P55	—	—	—	—	○	
P56	—	—	—	—	○	
P57	—	—	—	—	○	

備考 ○：搭載，—：非搭載

2.2.7 P60-P67 (Port 6)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、外部クロック入力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P60/SCL0	○	—	○	—	—	○
P61/SDA0	○	—	○	—	—	○
P62/EXSCL0	—	—	○	—	—	○
P63	—	—	○	—	—	○
P64	—	—	—	—	—	○
P65	—	—	—	—	—	○
P66	—	—	—	—	—	○
P67	—	—	—	—	—	○

備考 ○：搭載，—：非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ6 (PU6) の設定により、P64-P67は内蔵プルアップ抵抗を使用できます。

P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、外部クロック入力として機能します。

(a) SDA0

シリアル・インタフェースIIC0のシリアル・データ入出力端子です。

(b) SCL0

シリアル・インタフェースIIC0のシリアル・クロック入出力端子です。

(c) EXSCL0

シリアル・インタフェースIIC0の外部クロック入力端子です。外部クロックを入力する場合は、6.4MHzのクロックを入力してください。

2.2.8 P70-P77 (Port 7)

入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P70/KR0	—	○			○	
P71/KR1	—	○			○	
P72/KR2	—	○ ^{注1}			○	
P73/KR3	—	○ ^{注1}			○	
P74/KR4	—	P74 ^{注2}			○	
P75/KR5	—	P75 ^{注2}			○	
P76/KR6	—	—			○	
P77/KR7	—	—			○	

注1. 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM7のビット2, 3とP7のビット2, 3には必ず0を設定してください。

2. 78K0/KC2の38ピン製品と44ピン製品は搭載していません。また、48ピン製品はポート機能のみで、兼用機能はありません。

備考 ○：搭載，—：非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子として機能します。

(a) KR0-KR7

キー割り込み入力端子です。

2.2.9 P120-P124 (Port 12)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P120/INTP0/EXLVI	○			○		
P121/X1/OCD0A ^注	○			○		
P122/X2/EXCLK/ OCD0B ^注	○			○		
P123/XT1	—			○		
P124/XT2/ EXCLKS	—			○		

注 OCD0A, OCD0Bはオンチップ・デバッグ機能搭載品 (μPD78F05xxD, 78F05xxDA) のみ。

備考 ○：搭載，—：非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により，P120のみ内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力 (INTP0) として機能します。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

(f) EXCLKS

サブシステム・クロック用外部クロック入力端子です。

注意 オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
	リセット解除時	

備考 オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のX1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第28章 オンチップ・デバッグ機能 (μ PD78F05xxD, 78F05xxDAのみ) を参照してください。

2.2.10 P130 (Port 13)

出力専用ポートです。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P130	—	○ ^注	○			

注 78K0/KC2の38ピン製品と44ピン製品は搭載していません。

備考1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます（5.

2. 10 ポート13の備考の図を参照）。

2. ○：搭載，－：非搭載

2.2.11 P140-P145 (Port 14)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、クロック出力、ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力、ビジィ入力、ストローブ出力機能があります。

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P140/PCL/INTP6	—	○ ^{注1}	○	○		○
P141/BUZ/BUSY0/INTP7	—	—	—	P141/BUZ/INTP7 ^{注2}		○
P142/SCKA0	—	—	—	—		○
P143/SIA0	—	—	—	—		○
P144/SOA0	—	—	—	—		○
P145/STB0	—	—	—	—		○

注1. 78K0/KC2の38ピン製品と44ピン製品は搭載していません。

2. 78K0/KE2の製品は、BUSY0入力機能はありません。

備考 ○：搭載，－：非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14（PM14）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14（PU14）の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、クロック出力、ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力、ビジィ入力、ストローブ出力機能として機能します。

(a) INTP6, INTP7

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) PCL

クロック出力端子です。

(c) BUZ

ブザー出力端子です。

(d) BUSY0

シリアル・インタフェースCSIA0のビジィ入力端子です。

(e) SIA0

シリアル・インタフェースCSIA0のシリアル・データ入力端子です。

(f) SOA0

シリアル・インタフェースCSIA0のシリアル・データ出力端子です。

(g) $\overline{\text{SCKA0}}$

シリアル・インタフェースCSIA0のシリアル・クロック入出力端子です。

(h) STB0

シリアル・インタフェースCSIA0のストローブ出力端子です。

2.2.12 AV_{REF} , AV_{SS} , V_{DD} , EV_{DD} , V_{SS} , EV_{SS}

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 K バイト以下	フラッシュ・メモリが48 K バイト以上	
AV_{REF}	○	○		○		
AV_{SS}	○	○		○		
V_{DD}	○	○		○		
EV_{DD}	○ ^注	—		○		
V_{SS}	○	○		○		
EV_{SS}	○ ^注	—		○		

注 78K0/KB2の30ピン製品は搭載していません。

備考 ○：搭載，—：非搭載

(a) AV_{REF}

A/Dコンバータの基準電圧入力、およびP20-P27, A/Dコンバータの正電源供給端子です。

A/Dコンバータを使用しない場合は、 EV_{DD} または V_{DD} に直接接続してください^注。

注 ポート2をデジタル・ポートとして使用する場合は、 V_{DD} と同電位にしてください。

(b) AV_{SS}

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} と同電位で使用してください。

(c) V_{DD} , EV_{DD}

V_{DD} は、P121-P124の正電源、およびポート部以外の正電源供給端子です^注。

EV_{DD} は、P20-P27, P121-P124以外の、ポート部の正電源供給端子です。

V_{DD} と EV_{DD} は、常に同電位で使用してください。

注 EV_{DD} 端子が搭載されていない製品では、 V_{DD} をP20-P27以外の正電源供給端子として使用してください。

(d) V_{SS} , EV_{SS}

V_{SS} は、P121-P124のグランド電位、およびポート部以外のグランド電位端子です[※]。

EV_{SS} は、P20-P27, P121-P124以外の、ポート部のグランド電位端子です。

V_{SS} と EV_{SS} は、常に同電位で使用してください。

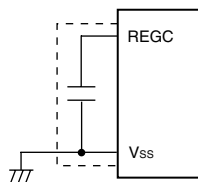
注 EV_{SS} 端子が搭載されていない製品では、 V_{SS} をP20-P27以外のグランド電位端子として使用してください。

2.2.13 $\overline{RESET}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.14 REGC

内部動作レギュレータ出力 (2.5 V) 安定容量接続端子です。コンデンサ (0.47~1 μF) を介し、 V_{SS} に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.15 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、FLMD0を EV_{SS} または V_{SS} に接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-3に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

備考 製品により、搭載している端子が異なります。1.5 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

表2-3 各端子の入出力回路タイプ (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AQ	入出力	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P02/SO11	5-AG		
P03/SI11	注1		
P04/SCK11			
P05/TI001/SSI11			
P06/TI011/TO01			
P10/SCK10/TxD0	5-AQ		
P11/SI10/RxD0			
P12/SO10	5-AG		
P13/TxD6			
P14/RxD6	5-AQ		
P15/TOH0	5-AG		
P16/TOH1/INTP5	5-AQ		
P17/TI50/TO50			
ANI0/P20- ANI7/P27 ^{注2}	11-G		

注1. 「5-AG」タイプ：78K0/KD2とフラッシュ・メモリが32 Kバイト以下の78K0/KE2

「5-AQ」タイプ：78K0/KF2とフラッシュ・メモリが48 Kバイト以上の78K0/KE2

(上記以外の製品は、P03-P06を搭載していません)

2. ANI0/P20-ANI7/P27は、リセット解除後はアナログ入力モードになります。

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き換えてください。

表2-3 各端子の入出力回路タイプ (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P30/INTP1	5-AQ	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P31/INTP2/OCD1A ^{注1}			
P32/INTP3/OCD1B			
P33/TI51/TO51/INTP4			
P40-P47	5-AG		
P50-P57			
P60/SCL0	13-AI		
P61/SDA0			
P62/EXSCL0			
P63	13-P		
P64-P67	5-AG		
P70/KR0-P77/KR7	5-AQ		
P120/INTP0/EXLVI			
P121/X1/OCD0A ^{注1, 2}	37		
P122/X2/EXCLK/OCD0B ^{注2}			
P123/XT1 ^{注2}			
P124/XT2/EXCLKS ^{注2}			
P130	3-C	出力	オープンにしてください。
P140/PCL/INTP6	5-AQ	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P141/BUZ/BUSY0/INTP7			
P142/SCKA0			
P143/SIA0			

注1. オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のP31/INTP2/OCD1A端子とP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A	P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してEV _{SS} に接続してください。	抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
	リセット解除時		

2. 未使用時は、入出力ポート・モード (図6-3, 図6-4 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。

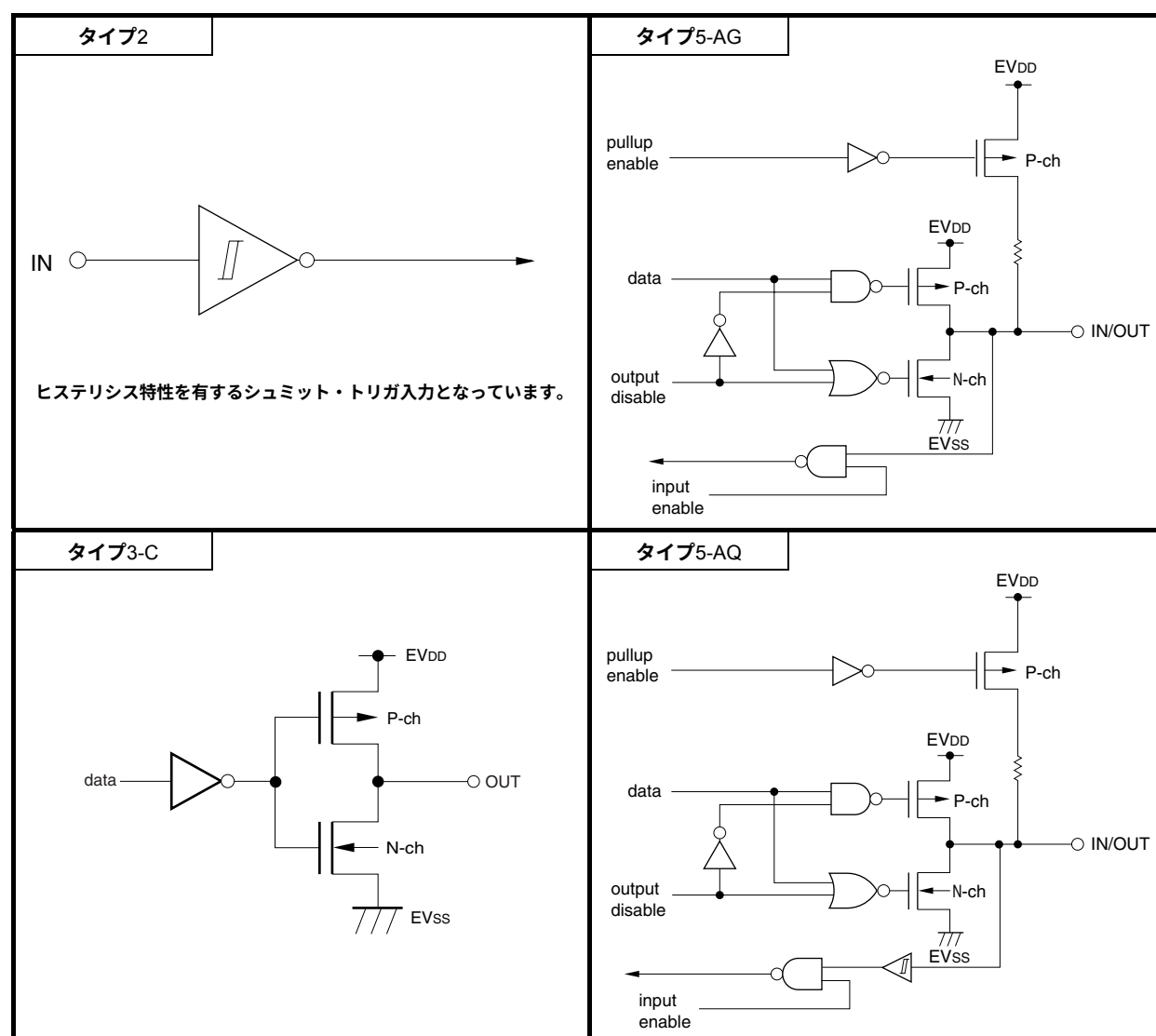
備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き換えてください。

表2-3 各端子の入出力回路タイプ (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P144/SOA0	5-AG	入出力	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P145/STB0			
★ AV _{REF}	—	—	<P20-P27のうち、1本でもデジタル・ポートとして設定時> EV _{DD} またはV _{DD} と同電位にしてください。 <P20-P27をすべてアナログ・ポートとして設定時> 1.8 V ≤ AV _{REF} ≤ V _{DD} となる電位にしてください。
★ AV _{SS}	—	—	EV _{SS} , V _{SS} と同電位にしてください。
FLMD0	38-A	—	EV _{SS} またはV _{SS} に接続してください。 [※]
RESET	2	入力	EV _{DD} に直接接続または抵抗を介して接続してください。
★ REGC	—	—	コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。

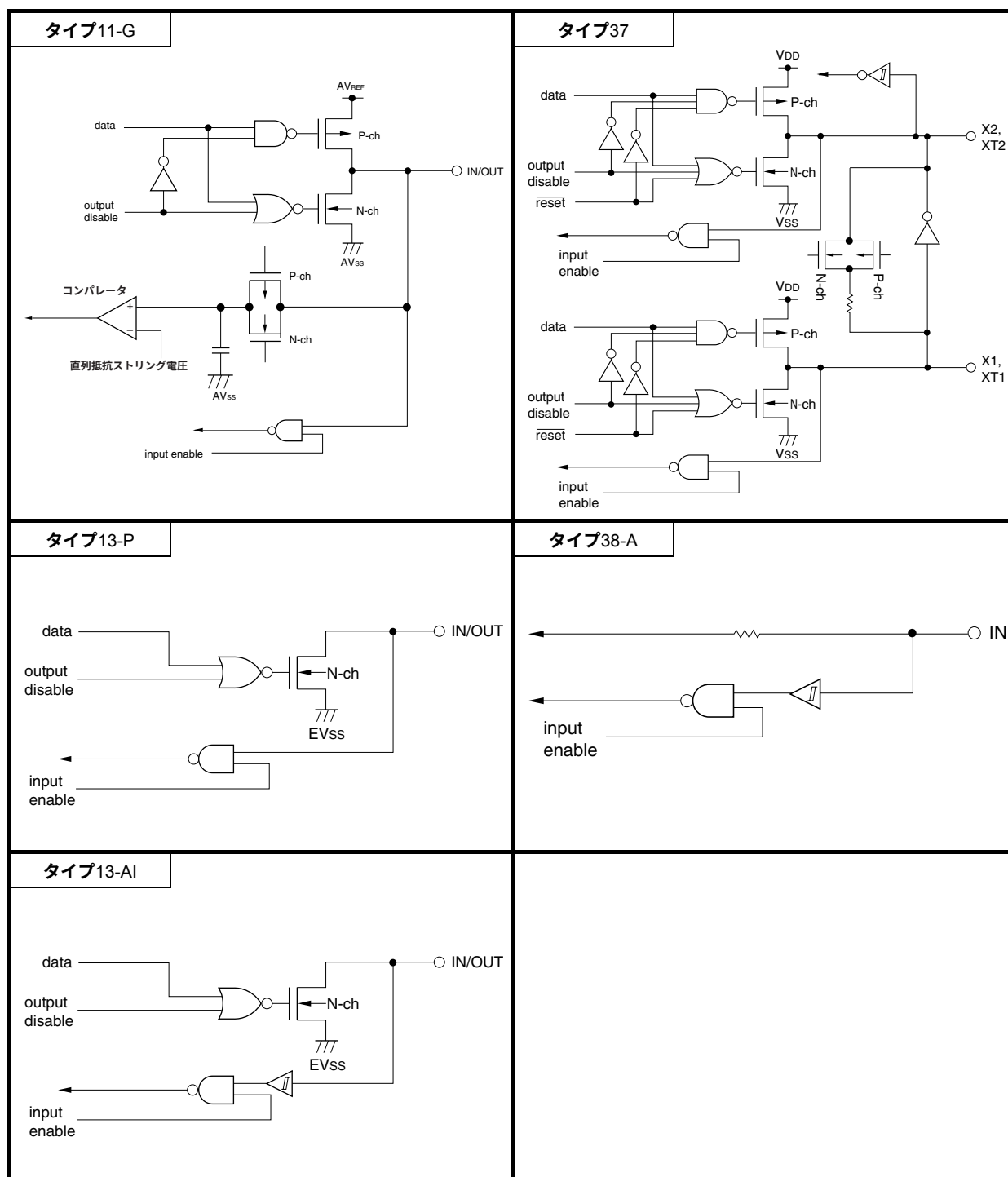
注 FLMD0は、フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は、抵抗 (10 kΩ：推奨) を介して、EV_{SS}またはV_{SS}に接続してください。オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) でオンチップ・デバッグを行う場合も同様です。

図2-1 端子の入出力回路一覧 (1/2)



備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き換えてください。

図2-1 端子の入出力回路一覧 (2/2)



備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き換えてください。

第3章 CPUアーキテクチャ

3.1 メモリ空間

78K0/Kx2マイクロコントローラは、64 Kバイトのメモリ空間をアクセスできます。図3-1から図3-11に、メモリ・マップを示します。

- 注意1.** メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2マイクロコントローラのすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。
- 2.** メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表3-1 メモリ・サイズ切り替えレジスタ (IMS) の設定値 (78K0/KC2の38ピン, 44ピン製品, 78K0/KB2)

78K0/KB2	78K0/KC2の 38ピン, 44ピン 製品	IMS	ROM容量	内部高速RAM容量
μ PD78F0500, 78F0500A	—	42H	8 Kバイト	512バイト
μ PD78F0501, 78F0501A	μ PD78F0511, 78F0511A	04H	16 Kバイト	768バイト
μ PD78F0502, 78F0502A	μ PD78F0512, 78F0512A	C6H	24 Kバイト	1 Kバイト
μ PD78F0503, 78F0503A, 78F0503D ^注 , 78F0503DA ^注	μ PD78F0513, 78F0513A, 78F0513D ^注 , 78F0513DA ^注	C8H	32 Kバイト	1 Kバイト

注 オンチップ・デバッグ機能搭載品は、IMSの設定によりROM容量とRAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSの設定は、デバッグ対象の製品に合わせてください。

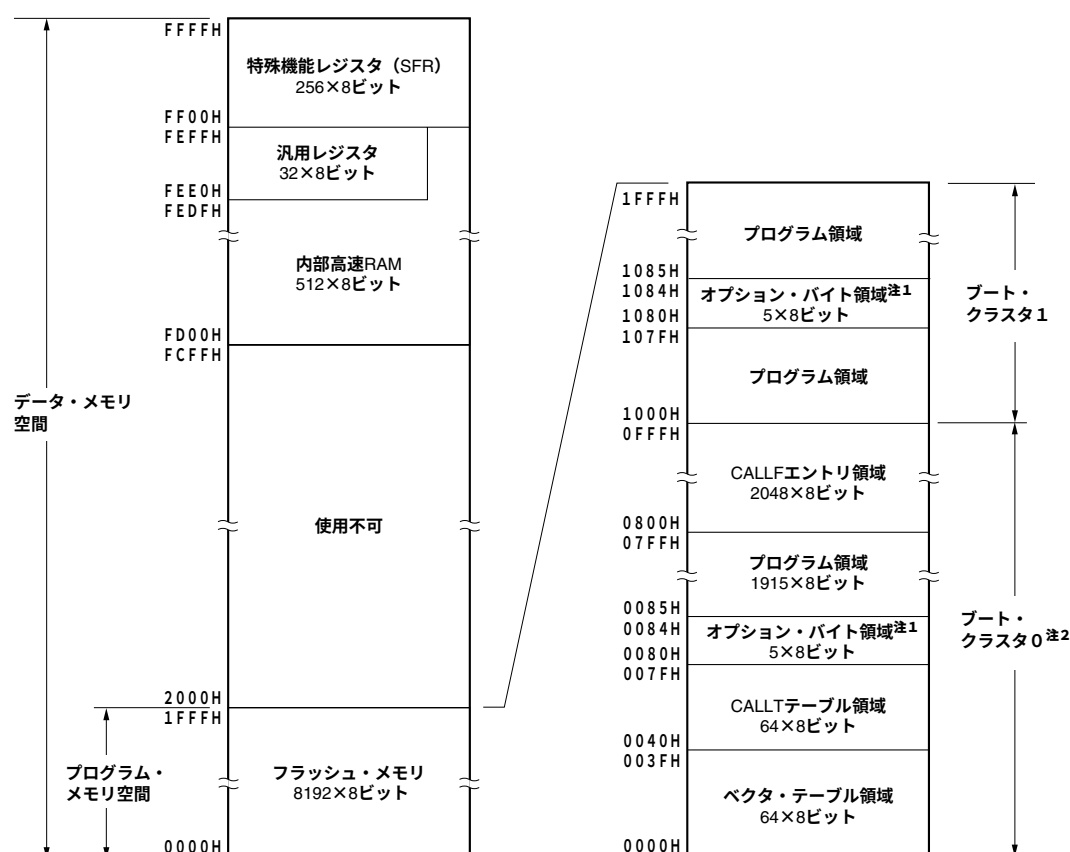
表3-2 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値
(78K0/KC2の48ピン製品, 78K0/KD2, 78K0/KE2, 78K0/KF2)

78K0/KC2の 48ピン製品	78K0/KD2	78K0/KE2	78K0/KF2	IMS	IXS	ROM 容量	内部高速 RAM容量	内部拡張 RAM容量
μ PD78F0511, 78F0511A	μ PD78F0521, 78F0521A	μ PD78F0531, 78F0531A	—	04H	0CH	16 K バイト	768 バイト	—
μ PD78F0512, 78F0512A	μ PD78F0522, 78F0522A	μ PD78F0532, 78F0532A	—	C6H	0CH	24 K バイト	1 K バイト	—
μ PD78F0513, 78F0513A	μ PD78F0523, 78F0523A	μ PD78F0533, 78F0533A	—	C8H	0CH	32 K バイト	1 K バイト	—
μ PD78F0514, 78F0514A	μ PD78F0524, 78F0524A	μ PD78F0534, 78F0534A	μ PD78F0544, 78F0544A	CCH	0AH	48 K バイト	1 K バイト	1 K バイト
μ PD78F0515, 78F0515A, 78F0515D ^{注1} , 78F0515DA ^{注1}	μ PD78F0525, 78F0525A	μ PD78F0535, 78F0535A	μ PD78F0545, 78F0545A	CFH	08H	60 K バイト		2 K バイト
—	μ PD78F0526, 78F0526A	μ PD78F0536, 78F0536A	μ PD78F0546, 78F0546A	CCH ^{注2}	04H	96 K バイト ^{注2}		4 K バイト
—	μ PD78F0527, 78F0527A, 78F0527D ^{注1} , 78F0527DA ^{注1}	μ PD78F0537, 78F0537A, 78F0537D ^{注1} , 78F0537DA ^{注1}	μ PD78F0547, 78F0547A, 78F0547D ^{注1} , 78F0547DA ^{注1}	CCH ^{注2}	00H	128 K バイト ^{注2}		6 K バイト

注1. オンチップ・デバッグ機能搭載品は、IMSとIXSの設定によりROM容量とRAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSとIXSの設定は、デバッグ対象の製品に合わせてください。

2. μ PD78F05x6, 78F05x6A (x = 2-4) の内部ROM容量は96 Kバイト、 μ PD78F05x7, 78F05x7A, 78F05x7D, 78F05x7DA (x = 2-4) の内部ROM容量は128 Kバイトですが、メモリ・バンクを使用するため、内部ROM容量が48 Kバイトの製品と同じ設定値になります。メモリ・バンク設定のレジスタについては、4.3 メモリ・バンク選択レジスタ (BANK) を参照してください。

図3-1 メモリ・マップ (μ PD78F0500, 78F0500A)

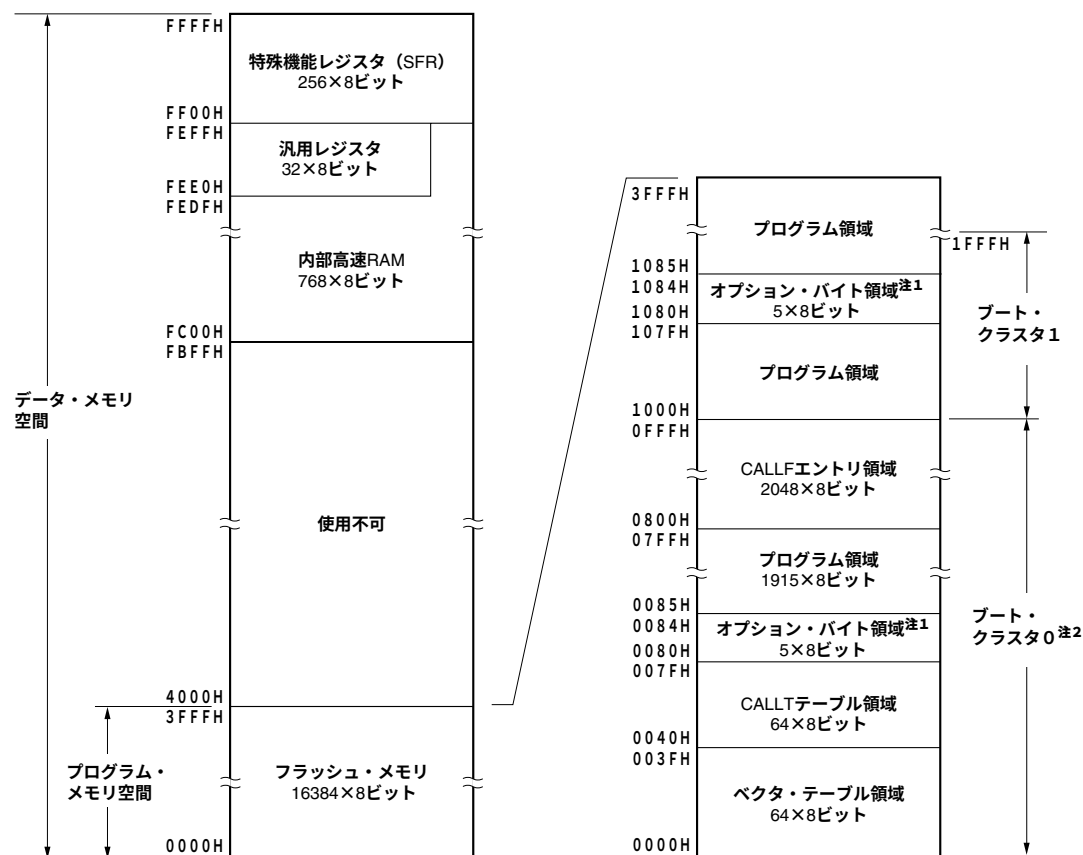


- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト設定
 ブート・スワップ使用時：0080H-0084H, 1080H-1084Hにオプション・バイト設定
2. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



図3-2 メモリ・マップ (μ PD78F0501, 78F0501A, 78F0511, 78F0511A, 78F0521, 78F0521A, 78F0531, 78F0531A)



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト設定
ブート・スワップ使用時：0080H-0084H, 1080H-1084Hにオプション・バイト設定
2. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

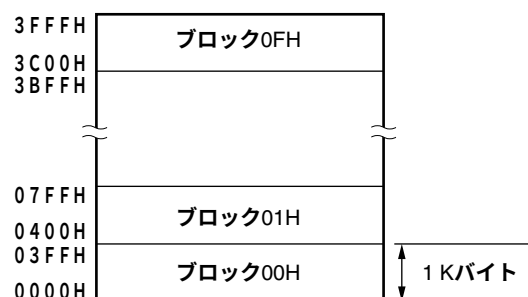
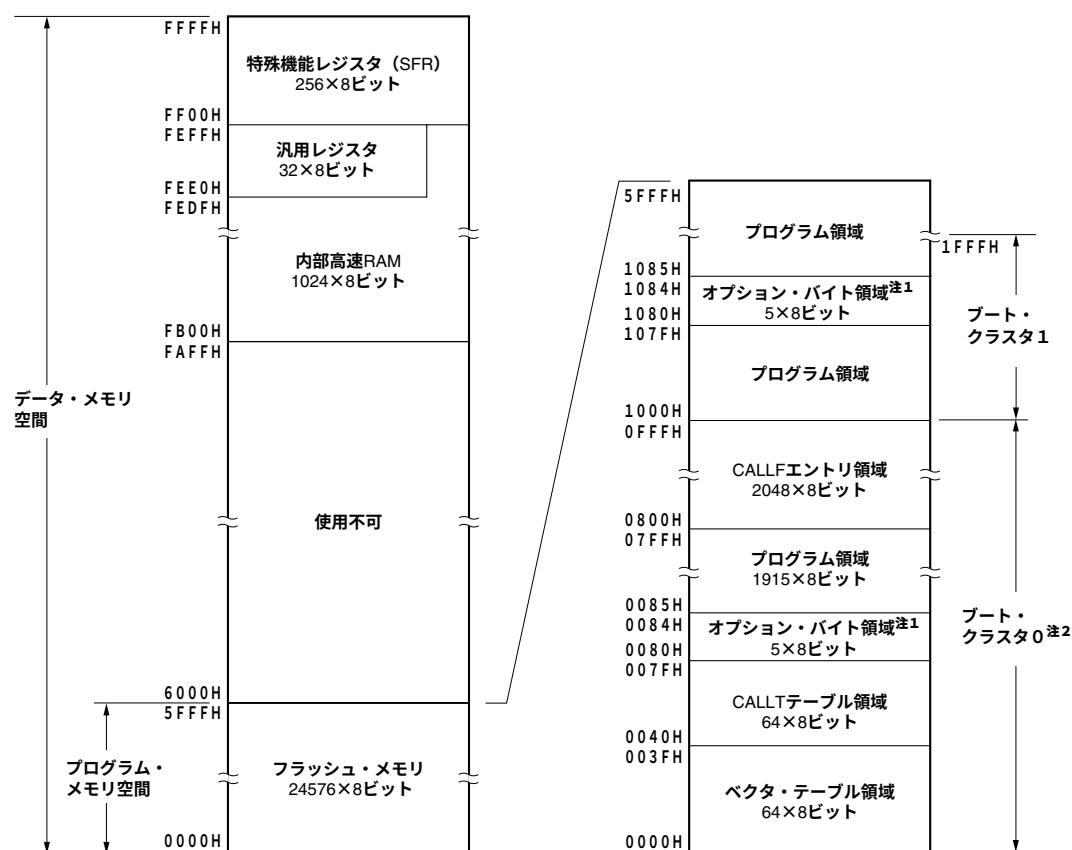


図3-3 メモリ・マップ (μ PD78F0502, 78F0502A, 78F0512, 78F0512A, 78F0522, 78F0522A, 78F0532, 78F0532A)



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト設定
ブート・スワップ使用時：0080H-0084H, 1080H-1084Hにオプション・バイト設定
2. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

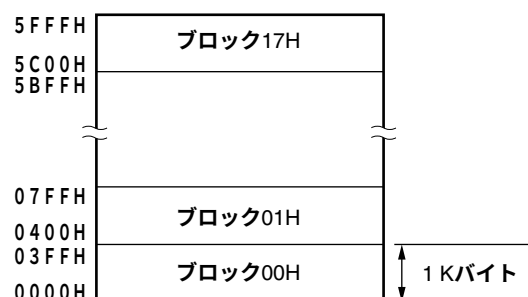
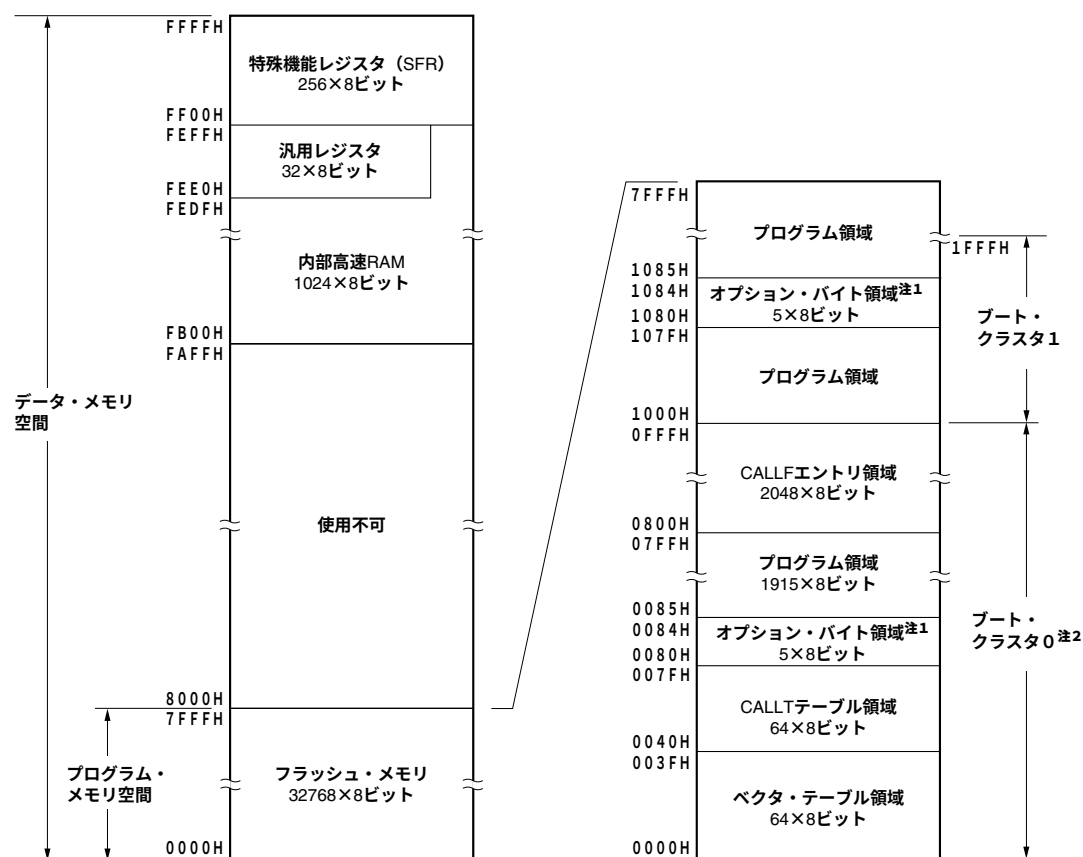


図3-4 メモリ・マップ (μ PD78F0503, 78F0503A, 78F0513, 78F0513A, 78F0523, 78F0523A, 78F0533, 78F0533A)



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト設定
ブート・スワップ使用時：0080H-0084H, 1080H-1084Hにオプション・バイト設定
2. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

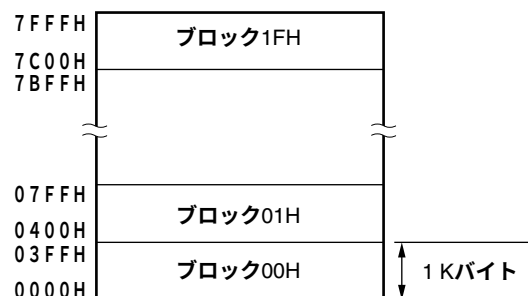
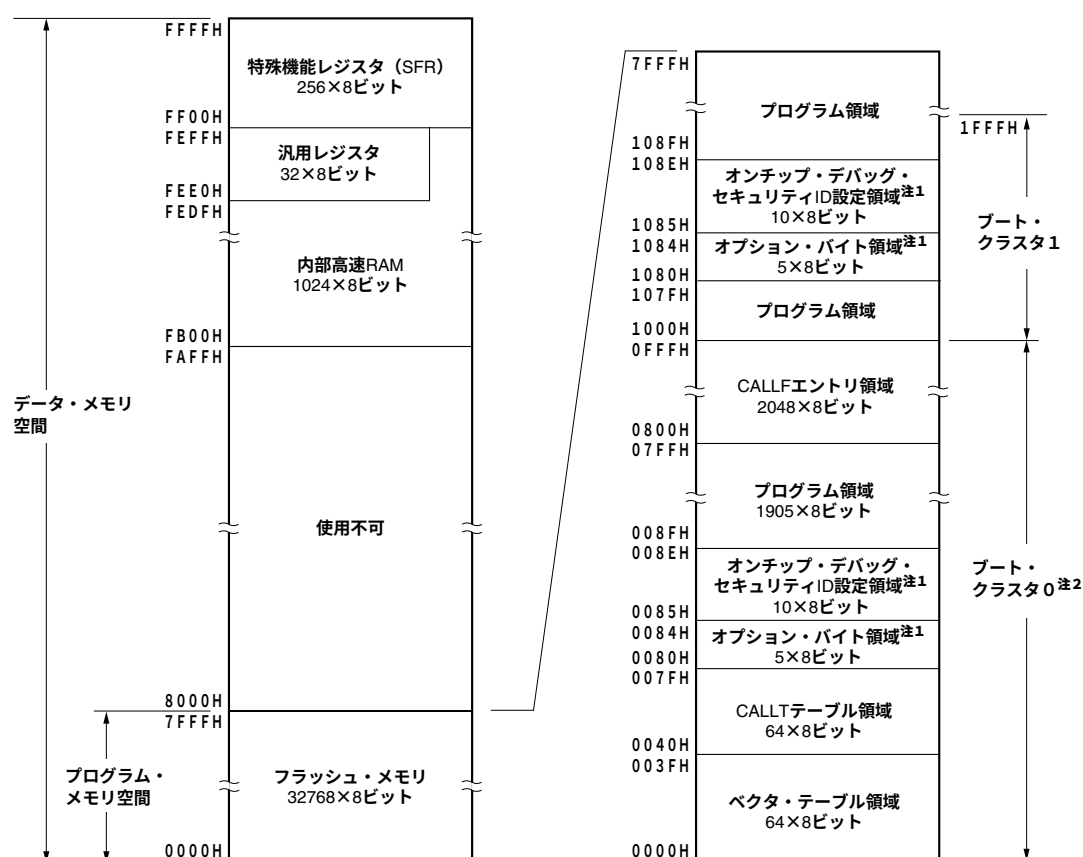


図3-5 メモリ・マップ (μ PD78F0503D, 78F0503DA, 78F0513D, 78F0513DA)



注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティID設定

2. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については，表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

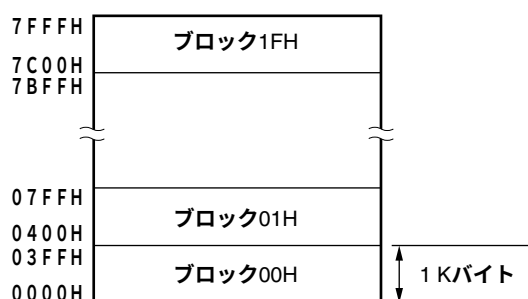
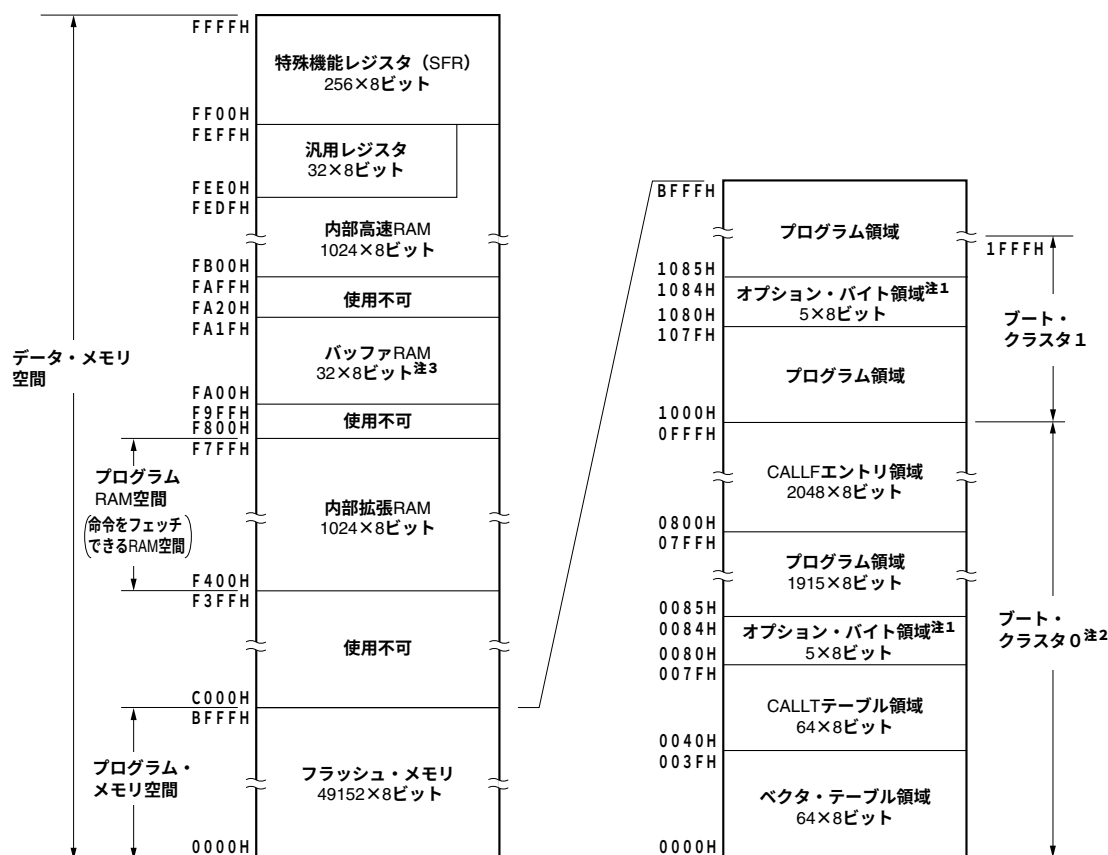


図3-6 メモリ・マップ (μ PD78F0514, 78F0514A, 78F0524, 78F0524A, 78F0534, 78F0534A, 78F0544, 78F0544A)



- 注1. ブート・スワップ未使用時: 0080H-0084Hにオプション・バイト設定
ブート・スワップ使用時: 0080H-0084H, 1080H-1084Hにオプション・バイト設定
2. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。
3. バッファRAMは, μ PD78F0544, 78F0544A (78K0/KF2) のみに内蔵されています。μ PD78F0514, 78F0514A, 78F0524, 78F0524A, 78F0534, 78F0534Aでは, FA00H-FA1FHの領域は使用不可です。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については, 表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

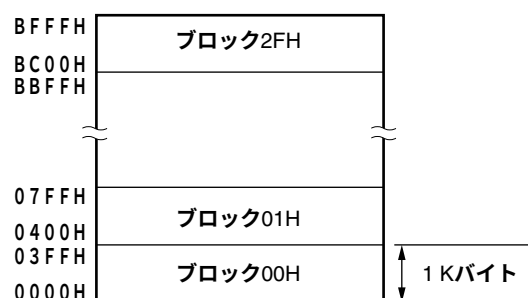
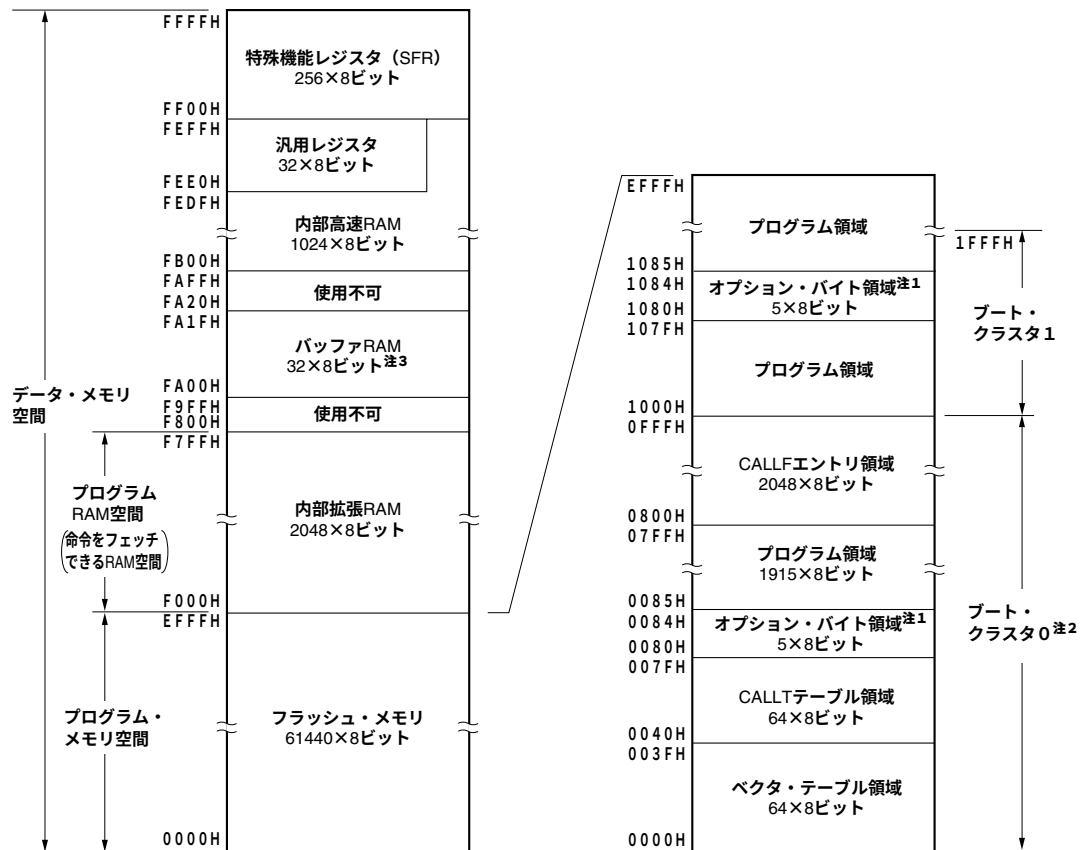


図3-7 メモリ・マップ (μ PD78F0515, 78F0515A, 78F0525, 78F0525A, 78F0535, 78F0535A, 78F0545, 78F0545A)



注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト設定

ブート・スワップ使用時：0080H-0084H, 1080H-1084Hにオプション・バイト設定

- セキュリティの設定により、ブート・クラス0は書き換えを禁止することができます (27.8 セキュリティ設定を参照)。
- バッファRAMは、μ PD78F0545, 78F0545A (78K0/KF2) のみに内蔵されています。μ PD78F0515, 78F0515A, 78F0525, 78F0525A, 78F0535, 78F0535Aでは、FA00H-FA1FHの領域は使用不可です。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

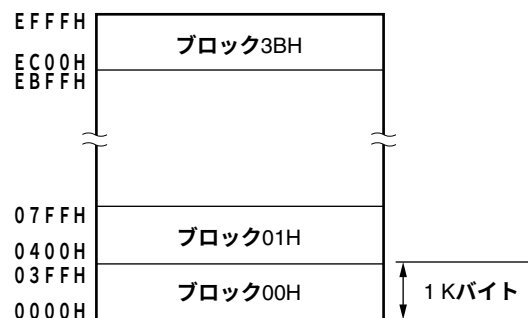
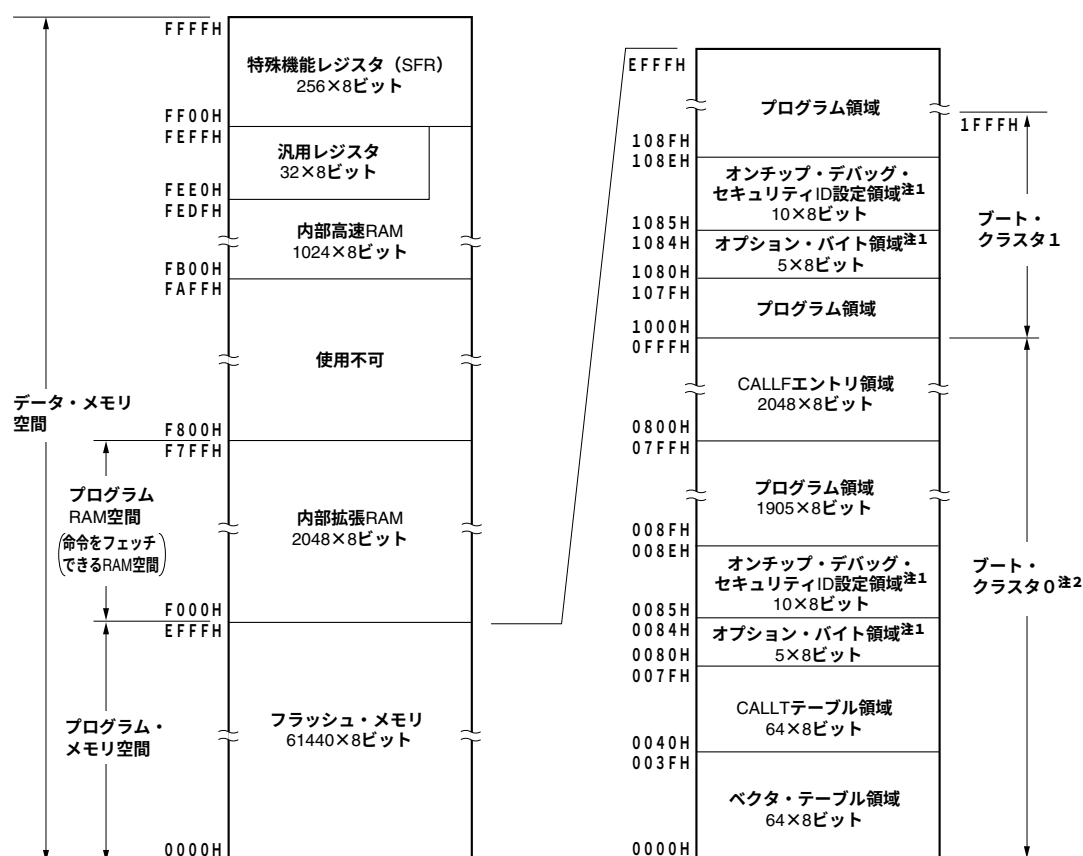


図3-8 メモリ・マップ (μ PD78F0515D, 78F0515DA)



注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティID設定

2. セキュリティの設定により，ブート・クラス0は書き換えを禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については，表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

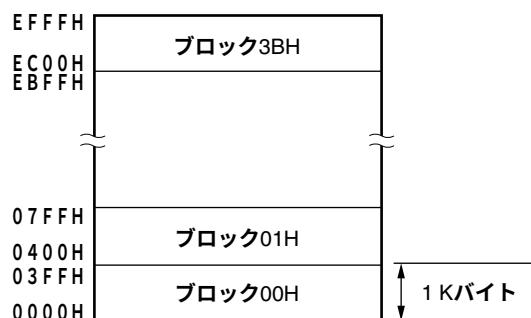
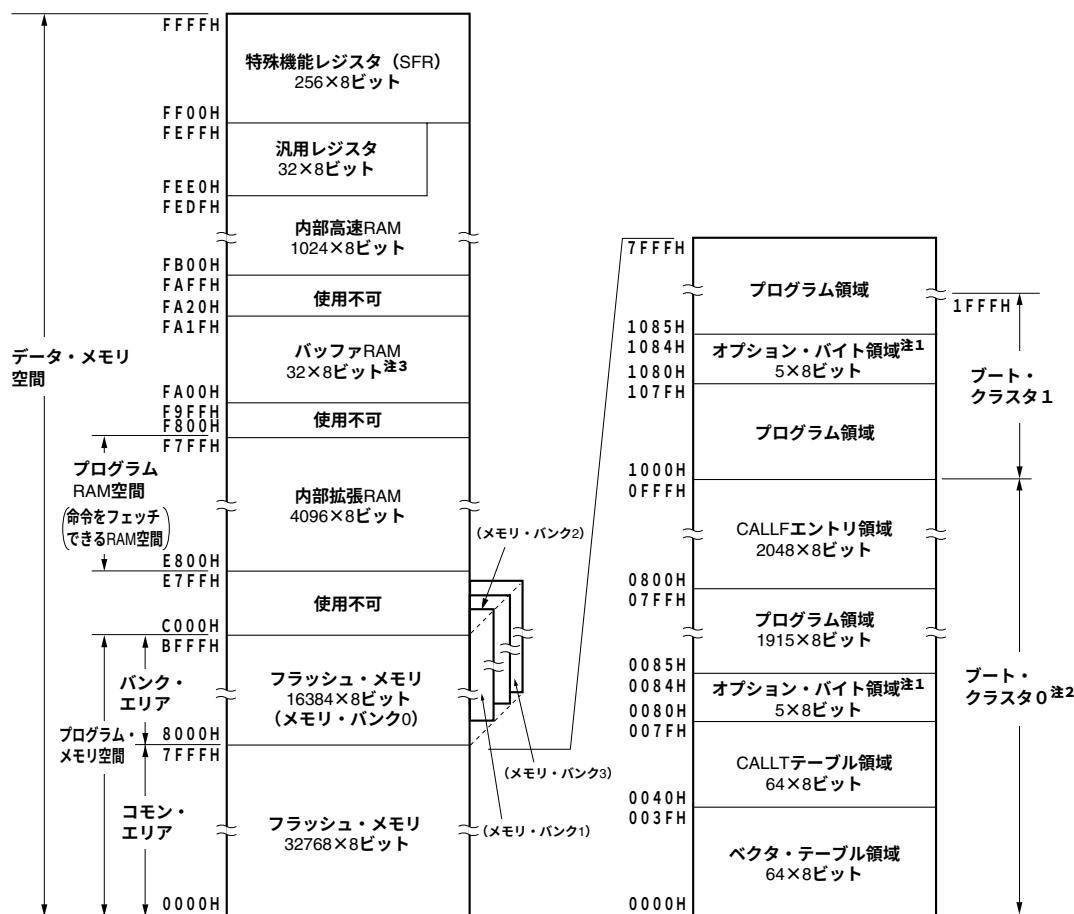


図3-9 メモリ・マップ (μ PD78F0526, 78F0526A, 78F0536, 78F0536A, 78F0546, 78F0546A)



注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト設定

ブート・スワップ使用時：0080H-0084H, 1080H-1084Hにオプション・バイト設定

- セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (27.8 セキュリティ設定を参照)。
- バッファRAMは、μ PD78F0546, 78F0546A (78K0/KF2) のみに内蔵されています。μ PD78F0526, 78F0526A, 78F0536, 78F0536Aでは、FA00H-FA1FHの領域は使用不可です。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

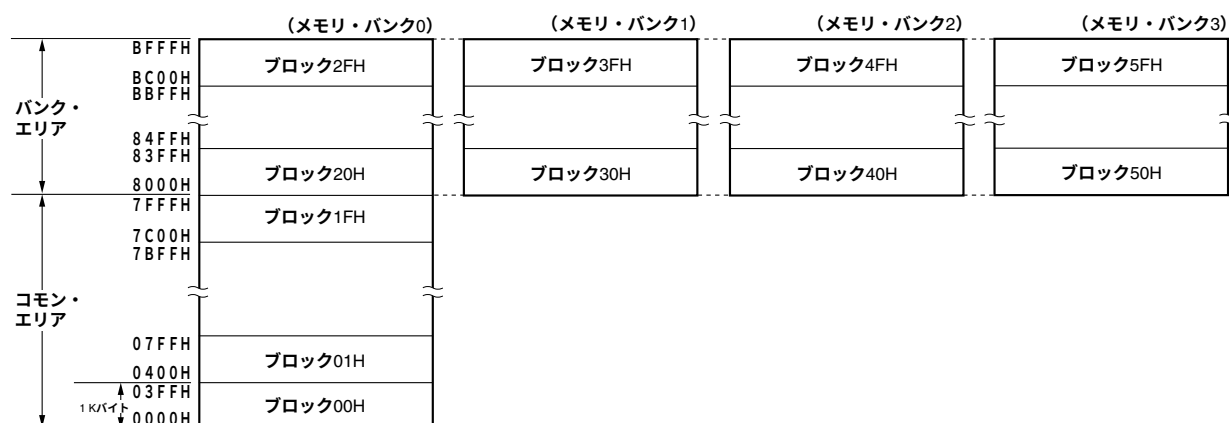
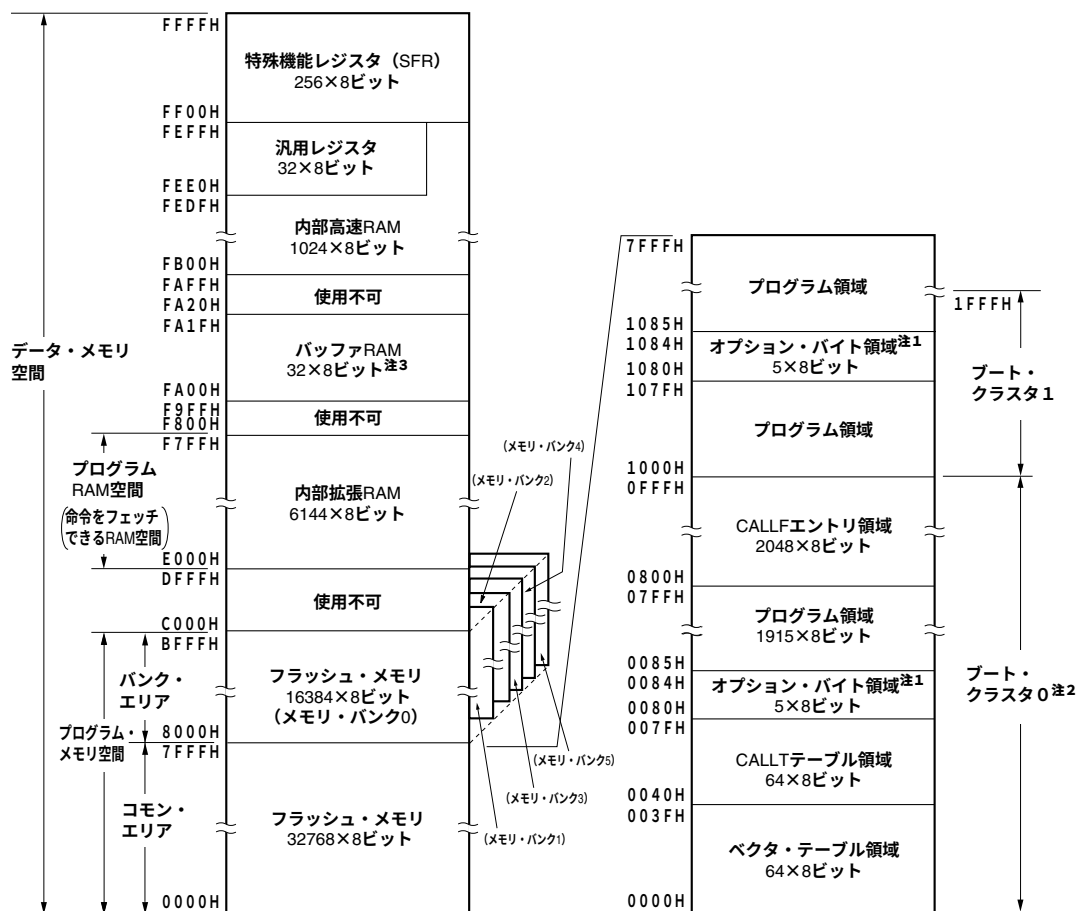


図3-10 メモリ・マップ (μ PD78F0527, 78F0527A, 78F0537, 78F0537A, 78F0547, 78F0547A)



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト設定
 ブート・スワップ使用時：0080H-0084H, 1080H-1084Hにオプション・バイト設定
2. セキュリティの設定により、ブート・クラス0は書き換えを禁止することができます (27.8 セキュリティ設定を参照)。
3. バッファRAMは、μ PD78F0547, 78F0547A (78K0/KF2) のみに内蔵されています。μ PD78F0527, 78F0527A, 78F0537, 78F0537Aでは、FA00H-FA1FHの領域は使用不可です。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

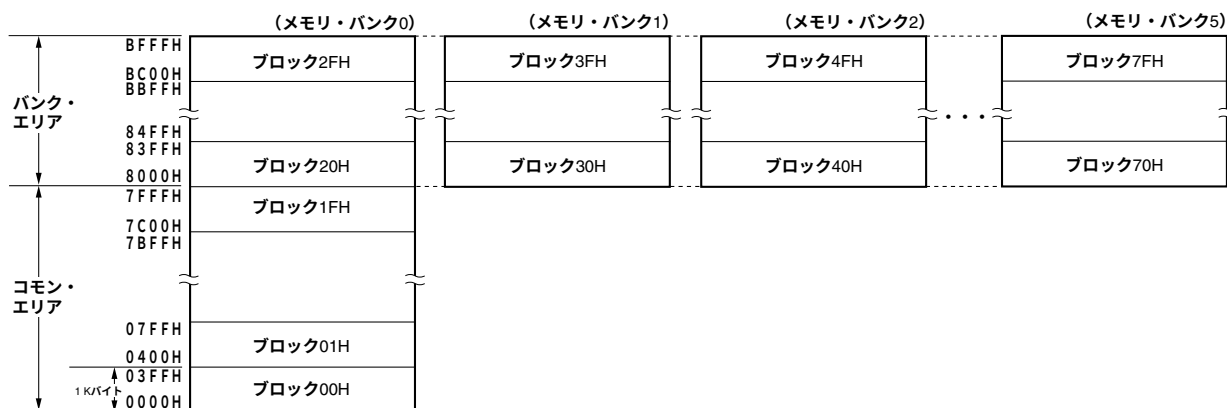
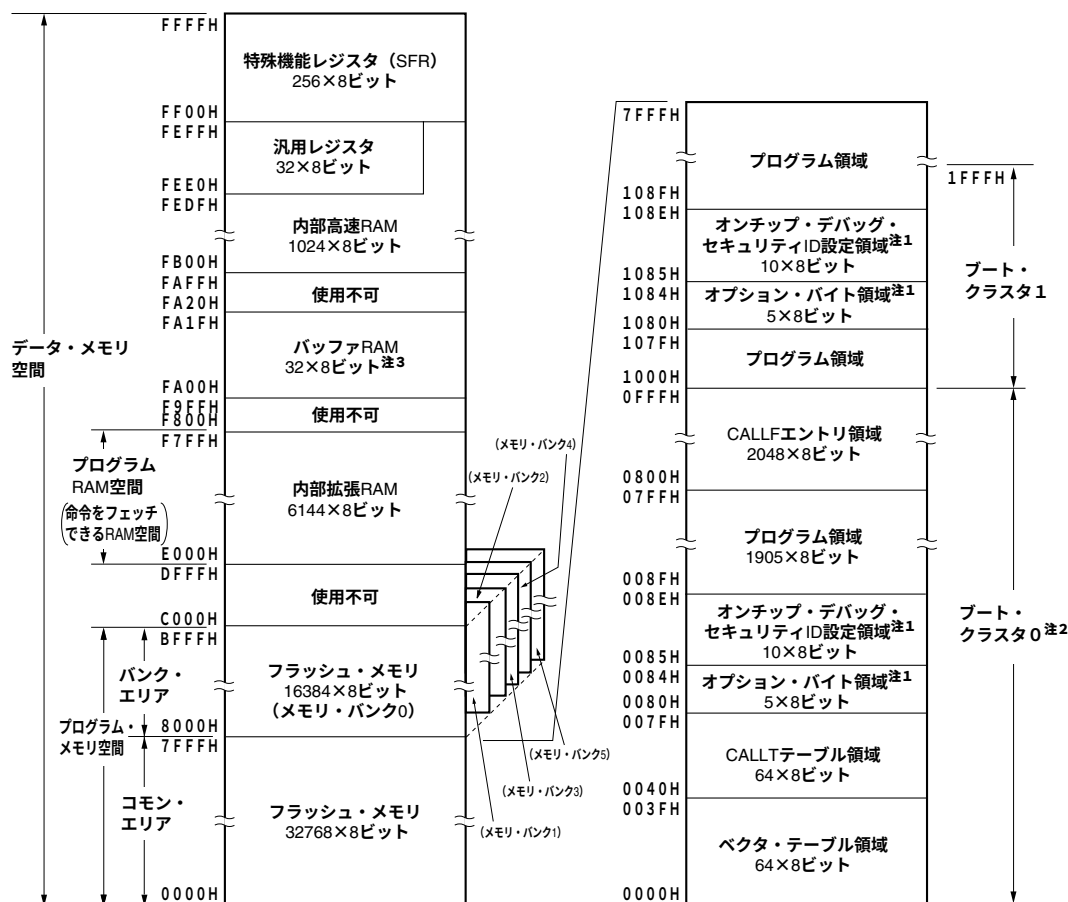


図3-11 メモリ・マップ (μ PD78F0527D, 78F0527DA, 78F0537D, 78F0537DA, 78F0547D, 78F0547DA)



注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティID設定

- セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます (27.8 セキュリティ設定を参照)。
- バッファRAMは，μ PD78F0547D, 78F0547DA (78K0/KF2) のみに内蔵されています。μ PD78F0527D, 78F0527DA, 78F0537D, 78F0537DAでは，FA00H-FA1FHの領域は使用不可です。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については，表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

	(メモリ・バンク0)	(メモリ・バンク1)	(メモリ・バンク2)	(メモリ・バンク5)
バンク・エリア	BFFFH BC00H BBFFH 84FFH 83FFH 8000H 7FFFH 7C00H 7BFFH	ブロック2FH ブロック20H ブロック1FH ブロック01H ブロック00H	ブロック3FH ブロック30H ブロック40H	ブロック4FH ... ブロック7FH ブロック70H
コモン・エリア	07FFH 0400H 03FFH 0000H			

フラッシュ・メモリのアドレス値とブロック番号の対応を示します。

表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/2)

(1) フラッシュ・メモリが60 Kバイト以下の製品 (メモリ・バンクあり)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-03FFH	00H	4000H-43FFH	10H	8000H-83FFH	20H	C000H-C3FFH	30H
0400H-07FFH	01H	4400H-47FFH	11H	8400H-87FFH	21H	C400H-C7FFH	31H
0800H-0BFFH	02H	4800H-4BFFH	12H	8800H-8BFFH	22H	C800H-CBFFH	32H
0C00H-0FFFH	03H	4C00H-4FFFH	13H	8C00H-8FFFH	23H	CC00H-CFFFH	33H
1000H-13FFH	04H	5000H-53FFH	14H	9000H-93FFH	24H	D000H-D3FFH	34H
1400H-17FFH	05H	5400H-57FFH	15H	9400H-97FFH	25H	D400H-D7FFH	35H
1800H-1BFFH	06H	5800H-5BFFH	16H	9800H-9BFFH	26H	D800H-DBFFH	36H
1C00H-1FFFH	07H	5C00H-5FFFH	17H	9C00H-9FFFH	27H	DC00H-DFFFH	37H
2000H-23FFH	08H	6000H-63FFH	18H	A000H-A3FFH	28H	E000H-E3FFH	38H
2400H-27FFH	09H	6400H-67FFH	19H	A400H-A7FFH	29H	E400H-E7FFH	39H
2800H-2BFFH	0AH	6800H-6BFFH	1AH	A800H-ABFFH	2AH	E800H-EBFFH	3AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH	AC00H-AFFFH	2BH	EC00H-EFFFH	3BH
3000H-33FFH	0CH	7000H-73FFH	1CH	B000H-B3FFH	2CH		
3400H-37FFH	0DH	7400H-77FFH	1DH	B400H-B7FFH	2DH		
3800H-3BFFH	0EH	7800H-7BFFH	1EH	B800H-BBFFH	2EH		
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH	BC00H-BFFFH	2FH		

備考 μ PD78F0500, 78F0500A : ブロック番号00H-07H
 μ PD78F05x1, 78F05x1A (x = 0-3) : ブロック番号00H-0FH
 μ PD78F05x2, 78F05x2A (x = 0-3) : ブロック番号00H-17H
 μ PD78F05x3, 78F05x3A (x = 0-3),
78F0503D, 78F0503DA, 78F0513D, 78F0513DA : ブロック番号00H-1FH
 μ PD78F05x4, 78F05x4A (x = 1-4) : ブロック番号00H-2FH
 μ PD78F05x5, 78F05x5A (x = 1-4), 78F0515D, 78F0515DA : ブロック番号00H-3BH

表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/2)

(2) フラッシュ・メモリが96 Kバイト以上の製品 (メモリ・バンクなし)

アドレス値	ブロック番号	アドレス値	メモリ・バンク	ブロック番号	アドレス値	メモリ・バンク	ブロック番号	アドレス値	メモリ・バンク	ブロック番号
0000H-03FFH	00H	8000H-83FFH	0	20H	8000H-83FFH	2	40H	8000H-83FFH	4	60H
0400H-07FFH	01H	8400H-87FFH		21H	8400H-87FFH		41H	8400H-87FFH		61H
0800H-0BFFH	02H	8800H-8BFFH		22H	8800H-8BFFH		42H	8800H-8BFFH		62H
0C00H-0FFFH	03H	8C00H-8FFFH		23H	8C00H-8FFFH		43H	8C00H-8FFFH		63H
1000H-13FFH	04H	9000H-93FFH		24H	9000H-93FFH		44H	9000H-93FFH		64H
1400H-17FFH	05H	9400H-97FFH		25H	9400H-97FFH		45H	9400H-97FFH		65H
1800H-1BFFH	06H	9800H-9BFFH		26H	9800H-9BFFH		46H	9800H-9BFFH		66H
1C00H-1FFFH	07H	9C00H-9FFFH		27H	9C00H-9FFFH		47H	9C00H-9FFFH		67H
2000H-23FFH	08H	A000H-A3FFH		28H	A000H-A3FFH		48H	A000H-A3FFH		68H
2400H-27FFH	09H	A400H-A7FFH		29H	A400H-A7FFH		49H	A400H-A7FFH		69H
2800H-2BFFH	0AH	A800H-ABFFH		2AH	A800H-ABFFH		4AH	A800H-ABFFH		6AH
2C00H-2FFFH	0BH	AC00H-AFFFH		2BH	AC00H-AFFFH		4BH	AC00H-AFFFH		6BH
3000H-33FFH	0CH	B000H-B3FFH		2CH	B000H-B3FFH		4CH	B000H-B3FFH		6CH
3400H-37FFH	0DH	B400H-B7FFH		2DH	B400H-B7FFH		4DH	B400H-B7FFH		6DH
3800H-3BFFH	0EH	B800H-BBFFH		2EH	B800H-BBFFH		4EH	B800H-BBFFH		6EH
3C00H-3FFFH	0FH	BC00H-BFFFH		2FH	BC00H-BFFFH		4FH	BC00H-BFFFH		6FH
4000H-43FFH	10H	8000H-83FFH	1	30H	8000H-83FFH	3	50H	8000H-83FFH	5	70H
4400H-47FFH	11H	8400H-87FFH		31H	8400H-87FFH		51H	8400H-87FFH		71H
4800H-4BFFH	12H	8800H-8BFFH		32H	8800H-8BFFH		52H	8800H-8BFFH		72H
4C00H-4FFFH	13H	8C00H-8FFFH		33H	8C00H-8FFFH		53H	8C00H-8FFFH		73H
5000H-53FFH	14H	9000H-93FFH		34H	9000H-93FFH		54H	9000H-93FFH		74H
5400H-57FFH	15H	9400H-97FFH		35H	9400H-97FFH		55H	9400H-97FFH		75H
5800H-5BFFH	16H	9800H-9BFFH		36H	9800H-9BFFH		56H	9800H-9BFFH		76H
5C00H-5FFFH	17H	9C00H-9FFFH		37H	9C00H-9FFFH		57H	9C00H-9FFFH		77H
6000H-63FFH	18H	A000H-A3FFH		38H	A000H-A3FFH		58H	A000H-A3FFH		78H
6400H-67FFH	19H	A400H-A7FFH		39H	A400H-A7FFH		59H	A400H-A7FFH		79H
6800H-6BFFH	1AH	A800H-ABFFH		3AH	A800H-ABFFH		5AH	A800H-ABFFH		7AH
6C00H-6FFFH	1BH	AC00H-AFFFH		3BH	AC00H-AFFFH		5BH	AC00H-AFFFH		7BH
7000H-73FFH	1CH	B000H-B3FFH		3CH	B000H-B3FFH		5CH	B000H-B3FFH		7CH
7400H-77FFH	1DH	B400H-B7FFH		3DH	B400H-B7FFH		5DH	B400H-B7FFH		7DH
7800H-7BFFH	1EH	B800H-BBFFH		3EH	B800H-BBFFH		5EH	B800H-BBFFH		7EH
7C00H-7FFFH	1FH	BC00H-BFFFH		3FH	BC00H-BFFFH		5FH	BC00H-BFFFH		7FH

備考 μ PD78F05x6, 78F05x6A ($x = 2-4$)

: ブロック番号00H-5FH

 μ PD78F05x7, 78F05x7A, 78F05x7D, 78F05x7DA ($x = 2-4$)

: ブロック番号00H-7FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

78K0/Kx2マイクロコントローラは、各製品ごとに次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-4 内部ROM容量

78K0/KB2 30/36ピン	78K0/KC2 38/44ピン		78K0/KD2 52ピン	78K0/KE2 64ピン	78K0/KF2 80ピン	内部ROM (フラッシュ・メモリ)
	38/44ピン	48ピン	52ピン	64ピン	80ピン	
μ PD78F0500, 78F0500A	—	—	—	—	—	8192×8ビット (0000H-1FFFFH)
μ PD78F0501, 78F0501A	μ PD78F0511, 78F0511A	μ PD78F0511, 78F0511A	μ PD78F0521, 78F0521A	μ PD78F0531, 78F0531A	—	16384×8ビット (0000H-3FFFFH)
μ PD78F0502, 78F0502A	μ PD78F0512, 78F0512A	μ PD78F0512, 78F0512A	μ PD78F0522, 78F0522A	μ PD78F0532, 78F0532A	—	24576×8ビット (0000H-5FFFFH)
μ PD78F0503D, 78F0503DA	μ PD78F0513D, 78F0513DA	μ PD78F0513, 78F0513A	μ PD78F0523, 78F0523A	μ PD78F0533, 78F0533A	—	32768×8ビット (0000H-7FFFFH)
μ PD78F0503, 78F0503A	μ PD78F0513, 78F0513A					
—	—	μ PD78F0514, 78F0514A	μ PD78F0524, 78F0524A	μ PD78F0534, 78F0534A	μ PD78F0544, 78F0544A	49152×8ビット (0000H-BFFFFH)
—	—	μ PD78F0515D, 78F0515DA	μ PD78F0525, 78F0525A	μ PD78F0535, 78F0535A	μ PD78F0545, 78F0545A	61440×8ビット (0000H-EFFFFH)
		μ PD78F0515, 78F0515A				
—	—	—	μ PD78F0526, 78F0526A	μ PD78F0536, 78F0536A	μ PD78F0546, 78F0546A	98304×8ビット (0000H-7FFFFH (コモン・ エリア: 32 Kバイト) + 8000H-BFFFFH (バンク・ エリア: 16 Kバイト) ×4)
—	—	—	μ PD78F0527D, 78F0527DA	μ PD78F0537D, 78F0537DA	μ PD78F0547D, 78F0547DA	131072×8ビット (0000H-7FFFFH (コモン・ エリア: 32 Kバイト) + 8000H-BFFFFH (バンク・ エリア: 16 Kバイト) ×6)
			μ PD78F0527, 78F0527A	μ PD78F0537, 78F0537A	μ PD78F0547, 78F0547A	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-5 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	KB2	KC2	KD2	KE2	KF2
0000H	RESET入力, POC, LVI, WDT	○	○	○	○	○
0004H	INTLVI	○	○	○	○	○
0006H	INTP0	○	○	○	○	○
0008H	INTP1	○	○	○	○	○
000AH	INTP2	○	○	○	○	○
000CH	INTP3	○	○	○	○	○
000EH	INTP4	○	○	○	○	○
0010H	INTP5	○	○	○	○	○
0012H	INTSRE6	○	○	○	○	○
0014H	INTSR6	○	○	○	○	○
0016H	INTST6	○	○	○	○	○
0018H	INTCSI10 / INTST0	○	○	○	○	○
001AH	INTTMH1	○	○	○	○	○
001CH	INTTMH0	○	○	○	○	○
001EH	INTTM50	○	○	○	○	○
0020H	INTTM000	○	○	○	○	○
0022H	INTTM010	○	○	○	○	○
0024H	INTAD	○	○	○	○	○
0026H	INTSR0	○	○	○	○	○
0028H	INTWTI	—	○	○	○	○
002AH	INTTM51	○	○	○	○	○
002CH	INTKR	—	○	○	○	○
002EH	INTWT	—	○	○	○	○
0030H	INTP6	—	○注1	○	○	○
0032H	INTP7	—	—	—	○	○
0034H	INTIIC0 / INTDMU	○注2	○注2	○注2	○注2	○
0036H	INTCSI11	—	—	—	○注3	○
0038H	INTTM001	—	—	—	○注3	○
003AH	INTTM011	—	—	—	○注3	○
003CH	INTACSI	—	—	—	—	○
003EH	BRK	○	○	○	○	○

注1. 48ピン製品のみ。

2. INTIIC0: フラッシュ・メモリが32 Kバイト以下の製品

INTIIC0/INTDMU: フラッシュ・メモリが48 Kバイト以上の製品

3. フラッシュ・メモリが48 Kバイト以上の製品のみ。

備考 ○：搭載，—：非搭載

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080H-0084H, 1080H-1084Hの5バイト領域にオプション・バイト領域を用意しています。ブート・スワップ未使用時は0080H-0084Hに、ブート・スワップ使用時には0080H-0084Hと1080H-1084Hにオプション・バイトを設定してください。詳細は第26章 オプション・バイトを参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・デバッグ・セキュリティID設定領域（ μ PD78F05xxD, 78F05xxDAのみ）

0085H-008EH, 1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに、ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第28章 オンチップ・デバッグ機能（ μ PD78F05xxD, 78F05xxDAのみ）を参照してください。

3.1.2 メモリ・バンク（フラッシュ・メモリが96 Kバイト以上の製品のみ）

μ PD78F05x6, 78F05x6A (x = 2-4) ではメモリ・バンク0-3, μ PD78F05x7, 78F05x7A, 78F05x7D, 78F05x7DA (x = 2-4) ではメモリ・バンク0-5が、8000H-BFFFHの16 Kバイト領域に配置されています。

メモリ・バンクの切り替えは、メモリ・バンク選択レジスタ（BANK）で行います。詳細については、第4章 メモリ・バンク切り替え機能（フラッシュ・メモリが96 Kバイト以上の製品のみ）を参照してください。

注意1. 異なるメモリ・バンク間で命令フェッチはできません。

2. 異なるメモリ・バンク間での分岐、アクセスは直接実行できません。異なるメモリ・バンク間で分岐、アクセスをする場合は、コモン・エリアを経由してください。
3. 割り込み処理はコモン・エリアに配置してください。
4. 7FFFHから8000Hにまたがる命令は、メモリ・バンク0のみ実行可能です。

3.1.3 内部データ・メモリ空間

78K0/Kx2マイクロコントローラは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

内部高速RAMのFEE0H-FEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、スタック・メモリは内部高速RAMを使用します。

表3-6 内部高速RAM容量

78K0/KB2	78K0/KC2		78K0/KD2	78K0/KE2	78K0/KF2	内部高速RAM
30/36ピン	38/44ピン	48ピン	52ピン	64ピン	80ピン	
μ PD78F0500, 78F0500A	—	—	—	—	—	512×8ビット (FD00H-FEFFH)
μ PD78F0501, 78F0501A	μ PD78F0511, 78F0511A	μ PD78F0511, 78F0511A	μ PD78F0521, 78F0521A	μ PD78F0531, 78F0531A	—	768×8ビット (FC00H-FEFFH)
μ PD78F0502, 78F0502A	μ PD78F0512, 78F0512A	μ PD78F0512, 78F0512A	μ PD78F0522, 78F0522A	μ PD78F0532, 78F0532A	—	1024×8ビット (FB00H-FEFFH)
μ PD78F0503D, 78F0503DA	μ PD78F0513D, 78F0513DA	μ PD78F0513, 78F0513A	μ PD78F0523, 78F0523A	μ PD78F0533, 78F0533A	—	
μ PD78F0503, 78F0503A	μ PD78F0513, 78F0513A					
—	—	μ PD78F0514, 78F0514A	μ PD78F0524, 78F0524A	μ PD78F0534, 78F0534A	μ PD78F0544, 78F0544A	
—	—	μ PD78F0515D, 78F0515DA	μ PD78F0525, 78F0525A	μ PD78F0535, 78F0535A	μ PD78F0545, 78F0545A	
		μ PD78F0515, 78F0515A				
—	—	—	μ PD78F0526, 78F0526A	μ PD78F0536, 78F0536A	μ PD78F0546, 78F0546A	
—	—	—	μ PD78F0527D, 78F0527DA	μ PD78F0537D, 78F0537DA	μ PD78F0547D, 78F0547DA	
			μ PD78F0527, 78F0527A	μ PD78F0537, 78F0537A	μ PD78F0547, 78F0547A	

(2) 内部拡張RAM

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

また、スタック・メモリは内部拡張RAMを使用することができません。

表3-7 内部拡張RAM容量

78K0/KB2	78K0/KC2		78K0/KD2	78K0/KE2	78K0/KF2	内部拡張RAM
30/36ピン	38/44ピン	48ピン	52ピン	64ピン	80ピン	
μ PD78F0500, 78F0500A	—	—	—	—	—	—
μ PD78F0501, 78F0501A	μ PD78F0511, 78F0511A	μ PD78F0511, 78F0511A	μ PD78F0521, 78F0521A	μ PD78F0531, 78F0531A	—	
μ PD78F0502, 78F0502A	μ PD78F0512, 78F0512A	μ PD78F0512, 78F0512A	μ PD78F0522, 78F0522A	μ PD78F0532, 78F0532A	—	
μ PD78F0503D, 78F0503DA	μ PD78F0513D, 78F0513DA	μ PD78F0513, 78F0513A	μ PD78F0523, 78F0523A	μ PD78F0533, 78F0533A	—	
μ PD78F0503, 78F0503A	μ PD78F0513, 78F0513A					
—	—	μ PD78F0514, 78F0514A	μ PD78F0524, 78F0524A	μ PD78F0534, 78F0534A	μ PD78F0544, 78F0544A	1024×8ビット (F400H-F7FFH)
—	—	μ PD78F0515D, 78F0515DA	μ PD78F0525, 78F0525A	μ PD78F0535, 78F0535A	μ PD78F0545, 78F0545A	2048×8ビット (F000H-F7FFH)
		μ PD78F0515, 78F0515A				
—	—	—	μ PD78F0526, 78F0526A	μ PD78F0536, 78F0536A	μ PD78F0546, 78F0546A	4096×8ビット (E800H-F7FFH)
—	—	—	μ PD78F0527D, 78F0527DA	μ PD78F0537D, 78F0537DA	μ PD78F0547D, 78F0547DA	6144×8ビット (E000H-F7FFH)
			μ PD78F0527, 78F0527A	μ PD78F0537, 78F0537A	μ PD78F0547, 78F0547A	

(3) バッファRAM (78K0/KF2のみ)

78K0/KF2は32バイト (FA00H-FA1FH) のバッファRAMを内蔵しています。バッファRAMは自動送受信機能付きCSIの転送用として使用できます。

3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.3 特殊機能レジスタ（SFR：Special Function Register）の表3-8 特殊機能レジスタ一覧参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Kx2マイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-12から図3-19にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

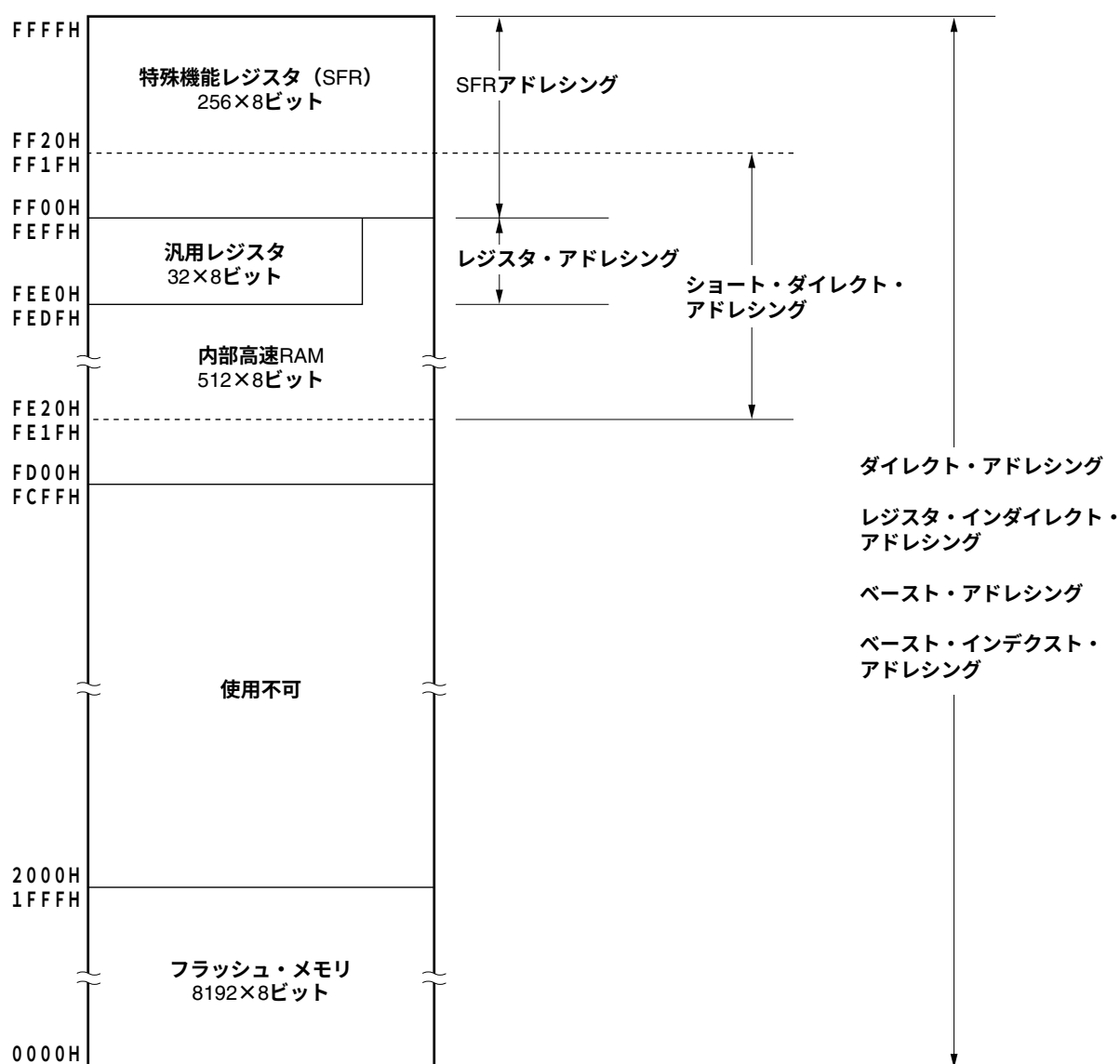
図3-12 データ・メモリとアドレッシングの対応 (μ PD78F0500, 78F0500A)

図3-13 データ・メモリとアドレッシングの対応 (μPD78F0501, 78F0501A, 78F0511, 78F0511A,
78F0521, 78F0521A, 78F0531, 78F0531A)

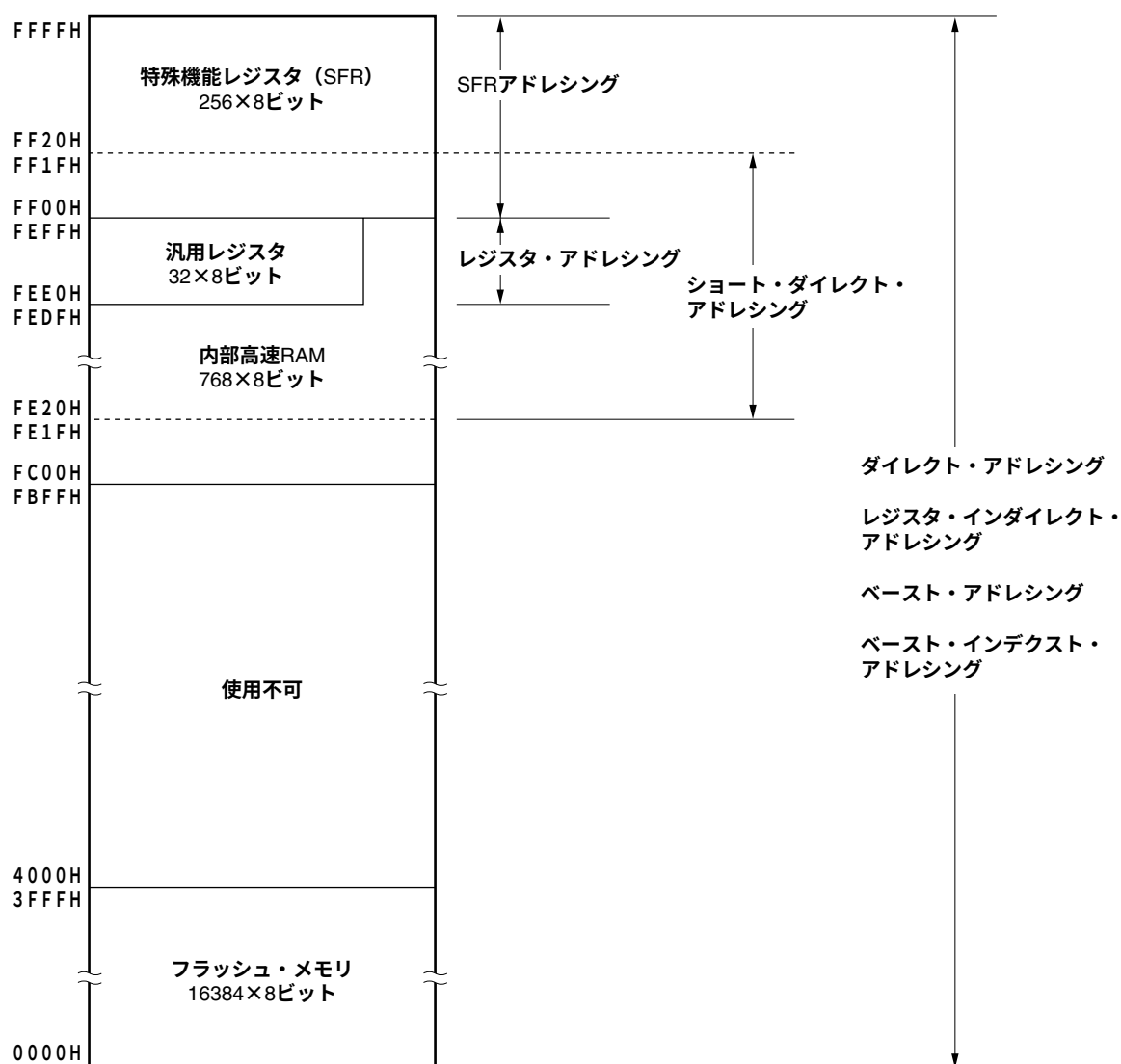


図3-14 データ・メモリとアドレッシングの対応 (μ PD78F0502, 78F0502A, 78F0512, 78F0512A, 78F0522, 78F0522A, 78F0532, 78F0532A)

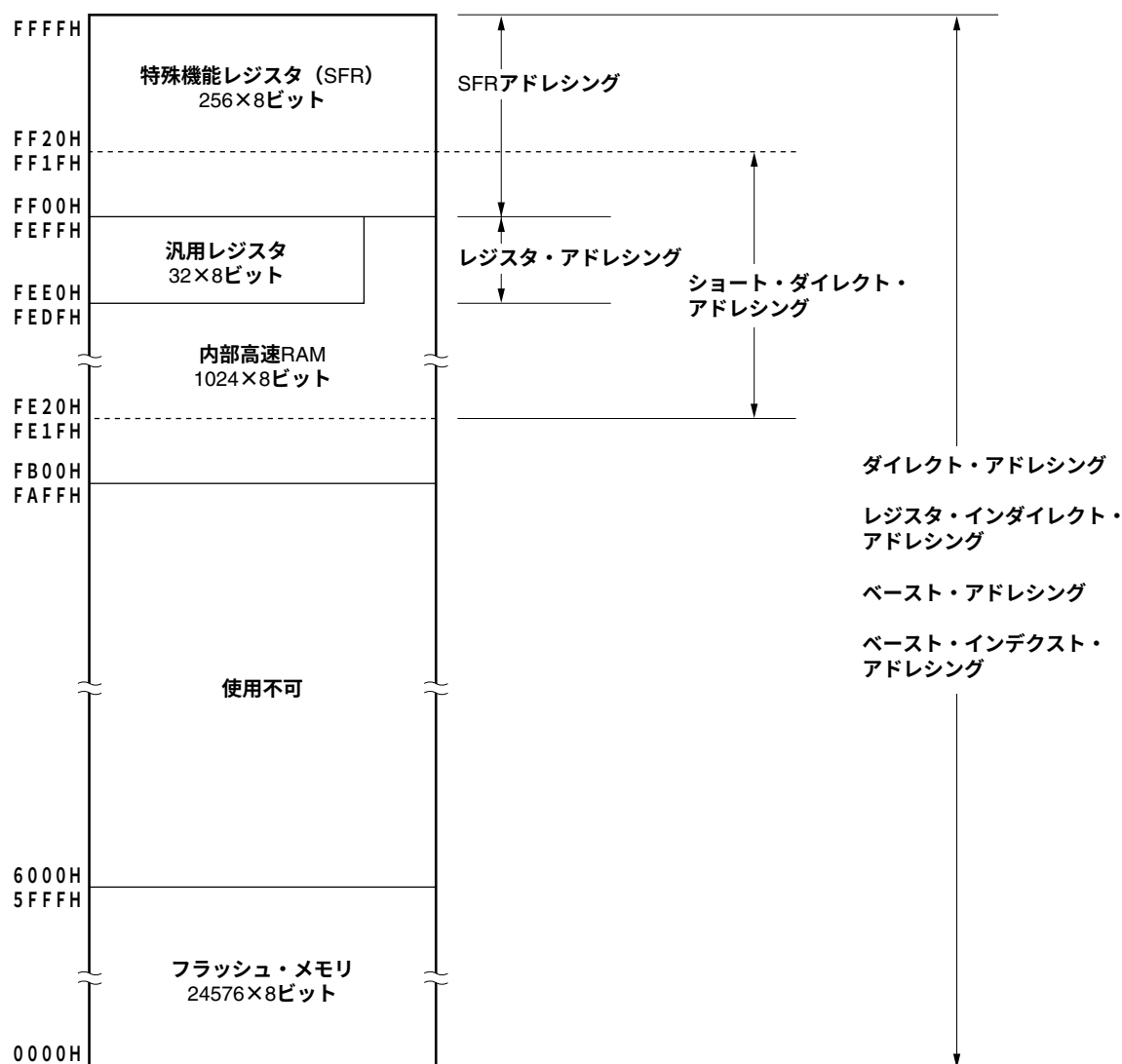


図3-15 データ・メモリとアドレッシングの対応 (μ PD78F0503, 78F0503A, 78F0513, 78F0513A, 78F0523, 78F0523A, 78F0533, 78F0533A, 78F0503D, 78F0503DA, 78F0513D, 78F0513DA)

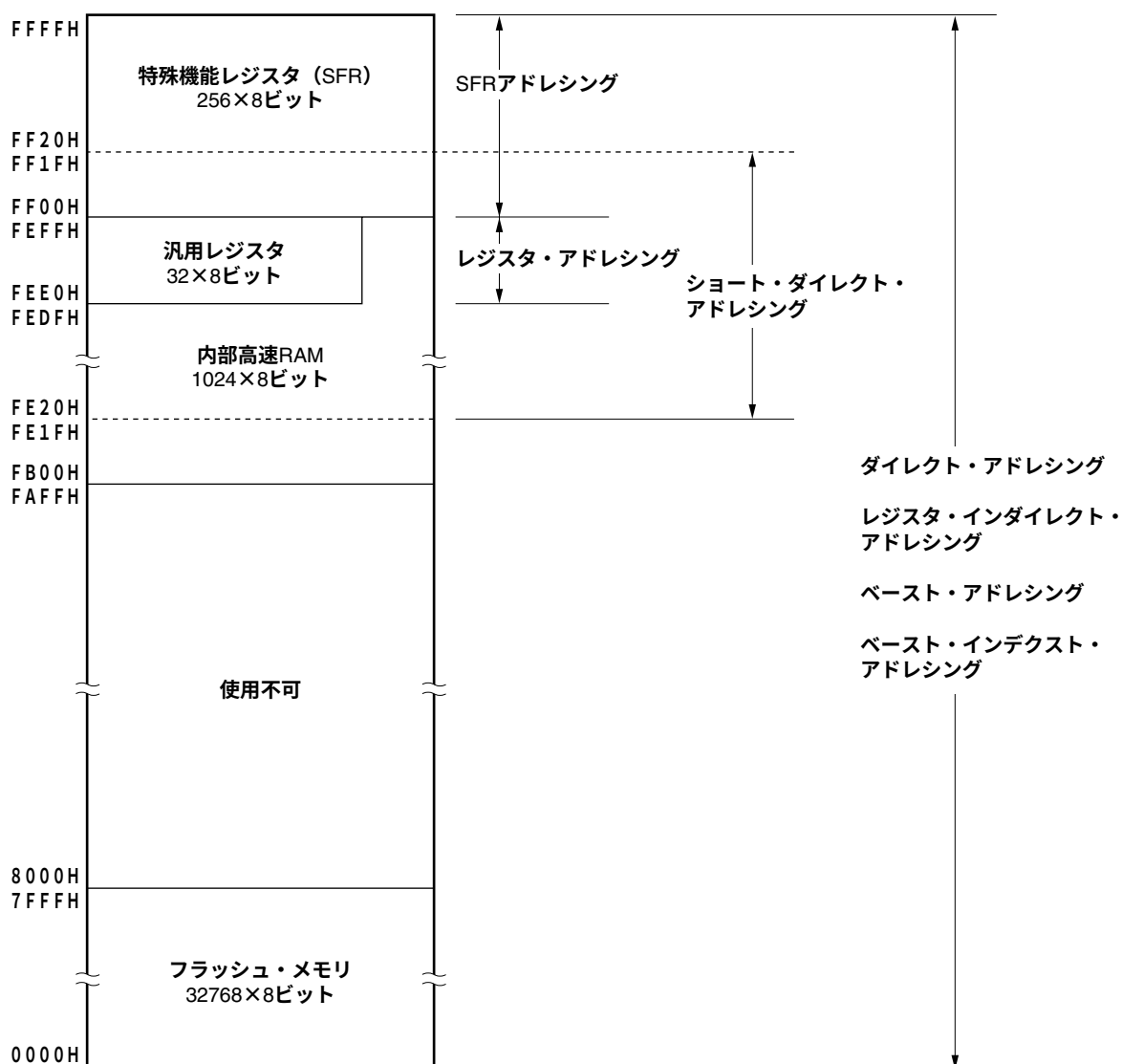
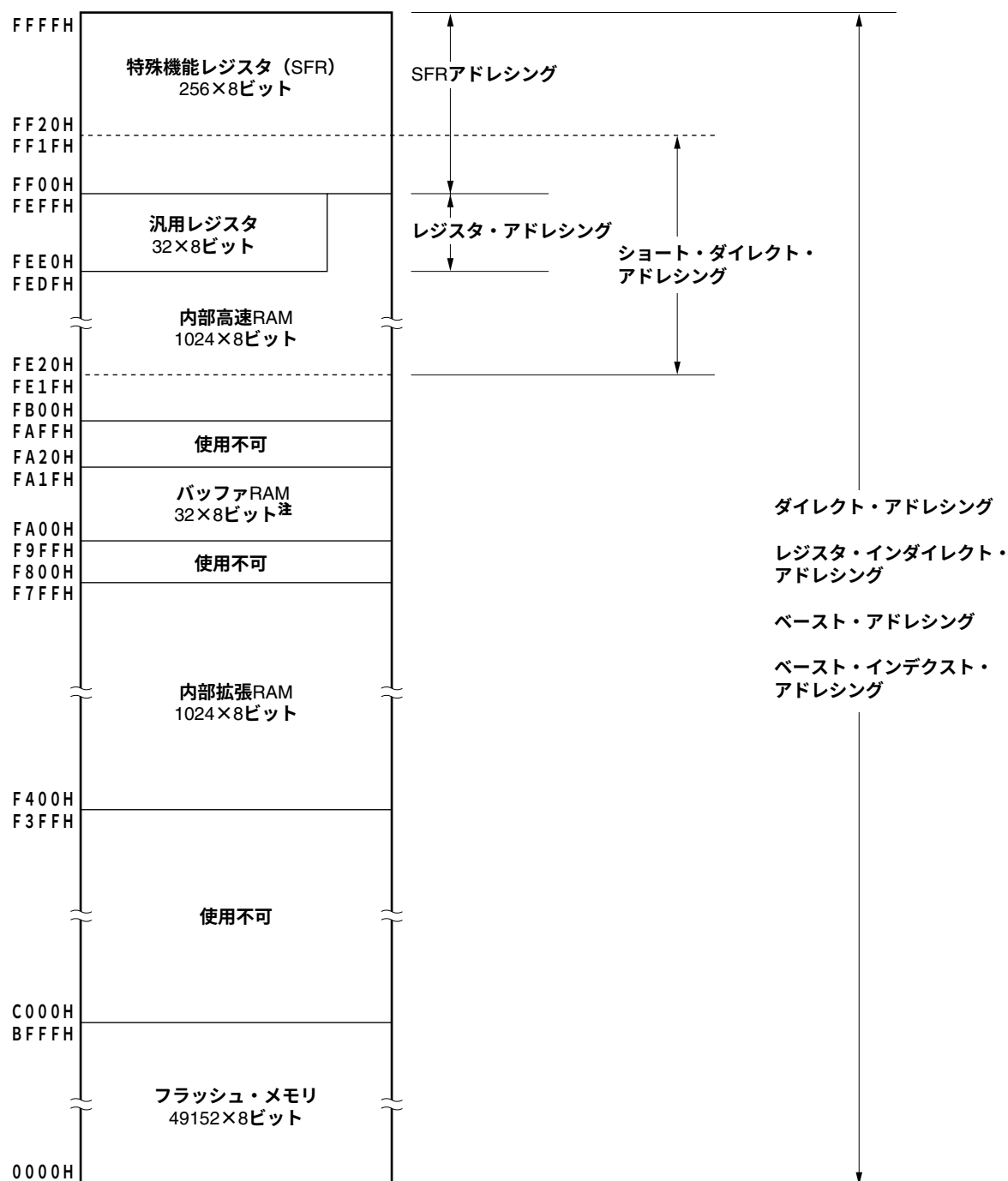
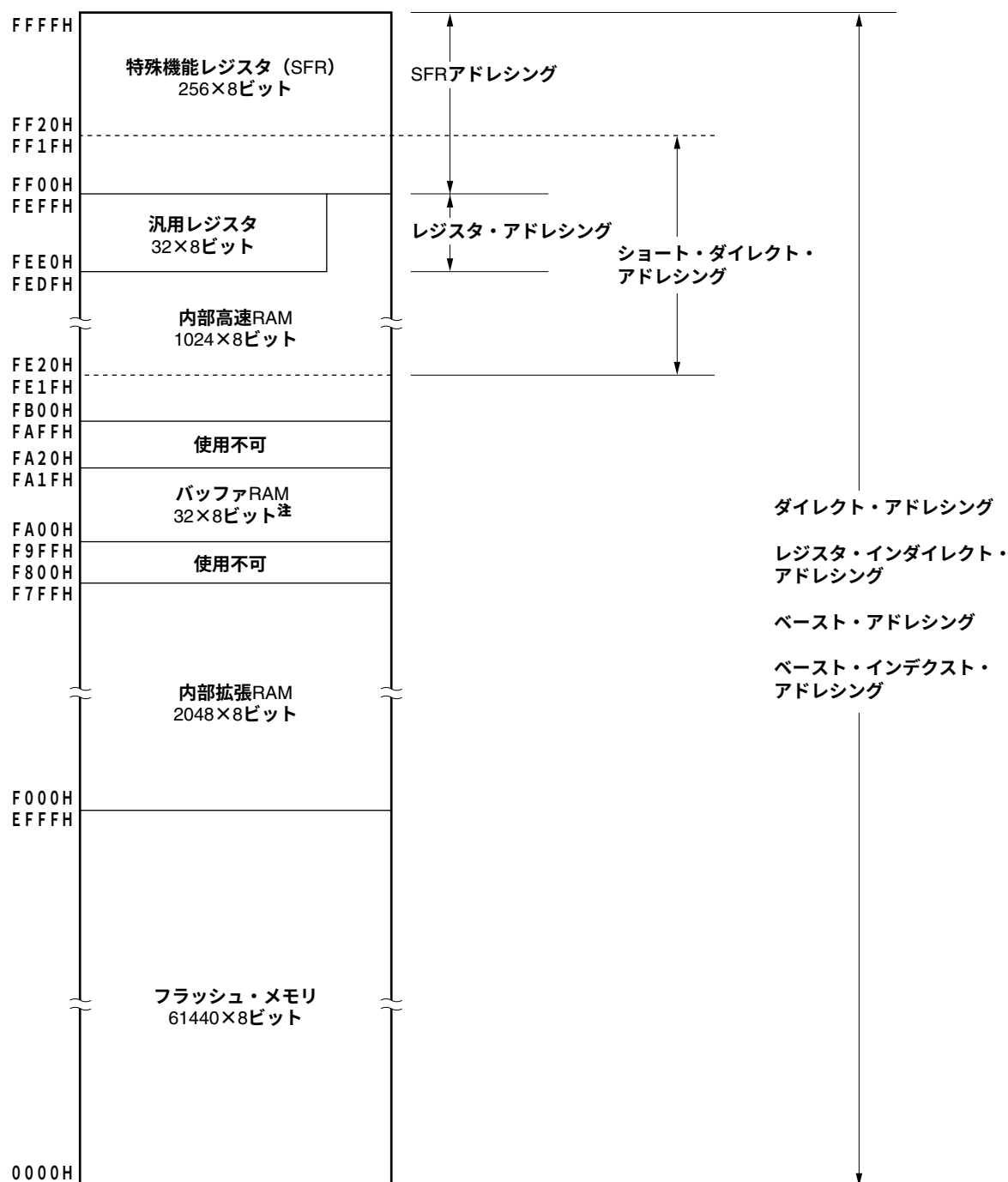


図3-16 データ・メモリとアドレッシングの対応 (μ PD78F0514, 78F0514A, 78F0524, 78F0524A, 78F0534, 78F0534A, 78F0544, 78F0544A)



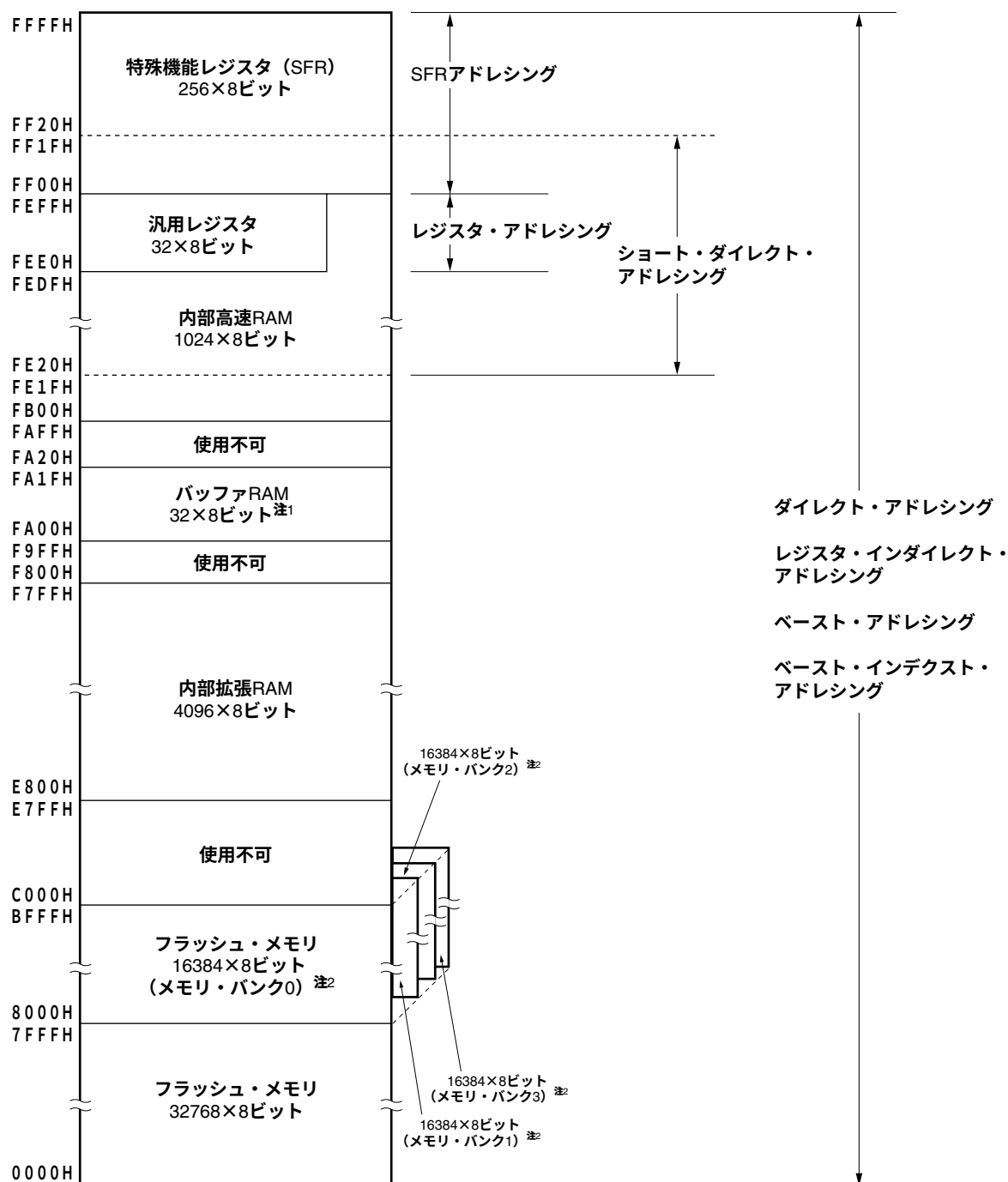
注 バッファRAMは、 μ PD78F0544, 78F0544A (78K0/KF2) のみに内蔵されています。 μ PD78F0514, 78F0514A, 78F0524, 78F0524A, 78F0534, 78F0534Aでは、FA00H-FA1FHの領域は使用不可です。

図3-17 データ・メモリとアドレッシングの対応 (μ PD78F0515, 78F0515A, 78F0525, 78F0525A, 78F0535, 78F0535A, 78F0545, 78F0545A, 78F0515D, 78F0515DA)



注 バッファRAMは、μ PD78F0545, 78F0545A (78K0/KF2) のみに内蔵されています。μ PD78F0515, 78F0515A, 78F0525, 78F0525A, 78F0535, 78F0535A, 78F0515D, 78F0515DAでは、FA00H-FA1FHの領域は使用不可です。

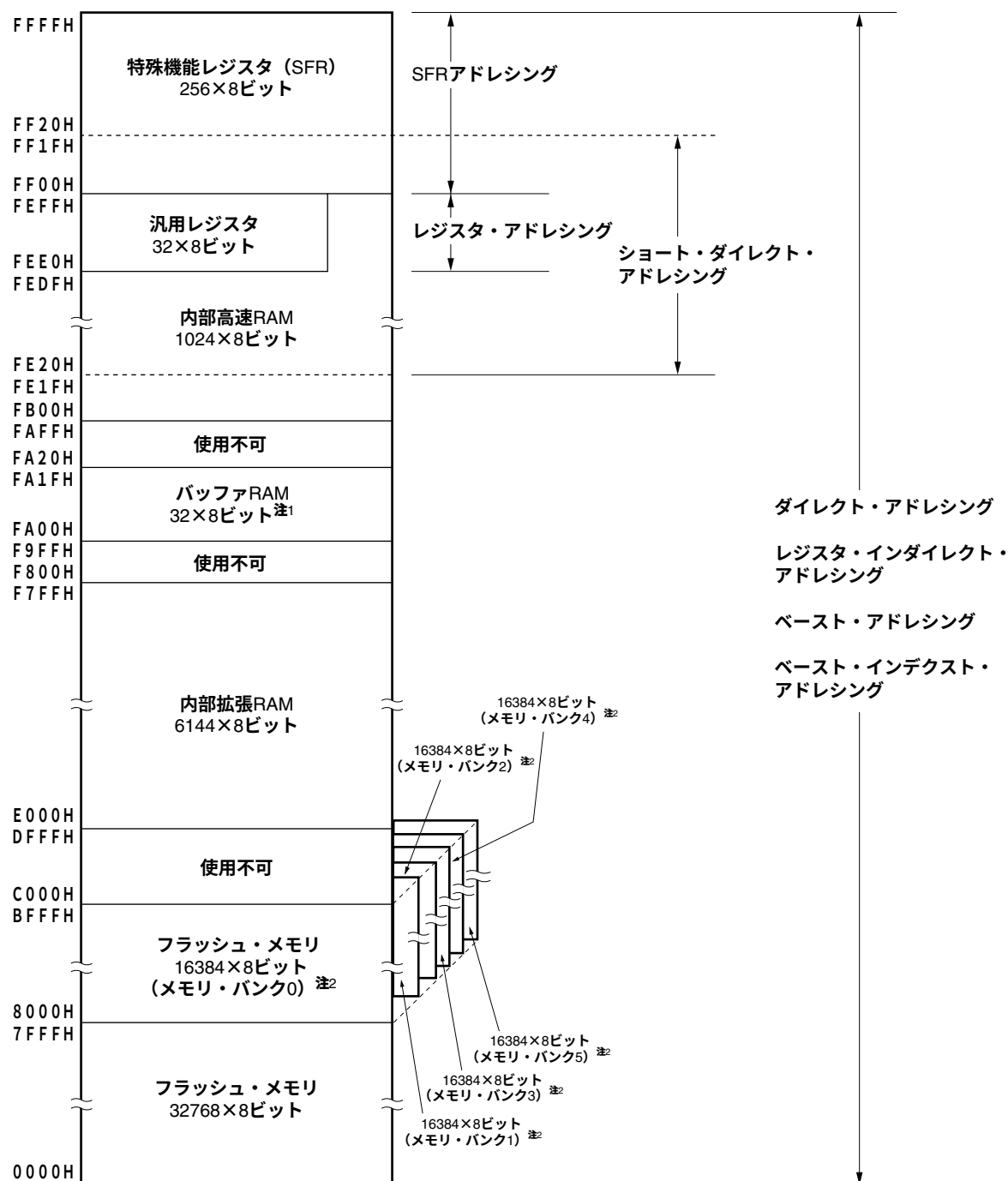
図3-18 データ・メモリとアドレッシングの対応 (μ PD78F0526, 78F0526A, 78F0536, 78F0536A, 78F0546, 78F0546A)



注1. バッファRAMは、 μ PD78F0546, 78F0546A (78K0/KF2) のみに内蔵されています。 μ PD78F0526, 78F0526A, 78F0536, 78F0536Aでは、FA00H-FA1FHの領域は使用不可です。

2. メモリ・バンク選択レジスタ (BANK) で設定していないメモリ・バンクに分岐およびアドレッシングする場合は、BANKでメモリ・バンクの設定を切り替えてください。

図3-19 データ・メモリとアドレッシングの対応 (μ PD78F0527, 78F0527A, 78F0537, 78F0537A, 78F0547, 78F0547A, 78F0527D, 78F0527DA, 78F0537D, 78F0537DA, 78F0547D, 78F0547DA)



注1. バッファRAMは、μ PD78F0547, 78F0547A, 78F0547D, 78F0547DA (78K0/KF2) のみに内蔵されています。μ PD78F0527, 78F0527A, 78F0537, 78F0537A, 78F0527D, 78F0527DA, 78F0537D, 78F0537DAでは、FA00H-FA1FHの領域は使用不可です。

2. メモリ・バンク選択レジスタ (BANK) で設定していないメモリ・バンクに分岐およびアドレッシングする場合は、BANKでメモリ・バンクの設定を切り替えてください。

3.2 プロセッサ・レジスタ

78K0/Kx2マイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

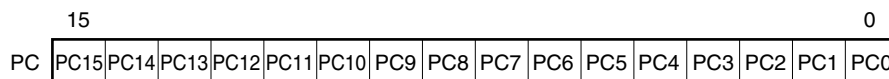
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-20 プログラム・カウンタの構成



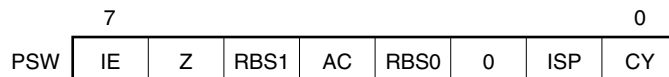
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3-21 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (20.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

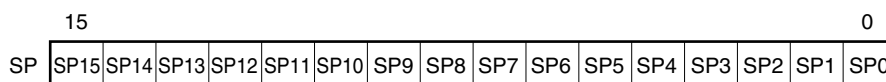
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3-22 スタック・ポインタの構成



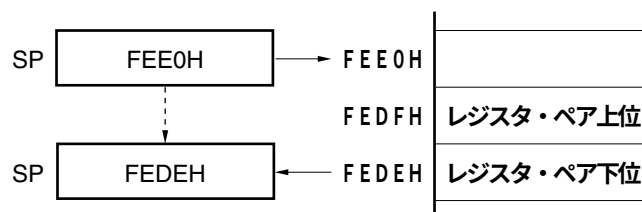
スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3-23, 3-24のようになります。

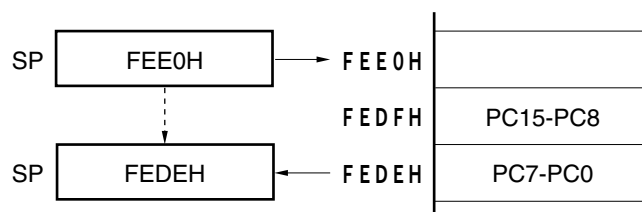
注意 SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3-23 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

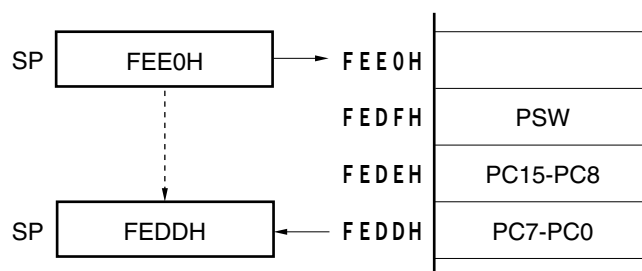
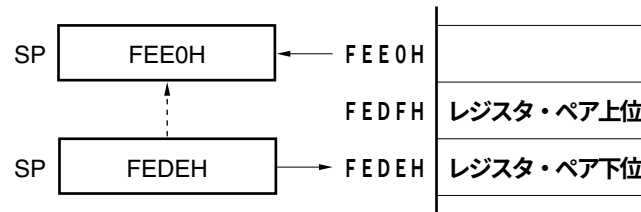
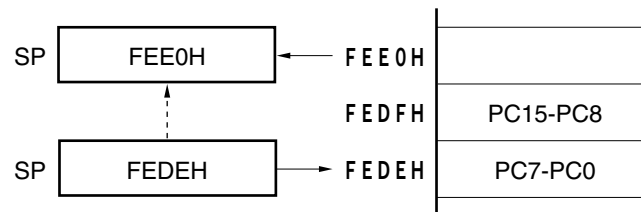


図3-24 スタック・メモリから復帰されるデータ

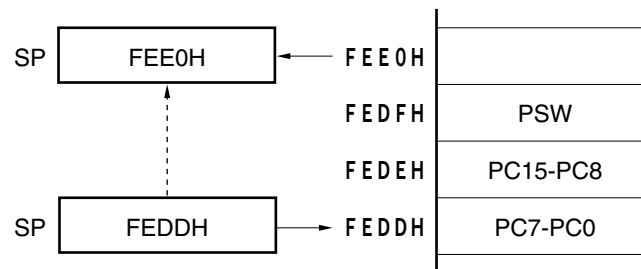
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

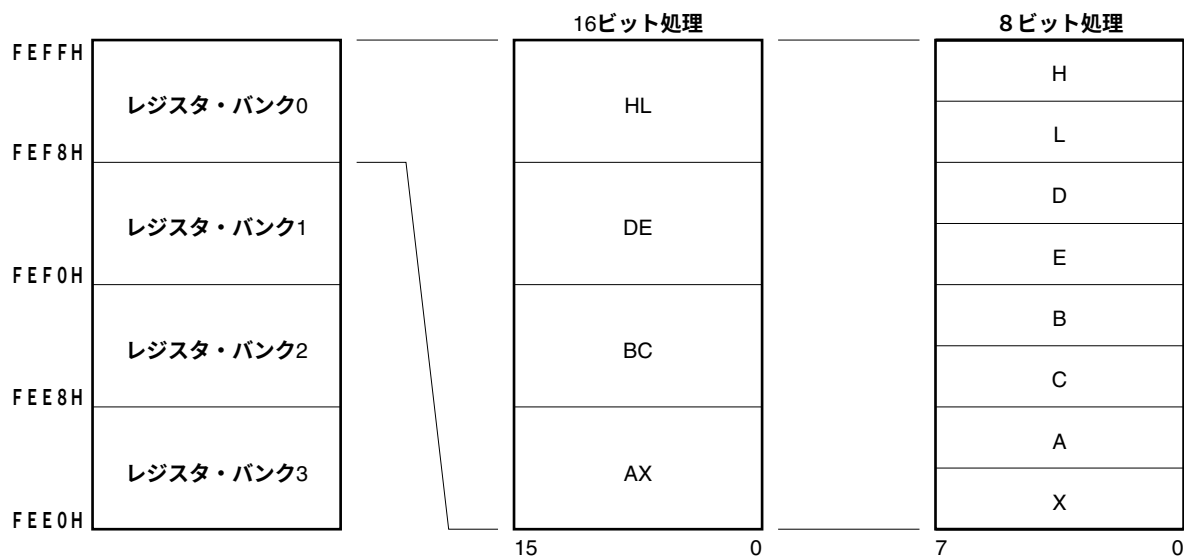
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

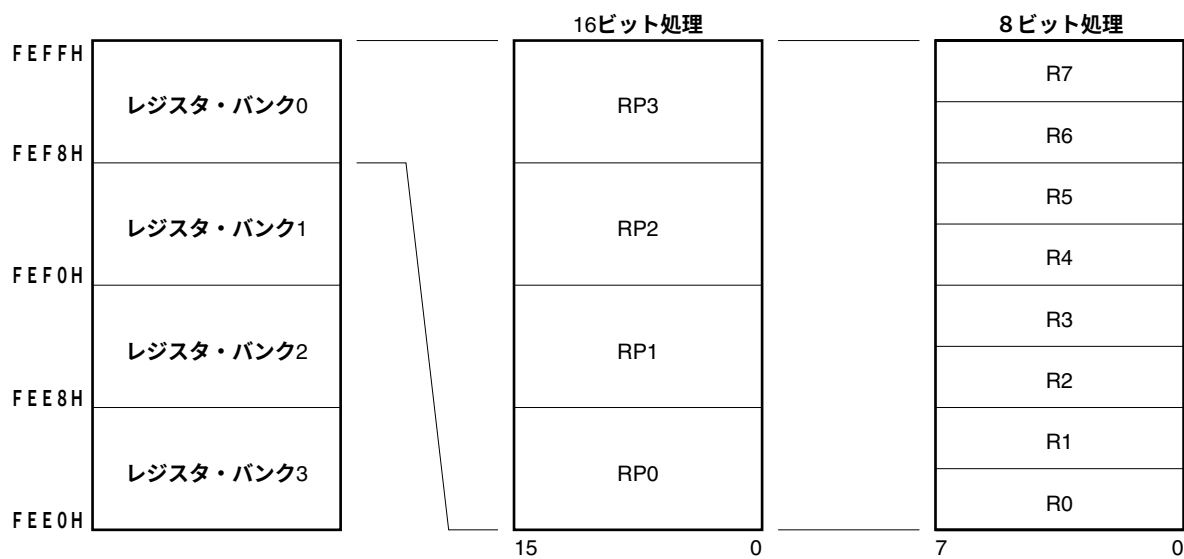
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBN) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3-25 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-8に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QB, SM+ for 78K0およびSM+ for 78K0/KX2使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を○で示します。－は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

表3-8 特殊機能レジスタ一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時	K B 2	K C 2	K D 2	K E 2	K F 2
				1 ビット	8 ビット	16 ビット						
FF00H	ポート・レジスタ0	P0	R/W	○	○	—	00H	○	○	○	○	○
FF01H	ポート・レジスタ1	P1	R/W	○	○	—	00H	○	○	○	○	○
FF02H	ポート・レジスタ2	P2	R/W	○	○	—	00H	○	○	○	○	○
FF03H	ポート・レジスタ3	P3	R/W	○	○	—	00H	○	○	○	○	○
FF04H	ポート・レジスタ4	P4	R/W	○	○	—	00H	—	○	○	○	○
FF05H	ポート・レジスタ5	P5	R/W	○	○	—	00H	—	—	—	○	○
FF06H	ポート・レジスタ6	P6	R/W	○	○	—	00H	○	○	○	○	○
FF07H	ポート・レジスタ7	P7	R/W	○	○	—	00H	—	○	○	○	○
FF08H	10ビットA/D変換結果レジスタ	ADCR	R	—	—	○	0000H	○	○	○	○	○
FF09H	8ビットA/D変換結果レジスタ	ADCRH	R	—	○	—	00H	○	○	○	○	○
FF0AH	受信バッファ・レジスタ6	RXB6	R	—	○	—	FFH	○	○	○	○	○
FF0BH	送信バッファ・レジスタ6	TXB6	R/W	—	○	—	FFH	○	○	○	○	○
FF0CH	ポート・レジスタ12	P12	R/W	○	○	—	00H	○	○	○	○	○
FF0DH	ポート・レジスタ13	P13	R/W	○	○	—	00H	—	注	○	○	○
FF0EH	ポート・レジスタ14	P14	R/W	○	○	—	00H	—	注	○	○	○
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	—	○	—	00H	○	○	○	○	○
FF10H	16ビット・タイマ・カウンタ00	TM00	R	—	—	○	0000H	○	○	○	○	○
FF11H												
FF12H	16ビット・タイマ・キャプチャ／コンペア・レジスタ000	CR000	R/W	—	—	○	0000H	○	○	○	○	○
FF13H												
FF14H	16ビット・タイマ・キャプチャ／コンペア・レジスタ010	CR010	R/W	—	—	○	0000H	○	○	○	○	○
FF15H												
FF16H	8ビット・タイマ・カウンタ50	TM50	R	—	○	—	00H	○	○	○	○	○
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	—	○	—	00H	○	○	○	○	○
FF18H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	—	○	—	00H	○	○	○	○	○
FF19H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	—	○	—	00H	○	○	○	○	○
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	—	○	—	00H	○	○	○	○	○
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	—	○	—	00H	○	○	○	○	○
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	—	○	—	00H	○	○	○	○	○
FF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	—	FFH	○	○	○	○	○
FF21H	ポート・モード・レジスタ1	PM1	R/W	○	○	—	FFH	○	○	○	○	○
FF22H	ポート・モード・レジスタ2	PM2	R/W	○	○	—	FFH	○	○	○	○	○
FF23H	ポート・モード・レジスタ3	PM3	R/W	○	○	—	FFH	○	○	○	○	○
FF24H	ポート・モード・レジスタ4	PM4	R/W	○	○	—	FFH	—	○	○	○	○
FF25H	ポート・モード・レジスタ5	PM5	R/W	○	○	—	FFH	—	—	—	○	○
FF26H	ポート・モード・レジスタ6	PM6	R/W	○	○	—	FFH	○	○	○	○	○
FF27H	ポート・モード・レジスタ7	PM7	R/W	○	○	—	FFH	—	○	○	○	○
FF28H	A/Dコンバータ・モード・レジスタ	ADM	R/W	○	○	—	00H	○	○	○	○	○
FF29H	アナログ入力チャネル指定レジスタ	ADS	R/W	○	○	—	00H	○	○	○	○	○
FF2CH	ポート・モード・レジスタ12	PM12	R/W	○	○	—	FFH	○	○	○	○	○
FF2EH	ポート・モード・レジスタ14	PM14	R/W	○	○	—	FFH	—	注	○	○	○
FF2FH	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	○	○	—	00H	○	○	○	○	○
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H	○	○	○	○	○

注 48ピン製品のみ内蔵。

表3-8 特殊機能レジスタ一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセッ ト時	K B 2	K C 2	K D 2	K E 2	K F 2
				1 ビット	8 ビット	16 ビット						
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H	○	○	○	○	○
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H	○	○	○	○	○
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	00H	—	○	○	○	○
FF35H	ブルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H	—	—	—	○	○
FF36H	ブルアップ抵抗オプション・レジスタ6	PU6	R/W	○	○	—	00H	—	—	—	—	○
FF37H	ブルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H	—	○	○	○	○
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H	○	○	○	○	○
FF3EH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	—	00H	—	注1	○	○	○
FF40H	クロック出力選択レジスタ	CKS	R/W	○	○	—	00H	—	注1	○	○	○
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	—	○	—	00H	○	○	○	○	○
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W	○	○	—	00H	○	○	○	○	○
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W	○	○	—	00H	○	○	○	○	○
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W	○	○	—	00H	○	○	○	○	○
FF4AH	シリアルI/Oシフト・レジスタ11	SIO11	R	—	○	—	00H	—	—	—	注2	○
FF4CH	送信バッファ・レジスタ11	SOTB11	R/W	—	○	—	00H	—	—	—	注2	○
FF4FH	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H	○	○	○	○	○
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6	R/W	○	○	—	01H	○	○	○	○	○
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6	R	—	○	—	00H	○	○	○	○	○
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6	R	—	○	—	00H	○	○	○	○	○
FF56H	クロック選択レジスタ6	CKSR6	R/W	—	○	—	00H	○	○	○	○	○
FF57H	ポー・レート・ジェネレータ・コントロール・レジスタ6	BRGC6	R/W	—	○	—	FFH	○	○	○	○	○
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6	R/W	○	○	—	16H	○	○	○	○	○
FF60H	剰余データ・レジスタ0	SD	R	—	○	○	00H	—	注2	注2	注2	○
FF61H		R0		—	○	○	00H	—	注2	注2	注2	○
FF62H	乗除算データ・レジスタA0	MD	R/W	—	○	○	00H	—	注2	注2	注2	○
FF63H		A0L		—	○	○	00H	—	注2	注2	注2	○
FF64H		MD	R/W	—	○	○	00H	—	注2	注2	注2	○
FF65H		A0H		—	○	○	00H	—	注2	注2	注2	○
FF66H	乗除算データ・レジスタB0	MD	R/W	—	○	○	00H	—	注2	注2	注2	○
FF67H		B0		—	○	○	00H	—	注2	注2	注2	○
FF68H	乗除算器コントロール・レジスタ0	DMUC0	R/W	○	○	—	00H	—	注2	注2	注2	○
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W	○	○	—	00H	○	○	○	○	○

注1. 48ピン製品のみ内蔵。

2. フラッシュ・メモリが48 Kバイト以上の製品のみ内蔵。

表3-8 特殊機能レジスタ一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセッ ト時	K B 2	K C 2	K D 2	K E 2	K F 2
				1 ビット	8 ビット	16 ビット						
FF6AH	タイマ・クロック選択レジスタ50	TCL50	R/W	○	○	—	00H	○	○	○	○	○
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W	○	○	—	00H	○	○	○	○	○
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W	○	○	—	00H	○	○	○	○	○
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W	○	○	—	00H	○	○	○	○	○
FF6EH	キー・リターン・モード・レジスタ	KRM	R/W	○	○	—	00H	—	○	○	○	○
FF6FH	時計用タイマ動作モード・レジスタ	WTM	R/W	○	○	—	00H	—	○	○	○	○
FF70H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0	ASIM0	R/W	○	○	—	01H	○	○	○	○	○
FF71H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W	—	○	—	1FH	○	○	○	○	○
FF72H	受信バッファ・レジスタ0	RXB0	R	—	○	—	FFH	○	○	○	○	○
FF73H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	ASIS0	R	—	○	—	00H	○	○	○	○	○
FF74H	送信シフト・レジスタ0	TXS0	W	—	○	—	FFH	○	○	○	○	○
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W	○	○	—	00H	○	○	○	○	○
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W	○	○	—	00H	○	○	○	○	○
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	—	○	—	00H	○	○	○	○	○
FF88H	シリアル動作モード・レジスタ11	CSIM11	R/W	○	○	—	00H	—	—	—	注1	○
FF89H	シリアル・クロック選択レジスタ11	CSIC11	R/W	○	○	—	00H	—	—	—	注1	○
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W	○	○	—	00H	○	○	○	○	○
FF90H	シリアル動作モード指定レジスタ0	CSIMA0	R/W	○	○	—	00H	—	—	—	—	○
FF91H	シリアル・ステータス・レジスタ0	CSIS0	R/W	○	○	—	00H	—	—	—	—	○
FF92H	シリアル・トリガ・レジスタ0	CSIT0	R/W	○	○	—	00H	—	—	—	—	○
FF93H	分周値選択レジスタ0	BRGCA0	R/W	—	○	—	03H	—	—	—	—	○
FF94H	自動データ転送アドレス・ポイント指定レジスタ0	ADTP0	R/W	—	○	—	00H	—	—	—	—	○
FF95H	自動データ転送間隔指定レジスタ0	ADTI0	R/W	—	○	—	00H	—	—	—	—	○
FF96H	シリアルI/Oシフト・レジスタ0	SIOA0	R/W	—	○	—	00H	—	—	—	—	○
FF97H	自動データ転送アドレス・カウント・レジスタ0	ADTC0	R	—	○	—	00H	—	—	—	—	○
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	1AH/ 9AH ^{注2}	○	○	○	○	○
FF9FH	クロック動作モード選択レジスタ	OSCCTL	R/W	○	○	—	00H	○	○	○	○	○
FFA0H	内蔵発振モード・レジスタ	RCM	R/W	○	○	—	80H ^{注3}	○	○	○	○	○
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W	○	○	—	00H	○	○	○	○	○
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W	○	○	—	80H	○	○	○	○	○
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H	○	○	○	○	○
FFA4H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	05H	○	○	○	○	○

注1. フラッシュ・メモリが48 Kバイト以上の製品のみ内蔵。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

3. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

表3-8 特殊機能レジスタ一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセッ ト時	K B 2	K C 2	K D 2	K E 2	K F 2
				1 ビット	8 ビット	16 ビット						
FFA5H	IICシフト・レジスタ0	IIC0	R/W	—	○	—	00H	○	○	○	○	○
FFA6H	IICコントロール・レジスタ0	IICC0	R/W	○	○	—	00H	○	○	○	○	○
FFA7H	スレーブ・アドレス・レジスタ0	SVA0	R/W	—	○	—	00H	○	○	○	○	○
FFA8H	IICクロック選択レジスタ0	IICCL0	R/W	○	○	—	00H	○	○	○	○	○
FFA9H	IIC機能拡張レジスタ0	IICX0	R/W	○	○	—	00H	○	○	○	○	○
FFAAH	IIC状態レジスタ0	IICS0	R	○	○	—	00H	○	○	○	○	○
FFABH	IICフラグ・レジスタ0	IICF0	R/W	○	○	—	00H	○	○	○	○	○
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	00H ^{注1}	○	○	○	○	○
FFB0H	16ビット・タイマ・カウンタ01	TM01	R	—	—	○	0000H	—	—	—	注2	○
FFB1H												
FFB2H	16ビット・タイマ・キャプチャ／コンペア・レジスタ001	CR001	R/W	—	—	○	0000H	—	—	—	注2	○
FFB3H												
FFB4H	16ビット・タイマ・キャプチャ／コンペア・レジスタ011	CR011	R/W	—	—	○	0000H	—	—	—	注2	○
FFB5H												
FFB6H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01	R/W	○	○	—	00H	—	—	—	注2	○
FFB7H	プリスケアラ・モード・レジスタ01	PRM01	R/W	○	○	—	00H	—	—	—	注2	○
FFB8H	キャプチャ／コンペア・コントロール・レジスタ01	CRC01	R/W	○	○	—	00H	—	—	—	注2	○
FFB9H	16ビット・タイマ出力コントロール・レジスタ01	TOC01	R/W	○	○	—	00H	—	—	—	注2	○
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W	○	○	—	00H	○	○	○	○	○
FFBBH	プリスケアラ・モード・レジスタ00	PRM00	R/W	○	○	—	00H	○	○	○	○	○
FFBCH	キャプチャ／コンペア・コントロール・レジスタ00	CRC00	R/W	○	○	—	00H	○	○	○	○	○
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W	○	○	—	00H	○	○	○	○	○
FFBEH	低電圧検出レジスタ	LVIM	R/W	○	○	—	00H ^{注3}	○	○	○	○	○
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W	○	○	—	00H ^{注3}	○	○	○	○	○
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W	○	○	○	00H	○	○	○	○
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W	○	○	○	00H	○	○	○	○
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W	○	○	○	00H	○	○	○	○
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W	○	○	○	00H	○	○	○	○
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W	○	○	○	FFH	○	○	○	○
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W	○	○	○	FFH	○	○	○	○
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W	○	○	○	FFH	○	○	○	○
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W	○	○	○	FFH	○	○	○	○

注1. RESFのリセット値は、リセット要因により変化します。

2. フラッシュ・メモリが48 Kバイト以上の製品のみ内蔵。

3. LVIM, LVISのリセット値は、リセット要因により変化します。

表3-8 特殊機能レジスタ一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号		R/W	操作可能ビット範囲			リセッ ト時	K B	K C	K D	K E	K F
					1 ビット	8 ビット	16 ビット		2	2	2	2	2
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W	○	○	○	FFH	○	○	○	○	○
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W	○	○		FFH	○	○	○	○	○
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W	○	○	○	FFH	○	○	○	○	○
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W	○	○		FFH	○	○	○	○	○
FFF0H	メモリ・サイズ切り替えレジスタ ^{注3,4}	IMS		R/W	—	○	—	CFH	○	○	○	○	○
FFF3H	メモリ・バンク選択レジスタ	BANK		R/W	—	○	—	00H	—	—	注1	注1	注1
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^{注3,4}	IXS		R/W	—	○	—	0CH	注2	注2	注2	注2	○
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W	○	○	—	01H	○	○	○	○	○

注1. フラッシュ・メモリが96 Kバイト以上の製品のみ内蔵。

2. 内部拡張RAMを内蔵している製品のみ設定してください。

3. IMSとIXSのリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2マイクロコントローラすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、製品ごとに表3-1、表3-2に示す値を必ず設定してください。

4. オンチップ・デバッグ機能搭載品はIMSとIXSの設定により、ROM容量とRAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSとIXSの設定は、デバッグ対象の製品に合わせてください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）とメモリ・バンク選択レジスタ（BANK）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

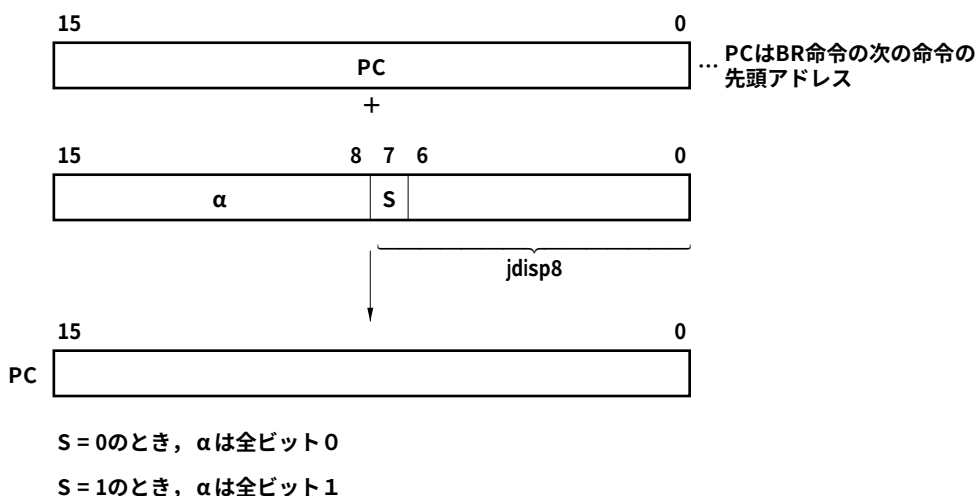
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

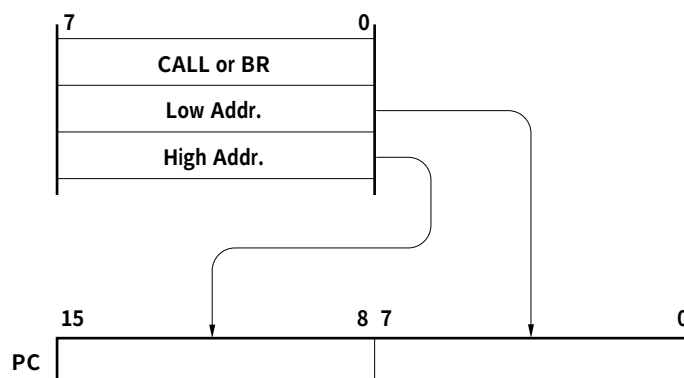
CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全プログラム・メモリ空間に分岐できます。ただし、メモリ・バンク選択レジスタ（BANK）で設定していないメモリ・バンクに分岐する場合は、BANKでメモリ・バンクの設定を切り替えてから分岐してください。

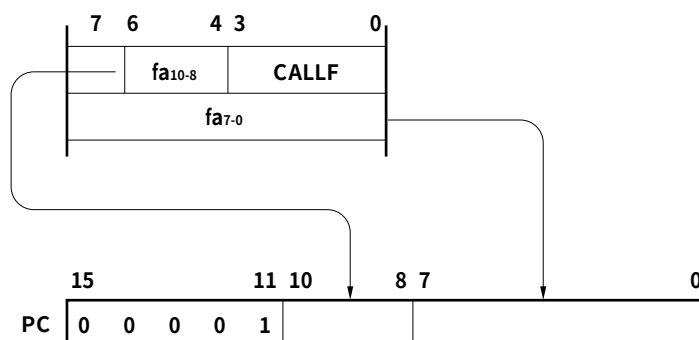
CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



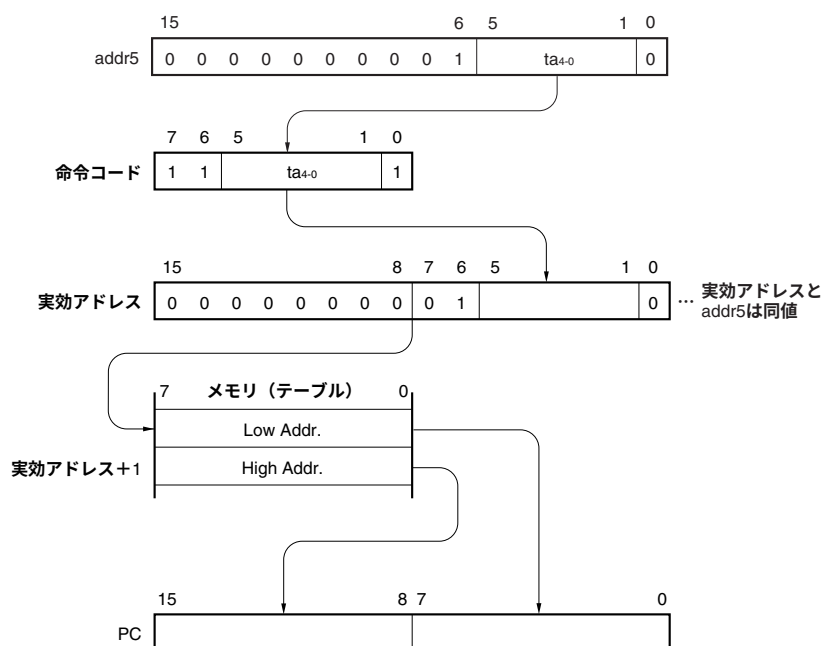
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全プログラム・メモリ空間に分岐できます。ただし、メモリ・バンク選択レジスタ（BANK）で設定していないメモリ・バンクに分岐する場合は、BANKでメモリ・バンクの設定を切り替えてから分岐してください。

【図解】



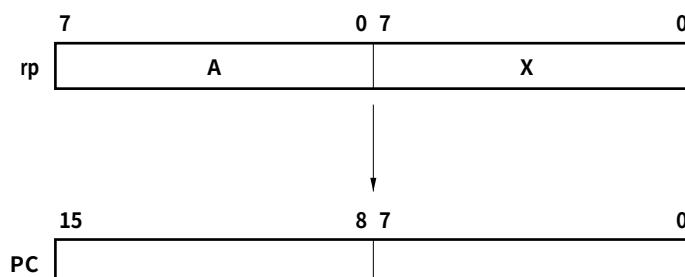
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的（暗黙的）にアドレスするアドレッシングです。

78K0/Kx2マイクロコントローラの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に決定するため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コードにより指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

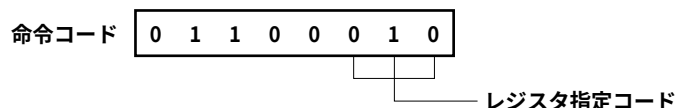
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

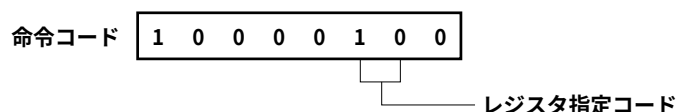
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

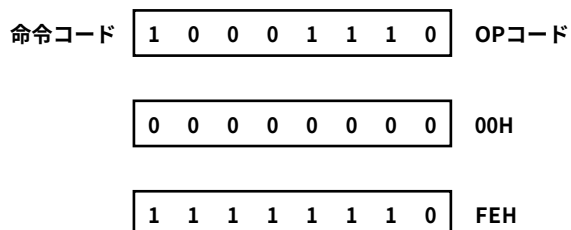
すべてのメモリ空間に対してアドレッシングできます。ただし、メモリ・バンク選択レジスタ (BANK) で設定していないメモリ・バンクにアドレッシングする場合は、BANKでメモリ・バンクの設定を切り替えてから、アドレッシングしてください。

【オペランド形式】

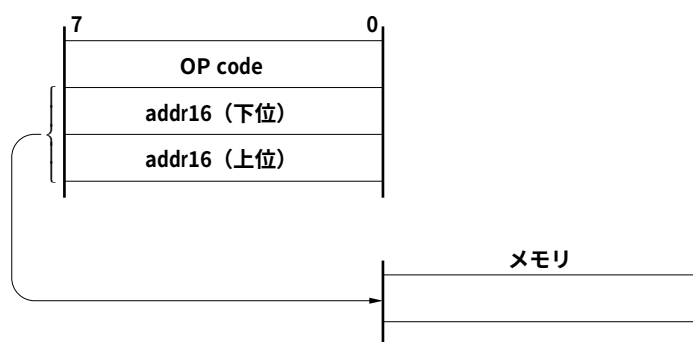
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間で、FE20H-FEFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ／イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

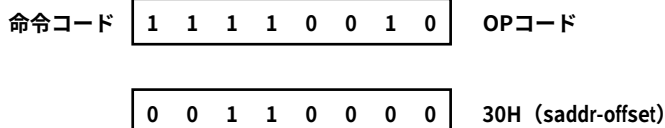
表現形式	記 述 方 法
saddr	レーベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHを示すイミディエト・データ（偶数アドレスのみ）

【記 述 例】

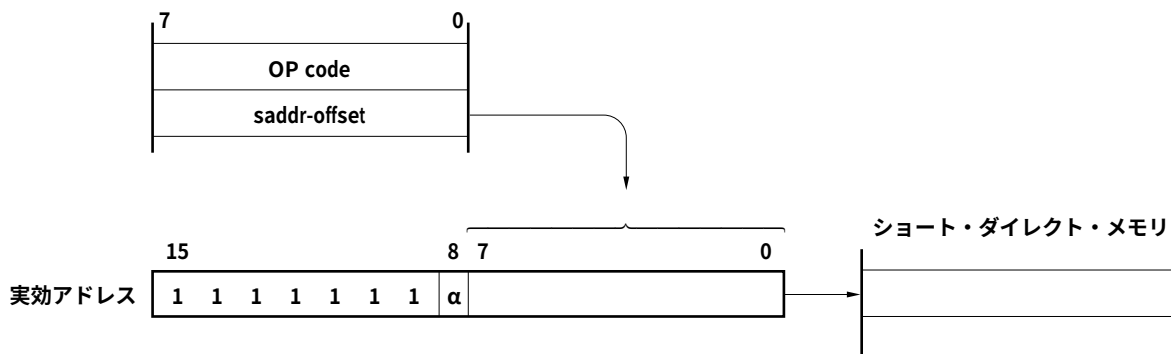
LB1 EQU 0FE30H ; FE30HをLB1で定義

⋮

MOV LB1, A ; LB1はsaddr領域のFE30Hを示し、そこにAレジスタの値を転送する場合



【図 解】



3.4.5 特殊機能レジスタ（SFR）アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ（SFR）をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

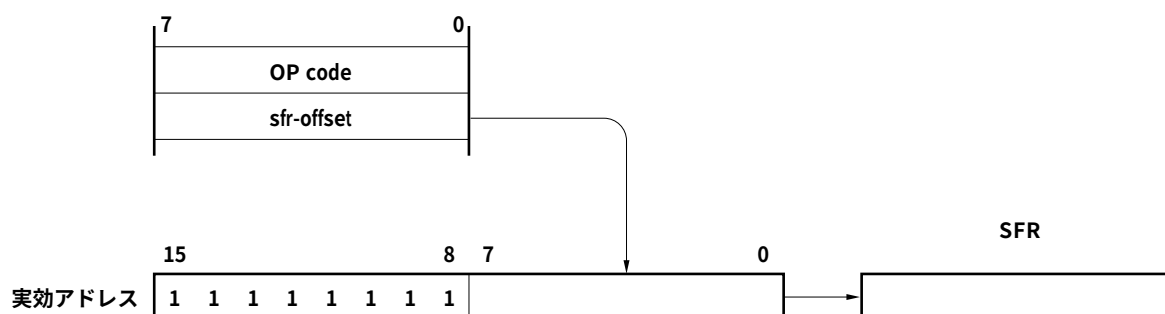
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名（偶数アドレスのみ）

【記述例】

MOV PM0, A ; sfrにPM0（FF20H）を選択する場合

命令コード	1 1 1 1 0 1 1 0	OPコード
	0 0 1 0 0 0 0 0	20H (sfr-offset)

【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ・ペア指定コードにより指定されます。

すべてのメモリ空間に対してアドレッシングできます。ただし、メモリ・バンク選択レジスタ（BANK）で設定していないメモリ・バンクにアドレッシングする場合は、BANKでメモリ・バンクの設定を切り替えてから、アドレッシングしてください。

【オペランド形式】

表現形式	記述方法
—	[DE] , [HL]

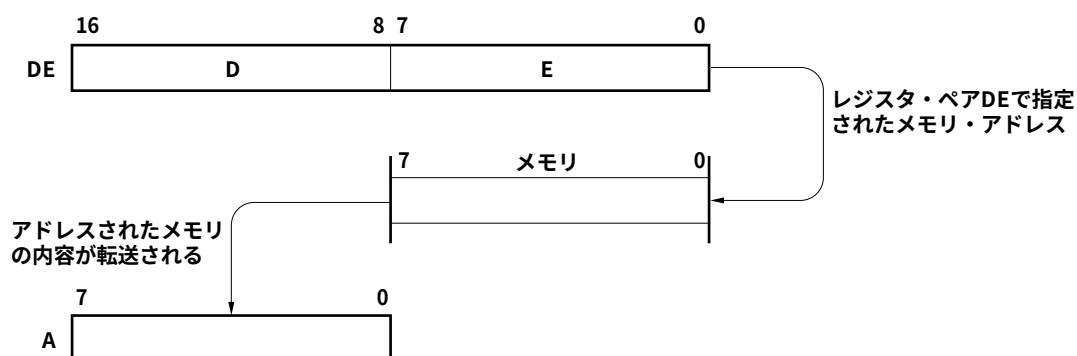
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエート・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。

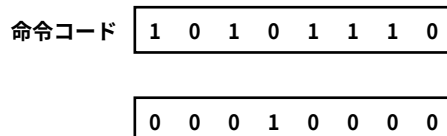
すべてのメモリ空間に対してアドレッシングできます。ただし、メモリ・バンク選択レジスタ（BANK）で設定していないメモリ・バンクにアドレッシングする場合は、BANKでメモリ・バンクの設定を切り替えてから、アドレッシングしてください。

【オペランド形式】

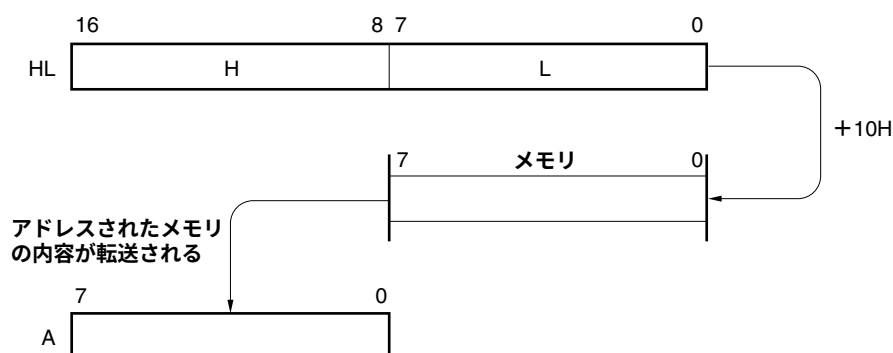
表現形式	記述方法
—	[HL+byte]

【記述例】

MOV A, [HL+10H] ; byteを10Hとする場合



【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。

すべてのメモリ空間に対してアドレッシングできます。ただし、メモリ・バンク選択レジスタ（BANK）で設定していないメモリ・バンクにアドレッシングする場合は、BANKでメモリ・バンクの設定を切り替えてから、アドレッシングしてください。

【オペランド形式】

表現形式	記述方法
—	[HL+B] , [HL+C]

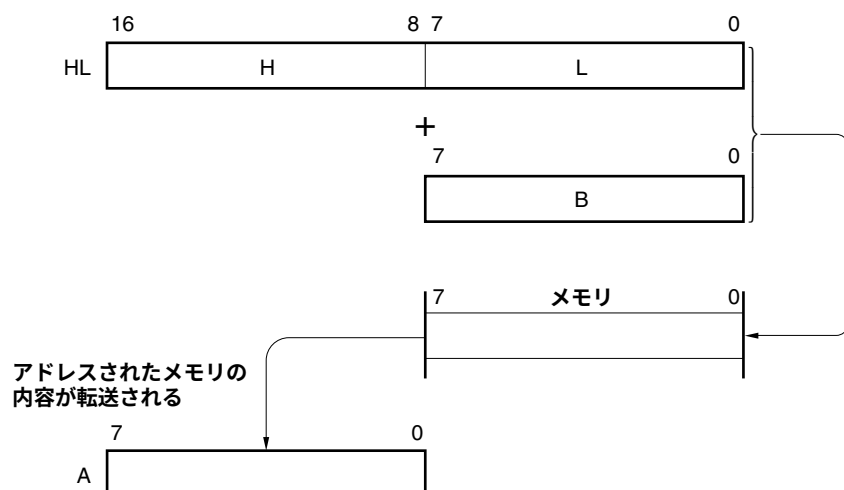
【記述例】

MOV A, [HL+B] ; Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

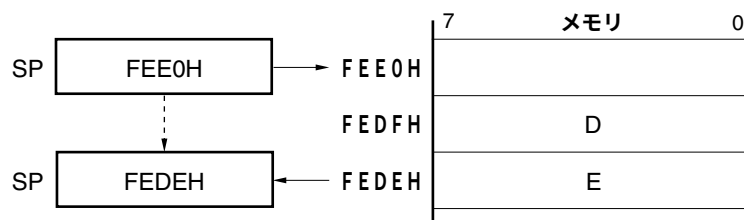
【記述例】

PUSH DE ; DEレジスタをセーブする場合

命令コード

1	0	1	1	0	1	0	1

【図解】



第4章 メモリ・バンク切り替え機能 (フラッシュ・メモリが96 Kバイト以上の製品のみ)

4.1 メモリ・バンク

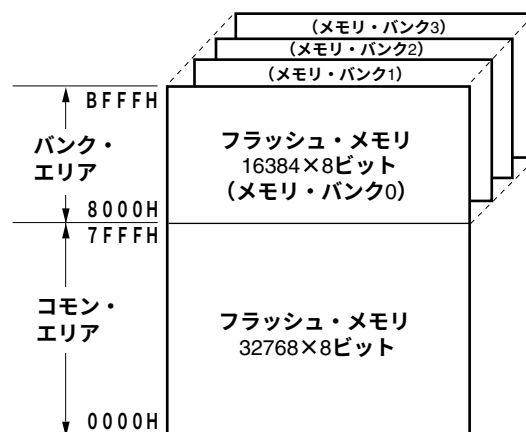
78K0/KD2, 78K0/KE2, 78K0/KF2の μ PD78F05x6, 78F05x6A, 78F05x7, 78F05x7A, 78F05x7D, 78F05x7DAは8000H-BFFFFHのメモリ空間をメモリ・バンクとして切り替えることで、96Kバイト、128KバイトのROM容量を実現しています。

μ PD78F05x6, 78F05x6Aではメモリ・バンク0-3, μ PD78F05x7, 78F05x7A, 78F05x7D, 78F05x7DAではメモリ・バンク0-5が次のように配置されています。

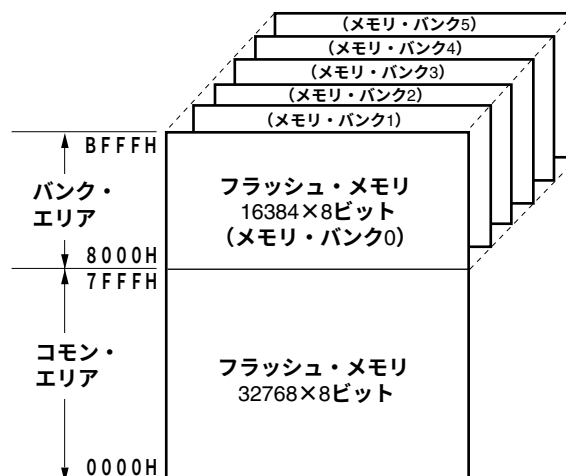
メモリ・バンクの切り替えは、メモリ・バンク選択レジスタ (BANK) で行います。

図4-1 内部ROM (フラッシュ・メモリ) 配置

(a) μ PD78F05x6, 78F05x6A (フラッシュ・メモリが96 Kバイトの製品)



(b) μ PD78F05x7, 78F05x7A, 78F05x7D, 78F05x7DA (フラッシュ・メモリが128 Kバイトの製品)



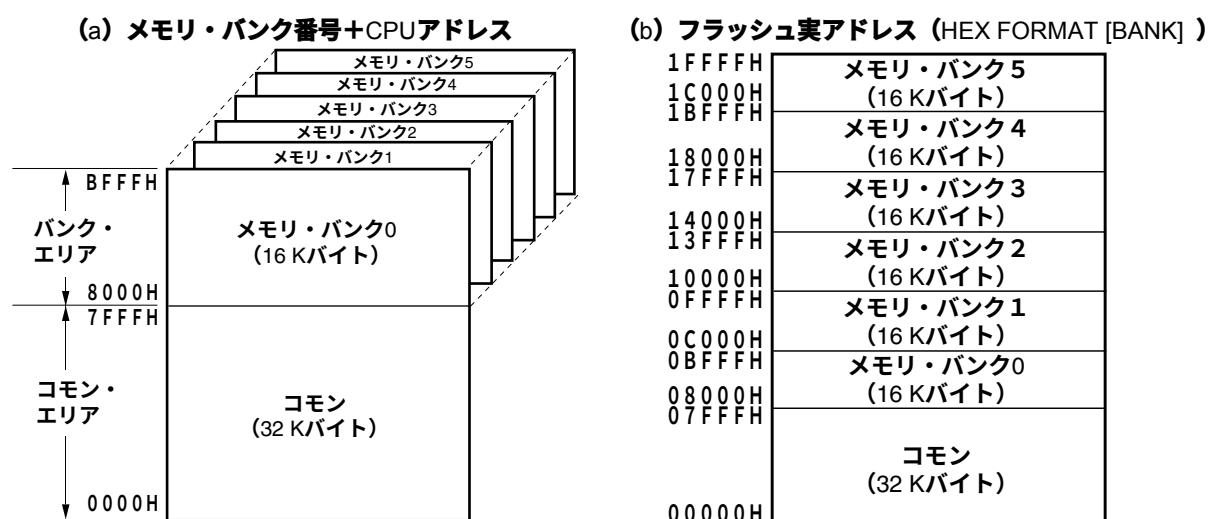
備考 x = 2-4

4.2 メモリ空間表現の違い

78K0/Kx2マイクロコントローラのメモリ・バンク対応製品では、アドレスの見え方として、次の2種類があります。

- ・メモリ・バンク番号+CPUアドレス
- ・フラッシュ実アドレス (HEX FORMAT [BANK])

図4-2 アドレスの見え方



メモリ・バンク番号+CPUアドレスは、アドレス空間に空きがある表現となっているのに対し、フラッシュ実アドレスは、アドレス空間の空きを詰めた表現となっています。

ユーザ・プログラム上でのアドレッシングでは、メモリ・バンク番号+CPUアドレスを使用します。オンボード・プログラミングおよびセルフ・プログラミング・サンプル・ライブラリを使用しないセルフ・プログラミング^{注1}では、フラッシュ実アドレスを使用します。

アセンブラ (RA78K0) から初期設定で出力されるHEXファイルは、フラッシュ実アドレスとなりますので、ご注意ください。その他シミュレータ、デバッガ^{注2}などのツール類におけるアドレス表現は、表4-1を参照してください。

注1. セルフ・プログラミング・サンプル・ライブラリを使用してセルフ・プログラミングを行う場合、アドレスは自動的に変換されるため、メモリ・バンク番号+CPUアドレスを使用できます。

2. SM+ for 78K0, SM+ for 78K0/Kx2, ID78K0-QB

表4-1 メモリ・バンクのアドレス表現

メモリ・バンク番号	CPUアドレス	フラッシュ実アドレス	シミュレータ, デバッガ ^{※1} でのアドレス表現
メモリ・バンク0	08000H-0BFFFFH ^{※2}	08000H-0BFFFFH	08000H-0BFFFFH
メモリ・バンク1		0C000H-0FFFFH	18000H-1BFFFFH
メモリ・バンク2		10000H-13FFFFH	28000H-2BFFFFH
メモリ・バンク3		14000H-17FFFFH	38000H-3BFFFFH
メモリ・バンク4		18000H-1BFFFFH	48000H-4BFFFFH
メモリ・バンク5		1C000H-1FFFFH	58000H-5BFFFFH

注1. SM+ for 78K0, SM+ for 78K0/Kx2, ID78K0-QB

2. 使用するメモリ・バンクは, メモリ・バンク選択レジスタ (BANK) で設定してください (図4-3を参照)。

詳細については, RA78K0 Ver.3.80 ユーザーズ・マニュアル アセンブラ・パッケージ 操作編 (U17199J), および78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

4.3 メモリ・バンク選択レジスタ (BANK)

メモリ・バンク選択レジスタ (BANK) で, 使用するメモリ・バンクを設定します。

BANKは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4-3 メモリ・バンク選択レジスタ (BANK) のフォーマット

アドレス: FFF3H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
BANK	0	0	0	0	0	BANK2	BANK1	BANK0

BANK2	BANK1	BANK0	バンクの設定	
			μ PD78F05x6, 78F05x6A	μ PD78F05x7, 78F05x7A, 78F05x7D, 78F05x7DA
0	0	0	コモン・エリア (32 KB) + メモリ・バンク0 (16 KB)	
0	0	1	コモン・エリア (32 KB) + メモリ・バンク1 (16 KB)	
0	1	0	コモン・エリア (32 KB) + メモリ・バンク2 (16 KB)	
0	1	1	コモン・エリア (32 KB) + メモリ・バンク3 (16 KB)	
1	0	0	設定禁止	コモン・エリア (32 KB) + メモリ・バンク4 (16 KB)
1	0	1		コモン・エリア (32 KB) + メモリ・バンク5 (16 KB)
上記以外			設定禁止	

注意 BANKレジスタの書き換えは, 必ずコモン・エリア (0000H-7FFFFH) 内で行ってください。

バンク・エリア (8000H-BFFFFH) 内でBANKレジスタを切り替えると, CPUが暴走してしまうため, バンク・エリア内でのBANKレジスタの書き換えは, 絶対に行わないでください。

備考 x = 2-4

4.4 メモリ・バンク切り替え使用方法

メモリ・バンク選択レジスタ（BANK）で設定したメモリ・バンクは、バンク・エリアに反映され、アドレス可能になります。そのため、現在設定しているメモリ・バンクとは異なるメモリ・バンクにアクセスする場合は、BANKレジスタで設定する必要があります。

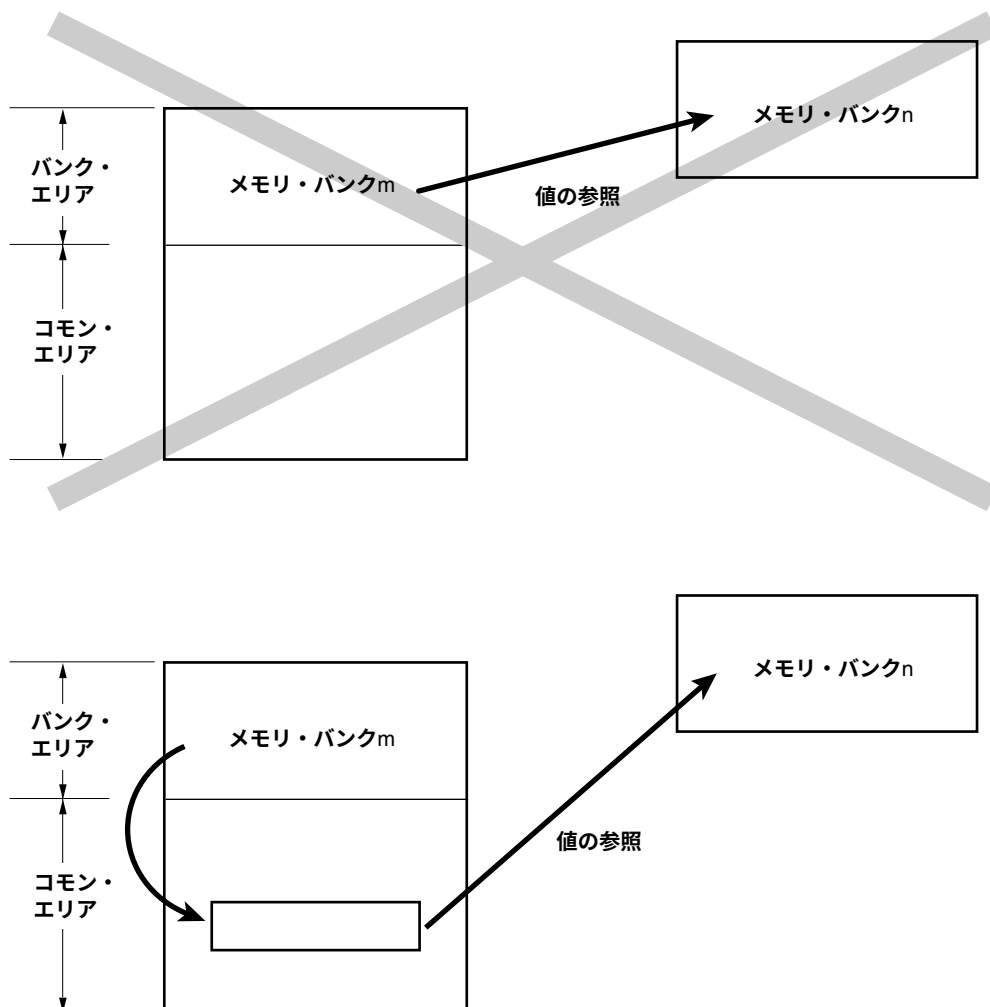
バンク・エリア（8000H-BFFFFH）内でBANKレジスタを書き換える命令を実行することはできないため、メモリ・バンクを切り替える場合は、コモン・エリア（0000H-7FFFFH）に命令を分岐し、そこでBANKレジスタを書き換えてください。

- 注意1.** 異なるメモリ・バンク間で命令フェッチはできません。
- 異なるメモリ・バンク間での分岐、アクセスは直接実行できません。異なるメモリ・バンク間で分岐、アクセスをする場合は、コモン・エリアを経由してください。
 - 割り込み処理はコモン・エリアに配置してください。
 - 7FFFFHから8000Hにまたがる命令は、メモリ・バンク0のみ実行可能です。

4.4.1 メモリ・バンク間の値の参照

メモリ・バンクから、他のメモリ・バンクへ直接、値を参照することはできません。

メモリ・バンクから他のメモリ・バンクにアクセスするときは、一度コモン・エリア（0000H-7FFFFH）に分岐し、コモン・エリアにてBANKレジスタを書き換えたあとに、値の参照を行ってください。



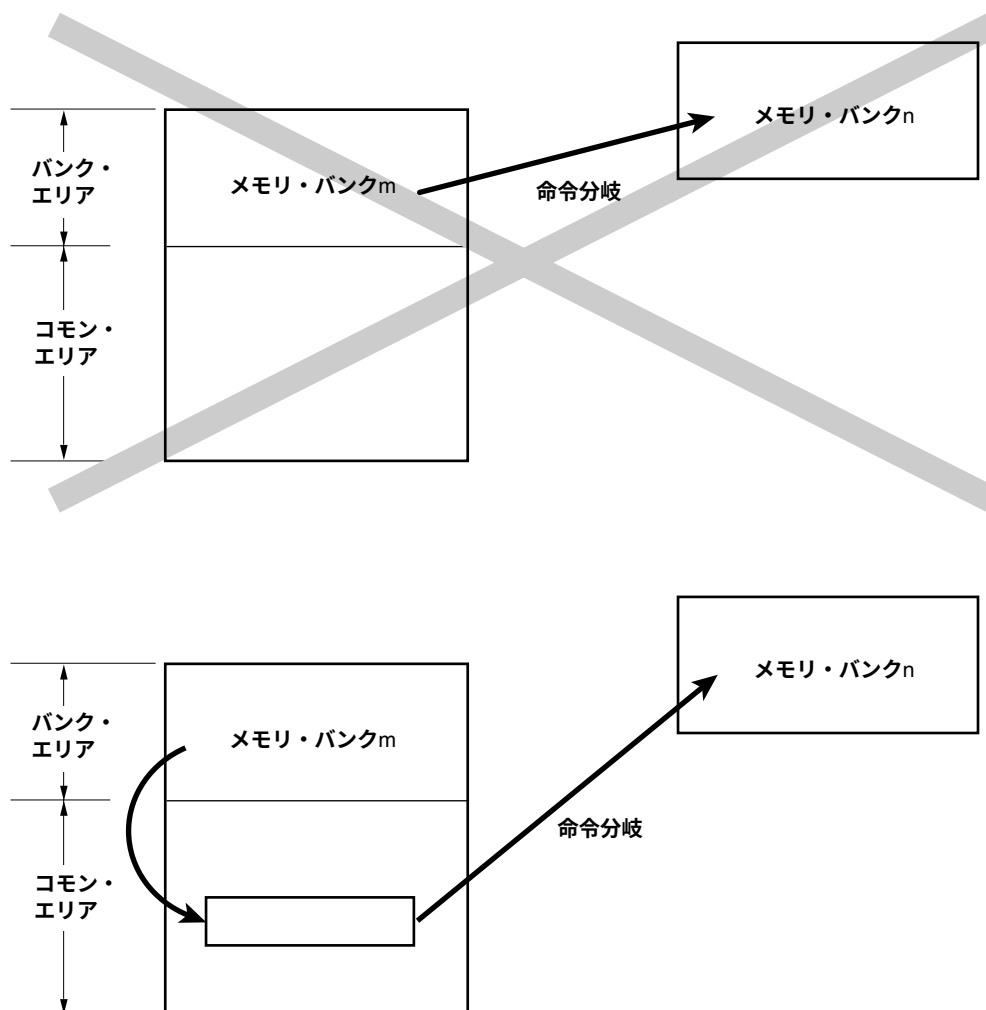
・ソフトウェア例（Aレジスタに参照する値を格納する場合）

RAMD	DSEG	SADDR	
R_BNKA:	DS	2	;参照先のアドレス指定用RAMを確保
R_BNKN:	DS	1	;参照先のメモリ・バンク番号指定用RAMを確保
R_BNKRN:	DS	1	;参照元のメモリ・バンク番号退避用RAMを確保
ETRC	CSEG	UNIT	
ENTRY:			
	MOV	R_BNKN,#BANKNUM	DATA1 ;参照先のメモリ・バンク番号を格納
	MOVW	R_BNKA,#DATA1	;参照先のアドレスを格納
	CALL	!BNKRD	;メモリ・バンク間参照用サブルーチンをコール
		:	
		:	
BNKC	CSEG	AT	7000H
BNKRD:			;メモリ・バンク間参照用サブルーチン
	PUSH	HL	;HLレジスタの内容を退避
	MOV	A,R_BNKN	;参照先のメモリ・バンク番号を取得
	XCH	A,BANK	;参照元と参照先のメモリ・バンク番号を交換
	MOV	R_BNKRN,A	;参照元のメモリ・バンク番号を退避
	XCHW	AX,HL	;Xレジスタを退避
	MOVW	AX,R_BNKA	;参照先のアドレスを取得
	XCHW	HL,AX	;参照先のアドレスを指定
	MOV	A,[HL]	;目的の値をリード
	XCH	A,R_BNKRN	;参照元のメモリ・バンク番号を取得
	MOV	BANK,A	;参照元のメモリ・バンク番号を指定
	MOV	A,R_BNKRN	;目的の値をAレジスタにライト
	POP	HL	;HLレジスタの内容を復帰
	RET		;復帰
DATA	CSEG	BANK3	
DATA1:	DB	0AAH	
END			

4.4.2 メモリ・バンク間の命令分岐

メモリ・バンクから他のメモリ・バンクへ、直接に命令分岐はできません。

メモリ・バンクから他のメモリ・バンクへ命令分岐をするときは、一度コモン・エリア（0000H-7FFFH）に分岐し、コモン・エリアでBANKレジスタを書き換えたあと、再度、分岐命令を行ってください。



・ソフトウェア例1（すべてのエリアから分岐する場合）

RAMD	DSEG	SADDR	
R_BNKA:	DS	2	;分岐先のメモリ・バンク指定用RAMを確保
R_BNKN:	DS	1	;分岐先のメモリ・バンク番号指定用RAMを確保
RSVEAX:	DS	2	;AXレジスタ退避用RAMを確保
ETRC	CSEG	UNIT	
ENTRY:			
	MOV	R_BNKN,#BANKNUM	TEST ;分岐先のメモリ・バンク番号をRAMに格納
	MOVW	R_BNKA,#TEST	;分岐先のアドレスをRAMに格納
	BR	!BNKBR	;メモリ・バンク間分岐処理に分岐
		:	
		:	
BNKC	CSEG	AT	7000H
BNKBR:			
	MOVW	RSVEAX,AX	;AXレジスタを退避
	MOV	A,R_BNKN	;分岐先のメモリ・バンク番号を取得
	MOV	BANK,A	;分岐先のメモリ・バンク番号を指定
	MOVW	AX,R_BNKA	;分岐先のアドレス指定
	PUSH	AX	;分岐先のアドレスをスタックにセット
	MOVW	RSVEAX,AX	;AXレジスタを復帰
	RET		;分岐
BN3	CSEG	BANK3	
TEST:			
	MOV	...	
		:	
		:	
END			

・ソフトウェア例2（コモン・エリアから任意のバンク・エリアに分岐する場合）

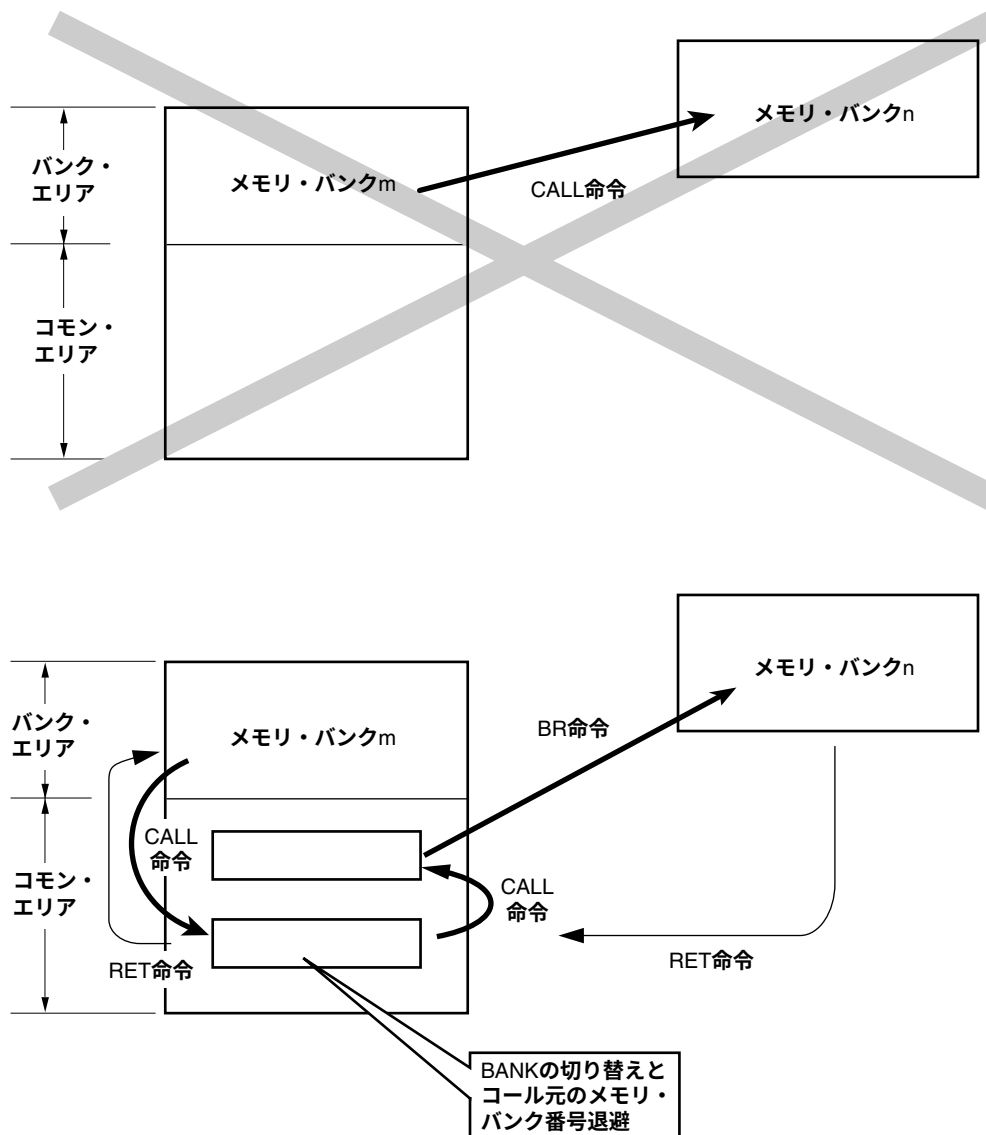
ETRC	CSEG	AT	2000H
ENTRY:			
	MOV	R_BNKN,#BANKNUM	TEST ;分岐先のメモリ・バンク番号をRAMに格納
	BR	!TEST	;分岐先のアドレスをRAMに格納
BN3	CSEG	BANK3	
TEST:			
	MOV	...	
		:	
		:	
END			

4.4.3 メモリ・バンク間のサブルーチン・コール

メモリ・バンク間で直接サブルーチン・コールをすることはできません。

メモリ・バンク間でサブルーチン・コールをする場合は、一度コモン・エリア（0000H-7FFFH）に分岐し、そこでコール先のメモリ・バンクをBANKレジスタで指定し、CALL命令を実行し、その中でコール先に分岐してください。

このとき、変更前のBANKレジスタの値はRAMなどに退避させ、RET命令を実行する前に、BANKレジスタの値を戻してください。



・ソフトウェア例

RAMD	DSEG	SADDR	
R_BNKA:	DS	2	;コール先のアドレス指定用RAMを確保
R_BNKN:	DS	1	;コール先のメモリ・バンク番号指定用RAMを確保
R_BNKRN:	DS	1	;コール元のメモリ・バンク番号退避用RAMを確保
RSAVEAX:	DS	2	;AXレジスタ退避用RAMを確保
ETRC	CSEG	UNIT	
ENTRY:			
	MOV	R_BNKN,#BANKNUM	TEST ;コール先のメモリ・バンク番号をRAMに格納
	MOVW	R_BNKA,#TEST	;コール先のアドレスをRAMに格納
	CALL	!BNKCAL	;メモリ・バンク間コール処理ルーチンに分岐
		:	
		:	
BNKC	CSEG	AT	7000H
BNKCAL:			;メモリ・バンク間コール処理ルーチン
	MOVW	RSAX,AX	;AXレジスタを退避
	MOV	A,R_BNKN	;コール先のメモリ・バンク番号を取得
	XCH	A,BANK	;バンク変更とコール元のメモリ・バンク番号を取得
	MOV	R_BNKRN,A	;コール元のメモリ・バンク番号をRAMに退避
	CALL	!BNKCAL	;コール先に分岐するためのサブコール
	MOVW	RSAX,AX	;AXレジスタを退避
	XCH	A,R_BNKRN	;コール元のメモリ・バンク番号を取得
	MOV	BANK,A	;コール元のメモリ・バンク番号を指定
	MOVW	AX,RSAX	;AXレジスタを復帰
	RET		;コール元にリターン
BNKCAL:			
	MOVW	AX,R_BNKA	;コール先のアドレス指定
	PUSH	AX	;コール先のアドレスをスタックにセット
	MOVW	AX,RSAX	;元のAXレジスタを復帰
	RET		;コール先に分岐
BN3	CSEG	BANK3	
TEST:			
	MOV	...	
	:		
	:		
	RET		
END			

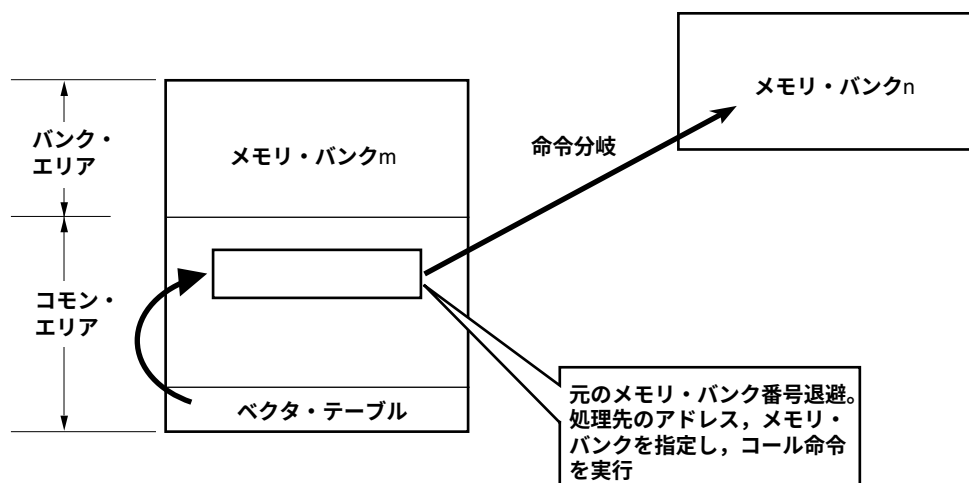
備考 上記のソフトウェア例は、多重の処理には対応していません。

4.4.4 割り込みによるバンク・エリアへの命令分岐

割り込み発生時のベクタ・テーブルによるバンク・エリアへの命令分岐は、割り込み発生時にBANKレジスタで指定されているメモリ・バンクへ分岐することはできますが、割り込み発生時のBANKレジスタを特定することは困難です。

したがって、ベクタ・テーブルで指定する分岐先アドレスをコモン・エリア（0000H-7FFFH）に指定し、コモン・エリアで分岐先のメモリ・バンクをBANKレジスタで指定し、CALL命令を実行してください。このとき、変更前のBANKレジスタの値はRAMに退避し、RETI命令実行前に、BANKレジスタの値を戻してください。

備考 すばやい応答を必要とする割り込み処理は、割り込み処理自体をコモン・エリアに配置してください。



・ソフトウェア例（16ビット・タイマ／イベント・カウンタ00の割り込み要求発生を使用する場合）

VCTBL	CSEG	AT	0020H	
	DW	BNKITM000		;タイマ割り込み先のアドレスを指定
RAMD	DSEG	SADDR		
R_BNKRN:	DS	1		;割り込み前のメモリ・バンク番号退避用RAMを確保

BNKC	CSEG	AT	7000H	
BNKITM000:				;メモリ・バンク間割り込み処理ルーチン
	PUSH	AX		;AXレジスタの内容を退避
	MOV	A,BANK		
	MOV	R_BNKRN,A		;割り込み前のメモリ・バンク番号をRAMに退避
	MOV	BANK,#BANKNUM TEST		;割り込みルーチンのメモリ・バンク番号を指定
	CALL	!TEST		;割り込みルーチンをコール
	MOV	A,R_BNKRN		;割り込み前のメモリ・バンク番号を復帰
	MOV	BANK,A		
	POP	AX		;AXレジスタの内容を復帰
	RETI			

BN3	CSEG	BANK3		
TEST:				;割り込み処理ルーチン
	MOV	...		
	:			
	:			
	RET			
END				

備考 効率良くバンク切り替え機能を利用するために、次の点を留意してください。

- ・頻繁に使用するルーチンは、コモン・エリアに配置してください。
- ・参照予定の値をRAMに展開すると、すべての領域から参照可能となります。
- ・メモリ・バンクに配置したルーチンの参照先や分岐先は、同じメモリ・バンクに配置すると、コード・サイズと処理が効率的になります。
- ・すばやい応答が要求される割り込み処理は、コモン・エリアに配置してください。

第5章 ポート機能

5.1 ポートの機能

ポート端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表5-1 各端子の入出力バッファ電源 (AV_{REF} , V_{DD})

- 78K0/KB2: 30ピン・プラスチックSSOP (7.62 mm (300))
- 78K0/KC2: 38ピン・プラスチックSSOP (7.62 mm (300)) , 44ピン・プラスチックLQFP (10x10) , 48ピン・プラスチックLQFP (ファインピッチ) (7x7)
- 78K0/KD2: 52ピン・プラスチックLQFP (10x10)

電源	対応する端子
AV_{REF}	P20-P27
V_{DD}	P20-P27以外の端子

表5-2 各端子の入出力バッファ電源 (AV_{REF} , EV_{DD} , V_{DD})

- 78K0/KB2: 36ピン・プラスチックFLGA (4x4)
- 78K0/KE2: 64ピン・プラスチックLQFP (ファインピッチ) (10x10) , 64ピン・プラスチックLQFP (14x14) 64ピン・プラスチックLQFP (12x12) , 64ピン・プラスチックTQFP (7x7) , 64ピン・プラスチックFLGA (5x5) , 64ピン・プラスチックFBGA (4x4)
- 78K0/KF2: 80ピン・プラスチックLQFP (14x14) , 80ピン・プラスチックLQFP (ファインピッチ) (12x12)

電源	対応する端子
AV_{REF}	P20-P27
EV_{DD}	P20-P27, P121-P124以外のポート端子
V_{DD}	• P121-P124 • ポート以外の端子

78K0/Kx2マイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表5-3のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 **端子機能**を参照してください。

表5-3 ポートの機能 (1/3)

K B 2	K C 2	K D 2	K E 2	K F 2	機能名称	入出力	機 能	リセット時	兼用機能
○	○	○	○	○	P00	入出力	ポート0。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
○	○	○	○	○	P01				TI010/TO00
—	—	※1	※2	○	P02				SO11
—	—	※1	※2	○	P03				SI11
—	—	—	※2	○	P04				SCK11
—	—	—	※2	○	P05				TI001/SSI11
—	—	—	※2	○	P06				TI011/TO01
○	○	○	○	○	P10	入出力	ポート1。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
○	○	○	○	○	P11				SI10/RxD0
○	○	○	○	○	P12				SO10
○	○	○	○	○	P13				TxD6
○	○	○	○	○	P14				RxD6
○	○	○	○	○	P15				TOH0
○	○	○	○	○	P16				TOH1/INTP5
○	○	○	○	○	P17				TI50/TO50
○	○	○	○	○	P20	入出力	ポート2。 入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力	ANI0
○	○	○	○	○	P21				ANI1
○	○	○	○	○	P22				ANI2
○	○	○	○	○	P23				ANI3
—	○	○	○	○	P24				ANI4
—	○	○	○	○	P25				ANI5
—	※3	○	○	○	P26				ANI6
—	※3	○	○	○	P27				ANI7
○	○	○	○	○	P30	入出力	ポート3。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
○	○	○	○	○	P31				INTP2/OCD1A ^{※4}
○	○	○	○	○	P32				INTP3/OCD1B ^{※4}
○	○	○	○	○	P33				TI51/TO51/INTP4

注1. 78K0/KD2の製品はポート機能（P02, P03）のみで、兼用機能はありません。

- フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品は、ポート機能（P02-P06）のみで、兼用機能はありません。フラッシュ・メモリが48 Kバイト以上の78K0/KE2の製品は、ポート機能（P02-P06）と兼用機能があります。
- 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM2のビット6, 7には1を、P2のビット6, 7には0を必ず設定してください。
- OCD1A, OCD1Bはオンチップ・デバッグ機能搭載品（μ PD78F05xxD, 78F05xxDA）のみ。

備考 ○：搭載，－：非搭載

表5-3 ポートの機能 (2/3)

K B 2	K C 2	K D 2	K E 2	K F 2	機能名称	入出力	機 能	リセット時	兼用機能
—	注1	○	○	○	P40	入出力	ポート4。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
—	注1	○	○	○	P41				—
—	—	—	○	○	P42				—
—	—	—	○	○	P43				—
—	—	—	—	○	P44				—
—	—	—	—	○	P45				—
—	—	—	—	○	P46				—
—	—	—	—	○	P47				—
—	—	—	○	○	P50	入出力	ポート5。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
—	—	—	○	○	P51				—
—	—	—	○	○	P52				—
—	—	—	○	○	P53				—
—	—	—	—	○	P54				—
—	—	—	—	○	P55				—
—	—	—	—	○	P56				—
—	—	—	—	○	P57				—
○	○	○	○	○	P60	入出力	ポート6。 入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6 V 耐圧）。 1ビット単位で入力／出力の指定可能。 P64-P67はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
○	○	○	○	○	P61				SDA0
—	○	○	○	○	P62				EXSCL0
—	○	○	○	○	P63				—
—	—	—	—	○	P64				—
—	—	—	—	○	P65				—
—	—	—	—	○	P66				—
—	—	—	—	○	P67				—
—	○	○	○	○	P70	入出力	ポート7。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0
—	○	○	○	○	P71				KR1
—	注1	○	○	○	P72				KR2
—	注1	○	○	○	P73				KR3
—	注2	○	○	○	P74				KR4
—	注2	○	○	○	P75				KR5
—	—	○	○	○	P76				KR6
—	—	○	○	○	P77				KR7

注1. 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM4のビット0, 1, PM7のビット2, 3とP4のビット0, 1, P7のビット2, 3には0を必ず設定してください。

2. 78K0/KC2の38ピン製品と44ピン製品は搭載していません。また、48ピン製品はポート機能（P74, P75）のみで、兼用機能はありません。

備考 ○：搭載，—：非搭載

表5-3 ポートの機能 (3/3)

K B 2	K C 2	K D 2	K E 2	K F 2	機能名称	入出力	機 能	リセット時	兼用機能
○	○	○	○	○	P120	入出力	ポート12。 入出力ポート。 1ビット単位で入力／出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
○	○	○	○	○	P121				X1/OCD0A ^{※3}
○	○	○	○	○	P122				X2/EXCLK/ OCD0B ^{※3}
—	○	○	○	○	P123				XT1
—	○	○	○	○	P124				XT2/EXCLKS
—	注1	○	○	○	P130	出力	ポート13。 出力専用ポート。	出力ポート	—
—	注1	○	○	○	P140	入出力	ポート14。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6
—	—	—	注2	○	P141				BUZ/BUSY0/INTP7
—	—	—	—	○	P142				SCKA0
—	—	—	—	○	P143				SIA0
—	—	—	—	○	P144				SOA0
—	—	—	—	○	P145				STB0

注1. 78K0/KC2の38ピン製品と44ピン製品は搭載していません。

2. 78K0/KE2の製品は、BUSY0入力機能はありません。

3. OCD0A, OCD0Bはオンチップ・デバッグ機能搭載品（μ PD78F05xxD, 78F05xxDA）のみ。

備考 ○：搭載，—：非搭載

5.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表5-4 ポートの構成

項 目	構 成
制御レジスタ	78K0/KB2 - ポート・モード・レジスタ (PMxx) : PM0-PM3, PM6, PM12 - ポート・レジスタ (Pxx) : P0-P3, P6, P12 - ブルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3, PU12 - A/Dポート・コンフィギュレーション・レジスタ (ADPC) 78K0/KC2の38ピン製品, 44ピン製品 - ポート・モード・レジスタ (PMxx) : PM0-PM4, PM6, PM7, PM12 - ポート・レジスタ (Pxx) : P0-P4, P6, P7, P12 - ブルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3, PU4, PU7, PU12 - A/Dポート・コンフィギュレーション・レジスタ (ADPC) 78K0/KC2の48ピン製品, 78K0/KD2 - ポート・モード・レジスタ (PMxx) : PM0-PM4, PM6, PM7, PM12, PM14 - ポート・レジスタ (Pxx) : P0-P4, P6, P7, P12-P14 - ブルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3, PU4, PU7, PU12, PU14 - A/Dポート・コンフィギュレーション・レジスタ (ADPC) 78K0/KE2 - ポート・モード・レジスタ (PMxx) : PM0-PM7, PM12, PM14 - ポート・レジスタ (Pxx) : P0-P7, P12-P14 - ブルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3-PU5, PU7, PU12, PU14 - A/Dポート・コンフィギュレーション・レジスタ (ADPC) 78K0/KF2 - ポート・モード・レジスタ (PMxx) : PM0-PM7, PM12, PM14 - ポート・レジスタ (Pxx) : P0-P7, P12-P14 - ブルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3-PU7, PU12, PU14 - A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	78K0/KB2: 合計23本 (CMOS入出力: 21本, N-chオープン・ドレイン入出力: 2本) 78K0/KC2の38ピン製品: 合計31本 (CMOS入出力: 27本, N-chオープン・ドレイン入出力: 4本) 78K0/KC2の44ピン製品: 合計37本 (CMOS入出力: 33本, N-chオープン・ドレイン入出力: 4本) 78K0/KC2の48ピン製品: 合計41本 (CMOS入出力: 36本, CMOS出力: 1本, N-chオープン・ドレイン入出力: 4本) 78K0/KD2: 合計45本 (CMOS入出力: 40本, CMOS出力: 1本, N-chオープン・ドレイン入出力: 4本) 78K0/KE2: 合計55本 (CMOS入出力: 50本, CMOS出力: 1本, N-chオープン・ドレイン入出力: 4本) 78K0/KF2: 合計71本 (CMOS入出力: 66本, CMOS出力: 1本, N-chオープン・ドレイン入出力: 4本)
ブルアップ抵抗	78K0/KB2: 合計15本 78K0/KC2の38ピン製品: 合計17本 78K0/KC2の44ピン製品: 合計21本 78K0/KC2の48ピン製品: 合計24本 78K0/KD2: 合計28本 78K0/KE2: 合計38本 78K0/KF2: 合計54本

5.2.1 ポート0

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P00/TI000	○		○	○	○	
P01/TI010/TO00	○		○	○	○	
P02/SO11	—		P02 ^注	P02 ^注	○	
P03/SI11	—		P03 ^注	P03 ^注	○	
P04/SCK11	—		—	P04 ^注	○	
P05/TI001/SSI11	—		—	P05 ^注	○	
P06/TI011/TO01	—		—	P06 ^注	○	

注 78K0/KD2の製品と、フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品は、ポート機能のみで、兼用機能はありません。

備考 ○：搭載，—：非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P06端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

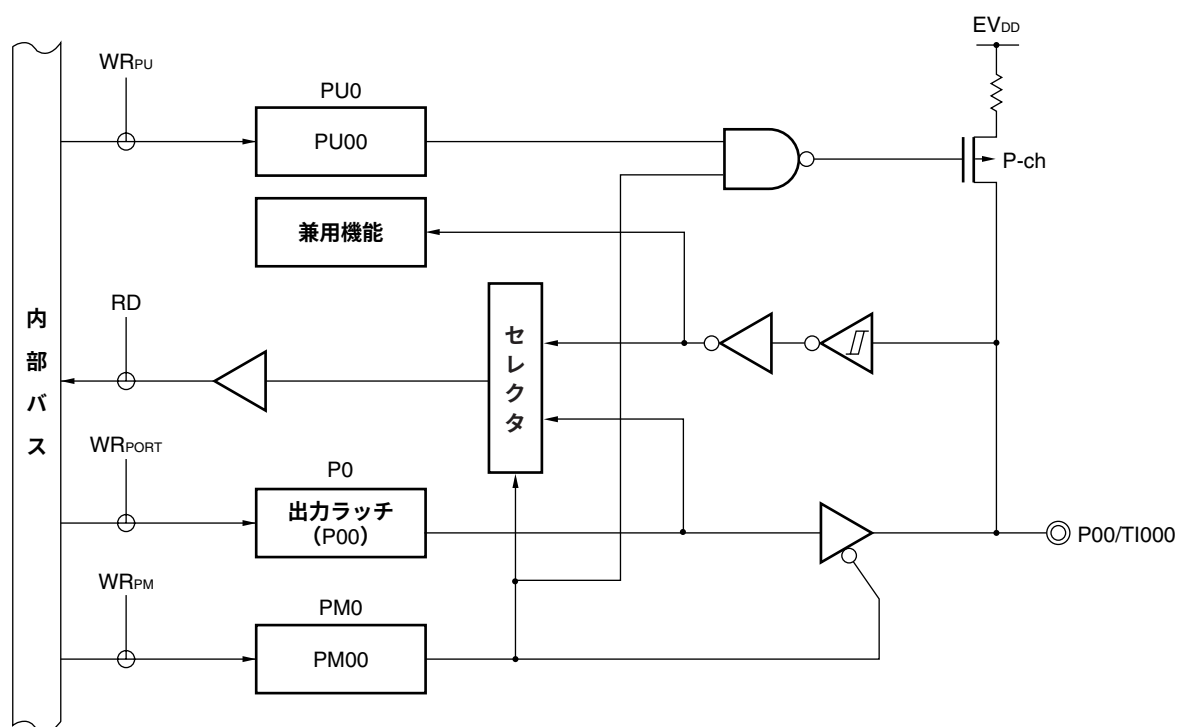
また、兼用機能としてタイマ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力があります。

リセット信号の発生により、入力モードになります。

図5-1～図5-6にポート0のブロック図を示します。

注意 P02/SO11、P04/SCK11を汎用ポートとして使用する場合、シリアル動作モード・レジスタ11（CSIM11）とシリアル・クロック選択レジスタ11（CSIC11）は初期状態と同じ設定（00H）にしてください。

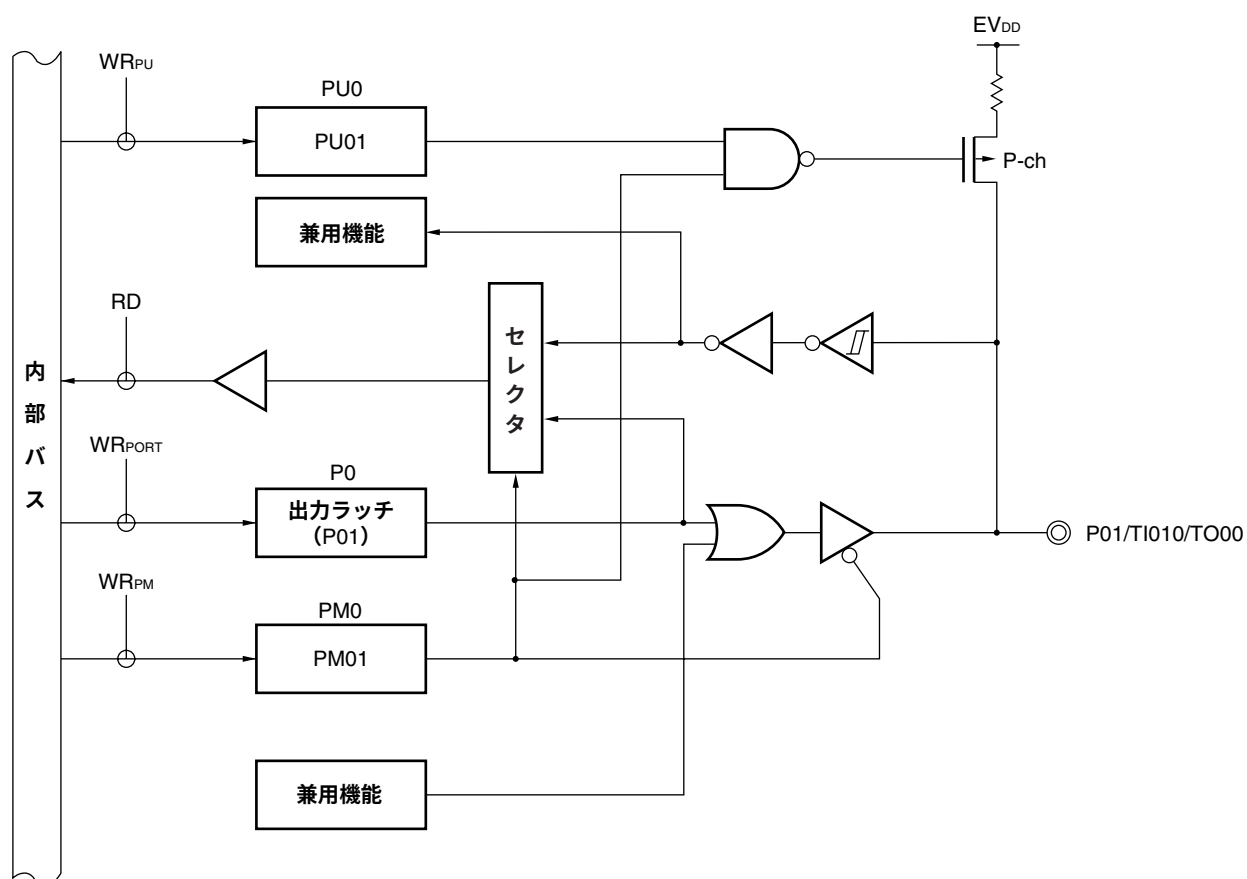
図5-1 P00のブロック図



P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-2 P01のブロック図

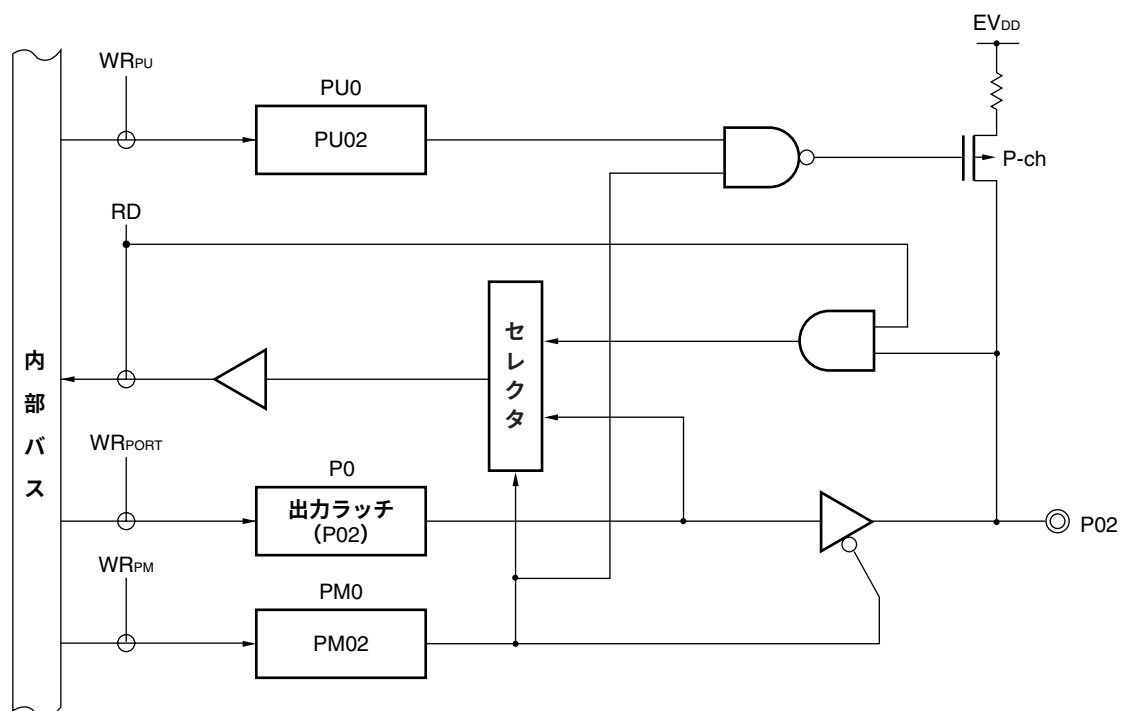


P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き替えてください。

図5-3 P02のブロック図 (1/2)

(1) 78K0/KD2とフラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品



P0 : ポート・レジスタ0

PU0 : プルアップ抵抗オプション・レジスタ0

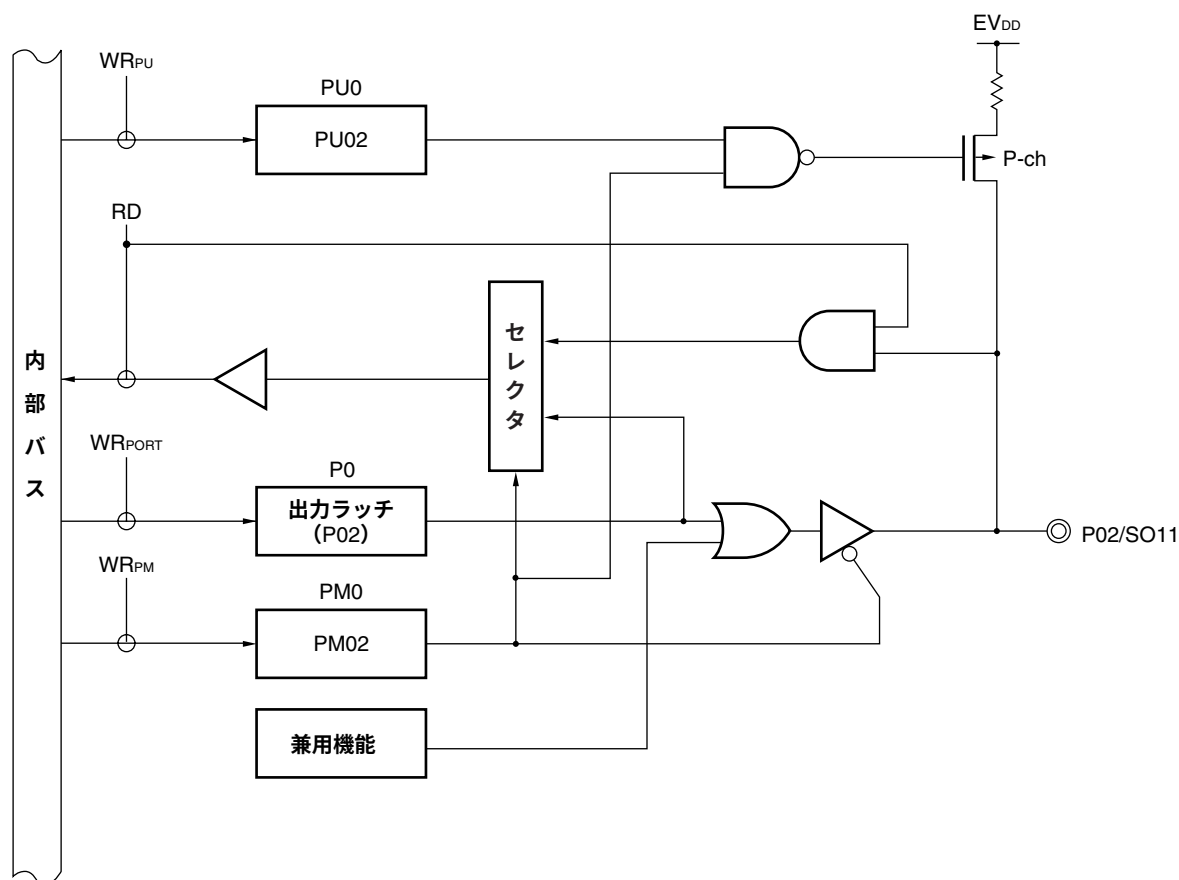
PM0 : ポート・モード・レジスタ0

RD : リード信号

WR_{xx} : ライト信号**備考** EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-3 P02のブロック図 (2/2)

(2) 78K0/KF2とフラッシュ・メモリが48 Kバイト以上の78K0/KE2の製品

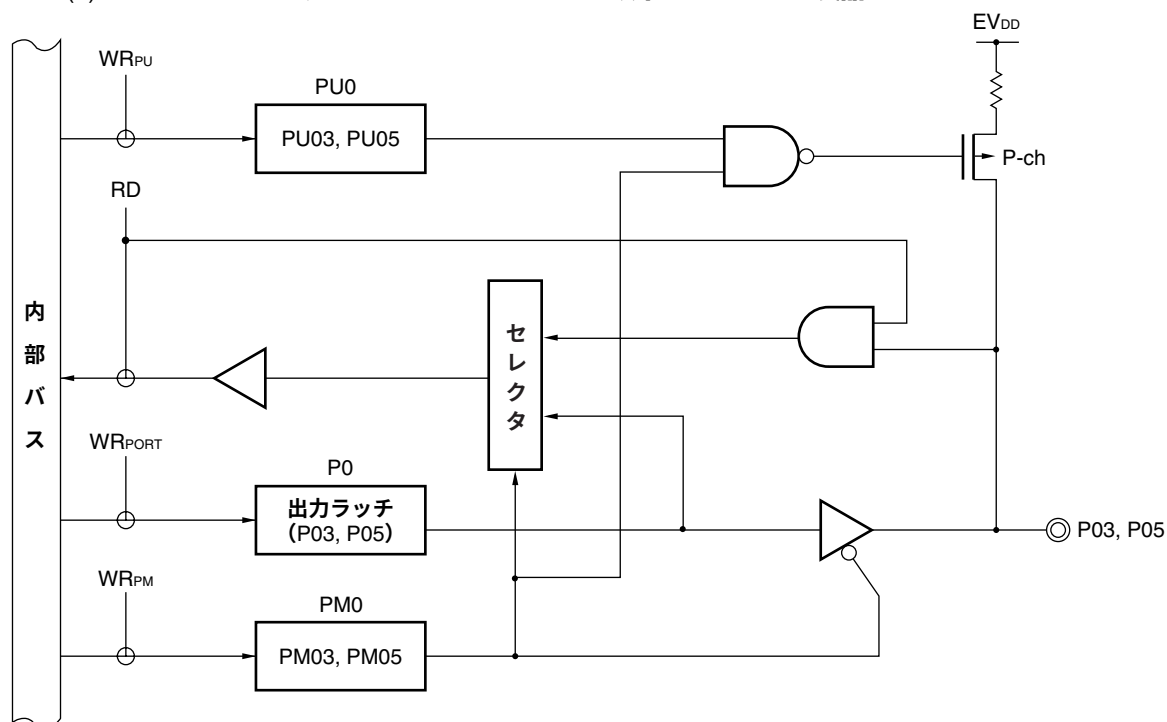


- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-4 P03, P05のブロック図 (1/2)

(1) 78K0/KD2とフラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品



P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

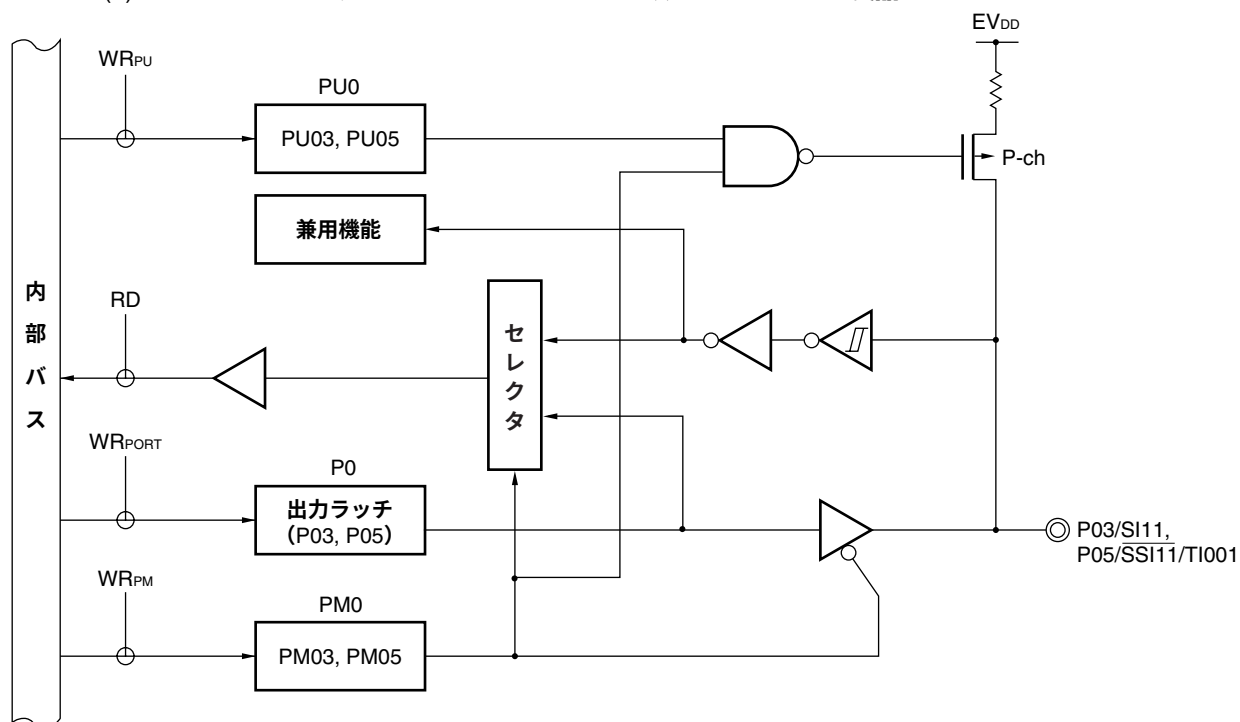
備考1. 78K0/KD2 : P03 (P05は搭載していません)

フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品 : P03, P05

2. EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

図5-4 P03, P05のブロック図 (2/2)

(2) 78K0/KF2とフラッシュ・メモリが48 Kバイト以上の78K0/KE2の製品

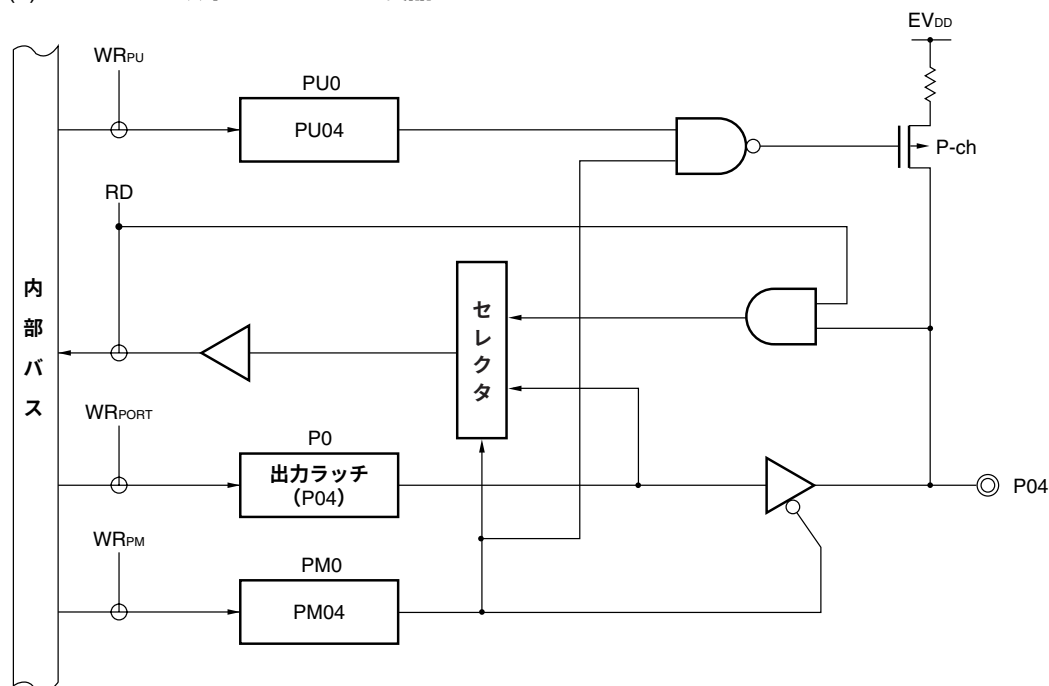


- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-5 P04のブロック図 (1/2)

(1) 32 Kバイト以下の78K0/KE2の製品

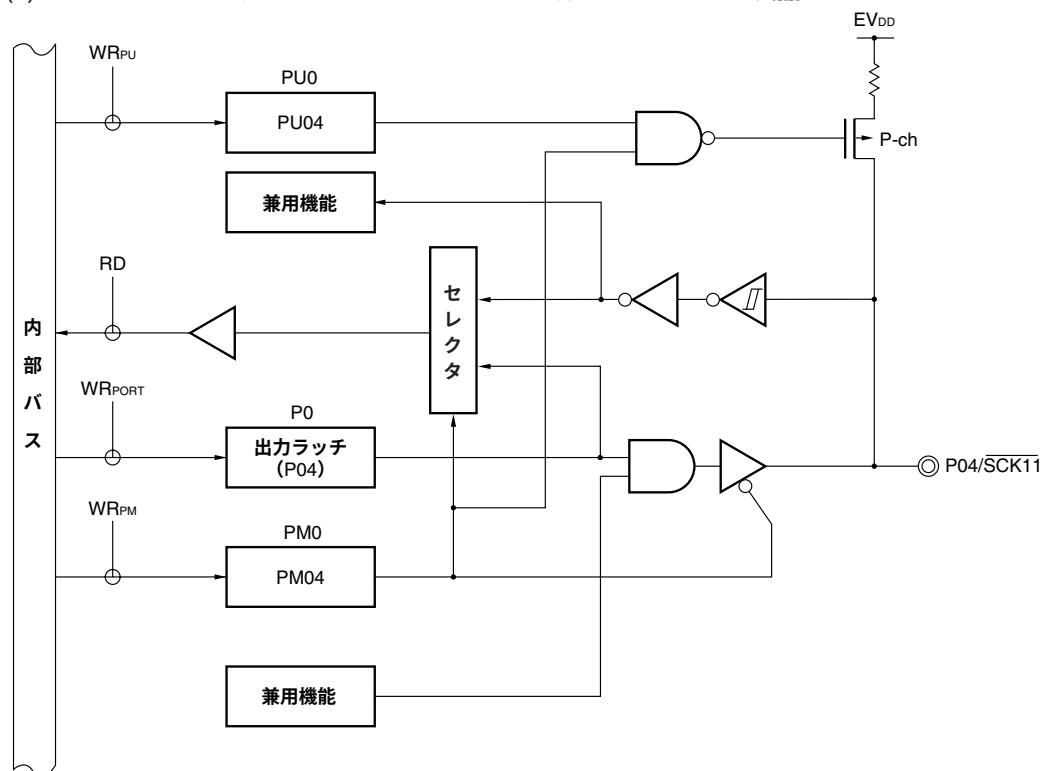


P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-5 P04のブロック図 (2/2)

(2) 78K0/KF2とフラッシュ・メモリが48 Kバイト以上の78K0/KE2の製品

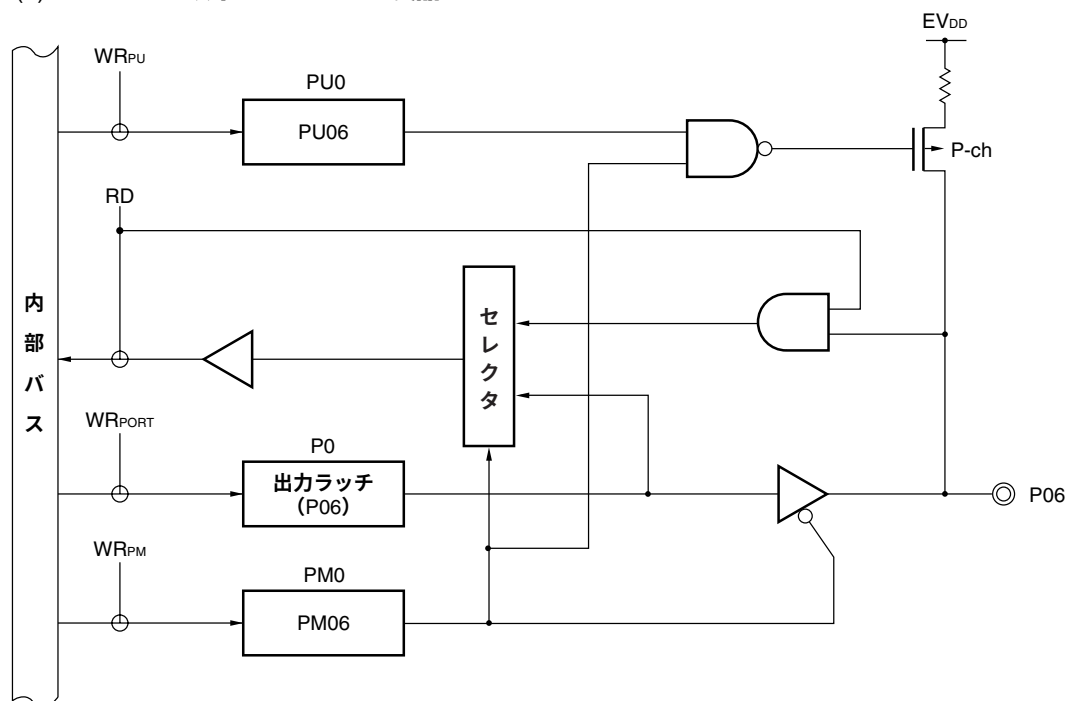


P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-6 P06のブロック図 (1/2)

(1) 32 Kバイト以下の78K0/KE2の製品

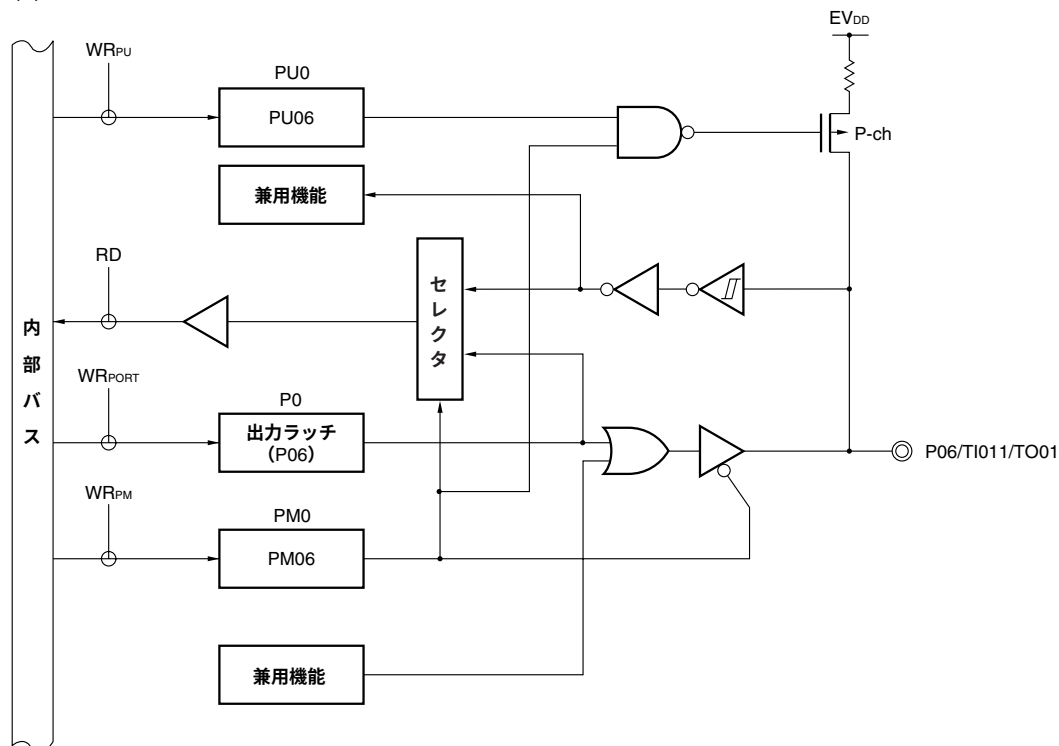


- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-6 P06のブロック図 (2/2)

(2) 78K0/KF2とフラッシュ・メモリが48 Kバイト以上の78K0/KE2の製品



P0 : ポート・レジスタ0
PU0 : プルアップ抵抗オプション・レジスタ0
PM0 : ポート・モード・レジスタ0
RD : リード信号
WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

5.2.2 ポート1

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P10/SCK10/TxD0						○
P11/SI10/RxD0						○
P12/SO10						○
P13/TxD6						○
P14/RxD6						○
P15/TOH0						○
P16/TOH1/INTP5						○
P17/TI50/TO50						○

備考 ○：搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

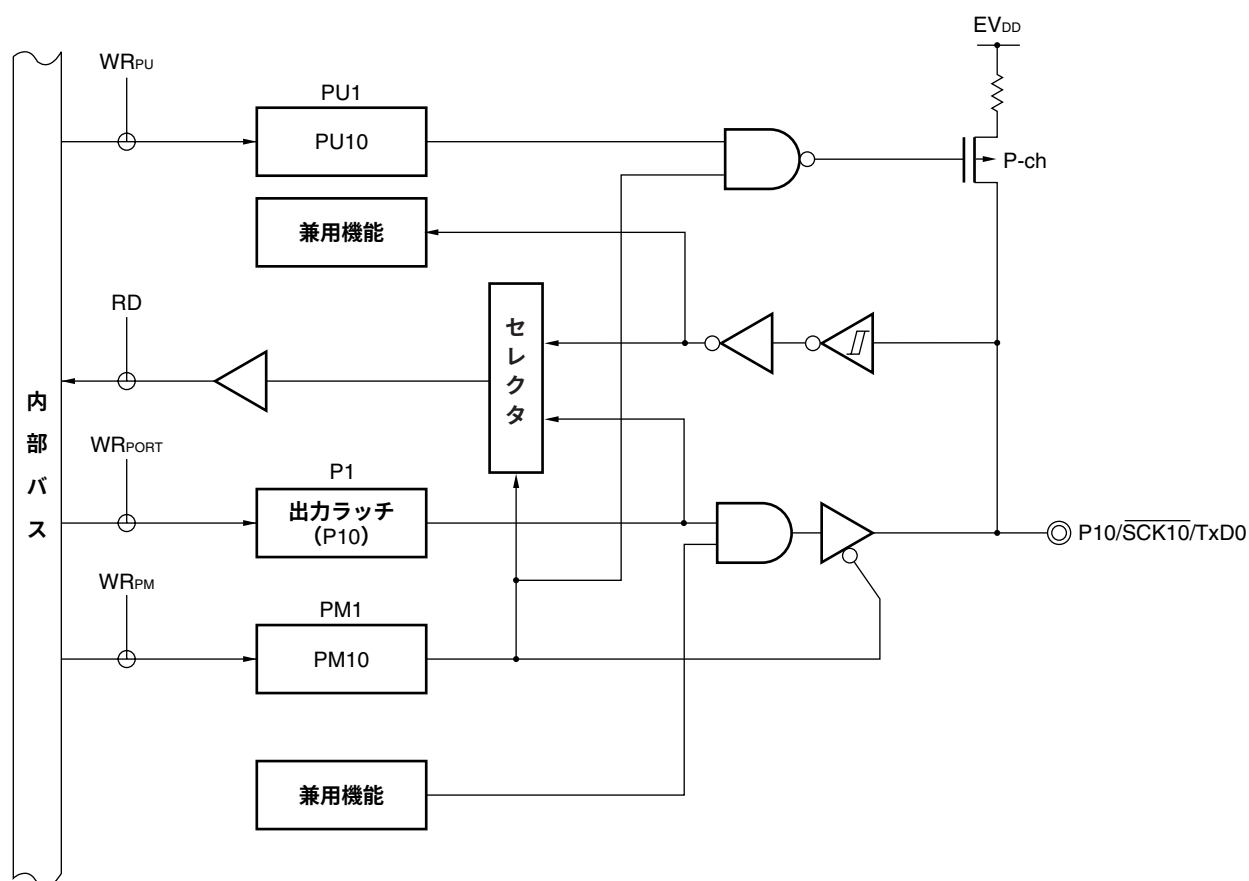
また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図5-7～図5-11にポート1のブロック図を示します。

- 注意1.** P10/SCK10/TxD0, P12/SO10を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10（CSIM10）とシリアル・クロック選択レジスタ10（CSIC10）は初期状態と同じ設定（00H）にしてください。
- 2.** P13/TxD6を汎用ポートとして使用する場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット0（TXDLV6）を0（TxD6通常出力）に設定してください。

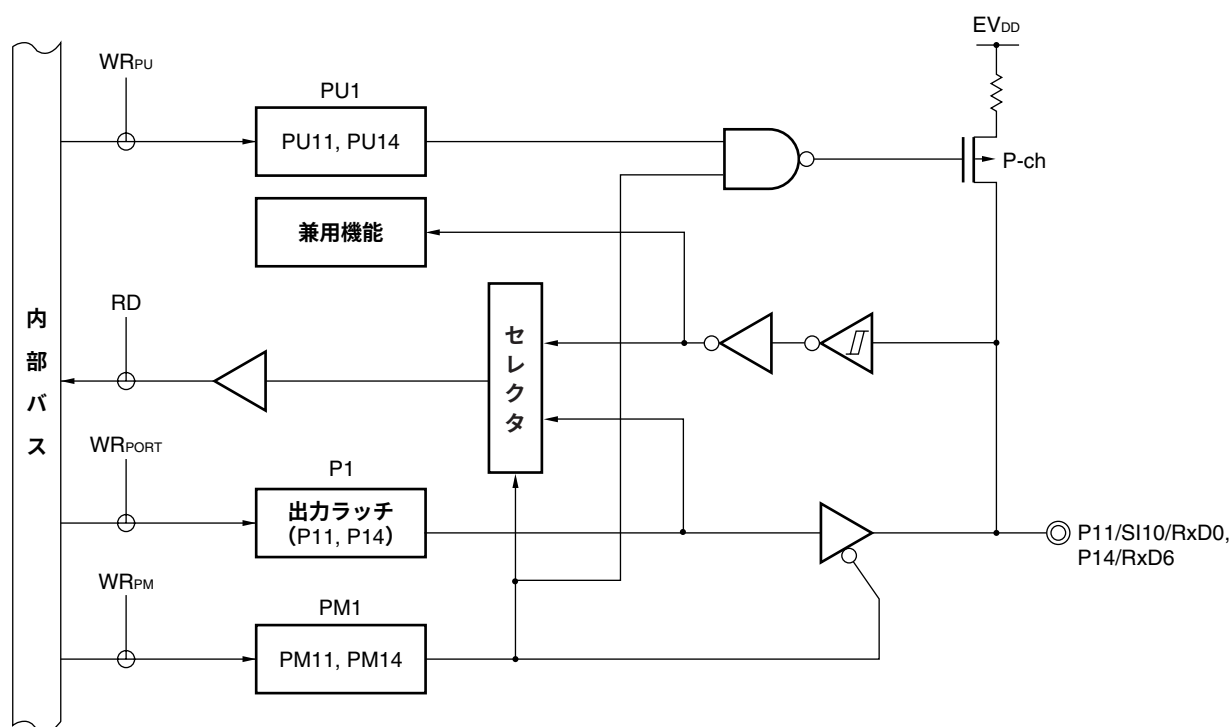
図5-7 P10のブロック図



P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

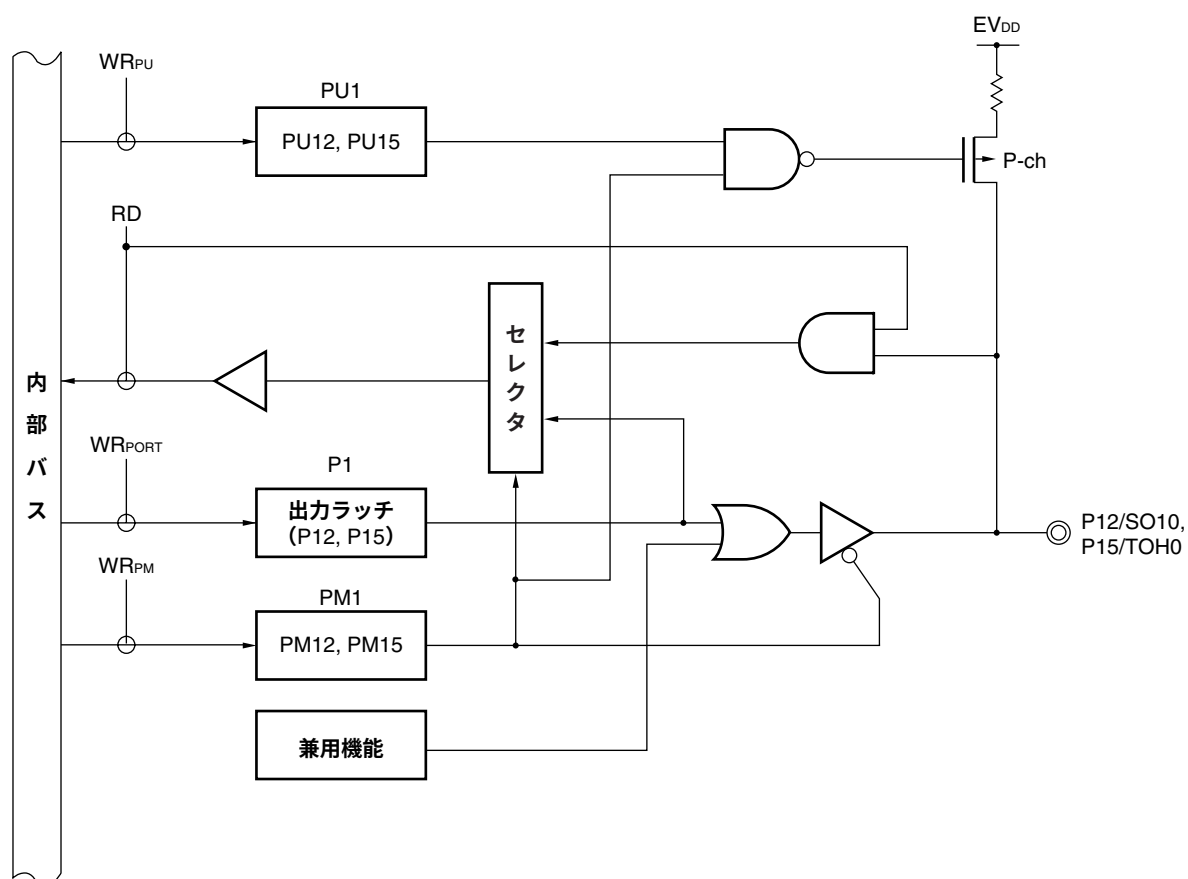
図5-8 P11, P14のブロック図



P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

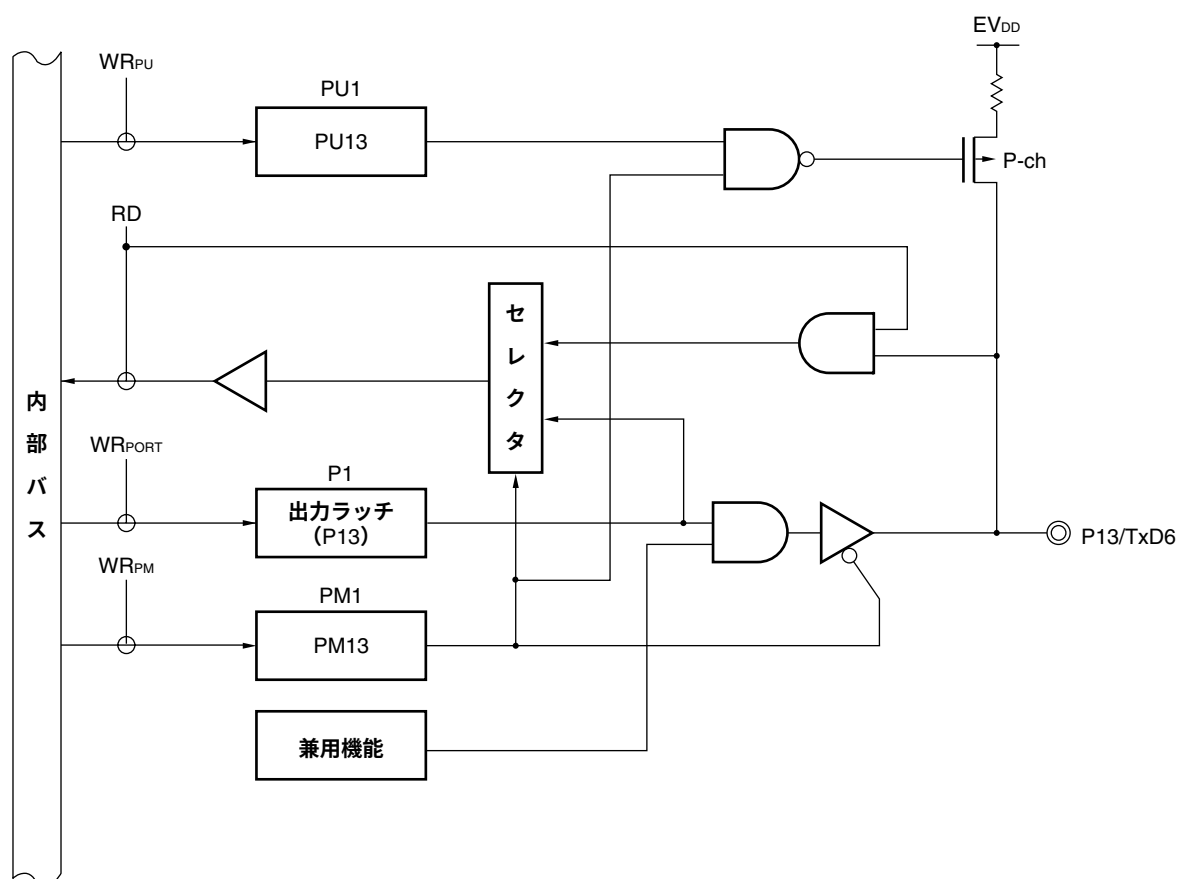
図5-9 P12, P15のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

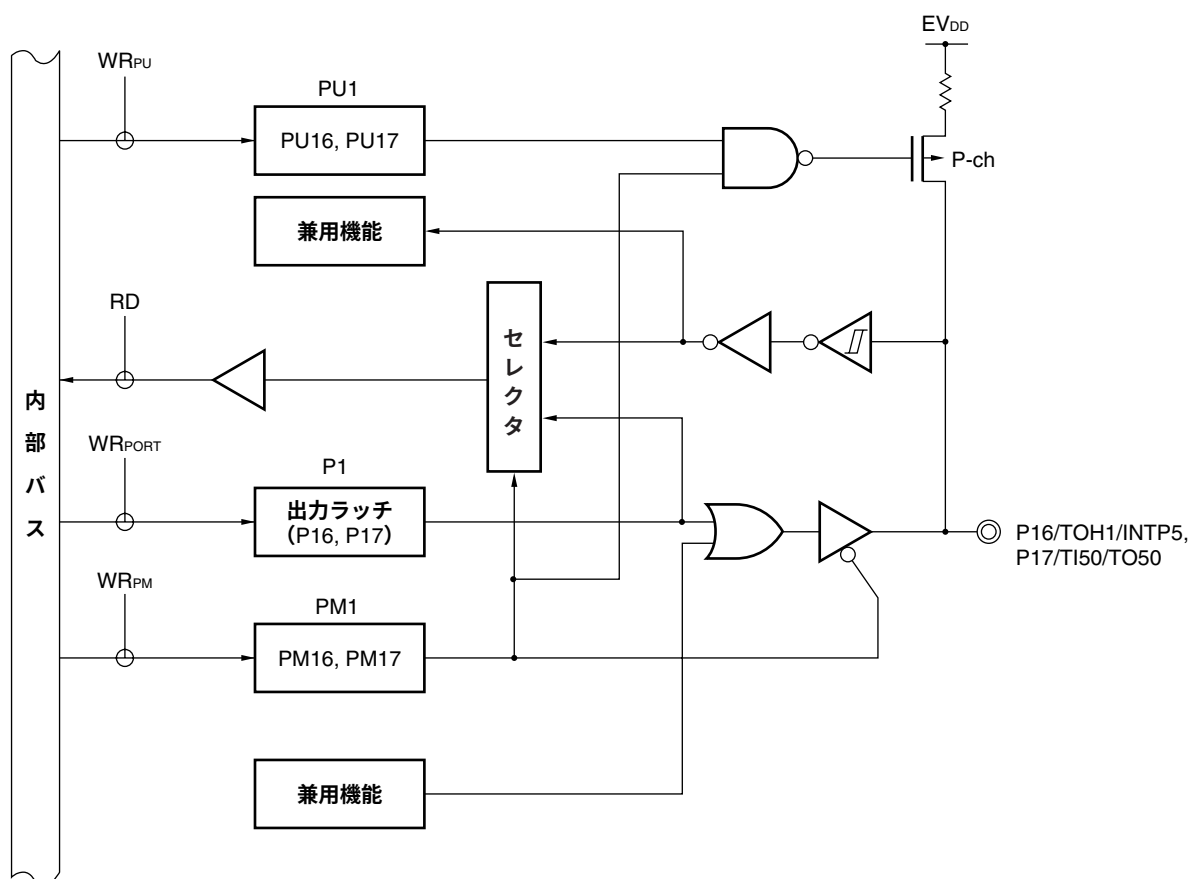
図5-10 P13のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-11 P16, P17のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

5.2.3 ポート2

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P20/ANI0	○	○		○		
P21/ANI1	○	○		○		
P22/ANI2	○	○		○		
P23/ANI3	○	○		○		
P24/ANI4	—	○		○		
P25/ANI5	—	○		○		
P26/ANI6	—	○ ^注		○		
P27/ANI7	—	○ ^注		○		

注 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM2のビット6, 7には1を、P2のビット6, 7には0を必ず設定してください。

備考 ○：搭載，—：非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P20/ANI0-P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P20/ANI0-P27/ANI7をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM2で出力モードに設定してください。

表5-5 P20/ANI0-P27/ANI7端子機能の設定

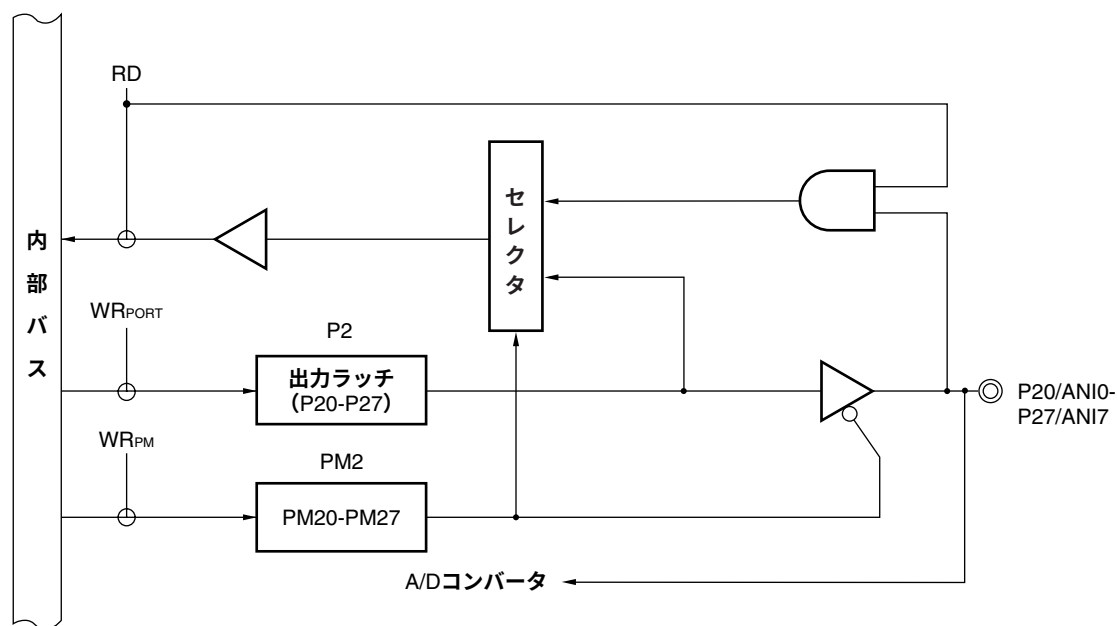
ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてアナログ入力になります。

図5-12にポート2のブロック図を示します。

注意 ポート2をデジタル・ポートとして使用する場合は、AVREFをVDDと同電位にしてください。

図5-12 P20-P27のブロック図



P2 : ポート・レジスタ2

PM2 : ポート・モード・レジスタ2

RD : リード信号

WRxx : ライト信号

注意 78K0/KC2の38ピン製品の場合、PM2のビット6, 7には1を、P2のビット6, 7には0を必ず設定してください。

5.2.4 ポート3

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P30/INTP1			○			
P31/INTP2/ OCD1A [※]			○			
P32/INTP3/ OCD1B [※]			○			
P33/INTP4/TI51/ TO51			○			

注 OCD1A, OCD1Bはオンチップ・デバッグ機能搭載品（ μ PD78F05xxD, 78F05xxDA）のみ。

備考 ○：搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30-P33端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図5-13、図5-14にポート3のブロック図を示します。

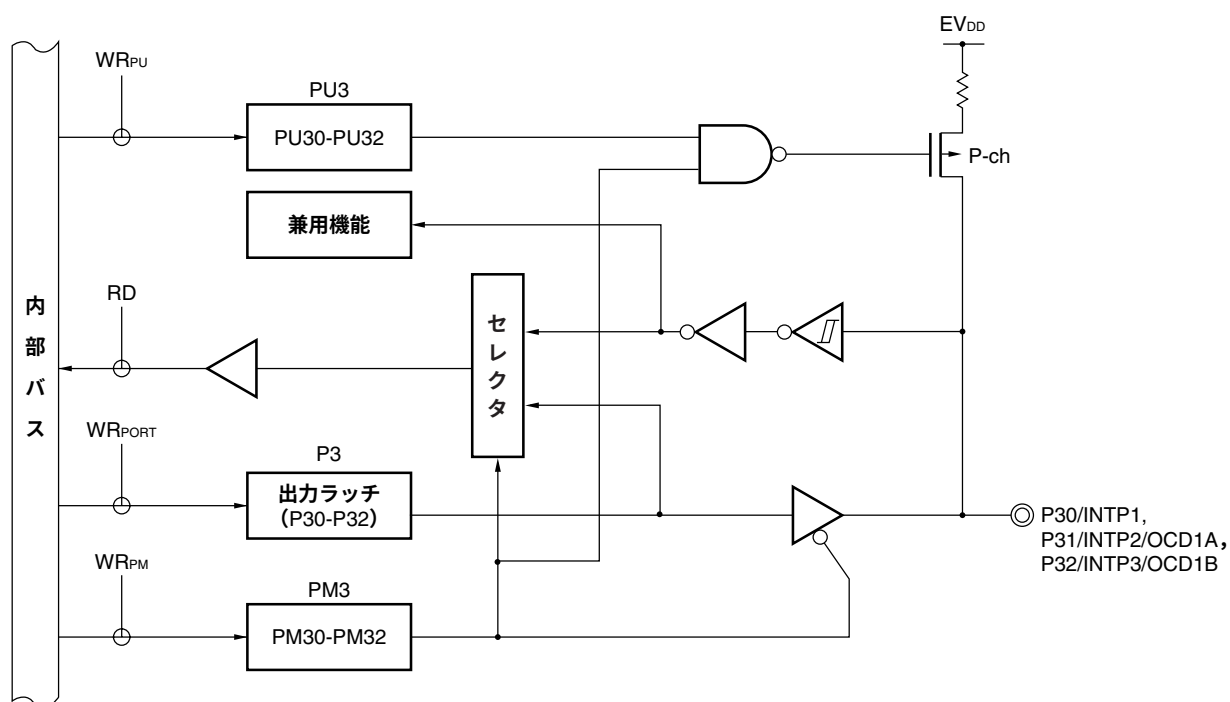
- 注意1. オンチップ・デバッグ機能搭載品（ μ PD78F05xxD, 78F05xxDA）は、誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。
2. オンチップ・デバッグ機能搭載品（ μ PD78F05xxD, 78F05xxDA）のP31/INTP2/OCD1A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A
フラッシュ・メモリ・プログラマ接続		抵抗を介してEV _{SS} [※] に接続してください。
オンチップ・デバッグ・エミュレータ接続（ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合）	リセット時	入力時：抵抗を介して、EV _{DD} [※] またはEV _{SS} [※] に接続してください。 出力時：オープンにしてください。
	リセット解除時	

注 EV_{SS}端子がない製品は、V_{SS}に接続してください。EV_{DD}端子がない製品は、V_{DD}に接続してください。

備考 オンチップ・デバッグ機能搭載品（ μ PD78F05xxD, 78F05xxDA）のP31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用（OCD1A, OCD1B）として使用できます。オンチップ・デバッグ・エミュレータ（QB-MINI2）との接続については、第28章 オンチップ・デバッグ機能（ μ PD78F05xxD, 78F05xxDAのみ）を参照してください。

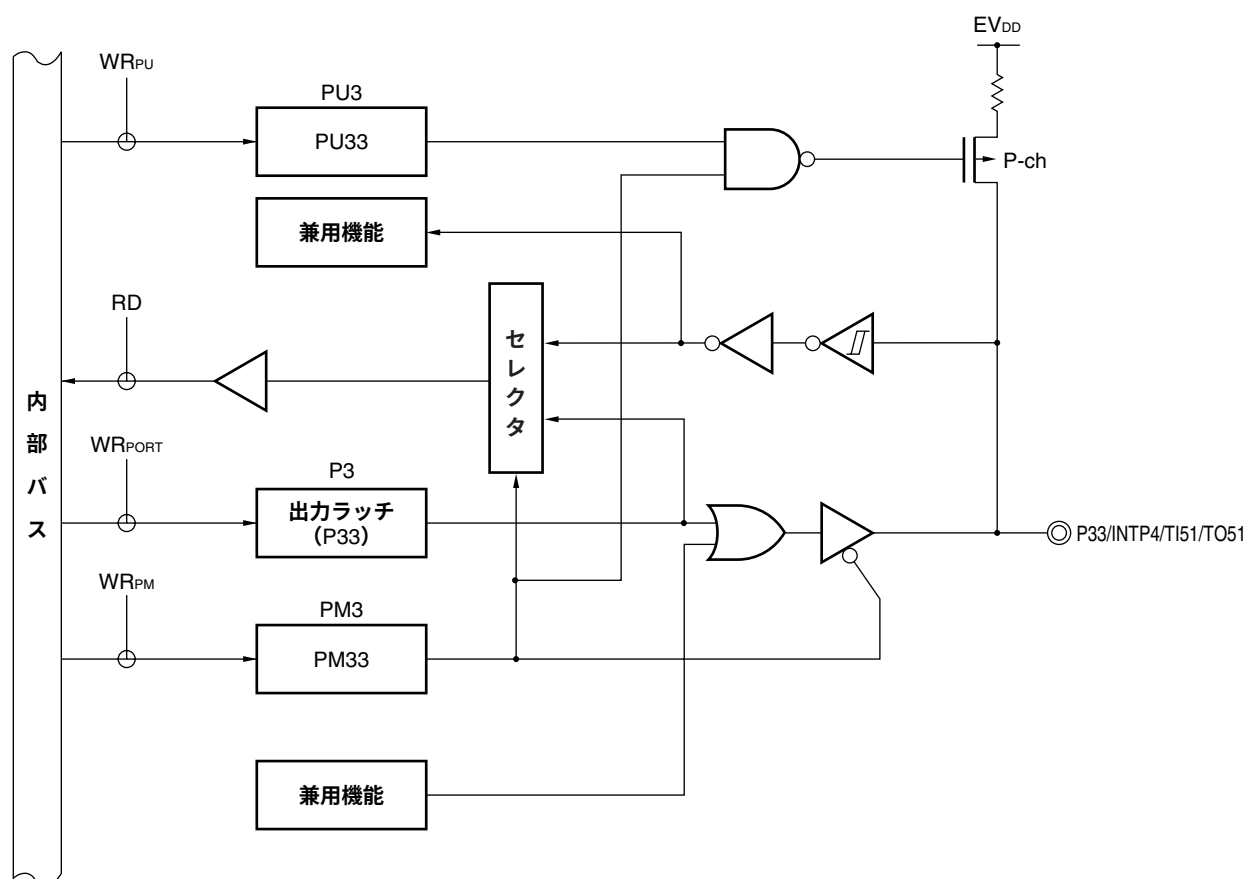
図5-13 P30-P32のブロック図



$P3$: ポート・レジスタ3
 $PU3$: プルアップ抵抗オプション・レジスタ3
 $PM3$: ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き替えてください。

図5-14 P33のブロック図



P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き替えてください。

5.2.5 ポート4

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P40	—	○ ^注	○	○		○
P41	—	○ ^注	○	○		○
P42	—	—		○		○
P43	—	—		○		○
P44	—	—		—		○
P45	—	—		—		○
P46	—	—		—		○
P47	—	—		—		○

注 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM4のビット0, 1とP4のビット0, 1には必ず0を設定してください。

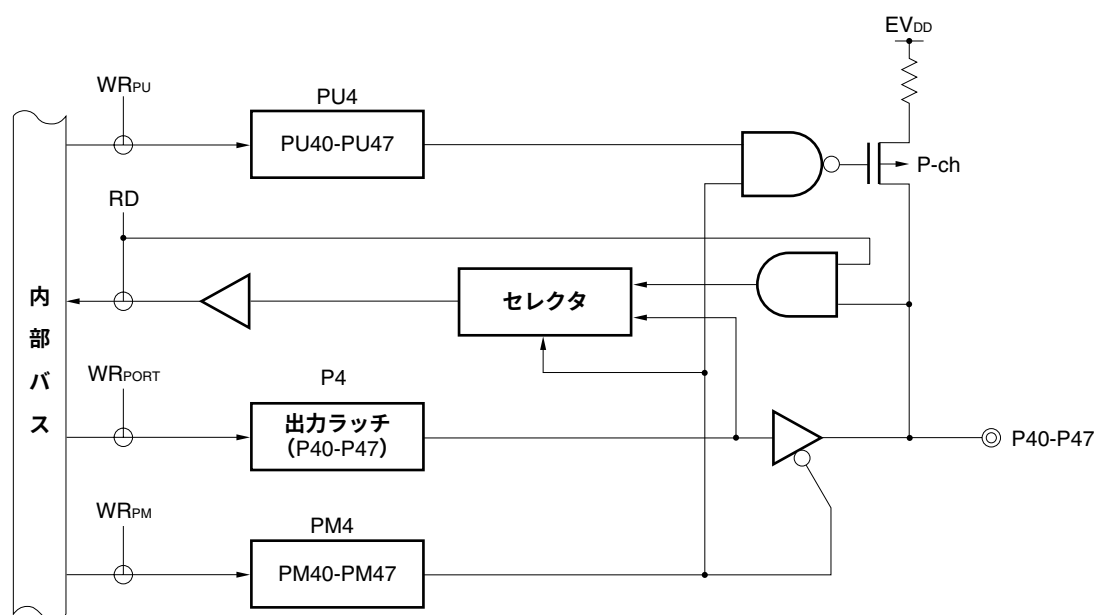
備考 ○：搭載，—：非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図5-15にポート4のブロック図を示します。

図5-15 P40-P47のブロック図



P4 : ポート・レジスタ4

PU4 : プルアップ抵抗オプション・レジスタ4

PM4 : ポート・モード・レジスタ4

RD : リード信号

WR_{xx} : ライト信号

注意 78K0/KC2の38ピン製品の場合、PM4のビット0, 1とP4のビット0, 1には必ず0を設定してください。

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

5.2.6 ポート5

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
P50	—	—	—	○	○	○
P51	—	—	—	○	○	○
P52	—	—	—	○	○	○
P53	—	—	—	○	○	○
P54	—	—	—	—	—	○
P55	—	—	—	—	—	○
P56	—	—	—	—	—	○
P57	—	—	—	—	—	○

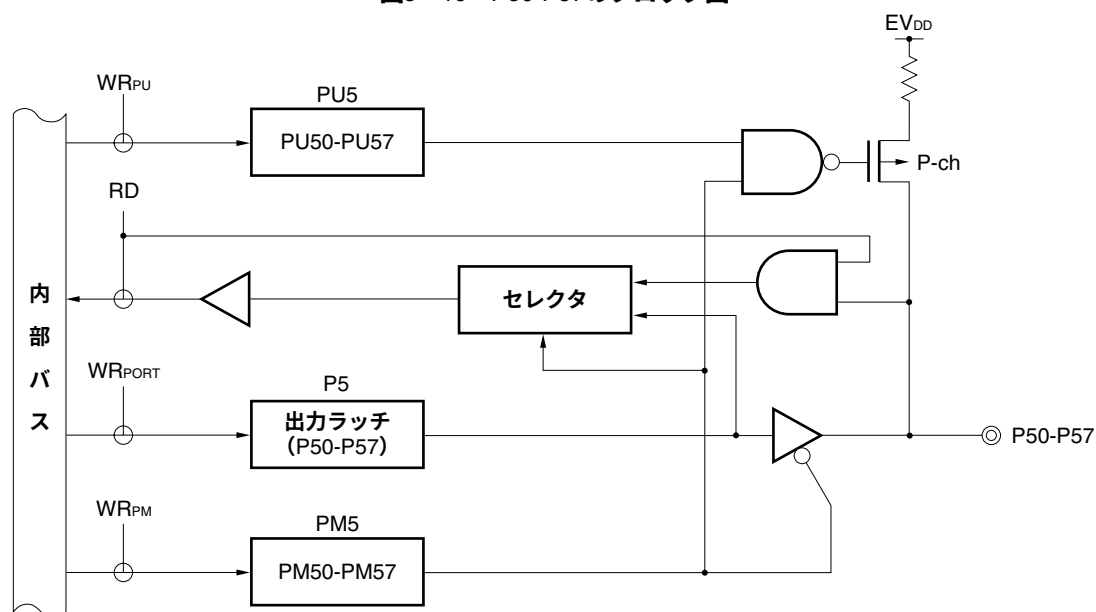
備考 ○：搭載，－：非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図5-16にポート5のブロック図を示します。

図5-16 P50-P57のブロック図



P5 : ポート・レジスタ5

PU5 : プルアップ抵抗オプション・レジスタ5

PM5 : ポート・モード・レジスタ5

RD : リード信号

WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

5.2.7 ポート6

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P60/SCL0	○		○			○
P61/SDA0	○		○			○
P62/EXSCL0	—		○			○
P63	—		○			○
P64	—		—			○
P65	—		—			○
P66	—		—			○
P67	—		—			○

備考 ○：搭載，—：非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。P64-P67端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6（PU6）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63端子の出力は、N-chオープン・ドレイン出力（6 V耐圧）です。

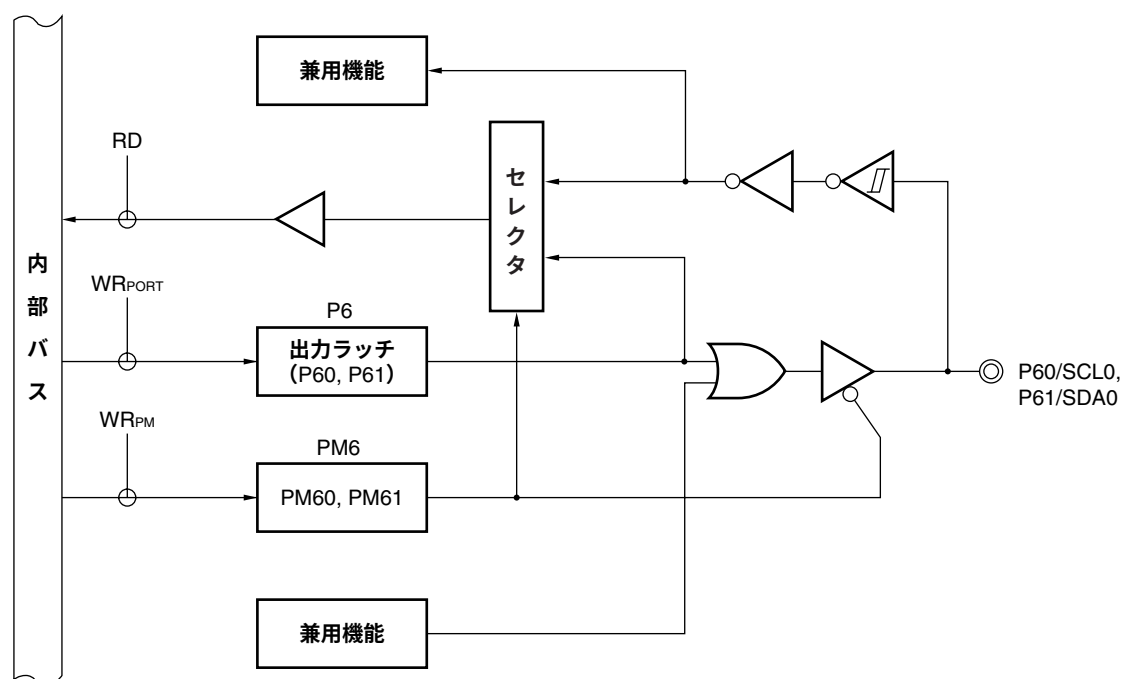
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロックの入出力、外部クロック入力があります。

リセット信号の発生により、入力モードになります。

図5-17～図5-20にポート6のブロック図を示します。

備考 P62/EXSCL0をシリアル・インタフェースの外部クロック入力端子として使用する場合、6.4MHzのクロックを入力してください。

図5-17 P60, P61のブロック図



P6 : ポート・レジスタ6

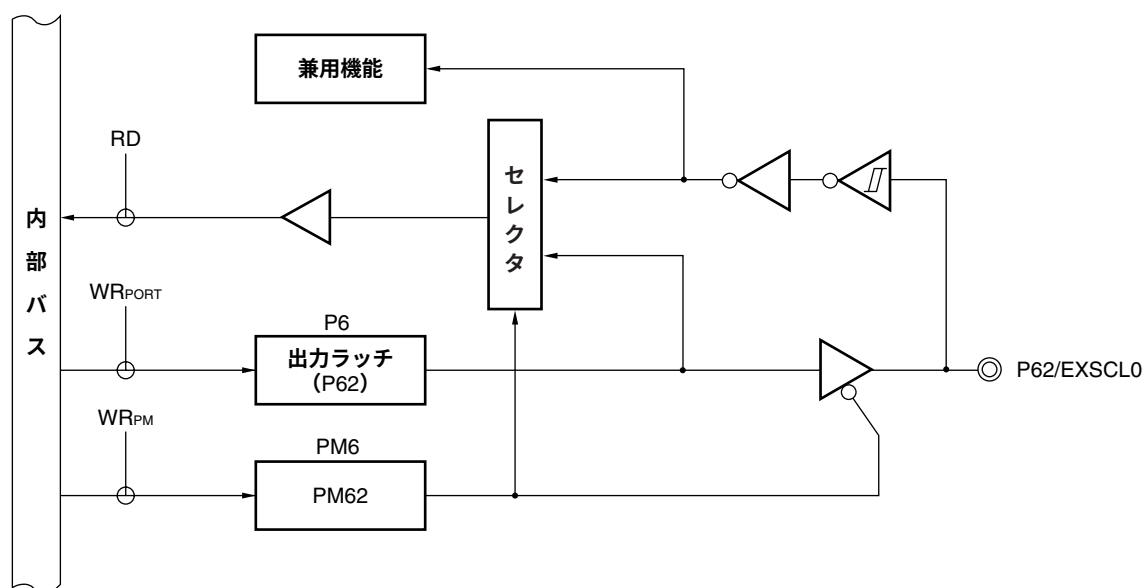
PM6 : ポート・モード・レジスタ6

RD : リード信号

WR_{xx} : ライト信号

注意 P60, P61は出力モード時においても、入力バッファがオンになっているため、中間電位を入れた場合、貫通電流が流れます。したがって、P60, P61が出力モードの場合には、中間電位を入れないでください。

図5-18 P62のブロック図



P6 : ポート・レジスタ6

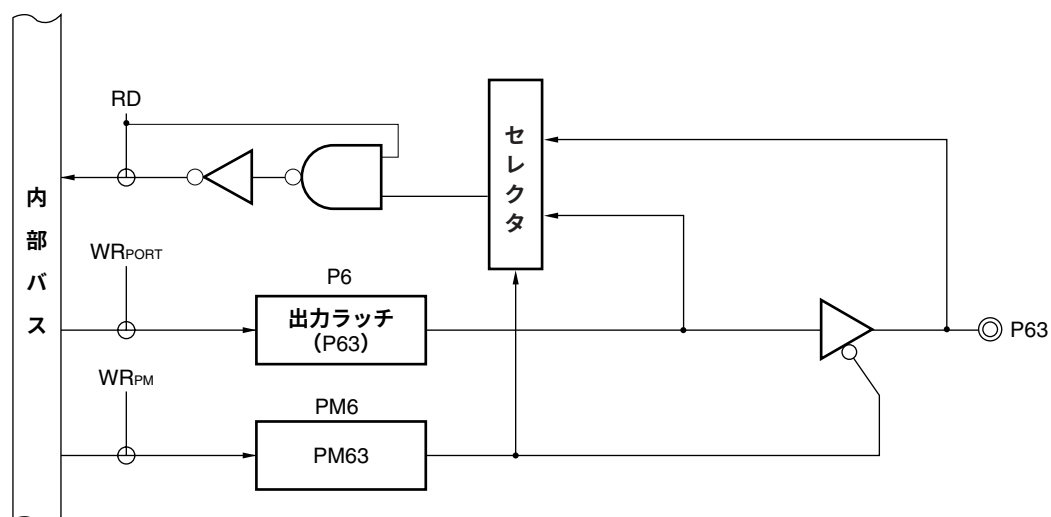
PM6 : ポート・モード・レジスタ6

RD : リード信号

WR_{xx} : ライト信号

注意 P62は出力モード時においても、入力バッファがオンになっているため、中間電位を入れた場合、貫通電流が流れます。したがって、P62が出力モードの場合には、中間電位を入れないでください。

図5-19 P63のブロック図



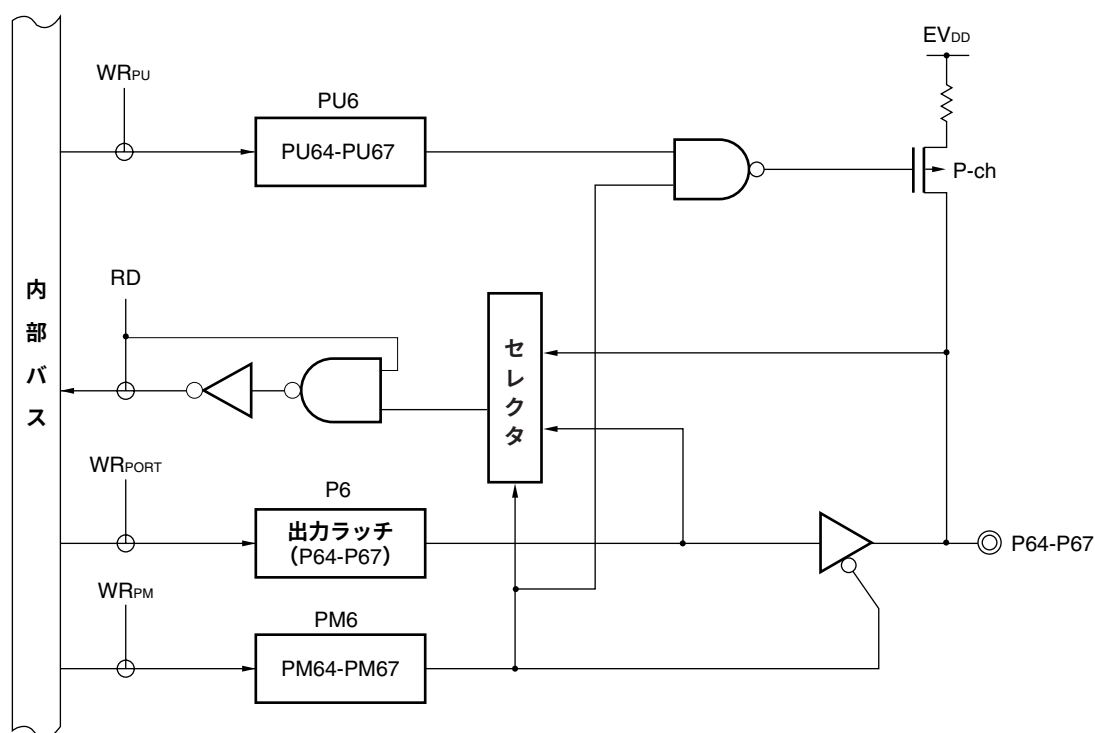
P6 : ポート・レジスタ6

PM6 : ポート・モード・レジスタ6

RD : リード信号

WR_{xx} : ライト信号

図5-20 P64-P67のブロック図



P6 : ポート・レジスタ6
 PM6 : ポート・モード・レジスタ6
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き替えてください。

5.2.8 ポート7

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P70/KR0	—	○			○	
P71/KR1	—	○			○	
P72/KR2	—	○ ^{注1}			○	
P73/KR3	—	○ ^{注1}			○	
P74/KR4	—	P74 ^{注2}			○	
P75/KR5	—	P75 ^{注2}			○	
P76/KR6	—	—			○	
P77/KR7	—	—			○	

注1. 78K0/KC2の38ピン製品は搭載していません。38ピン製品の場合、PM7のビット2, 3とP7のビット2, 3には必ず0を設定してください。

2. 78K0/KC2の38ピン製品と44ピン製品は搭載していません。また、48ピン製品はポート機能のみで、兼用機能はありません。

備考 ○：搭載，—：非搭載

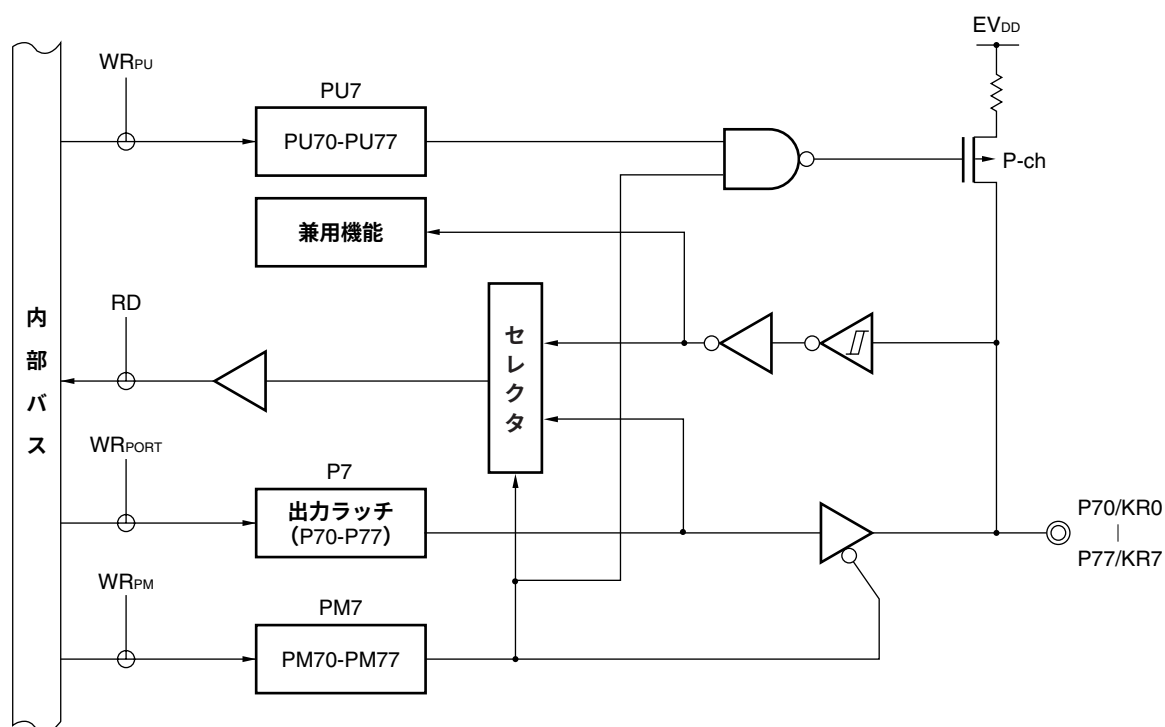
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー・リターン入力があります。

リセット信号の発生により、入力モードになります。

図5-21にポート7のブロック図を示します。

図5-21 P70-P77のブロック図



P7 : ポート・レジスタ7
 PU7 : プルアップ抵抗オプション・レジスタ7
 PM7 : ポート・モード・レジスタ7
 RD : リード信号
 WR_{xx} : ライト信号

注意 78K0/KC2の38ピン製品の場合、PM7のビット2, 3とP7のビット2, 3には必ず0を設定してください。

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

5.2.9 ポート12

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P120/INTP0/EXLVI	○			○		
P121/X1/OCD0A ^注	○			○		
P122/X2/EXCLK/ OCD0B ^注	○			○		
P123/XT1	—			○		
P124/XT2/ EXCLKS	—			○		

注 OCD0A, OCD0Bはオンチップ・デバッグ機能搭載品（μPD78F05xxD, 78F05xxDA）のみ。

備考 ○：搭載，—：非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12（PM12）により、1ビット単位で入力モード／出力モードの指定ができます。P120のみ、入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により、入力モードになります。

図5-22、図5-23にポート12のブロック図を示します。

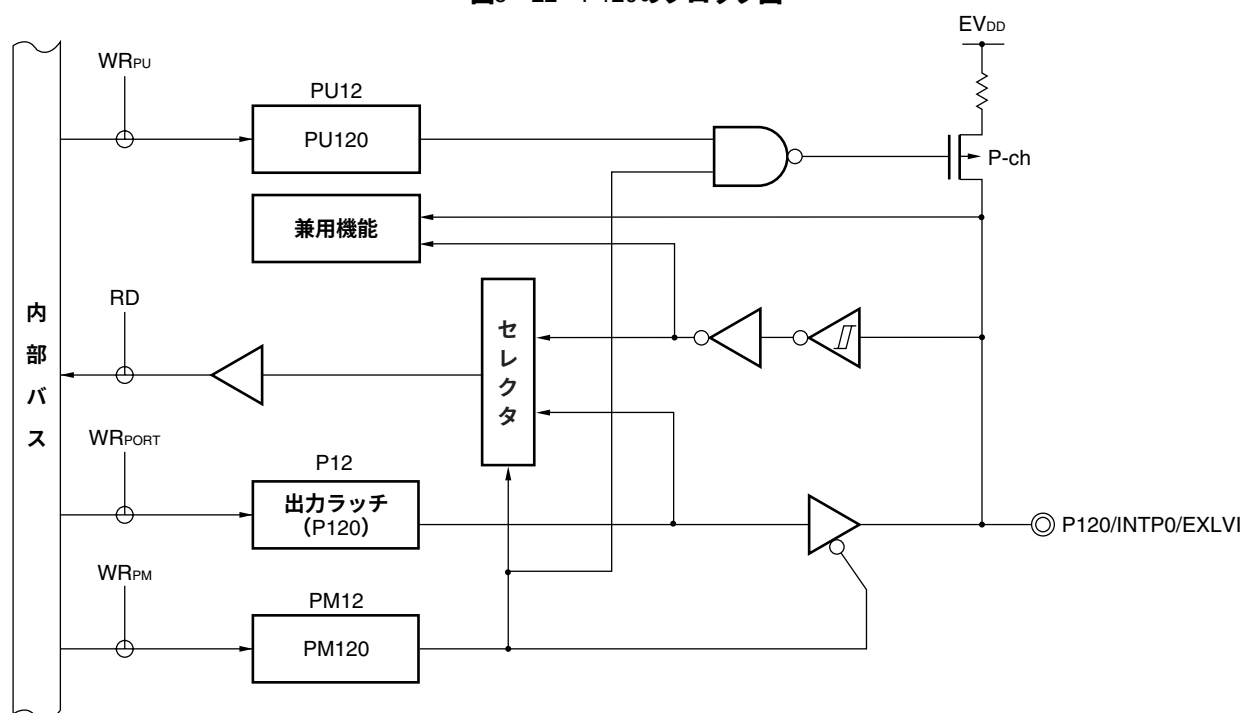
注意1. P121-P124端子を、メイン・システム・クロック用発振子接続（X1, X2）、サブシステム・クロック発振子接続（XT1, XT2）、メイン・システム・クロック用外部クロック入力（EXCLK）、サブシステム・クロック用外部クロック入力（EXCLKS）として使用する場合は、クロック動作モード選択レジスタ（OSCCTL）でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定してください（詳細は、6.3（1）クロック動作モード選択レジスタ（OSCCTL）、（3）サブシステム・クロック端子の動作モードの設定方法を参照）。OSCCTLのリセット値は00H（P121-P124はすべて入出力ポート）となります。このとき、PM121-PM124、P121- P124の設定は不要です。

注意2. オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{ss} に接続してください。
オンチップ・デバッグ・エミュレータ接続（ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合）	リセット時	
	リセット解除時	入力時：抵抗を介して、V _{DD} またはV _{ss} に接続してください。 出力時：オープンにしてください。

備考 オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のX1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用（OCD0A, OCD0B）として使用できます。オンチップ・デバッグ・エミュレータ（QB-MINI2）との接続については、第28章 オンチップ・デバッグ機能 (μ PD78F05xxD, 78F05xxDAのみ) を参照してください。

図5-22 P120のブロック図



P12 : ポート・レジスタ12

PU12 : プルアップ抵抗オプション・レジスタ12

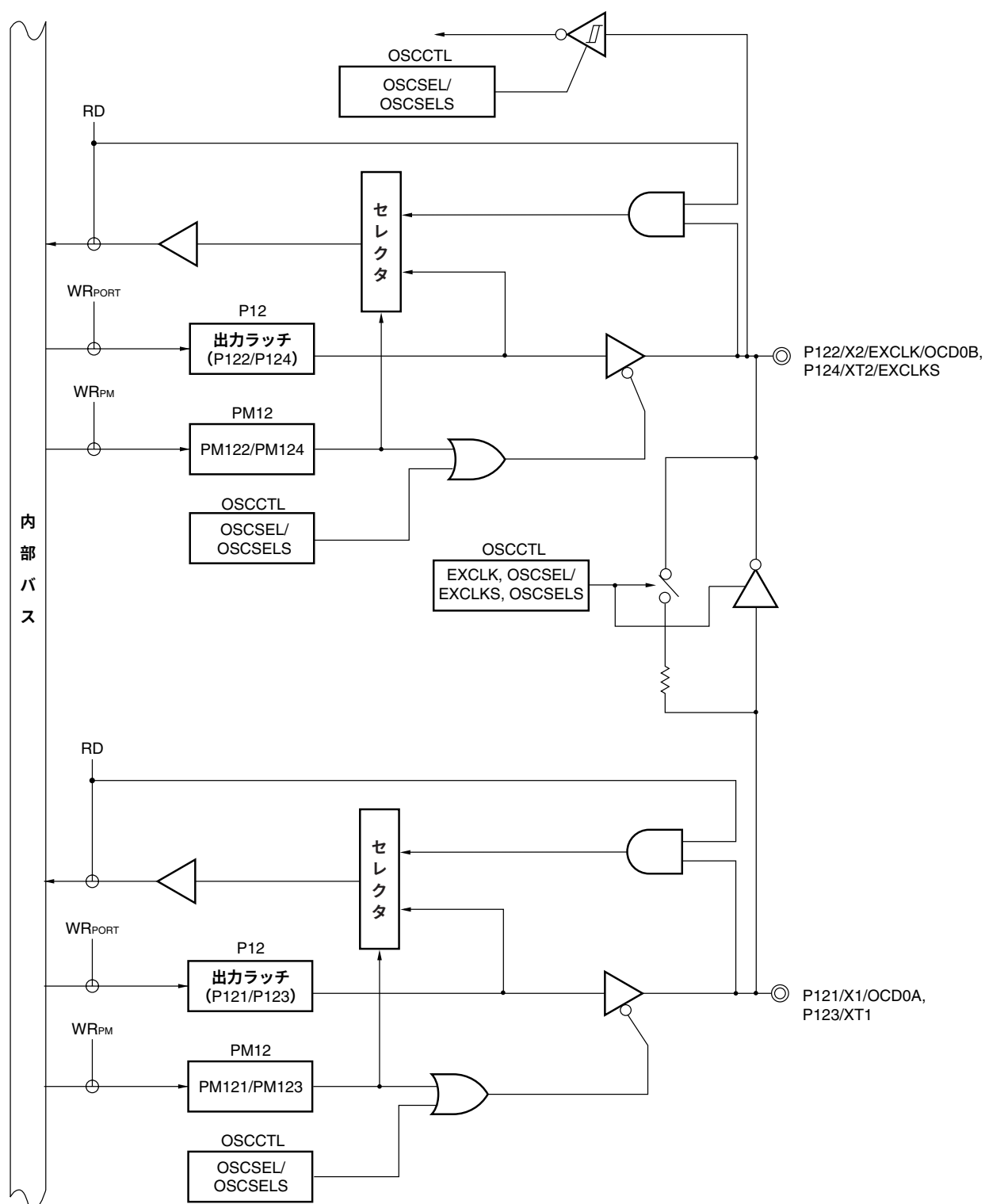
PM12 : ポート・モード・レジスタ12

RD : リード信号

WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{ss}に置き替えてください。

図5-23 P121-P124のブロック図



- P12 : ポート・レジスタ12
 PU12 : ブルアップ抵抗オプション・レジスタ12
 PM12 : ポート・モード・レジスタ12
 OSCCTL : クロック動作モード選択レジスタ
 RD : リード信号
 WR_{xx} : ライト信号

5.2.10 ポート13

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P130	—	○ ^注	○			

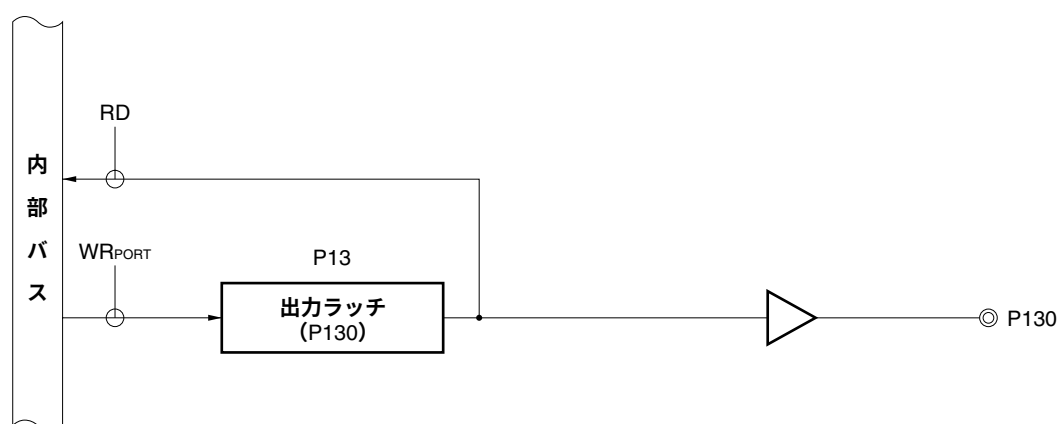
注 78K0/KC2の38ピン製品と44ピン製品は搭載していません。

備考 ○：搭載，－：非搭載

出力専用ポートです。

図5-24にポート13のブロック図を示します。

図5-24 P130のブロック図

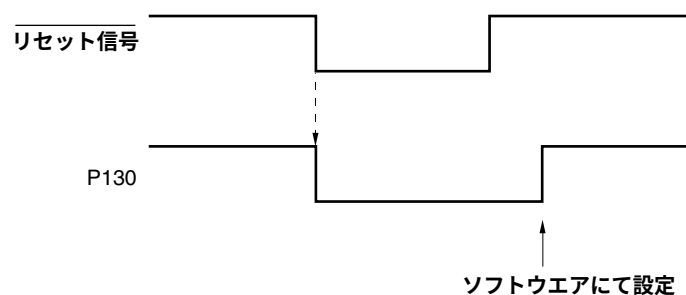


P13 : ポート・レジスタ13

RD : リード信号

WR_{xx} : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



5.2.11 ポート14

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
P140/PCL/INTP6	—	○ ^{注1}	○	○		○
P141/BUZ/BUSY0/ INTP7	—	—	—	P141/BUZ/INTP7 ^{注2}		○
P142/SCKA0	—	—	—	—		○
P143/SIA0	—	—	—	—		○
P144/SOA0	—	—	—	—		○
P145/STB0	—	—	—	—		○

注1. 78K0/KC2の38ピン製品と44ピン製品は搭載していません。

2. 78K0/KE2の製品は、BUSY0入力機能はありません。

備考 ○：搭載，—：非搭載

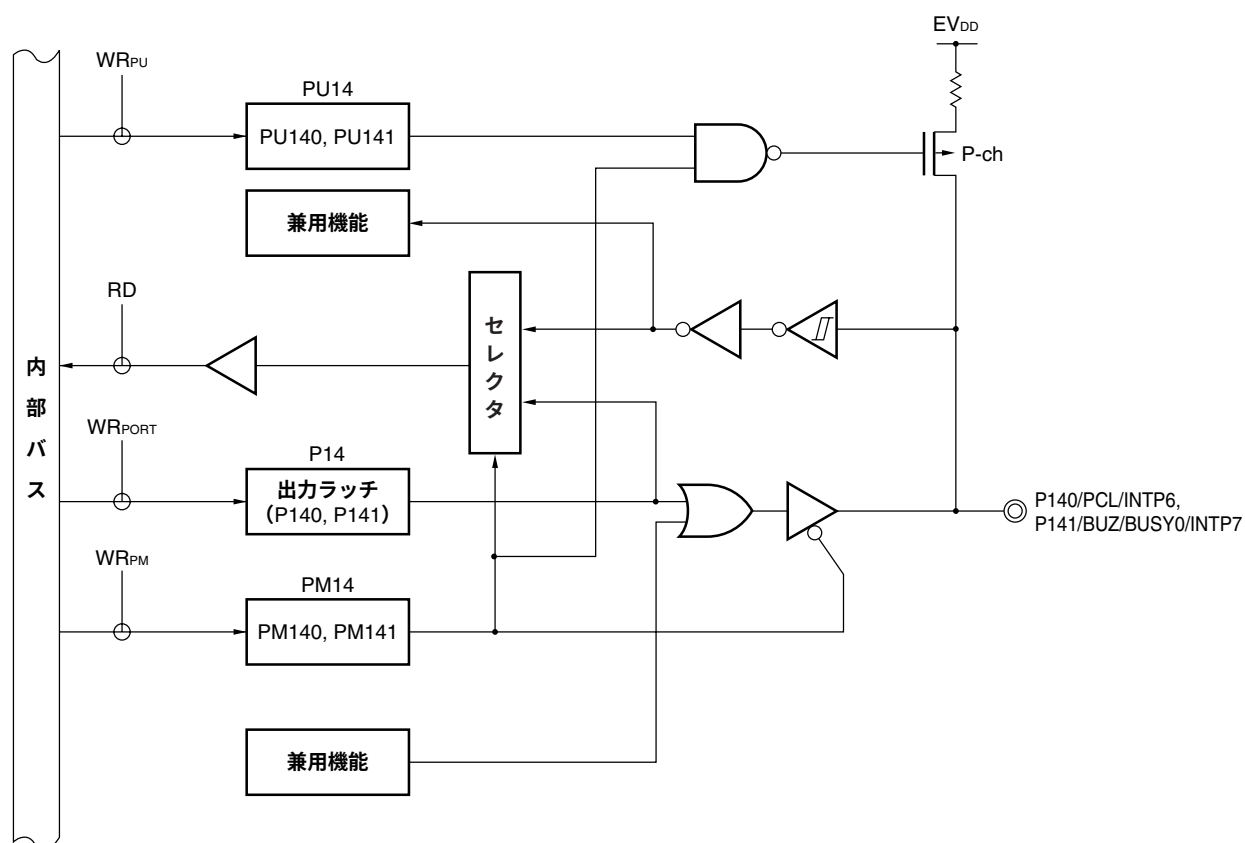
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14（PM14）により1ビット単位で入力モード／出力モードの指定ができます。P140-P145端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ14（PU14）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、ブザー出力、クロック出力、シリアル・インタフェースのデータ入出力、クロック入出力、ビジィ入力、ストローブ出力があります。

リセット信号の発生により、入力モードになります。

図5-25～図5-28にポート14のブロック図を示します。

図5-25 P140, P141のブロック図



P14 : ポート・レジスタ14

PU14 : プルアップ抵抗オプション・レジスタ14

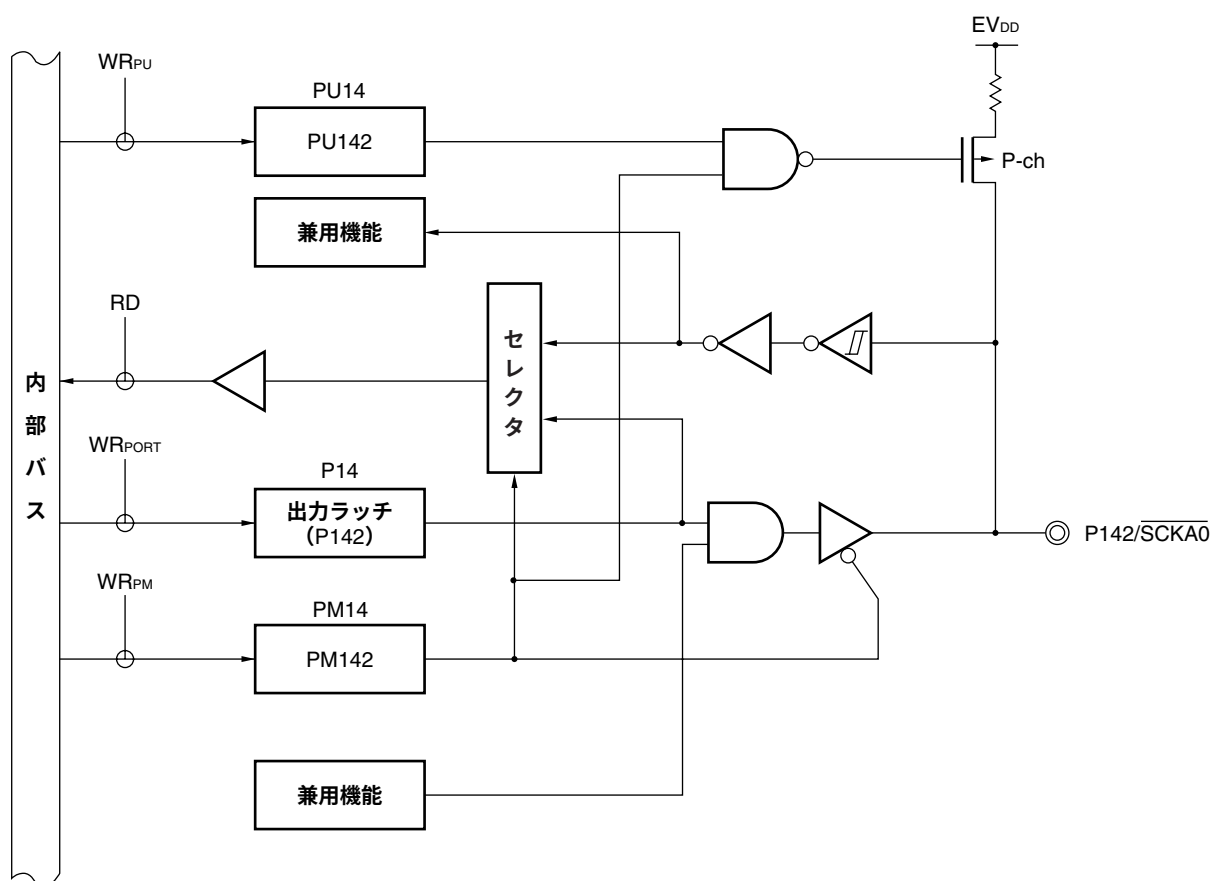
PM14 : ポート・モード・レジスタ14

RD : リード信号

WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図5-26 P142のブロック図



P14 : ポート・レジスタ14

PU14 : プルアップ抵抗オプション・レジスタ14

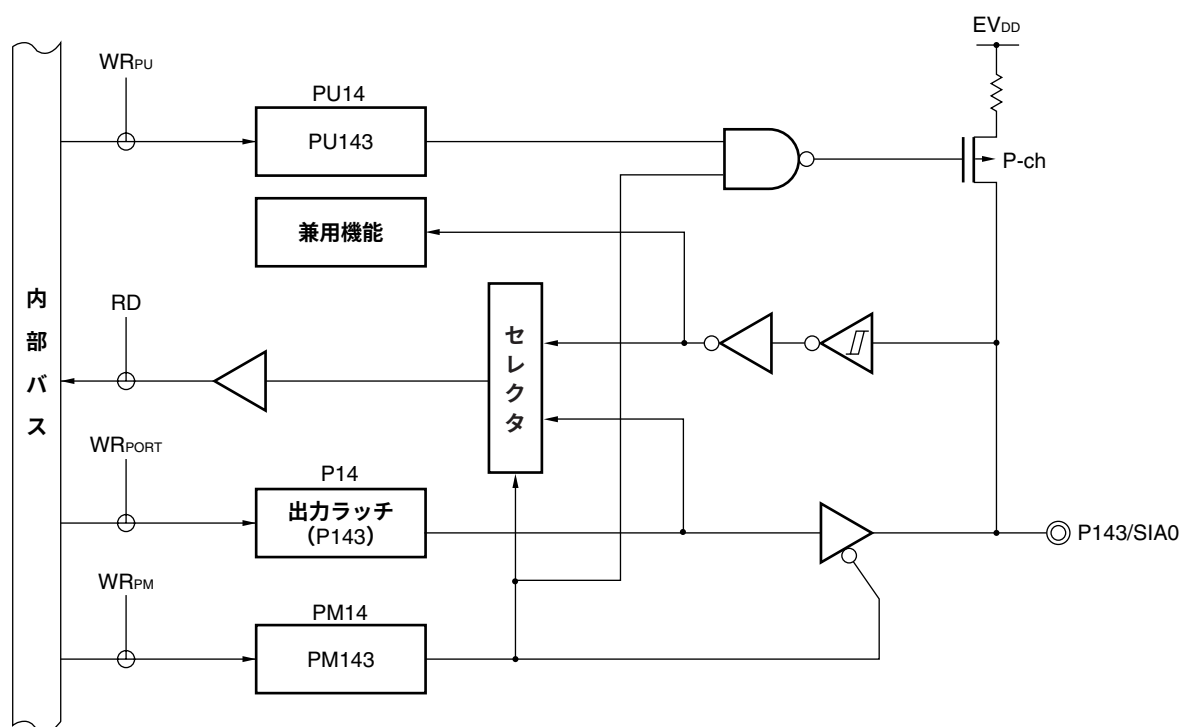
PM14 : ポート・モード・レジスタ14

RD : リード信号

WR_{xx} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き替えてください。

図5-27 P143のブロック図



P14 : ポート・レジスタ14

PU14 : プルアップ抵抗オプション・レジスタ14

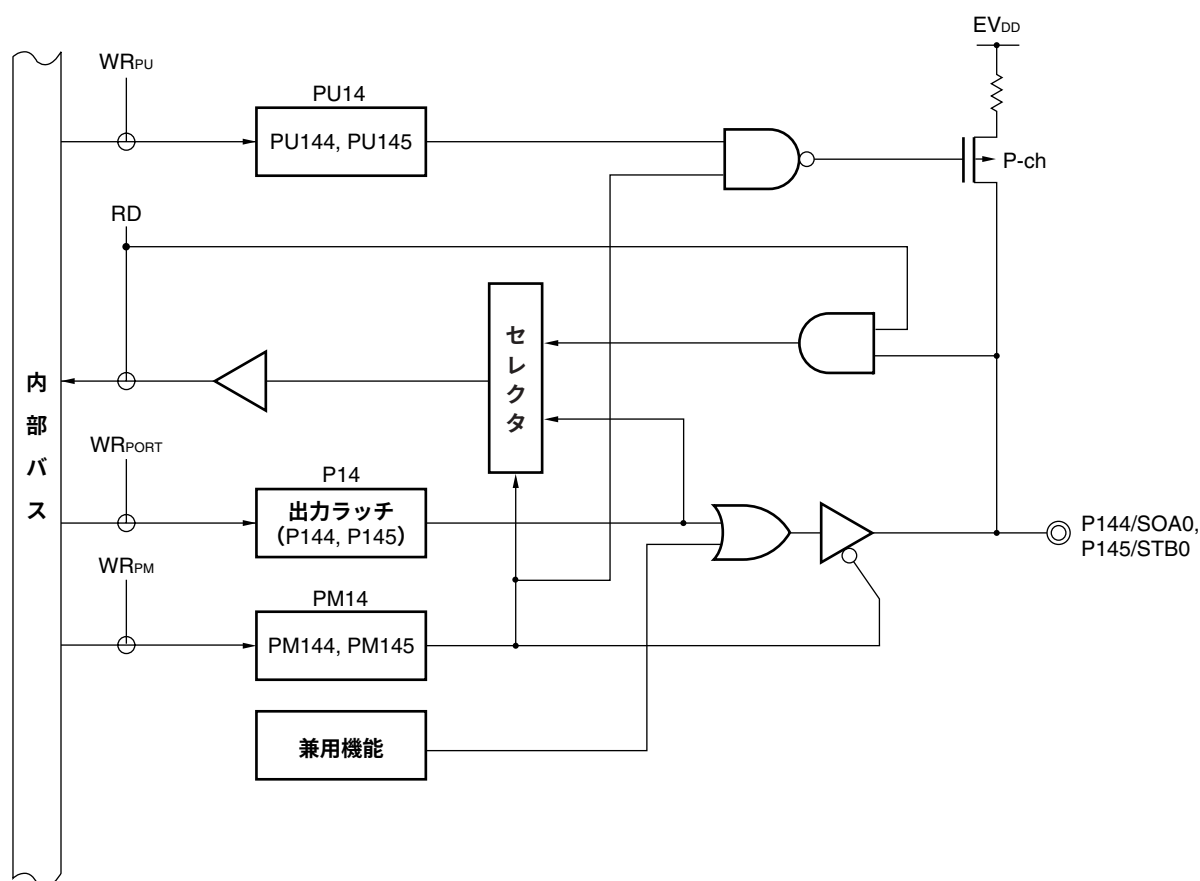
PM14 : ポート・モード・レジスタ14

RD : リード信号

WR_{xx} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き替えてください。

図5-28 P144, P145のブロック図



P14 : ポート・レジスタ14

PU14 : プルアップ抵抗オプション・レジスタ14

PM14 : ポート・モード・レジスタ14

RD : リード信号

WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

5.3 ポート機能を制御するレジスタ

ポートは、次の4種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM_{xx})
- ・ポート・レジスタ (P_{xx})
- ・プルアップ抵抗オプション・レジスタ (PU_{xx})
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PM_{xx})

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、5.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図5-29 ポート・モード・レジスタのフォーマット (78K0/KB2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W
PM12	1	1	1	1	1	PM122	PM121	PM120	FF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 6, 12 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット2-7, PM2のビット4-7, PM3のビット4-7, PM6のビット2-7, PM12のビット3-7には、必ず1を設定してください。

図5-30 ポート・モード・レジスタのフォーマット (78K0/KC2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FF24H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	PM75 [※]	PM74 [※]	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM14 [※]	1	1	1	1	1	1	1	PM140 [※]	FF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-4, 6, 7, 12, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 48ピン製品のみ。

注意 38ピン製品の場合、PM0のビット2-7, PM2のビット6, 7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM7のビット4-7, PM12のビット5-7には必ず1を設定してください。また、PM4のビット0, 1, PM7のビット2, 3には必ず0を設定してください。

44ピン製品の場合、PM0のビット2-7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM7のビット4-7, PM12のビット5-7には必ず1を設定してください。

48ピン製品の場合、PM0のビット2-7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM7のビット6, 7, PM12のビット5-7, PM14のビット1-7には必ず1を設定してください。

図5-31 ポート・モード・レジスタのフォーマット (78K0/KD2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FF24H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM140	FF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-4, 6, 7, 12, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット4-7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM12のビット5-7, PM14のビット1-7には必ず1を設定してください。

図5-32 ポート・モード・レジスタのフォーマット (78K0/KE2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM14	1	1	1	1	1	1	PM141	PM140	FF2EH	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14 ; n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注意 PM0のビット7, PM3のビット4-7, PM4のビット4-7, PM5のビット4-7, PM6のビット4-7, PM12のビット5-7, PM14のビット2-7には必ず1を設定してください。

図5-33 ポート・モード・レジスタのフォーマット (78K0/KF2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14 ; n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注意 PM0のビット7, PM3のビット4-7, PM12のビット5-7, PM14のビット6, 7には必ず1を設定してください。

(2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-34 ポート・レジスタのフォーマット (78K0/KB2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	0	0	0	0	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122 ^注	P121 ^注	P120	FF0CH	00H (出力ラッチ)	R/W

Pmn	m = 0-3, 6, 12; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121, P122の出力ラッチは、端子モードが外部クロック入力モードの場合、常に0が読み出されます。

図5-35 ポート・レジスタのフォーマット (78K0/KC2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FF04H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	0	P75 ^{注1}	P74 ^{注1}	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^{注2}	P123 ^{注2}	P122 ^{注2}	P121 ^{注2}	P120	FF0CH	00H (出力ラッチ)	R/W
P13 ^{注1}	0	0	0	0	0	0	0	P130 ^{注1}	FF0DH	00H (出力ラッチ)	R/W
P14 ^{注1}	0	0	0	0	0	0	0	P140 ^{注1}	FF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-4, 6, 7, 12-14; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. 48ピン製品のみ。

2. P121-P124の出力ラッチは、端子モードが外部クロック入力モードの場合、常に0が読み出されます。

注意 38ピン製品の場合、P2のビット6, 7, P4のビット0, 1, P7のビット2, 3には必ず0を設定してください。

図5-36 ポート・レジスタのフォーマット (78K0/KD2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	P03	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FF04H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^注	P123 ^注	P122 ^注	P121 ^注	P120	FF0CH	00H (出力ラッチ)	R/W
P13	0	0	0	0	0	0	0	P130	FF0DH	00H (出力ラッチ)	R/W
P14	0	0	0	0	0	0	0	P140	FF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-4, 6, 7, 12-14; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124の出力ラッチは、端子モードが外部クロック入力モードの場合、常に0が読み出されます。

図5-37 ポート・レジスタのフォーマット (78K0/KE2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	P53	P52	P51	P50	FF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^注	P123 ^注	P122 ^注	P121 ^注	P120	FF0CH	00H (出力ラッチ)	R/W
P13	0	0	0	0	0	0	0	P130	FF0DH	00H (出力ラッチ)	R/W
P14	0	0	0	0	0	0	P141	P140	FF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-7, 12-14; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124の出力ラッチは、端子モードが外部クロック入力モードの場合、常に0が読み出されます。

図5-38 ポート・レジスタのフォーマット (78K0/KF2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FF05H	00H (出力ラッチ)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^注	P123 ^注	P122 ^注	P121 ^注	P120	FF0CH	00H (出力ラッチ)	R/W
P13	0	0	0	0	0	0	0	P130	FF0DH	00H (出力ラッチ)	R/W
P14	0	0	P145	P144	P143	P142	P141	P140	FF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-7, 12-14; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124の出力ラッチは、端子モードが外部クロック入力モードの場合、常に0が読み出されます。

(3) プルアップ抵抗オプション・レジスタ (PU_{xx})

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用する時も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-39 プルアップ抵抗オプション・レジスタのフォーマット (78K0/KB2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W

PU _m n	P _m nの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 12 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図5-40 プルアップ抵抗オプション・レジスタのフォーマット (78K0/KC2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	FF34H	00H	R/W
PU7	0	0	PU75 [※]	PU74 [※]	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14 [※]	0	0	0	0	0	0	0	PU140 [※]	FF3EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 4, 7, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 48ピン製品のみ。

図5-41 プルアップ抵抗オプション・レジスタのフォーマット (78K0/KD2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	FF34H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU140	FF3EH	00H	R/W
PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 4, 7, 12, 14 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

図5-42 プルアップ抵抗オプション・レジスタのフォーマット (78K0/KE2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	0	0	0	0	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	0	0	0	0	PU141	PU140	FF3EH	00H	R/W
PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12, 14 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

図5-43 ブルアップ抵抗オプション・レジスタのフォーマット (78K0/KF2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	FF36H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	PU145	PU144	PU143	PU142	PU141	PU140	FF3EH	00H	R/W
PUmn	Pmnの内蔵ブルアップ抵抗の選択 (m = 0, 1, 3-7, 12, 14 ; n = 0-7)										
0	内蔵ブルアップ抵抗を接続しない										
1	内蔵ブルアップ抵抗を接続する										

(4) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7端子を, ポートのデジタル入出力/A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

備考 P20/ANI0-P23/ANI3端子: 78K0/KB2

P20/ANI0-P25/ANI5端子: 78K0/KC2の38ピン製品

P20/ANI0-P27/ANI7端子: 上記以外の製品

図5-44 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：FF2FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

[illegible]

注1. 設定可

2. 設定禁止

注意1. A/D変換で使用するチャネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

2. ADPCにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPCにデータを書き込まないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

5.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

5.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

5.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

5.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

5.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ，出力ラッチを表5-6のように設定してください。

備考 製品により、搭載しているポート端子が異なります。表5-3 ポートの機能を参照してください。

表5-6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（1/2）

端子名称	兼用機能		PM××	P××
	名 称	入出力		
P00	TI000	入力	1	×
P01	TI010	入力	1	×
	TO00	出力	0	0
P02	SO11	出力	0	0
P03	SI11	入力	1	×
P04	SCK11	入力	1	×
		出力	0	1
P05	SSI11	入力	1	×
	TI001	入力	1	×
P06	TI011	入力	1	×
	TO01	出力	0	0
P10	SCK10	入力	1	×
		出力	0	1
	TxD0	出力	0	1
P11	SI10	入力	1	×
	RxD0	入力	1	×
P12	SO10	出力	0	0
P13	TxD6	出力	0	1
P14	RxD6	入力	1	×
P15	TOH0	出力	0	0
P16	TOH1	出力	0	0
	INTP5	入力	1	×
P17	TI50	入力	1	×
	TO50	出力	0	0
P20-P27 ^注	ANI0-ANI7 ^注	入力	1	×

注 ANI0/P20-ANI7/P27端子の機能は，A/Dポート・コンフィギュレータ・レジスタ（ADPC），アナログ入力チャネル指定レジスタ（ADS），PM2の設定で決定します。

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

表5-6 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定 (2/2)

端子名称	兼用機能		PM××	P××
	名 称	入出力		
P30-P32	INTP1-INTP3	入力	1	×
P33	INTP4	入力	1	×
	TI51	入力	1	×
	TO51	出力	0	0
P60	SCL0	入出力	0	0
P61	SDA0	入出力	0	0
P62	EXSCL0	入力	1	×
P70-P77	KR0-KR7	入力	1	×
P120	INTP0	入力	1	×
	EXLVI	入力	1	×
P121	X1 ^注	—	×	×
P122	X2 ^注	—	×	×
	EXCLK ^注	入力	×	×
P123	XT1 ^注	—	×	×
P124	XT2 ^注	—	×	×
	EXCLKS ^注	入力	×	×
P140	PCL	出力	0	0
	INTP6	入力	1	×
P141	BUZ	出力	0	0
	INTP7	入力	1	×
	BUSY0	入力	1	×
P142	SCKA0	入力	1	×
		出力	0	1
P143	SIA0	入力	1	×
P144	SOA0	出力	0	0
P145	STB0	出力	0	0

注 P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2) , サブシステム・クロック発振子接続 (XT1, XT2) , メイン・システム・クロック用外部クロック入力 (EXCLK) , サブシステム・クロック用外部クロック入力 (EXCLKS) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、6.3 (1) **クロック動作モード選択レジスタ (OSCCTL)** , (3) **サブシステム・クロック端子の動作モードの設定方法を参照**)。OSCCTLのリセット値は00H (P121-P124はすべて入出力ポート) となります。このとき、PM121-PM124, P121-P124の設定は不要です。

備考1. × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

2. オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のX1, X2, P31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用 (OCD0A, OCD0B, OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第28章 **オンチップ・デバッグ機能 (μ PD78F05xxD, 78F05xxDAのみ)** を参照してください。

5.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“FFH”になります。

説明：PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0/Kx2マイクロコントローラ内部で、次の順序で行われます。

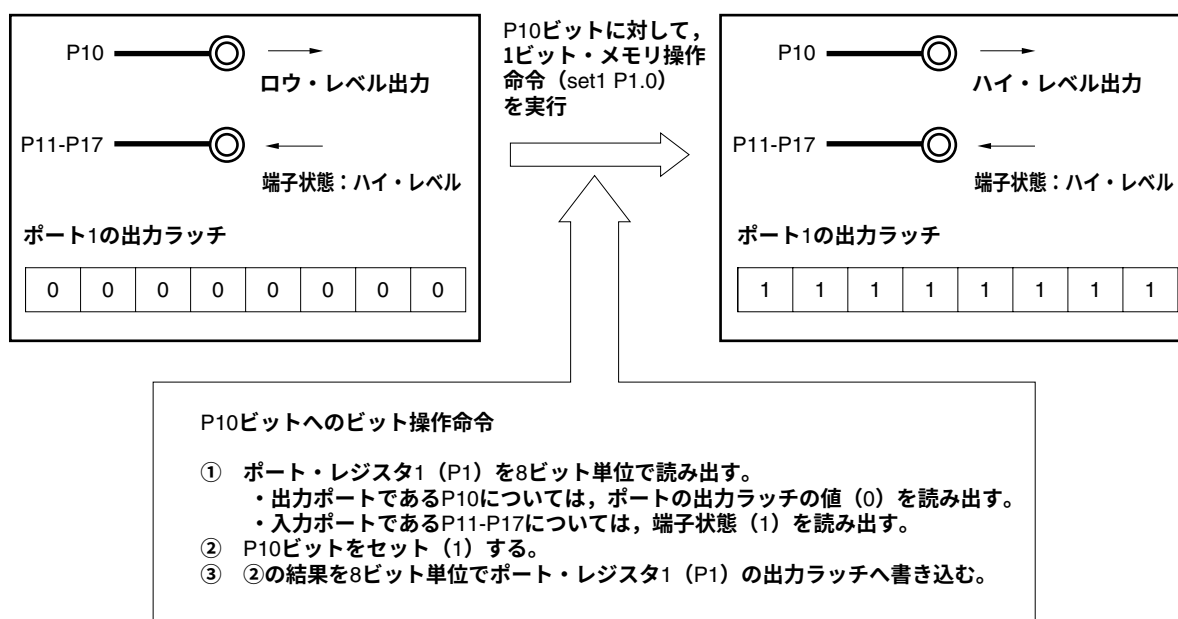
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図5-45 1ビット・メモリ操作命令（P10の場合）



第6章 クロック発生回路

6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ（MOC）により、発振を停止することができます。

② 高速内蔵発振回路

$f_{RH} = 8$ MHz（TYP.）のクロックを発振します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ（RCM）の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EXCLK} = 1 \sim 20$ MHz）を供給することができます。STOP命令の実行またはRCMの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、メイン・クロック・モード・レジスタ（MCM）で高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。

(2) サブシステム・クロック[※]

・サブシステム・クロック発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振します。プロセッサ・クロック・コントロール・レジスタ（PCC）とクロック動作モード選択レジスタ（OSCCTL）の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック（ $f_{EXCLKS} = 32.768$ kHz）を供給することができます。PCCとOSCCTLの設定により、外部サブシステム・クロック入力を無効にすることができます。

注 78K0/KB2には、サブシステム・クロックはありません。

備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXCLKS}	: 外部サブシステム・クロック周波数

(3) 低速内蔵発振クロック（ウォッチドッグ・タイマ用クロック）

・低速内蔵発振回路

$f_{RL} = 240\text{kHz}$ (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・TMH1 (f_{RL} , $f_{RL}/2^7$ または $f_{RL}/2^9$ 選択時)

備考 f_{RL} : 低速内蔵発振クロック周波数

6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	X1発振回路 XT1発振回路 [※] 高速内蔵発振回路 低速内蔵発振回路

注 78K0/KB2には、XT1発振回路（サブシステム・クロック）はありません。

図6-1 クロック発生回路のブロック図 (78K0/KB2)

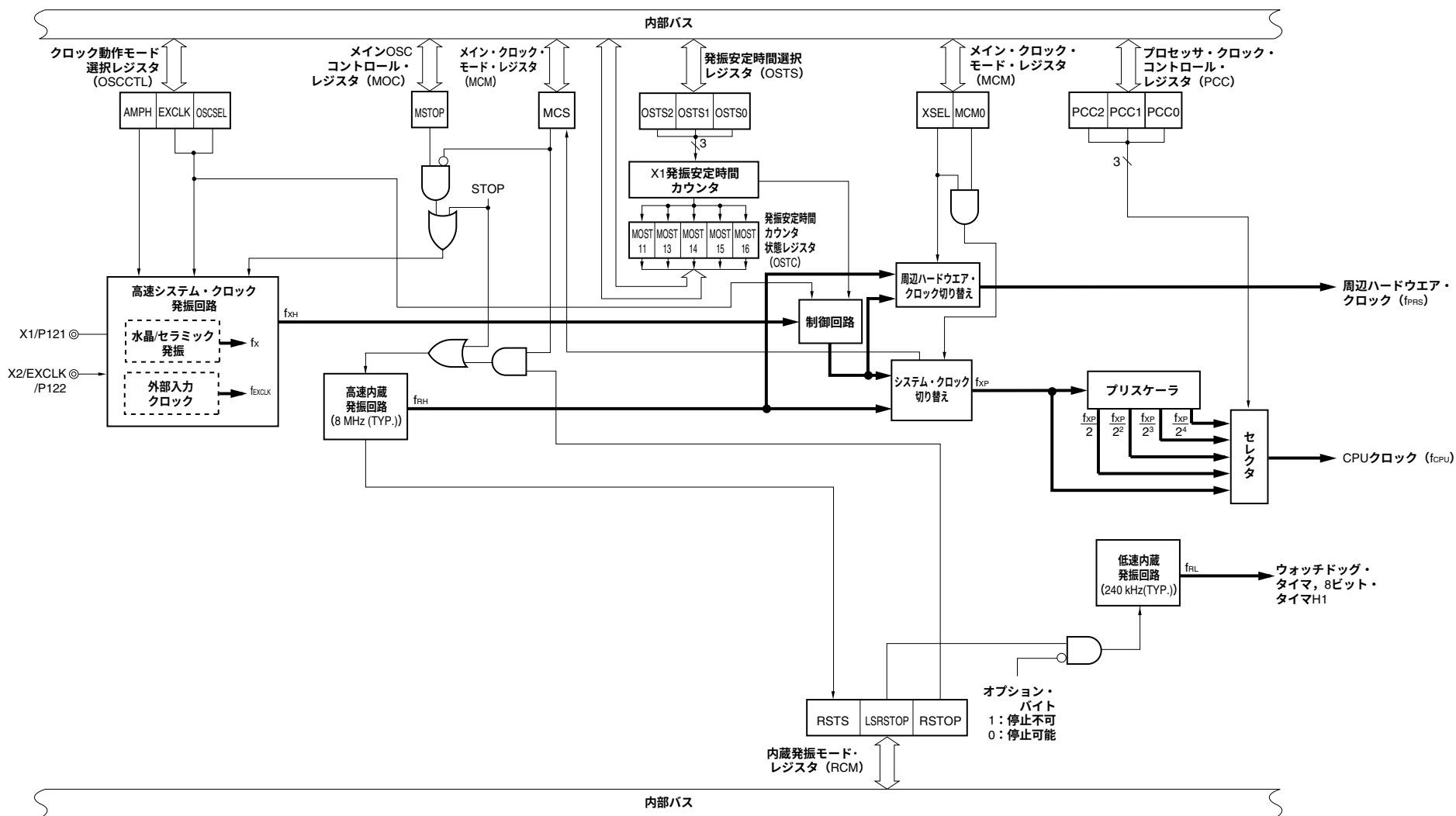
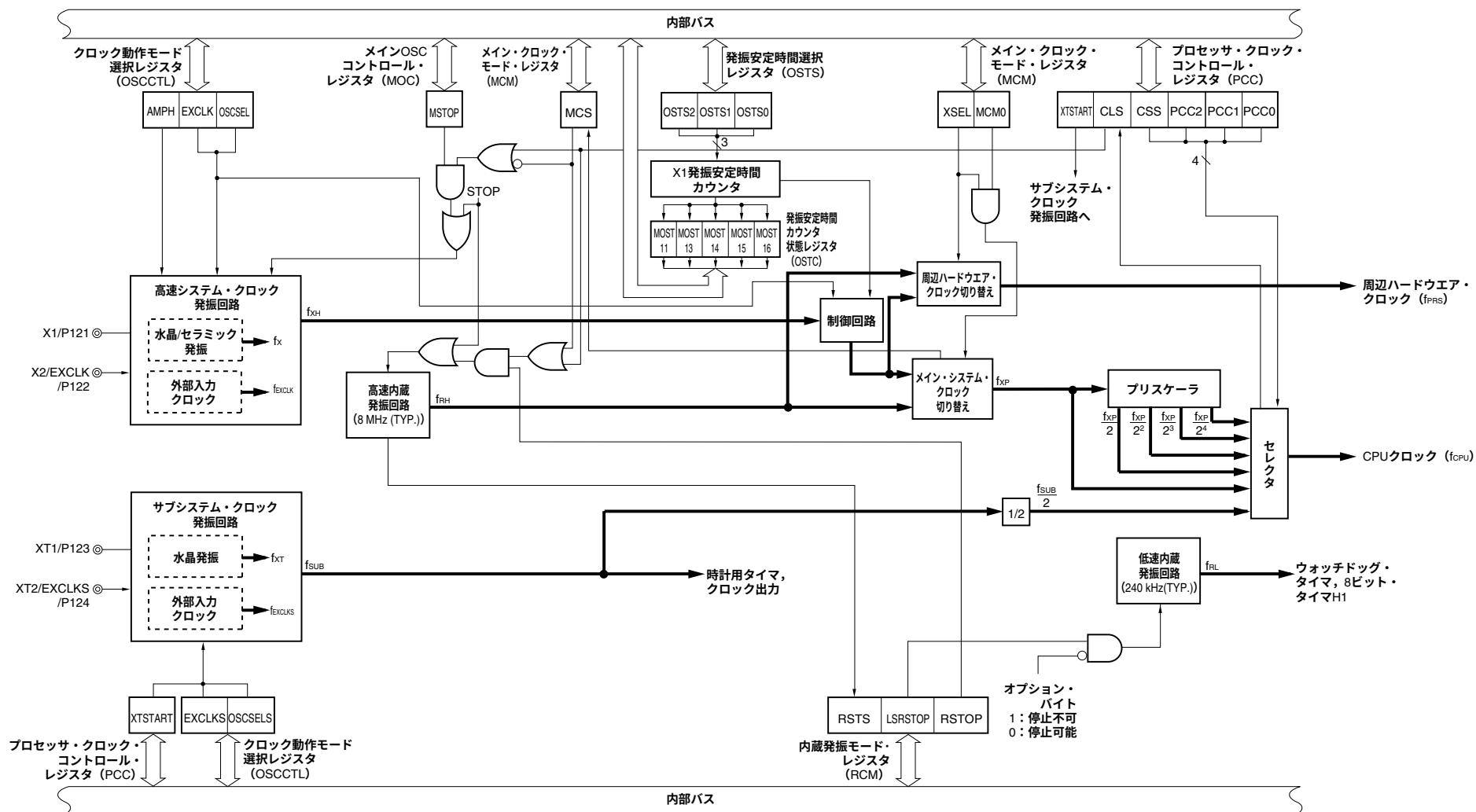


図6-2 クロック発生回路のブロック図 (78K0/KC2, 78K0/KC2, 78K0/KE2, 78K0/KF2)



備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XH}	: 高速システム・クロック周波数
	f_{XP}	: メイン・システム・クロック周波数
	f_{PRS}	: 周辺ハードウェア・クロック周波数
	f_{CPU}	: CPUクロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXCLKS}	: 外部サブシステム・クロック周波数
	f_{SUB}	: サブシステム・クロック周波数
	f_{RL}	: 低速内蔵発振クロック周波数

6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

(1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックとサブシステム・クロックの動作モード、内蔵している発振器のゲインを選択するレジスタです。

OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-3 クロック動作モード選択レジスタ（OSCCTL）のフォーマット（78K0/KB2）

アドレス：FF9FH リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入出力ポート・モード	入出力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

AMPH	発振周波数の制御
0	$1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$
1	$10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$

注意1. 高速システム・クロック周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。

★

2. AMPHは、メイン・クロック・モード・レジスタ（MCM）を設定する前に設定してください。
3. AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック（X1発振）を選択する場合は、AMPHに1を設定してから4.06～16.12 μ s間、CPUクロックに高速システム・クロック（外部クロック入力）を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。
4. AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06～16.12 μ s間、CPUクロックが高速システム・クロック（外部クロック入力）のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック（X1発振）のときは、STOPモード解除後に発振安定時間をカウントします。
5. EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ（MOC）のビット7（MSTOP）が1（X1発振回路停止またはEXCLK端子からの外部クロック無効）であることを必ず確認してください。
6. ビット1-5には、必ず0を設定してください。

備考 f_{XH} ：高速システム・クロック周波数

図6-4 クロック動作モード選択レジスタ（OSCCTL）のフォーマット

(78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2)

アドレス：FF9FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OSCCTL	EXCLK	OSCSEL	EXCLKS ^注	OSCELS ^注	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入出力ポート・モード	入出力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

AMPH	発振周波数の制御
0	$1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$
1	$10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$

注 EXCLKS, OSCELSは、XTSTART（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット6）と組み合わせて使用します。（3）サブシステム・クロック端子の動作モードの設定方法を参照してください。

注意1. 高速システム・クロック周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。

- ★
- AMPHは、メイン・クロック・モード・レジスタ（MCM）を設定する前に設定してください。
 - AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック（X1発振）を選択する場合は、AMPHに1を設定してから4.06～16.12 μ s間、CPUクロックに高速システム・クロック（外部クロック入力）を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。
 - AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06～16.12 μ s間、CPUクロックが高速システム・クロック（外部クロック入力）のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック（X1発振）のときは、STOPモード解除後に発振安定時間をカウントします。
 - EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ（MOC）のビット7（MSTOP）が1（X1発振回路停止またはEXCLK端子からの外部クロック無効）であることを必ず確認してください。
 - ビット1-3には、必ず0を設定してください。

備考 f_{XH} ：高速システム・クロック周波数

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比, サブシステム・クロックの動作モードを設定するレジスタです。
PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により, 01Hになります。

図6-5 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット (78K0/KB2)

アドレス : FFFBH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	f _{XP}
0	0	1	f _{XP} /2 (デフォルト)
0	1	0	f _{XP} /2 ²
0	1	1	f _{XP} /2 ³
1	0	0	f _{XP} /2 ⁴
上記以外			設定禁止

- 注意1. ビット3-7には, 必ず0を設定してください。
2. PCCの分周比の設定では, 周辺ハードウェア・クロック (f_{PRS}) は分周されません。

備考 f_{XP} : メイン・システム・クロック周波数

図6-6 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

(78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2)

アドレス: FFFBH リセット時: 01H R/W^{※1}

略号	7	6	5	4	3	2	1	0
PCC	0	XTSTART ^{※2}	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注1. ビット5は、Read Onlyです。

2. XTSTARTは、EXCLKS, OSCSELS (クロック動作モード選択レジスタ (OSCCTL) のビット5, 4) と組み合わせて使用します。 (3) サブシステム・クロック端子の動作モードの設定方法を参照してください。

注意1. ビット3, 7には、必ず0を設定してください。

2. PCCの分周比の設定では、周辺ハードウェア・クロック (f_{PRS}) は分周されません。

備考1. f_{XP} : メイン・システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

78K0/Kx2マイクロコントローラの一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表6-2のようになります。

表6-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $2/f_{CPU}$			
	メイン・システム・クロック			サブシステム・クロック ^{注2}
	高速システム・クロック ^{注1}		高速内蔵発振クロック ^{注1}	
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	
f_{XP}	$0.2 \mu s$	$0.1 \mu s$	$0.25 \mu s$ (TYP.)	—
$f_{XP}/2$	$0.4 \mu s$	$0.2 \mu s$	$0.5 \mu s$ (TYP.)	—
$f_{XP}/2^2$	$0.8 \mu s$	$0.4 \mu s$	$1.0 \mu s$ (TYP.)	—
$f_{XP}/2^3$	$1.6 \mu s$	$0.8 \mu s$	$2.0 \mu s$ (TYP.)	—
$f_{XP}/2^4$	$3.2 \mu s$	$1.6 \mu s$	$4.0 \mu s$ (TYP.)	—
$f_{SUB}/2$ ^{注2}	—	—	—	$122.1 \mu s$

注1. CPUクロックに供給するメイン・システム・クロックの設定（高速システム・クロック／高速内蔵発振クロック）は、メイン・クロック・モード・レジスタ（MCM）で行います（図6-9参照）。

2. 78K0/KB2には、サブシステム・クロックはありません。

(3) サブシステム・クロック端子の動作モードの設定方法

サブシステム・クロック端子の動作モード^注は、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット6（XTSTART）とクロック動作モード選択レジスタ（OSCCTL）のビット5, 4（EXCLKS, OSCSELS）を組み合わせで設定します。

注 78K0/KB2には、サブシステム・クロックはありません。

表6-3 サブシステム・クロック端子の動作モードの設定

(78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2)

PCC	OSCCTL		サブシステム・クロック端子の 動作モード	P123/XT1端子	P124/XT2/EXCLKS 端子
ビット6	ビット5	ビット4			
XTSTART	EXCLKS	OSCSELS			
0	0	0	入出力ポート・モード	入出力ポート	
0	0	1	XT1発振モード	水晶発振子接続	
0	1	0	入出力ポート・モード	入出力ポート	
0	1	1	外部クロック入力モード	入出力ポート	外部クロック入力
1	×	×	XT1発振モード	水晶発振子接続	

注意 XTSTART, EXCLKSとOSCSELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0（メイン・システム・クロックでCPU動作）であることを確認してください。

備考 × : don't care

(4) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{※1}になります。

図6-7 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス：FFA0H リセット時：80H^{※1} R/W^{※2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

LSRSTOP	低速内蔵発振器の発振／停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振／停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

① 78K0/KB2の場合

・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)

② 78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2の場合

・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)

・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。

(5) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外のクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図6-8 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス: FFA2H リセット時: 80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

① 78K0/KB2の場合

・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)

② 78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2の場合

・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)

・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

- クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCESEL) が0のとき (入出力ポート・モード) , MSTOPに0を設定しないでください。
- 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(6) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-9 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス: FFA1H リセット時: 00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f_{XP})	周辺ハードウェア・クロック (f_{PRS})
0	0	高速内蔵発振クロック (f_{RH})	高速内蔵発振クロック (f_{RH})
0	1		高速システム・クロック (f_{XH})
1	0		
1	1	高速システム・クロック (f_{XH})	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後、1回だけ設定が可能です。

- CPUクロックがサブシステム・クロックで動作しているとき、MCM0を書き換えしないでください。
- 次の周辺機能には、XSELとMCM0の設定によらず、 f_{PRS} 以外のクロックが供給されます。
 - ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)
 - ・8ビット・タイマH1のカウント・クロックに「 f_{RL} 」, 「 $f_{RL}/2^7$ 」または「 $f_{RL}/2^9$ 」を選択時 (低速内蔵発振クロックで動作)
 - ・クロック・ソースに外部クロックを選択している周辺ハードウェア
(ただし、TM0n (n = 0, 1) の外部カウント・クロック選択時 (TI00n端子の有効エッジ) は除く)

(7) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{RESET}$ 入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

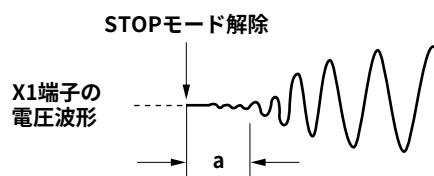
図6-10 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス: FFA3H リセット時: 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16		発振安定時間のステータス	
						$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上	819.2 μs 以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上	3.27 ms以上

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 $\leq$ OSTSで設定する発振安定時間
- したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

(8) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 05Hになります。

図6-11 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs	102.4 μs
0	1	0	$2^{13}/f_x$	819.2 μs	409.6 μs
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 μs
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

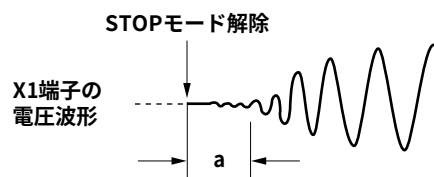
注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 $\leq$ OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。

- X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

6.4 システム・クロック発振回路

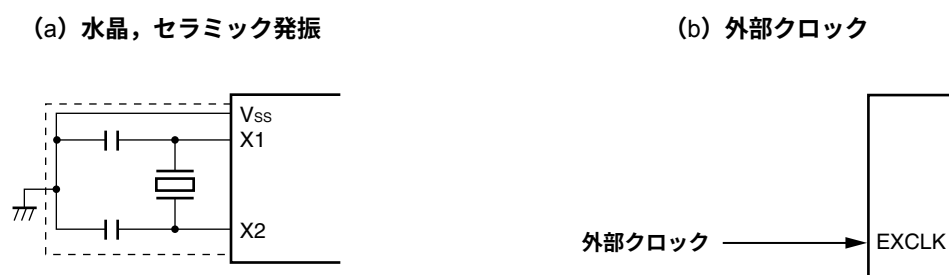
6.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図6-12にX1発振回路の外付け回路例を示します。

図6-12 X1発振回路の外付け回路例



注意を次ページに示します。

6.4.2 XT1発振回路

XT1発振回路[※]はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。

図6-13にXT1発振回路の外付け回路例を示します。

注 78K0/KB2には、XT1発振回路はありません。

図6-13 XT1発振回路の外付け回路例



注意を次ページに示します。

注意1. X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-12, 6-13の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

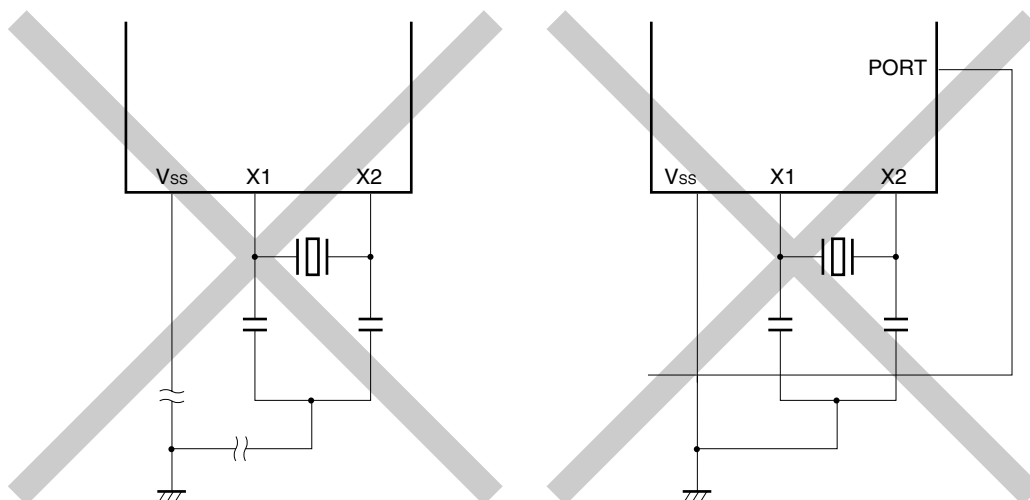
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図6-14に発振子の接続の悪い例を示します。

図6-14 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

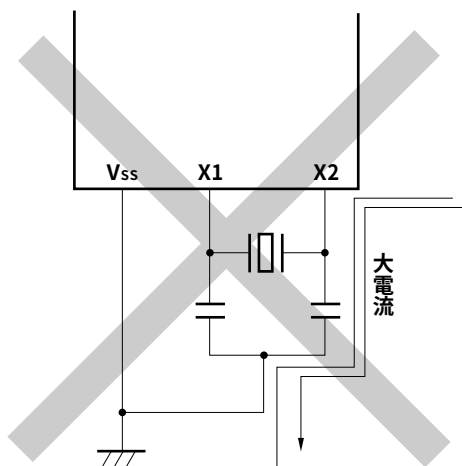
(b) 信号線が交差している



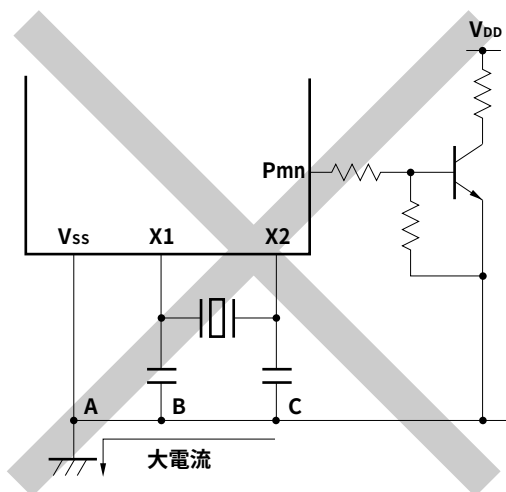
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6-14 発振子の接続の悪い例 (2/2)

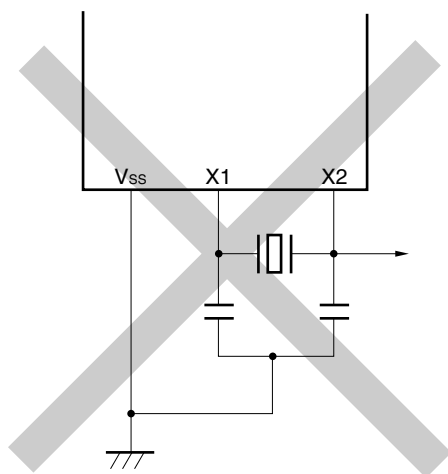
(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意2. X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

6.4.3 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロック[※]を使用する必要のない場合、また入出力ポートとして使用しない場合は、XT1, XT2端子を入出力ポート・モード（OSCSELS = 0）にし、次のように処置してください。

注 78K0/KB2には、サブシステム・クロックはありません。

- ・入力時（PM123/PM124 = 1）：
個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください
- ・出力時（PM123/PM124 = 0）：
オープンにしてください

備考 OSCSELS：クロック動作モード選択レジスタ（OSCCTL）のビット4
PM123, PM124：ポート・モード・レジスタ12（PM12）のビット3, 4

6.4.4 高速内蔵発振回路

78K0/Kx2マイクロコントローラは、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ（RCM）にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します（8 MHz（TYP.））。

6.4.5 低速内蔵発振回路

78K0/Kx2マイクロコントローラは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマH1のクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ（RCM）にて発振を制御できます。

リセット解除後、低速内蔵発振回路は自動的に発振を開始し、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））。

6.4.6 プリスケアラ

プリスケアラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、クロックを生成します。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図6-1、図6-2を参照）。

- メイン・システム・クロック f_{XP}
 - ・高速システム・クロック f_{XH}
 - X1クロック f_X
 - 外部メイン・システム・クロック f_{EXCLK}
 - ・高速内蔵発振クロック f_{RH}
- サブシステム・クロック f_{SUB} ^注
 - ・XT1クロック f_{XT}
 - ・外部サブシステム・クロック f_{EXCLKS}
- 低速内蔵発振クロック f_{RL}
- CPUクロック f_{CPU}
- 周辺ハードウェア・クロック f_{PRS}

注 78K0/KB2には、サブシステム・クロックはありません。

78K0/Kx2マイクロコントローラでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

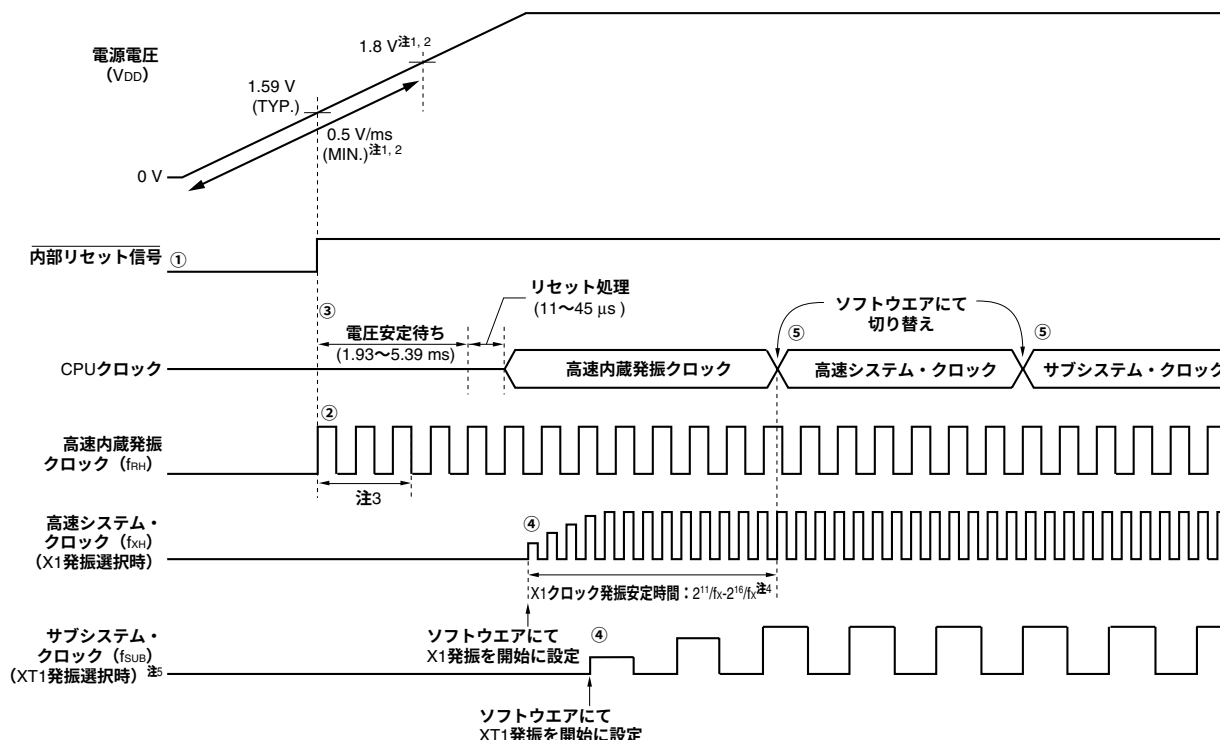
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図6-15に示します。

図6-15 電源電圧投入時のクロック発生回路の動作
(1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0))



- ① 電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。
- ② 電源電圧が1.59 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。
- ③ 電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源／レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (6. 6. 1 高速システム・クロックの制御例の(1), 6. 6. 3 サブシステム・クロックの制御例の(1)を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (6. 6. 1 高速システム・クロックの制御例の(3), 6. 6. 3 サブシステム・クロックの制御例の(3)を参照)。

- 注1. 標準品, (A) 水準品では、電源投入時から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください (図6-16参照)。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図6-15の②以降と同様のタイミングで動作します。
2. (A2) 水準品では、電源投入時から2.7 Vに達するまでの電圧の立ち上がり、0.75 V/ms (MIN.) よりも緩やかな場合は、電源投入時から2.7 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。2.7 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図6-15の②以降と同様のタイミングで動作します。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

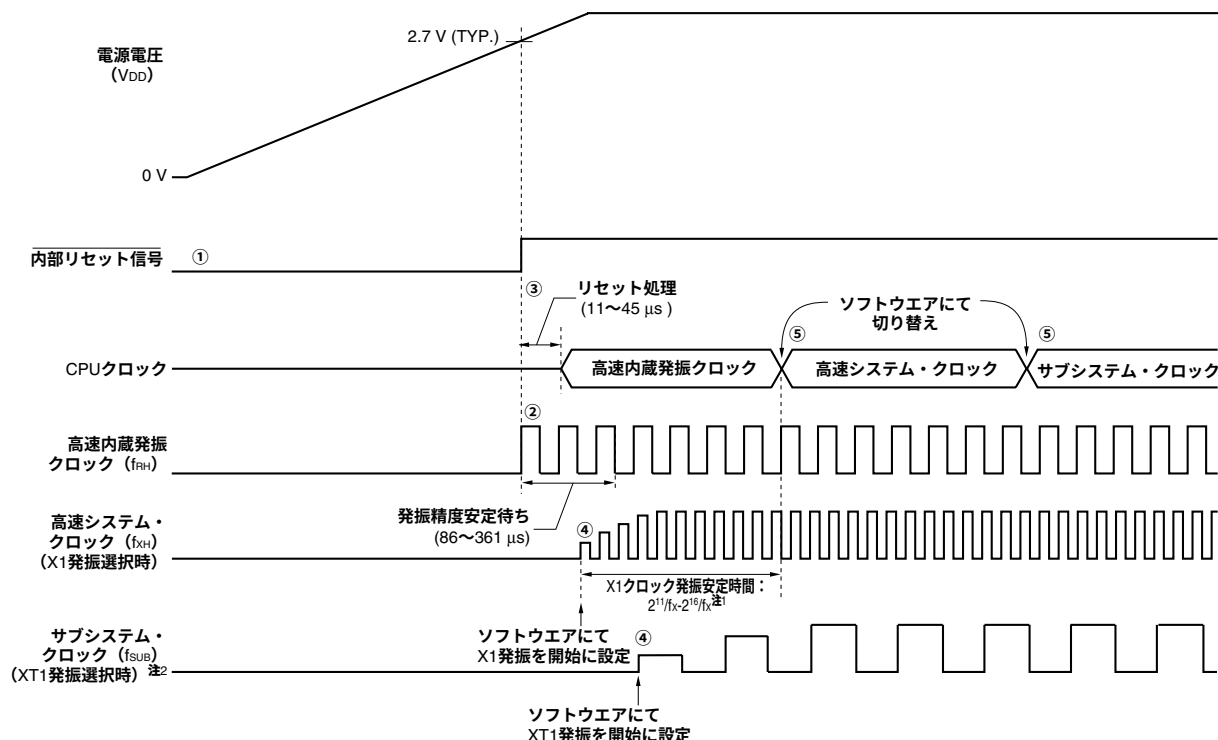
- 注4.** リセット解除時（上図）およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。またCPUクロックが高速システム・クロック（X1発振）の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ（OSTS）で設定してください。
5. 78K0/KB2には、サブシステム・クロックはありません。

注意 EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます（6. 6. 1 高速システム・クロックの制御例の(4)、6. 6. 2 高速内蔵発振クロックの制御例の(3)、6. 6. 3 サブシステム・クロックの制御例の(4)を参照）。

図6-16 電源電圧投入時のクロック発生回路の動作

(2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1))



- ① 電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。
- ② 電源電圧が2.7 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。
- ③ リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (6. 6. 1 高速システム・クロックの制御例の(1)、6. 6. 3 サブシステム・クロックの制御例の(1)を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (6. 6. 1 高速システム・クロックの制御例の(3)、6. 6. 3 サブシステム・クロックの制御例の(3)を参照)。

注1. リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。

2. 78K0/KB2には、サブシステム・クロックはありません。

注意 1. 電源電圧が1.59 V (TYP.) に達したあと、1.93~5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0~5.39 msの電源安定待ち時間が自動的に発生します。

2. EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを

停止することができます (6.6.1 高速システム・クロックの制御例の(4), 6.6.2 高速内蔵発振クロックの制御例の(3), 6.6.3 サブシステム・クロックの制御例の(4)を参照)。

6.6 クロックの制御

6.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶／セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

① 周波数の設定 (OSCCTLレジスタ)

AMPHで、使用する周波数に応じて、内蔵している発振器のゲインを設定します

AMPH ^注	発振周波数の制御
0	$1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$
1	$10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから4.06～16.12 μs 間、CPUクロックの供給が停止されます。

備考 f_{XH} : 高速システム・クロック周波数

② P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶／セラミック発振子接続	

③ X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

④ X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウェイトします。

ウェイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. X1クロック動作中にEXCLK, OSCSELを書き換えないでください

2. 電源電圧が、使用するクロックの動作可能電圧（第30章 電気的特性（標準品）～第33章 電気的特性（(A2) 水準品：T_A = -40～+125 °C）を参照）に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

① 周波数の設定（OSCCTLレジスタ）

AMPHで、使用する周波数を設定します

AMPH ^注	発振周波数の制御
0	$1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$
1	$10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。

備考 f_{XH} ：高速システム・クロック周波数

② P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択（OSCCTLレジスタ）

EXCLK, OSCSELをそれぞれ1に設定すると、ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

③ 外部メイン・システム・クロックの入力制御（MOCレジスタ）

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えないでください。

2. 電源電圧が、使用するクロックの動作可能電圧（第30章 電気的特性（標準品）～第33章 電気的特性（(A2) 水準品：T_A = -40～+125 °C）を参照）に達してから、外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック、周辺ハードウェア・クロックとして使用する場合の設定手順例

① 高速システム・クロックの発振を設定[※]

(6.6.1 (1) X1クロックを発振する場合の設定手順例、または (2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合、①の設定不要です。

② 高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると、メイン・システム・クロックと周辺ハードウェアに、高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f_{XP})	周辺ハードウェア・クロック (f_{PRS})
1	1	高速システム・クロック (f_{XH})	高速システム・クロック (f_{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合、周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

③ メイン・システム・クロックをCPUクロックに選択、分周比の選択 (PCCレジスタ)

CSSを0に設定すると、CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は、PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択
0	0	0	0	f_{XP}
	0	0	1	$f_{XP}/2$ (デフォルト)
	0	1	0	$f_{XP}/2^2$
	0	1	1	$f_{XP}/2^3$
	1	0	0	$f_{XP}/2^4$
	上記以外			設定禁止

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには、次の2つの方法があります。

- ・STOP命令を実行し、X1発振を停止する (外部クロックを使用している場合は、クロック入力無効)
- ・MSTOPを1に設定し、X1発振を停止する (外部クロックを使用している場合は、クロック入力無効)

(a) STOP命令を実行する場合

① 周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第22章 スタンバイ機能を参照してください)。

② スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

③ STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

① CPUクロックのステータス（PCC, MCMレジスタ）を確認

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックを高速システム・クロック以外のクロックに変更してください。

・78K0/KB2

MCS	CPUクロックのステータス
0	高速内蔵発振クロック
1	高速システム・クロック

・78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

② 高速システム・クロックの停止（MOCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

6.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{※1}

① 高速内蔵発振クロック発振の再開の設定 (RCMレジスタ)

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

② 高速内蔵発振クロック発振精度安定時間待ち (RCMレジスタ)

RSTSに1がセットされるまでウェイトします^{※2}。

注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。

2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウェイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

① ・高速内蔵発振クロックの発振を再開[※]

(6.6.2 (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

・高速システム・クロックを発振[※]

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。6.6.1 (1) X1クロックを発振する場合の設定手順例, (2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック、高速システム・クロック動作中の場合、①の設定不要です。

② メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で、メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f_{XP})	周辺ハードウェア・クロック (f_{PRS})
0	0	高速内蔵発振クロック (f_{RH})	高速内蔵発振クロック (f_{RH})
0	1		
1	0		高速システム・クロック (f_{XH})

③ CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると、CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は、PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択
0	0	0	0	f_{XP}
	0	0	1	$f_{XP}/2$ (デフォルト)
	0	1	0	$f_{XP}/2^2$
	0	1	1	$f_{XP}/2^3$
	1	0	0	$f_{XP}/2^4$
	上記以外			設定禁止

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- STOP命令を実行し、STOPモードに移行する
- RSTOPを1に設定し、高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合**① 周辺ハードウェアの設定**

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第22章 スタンバイ機能を参照してください）。

② スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。STOPモード解除後、すぐにCPUを動作したい場合は、MCM0を0に設定し、CPUクロックを高速内蔵発振クロックに切り替え、RSTS = 1であることを確認します。

③ STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合**① CPUクロックのステータスを確認（PCC，MCMレジスタ）**

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。
CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速内蔵発振クロック以外のクロックに変更してください。

• 78K0/KB2

MCS	CPUクロックのステータス
0	高速内蔵発振クロック
1	高速システム・クロック

• 78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

② 高速内蔵発振クロックの停止（RCMレジスタ）

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

6.6.3 サブシステム・クロックの制御例

サブシステム・クロック^注は、次の2種類があります。

- ・XT1クロック : XT1, XT2端子に水晶発振子接続
- ・外部サブシステム・クロック : EXCLKS端子に外部クロック入力

また、未使用時には、XT1/P123, XT2/EXCLKS/P124端子を入出力ポートとして使用できます。

注 78K0/KB2には、サブシステム・クロックはありません。

注意1. XT1/P123, XT2/EXCLKS/P124端子のリセット解除時は, 入出力ポート・モードです。

2. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) 外部サブシステム・クロックを使用する場合
- (3) サブシステム・クロックをCPUクロックとして使用する場合
- (4) サブシステム・クロックを停止する場合

(1) XT1クロックを発振する場合の設定手順例

① XT1, XT2端子の設定, 動作モードの選択 (PCC, OSCCTLレジスタ)

XTSTART, EXCLKS, OSCSELSを次のいずれかに設定すると、ポート・モードからXT1発振モードへ切り替わります。

XTSTART	EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2/ EXCLKS端子
0	0	1	XT1発振モード	水晶／セラミック発振子接続	
1	×	×			

備考 × : don't care

② サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウェイトしてください。

注意 サブシステム・クロック動作中にXTSTART, EXCLKS, OSCSELSを書き換えしないでください。

(2) 外部サブシステム・クロックを使用する場合の設定手順例

① XT1, XT2端子の設定, XT1クロック／外部クロックの選択, 発振制御 (PCC, OSCCTLレジスタ)

XTSTARTを0, EXCLKSとOSCSELSを1に設定すると、ポート・モードから外部クロック入力モードへ切り替わります。この場合、EXCLKS/XT2/P124端子に外部クロックを入力してください。

XTSTART	EXCLKS	OSCSELS	サブシステム・クロック 端子の動作モード	P123/XT1端子	P124/XT2/ EXCLKS端子
0	1	1	外部クロック入力モード	入出力ポート	外部クロック入力

注意 サブシステム・クロック動作中にXTSTART, EXCLKS, OSCSELSを書き換えないでください。

(3) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

① サブシステム・クロックを発振[※]

(6.6.3 (1) XT1クロックを発振する場合の設定手順例, (2) 外部サブシステム・クロックを使用する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合, ①の設定不要です。

② CPUクロックの切り替え (PCCレジスタ)

CSSに1を設定すると、CPUにサブシステム・クロックが供給されます。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

(4) サブシステム・クロックを停止する場合の設定手順例

① CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックをサブシステム・クロック以外のクロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

② サブシステム・クロックの停止 (OSCCTLレジスタ)

OSCSELSを0に設定すると、XT1発振が停止します（外部クロック入力は無効になります）。

- 注意1.** OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで時計用タイマが動作している場合は、時計用タイマの動作を停止してください。
2. STOP命令でサブシステム・クロックの発振を停止することはできません。

6.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1（カウント・クロックにf_{RL}を選択した場合）

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））

(1) 低速内蔵発振クロックを停止する場合の設定手順例

① LSRSTOPを1に設定（RCMレジスタ）

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

① LSRSTOPを0に設定（RCMレジスタ）

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

6.6.5 CPUクロック，周辺ハードウェア・クロックへの供給クロック

CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表6-4 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定（78K0/KB2）

供給クロック		XSEL	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック			
高速内蔵発振クロック		0	×	×
高速内蔵発振クロック	X1クロック	1	0	0
	外部メイン・システム・クロック	1	0	1
X1クロック		1	1	0
外部メイン・システム・クロック		1	1	1

備考1. 78K0/KB2には，サブシステム・クロックはありません。

2. XSEL :メイン・クロック・モード・レジスタ（MCM）のビット2

MCM0 :MCMのビット0

EXCLK :クロック動作モード選択レジスタ（OSCCTL）のビット7

× : don't care

表6-5 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定

（78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2）

供給クロック		XSEL	CSS	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック				
高速内蔵発振クロック		0	0	×	×
高速内蔵発振クロック	X1クロック	1	0	0	0
	外部メイン・システム・クロック	1	0	0	1
X1クロック		1	0	1	0
外部メイン・システム・クロック		1	0	1	1
サブシステム・クロック	高速内蔵発振クロック	0	1	×	×
	X1クロック	1	1	0	0
		1	1	1	0
	外部メイン・システム・クロック	1	1	0	1
		1	1	1	1

備考 XSEL :メイン・クロック・モード・レジスタ（MCM）のビット2

CSS :プロセッサ・クロック・コントロール・レジスタ（PCC）のビット4

MCM0 :MCMのビット0

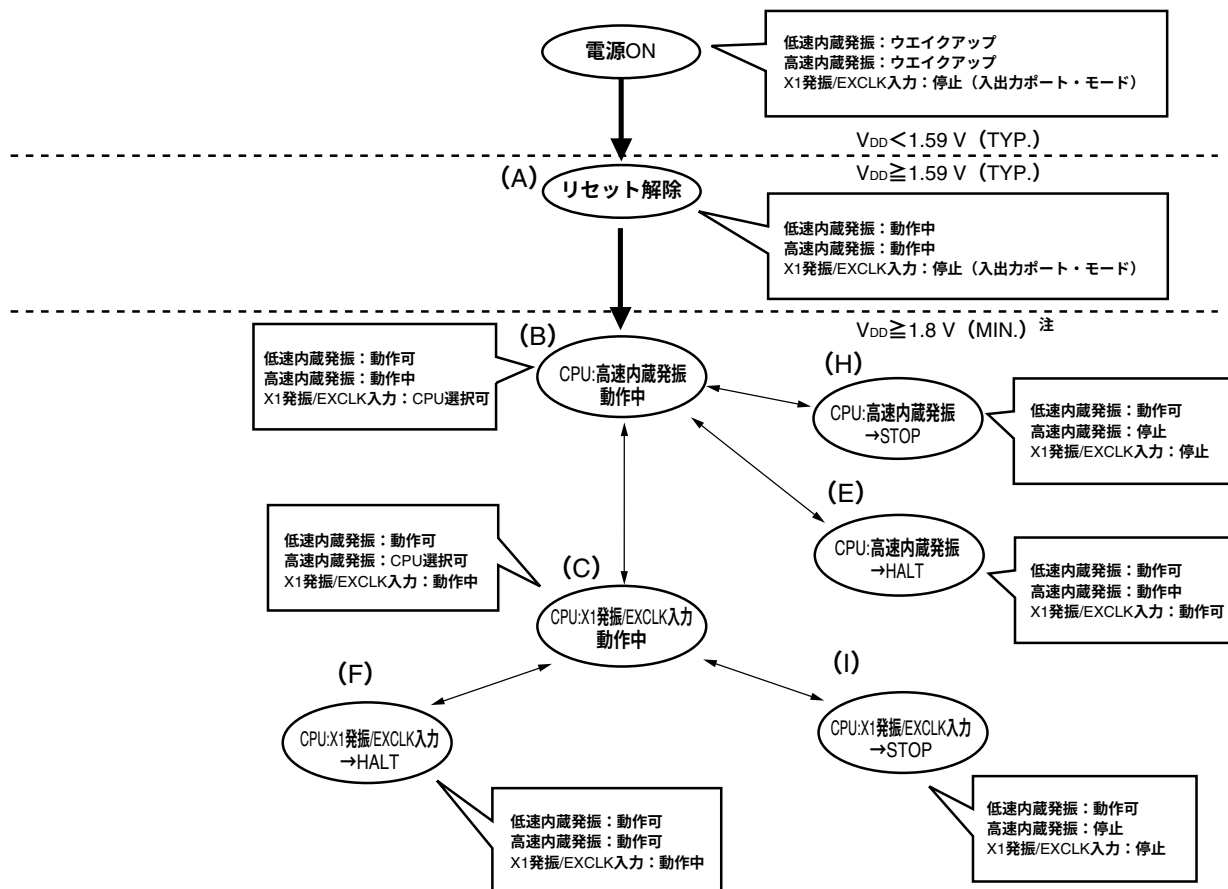
EXCLK :クロック動作モード選択レジスタ（OSCCTL）のビット7

× : don't care

6.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6-17, 図6-18に示します。

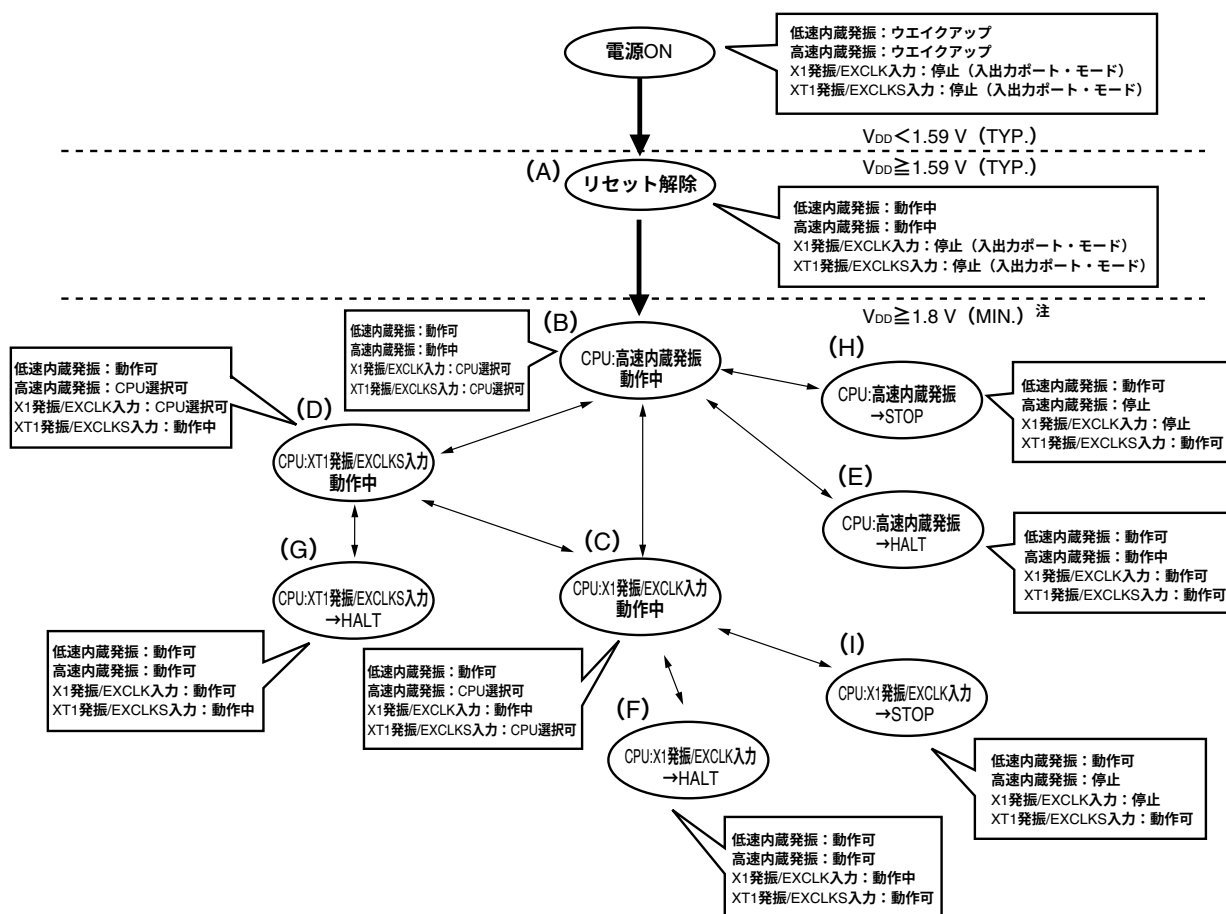
図6-17 CPUクロック状態移行図 (1.59 V POCモード設定時(オプション・バイト:POCMODE = 0), 78K0/KB2)



注 標準品, (A) 水準品: 1.8 V, (A2) 水準品: 2.7 V

備考 2.7 V/1.59 V POCモード設定時(オプション・バイト:POCMODE = 1)では, 電源投入後, 電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し, リセット処理 (11~45 μs) 後に上図の (B) に移行します。

図6-18 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0) ,
78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2)



注 標準品, (A) 水準品: 1.8 V, (A2) 水準品: 2.7 V

備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1) では, 電源投入後, 電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し, リセット処理 (11~45 μ s) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表6-6に示します。

表6-6 CPUクロックの移行とSFRレジスタの設定例 (1/5)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →							
状態遷移 \ SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(A) → (B) → (C) (X1クロック: $1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$)	0	0	1	0	確認必要	1	1
(A) → (B) → (C) (外部メイン・システム・ クロック: $1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$)	0	1	1	0	確認不要	1	1
(A) → (B) → (C) (X1クロック: $10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$)	1	0	1	0	確認必要	1	1
(A) → (B) → (C) (外部メイン・システム・ クロック: $10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$)	1	1	1	0	確認不要	1	1

注意 設定するクロックの動作可能電圧 (第30章 電気的特性 (標準品) ~ 第33章 電気的特性 (A2) 水準品: $T_A = -40 \sim +125^\circ\text{C}$) を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行[※]

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

注 78K0/KB2には、サブシステム・クロックはありません。

(SFRレジスタの設定順序) →					
状態遷移 \ SFRレジスタの設定フラグ	XTSTART	EXCLKS	OSCSELS	発振安定待ち	CSS
(A) → (B) → (D) (XT1クロック)	0	0	1	必要	1
	1	×	×		
(A) → (B) → (D) (外部サブシステム・クロック)	0	1	1	不要	1

備考1. 表6-6の (A) - (I) は、図6-17, 図6-18の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

XTSTART, CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6, 4

× : don't care

表6-6 CPUクロックの移行とSFRレジスタの設定例 (2/5)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →							
SFRレジスタの設定フラグ	AMPH ^注	EXCLK	OSCESEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0
状態遷移							
(B) → (C) (X1クロック: $1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$)	0	0	1	0	確認必要	1	1
(B) → (C) (外部メイン・システム・クロック: $1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$)	0	1	1	0	確認不要	1	1
(B) → (C) (X1クロック: $10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$)	1	0	1	0	確認必要	1	1
(B) → (C) (外部メイン・システム・クロック: $10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$)	1	1	1	0	確認不要	1	1

設定済みの場合は不要

高速システム・ク
ロック動作中の場
合は不要

注 リセット解除後, 1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第30章 電気的特性 (標準品) ~ 第33章 電気的特性 (A2) 水準品: $T_A = -40 \sim +125\text{ }^\circ\text{C}$) を参照) に電源電圧が達してから, クロックを設定してください。

(5) CPUを高速内蔵発振クロック動作 (B) から, サブシステム・クロック動作 (D) へ移行^注

注 78K0/KB2には, サブシステム・クロックはありません。

(SFRレジスタの設定順序) →					
SFRレジスタの設定フラグ	XTSTART	EXCLKS	OSCELS	発振安定待ち	CSS
状態遷移					
(B) → (D) (XT1クロック)	0	0	1	必要	1
	1	×	×		
(B) → (D) (外部サブシステム・クロック)	0	1	1	不要	1

サブシステム・クロック動作中の場合は不要

備考1. 表6-6の (A) - (I) は, 図6-17, 図6-18の(A) - (I) と対応しています。

2. EXCLK, OSCESEL, EXCLKS, OSCELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

XTSTART, CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6, 4

×

: don't care

表6-6 CPUクロックの移行とSFRレジスタの設定例 (3/5)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →			
SFRレジスタの設定フラグ	RSTOP	RSTS	MCM0
状態遷移			
(C) → (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行[※]

注 78K0/KB2には、サブシステム・クロックはありません。

(SFRレジスタの設定順序) →					
SFRレジスタの設定フラグ	XTSTART	EXCLKS	OSCSELS	発振安定待ち	CSS
状態遷移					
(C) → (D) (XT1クロック)	0	0	1	必要	1
	1	×	×		
(C) → (D) (外部サブシステム・クロック)	0	1	1	不要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行[※]

注 78K0/KB2には、サブシステム・クロックはありません。

(SFRレジスタの設定順序) →				
SFRレジスタの設定フラグ	RSTOP	RSTS	MCM0	CSS
状態遷移				
(D) → (B)	0	1を確認	0	0

高速内蔵発振クロック動作中の
場合は不要

↑
XSELが0の場
合は不要

備考1. 表6-6の (A) - (I) は、図6-17、図6-18の(A) - (I) と対応しています。

- MCM0 : メイン・クロック・モード・レジスタ(MCM)のビット0
- EXCLKS, OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット5, 4
- RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0
- XTSTART, CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6, 4
- ×

: don't care

表6-6 CPUクロックの移行とSFRレジスタの設定例 (4/5)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行^注

注 78K0/KB2には、サブシステム・クロックはありません。

(SFRレジスタの設定順序) ➡								
SFRレジスタの設定フラグ	AMPH ^注	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0	CSS
状態遷移								
(D) → (C) (X1クロック: $1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$)	0	0	1	0	確認必要	1	1	0
(D) → (C) (外部メイン・システム・ クロック: $1\text{ MHz} \leq f_{XH} \leq 10\text{ MHz}$)	0	1	1	0	確認不要	1	1	0
(D) → (C) (X1クロック: $10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$)	1	0	1	0	確認必要	1	1	0
(D) → (C) (外部メイン・システム・ クロック: $10\text{ MHz} < f_{XH} \leq 20\text{ MHz}$)	1	1	1	0	確認不要	1	1	0

設定済みの場合は不要
高速システム・ク
ロック動作中の
場合は不要
設定済みの場合は
不要

注 リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第30章 電気的特性 (標準品) ~ 第33章 電気的特性 (A2) 水準品: $T_A = -40 \sim +125\text{ }^\circ\text{C}$) を参照) に電源電圧が達してから、クロックを設定してください。

- (10) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行^注

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G) ^注	HALT命令を実行する

注 78K0/KB2には、サブシステム・クロックはありません。

備考1. 表6-6の (A) - (I) は、図6-17, 図6-18の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, AMPH : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 0
 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
 XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
 CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表6-6 CPUクロックの移行とSFRレジスタの設定例 (5/5)

- (11) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序)

状態遷移	設定内容	
(B) → (H)	STOPモード中に動作できない周辺	STOP命令を実行する
(C) → (I)	機能を停止する	

備考1. 表6-6の (A) – (I) は、図6-17, 図6-18の(A) – (I) と対応しています

2. EXCLK, OSCSEL, AMPH : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 0
 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
 XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
 CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

6. 6. 7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6-7 CPUクロックの移行について

	CPUクロック		移行前の条件	移行後の処理
	移行前	移行後		
KB2, KC2, KD2, KE2, KF2	高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後	・高速内蔵発振器停止可能 (RSTOP = 1) ・AMPH = 1を設定した場合、設定し てから4.06~16.12 μ s間、CPUク ロックの供給停止
		外部メイン・ システム・クロッ ク	EXCLK端子からの外部クロック入 力を有効にすること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1	・高速内蔵発振器停止可能 (RSTOP = 1) ・AMPH = 1を設定した場合、設定し てからEXCLK端子からの外部ク ロックの160クロック分、CPUク ロックの供給停止
	X1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振されているこ と ・RSTOP = 0	X1発振停止可能 (MSTOP = 1)
	外部メイン・ システム・クロッ ク			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
KC2, KD2, KE2, KF2 (KB2 以外)	高速内蔵発振 クロック	XT1クロック	XT1発振が安定していること ・XTSTART = 0, EXCLKS = 0, OSCSELS = 1 またはXTSTART = 1 ・発振安定時間経過後	高速内蔵発振器を停止 (RSTOP = 1) すると、動作電流を低減可能
	X1クロック			X1発振停止可能 (MSTOP = 1)
	外部メイン・シス テム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
	高速内蔵発振 クロック	外部サブシステ ム・クロック	EXCLKS端子からの外部クロック入 力を有効にすること ・XTSTART = 0, EXCLKS = 1, OSCSELS = 1	高速内蔵発振器を停止 (RSTOP = 1) すると、動作電流を低減可能
	X1クロック			X1発振停止可能 (MSTOP = 1)
	外部メイン・シス テム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
	XT1クロック、 外部サブシステ ム・クロック	高速内蔵発振 クロック	高速内蔵発振器が発振され、メイ ン・システム・クロックに高速内蔵 発振クロックが選択されていること ・RSTOP = 0, MCS = 0	XT1発振停止または外部サブシステ ム・クロック入力を無効に設定可能 (OSCSELS = 0)
		X1クロック	X1発振が安定、かつメイン・システ ム・クロックに高速システム・クロ ックが選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後 ・MCS = 1	・XT1発振停止または外部サブシス テム・クロック入力を無効に設定 可能 (OSCSELS = 0) ・AMPH = 1を設定した場合、設定し てから4.06~16.12 μ s間、CPUク ロックの供給停止
		外部メイン・シス テム・クロック	EXCLK端子からの外部クロックが 入力有効、かつメイン・システム・ クロックに高速システム・クロック が選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1 ・MCS = 1	・XT1発振停止または外部サブシス テム・クロック入力を無効に設定 可能 (OSCSELS = 0) ・AMPH = 1を設定した場合、設定し てからEXCLK端子からの外部ク ロックの160クロック分、CPUク ロックの供給停止

備考 78K0/KB2には、サブシステム・クロックはありません。

6.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) の設定により、CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック^注) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数クロックは切り替え前のクロックで動作します (表6-8、表6-9参照)。

CPUクロックがメイン・システム・クロックで動作しているか、サブシステム・クロック^注で動作しているかは、PCCのビット5 (CLS) で判定できます。

注 78K0/KB2には、サブシステム・クロックはありません。

表6-8 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に要する最大時間
(78K0/KB2)

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	16クロック			16クロック			16クロック			16クロック			16クロック		
0	0	1															
0	1	0															
0	1	1															
1	0	0	1クロック			1クロック			1クロック			1クロック					

備考 表6-8のクロック数は、切り替え前のCPUクロックのクロック数です。

表6-9 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に要する最大時間
(78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2)

切り替え前の設定値				切り替え後の設定値																																																			
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0																																
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×																												
0	0	0	0	16クロック				16クロック				16クロック				16クロック				2f _{XP} /f _{SUB} クロック																																			
	0	0	1																					8クロック				8クロック				8クロック				f _{XP} /f _{SUB} クロック																			
	0	1	0																																					4クロック				4クロック				4クロック				f _{XP} /2f _{SUB} クロック			
	0	1	1																																																				
	1	0	0	1クロック				1クロック				1クロック				f _{XP} /8f _{SUB} クロック																																							
1	×	×	×																	2クロック				2クロック				2クロック																											

注意 メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0→1) を同時に設定しないでください。

ただし、メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1→0) は同時に設定可能です。

備考1. 表6-9のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合のクロック数は、小数点以下を切り上げてください。

例 CPUクロックを $f_{XP}/2 \rightarrow f_{SUB}/2$ に切り替える場合($f_{XP} = 10 \text{ MHz}$, $f_{SUB} = 32.768 \text{ kHz}$ 発振時)

$$f_{XP}/f_{SUB} = 10000 / 32.768 \quad 305.1 \rightarrow 306 \text{クロック}$$

また、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により、メイン・システム・クロックの切り替え (高速内蔵発振クロック $\leftrightarrow$ 高速システム・クロック) をすることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を変更したのち、数クロックは切り替え前のクロックで動作します (表6-10参照)。

CPUクロックが高速内蔵発振クロックで動作しているか、高速システム・クロックで動作しているかは、MCMのビット1 (MCS) で判定できます。

表6-10 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0		$1 + 2f_{RH}/f_{XH}$ クロック
1	$1 + 2f_{XH}/f_{RH}$ クロック	

注意1. 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

2. CPUクロックがサブシステム・クロックで動作しているとき、MCM0を書き換えしないでください。

備考1. 表6-10のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。

2. 表6-10のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 8 \text{ MHz}$, $f_{XH} = 10 \text{ MHz}$ 発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \rightarrow 2 \text{クロック}$$

6.6.9 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表6-11 クロック発振停止前の条件とフラグ設定（78K0/KB2）

クロック ^注	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1 (CPUクロックが高速システム・クロックで動作)	RSTOP = 1
X1クロック	MCS = 0 (CPUクロックが高速内蔵発振クロックで動作)	MSTOP = 1
外部メイン・システム・クロック		

注 78K0/KB2には、サブシステム・クロックはありません。

表6-12 クロック発振停止前の条件とフラグ設定（78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2）

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	OSCELS = 0
外部サブシステム・クロック		

6.6.10 周辺ハードウェアとソース・クロック

78K0/Kx2マイクロコントローラに内蔵されている周辺ハードウェアとソース・クロックを次に示します。

備考 製品により、内蔵している周辺ハードウェアが異なります。1.7 **ブロック図**、1.8 **機能概要**を参照してください。

表6-13 周辺ハードウェアとソース・クロック

ソース・クロック 周辺ハードウェア		周辺ハードウェア・クロック (f _{PRS})	サブシステム・クロック (f _{SUB}) 注1	低速内蔵発振 クロック (f _{RL})	TM50出力	周辺ハードウェアの端子からの外部クロック
16ビット・タイマ/ イベント・カウンタ	00	○	×	×	×	○ (TI000端子) 注2
	01	○	×	×	×	○ (TI001端子) 注2
8ビット・タイマ/ イベント・カウンタ	50	○	×	×	×	○ (TI50端子) 注2
	51	○	×	×	×	○ (TI51端子) 注2
8ビット・タイマ	H0	○	×	×	○	×
	H1	○	×	○	×	×
時計用タイマ		○	○	×	×	×
ウォッチドッグ・タイマ		×	×	○	×	×
ブザー出力		○	×	×	×	×
クロック出力		○	○	×	×	×
A/Dコンバータ		○	×	×	×	×
シリアル・ インタフェース	UART0	○	×	×	○	×
	UART6	○	×	×	○	×
	CSI10	○	×	×	×	○ (SCK10端子) 注2
	CSI11	○	×	×	×	○ (SCK11端子) 注2
	CSIA0	○	×	×	×	○ (SCKA0端子) 注2
	IIC0	○	×	×	×	○ (EXSCL0, SCL0 端子) 注2

注1. 78K0/KB2には、サブシステム・クロックはありません。

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

備考 ○：選択可能，×：選択不可

第7章 16ビット・タイマ／イベント・カウンタ00, 01

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・ メモリが32 K バイト以下	フラッシュ・ メモリが48 K バイト以上	
16ビット・タイマ／ イベント・カウンタ 00	○					
16ビット・タイマ／ イベント・カウンタ 01	—				○	

○：搭載，—：非搭載

7.1 16ビット・タイマ／イベント・カウンタ00, 01の機能

16ビット・タイマ／イベント・カウンタ00, 01には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

7.2 16ビット・タイマ／イベント・カウンタ00, 01の構成

16ビット・タイマ／イベント・カウンタ0nは、次のハードウェアで構成されています。

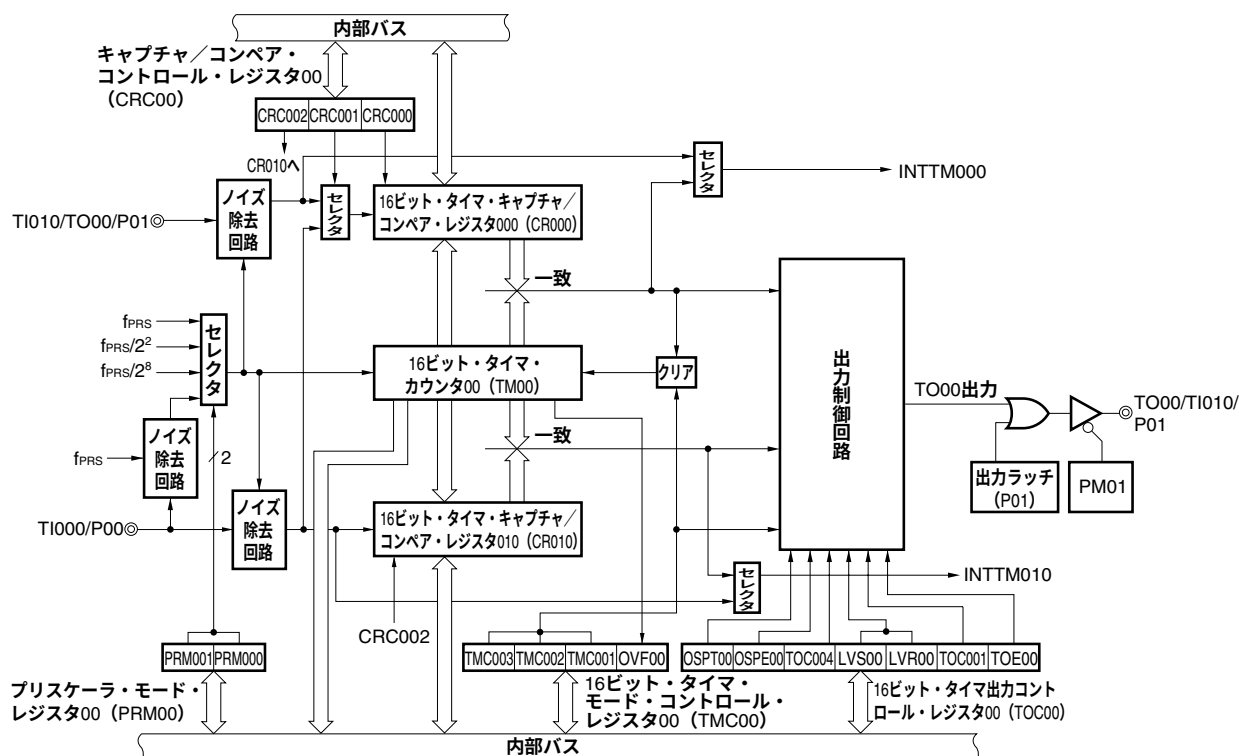
表7-1 16ビット・タイマ／イベント・カウンタ0nの構成

項 目	構 成
タイマ／カウンタ	16ビット・タイマ・カウンタ0n (TM0n)
レジスタ	16ビット・タイマ・キャプチャ／コンペア・レジスタ00n, 01n (CR00n, CR01n)
タイマ入力	TI00n, TI01n端子
タイマ出力	TO0n端子, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタn (TMC0n) キャプチャ／コンペア・コントロール・レジスタn (CRC0n) 16ビット・タイマ出力コントロール・レジスタn (TOC0n) プリスケアラ・モード・レジスタ0n (PRM0n) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0)

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

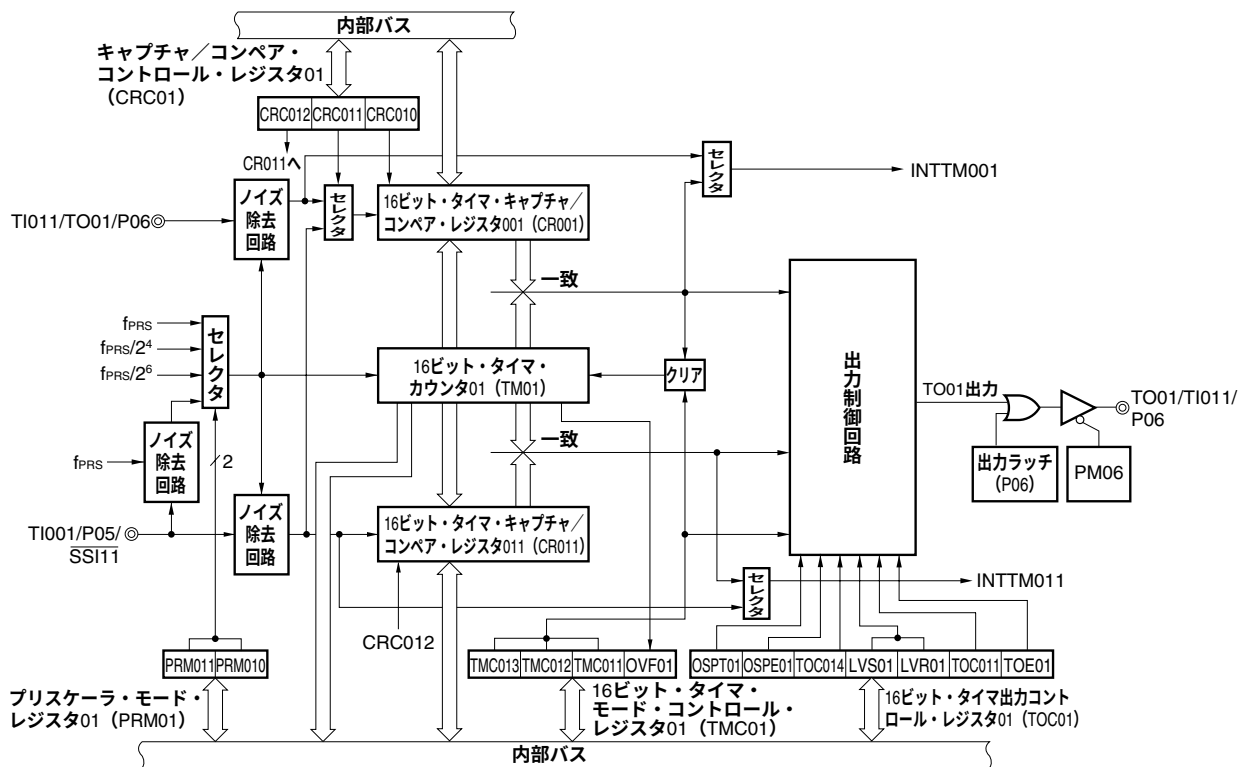
図7-1, 図7-2にブロック図を示します。

図7-1 16ビット・タイマ／イベント・カウンタ00のブロック図



(注意1~3は、次ページにあります。)

図7-2 16ビット・タイマ/イベント・カウンタ01のブロック図



注意1. P01端子はTI010有効エッジとタイマ出力 (TO00) を, P06端子はTI011有効エッジとタイマ出力 (TO01) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。

3. キャプチャ・モードからコンペア・モードに変更する場合は, いったんTMC0n3, TMC0n2ビット = 00にしてから, 設定を変更してください。

なお, 一度キャプチャした値は, リセットしないかぎりCR00nに格納されたままです。コンペア・モードに変更したあとは, 必ずコンペア値を設定してください。

(1) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nは, カウント・パルスのカウントする16ビットのリード専用レジスタです。

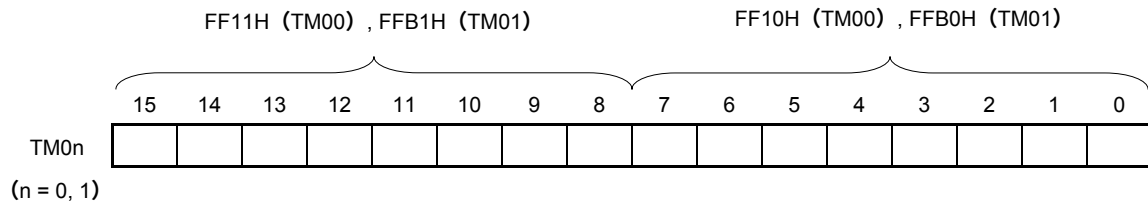
カウント・クロックの立ち上がりで同期して, カウンタをインクリメントします。

備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-3 16ビット・タイマ・カウンタ_{0n} (TM0_n) のフォーマット

アドレス：FF10H, FF11H (TM00) , FFB0H, FFB1H (TM01) リセット時：0000H R



TM0_nを16ビット・タイマ・モード・コントロール・レジスタ_{0n} (TMC0_n) のビット3, 2 (TMC0_n3, TMC0_n2) = 00以外のときにリードすることにより、カウント値をリードできます。TMC0_n3, TMC0_n2 = 00の状態ではリードした場合には、0000Hがリードされます。

次の場合、カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC0_n3, TMC0_n2をクリア (00) したとき
- ・TI00_n端子の有効エッジ入力でクリア&スタート・モード時、TI00_n端子に有効エッジが入力されたとき
- ・TM0_nとCR00_nの一致でクリア&スタート・モード時、TM0_nとCR00_nが一致したとき
- ・ワンショット・パルス出力モードで、OSPT0_nをセット (1) したとき、またはTI00_n端子に有効エッジが入力されたとき

注意 TM0_nをリードしても、CR01_nにはキャプチャしません。

(2) 16ビット・タイマ・キャプチャ／コンペア・レジスタ_{00n} (CR00_n) ,

16ビット・タイマ・キャプチャ／コンペア・レジスタ_{01n} (CR01_n)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC0_nで行います。

CR00_nはタイマ停止中 (TMC0_n3, TMC0_n2 = 00) に書き換えを行ってください。

CR01_nは、所定の方法で設定した場合、動作中に書き換え可能です。詳細は7.5.1 CR01_nのTM0_n動作中の書き換えを参照してください。

16ビット単位でリード／ライト可能です。

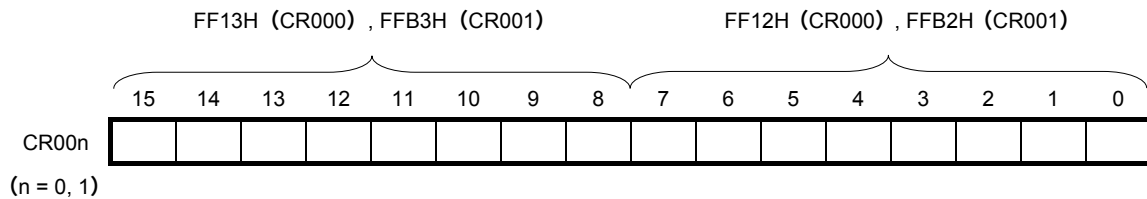
リセット信号の発生により、0000Hになります。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-4 16ビット・タイマ・キャプチャ／コンペア・レジスタ00n (CR00n) のフォーマット

アドレス：FF12H, FF13H (CR000) , FFB2H, FFB3H (CR001) リセット時：0000H R/W



(i) CR00nをコンペア・レジスタとして使用するとき

CR00nに設定した値とTM0nのカウント値を常に比較し、一致したときに割り込み信号 (INTTM00n) を発生します。書き換えられるまで値を保持します。

注意 コンペア・モードに設定したCR00nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

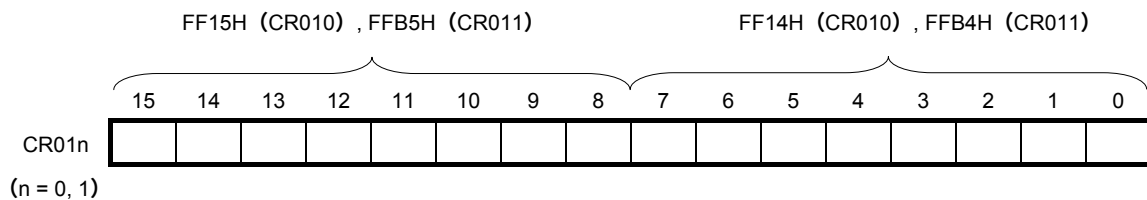
(ii) CR00nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nのカウント値をCR00nにキャプチャします。

キャプチャ・トリガとして、TI00n端子の逆相のエッジかTI01n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC0n, PRM0nで設定します。

図7-5 16ビット・タイマ・キャプチャ／コンペア・レジスタ01n (CR01n) のフォーマット

アドレス：FF14H, FF15H (CR010) , FFB4H, FFB5H (CR011) リセット時：0000H R/W



(i) CR01nをコンペア・レジスタとして使用するとき

CR01nに設定した値とTM0nのカウント値を常に比較し、一致したときに割り込み信号 (INTTM01n) を発生します。

注意 コンペア・モードに設定したCR01nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2,

フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(ii) CR01nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nのカウンタ値をCR01nにキャプチャします。

キャプチャ・トリガとして、TI00n端子の有効エッジの選択ができます。TI00n端子の有効エッジは、PRM0nで設定します。

(iii) CR00n, CR01nをコンペア・レジスタとして使用した場合の設定範囲

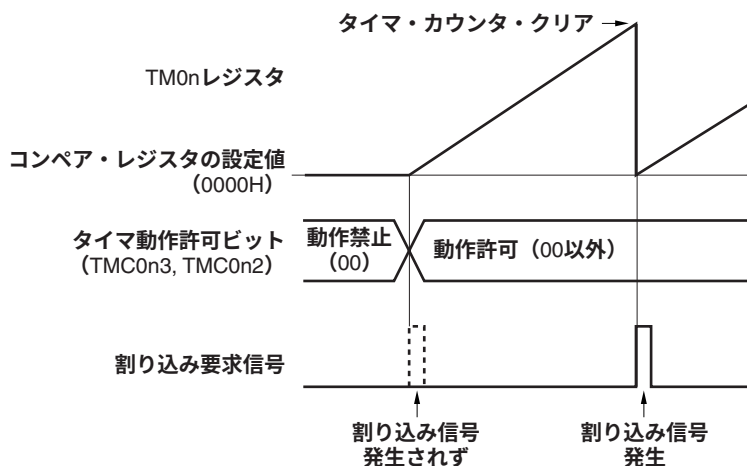
CR00n, CR01nをコンペア・レジスタとして使用するときには、次の範囲で値を設定してください。

動作	CR00nの設定範囲	CR01nの設定範囲
インターバル・タイマとしての動作	0000H < N ≤ FFFFH	0000H [※] ≤ M ≤ FFFFH
方形波出力としての動作		通常、使用しません。一致割り込み信号 (INTTM01n) をマスクしてください。
外部イベント・カウンタとしての動作		
TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H [※] ≤ N ≤ FFFFH	0000H [※] ≤ M ≤ FFFFH
フリー・ランニング・タイマとしての動作		
PPG出力としての動作	M < N ≤ FFFFH	0000H [※] ≤ M < N
ワンショット・パルス出力としての動作	0000H [※] ≤ N ≤ FFFFH (N ≠ M)	0000H [※] ≤ M ≤ FFFFH (M ≠ N)

注 0000Hに設定した場合、タイマ動作直後の一致割り込みは発生せず、タイマ出力も変化しません。

0000Hに設定した場合、最初の一致タイミングは次のようになります。なお、一致割り込みは、タイマ・カウンタ (TM0nレジスタ) が0000Hから0001Hになるタイミングで発生します。

- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI00n端子の有効エッジによるタイマ・カウンタ・クリア時
(TI00n端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM0nとCR00nの一致でクリア&スタート・モード (CR00n = 0000H以外, CR01n = 0000H) のとき)

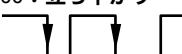
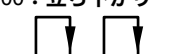
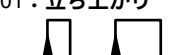
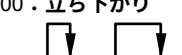
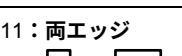


備考1. N : CR00nの設定値, M : CR01nの設定値

2. TMC0n3, TMC0n2については、7.3 (1) 16ビット・タイマ・モード・コントロール・レジスタ 0n (TMC0n) を参照してください。

3. n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

表7-2 CR00n, CR01nのキャプチャ動作

外部入力信号	TI00n端子入力 		TI01n端子入力 	
キャプチャ動作				
CR00n の キャプチャ動作	CRC0n1 = 1 TI00n端子入力 (逆相) 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置	CRC0n1ビット = 0 TI01n端子入力 	ES1n1, ES1n0の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
		00: 立ち下がり 		00: 立ち下がり 
		11: 両エッジ (キャプチャできません)		11: 両エッジ 
	割り込み信号	キャプチャしても INTTM00n信号は発生しない	割り込み信号	キャプチャするごとに INTTM00n信号が発生
CR01n の キャプチャ動作	TI00n端子入力 ^注 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
		00: 立ち下がり 		
		11: 両エッジ 		
	割り込み信号	キャプチャするごとに INTTM01n信号が発生		

注 CR01nのキャプチャ動作には、CRC0n1ビットの設定による影響はありません。

注意 TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM00n) は発生しません。この動作中に、TI01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。

備考1. CRC0n1: 7.3 (2) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n) 参照

ES1n1, ES1n0, ES0n1, ES0n0: 7.3 (4) プリスケアラ・モード・レジスタ0n (PRM0n) 参照

2. n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.3 16ビット・タイマ／イベント・カウンタ00, 01を制御するレジスタ

16ビット・タイマ／イベント・カウンタ0nを制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)
- ・キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)
- ・16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)
- ・プリスケアラ・モード・レジスタ0n (PRM0n)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

TMC0nは、16ビット・タイマ／イベント・カウンタ0nの動作モード、TM0nのクリア・モード、出力タイミングの設定およびオーバーフローを検出する8ビットのレジスタです。

TMC0nは、動作中 (TMC0n3, TMC0n2 = 00以外) の書き換えは禁止です。

ただし、TMC0n3, TMC0n2を00 (動作停止) に設定する場合と、OVF0nに0を設定する場合は、書き換え可能です。

TMC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・タイマ／イベント・カウンタ0nは、TMC0n3, TMC0n2に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC0n3, TMC0n2に00を設定してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-6 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス：FFBAH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ／イベント・カウンタ00の動作許可
0	0	16ビット・タイマ／イベント・カウンタ00動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 [※] でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

図7-7 16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) のフォーマット

アドレス：FFB6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC01	0	0	0	0	TMC013	TMC012	TMC011	OVF01

TMC013	TMC012	16ビット・タイマ／イベント・カウンタ01の動作許可
0	0	16ビット・タイマ／イベント・カウンタ01動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ01 (TM01) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI001端子の有効エッジ入力 [※] でクリア&スタート・モード
1	1	TM01とCR001の一致でクリア&スタート・モード

TMC011	タイマ出力 (TO01) 反転条件
0	・ TM01とCR001の一致, TM01とCR011の一致
1	・ TM01とCR001の一致, TM01とCR011の一致 ・ TI001端子の有効エッジ

OVF01	TM01のオーバフロー・フラグ
クリア (0)	OVF01への0クリアまたはTMC013, TMC012 = 00
セット (1)	オーバフロー発生
OVF01は、すべての動作モード (フリー・ランニング・タイマ・モード, TI001端子の有効エッジ入力 [※] でクリア&スタート・モード, TM01とCR001の一致でクリア&スタート・モード) でTM01の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF01に1を書き込むことでもセット (1) できます。	

注 TI001端子の有効エッジは、プリスケアラ・モード・レジスタ01 (PRM01) のビット5, 4 (ES011, ES010) で設定します。

(2) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)

CRC0nは、CR00n, CR01nの動作を制御するレジスタです。

CRC0nは、動作中 (TMC0n3, TMC0n2 = 00以外[※]のとき) の書き換えは禁止です。

CRC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-8 キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス：FFBCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする [※]

TI010, TI000端子の有効エッジはPRM00で設定します。
ただし、CRC001 = 1のときにES001, ES000 = 11 (両エッジ) に指定すると、TI000端子の有効エッジを検出できません。

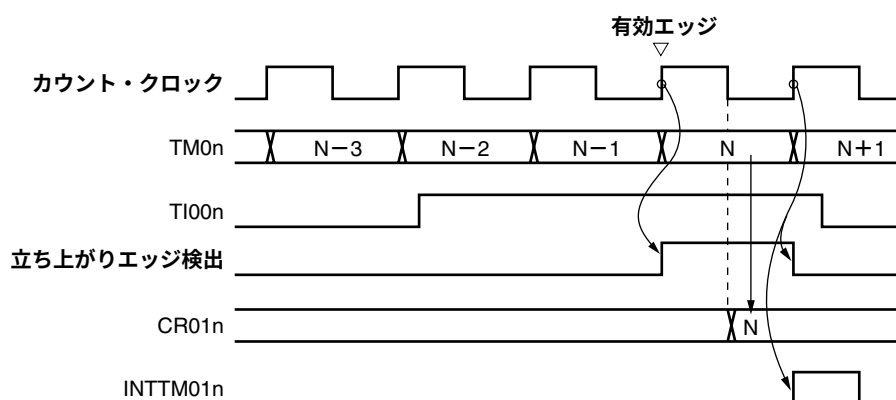
CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は、CRC000には必ず0を設定してください。

注 TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。

注意 キャプチャを確実に行うためのキャプチャ・トリガには、プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図7-9 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時)



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-10 キャプチャ／コンペア・コントロール・レジスタ01（CRC01）のフォーマット

アドレス：FFB8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC01	0	0	0	0	0	CRC012	CRC011	CRC010

CRC012	CR011の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC011	CR001のキャプチャ・トリガの選択
0	TI011端子の有効エッジでキャプチャする
1	TI001端子の有効エッジの逆相でキャプチャする [※]
TI011, TI001端子の有効エッジはPRM01で設定します。 ただし、CRC011 = 1のときにES011, ES010 = 11（両エッジ）に指定すると、TI001端子の有効エッジを検出できません。	

CRC010	CR001の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC013, TMC012 = 11（TM01とCR001の一致でクリア&スタート・モード）を設定した場合は、CRC010には必ず0を設定してください。	

注 TI011端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM001信号が発生します。

注意 キャプチャを確実に行うためのキャプチャ・トリガには、プリスケアラ・モード・レジスタ01（PRM01）で選択したカウント・クロックの2周期分より長いパルスが必要です（図7-9 CR01nのキャプチャ動作例（立ち上がりエッジ指定時）を参照）。

(3) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

TOC0nは、TO0n出力を制御する8ビットのレジスタです。

TOC0nは、OSPT0nだけが動作中（TMC0n3, TMC0n2 = 00以外のとき）に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR01nの値を変更する手段としての、TOC0n4の書き換えは可能です（7. 5. 1 CR01nのTM0n動作中の書き換えを参照してください）。

TOC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 TOC0nを設定するときは、必ず次の順序で設定してください。

- ①TOC0n4, TOC0n1のセット（1）
- ②TOE0nだけを単独でセット（1）
- ③LVS0nまたはLVR0nのどちらか片方だけをセット（1）

備考 n = 0： 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1：78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-11 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FFBDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルス出力トリガ
0	—
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。
セット(1)すると、TM00はクリア&スタートします。

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。
TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC004	CR010とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可

TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。

LVS00	LVR00	TO00出力の状態の設定
0	0	変化しない
0	1	TO00出力初期値ロウ・レベル (TO00出力をクリア (0))
1	0	TO00出力初期値ハイ・レベル (TO00出力をセット (1))
1	1	設定禁止

- LVS00, LVR00は、TO00出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。
- LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。
LVS00, LVR00とTOE00を同時にセット (1) することも禁止です。
- LVS00, LVR00はトリガ・ビットです。セット (1) することで、TO00出力レベルの初期値を設定します。
クリア (0) しても、TO00出力に影響はありません。
- LVS00, LVR00のリード値は常に“0”です。
- LVS00, LVR00の設定方法の詳細は、7. 5. 2 LVS0n, LVR0nの設定についてを参照してください。
- 実際のTO00/TI010/P01端子の出力はTO00出力のほかに、PM01とP01によって決まります。

TOC001	CR000とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可

TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。

TOE00	TO00出力制御
0	出力禁止 (TO00出力はロウ・レベルに固定)
1	出力許可

図7-12 16ビット・タイマ出力コントロール・レジスタ01 (TOC01) のフォーマット

アドレス：FFB9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC01	0	OSPT01	OSPE01	TOC014	LVS01	LVR01	TOC011	TOE01

OSPT01	ソフトウェアによるワンショット・パルス出力トリガ
0	—
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。
セット(1)すると、TM01はクリア&スタートします。

OSPE01	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI001端子の有効エッジ入力で
クリア&スタート・モードのときに、正常に動作します。
TM01とCR001の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC014	CR011とTM01の一致によるTO01出力の制御
0	反転動作禁止
1	反転動作許可

TOC014 = 0でも、割り込み信号 (INTTM011) は発生します。

LVS01	LVR01	TO01出力の状態の設定
0	0	変化しない
0	1	TO01出力初期値ロウ・レベル (TO01出力をクリア (0))
1	0	TO01出力初期値ハイ・レベル (TO01出力をセット (1))
1	1	設定禁止

- LVS01, LVR01は、TO01出力レベルの初期値を設定できます。設定が不要な場合は、LVS01, LVR01を00のままにしてください。
- LVS01, LVR01は、必ずTOE01 = 1のときに設定してください。
LVS01, LVR01とTOE01を同時にセット (1) することも禁止です。
- LVS01, LVR01はトリガ・ビットです。セット (1) することで、TO01出力レベルの初期値を設定します。
クリア (0) しても、TO01出力に影響はありません。
- LVS01, LVR01のリード値は常に“0”です。
- LVS01, LVR01の設定方法の詳細は、7. 5. 2 LVS0n, LVR0nの設定についてを参照してください。
- 実際のTO01/TI011/P06端子の出力はTO01出力のほかに、PM06とP06によって決まります。

TOC011	CR001とTM01の一致によるTO01出力の制御
0	反転動作禁止
1	反転動作許可

TOC011 = 0でも、割り込み信号 (INTTM001) は発生します。

TOE01	TO01出力制御
0	出力禁止 (TO01出力はロウ・レベルに固定)
1	出力許可

(4) プリスケアラ・モード・レジスタ_{0n} (PRM0n)

PRM0nは、TM0nのカウント・クロック、およびTI00n, TI01n端子入力の有効エッジを設定するレジスタです。

PRM0nは、動作中（TMC0n3, TMC0n2ビット = 00以外するとき）の書き換えは禁止です。

PRM0n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. PRM0n1, PRM0n0ビット = 11（カウント・クロックをTI00n端子の有効エッジに指定）に設定する場合、次の設定は禁止です。

- ・ TI00n端子の有効エッジでクリア&スタート・モード
- ・ TI00n端子をキャプチャ・トリガに設定

2. リセット後、TI00n端子またはTI01n端子がハイ・レベルの状態、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ_{0n}の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P01端子はTI010有効エッジとタイマ出力（TO00）を、P06端子はTI011有効エッジとタイマ出力（TO01）をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-13 プリスケアラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス：FFBBH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI010端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がりの両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	1	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.12 kHz
1	1	TI000有効エッジ ^{注4, 5}				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、PRM001 = PRM000 = 0 (カウント・クロック：f_{PRS}) は設定禁止です。
- 4.0 V ≤ V_{DD} ≤ 5.5 Vの場合のみ設定可能です。
- TI000端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。
- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI000端子からの外部クロックでタイマ動作を開始させないでください。

備考 f_{PRS}：周辺ハードウェア・クロック周波数

図7-14 プリスケアラ・モード・レジスタ01 (PRM01) のフォーマット

アドレス：FFB7H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM01	ES111	ES110	ES011	ES010	0	0	PRM011	PRM010

ES111	ES110	TI011端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がりの両エッジ

ES011	ES010	TI001端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がりの両エッジ

PRM011	PRM010	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	1	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	f _{PRS} /2 ⁶	31.25 kHz	78.125 kHz	156.25 kHz	312.5 kHz
1	1	TI001有効エッジ ^{注4, 5}				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、PRM011 = PRM010 = 0 (カウント・クロック：f_{PRS}) は設定禁止です。
- 4.0 V ≤ V_{DD} ≤ 5.5 Vの場合のみ設定可能です。
- TI001端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。
- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI001端子からの外部クロックでタイマ動作を開始させないでください。

備考 f_{PRS}：周辺ハードウェア・クロック周波数

(5) ポート・モード・レジスタ0 (PM0)

ポート0の入力／出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010, P06/TO01/TI011端子をタイマ出力として使用するとき, PM01, PM06およびP01, P06の出力ラッチに0を設定してください。

P00/TI000, P01/TO00/TI010, P05/TI001/ $\overline{\text{SSI1}}$, P06/TO01/TI011端子をタイマ入力として使用するとき, PM00, PM01, PM05, PM06に1を設定してください。このときP00, P01, P05, P06の出力ラッチは, 0または1のどちらでもかまいません。

PM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7-15 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス: FF20H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は, 78K0/KF2製品のポート・モード・レジスタ0のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては, 5.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

7.4 16ビット・タイマ／イベント・カウンタ00, 01の動作

7.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 11 (TM0nとCR00nの一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nとCR00nの値が一致すると、TM0nを0000Hにクリアし、一致割り込み信号 (INTTM00n) を発生します。この一定間隔で発生するINTTM00n信号により、インターバル・タイマとして動作します。

備考1. 入出力端子の設定については7.3 (5) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM00n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図7-16 インターバル・タイマ動作のブロック図

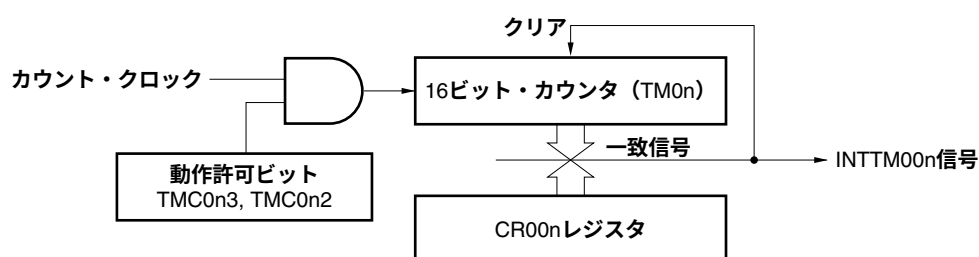
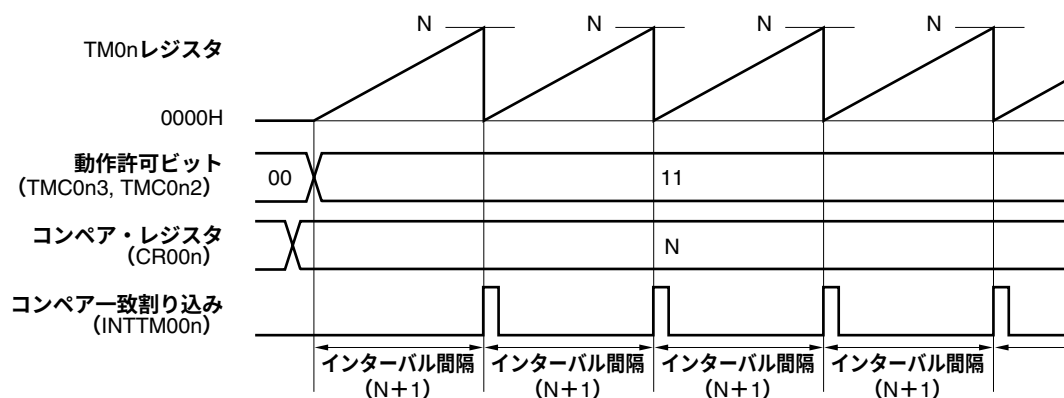


図7-17 インターバル・タイマ動作の基本タイミング例



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-18 インターバル・タイマ動作時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ_{0n} (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR00nの一致で
クリア&スタート

(b) キャプチャ／コンペア・コントロール・レジスタ_{0n} (CRC0n)

				CRC0n2	CRC0n1	CRC0n0	
0	0	0	0	0	0	0	0

CR00nをコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ_{0n} (TOC0n)

OSPT0n		OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ_{0n} (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

(e) 16ビット・タイマ・カウンタ_{0n} (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{00n} (CR00n)

CR00nにMを設定した場合、インターバル時間は次のようになります。

$$\text{インターバル時間} = (M+1) \times \text{カウント・クロック周期}$$

CR00nへの0000Hの設定は禁止です。

(g) 16ビット・キャプチャ／コンペア・レジスタ_{01n} (CR01n)

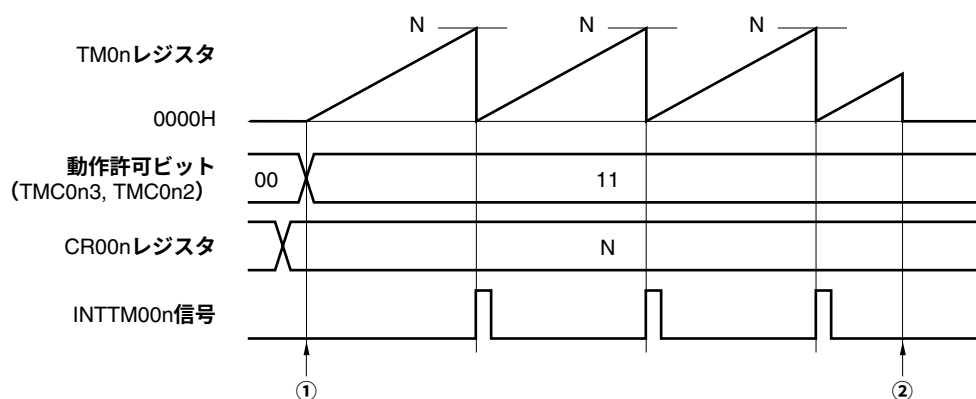
インターバル・タイマ機能では、通常、CR01nを使用しません。しかしCR01nの設定値と、TM0nの値が一致するとコンペア一致割り込み (INTTM01n) が発生します。

したがって、割り込みマスク・フラグ (TMMK01n) でマスク設定をしておいてください。

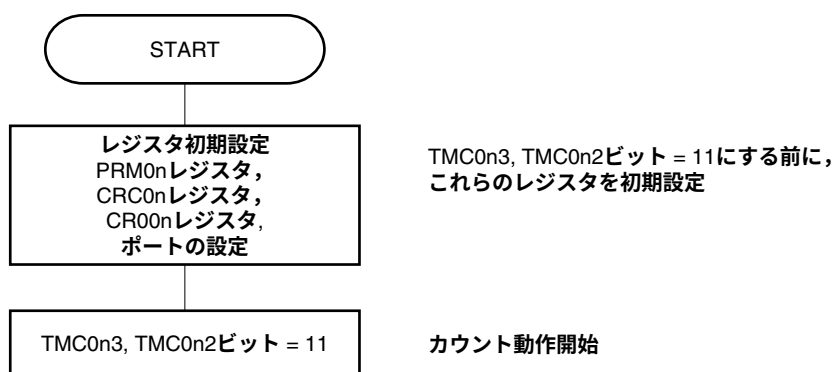
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

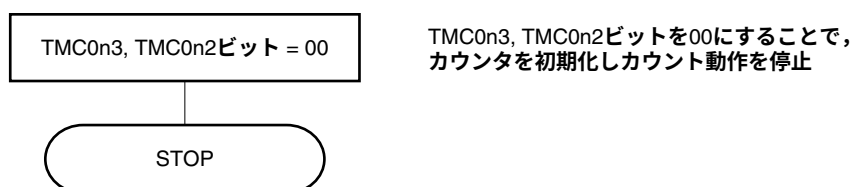
図7-19 インターバル・タイマ機能時のソフトウェア処理例



① カウント動作開始フロー



② カウント動作停止フロー



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.4.2 方形波出力としての動作

インターバル・タイマ（7.4.1参照）として動作させたとき、16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）＝03Hに設定することにより、TO0n端子から方形波を出力できます。

TMC0n3, TMC0n2 = 11（TM0nとCR00nの一致でカウント・クリア&スタート・モード）に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nとCR00nの値が一致すると、TM0nを0000Hにクリアし、割り込み信号（INTTM00n）を発生し、TO0n出力を反転します。この一定間隔で反転するTO0n出力により、方形波出力として動作します。

備考1. 入出力端子の設定については7.3（5）ポート・モード・レジスタ0（PM0）を参照してください。

2. INTTM00n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図7-20 方形波出力動作のブロック図

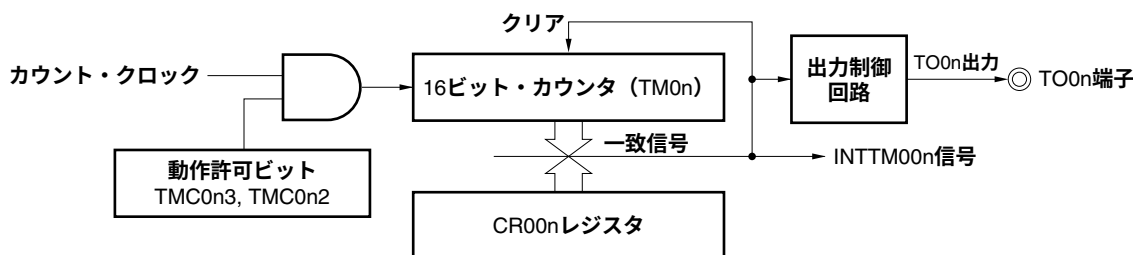
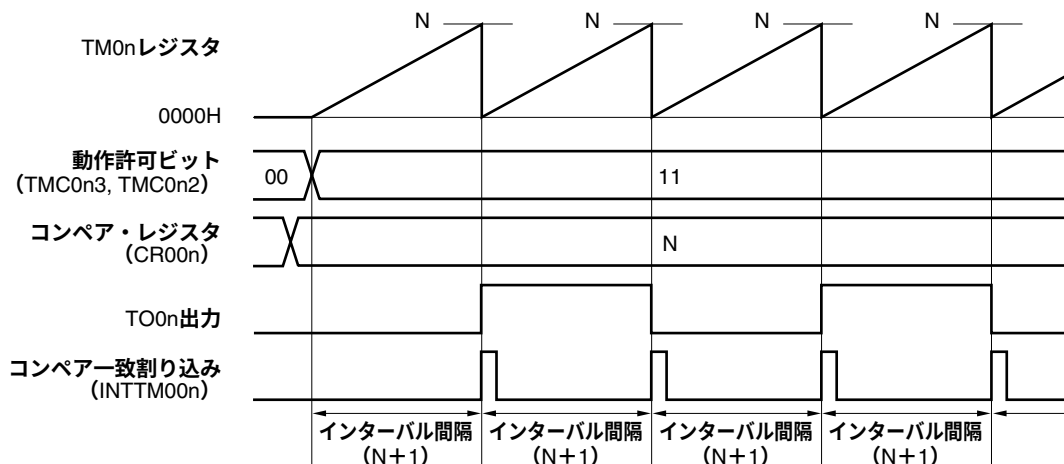


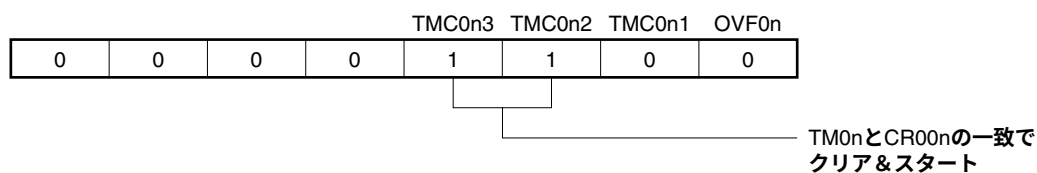
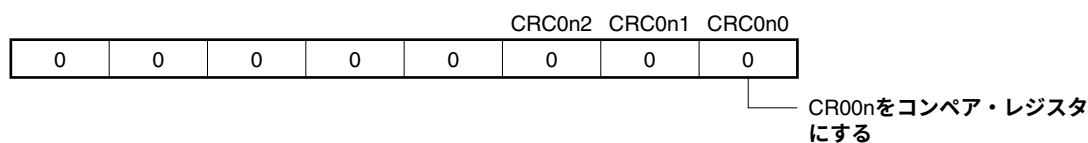
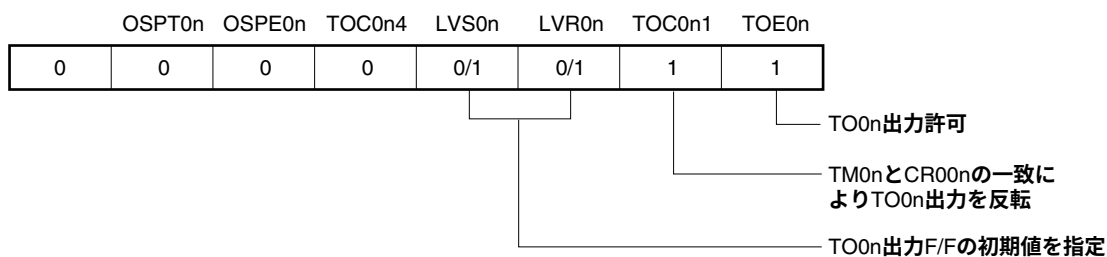
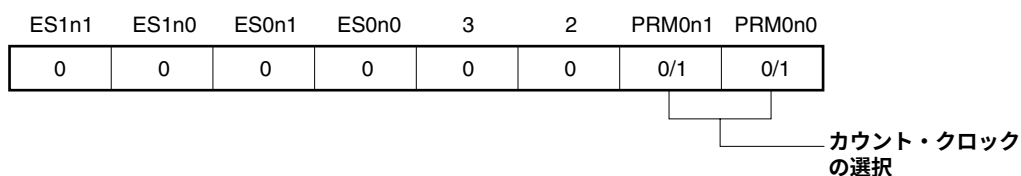
図7-21 方形波出力動作の基本タイミング例



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-22 方形波出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ_{0n} (TMC0n)(b) キャプチャ／コンペア・コントロール・レジスタ_{0n} (CRC0n)(c) 16ビット・タイマ出力コントロール・レジスタ_{0n} (TOC0n)(d) プリスケアラ・モード・レジスタ_{0n} (PRM0n)

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-22 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{00n} (CR00n)

CR00nにMを設定した場合、方形波の周波数は次のようになります。

$$\text{・ 方形波の周波数} = 1 \div \{2 \times (M+1) \times \text{カウント} \cdot \text{クロック周期}\}$$

CR00nへの0000Hの設定は禁止です。

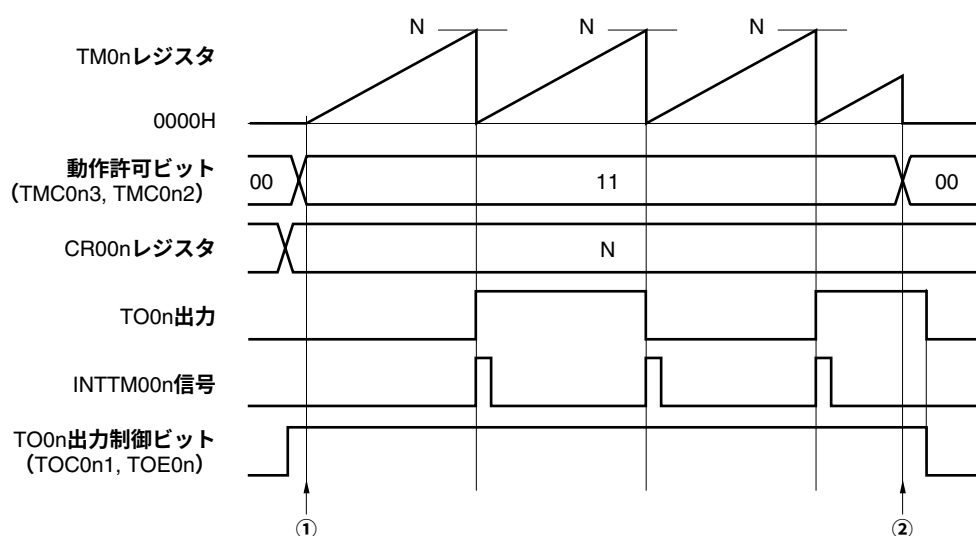
(g) 16ビット・キャプチャ／コンペア・レジスタ_{01n} (CR01n)

方形波出力機能では、通常、CR01nを使用しません。しかしCR01nの設定値と、TM0nの値が一致するとコンペア一致割り込み (INTTM01n) が発生します。

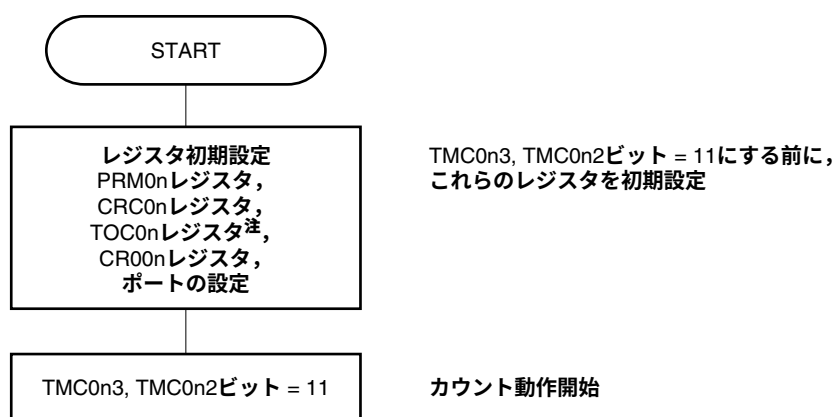
したがって、割り込みマスク・フラグ (TMMK01n) でマスク設定をしておいてください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

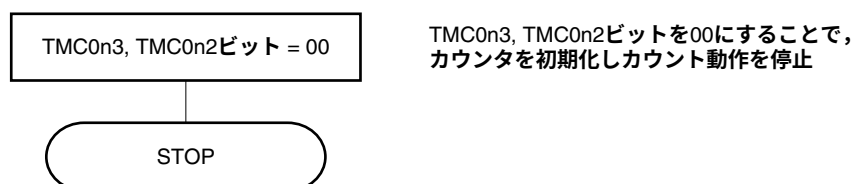
図7-23 方形波出力機能時のソフトウェア処理例



① カウント動作開始フロー



② カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は7.3 (3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.4.3 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ0n (PRM0n) のビット1, 0 (PRM0n1, PRM0n0) = 11 (TI00n端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 11に設定すると、外部イベント入力の有効エッジをカウントし、TM0nとCR00nとの一致割り込み信号 (INTTM00n) を発生します。

外部イベント入力の端子にはTI00n端子を使用します。したがって、TI00n有効エッジ入力によるクリア&スタート・モード (TMC0n3, TMC0n2 = 10) では、外部イベント・カウンタとして使用できません。

INTTM00n信号は、次のタイミングごとに発生します。

・ INTTM00n信号発生タイミング (2回目以降)

= 外部イベント入力の有効エッジ検出回数 × (CR00n設定値 + 1)

ただし、動作開始直後から初回の一致割り込みだけは、次のタイミングで発生します。

・ INTTM00n信号発生タイミング (初回のみ)

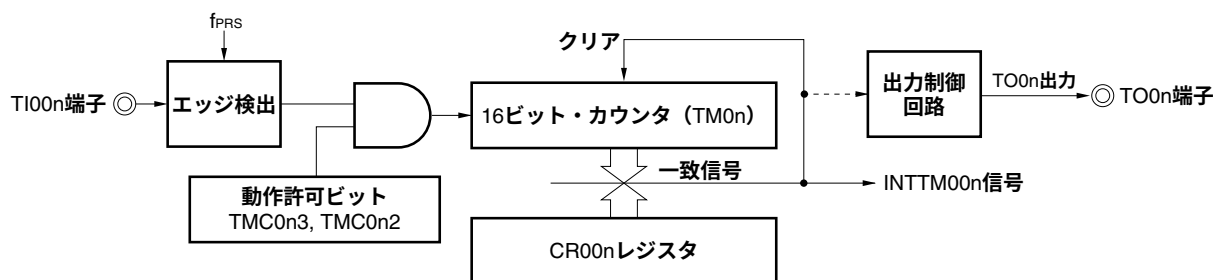
= 外部イベント入力の有効エッジ検出回数 × (CR00n設定値 + 2)

有効エッジは、TI00n端子入力信号を f_{PRS} のクロック周期でサンプリングを行い、2回連続して有効レベルを検出したときに、はじめて検出されます。したがって、短いパルス幅のノイズを除去できます。

備考1. 入出力端子の設定については7.3 (5) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM00n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図7-24 外部イベント・カウンタとしての動作のブロック図



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-25 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ_{0n} (TMC0n)

TMC0n3 TMC0n2 TMC0n1 OVF0n			
0	0	0	0

TM0nとCR00nの一致で
クリア&スタート

(b) キャプチャ／コンペア・コントロール・レジスタ_{0n} (CRC0n)

CRC0n2 CRC0n1 CRC0n0			
0	0	0	0

CR00nをコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ_{0n} (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0/1	0/1	0/1	0/1	0/1

0 : TO0n出力禁止
1 : TO0n出力許可

TO0n出力F/Fの初期値
を指定

00 : TM0nとCR00n/CR01nが一致
してもTO0n出力は反転しない
01 : TM0nとCR00nの一致に
よりTO0n出力を反転
10 : TM0nとCR01nの一致に
よりTO0n出力を反転
11 : TM0nとCR00n/CR01nの一致に
よりTO0n出力を反転

(d) プリスケアラ・モード・レジスタ_{0n} (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0	0	0/1	0/1	0	0	1	1

カウント・クロックの選択
(TI00nの有効エッジに指定)

00 : 立ち下がりエッジ検出
01 : 立ち上がりエッジ検出
10 : 設定禁止
11 : 両エッジ検出

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-25 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM_{0n})

TM_{0n}をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{00n} (CR_{00n})

CR_{00n}にMを設定した場合、外部イベントがM+1回入力されると、割り込み信号 (INTTM_{00n}) が発生します。

CR_{00n}への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ／コンペア・レジスタ_{01n} (CR_{01n})

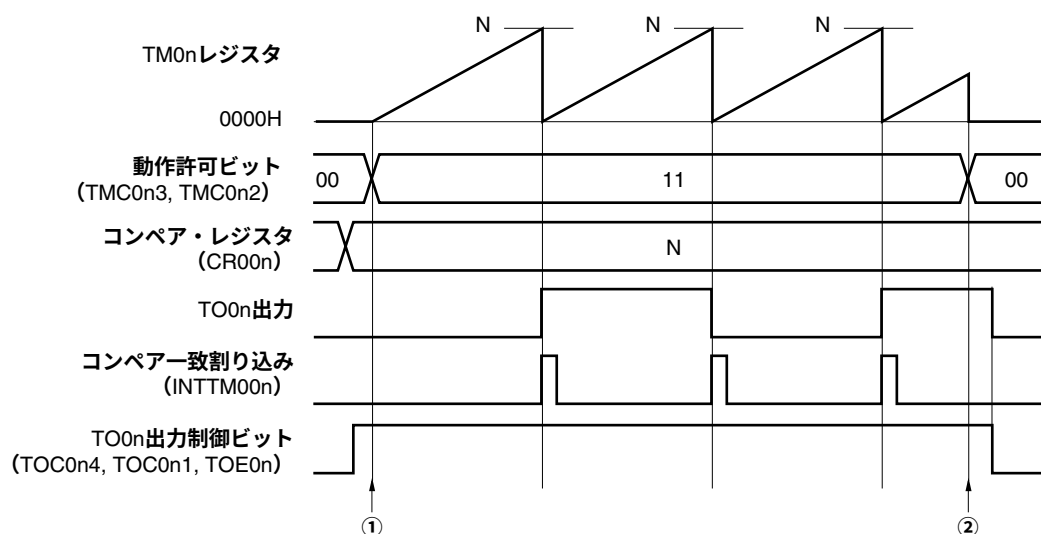
外部イベント・カウンタ・モード動作時では、通常、CR_{01n}を使用しません。しかしCR_{01n}の設定値と、TM_{0n}の値が一致するとコンペア一致割り込み (INTTM_{01n}) が発生します。

したがって、割り込みマスク・フラグ (TMMK_{01n}) でマスク設定をしておいてください。

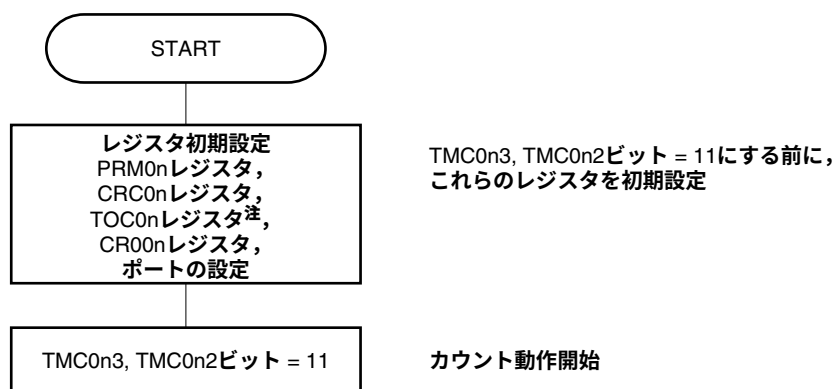
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

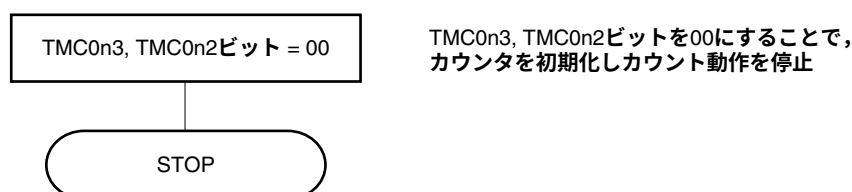
図7-26 外部イベント・カウンタ・モード動作時のソフトウェア処理例



① カウント動作開始フロー



② カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は7.3 (3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.4.4 TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 10 (TI00n端子の有効エッジ入力によるクリア&スタート・モード) に設定し、カウント・クロック (PRM0nにて設定) を供給すると、TM0nがカウント・アップを開始します。カウント動作中にTI00n端子の有効エッジを検出すると、TM0nを0000Hにクリアして、再度カウント・アップします。TI00n端子の有効エッジがない場合、TM0nはオーバフローして、カウントを続けます。

TI00n端子の有効エッジは、TM0nのクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR00n, CR01nは、コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR00n, CR01nをコンペア・レジスタとして使用した場合

TM0nとCR00n, CR01nの一致でINTTM00n, INTTM01n信号が発生します。

(b) CR00n, CR01nをキャプチャ・レジスタとして使用した場合

TI01n端子に有効エッジが入力される(またはTI00n端子に有効エッジの逆相が入力される)と、TM0nのカウント値をCR00nにキャプチャし、INTTM00n信号が発生します。

TI00n端子に有効エッジが入力されると、TM0nのカウント値をCR01nにキャプチャし、INTTM01n信号が発生します。TI00n端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

★ **注意** カウント・クロックをTI00n端子の有効エッジ (PRM0n1, PRM0n0 = 11) に設定しないでください。
PRM0n1, PRM0n0 = 11に設定すると、TM0nがクリアされる可能性があります。

備考1. 入出力端子の設定については7.3 (5) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM00n信号の割り込み許可については、第20章 割り込み機能を参照してください。

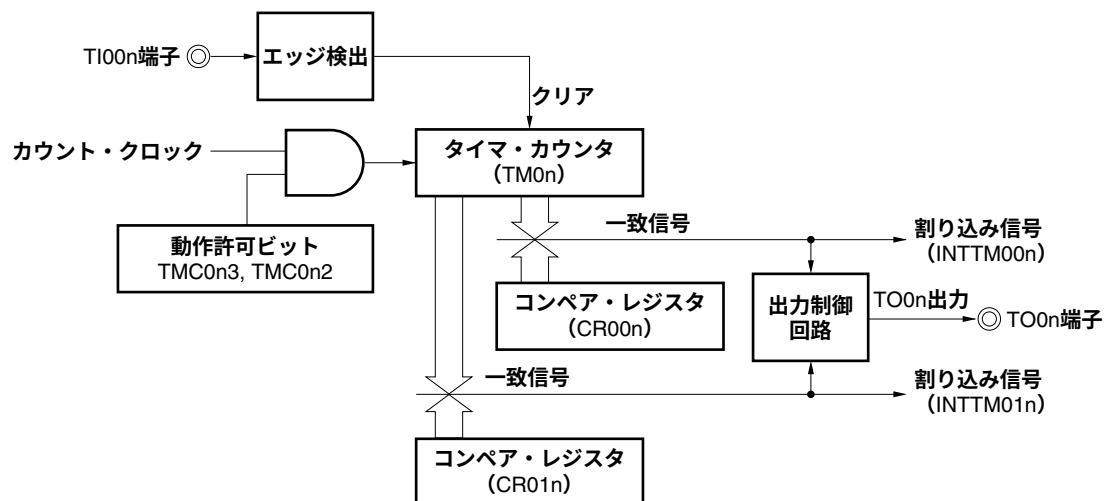
3. n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(1) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n：コンペア・レジスタ, CR01n：コンペア・レジスタ設定時)

図7-27 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR00n：コンペア・レジスタ／CR01n：コンペア・レジスタ)

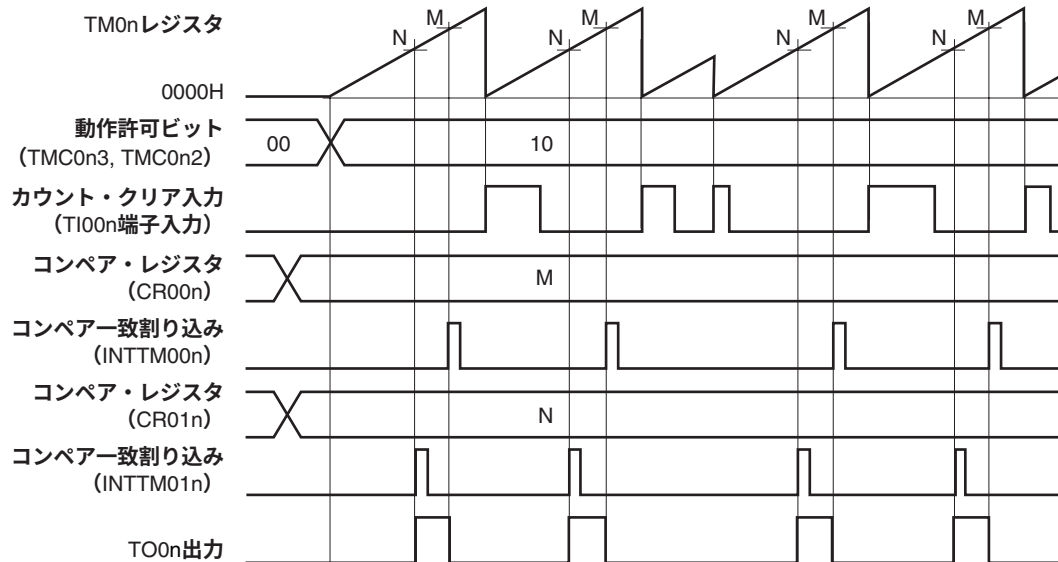


備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

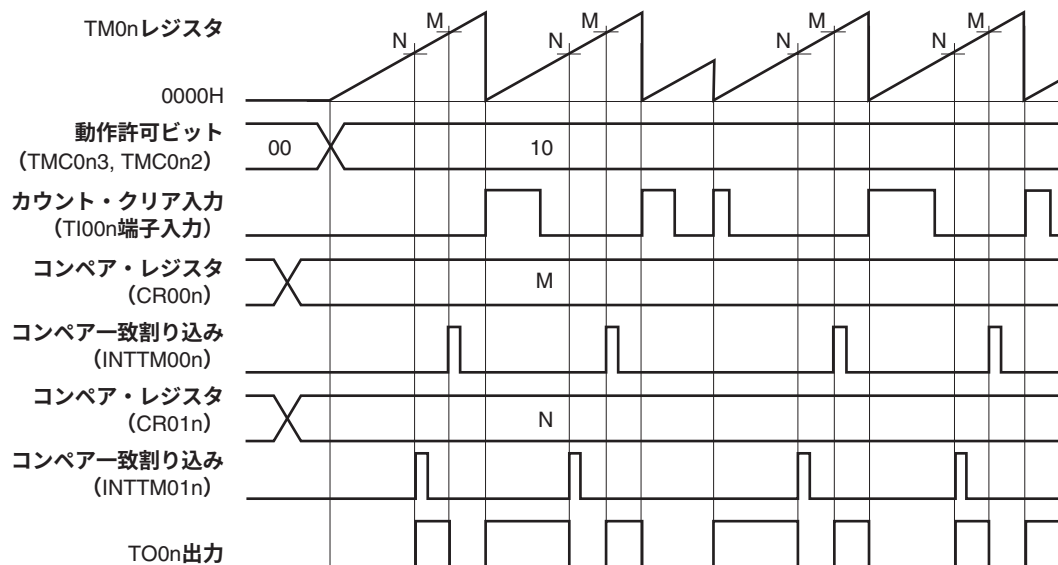
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-28 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR00n: コンペア・レジスタ/CR01n: コンペア・レジスタ)

(a) TOC0n = 13H, PRM0n = 10H, CRC0n = 00H, TMC0n = 08H



(b) TOC0n = 13H, PRM0n = 10H, CRC0n = 00H, TMC0n = 0AH



16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット1 (TMC0n1) の設定により、(a) と (b) には次のような違いがあります。

(a) TM0nとコンペア・レジスタが一致したときに、TO0nの出力レベルが反転

(b) TM0nとコンペア・レジスタが一致したとき、またはTI00n端子の有効エッジを検出したときに、TO0nの出力レベルが反転

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

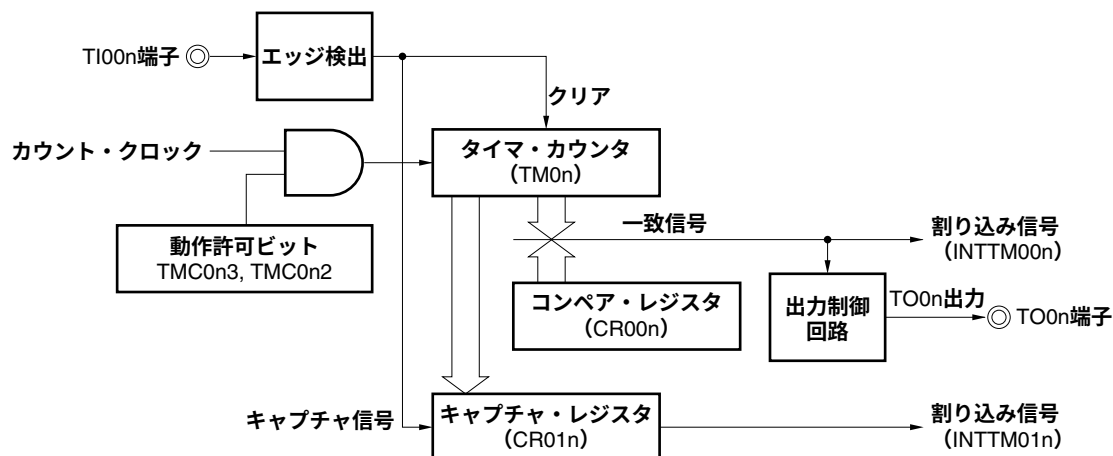
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(2) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n：コンペア・レジスタ, CR01n：キャプチャ・レジスタ設定時)

図7-29 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR00n：コンペア・レジスタ／CR01n：キャプチャ・レジスタ)

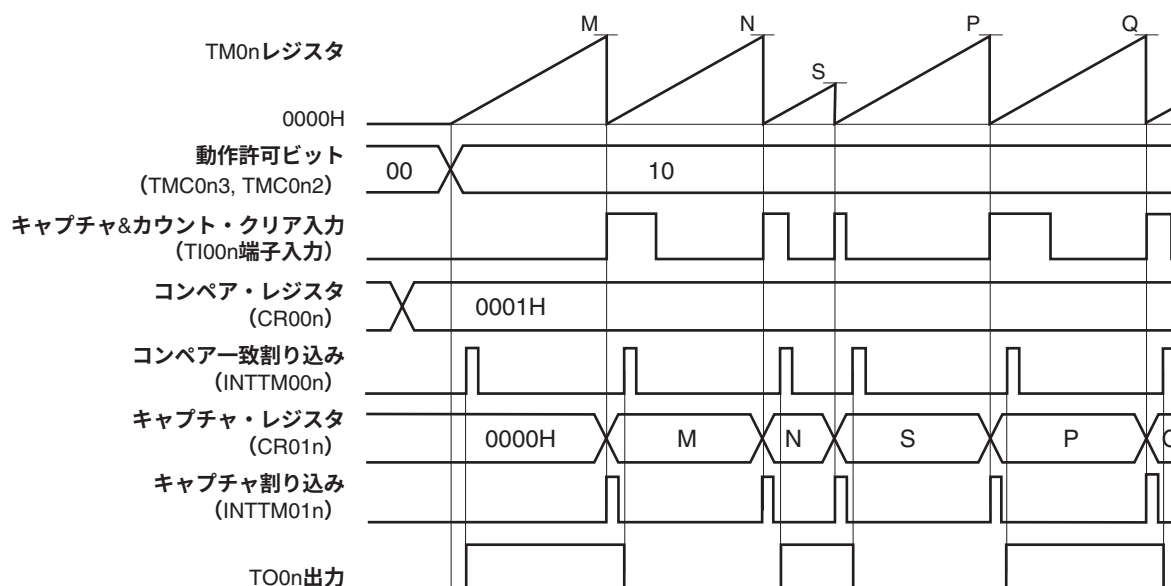


備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-30 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n: コンペア・レジスタ/CR01n: キャプチャ・レジスタ) (1/2)

(a) TOC0n = 13H, PRM0n = 10H, CRC0n = 04H, TMC0n = 08H, CR00n = 0001H



キャプチャ&クリア後に、TO0n出力レベルを反転したい場合のアプリケーション例です。

TI00n端子の有効エッジ検出で、CR01nにキャプチャし、TM0nをクリア (0000H) します。TM0nのカウンタ値が0001Hになると、コンペア一致割り込み信号 (INTTM00n) が発生し、TO0n出力レベルが反転します。

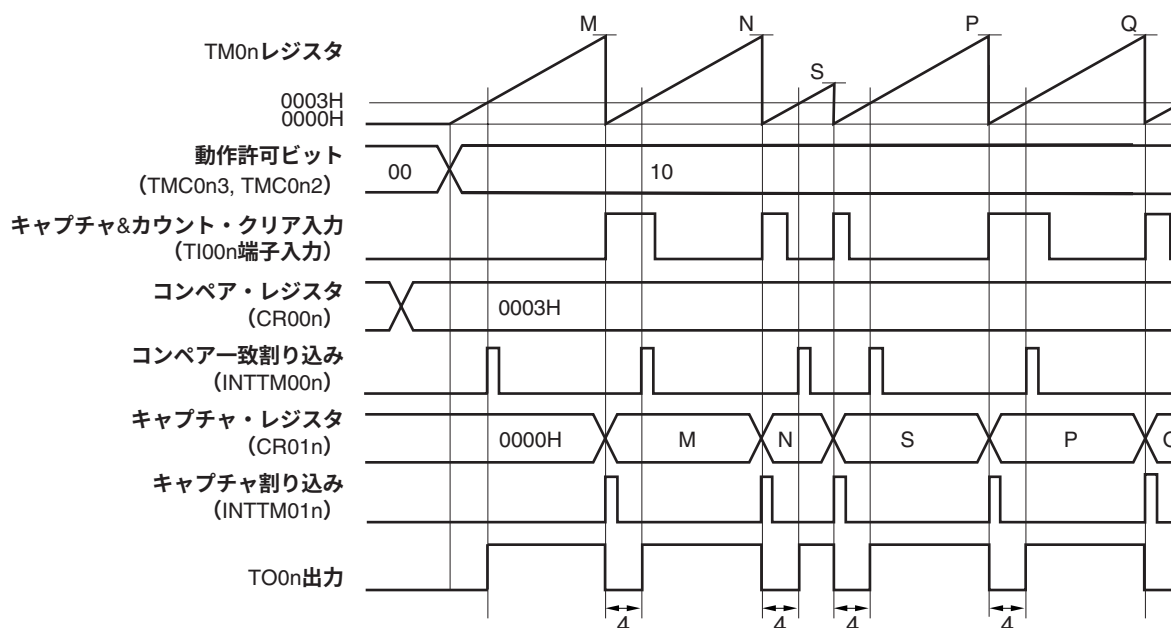
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-30 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n: コンペア・レジスタ/CR01n: キャプチャ・レジスタ) (2/2)

(b) TOC0n = 13H, PRM0n = 10H, CRC0n = 04H, TMC0n = 0AH, CR00n = 0003H



キャプチャ&クリア後に、CR00nに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI00n端子の有効エッジ検出で、CR01nにキャプチャし、キャプチャ割り込み信号（INTTM01n）が発生し、TM0nをクリア（0000H）し、TO0n出力を反転します。TM0nのカウント値が0003Hになる（4クロックをカウントする）と、コンペア一致割り込み信号（INTTM00n）が発生し、TO0n出力レベルが反転します。

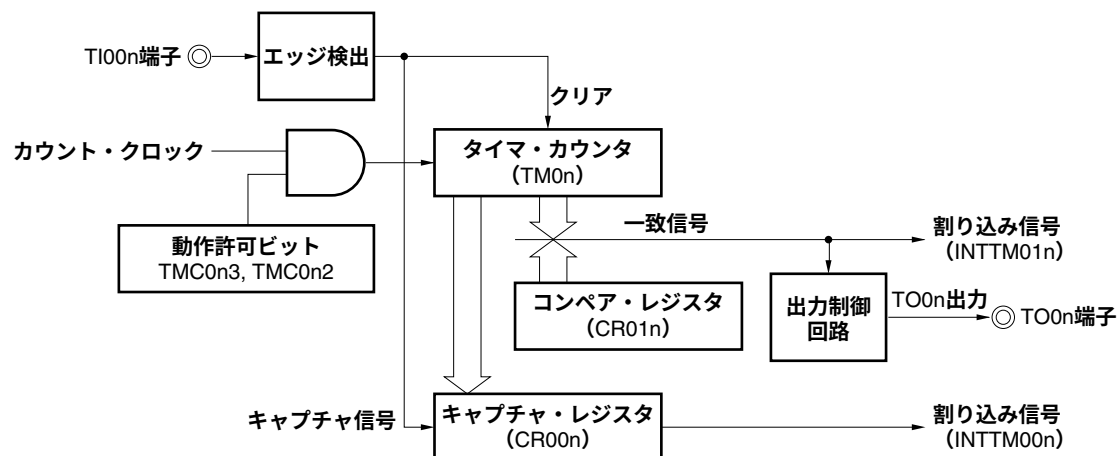
備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(3) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n：キャプチャ・レジスタ，CR01n：コンペア・レジスタ設定時)

図7-31 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR00n：キャプチャ・レジスタ／CR01n：コンペア・レジスタ)

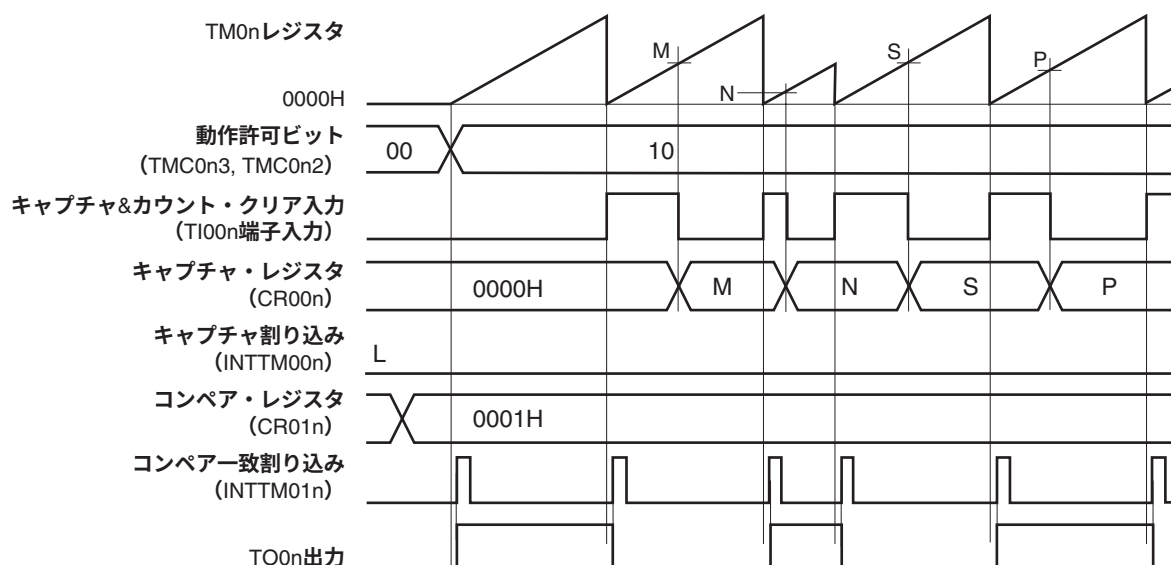
**備考** n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-32 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n : キャプチャ・レジスタ / CR01n : コンペア・レジスタ) (1/2)

(a) TOC0n = 13H, PRM0n = 10H, CRC0n = 03H, TMC0n = 08H, CR01n = 0001H



キャプチャ&クリア後に、TO0n出力レベルを反転したい場合のアプリケーション例です。

TI00n端子の立ち上がりエッジ検出で、TM0nをクリアします。TI00n端子の立ち下がりエッジ検出で、CR00nにキャプチャします。

キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n) のビット1 (CRC0n1) = 1の設定により、TI00n端子入力の逆相でTM0nのカウント値をCR00nにキャプチャしますが、キャプチャ割り込み信号 (INTTM00n) は発生しません。しかし、TI01n端子の有効エッジ検出により、INTTM00n信号が発生します。INTTM00n信号を使用しない場合は、INTTM00n信号をマスクしてください。

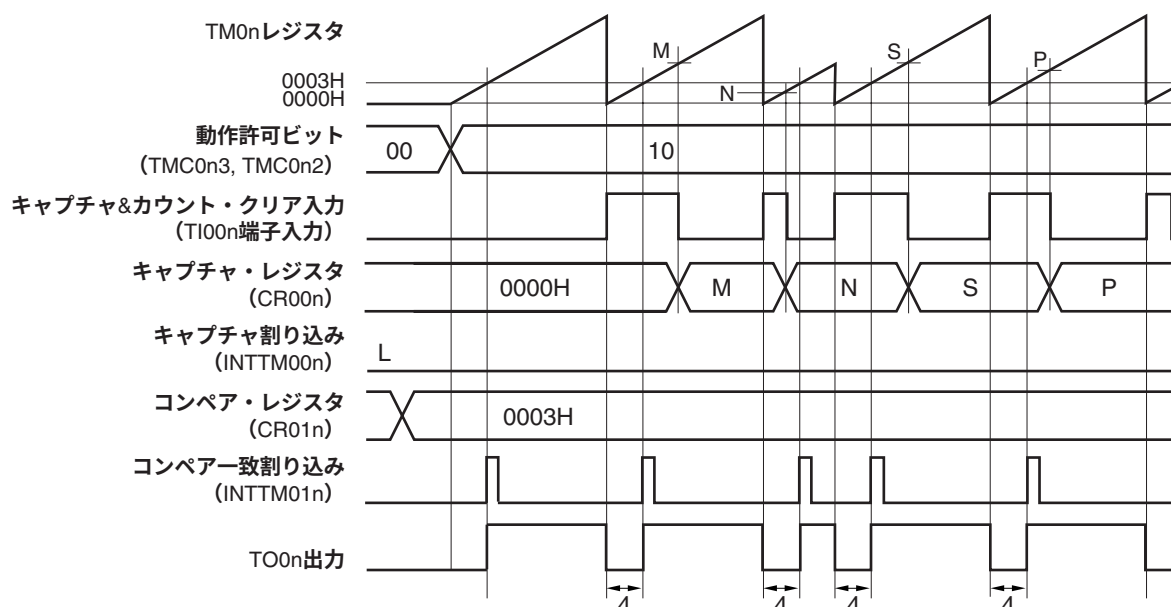
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-32 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n: キャプチャ・レジスタ/CR01n: コンペア・レジスタ) (2/2)

(b) TOC0n = 13H, PRM0n = 10H, CRC0n = 03H, TMC0n = 0AH, CR01n = 0003H



キャプチャ&クリア後に、CR01nに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI00n端子の立ち上がりエッジ検出で、TM0nをクリア（0000H）します。TI00n端子の立ち上がりエッジ検出で、CR00nにキャプチャします。TO0n出力は、TI00n端子の立ち上がりエッジ検出によるTM0nのクリア（0000H）か、TM0nとコンペア・レジスタ（CR01n）の一致で反転します。

キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）のビット1（CRC0n1）= 1の設定により、TI00n端子入力の逆相でTM0nのカウント値をCR00nにキャプチャしますが、キャプチャ割り込み信号（INTTM00n）は発生しません。しかし、TI01n端子の有効エッジ検出により、INTTM00n割り込みが発生します。INTTM00n信号を使用しない場合はINTTM00n信号をマスクしてください。

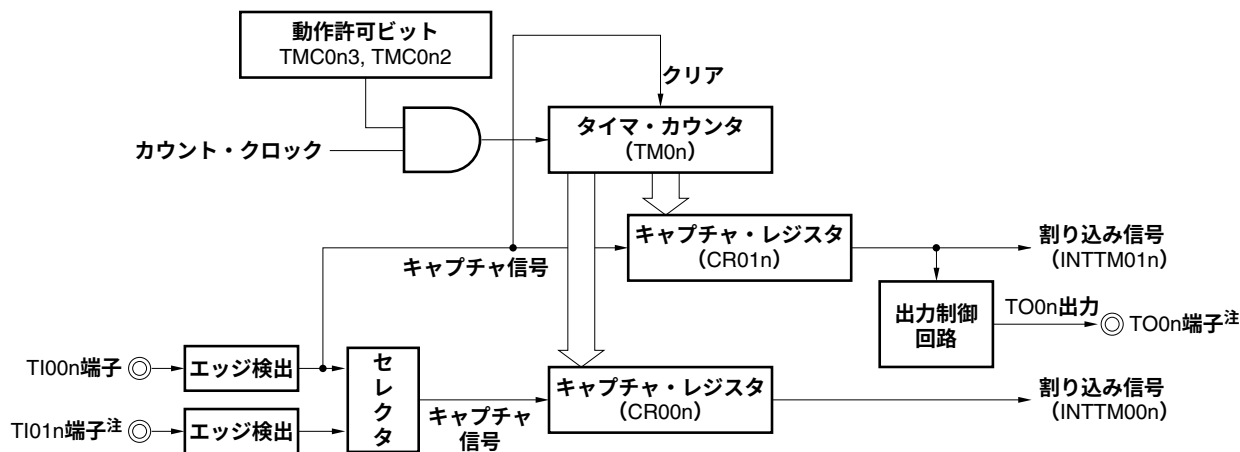
備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(4) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n: キャプチャ・レジスタ, CR01n: キャプチャ・レジスタ設定時)

図7-33 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR00n: キャプチャ・レジスタ/CR01n: キャプチャ・レジスタ)



注 TI01n端子の有効エッジ検出を使用する場合、タイマ出力 (TO0n) は使用できません。

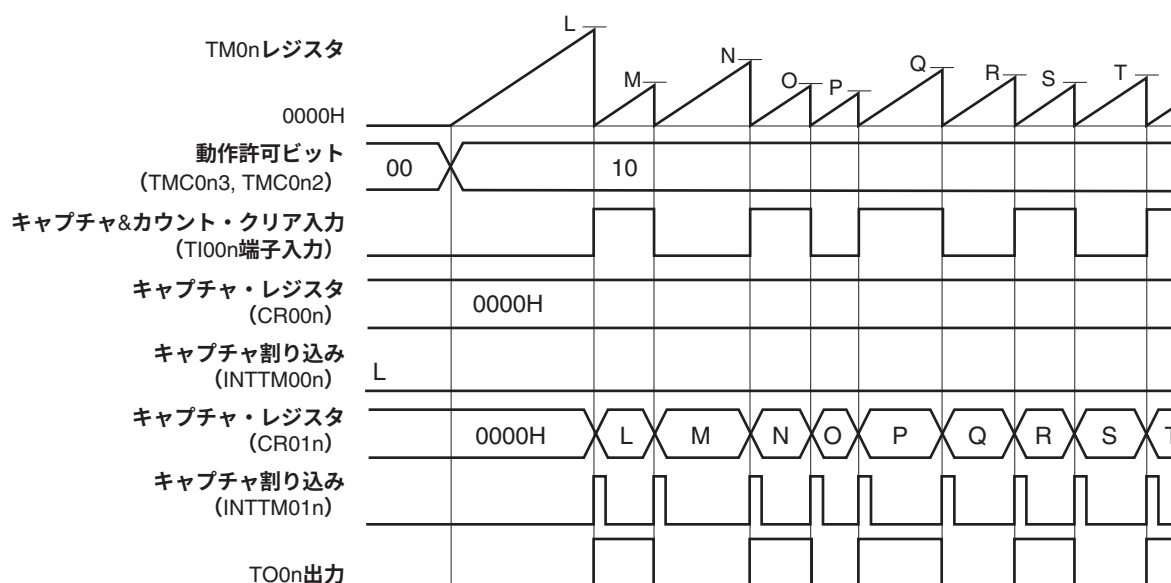
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-34 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n: キャプチャ・レジスタ/CR01n: キャプチャ・レジスタ) (1/3)

(a) TOC0n = 13H, PRM0n = 30H, CRC0n = 05H, TMC0n = 0AH



TI00n端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR01nにキャプチャし、TM0nをクリアし、TO0n出力を反転させるアプリケーション例です。

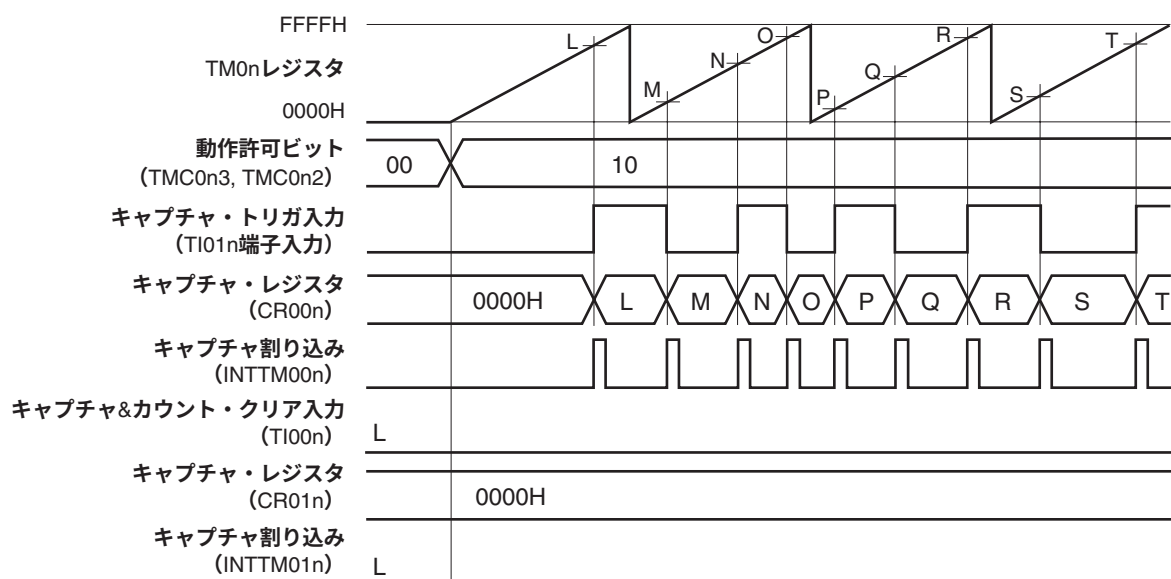
TI01n端子のエッジ検出により、割り込み信号 (INTTM00n) が発生します。INTTM00n信号を使用しない場合には、INTTM00n信号をマスクしてください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-34 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n: キャプチャ・レジスタ/CR01n: キャプチャ・レジスタ) (2/3)

(b) TOC0n = 13H, PRM0n = C0H, CRC0n = 05H, TMC0n = 0AH



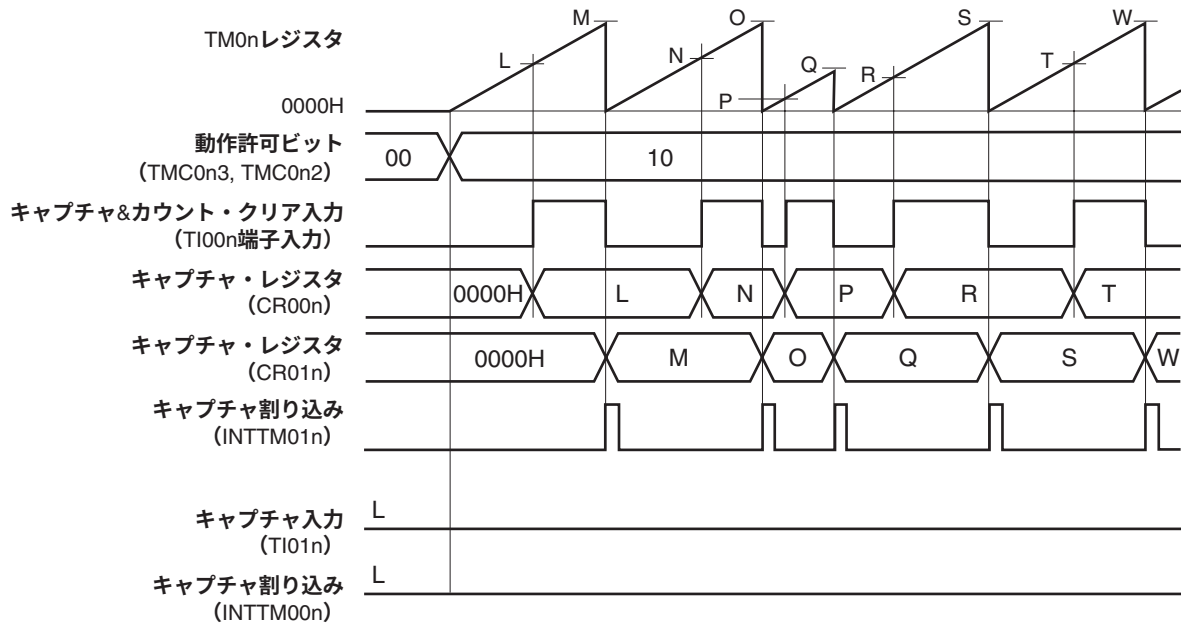
TI01n端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR00nにキャプチャするアプリケーションにおいて、TI00n端子にエッジが入力されないときのタイミング例です。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-34 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n: キャプチャ・レジスタ/CR01n: キャプチャ・レジスタ) (3/3)

(c) TOC0n = 13H, PRM0n = 00H, CRC0n = 07H, TMC0n = 0AH



TI00n端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC0nの設定により、TI00n端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR00nにキャプチャし、TI00n端子の立ち下がりエッジ検出でCR01nにキャプチャします。

入力パルスのハイ・レベル幅、ロウ・レベル幅は、次の式で算出できます。

- ・ハイ・レベル幅 = [CR01n値] - [CR00n値] × [カウント・クロック周期]
- ・ロウ・レベル幅 = [CR00n値] × [カウント・クロック周期]

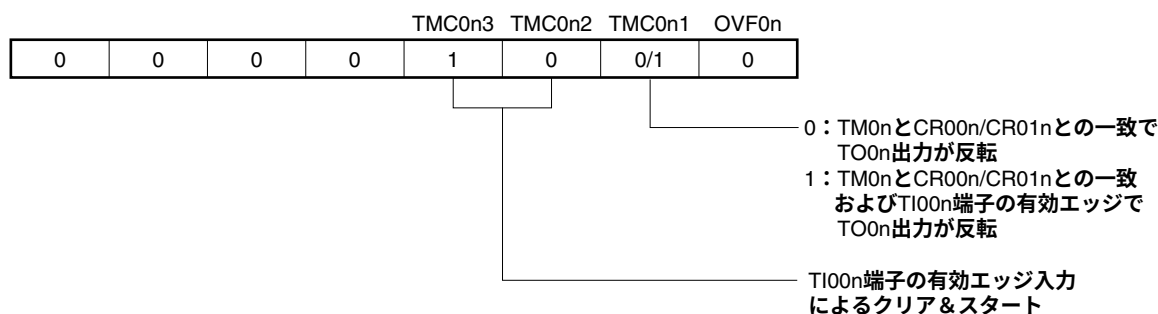
CR00nへのキャプチャ・トリガとしてTI00n端子の逆相を選択した場合、INTTM00n信号は発生しません。パルス幅測定のためのCR00n, CR01n値のリードは、INTTM01n信号発生直後に行ってください。

ただし、TI01n端子にプリスケアラ・モード・レジスタ0n (PRM0n) のビット6, 5 (ES1n1, ES1n0) で指定した有効エッジが入力されると、キャプチャ動作はしませんが、INTTM00n信号は発生します。TI00n端子のパルス幅を測定する場合、INTTM00n信号を使用しないときは、INTTM00n信号をマスクしてください。

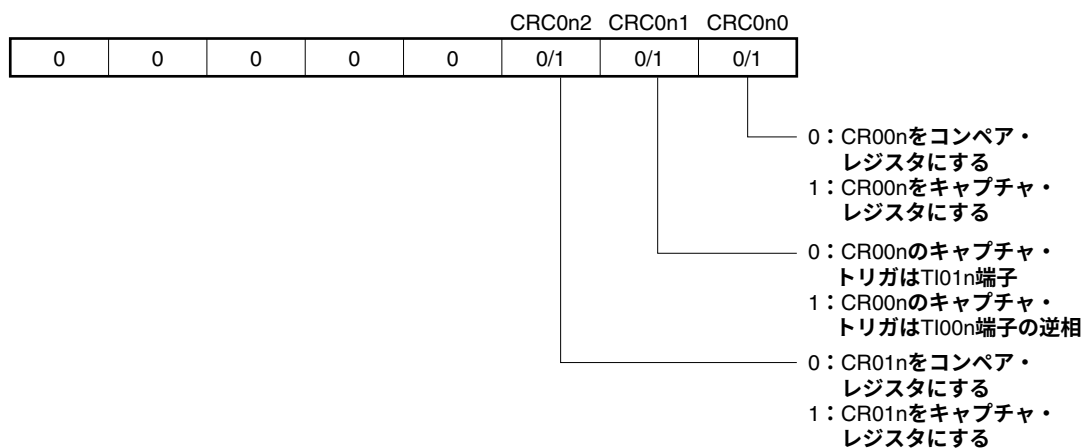
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-35 TI00n端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

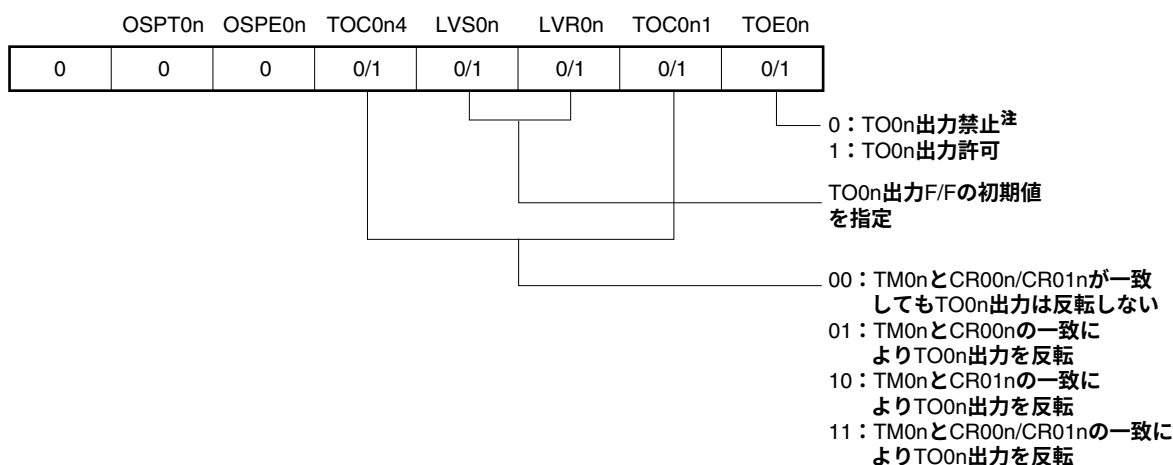
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

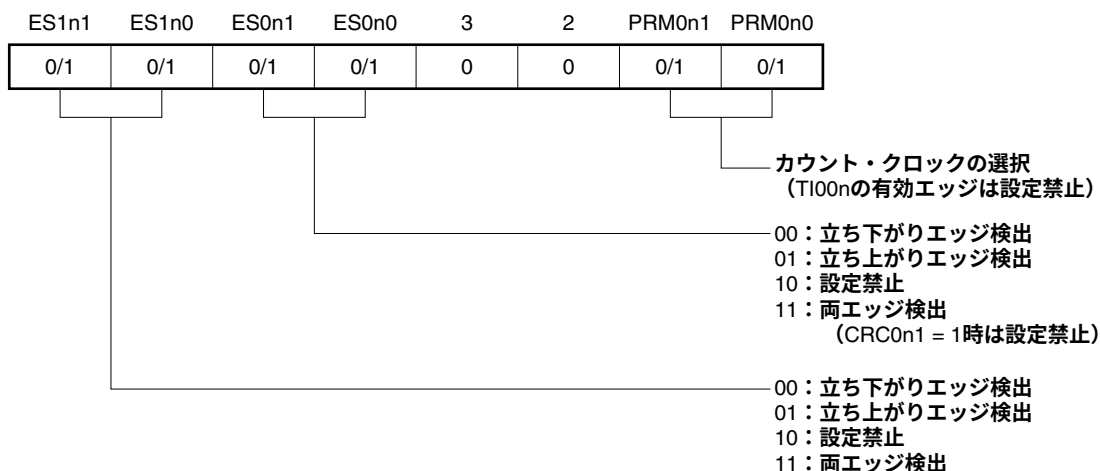


注 TI01n端子の有効エッジ検出を使用する場合、タイマ出力 (TO0n) は使用できません。

備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-35 TI00n端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ0n (PRM0n)



(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ00n (CR00n)

コンペア・レジスタとして使用する場合は、TM0nとの一致で割り込み信号 (INTTM00n) が発生します。TM0nのカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI00n, TI01n端子[※]入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM0nのカウント値をCR00nに格納します。

注 TI01n端子の有効エッジ検出を使用する場合、タイマ出力 (TO0n) は使用できません。

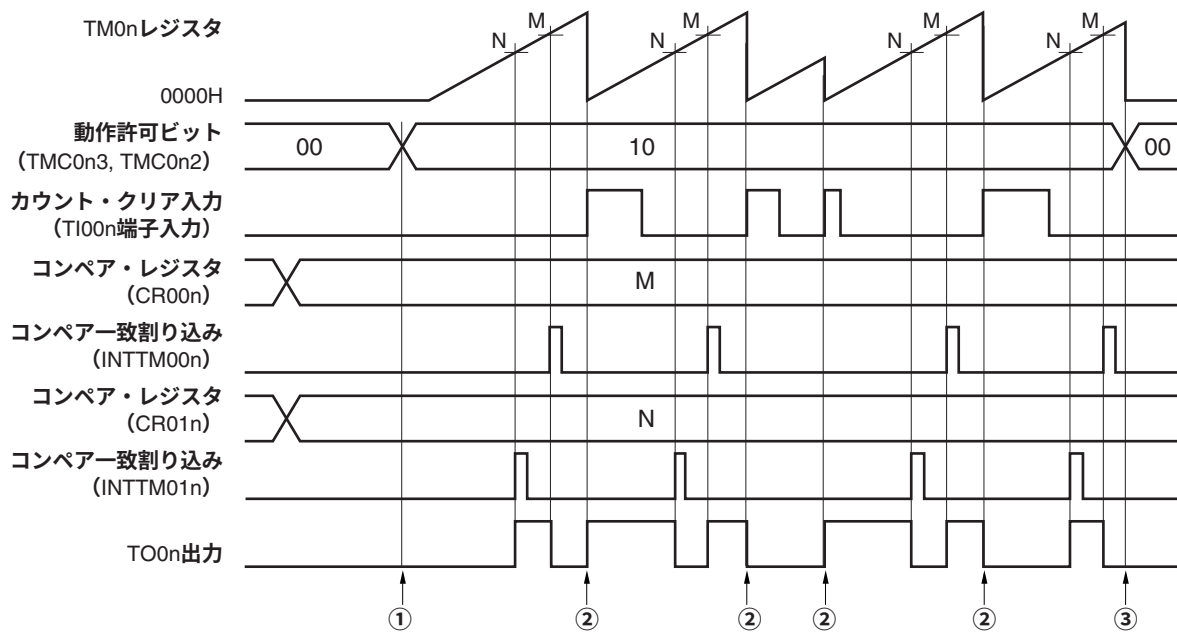
(g) 16ビット・キャプチャ／コンペア・レジスタ01n (CR01n)

コンペア・レジスタとして使用する場合は、TM0nとの一致で割り込み信号 (INTTM01n) が発生します。TM0nのカウント値はクリアされません。

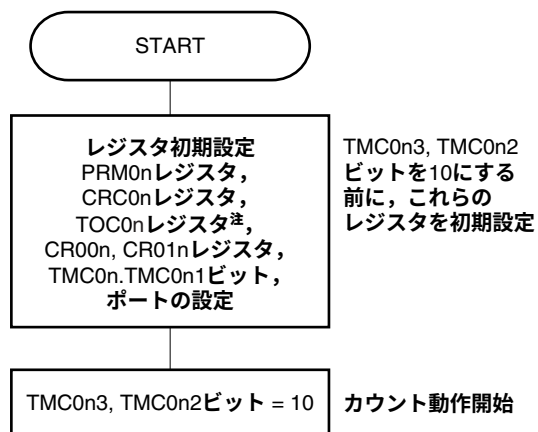
キャプチャ・レジスタとして使用する場合は、TI00n端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM0nのカウント値をCR01nに格納します。

備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE
n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

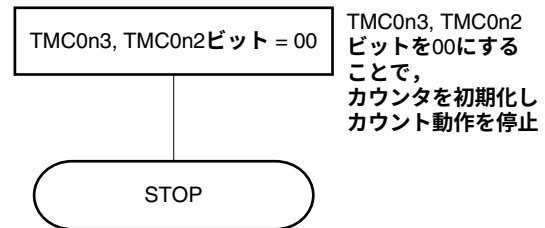
図7-36 TI00n端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



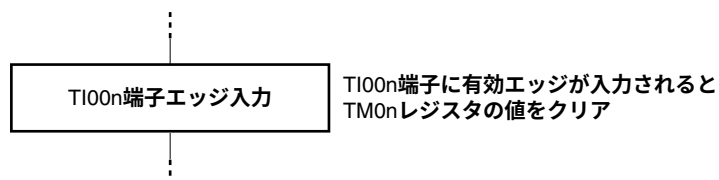
① カウント動作開始フロー



③ カウント動作停止フロー



② TM0nレジスタ・クリア&スタート・フロー



注 TOC0nの設定は注意が必要です。詳細は7.3 (3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.4.5 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバーフロー・フラグ (OVF0n) がセット (1) されるとともに、TM0nをクリア (0000H) し、カウント動作を継続します。OVF0nは、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の3種類があります。

- CR00n, CR01nを両方ともコンペア・レジスタとして使用
- CR00n, CR01nの一方をコンペア・レジスタ、もう一方をキャプチャ・レジスタとして使用
- CR00n, CR01nを両方ともキャプチャ・レジスタとして使用

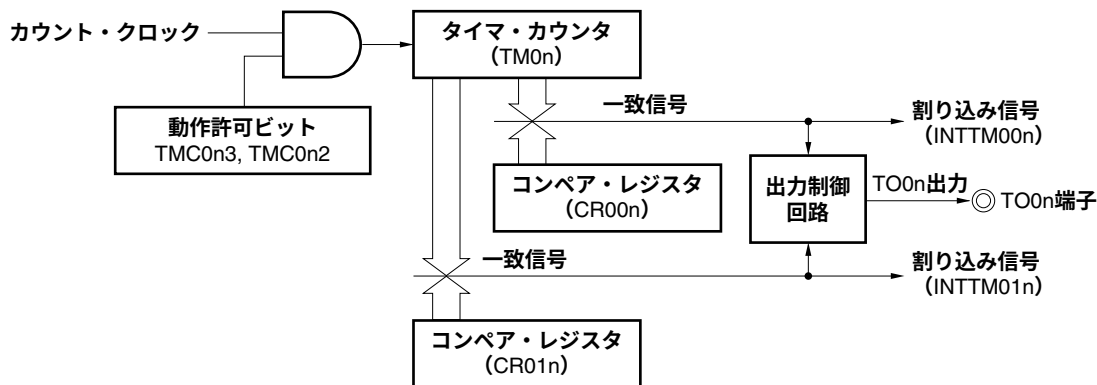
備考1. 入出力端子の設定については7.3 (5) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM00n信号の割り込み許可については、第20章 割り込み機能を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR00n：コンペア・レジスタ, CR01n：コンペア・レジスタ設定時)

図7-37 フリー・ランニング・タイマ・モードのブロック図
(CR00n：コンペア・レジスタ／CR01n：コンペア・レジスタ)



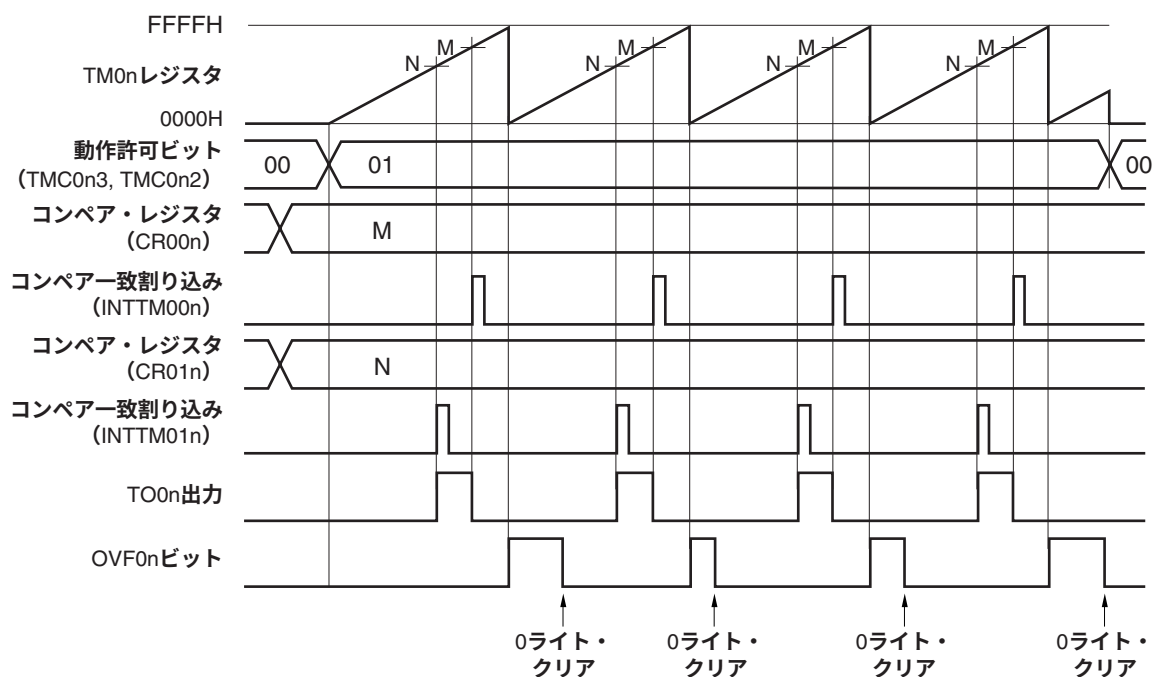
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-38 フリー・ランニング・タイマ・モードのタイミング例

(CR00n : コンペア・レジスタ / CR01n : コンペア・レジスタ)

• TOC0n = 13H, PRM0n = 00H, CRC0n = 00H, TMC0n = 04H



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。

TO0n出力レベルは、CR00n, CR01nの設定値とTMC0nのカウント値が一致することに反転します。また、一致するタイミングで、INTTM00n, INTTM01n信号がそれぞれ発生します。

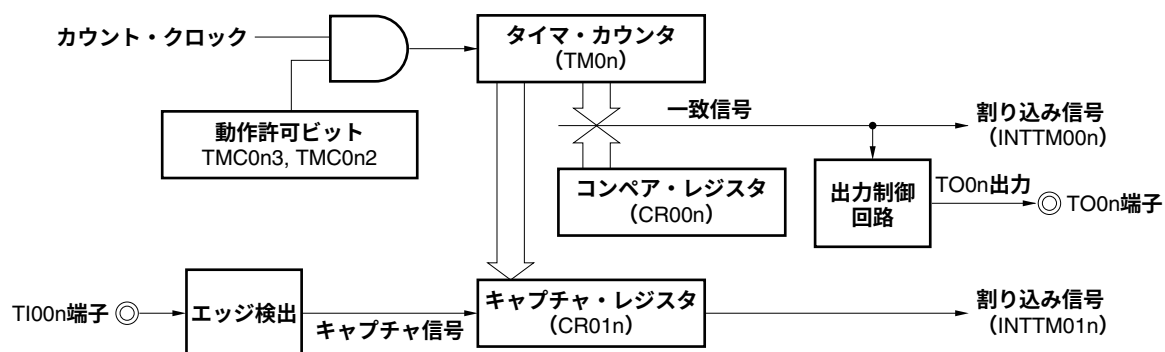
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(2) フリー・ランニング・タイマ・モード動作

(CR00n : コンペア・レジスタ, CR01n : キャプチャ・レジスタ設定時)

図7-39 フリー・ランニング・タイマ・モードのブロック図

(CR00n : コンペア・レジスタ / CR01n : キャプチャ・レジスタ)



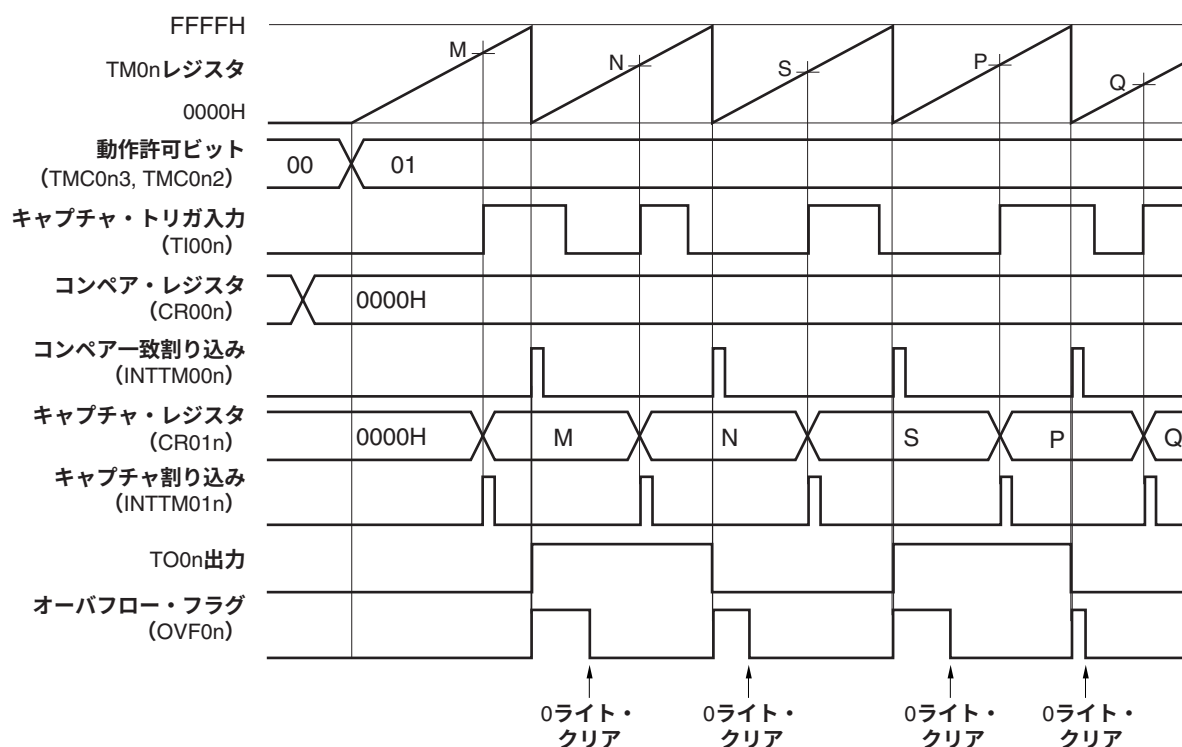
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-40 フリー・ランニング・タイマ・モードのタイミング例

(CR00n: コンペア・レジスタ/CR01n: キャプチャ・レジスタ)

・ TOC0n = 13H, PRM0n = 10H, CRC0n = 04H, TMC0n = 04H



フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

この例では、CR00n(コンペア・レジスタ)の設定値とTM0nのカウント値が一致するごとに、INTTM00n信号を発生し、TO0n出力を反転します。また、TI00n端子の有効エッジを検出するごとに、INTTM01n信号を発生し、TM0nのカウント値をCR01nにキャプチャします。

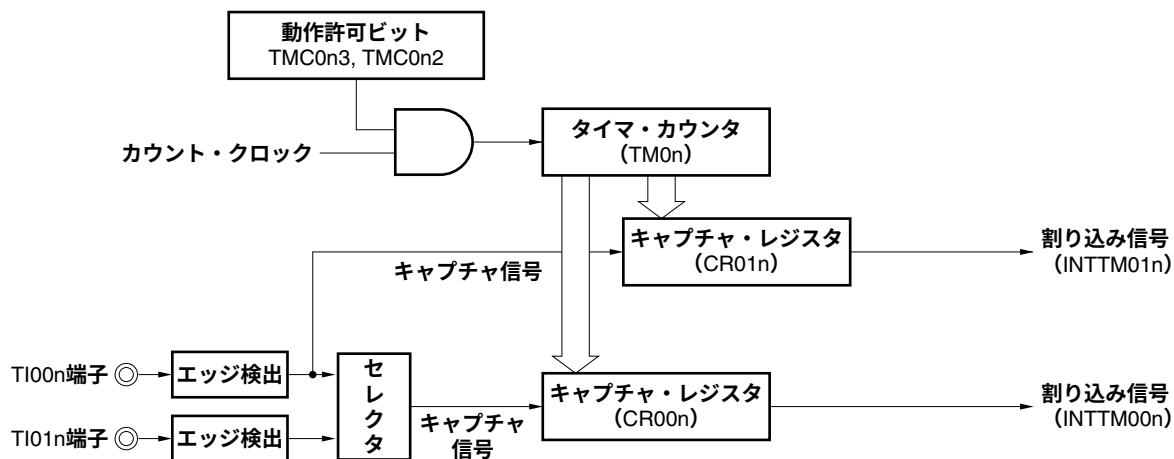
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(3) フリー・ランニング・タイマ・モード動作

(CR00n:キャプチャ・レジスタ, CR01n:キャプチャ・レジスタ設定時)

図7-41 フリー・ランニング・タイマ・モードのブロック図

(CR00n: キャプチャ・レジスタ / CR01n: キャプチャ・レジスタ)



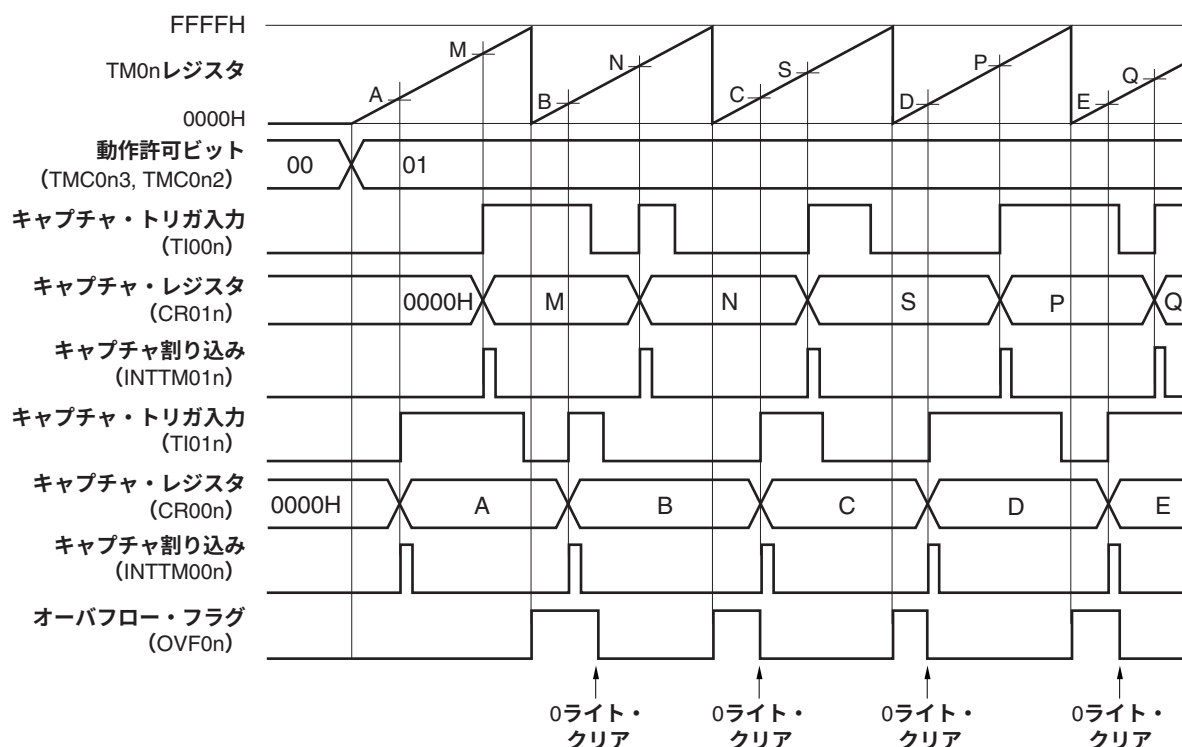
備考1. フリー・ランニング・タイマ・モードで、CR00n, CR01nを両方ともキャプチャ機能に設定した場合、TO0n出力レベルは反転しません。

ただし、16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット1 (TMC0n1) = 1に設定することにより、TI00n端子の有効エッジを検出するごとにTO0n出力レベルを反転させることができます。

2. n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, **フラッシュ・メモリが32 Kバイト以下の78K0/KE2**
n = 0, 1: 78K0/KF2, **フラッシュ・メモリが48 Kバイト以上の78K0/KE2**

図7-42 フリー・ランニング・タイマ・モードのタイミング例
 (CR00n: キャプチャ・レジスタ/CR01n: キャプチャ・レジスタ) (1/2)

(a) TOC0n = 13H, PRM0n = 50H, CRC0n = 05H, TMC0n = 04H



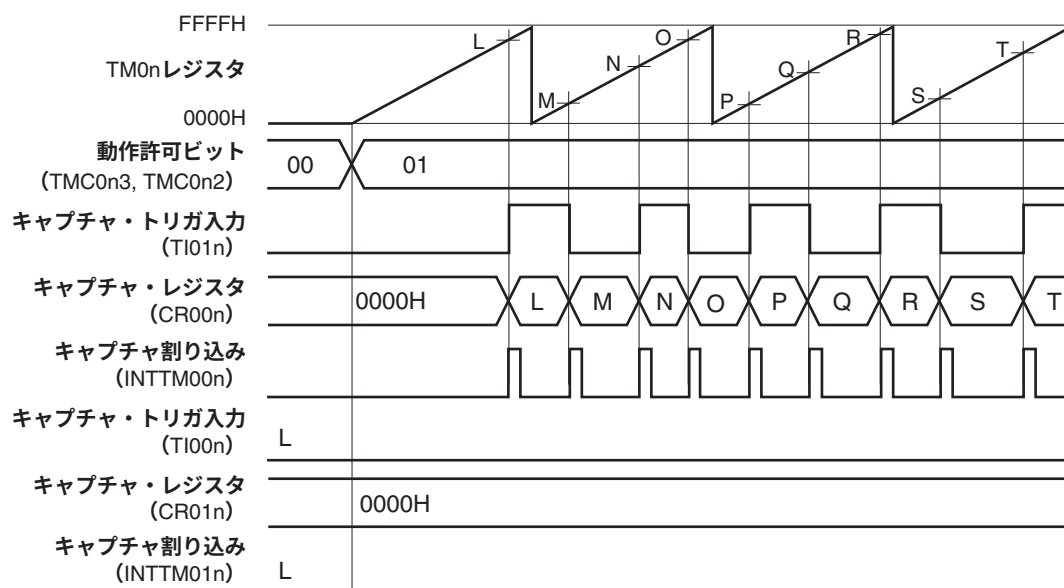
フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI00n端子入力の有効エッジ検出でCR01nにキャプチャします。TI01n端子入力の有効エッジ検出でCR00nにキャプチャします。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-42 フリー・ランニング・タイマ・モードのタイミング例
 (CR00n:キャプチャ・レジスタ/CR01n:キャプチャ・レジスタ) (2/2)

(b) TOC0n = 13H, PRM0n = C0H, CRC0n = 05H, TMC0n = 04H



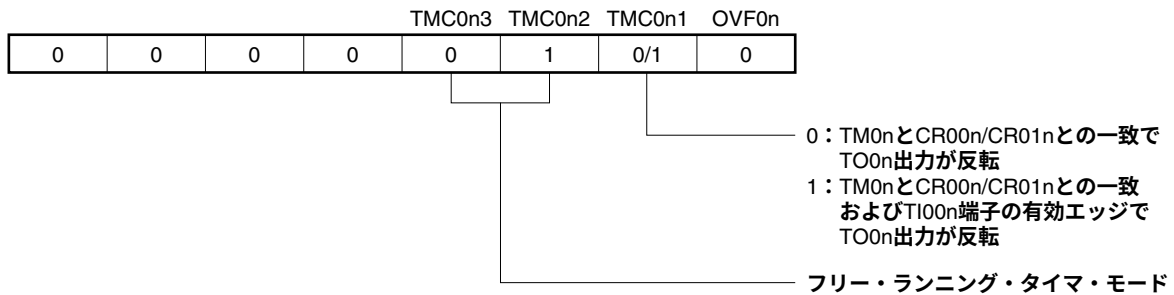
フリー・ランニング・タイマ・モードで、TI01n端子の両エッジ検出に設定し、CR00nにキャプチャするアプリケーション例です。

CR00n, CR01nを両方ともキャプチャ・レジスタとして使用し、TI01n端子だけからの有効エッジを検出する場合、CR01nにキャプチャすることはできません。

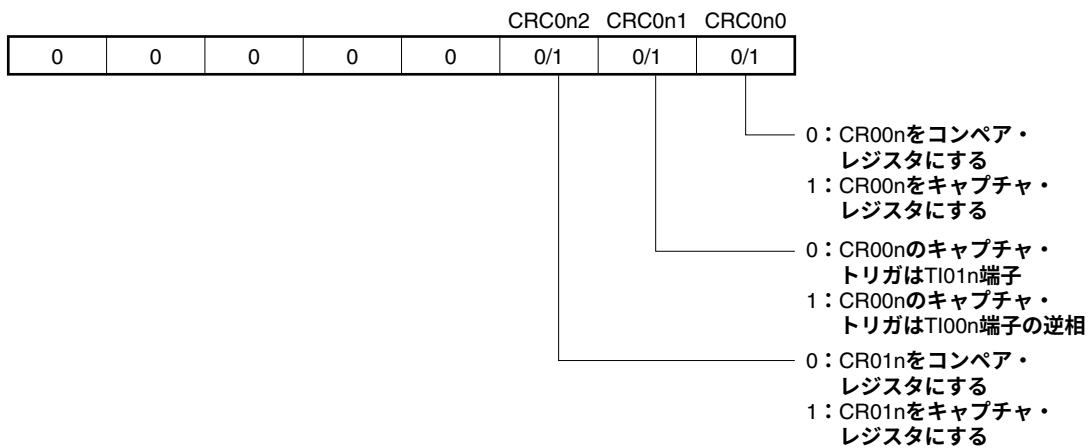
備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-43 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

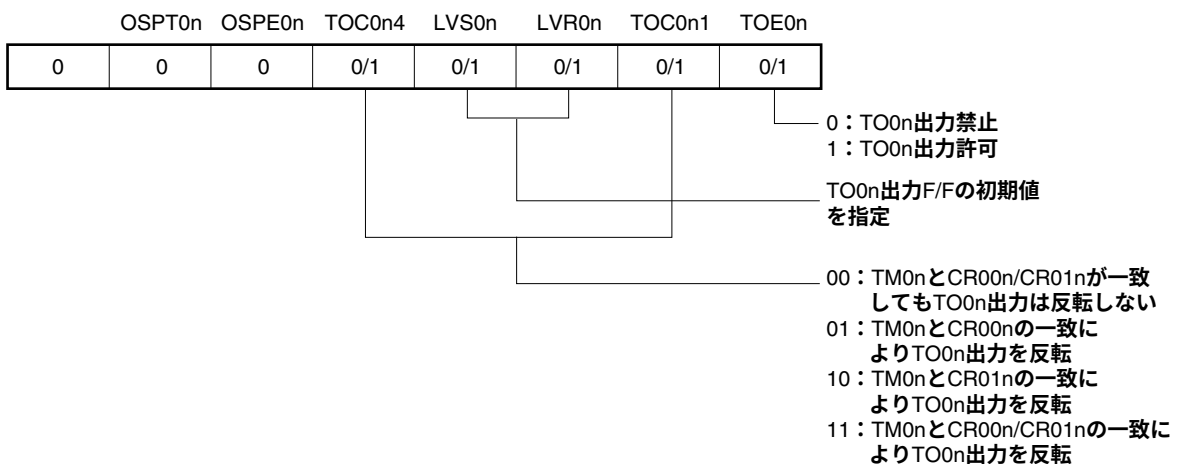
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)



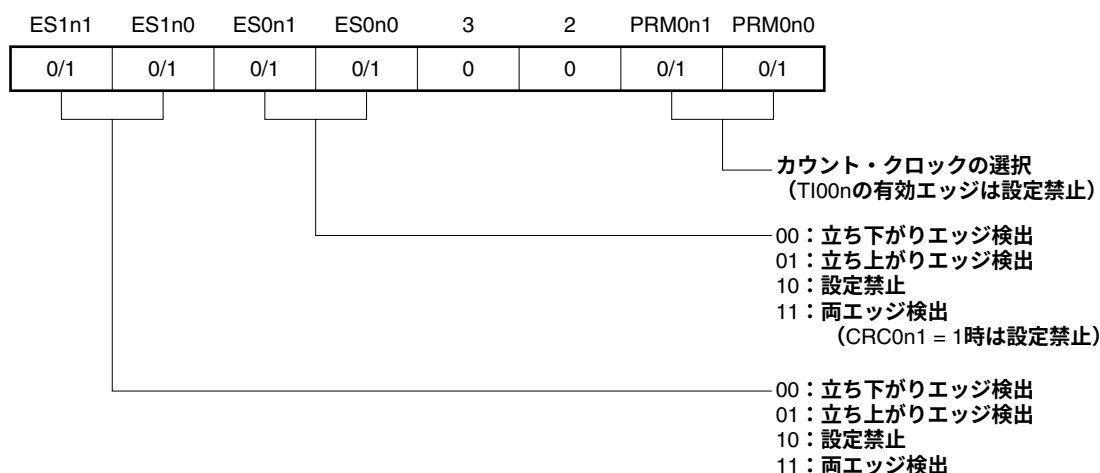
(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-43 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ_{0n} (PRM_{0n})(e) 16ビット・タイマ・カウンタ_{0n} (TM_{0n})

TM_{0n}をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{00n} (CR_{00n})

コンペア・レジスタとして使用する場合は、TM_{0n}との一致で割り込み信号 (INTTM_{00n}) が発生します。TM_{0n}のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI00n, TI01n端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM_{0n}のカウント値をCR_{00n}に格納します。

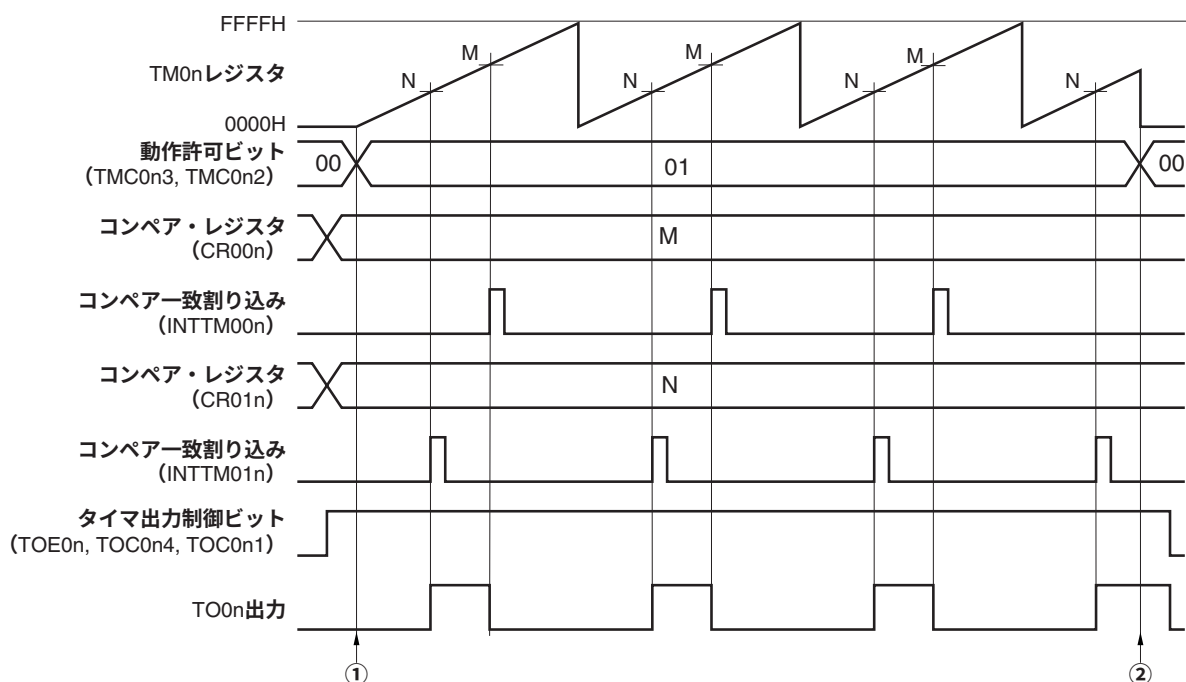
(g) 16ビット・キャプチャ／コンペア・レジスタ_{01n} (CR_{01n})

コンペア・レジスタとして使用する場合は、TM_{0n}との一致で割り込み信号 (INTTM_{01n}) が発生します。TM_{0n}のカウント値はクリアされません。

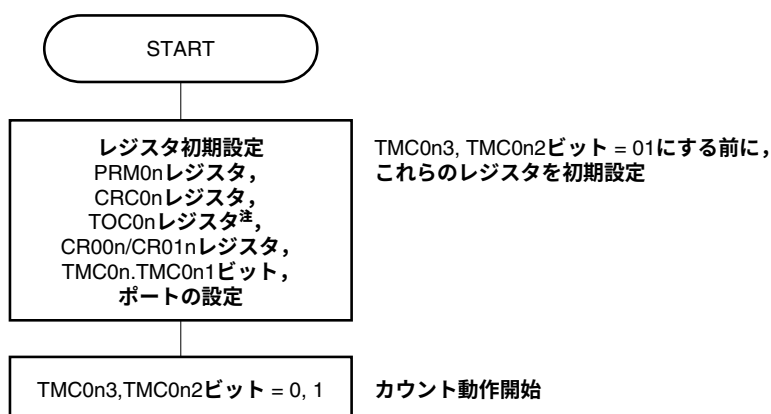
キャプチャ・レジスタとして使用する場合は、TI00n端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM_{0n}のカウント値をCR_{01n}に格納します。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

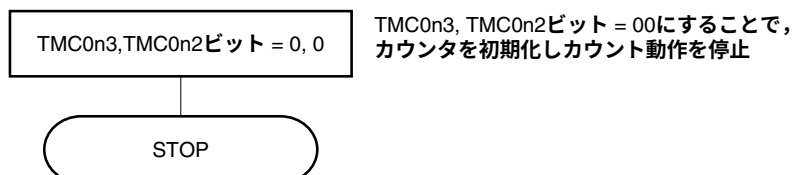
図7-44 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



① カウント動作開始フロー



② カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は7.3 (3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.4.6 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 11 (TM0nとCR00nの一致によるクリア&スタート) に設定し、CR00nにあらかじめ設定した値を1周期とし、CR01nにあらかじめ設定した値をパルス幅とする矩形波を、TO0n端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期、デューティは次のようになります。

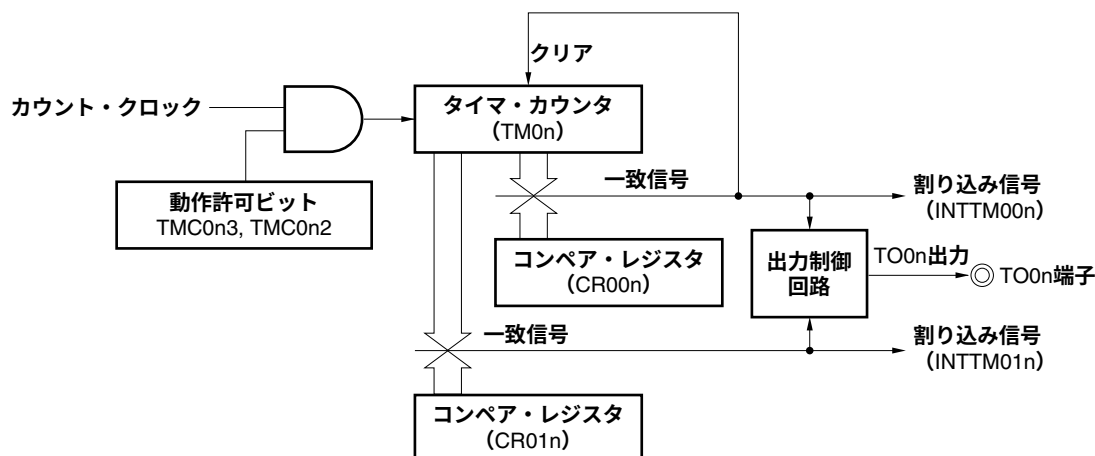
- ・パルス周期 = (CR00nの設定値+1) × カウント・クロック周期
- ・デューティ = (CR01nの設定値+1) / (CR00nの設定値+1)

注意 動作中にデューティの値 (CR01n) を変更したい場合は、7.5.1 CR01nのTM0n動作中の書き換えを参照してください。

備考1. 入出力端子の設定については7.3 (5) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM00n信号の割り込み許可については、第20章 割り込み機能を参照してください。

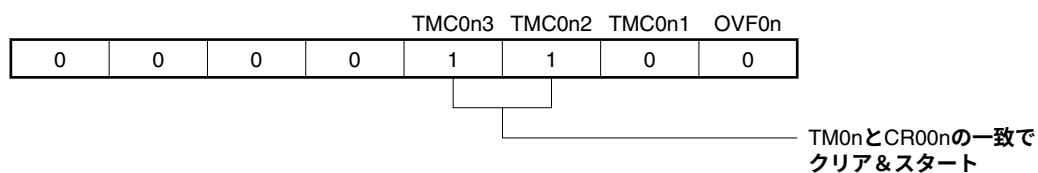
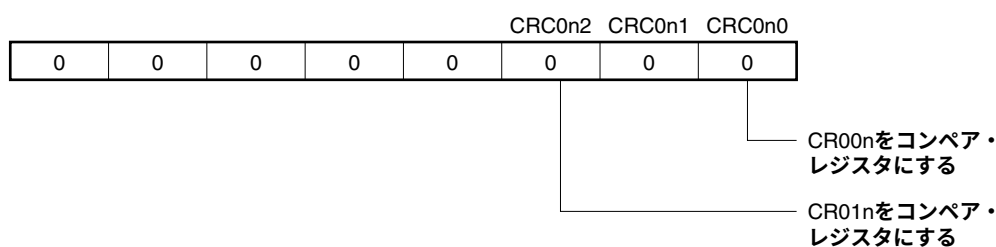
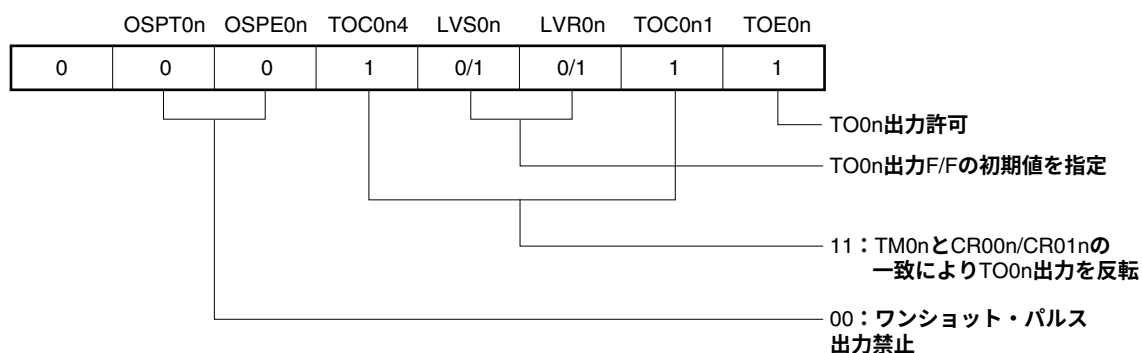
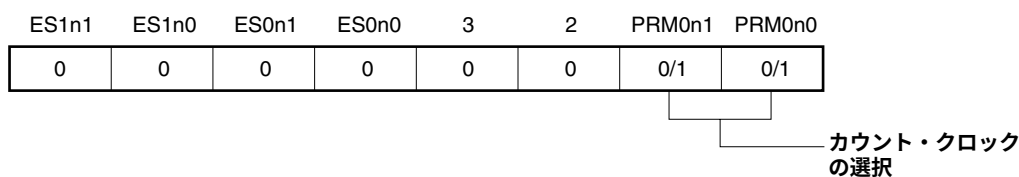
図7-45 PPG出力としての動作のブロック図



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-46 PPG出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ_{0n} (TMC0n)(b) キャプチャ／コンペア・コントロール・レジスタ_{0n} (CRC0n)(c) 16ビット・タイマ出力コントロール・レジスタ_{0n} (TOC0n)(d) プリスケアラ・モード・レジスタ_{0n} (PRM0n)

備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-46 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM_{0n})

TM_{0n}をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{00n} (CR_{00n})

TM_{0n}との一致で割り込み信号 (INTTM_{00n}) を発生します。TM_{0n}のカウント値はクリアされます。

(g) 16ビット・キャプチャ／コンペア・レジスタ_{01n} (CR_{01n})

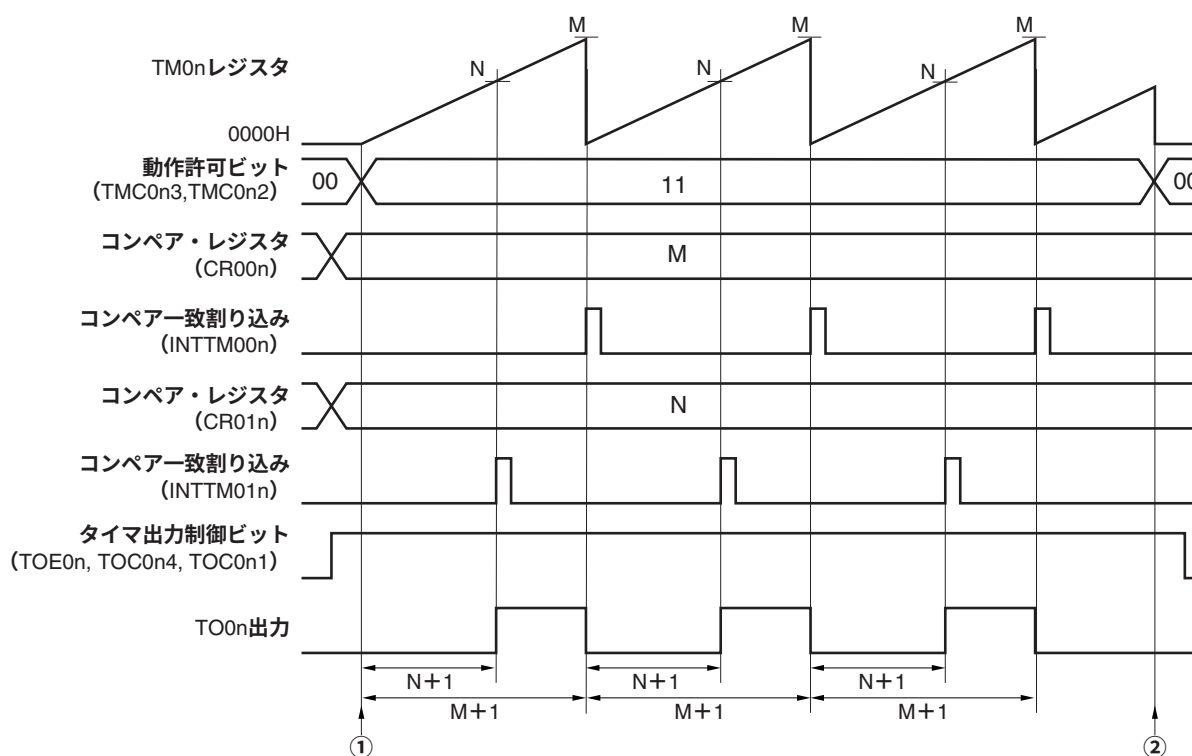
TM_{0n}との一致で割り込み信号 (INTTM_{01n}) を発生します。TM_{0n}のカウント値はクリアされません。

注意 CR_{00n}, CR_{01n}には、 $0000H \leq CR_{01n} < CR_{00n} \leq FFFFH$ の値を設定してください。

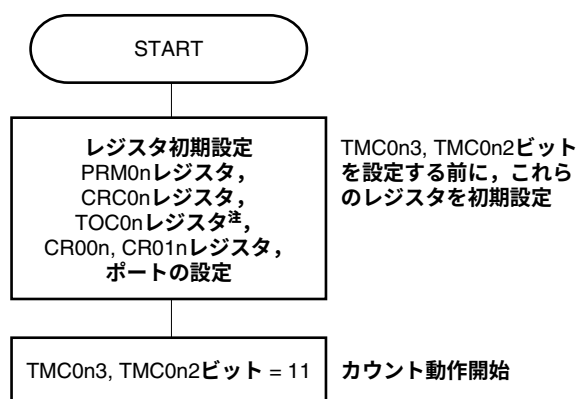
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

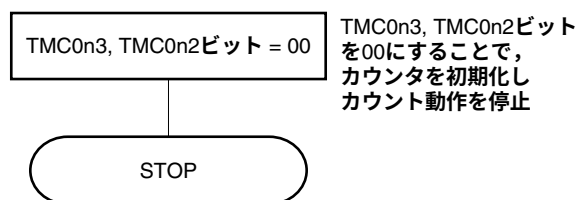
図7-47 PPG出力動作時のソフトウェア処理例



① カウント動作開始フロー



② カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は7.3 (3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考1. PPGのパルス周期 = $(M+1) \times \text{カウント・クロック周期}$

PPGのデューティ = $(N+1) / (M+1)$

2. n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.4.7 ワンショット・パルス出力としての動作

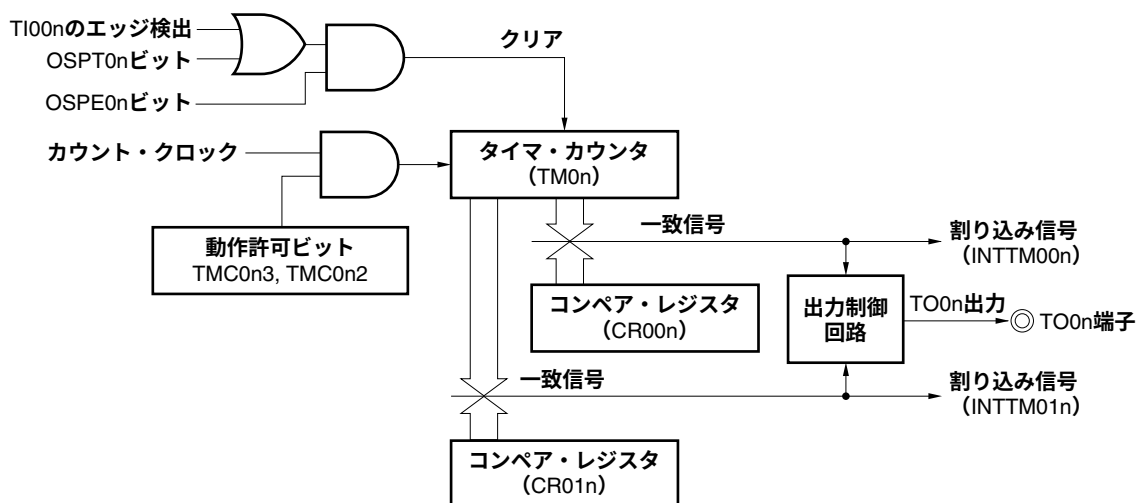
16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 01 (フリー・ランニング・タイマ・モード) , またはTMC0n3, TMC0n2 = 10 (TI00n端子の有効エッジによるクリア&スタート・モード) に設定し, 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) のビット5 (OSPE0n) = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC0nのビット6 (OSPT0n) をセット (1) するか, またはTI00n端子に有効エッジが入力されると, それがトリガとなり, TM0nのクリア&スタート後, CR00n, CR01nに設定した差分のパルスを1回だけTO0n端子から出力します。

- 注意1.** ワンショット・パルスを出力中に, さらにトリガ (OSPT0nのセット (1) , またはTI00n端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。
2. OSPT0nのセット (1) のみをワンショット・パルス出力のトリガとする場合, TI00n端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。

- 備考1.** 入出力端子の設定については7.3 (5) ポート・モード・レジスタ0 (PM0) を参照してください。
2. INTTM00n信号の割り込み許可については, 第20章 割り込み機能を参照してください。

図7-48 ワンショット・パルス出力としての動作のブロック図



- 備考** n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-49 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI00n端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0	
0	0	0	0	0	0	0	0

CR00nをコンペア・
レジスタにする
CR01nをコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0/1	1	0/1	0/1	1	1

TO0n出力許可
TO0n出力の初期値を
指定
TM0nとCR00n/CR01nの
一致によりTO0n出力を反転
ワンショット・パルス
出力許可
1をライトすることで
ソフトウェア・トリガを発生
(0をライトしても
動作に影響なし)

(d) プリスケアラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-49 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{00n} (CR00n)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nとCR00nの値が一致すると、割り込み信号 (INTTM00n) を発生し、TO0n出力レベルを反転します。

(g) 16ビット・キャプチャ／コンペア・レジスタ_{01n} (CR01n)

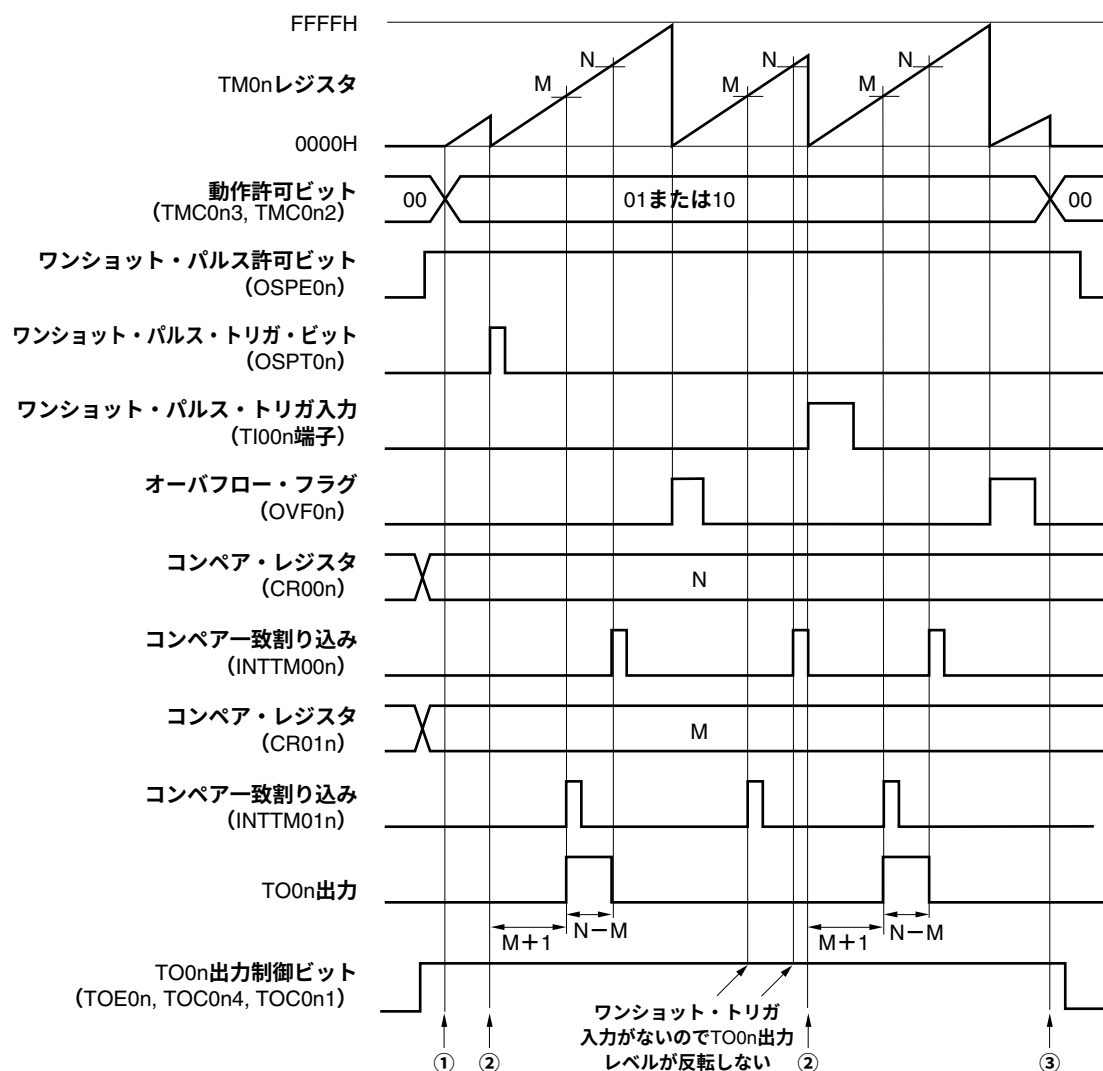
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nとCR01nの値が一致すると、割り込み信号 (INTTM01n) を発生し、TO0n出力レベルを反転します。

注意 CR00nとCR01nには同値を設定しないでください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-50 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)



- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間
= (M+1) × カウント・クロック周期
- ・ワンショット・パルス出力アクティブ・レベル幅
= (N-M) × カウント・クロック周期

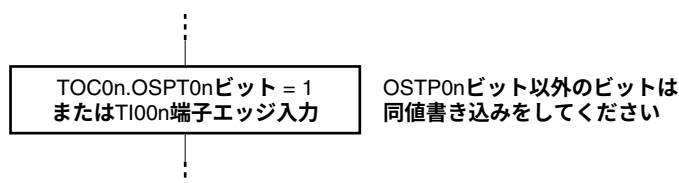
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-50 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)

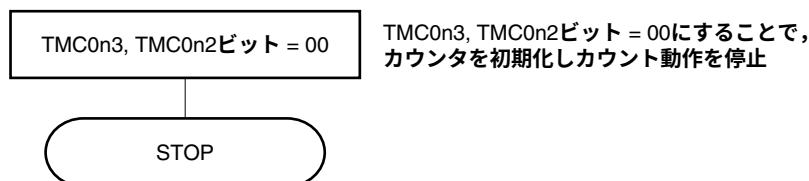
① カウント動作開始フロー



② ワンショット・トリガ入力フロー



③ カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は7.3 (3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.4.8 パルス幅測定としての動作

TM0nを使用し、TI00n端子およびTI01n端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ／イベント・カウンタ0nをフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI00n端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット0 (OVF0n) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図7-51 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

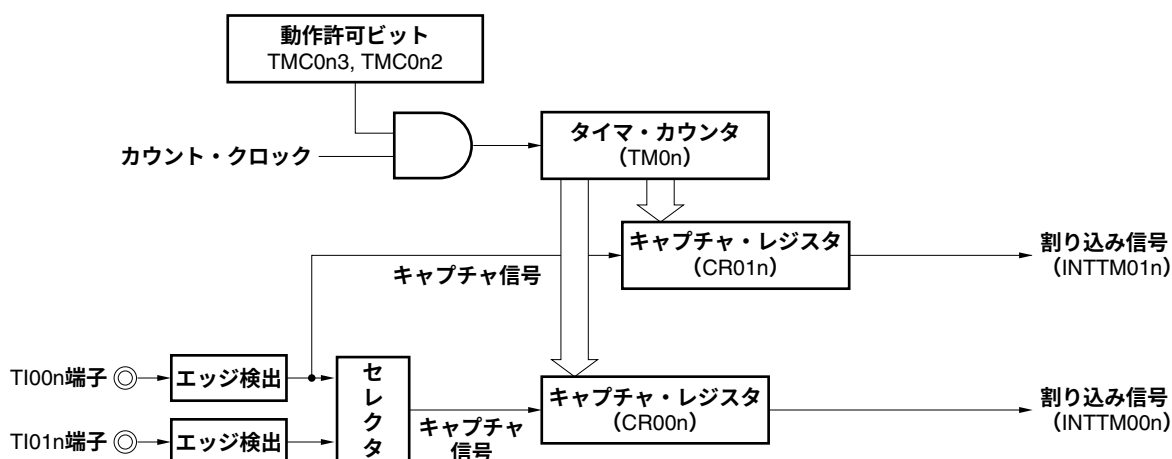
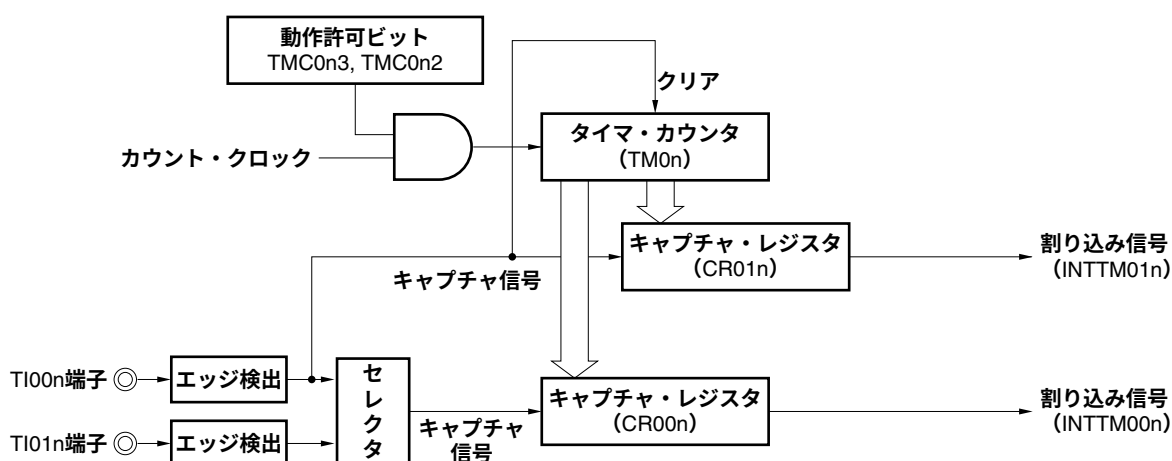


図7-52 パルス幅測定 (TI00n端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

パルス幅測定をするには、次の3つの方法があります。

- ・ TI00n端子およびTI01n端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI00n端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI00n端子1本の入力信号でパルス幅を測定（TI00n端子の有効エッジ入力によるクリア&スタート・モード）

備考1. 入出力端子の設定については7.3 (5) **ポート・モード・レジスタ0 (PM0)** を参照してください。

2. INTTM00n信号の割り込み許可については、**第20章 割り込み機能**を参照してください。

3. n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, **フラッシュ・メモリが32 Kバイト以下の78K0/KE2**

n = 0, 1 : 78K0/KF2, **フラッシュ・メモリが48 Kバイト以上の78K0/KE2**

(1) TI00n端子およびTI01n端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）

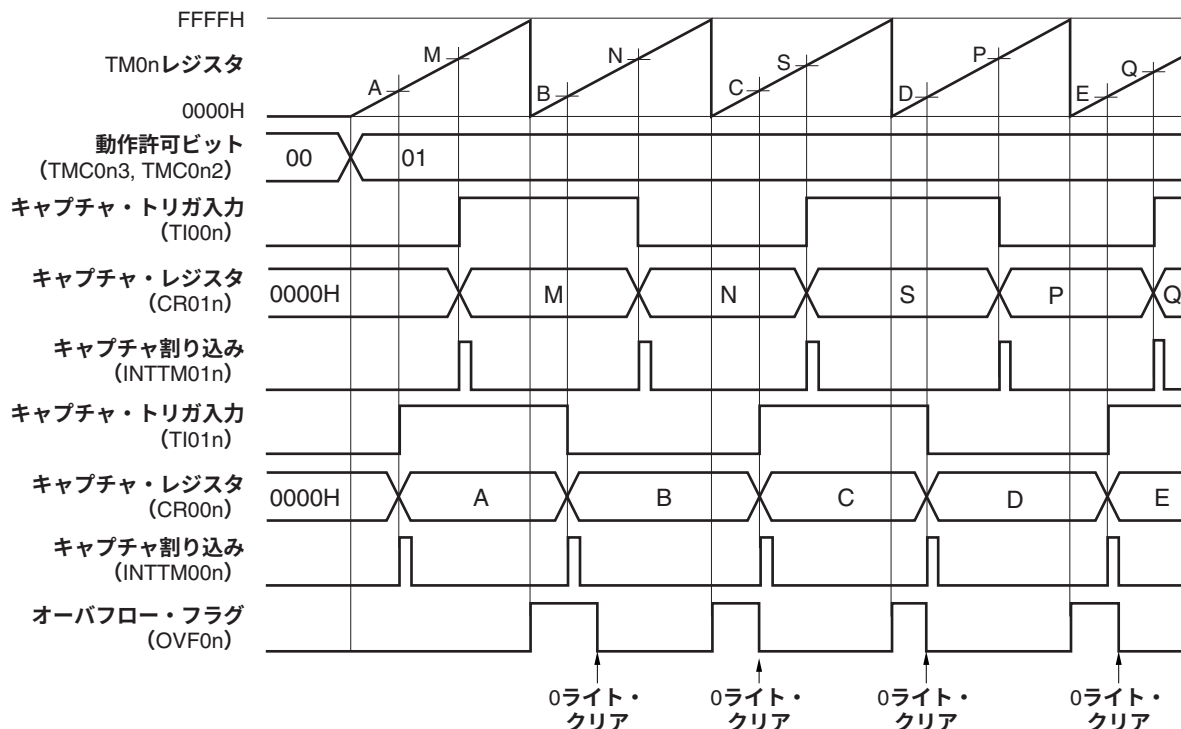
フリー・ランニング・タイマ・モード（TMC0n3, TMC0n2 = 01）に設定します。TI00n端子の有効エッジ検出により, TM0nのカウント値をCR01nにキャプチャします。TI01n端子の有効エッジ検出により, TM0nのカウント値をCR00nにキャプチャします。TI00n端子とTI01n端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します（プログラム・ステータス・ワード（PSW）のビット0（CY）がセット（1）されます）。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）のビット0（OVF0n）をクリア（0）してください。

図7-53 パルス幅測定のタイミング例（1）

・ TMC0n = 04H, PRM0n = F0H, CRC0n = 05H



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(2) TI00n端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）

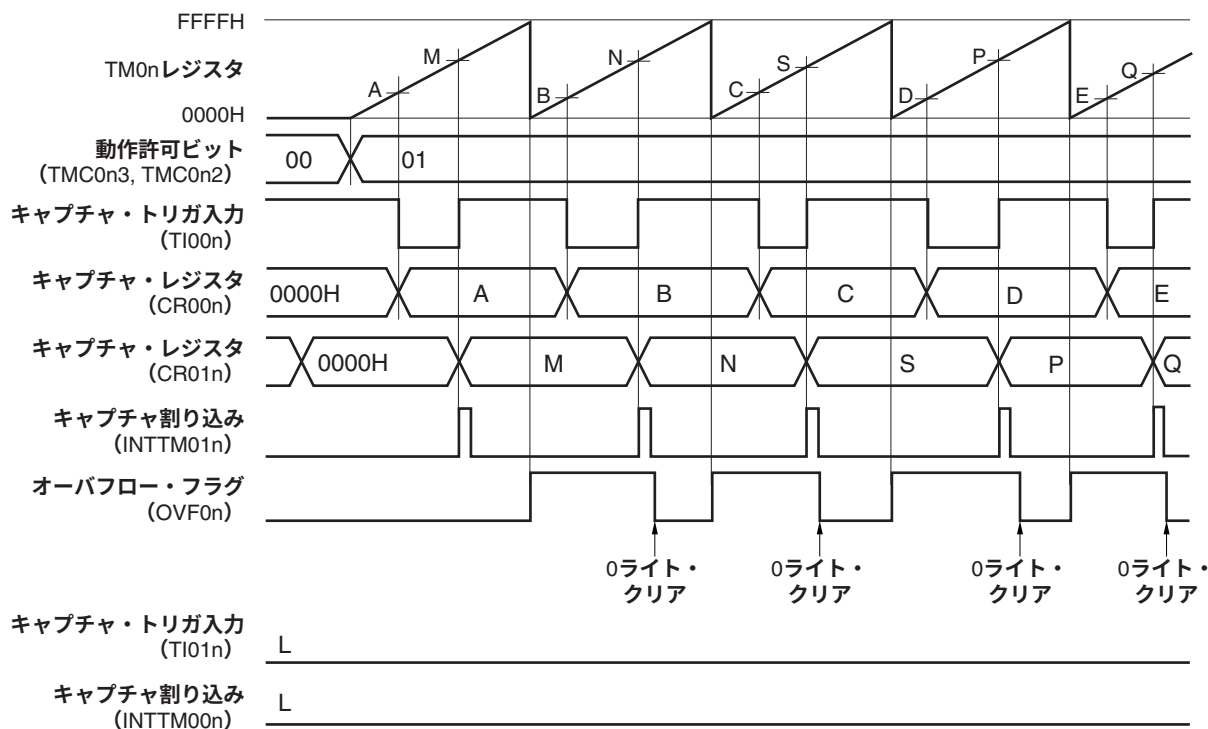
フリー・ランニング・タイマ・モード（TMC0n3, TMC0n2 = 01）に設定します。TI00n端子の有効エッジ検出の逆相で、TM0nのカウント値をCR00nにキャプチャします。TI00n端子の有効エッジ検出で、TM0nのカウント値をCR01nにキャプチャします。

この測定方法では、エッジからエッジまでの幅を測定する場合に、別々のキャプチャ・レジスタに値を格納するため、キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅、ロウ・レベル幅、周期を算出します。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ポローが発生します（プログラム・ステータス・ワード（PSW）のビット0（CY）がセット（1）されます）。このときは、CYを無視して、計算値をパルス幅として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）のビット0（OVF0n）をクリア（0）してください。

図7-54 パルス幅測定のタイミング例（2）

• TMC0n = 04H, PRM0n = 10H, CRC0n = 07H



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

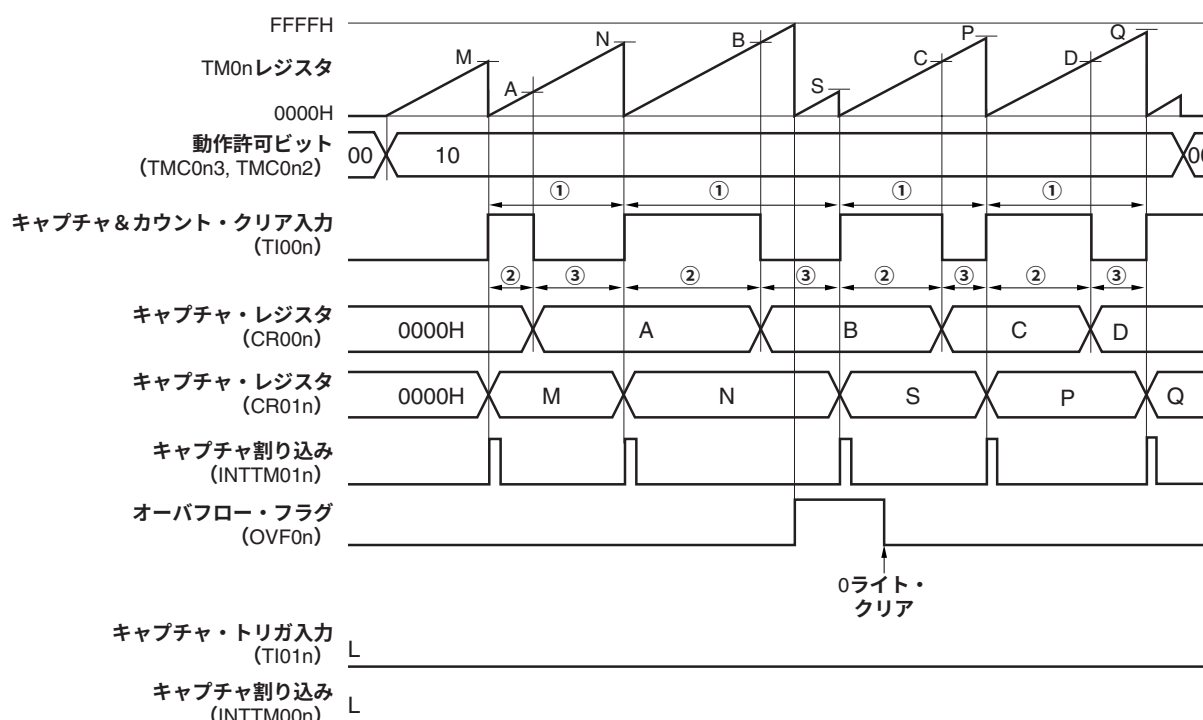
(3) TI00n端子1本の入力信号でパルス幅を測定 (TI00n端子の有効エッジ入力によるクリア&スタート・モード)

TI00n端子の有効エッジによるクリア&スタート・モード (TMC0n3, TMC0n2 = 10) に設定します。TI00n端子の有効エッジ検出の逆相で、TM0nのカウンタ値をCR00nにキャプチャします。TI00n端子の有効エッジ検出で、TM0nのカウンタ値をCR01nにキャプチャし、TM0nをクリア (0000H) します。したがって、TM0nがオーバフローしなければ、CR01nには周期が格納されます。

オーバフローが発生した場合は、CR01nに格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット0 (OVF0n) をクリア (0) してください。

図7-55 パルス幅測定のタイミング例 (3)

・ TMC0n = 08H, PRM0n = 10H, CRC0n = 07H



- ①パルスの周期 = (10000H × OVF0nビットがセット (1) された回数 + CR01nのキャプチャ値) × カウント・クロック周期
- ②パルスのハイ・レベル幅 = (10000H × OVF0nビットがセット (1) された回数 + CR00nのキャプチャ値) × カウント・クロック周期
- ③パルスのロウ・レベル幅 = (パルスの周期 - パルスのハイ・レベル幅)

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-56 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI00n端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0	
0	0	0	0	0	1	0/1	1

1: CR00nをキャプチャ・
レジスタにする
0: CR00nのキャプチャ・
トリガはTI01n端子
1: CR00nのキャプチャ・
トリガはTI00n端子の逆相
1: CR01nをキャプチャ・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0/1	0/1	0/1	0/1	0	0	0/1	0/1

カウント・クロックの選択
(TI00nの有効エッジは設定禁止)

00: 立ち下がりエッジ検出
01: 立ち上がりエッジ検出
10: 設定禁止
11: 両エッジ検出
(CRC0n1 = 1時は設定禁止)

00: 立ち下がりエッジ検出
01: 立ち上がりエッジ検出
10: 設定禁止
11: 両エッジ検出

備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-56 パルス幅測定時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM_{0n})

TM_{0n}をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{00n} (CR_{00n})

キャプチャ・レジスタとして使用します。TI_{00n}/TI_{01n}端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM_{0n}のカウンタ値をCR_{00n}に格納します。

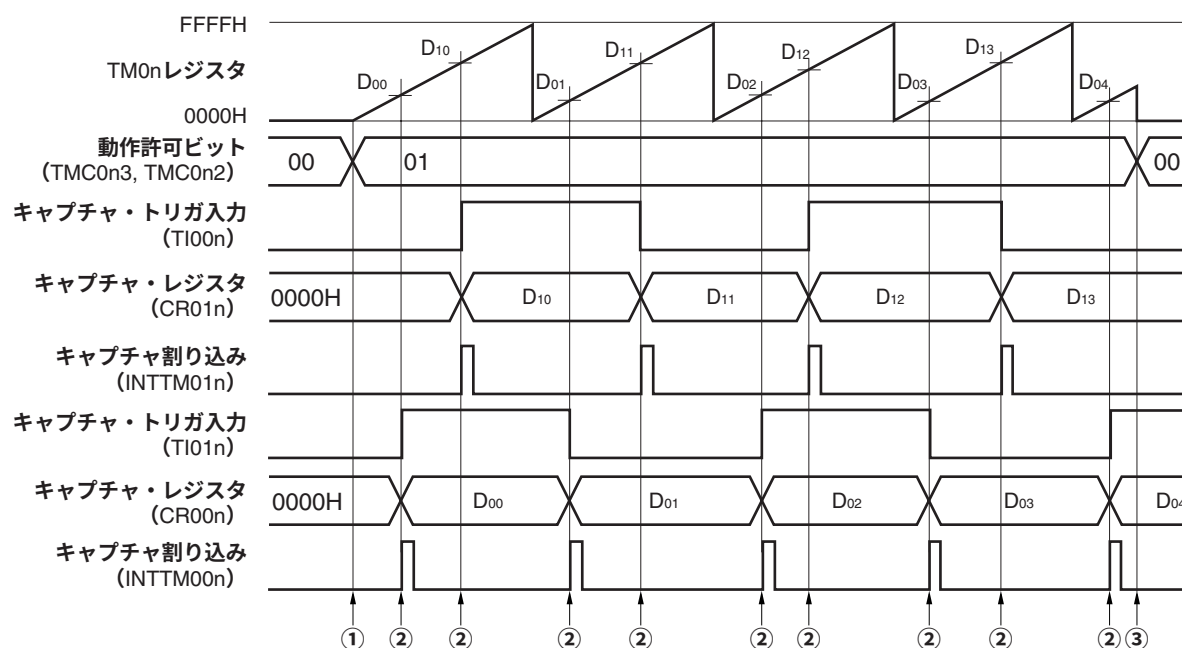
(g) 16ビット・キャプチャ／コンペア・レジスタ_{01n} (CR_{01n})

キャプチャ・レジスタとして使用します。TI_{00n}端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM_{0n}のカウンタ値をCR_{01n}に格納します。

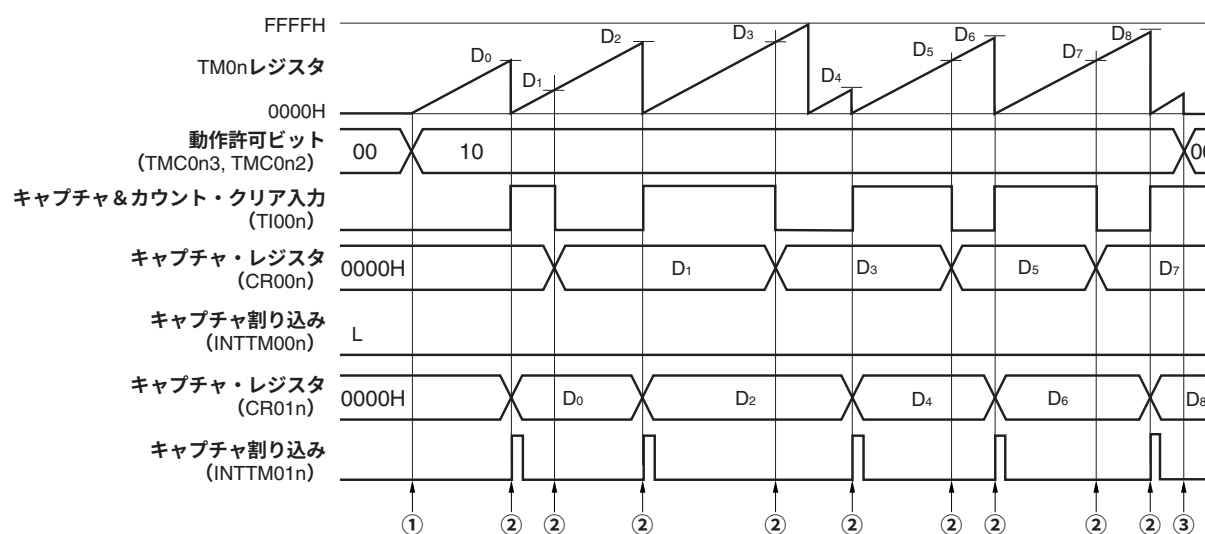
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-57 パルス幅測定時のソフトウェア処理例 (1/2)

(a) フリー・ランニング・タイマ・モードの例



(b) TI00n端子の有効エッジによるクリア&スタート・モードの例

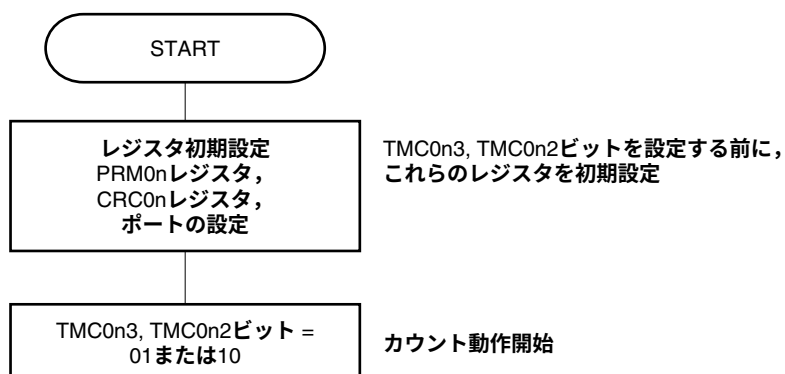


備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

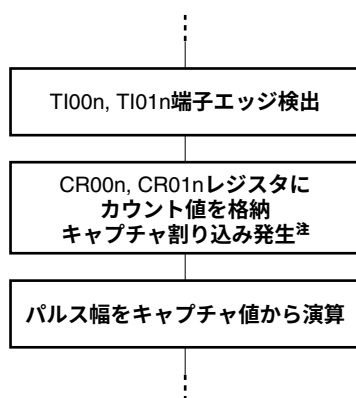
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図7-57 パルス幅測定時のソフトウェア処理例 (2/2)

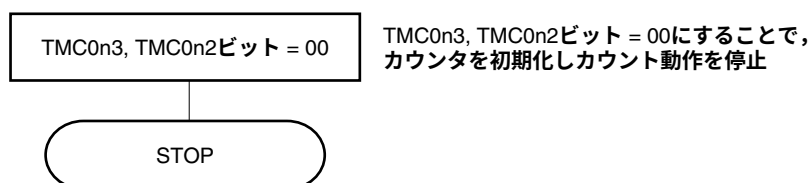
① カウント動作開始フロー



② キャプチャ・トリガ入力フロー



③ カウント動作停止フロー



注 CR00nの有効エッジにTI00n端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM00n) は発生しません。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.5 TM0nの特殊な使用方法

7.5.1 CR01nのTM0n動作中の書き換え

78K0/Kx2マイクロコントローラでは、TM0n動作中（TMC0n3, TMC0n2 = 00以外）のとき、コンペア・レジスタとして使用するCR00nとCR01nの書き換えは原則禁止です。

ただし、CR01nだけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM0n動作中でも書き換えができます（CR01nの値を現在の設定値よりも小さくする場合には、CR01nとTM0nの一致直後に、CR01nの値を現在の設定値よりも大きくする場合には、CR00nとTM0nの一致直後に、CR01nの値を書き換えてください。CR01nとTM0nまたはCR00nとTM0nの一致直前で書き換えると、想定しない動作を起こす場合があります）。

CR01nの書き換え手順

- ① INTTM01nの割り込みを禁止する（TMMK01n = 1）。
- ② TM0nとCR01nの一致によるタイマ出力反転動作を禁止する（TOC0n4 = 0）。
- ③ CR01nを書き換える。
- ④ TM0nのカウント・クロックの1周期分ウェイトする。
- ⑤ TM0nとCR01nの一致によるタイマ出力反転動作を許可する（TOC0n4 = 1）。
- ⑥ INTTM01nの割り込みフラグをクリア（0）する（TMIF01n = 0）。
- ⑦ INTTM01nの割り込みを許可する（TMMK01n = 0）。

備考 TMIF01n, TMMK01nについては第20章 割り込み機能を参照してください。

7.5.2 LVS0n, LVR0nの設定について

(1) LVS0n, LVR0nの使用用途

LVS0n, LVR0nは、TO0n出力の初期値を設定したいときや、タイマを動作許可しない（TMC0n3, TMC0n2 = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS0n, LVR0nは00（初期値ロウ・レベル出力）に設定してください。

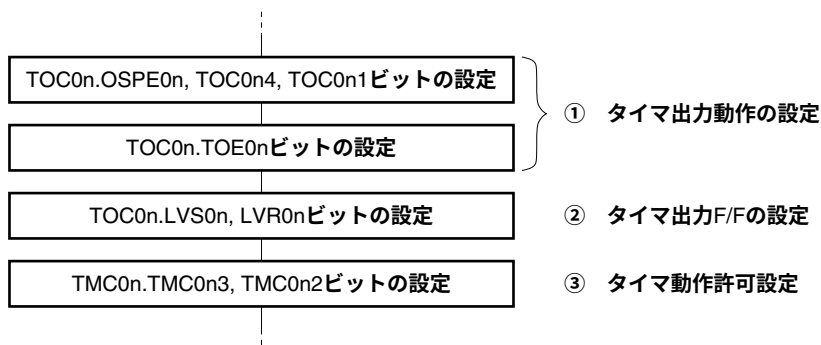
LVS0n	LVR0n	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

備考 n = 0： 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1：78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(2) LVS0n, LVR0nの設定方法

LVS0n, LVR0nは次の手順で設定してください。

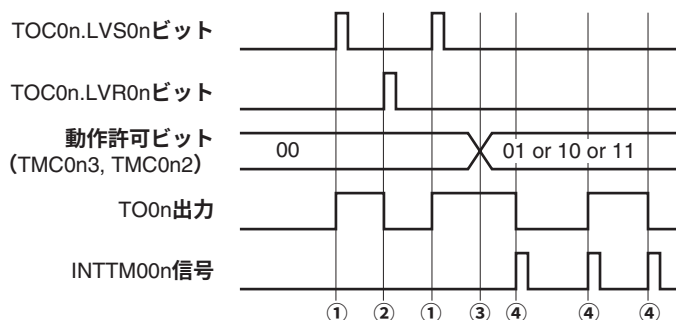
図7-58 LVS0n, LVR0nビットの設定フロー例



注意 LVS0n, LVR0nは必ず上記①, ②, ③の手順で設定してください。

①の設定をしてから, ③の設定をするまでの間であれば, ②の設定ができます。

図7-59 LVR0n, LVS0nのタイミング例



- ① LVS0n, LVR0n = 10に設定することにより, TO0n出力がハイ・レベルになります。
- ② LVS0n, LVR0n = 01に設定することにより, TO0n出力がロウ・レベルになります (LVS0n, LVR0n = 00に設定しても, ハイ・レベルのまま変化しません)。
- ③ TMC0n3, TMC0n2 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS0n, LVR0nの設定が10だったので, TO0n出力はハイ・レベルから始まります。タイマ動作開始以降は, TMC0n3, TMC0n2 = 00 (タイマ動作禁止) にするまで, LVS0n, LVR0nの設定は禁止です。
- ④ 割り込み信号 (INTTM00n) が発生するたびに, TO0n出力のレベルが反転します。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

7.6 16ビット・タイマ／イベント・カウンタ00, 01の注意事項

(1) 16ビット・タイマ／イベント・カウンタ0nの各チャネルの制限事項

表7-3に各チャネルの制限事項を示します。

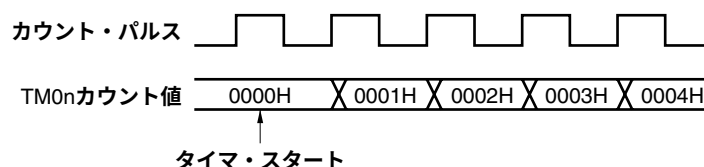
表7-3 16ビット・タイマ／イベント・カウンタ0nの各チャネルの制限事項

動 作	制 限 事 項
インターバル・タイマとしての動作	—
方形波出力としての動作	
外部イベント・カウンタとしての動作	
TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI01n端子の有効エッジ検出を使用する場合、タイマ出力（TO0n）は使用禁止（TOC0n = 00Hに設定）
フリー・ランニング・タイマとしての動作	—
PPG出力としての動作	$0000H \leq CP01n < CR00n \leq FFFFH$
ワンショット・パルス出力としての動作	CR00nとCP01nには同値は設定禁止
パルス幅測定としての動作	タイマ出力（TO0n）は使用禁止（TOC0n = 00Hに設定）

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nのカウント・スタートが非同期で行われるためです。

図7-60 TM0nのカウント・スタート・タイミング



(3) CR00n, CR01nの設定（TM0nとCR00nの一致でクリア&スタート・モードの場合）

CR00n, CR01nには、0000H以外の値を設定してください（外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません）。

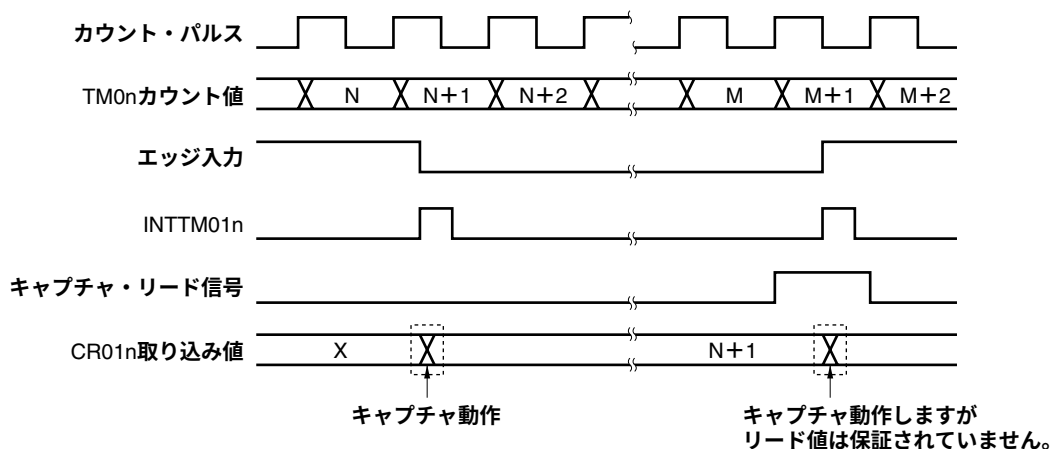
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(4) キャプチャ・レジスタのデータ保持タイミング

- (a) CR00n/CR01nの読み出し中にTI00n/TI01n端子の有効エッジ入力、TI00n端子の逆相のエッジを検出したとき、CR01nはキャプチャ動作を行います。CR00n/CR01nの読み出し値は保証されません。このとき、TI00n/TI01n端子の有効エッジの検出による割り込み信号（INTTM00n/INTTM01n）は発生します（TI00n端子の逆相のエッジ検出時は、割り込み信号を発生しません）。

TI00n/TI01n端子の有効エッジの検出によるキャプチャ時に、CR00n/CR01nの値を読み出す場合は、INTTM00n/INTTM01n発生後に行ってください。

図7-61 キャプチャ・レジスタのデータ保持タイミング



- (b) 16ビット・タイマ／イベント・カウンタ0n停止後のCR00n, CR01nの値は保証されません。

(5) 有効エッジの設定

TI00n端子の有効エッジの設定は、タイマ動作が停止（TMC0n3, TMC0n2 = 00）しているときに行ってください。有効エッジの設定は、ES0n0, ES0n1で行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで、アクティブ・レベルを出力中に、トリガが発生しないようにしてください。次のトリガ入力、必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(7) OVF0nフラグの動作

(a) OVF0nフラグのセット (1)

OVF0nフラグは、TM0nがオーバーフローしたとき以外に、次のときにもセット (1) されます。

TM0nとCR00nの一致でクリア&スタート・モードを選択

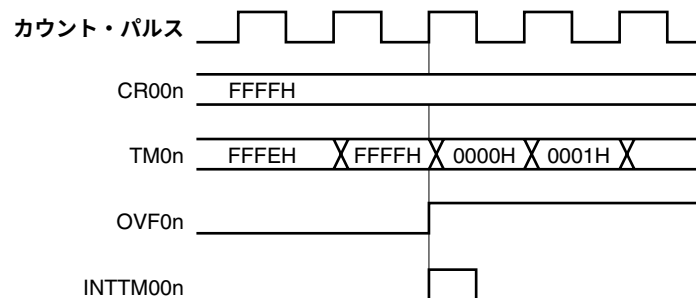
↓

CR00nをFFFFHに設定

↓

TM0nがCR00nとの一致によりFFFFHから0000Hにクリアされるとき

図7-62 OVF0nフラグの動作タイミング



(b) OVF0nフラグのクリア

TM0nがオーバーフロー後、次のカウント・クロックがカウントされる (TM0nが0001Hになる) 前に OVF0nフラグをクリア (0) しても、再度セット (1) されクリアは無効となります。

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI00n端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM0nとCR00nの一致でクリア&スタート・モードでは、ワンショット・パルスを出 force できません。

(9) キャプチャ動作

(a) カウント・クロックにTI00nの有効エッジを指定した場合

カウント・クロックにTI00nの有効エッジを指定した場合、TI00nをトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI01n, TI00n端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI00n, TI01n端子に入力するパルスには、PRM0nで選択したカウント・クロックの2回分より長いパルス幅が必要です (図7-9を参照)。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号（INTTM00n, INTTM01n）は次のカウント・クロックの立ち上がりで発生します（図7-9を参照）。

(d) CRC0n1（キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）のビット1） = 1に設定したときの注意

TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号（INTTM00n）は発生しません。この動作中に、TI01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。

(10) エッジ検出**(a) リセット後の有効エッジ指定**

リセット後、TI00n端子またはTI01n端子がハイ・レベルの状態、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI00nの有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で、後者はPRM0nで選択したカウント・クロックでサンプリングします。

TI00n端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます（図7-9を参照）。

(11) タイマ動作について

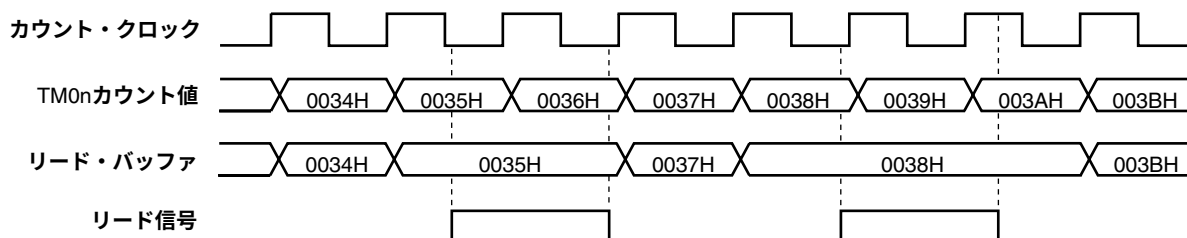
CPUの動作モードに関係なく、タイマが停止していると、TI00n/ TI01n端子への入力信号は受け付けられません。

備考1. f_{PRS} ：周辺ハードウェア・クロック周波数

2. $n = 0$: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 $n = 0, 1$: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(12) 16ビット・タイマ・カウンタ_{0n} (TM0n) のリードについて

TM0nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図7-63 16ビット・タイマ・カウンタ_{0n} (TM0n) のリード・タイミング

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

第8章 8ビット・タイマ／イベント・カウンタ50, 51

8.1 8ビット・タイマ／イベント・カウンタ50, 51の機能

8ビット・タイマ／イベント・カウンタ50, 51は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

8ビット・タイマ／イベント・カウンタ50, 51は、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

8.2 8ビット・タイマ／イベント・カウンタ50, 51の構成

8ビット・タイマ／イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表8-1 8ビット・タイマ／イベント・カウンタ50, 51の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3) ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

図8-1, 図8-2に、8ビット・タイマ／イベント・カウンタ50, 51のブロック図を示します。

図8-1 8ビット・タイマ／イベント・カウンタ50のブロック図

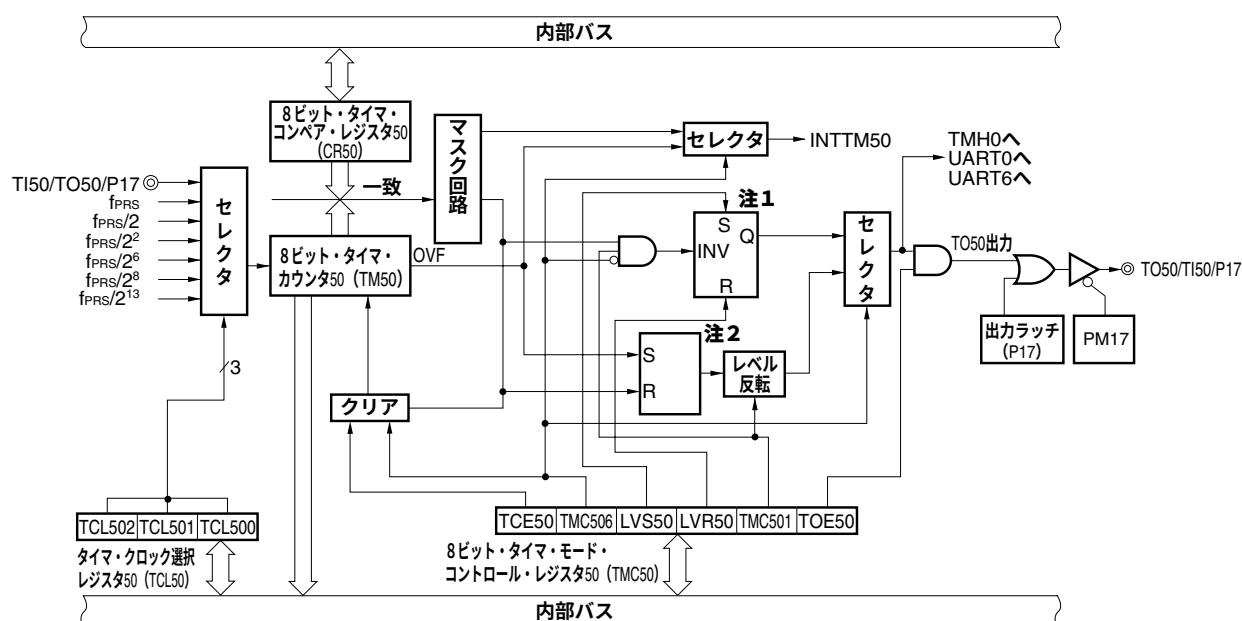
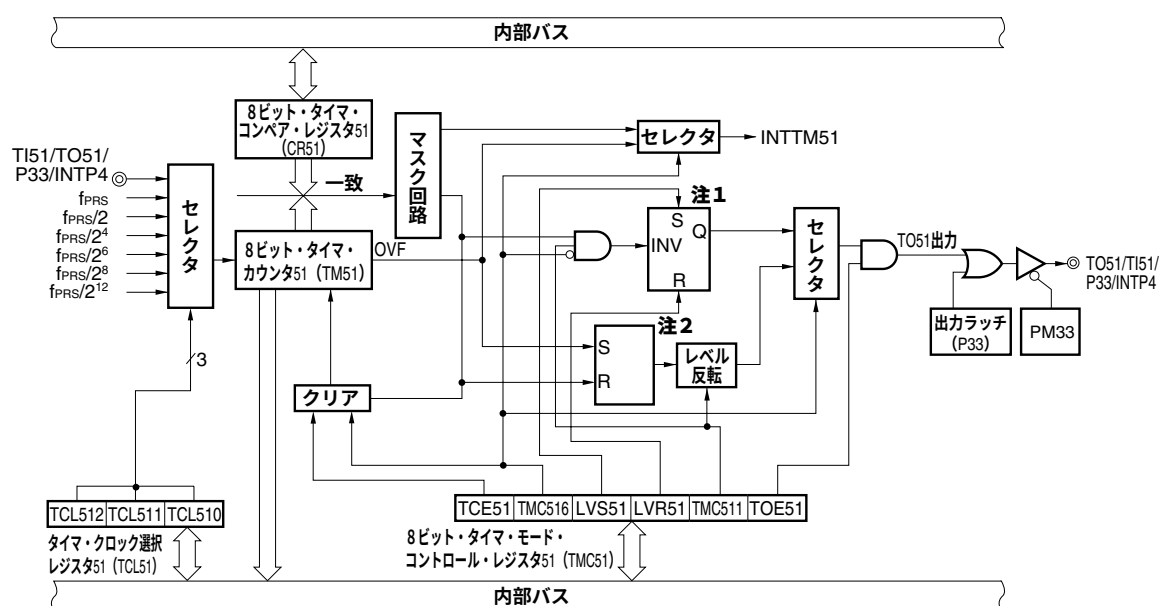


図8-2 8ビット・タイマ／イベント・カウンタ51のブロック図



注1. タイマ出力F/F

2. PWM出力F/F

(1) 8ビット・タイマ・カウンタ_{5n} (TM_{5n})

TM_{5n}は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりで同期して、カウンタをインクリメントします。

図8-3 8ビット・タイマ・カウンタ_{5n} (TM_{5n}) のフォーマット

アドレス：FF16H (TM₅₀) , FF1FH (TM₅₁) リセット時：00H R

略号	7	6	5	4	3	2	1	0
TM _{5n} (n = 0, 1)								

次の場合、カウント値は00Hになります。

- ① リセット信号の発生
- ② TCE_{5n}をクリア
- ③ TM_{5n}とCR_{5n}の一致でクリア&スタート・モード時のTM_{5n}とCR_{5n}の一致

(2) 8ビット・タイマ・コンペア・レジスタ_{5n} (CR_{5n})

CR_{5n}は、8ビット・メモリ操作でリード／ライト可能なレジスタです。

PWMモード以外ではCR_{5n}に設定した値と、8ビット・タイマ・カウンタ_{5n} (TM_{5n}) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM_{5n}) を発生します。

PWMモード時は、TM_{5n}とCR_{5n}の値の一致により、TO_{5n}出力はインアクティブ・レベルになりますが、割り込みは発生しません。

CR_{5n}の値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

図8-4 8ビット・タイマ・コンペア・レジスタ_{5n} (CR_{5n}) のフォーマット

アドレス：FF17H (CR₅₀) , FF41H (CR₅₁) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CR _{5n} (n = 0, 1)								

注意1. TM_{5n}とCR_{5n}の一致でクリア&スタート・モード (TMC_{5n6} = 0) 時は、動作中にCR_{5n}に異なる値を書き込まないでください。

2. PWMモード時は、CR_{5n}の書き換え間隔をカウント・クロック (TCL_{5n}で選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

8.3 8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ／イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図8-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス：FF6AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択 ^{注1}				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	TI50端子の立ち下がりエッジ ^{注2}				
0	0	1	TI50端子の立ち上がりエッジ ^{注2}				
0	1	0	fPRS ^{注3}	2 MHz	5 MHz	10 MHz	20 MHz ^{注4}
0	1	1	fPRS/2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	fPRS/2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	fPRS/2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz	2.44 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI50端子からの外部クロックでタイマ動作を開始させないでください。
- 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL502, TCL501, TCL500 = 0, 1, 0 (カウント・クロック：f_{PRS}) は設定禁止です。
- 4.0 V ≤ V_{DD} ≤ 5.5 Vの場合のみ設定可能です。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

- ビット3-7には必ず“0”を設定してください。

備考 f_{PRS}：周辺ハードウェア・クロック周波数

図8-6 タイマ・クロック選択レジスタ⁵¹ (TCL51) のフォーマット

アドレス：FF8CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択 ^{注1}				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	TI51端子の立ち下がりエッジ ^{注2}				
0	0	1	TI51端子の立ち上がりエッジ ^{注2}				
0	1	0	fPRS ^{注3}	2 MHz	5 MHz	10 MHz	20 MHz ^{注4}
0	1	1	fPRS/2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	fPRS/2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz	4.88 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI51端子からの外部クロックでタイマ動作を開始させないでください。
- 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL512, TCL511, TCL510 = 0, 1, 0 (カウント・クロック：f_{PRS}) は設定禁止です。
- 4.0 V ≤ V_{DD} ≤ 5.5 Vの場合のみ設定可能です。

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

- ビット3-7には必ず“0”を設定してください。

備考 f_{PRS}：周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ_{5n} (TMC_{5n})

TMC_{5n}は、次の5種類の設定を行うレジスタです。

- ① 8ビット・タイマ・カウンタ_{5n} (TM_{5n}) のカウント動作制御
- ② 8ビット・タイマ・カウンタ_{5n} (TM_{5n}) の動作モードの選択
- ③ タイマ出力F/F (フリップフロップ) の状態設定
- ④ タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- ⑤ タイマ出力の制御

TMC_{5n}は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生00Hになります。

備考 n = 0, 1

図8-7 8ビット・タイマ・モード・コントロール・レジスタ₅₀ (TMC₅₀) のフォーマット

アドレス: FF6BH リセット時: 00H R/W^注

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO50出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO50出力初期値ハイ・レベル)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (TO50出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

(注意と備考は次ページにあります。)

図8-8 8ビット・タイマ・モード・コントロール・レジスタ⁵¹ (TMC51) のフォーマットアドレス：FF43H リセット時：00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51
TCE51								
TM51のカウンタ動作制御								
0 カウンタを0にクリア後、カウンタ動作禁止（カウンタ停止）								
1 カウンタ動作開始								
TMC516								
TM51の動作モード選択								
0 TM51とCR51の一致でクリア&スタート・モード								
1 PWM（フリー・ランニング）モード								
LVS51 LVR51								
タイマ出力F/Fの状態設定								
0 0 変化しない								
0 1 タイマ出力F/Fをクリア（0）（TO51出力初期値ロウ・レベル）								
1 0 タイマ出力F/Fをセット（1）（TO51出力初期値ハイ・レベル）								
1 1 設定禁止								
TMC511								
PWMモード以外（TMC516 = 0） PWMモード（TMC516 = 1）								
タイマF/Fの制御 アクティブ・レベルの選択								
0 反転動作禁止 ハイ・アクティブ								
1 反転動作許可 ロウ・アクティブ								
TOE51								
タイマ出力の制御								
0 出力禁止（TO51出力はロウ・レベル出力）								
1 出力許可								

注 ビット2, 3はWrite Onlyです。

注意1. LVS5nとLVR5nの設定は、PWMモード時以外で有効になります。

2. 次の①～④の設定は同時に行わないでください。また設定は次の手順で行ってください。

① TMC5n1, TMC5n6を設定：動作モードの設定

② 出力を許可する場合、TOE5nを設定：タイマ出力許可

③ LVS5n, LVR5nを設定（注意1）：タイマF/Fの設定

④ TCE5nを設定

3. TCE5n = 1のとき、TMC5nの他のビットを設定することは禁止です。

4. 実際のTO50/TI50/P17, TO51/TI51/P33/INTP4端子の出力は、TO5n出力のほかにPM17とP17, PM33とP33によって決まります。

備考1. PWMモード時は、TCE5n = 0により、PWM出力はインアクティブ・レベルになります。

2. LVS5n, LVR5nは読み出すと、0になっています。

3. TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は、TCE5nの値に関係なくTO5n出力に反映されます。

4. n = 0, 1

(3) ポート・モード・レジスタ1, 3 (PM1, PM3)

ポート1, 3の入力／出力を1ビット単位で設定するレジスタです。

P17/TO50/TI50, P33/TO51/TI51/INTP4端子をタイマ出力として使用するとき, PM17, PM33およびP17, P33の出力ラッチに0を設定してください。

P17/TO50/TI50, P33/TO51/TI51/INTP4端子をタイマ入力として使用するとき, PM17, PM33に1を設定してください。このとき, P17, P33の出力ラッチは0または1のどちらでもかまいません。

PM1, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図8-9 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス: FF21H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図8-10 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス: FF23H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 8ビット・タイマ／イベント・カウンタ50, 51の動作

8.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

- ① 各レジスタの設定を行います。
 - ・ TCL5n : カウント・クロックの選択
 - ・ CR5n : コンペア値
 - ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000×××0B × = don't care)
- ② TCE5n = 1を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。
- ④ 以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

注意 動作中にCR5nに異なる値を書き込まないでください。

備考 INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図8-11 インターバル・タイマ動作のタイミング (1/2)



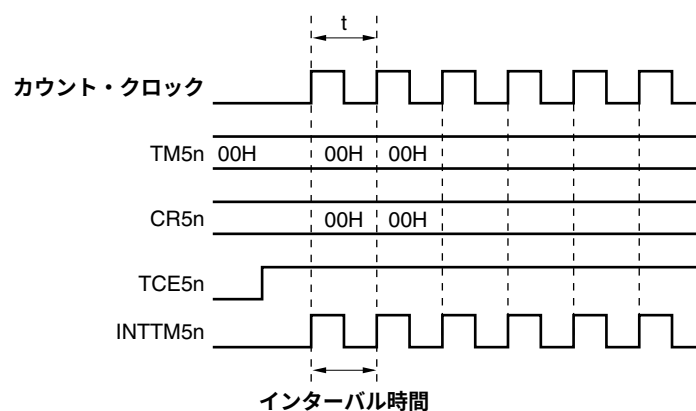
備考 インターバル時間 = $(N+1) \times t$

$N = 01H-FFH$

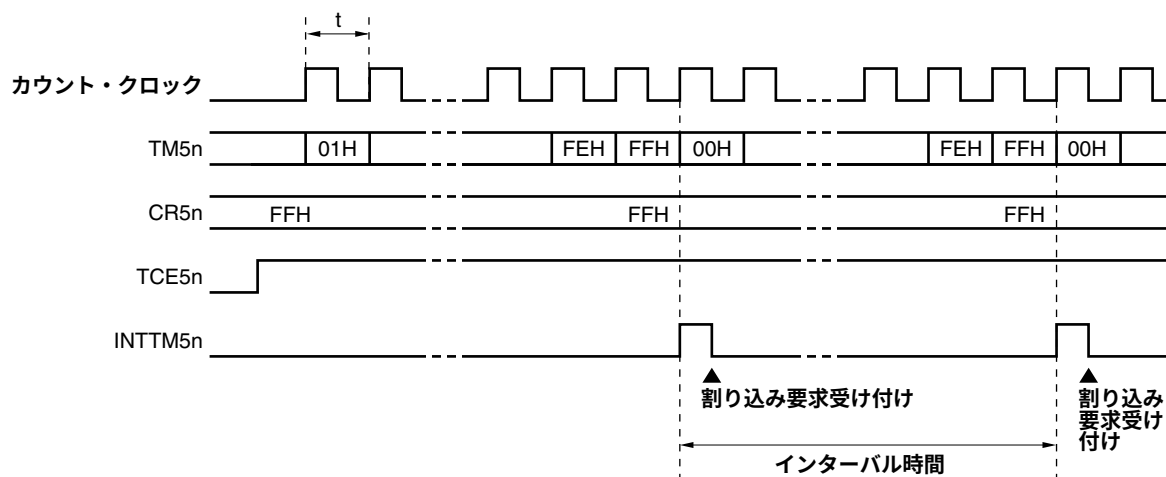
$n = 0, 1$

図8-11 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

8.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

設定方法

① 各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM17, PM33) [※]に“1”を設定
- ・TCL5n : TI5n端子入力のエッジ選択
 TI5n端子の立ち下がり→TCL5n = 00H
 TI5n端子の立ち上がり→TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
 (TMC5n = 00000000B)

② TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

③ TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

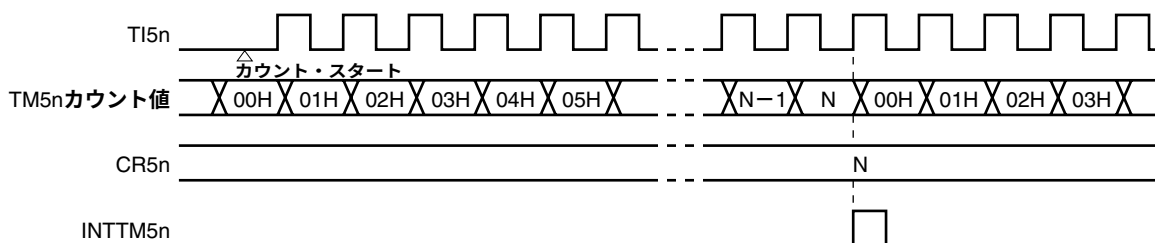
④ 以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

注 8ビット・タイマ／イベント・カウンタ50：PM17

8ビット・タイマ／イベント・カウンタ51：PM33

備考 INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図8-12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0, 1

8.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ= 50 %）が可能です。

設定方法

① 各レジスタの設定を行います。

- ・ポートの出力ラッチ (P17, P33) [※], ポート・モード・レジスタ (PM17, PM33) [※]に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	1	タイマ出力F/Fをクリア (0) (TO5n出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO5n出力初期値ハイ・レベル)

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

- ② TCE5n = 1を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。
- また、INTTM5nが発生し、TM5nは00Hにクリアされます。
- ④ 以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。
- 周波数は次のようになります。
- ・周波数= $1/2 \cdot t \cdot (N+1)$
 - (N : 00H-FFH)

注 8ビット・タイマ／イベント・カウンタ50 : P17, PM17

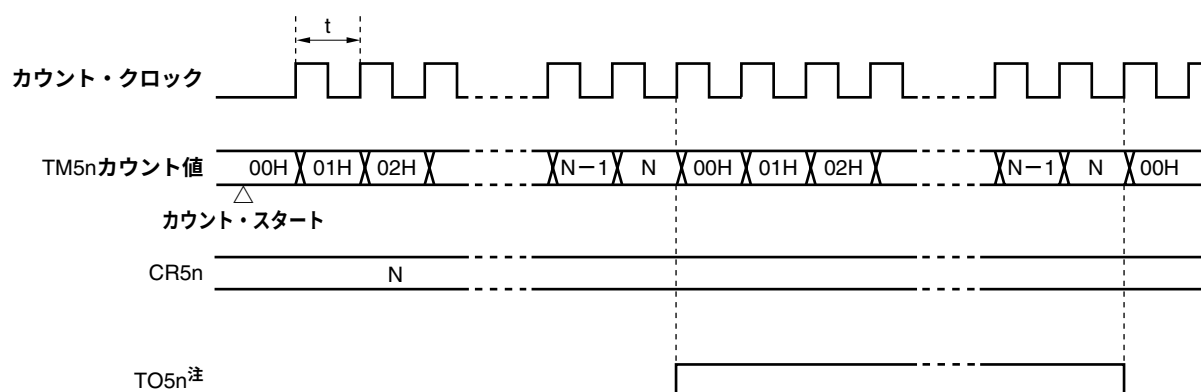
8ビット・タイマ／イベント・カウンタ51 : P33, PM33

注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

2. n = 0, 1

図8-13 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

8.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可／禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

(1) PWM出力の基本動作

設定方法

① 各レジスタの設定を行います。

- ・ポートの出力ラッチ (P17, P33) [※], ポート・モード・レジスタ (PM17, PM33) [※]に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

② TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

注 8ビット・タイマ／イベント・カウンタ50: P17, PM17

8ビット・タイマ／イベント・カウンタ51: P33, PM33

PWM出力の動作

- ① PWM出力 (TO5n出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。
- ② オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。
- ③ CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。
- ④ 以後, カウント動作が停止されるまで②, ③を繰り返します。
- ⑤ TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図8-14, 8-15を参照してください。

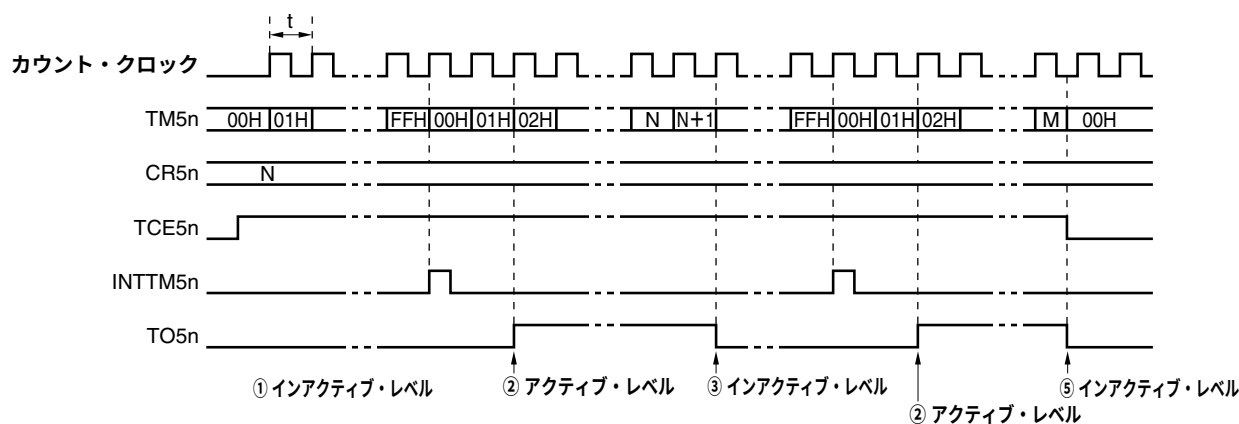
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
- ・アクティブ・レベル幅 = Nt
- ・デューティ = $N/2^8$
(N = 00H-FFH)

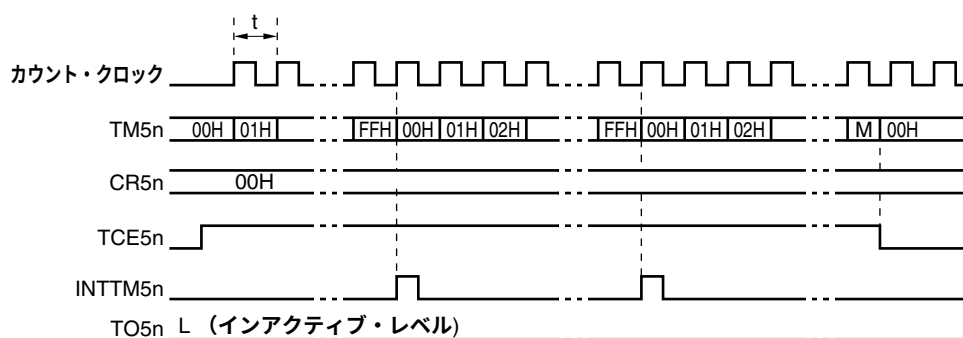
備考 n = 0, 1

図8-14 PWM出力動作のタイミング

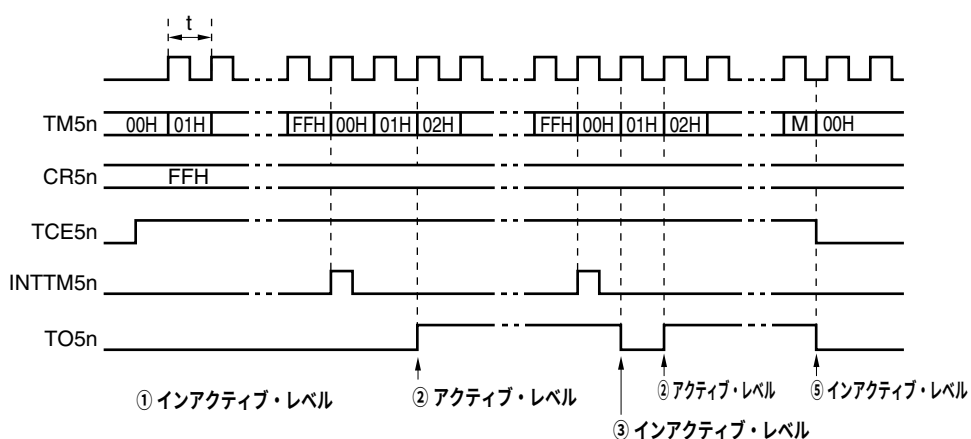
(a) 基本動作 (アクティブ・レベル = H のとき)



(b) CR5n = 00H の場合



(c) CR5n = FFH の場合



備考1. 図8-14 (a) と (c) の①-③, ⑤は, 8.4.4 (1) PWM出力の基本動作 PWM出力の動作 の①-③, ⑤と対応しています。

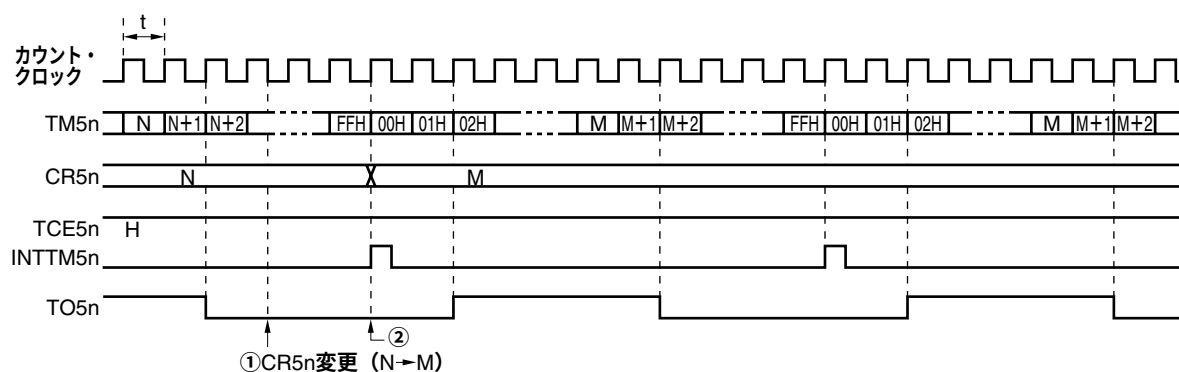
2. $n = 0, 1$

(2) CR5n変更による動作

図8-15 CR5n変更による動作のタイミング

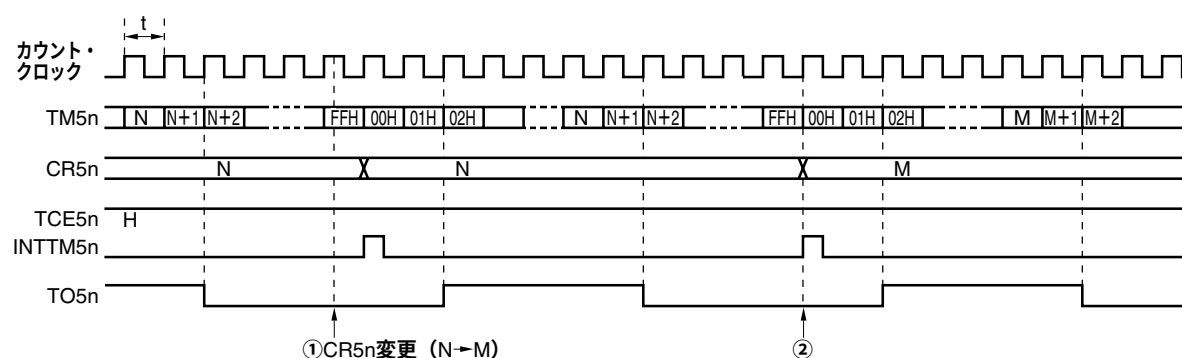
(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN→Mに変更した場合

→直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN→Mに変更した場合

→2回目のオーバーフローでCR5nに値が転送されます



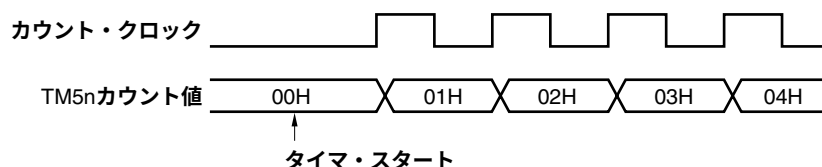
注意 図8-15の①から②の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

8.5 8ビット・タイマ／イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

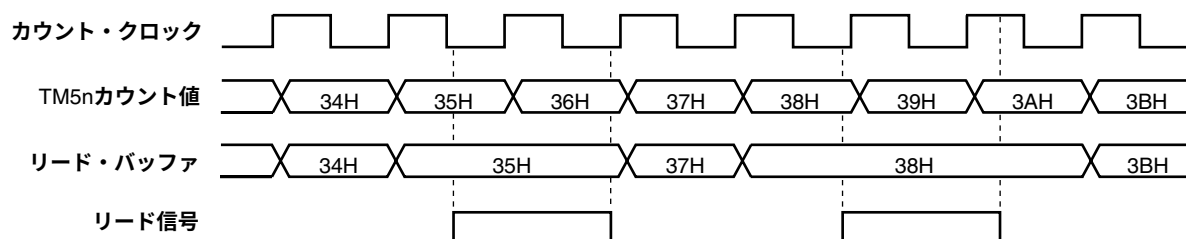
図8-16 8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング



(2) 8ビット・タイマ・カウンタ5n (TM5n) のリードについて

TM5nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図8-17 8ビット・タイマ・カウンタ5n (TM5n) のリード・タイミング



備考 n = 0, 1

第9章 8ビット・タイマH0, H1

9.1 8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

8ビット・タイマH0, H1には、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力
- ・キャリア・ジェネレータ（8ビット・タイマH1のみ）

9.2 8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は、次のハードウェアで構成されています。

表9-1 8ビット・タイマH0, H1の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	TOHn, 出力制御回路
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) 注 ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

備考 n = 0, 1

図9-1と9-2にブロック図を示します。

図9-1 8ビット・タイマH0のブロック図

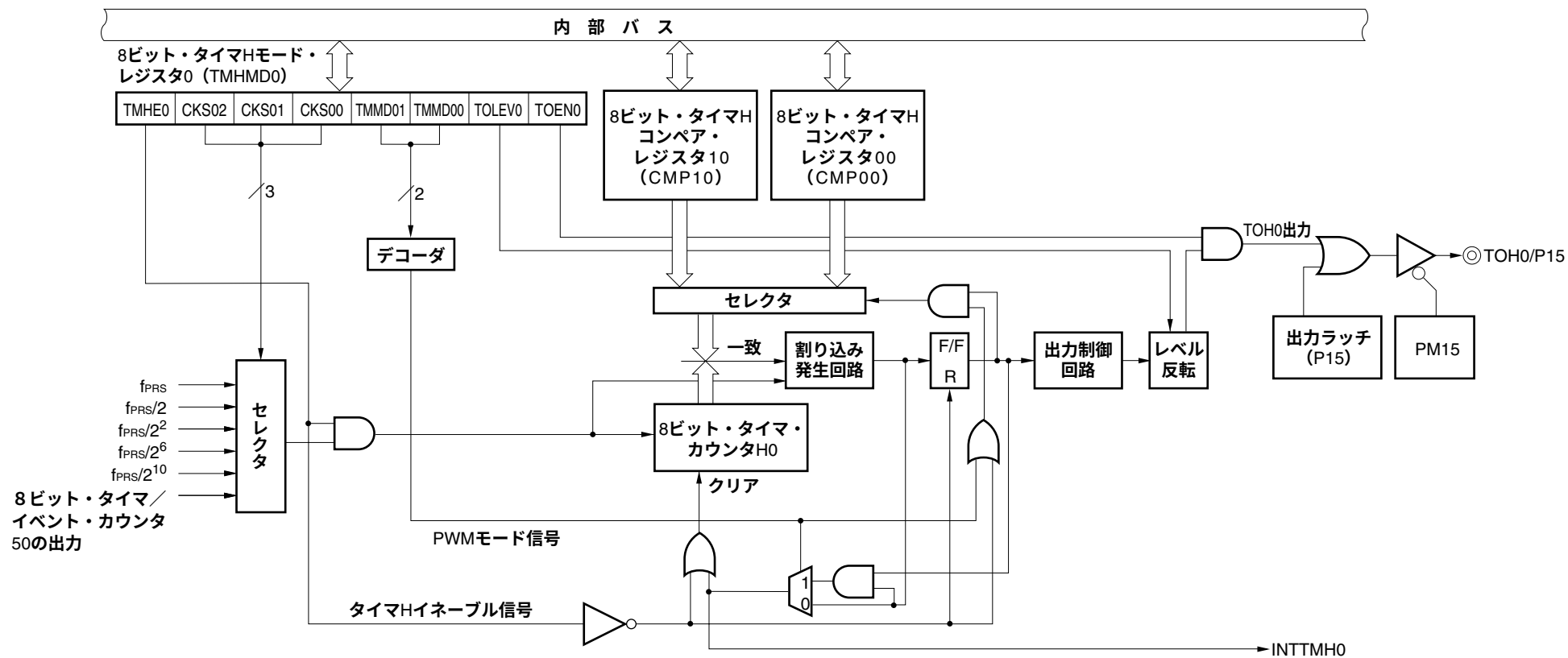
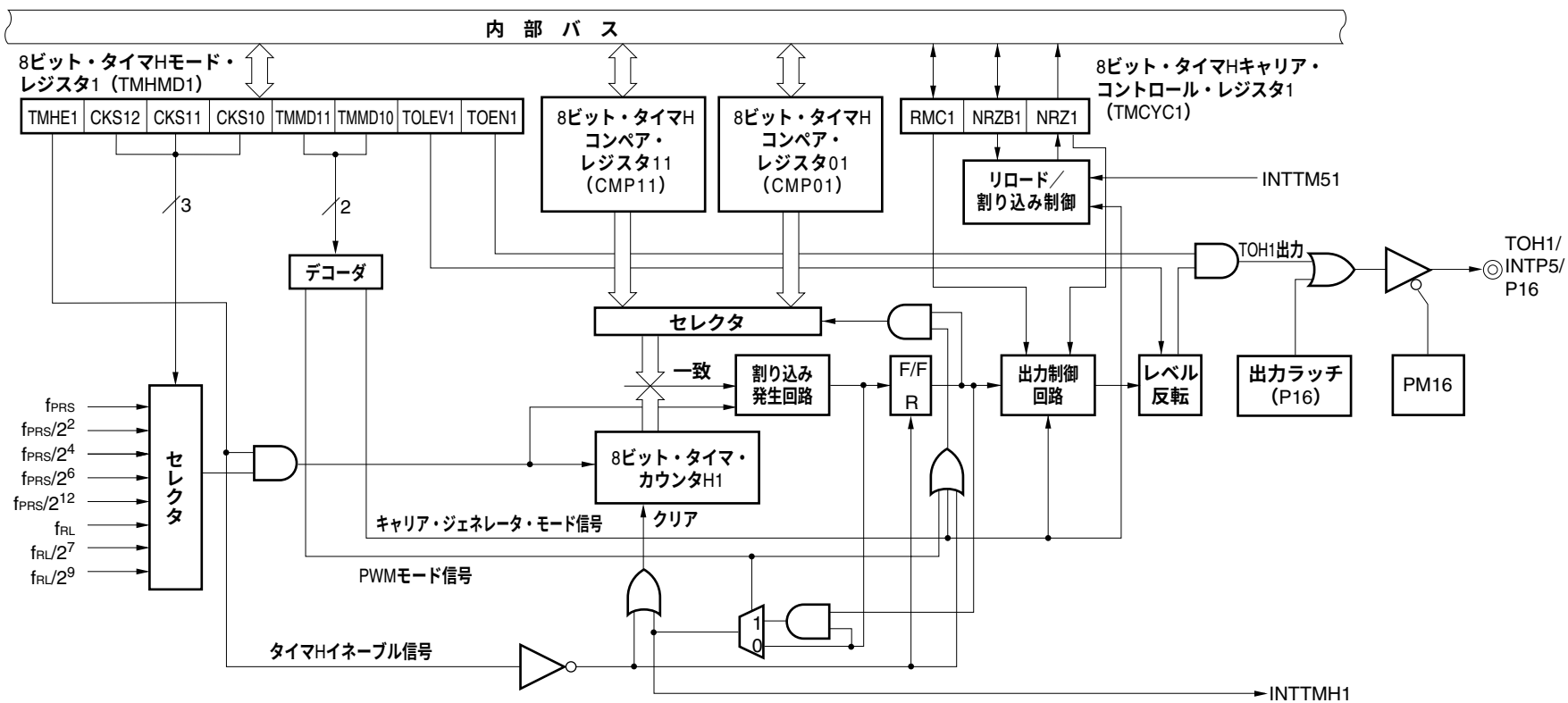


図9-2 8ビット・タイマH1のブロック図



(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

8ビット・メモリ操作命令でリード／ライト可能なレジスタです。すべてのタイマ動作モードで使します。

CMP0nに設定した値と8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHnの出力レベルを反転させます。

CMP0nは、タイマ停止中 (TMHEn = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図9-3 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット

アドレス：FF18H (CMP00) , FF1AH (CMP01) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CMP0n (n = 0, 1)								

注意 CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード／ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使します。

PWM出力モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、TOHnの出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウント値はクリアされます。

CMP1nは、タイマ・カウント動作中にリフレッシュ (同値書き込み) および値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換える場合、その値はラッチされ、カウント値と変更前のCMP1nの値が一致するタイミングでCMP1nに転送され、CMP1nの値が変更されます。カウント値とCMP1n値の一致するタイミングとCMP1nへの値の書き込みが競合した場合、CMP1n値は変更されません。

リセット信号の発生により、00Hになります。

図9-4 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット

アドレス：FF19H (CMP10) , FF1BH (CMP11) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CMP1n (n = 0, 1)								

注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0, 1

9.3 8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ_n (TMHMD_n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ^注
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタ_n (TMHMD_n)

タイマHのモードを制御するレジスタです。

TMHMD_nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 $n = 0, 1$

図9-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス：FF69H リセット時：00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止（カウンタは0にクリア）
1	タイマ・カウント動作許可（クロックを入力することでカウント動作開始）

CKS02	CKS01	CKS00	カウント・クロックの選択 ^{※1}				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	fPRS ^{※2}	2 MHz	5 MHz	10 MHz	20 MHz ^{※3}
0	0	1	fPRS/2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	1	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	0	0	fPRS/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.54 kHz
1	0	1	TM50の出力 ^{※4}				
上記以外			設定禁止				

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御（デフォルト時）
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック（fPRS）は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ VDD ≤ 5.5 V	fPRS ≤ 20 MHz	fPRS ≤ 20 MHz
2.7 V ≤ VDD < 4.0 V	fPRS ≤ 10 MHz	
1.8 V ≤ VDD < 2.7 V (標準品, (A) 水準品のみ)	fPRS ≤ 5 MHz	fPRS ≤ 5 MHz

(上述の表は、fPRS = fXH (XSEL = 1) の場合です)

注2. $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している ($XSEL = 0$) 場合、 $CKS02 = CKS01 = CKS00 = 0$ (カウント・クロック: f_{PRS}) は設定禁止です。

3. $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の場合のみ設定可能です。

4. TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。

- TM50とCR50の一致でクリア&スタート・モード ($TMC506 = 0$)

タイマF/Fの反転動作を許可 ($TMC501 = 1$) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- PWMモード ($TMC506 = 1$)

デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 ($TOE50 = 1$) する必要はありません。

注意1. $TMHE0 = 1$ のとき、TMHMD0の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。

2. PWM出力モードでは、タイマ・カウント動作停止 ($TMHE0 = 0$) 設定後、タイマ・カウント動作を開始する ($TMHE0 = 1$) 場合、必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも、必ず再設定してください) 。

3. 実際のTOH0/P15端子の出力は、TOH0出力のほかにPM15とP15によって決まります。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506: 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

3. TMC501: TMC50のビット1

図9-6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス: FF6CH リセット時: 00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択 ^{※1}				
				fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz
0	0	0	fPRS ^{※2}	2 MHz	5 MHz	10 MHz	20 MHz ^{※3}
0	0	1	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	0	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	0	0	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz	4.88 kHz
1	0	1	fRL/2 ⁷	1.88 kHz (TYP.)			
1	1	0	fRL/2 ⁹	0.47 kHz (TYP.)			
1	1	1	fRL	240 kHz (TYP.)			

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (fPRS) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ VDD ≤ 5.5 V	fPRS ≤ 20 MHz	fPRS ≤ 20 MHz
2.7 V ≤ VDD < 4.0 V	fPRS ≤ 10 MHz	
1.8 V ≤ VDD < 2.7 V (標準品, (A) 水準品のみ)	fPRS ≤ 5 MHz	fPRS ≤ 5 MHz

(上述の表は、fPRS = fXH (XSEL = 1) の場合です)

注2. $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している ($XSEL = 0$) 場合、 $CKS12 = CKS11 = CKS10 = 0$ (カウント・クロック: f_{PRS}) は設定禁止です。

3. $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の場合のみ設定可能です。

注意1. $TMHE1 = 1$ のとき、 $TMHMD1$ の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。

- PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 ($TMHE1 = 0$) 設定後、タイマ・カウント動作を開始する ($TMHE1 = 1$) 場合、必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。
- キャリア・ジェネレータ・モードを使用する場合、 $TMH1$ のカウント・クロック周波数を $TM51$ のカウント・クロック周波数の6倍以上になるように設定してください。
- 実際の $TOH1/INTP5/P16$ 端子の出力は、 $TOH1$ 出力のほかに $PM16$ と $P16$ によって決まります。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. f_{RL} : 低速内蔵発振クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。

TMCYC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-7 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス: FF6DH リセット時: 00H R/W[※]

略号	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1: キャリア・パルス出力, RMC1 = 0: ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 $TMHE1 = 1$ のとき、RMC1を書き換えしないでください。ただし、TMCYC1にリフレッシュ (同値書き込み) することは可能です。

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P15/TOH0, P16/TOH1/INTP5端子をタイマ出力として使用するとき、PM15, PM16およびP15, P16の出力ラッチに0を設定してください。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図9-8 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマH0, H1の動作

9.4.1 インターバル・タイマ／方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n（CMP0n）が一致した場合、割り込み要求信号（INTTMHn）が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n（CMP1n）は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

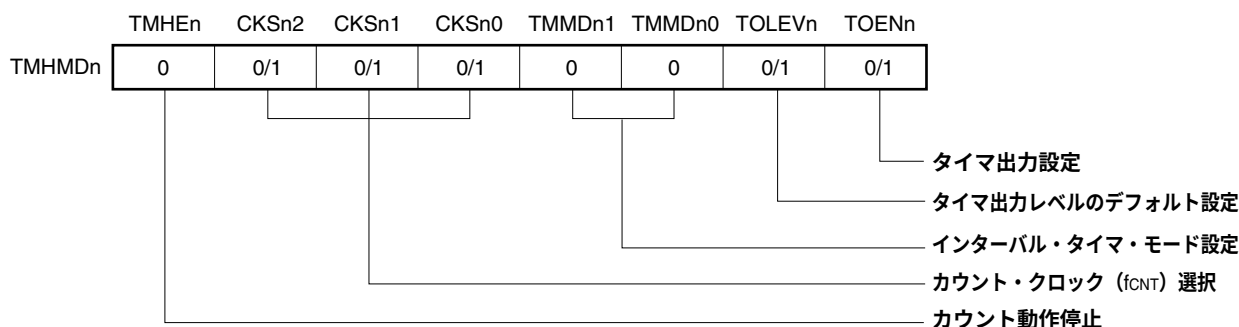
また、タイマHモード・レジスタn（TMHMDn）のビット0（TOENn）に1を設定することにより、TOHnより任意の周波数の方形波出力（デューティ= 50 %）が出力されます。

設定方法

- ① 各レジスタの設定を行います。

図9-9 インターバル・タイマ／方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn（TMHMDn）の設定



(ii) CMP0nレジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\text{インターバル時間} = (N+1) / f_{\text{CNT}}$$

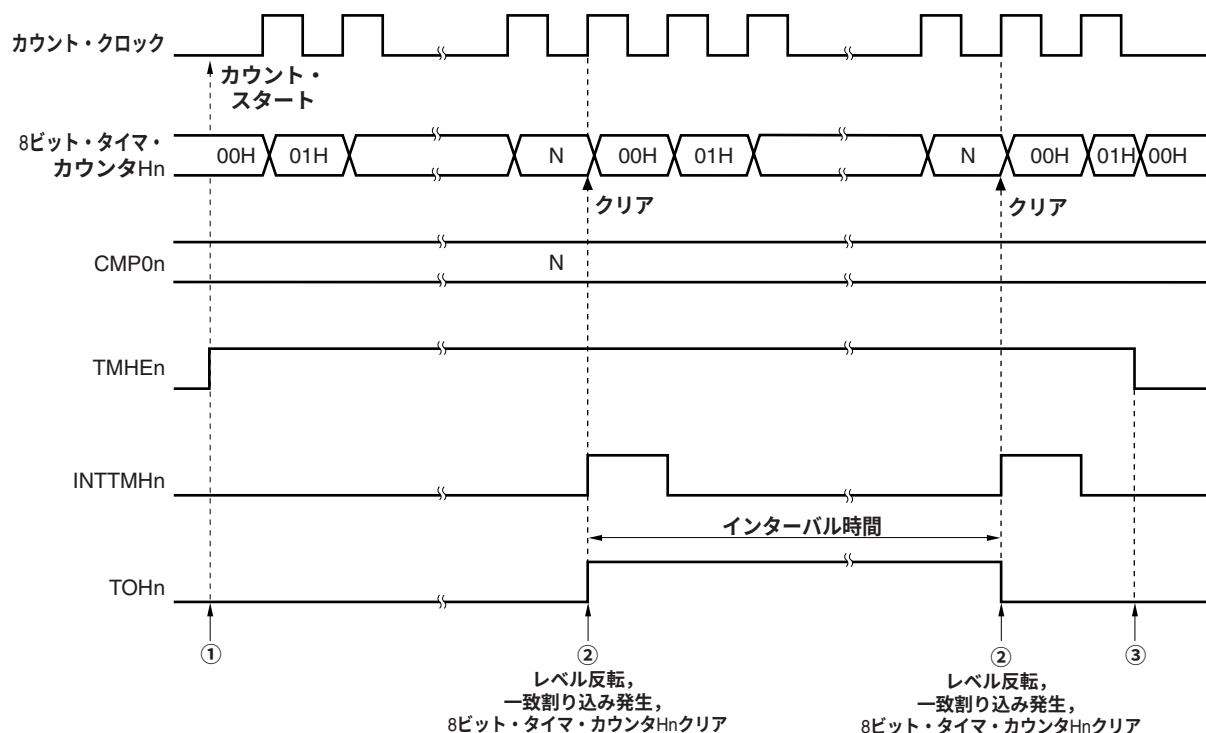
- ② TMHEn = 1によりカウント動作を開始します。
- ③ 8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。
- ④ 以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

備考1. 出力端子の設定については9.3 (3) ポート・モード・レジスタ1（PM1）を参照してください。

2. INTTMHn信号の割り込み許可については、第20章 割り込み機能を参照してください。

3. n = 0, 1

図9-10 インターバル・タイマ／方形波出力動作のタイミング (1/2)

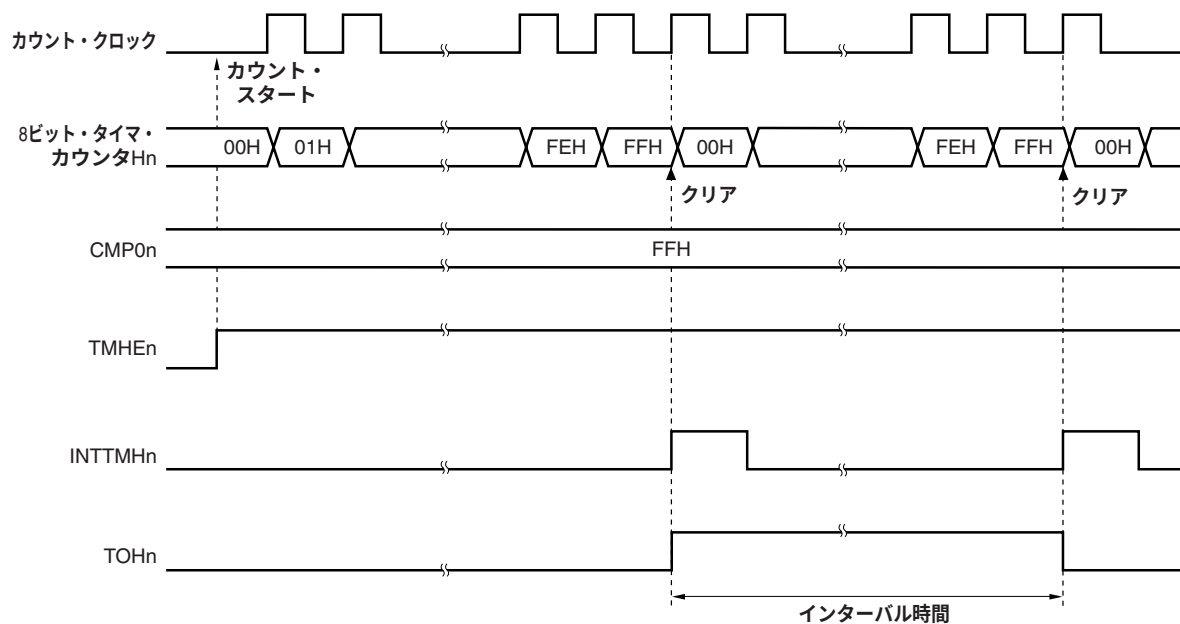
(a) 基本動作 ($01H \leq CMP0n \leq FEH$ 時の動作)

- ① TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてスタートします。
- ② 8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMHn信号を出力します。
- ③ タイマH動作中にTMHEnビットを0にすると、INTTMHn信号およびTOHn出力はデフォルト状態になります。TMHEnビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

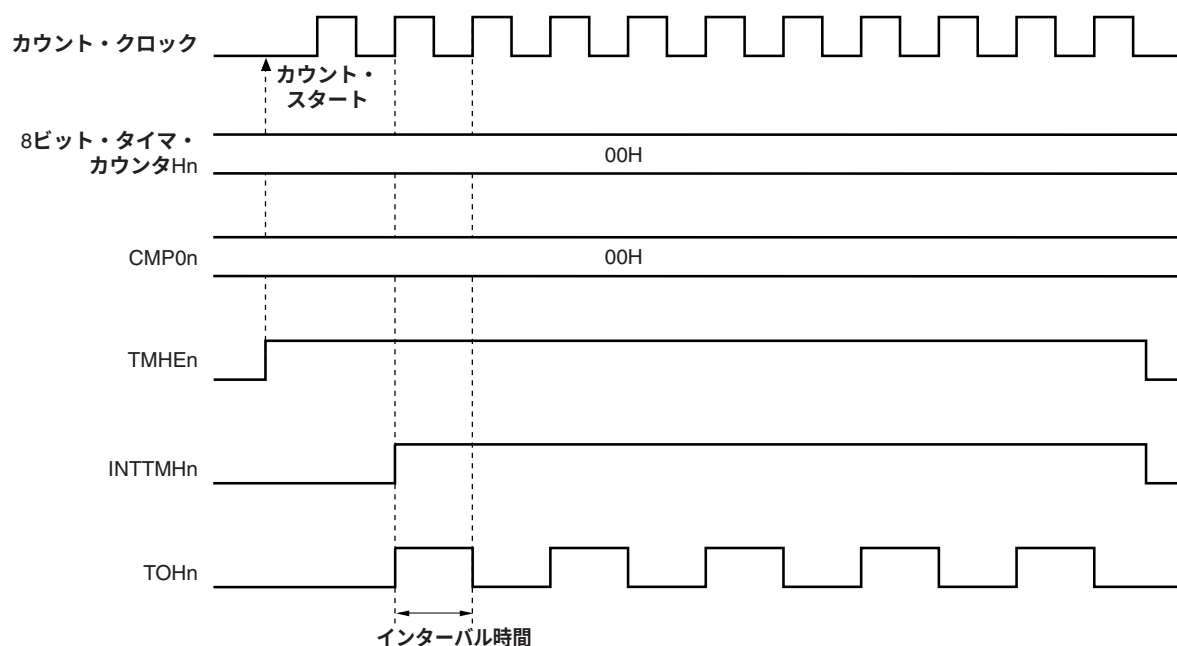
備考 $n = 0, 1$ $01H \leq N \leq FEH$

図9-10 インターバル・タイマ／方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0, 1

9.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

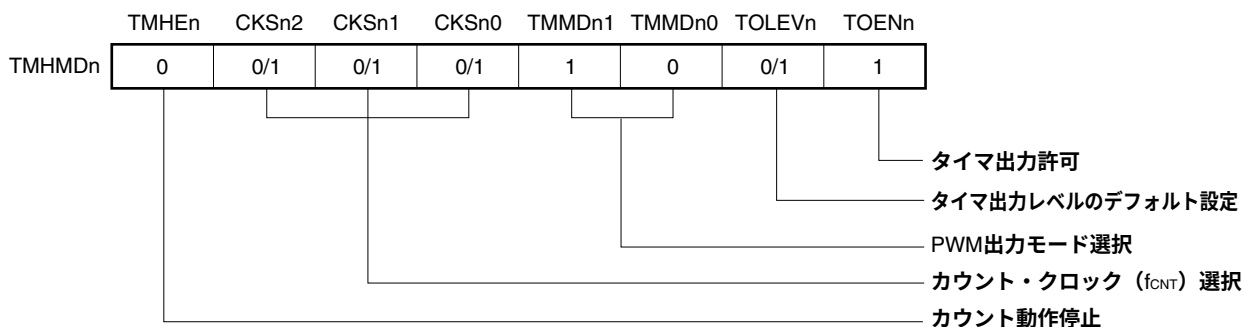
タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致すると、PWM出力 (TOHn出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタHnは0にクリアされます。また8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、PWM出力 (TOHn出力) はインアクティブ・レベルを出力します。

設定方法

- ① 各レジスタの設定を行います。

図9-11 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1. $n = 0, 1$

$$2. 00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq FFH$$

- ② TMHEn = 1によりカウント動作を開始します。

- ③ カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、アクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。
- ④ 8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、インアクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。
- ⑤ 以上③と④を繰り返し、任意のデューティのパルスを得ることができます。
- ⑥ カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を (N) , CMP1nレジスタを (M) , カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

- ・PWMパルス出力周期 = $(N+1) / f_{CNT}$
- ・デューティ = $(M+1) / (N+1)$

注意1. タイマ・カウント動作中に、CMP1nレジスタの設定値を変更することができます。ただし、CMP1nレジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号) の3クロック分以上かかります。

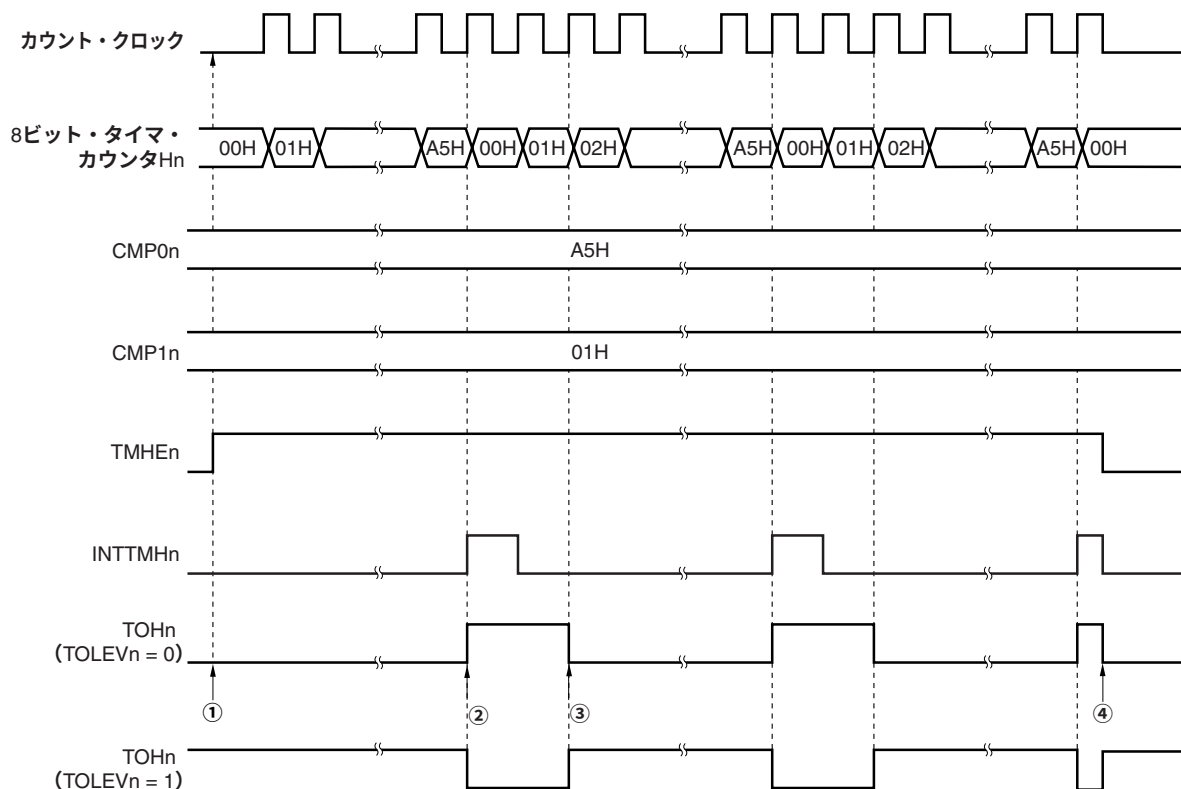
- 2. タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください) 。
- 3. CMP1nレジスタの設定値 (M) , CMP0nレジスタの設定値 (N) は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq \text{FFH}$$

- 備考1.** 出力端子の設定については9.3 (3) ポート・モード・レジスタ1 (PM1) を参照してください。
- 2. INTTMHn信号の割り込み許可については、第20章 割り込み機能を参照してください。
 - 3. $n = 0, 1$

図9-12 PWM出力動作のタイミング (1/4)

(a) 基本動作

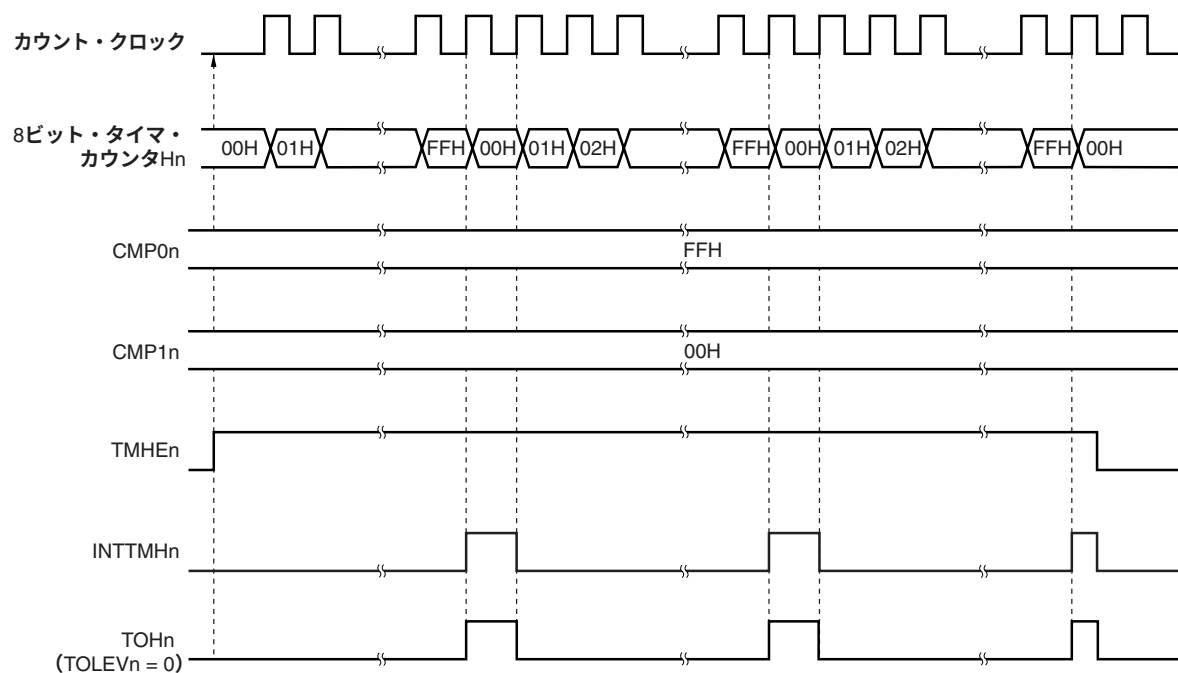


- ① TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのときPWM出力はインアクティブ・レベルを出力します。
- ② 8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。
- ③ 8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。
- ④ タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

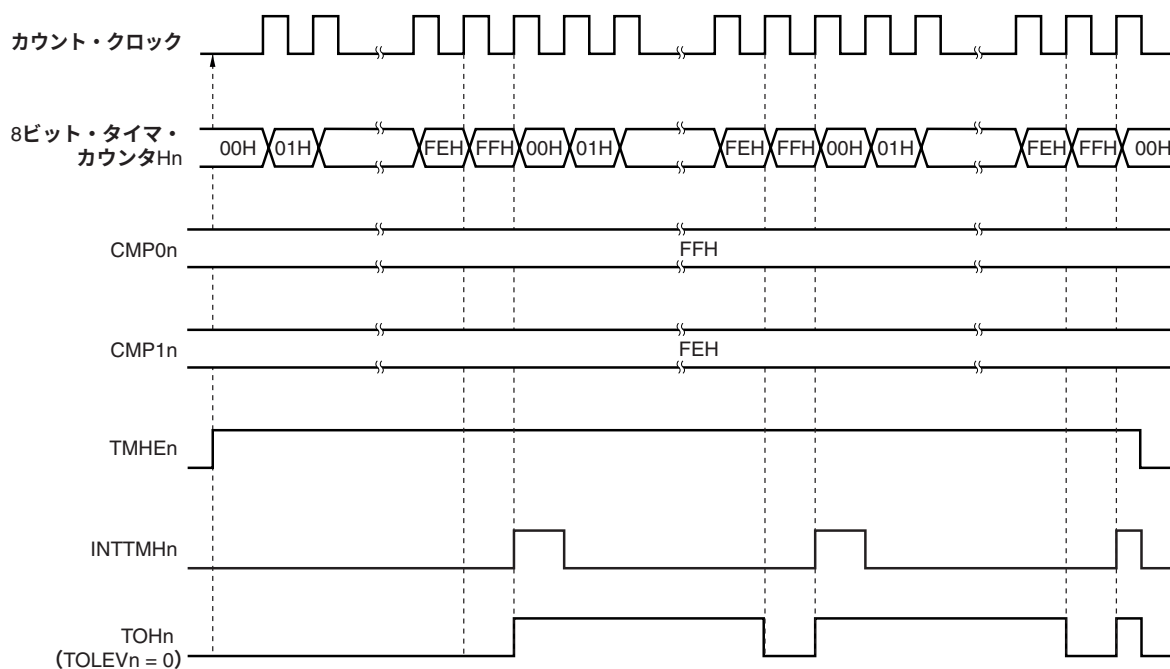
備考 n = 0, 1

図9-12 PWM出力動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



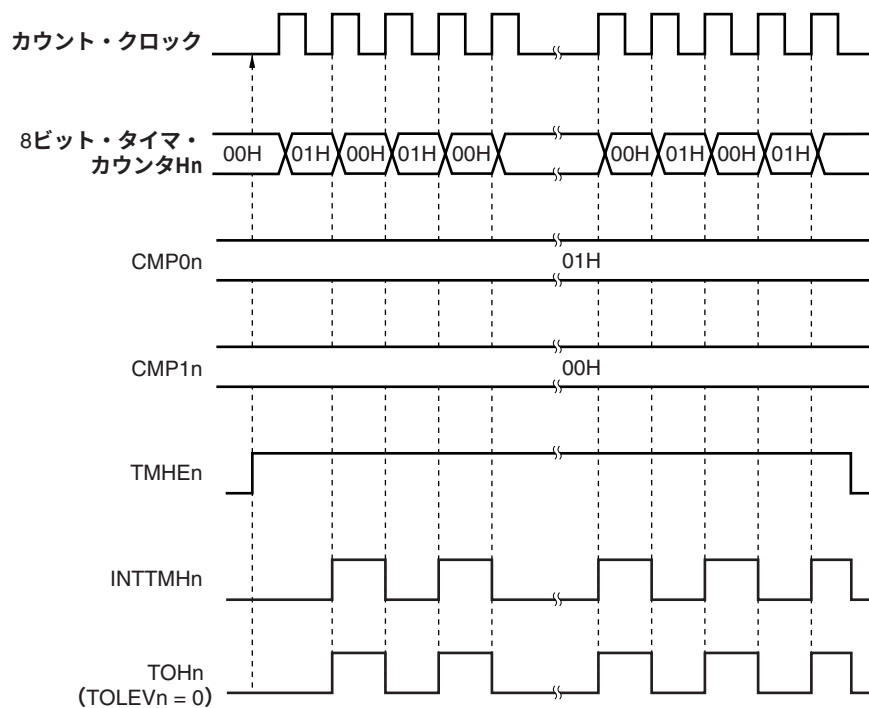
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0, 1

図9-12 PWM出力動作のタイミング (3/4)

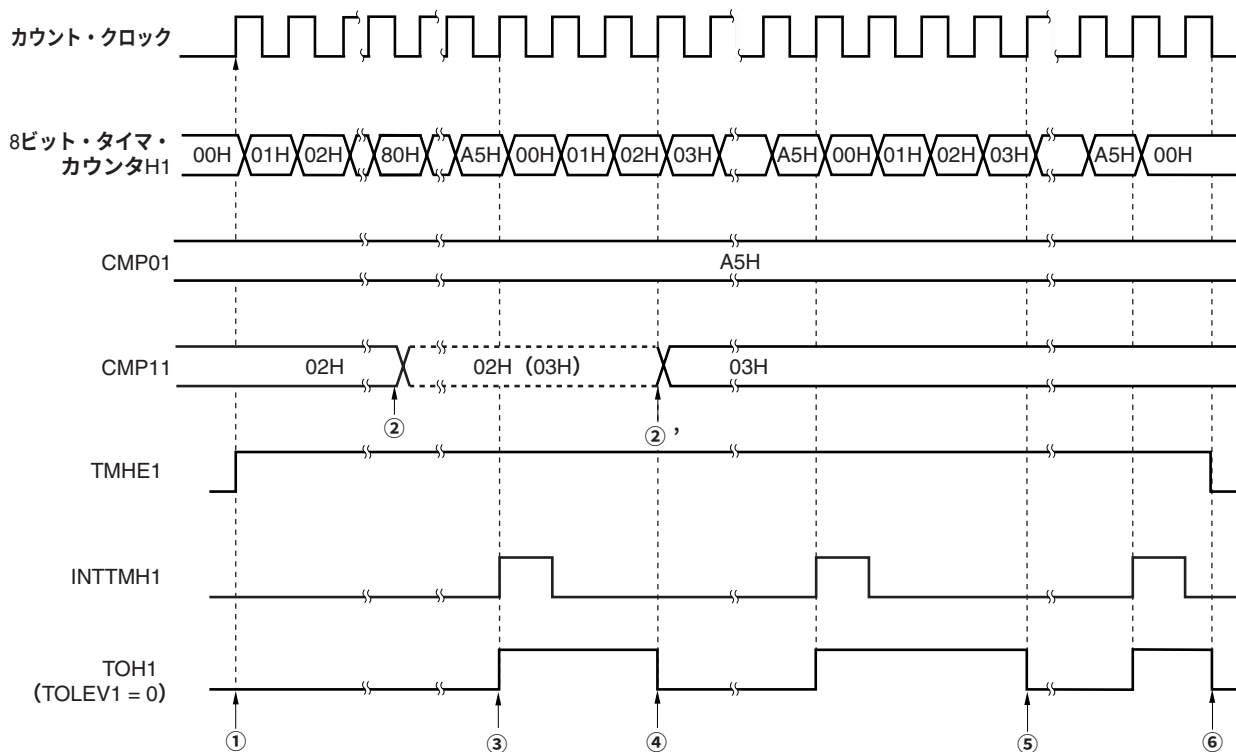
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0, 1

図9-12 PWM出力動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 02H→03H, CMP0n = A5H)



- ① TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。
 - ② タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。
 - ③ 8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、アクティブ・レベルを出力し、INTTMHn信号が発生します。
 - ④ CMP1nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると、CMP1nレジスタに転送されCMP1nレジスタの値が変更されます(②')。
- ただし、CMP1nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。
- ⑤ 8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。
 - ⑥ タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

備考 n = 0, 1

9.4.3 キャリア・ジェネレータとしての動作（8ビット・タイマH1のみ）

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ／イベント・カウンタ51を赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ／イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ／イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出力します。

(1) キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01（CMP01）はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11（CMP11）はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

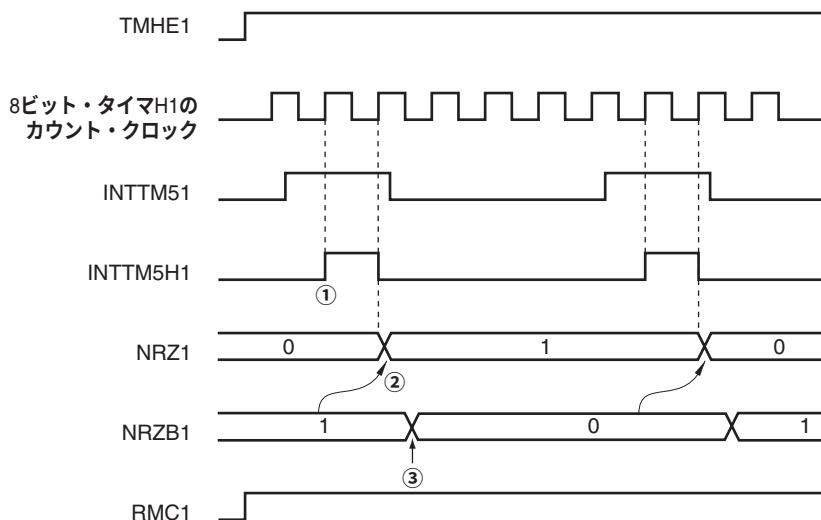
(2) キャリアの出力制御

キャリアの出力制御は8ビット・タイマ／イベント・カウンタ51の割り込み要求信号（INTTM51）と8ビット・タイマHキャリア・コントロール・レジスタ（TMCYC1）のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出 力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジで ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジで キャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード／ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図9-13 転送タイミング



- ① INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。
- ② INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。
- ③ INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

- 注意1.** NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2.** 8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、①のタイミングで割り込みが発生します。8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

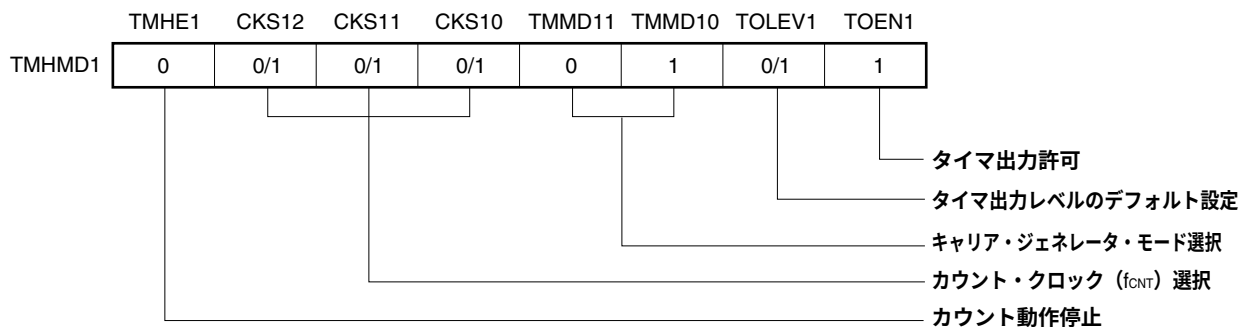
備考 INTTM5H1は内部信号で、割り込み要因ではありません。

設定方法

- ① 各レジスタの設定を行います。

図9-14 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 … リモコン出力許可ビット
- ・NRZB1 = 0/1 … キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・8.3 8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ参照

- ② TMHE1 = 1を設定すると、8ビット・タイマH1のカウント動作を開始します。
- ③ 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ／イベント・カウンタ51のカウント動作を開始します。
- ④ カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。
- ⑤ 8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。
- ⑥ 以上④と⑤の繰り返しによって、キャリア・クロックが生成されます。

- ⑦ INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。
- ⑧ INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウンタするためのデータを書き込みます。
- ⑨ NRZ1ビットがハイ・レベルのとき、TOH1出力よりキャリア・クロックを出力します。
- ⑩ 以上を繰り返し、任意のキャリア・クロックを得ることができます。カウンタ動作を停止するときはTMHE1 = 0にします。

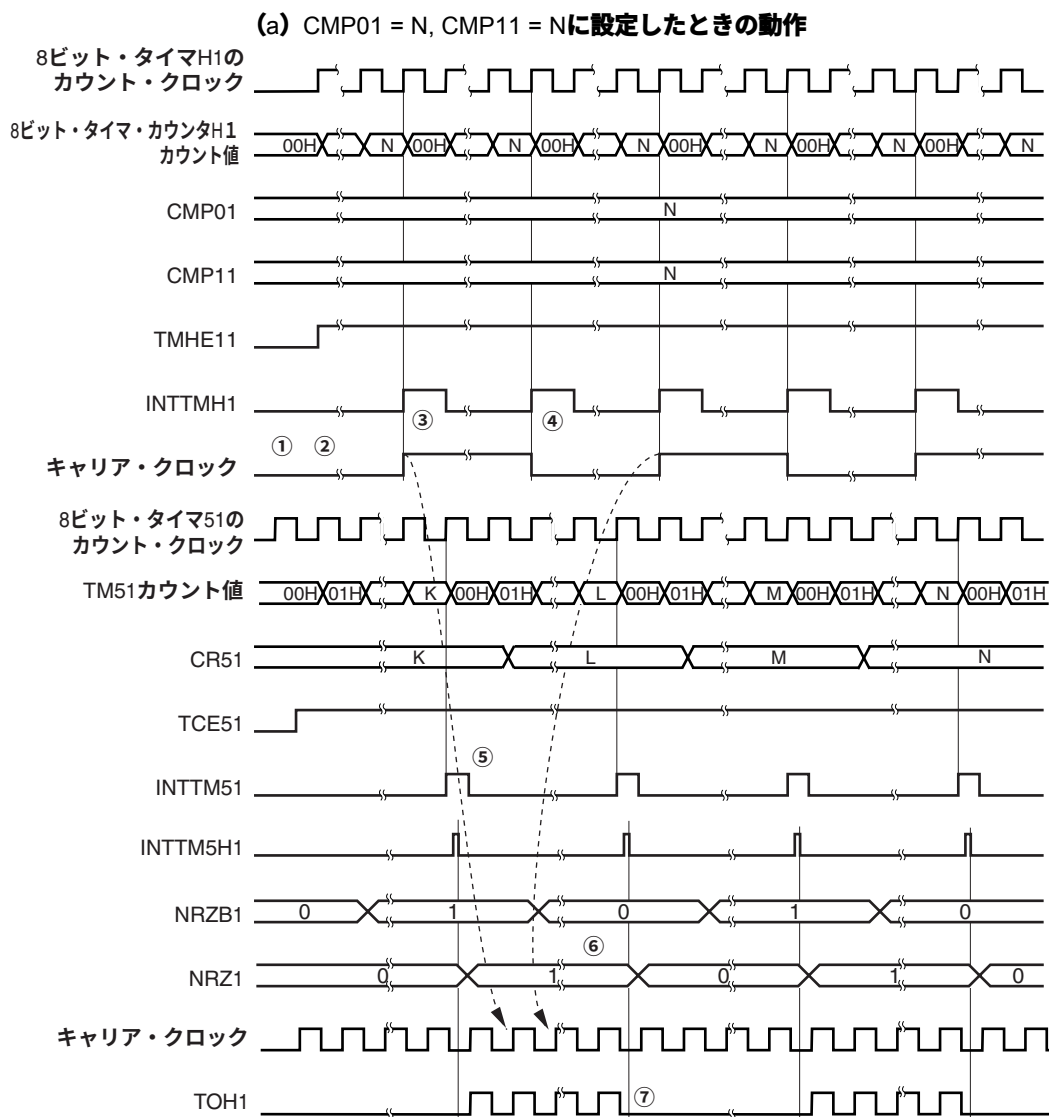
CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウンタ・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 = $(N+M+2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅/キャリア・クロック出力幅 = $(M+1) / (N+M+2)$

- 注意1.** タイマ・カウンタ動作停止 (TMHE1 = 0) 設定後、タイマ・カウンタ動作を開始する (TMHE1 = 1) 場合、必ずCMP11レジスタを設定してください (CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。
- 2. TMH1のカウンタ・クロック周波数をTM51のカウンタ・クロック周波数の6倍以上になるように設定してください。
 - 3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
 - 4. タイマ・カウンタ動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMD1レジスタのCKS12-CKS10ビットで選択された信号) の3クロック分以上かかります。
 - 5. RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。

- 備考1.** 出力端子の設定については9.3 (3) ポート・モード・レジスタ1 (PM1) を参照してください。
- 2. INTTMH1信号の割り込み許可については、第20章 割り込み機能を参照してください。

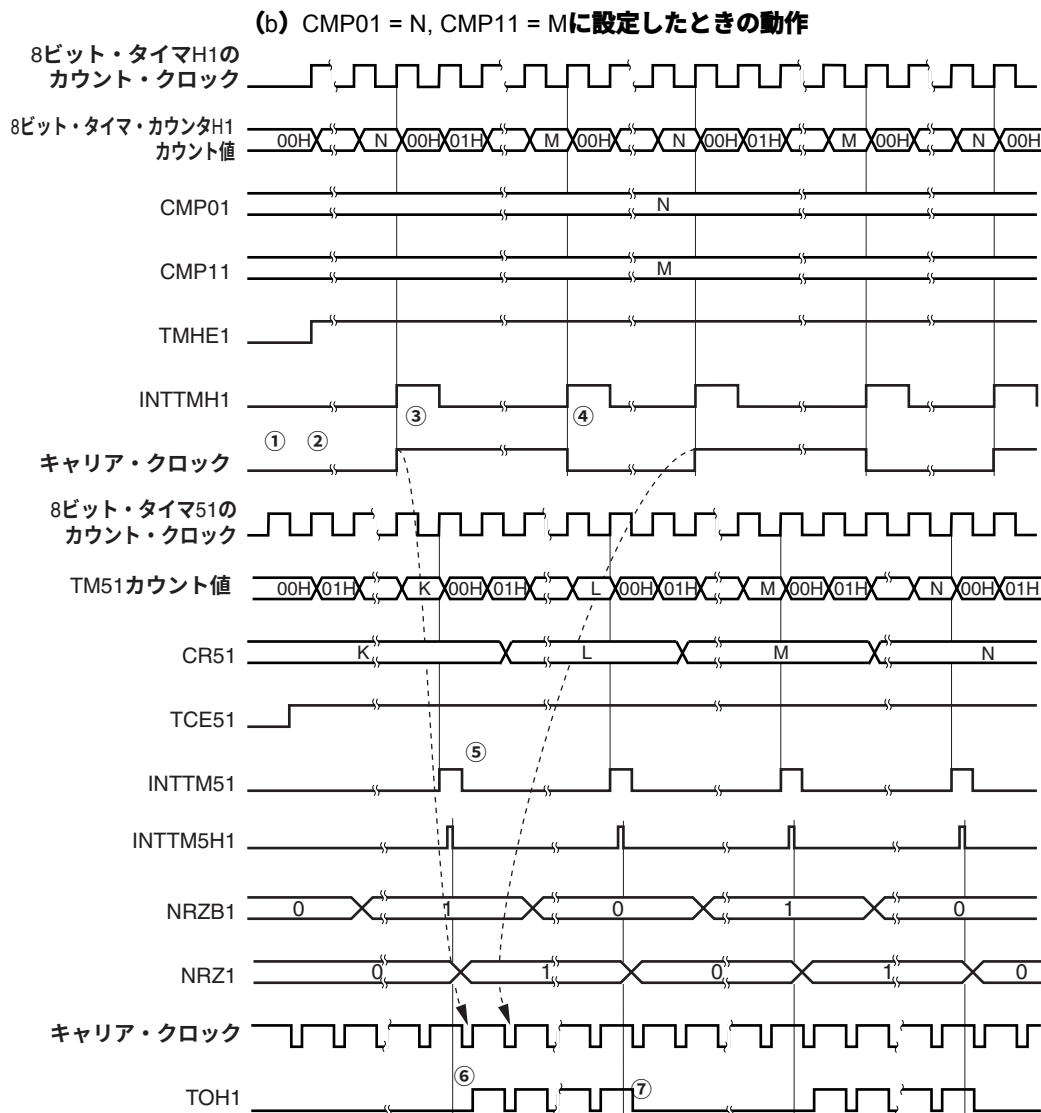
図9-15 キャリア・ジェネレータ・モード動作のタイミング (1/3)



- ① TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。
- ② TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。
- ③ 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。
- ④ 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。
- ③と④を繰り返し、デューティ50 %固定のキャリア・クロックを生成します。
- ⑤ INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。
- ⑥ INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。
- ⑦ NRZ1 = 0により、TOH1出力はロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図9-15 キャリア・ジェネレータ・モード動作のタイミング (2/3)

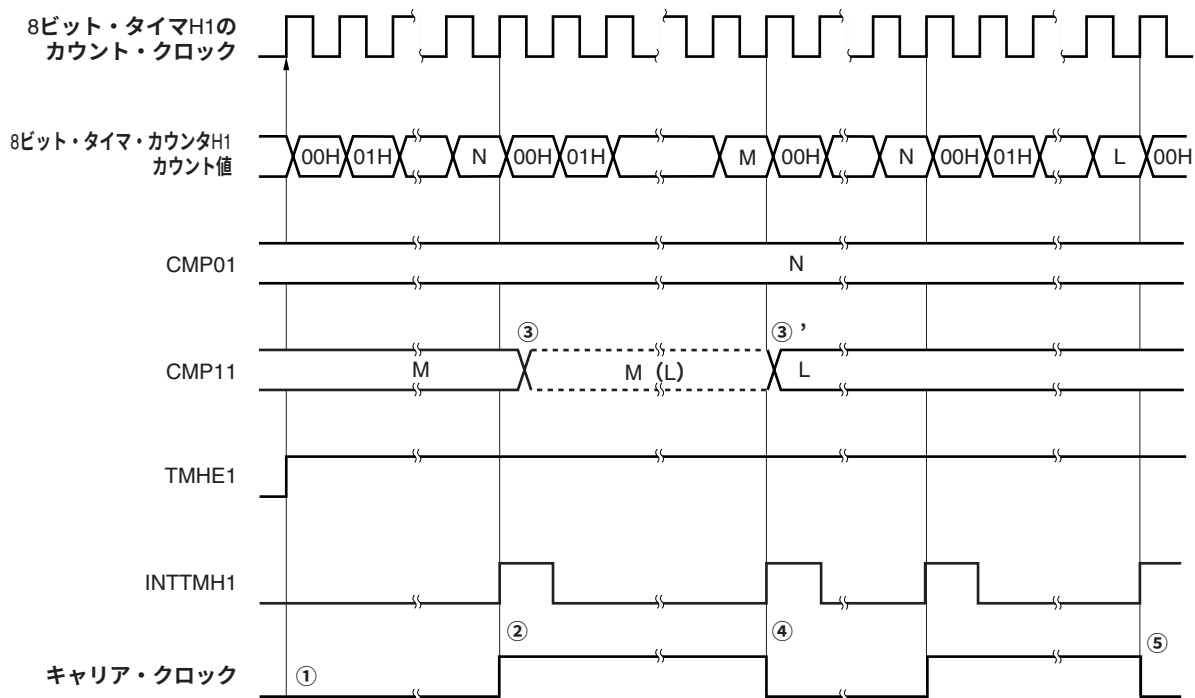


- ① TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。
- ② TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。
- ③ 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。
- ④ 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。
- ③と④を繰り返し、デューティ固定（50 %以外）のキャリア・クロックを生成します。
- ⑤ INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。
- ⑥ NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。
- ⑦ NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（⑥、⑦よりキャリア波形のハイ・レベル幅が保証できます）。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図9-15 キャリア・ジェネレータ・モード動作のタイミング (3/3)

(c) CMP11変更による動作



- ① TMHE1 = 1を設定すると、カウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。
- ② 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP01レジスタからCMP11レジスタへ切り替わります。
- ③ CMP11レジスタはカウンタ・クロックとは非同期で、8ビット・タイマH1動作中に値を書き換えることができますが、変更した値 (L) はラッチされます。8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値 (M) が一致したタイミングで、CMP11レジスタが変更されます (③')。
ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。
- ④ 8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値 (M) が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP11レジスタからCMP01レジスタへ切り替わります。
- ⑤ 再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値 (L) です。

第10章 時計用タイマ

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2	78K0/KF2
時計用タイマ	—		○		

○：搭載，—：非搭載

10.1 時計用タイマの機能

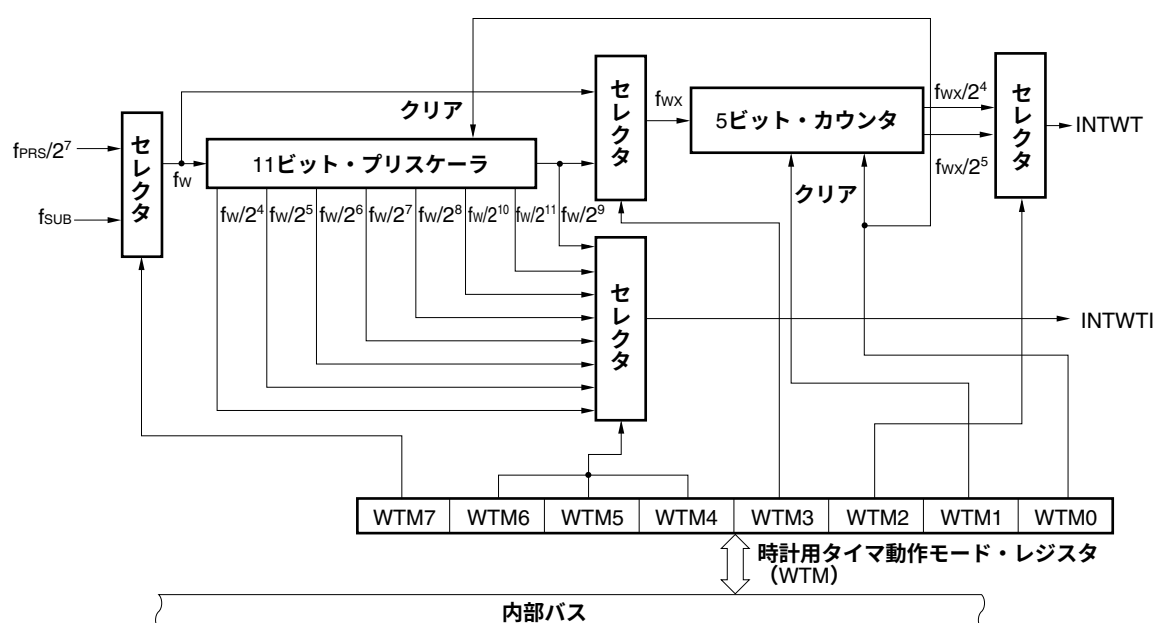
時計用タイマには，次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは，同時に使用できます。

図10－1に，時計用タイマのブロック図を示します。

図10－1 時計用タイマのブロック図



- 備考** f_{PRS} ：周辺ハードウェア・クロック周波数
 f_{SUB} ：サブシステム・クロック周波数
 f_w ：時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})
 f_{wx} ： f_w または $f_w/2^9$

(1) 時計用タイマ

周辺ハードウェア・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔で割り込み要求信号（INTWT）を発生します。

表10-1 時計用タイマの割り込み時間

割り込み時間	f _{SUB} = 32.768 kHz動作時	f _{PRS} = 2 MHz 動作時	f _{PRS} = 5 MHz 動作時	f _{PRS} = 10 MHz 動作時	f _{PRS} = 20 MHz 動作時
2 ⁴ /f _W	488 μs	1.02 ms	410 μs	205 μs	102 μs
2 ⁵ /f _W	977 μs	2.05 ms	819 μs	410 μs	205 μs
2 ¹³ /f _W	0.25 s	0.52 s	0.210 s	0.105 s	52.5 ms
2 ¹⁴ /f _W	0.5 s	1.05 s	0.419 s	0.210 s	0.105 s

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

f_W : 時計用タイマ・クロック周波数 (f_{PRS}/2⁷またはf_{SUB})

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求信号（INTWTI）を発生します。

表10-2 インターバル・タイマのインターバル時間

インターバル 時間	f _{SUB} = 32.768 kHz動作時	f _{PRS} = 2 MHz 動作時	f _{PRS} = 5 MHz 動作時	f _{PRS} = 10 MHz 動作時	f _{PRS} = 20 MHz 動作時
2 ⁴ /f _W	488 μs	1.02 ms	410 μs	205 μs	102 μs
2 ⁵ /f _W	977 μs	2.05 ms	820 μs	410 μs	205 μs
2 ⁶ /f _W	1.95 ms	4.10 ms	1.64 ms	820 μs	410 μs
2 ⁷ /f _W	3.91 ms	8.20 ms	3.28 ms	1.64 ms	820 μs
2 ⁸ /f _W	7.81 ms	16.4 ms	6.55 ms	3.28 ms	1.64 ms
2 ⁹ /f _W	15.6 ms	32.8 ms	13.1 ms	6.55 ms	3.28 ms
2 ¹⁰ /f _W	31.3 ms	65.5 ms	26.2 ms	13.1 ms	6.55 ms
2 ¹¹ /f _W	62.5 ms	131.1 ms	52.4 ms	26.2 ms	13.1 ms

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

f_W : 時計用タイマ・クロック周波数 (f_{PRS}/2⁷またはf_{SUB})

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表10-3 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
プリスケアラ	11ビット×1本
制御レジスタ	時計用タイマ動作モード・レジスタ (WTM)

10.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ動作モード・レジスタ (WTM) があります。

・時計用タイマ動作モード・レジスタ (WTM)

時計用タイマのカウント・クロックおよび動作の許可／禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 時計用タイマ動作モード・レジスタ (WTM) のフォーマット

アドレス: FF6FH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	時計用タイマのカウンタ・クロック選択 (f_w) [※]					
	$f_{SUB} = 32.768 \text{ kHz}$	$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$	
0	$f_{PRS}/2^7$	—	15.625 kHz	39.062 kHz	78.125 kHz	156.25 kHz
1	f_{SUB}	32.768 kHz	—			

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
1	1	0	$2^{10}/f_w$
1	1	1	$2^{11}/f_w$

WTM3	WTM2	時計用タイマの割り込み時間の選択
0	0	$2^{14}/f_w$
0	1	$2^{13}/f_w$
1	0	$2^5/f_w$
1	1	$2^4/f_w$

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

注 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$f_{PRS} \leq 20 \text{ MHz}$	$f_{PRS} \leq 20 \text{ MHz}$
$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$f_{PRS} \leq 10 \text{ MHz}$	
$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ (標準品, (A) 水準品のみ)	$f_{PRS} \leq 5 \text{ MHz}$	$f_{PRS} \leq 5 \text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ ($XSEL = 1$) の場合です)

注意 時計用タイマ動作中に、カウンタ・クロック、インターバル時間の変更 (WTMのビット4-7 (WTM4-WTM7) で設定) をしないでください。

備考1. f_w : 時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

時計用タイマは、周辺ハードウェア・クロックまたはサブシステム・クロックを使用し、一定の時間間隔ごとに、割り込み要求信号（INTWT）を発生します。

時計用タイマ動作モード・レジスタ（WTM）のビット0（WTM0）とビット1（WTM1）に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、11ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後最初のオーバーフロー（INTWT）には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

割り込み要求信号の時間間隔は、次のようになります。

表10-4 時計用タイマの割り込み時間

WTM3	WTM2	割り込み 時間の選択	$f_{SUB} = 32.768$ kHz動作時 (WTM7 = 1)	$f_{PRS} = 2$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 5$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 10$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 20$ MHz 動作時 (WTM7 = 0)
0	0	$2^{14}/f_w$	0.5 s	1.05 s	0.419 s	0.210 s	0.105 s
0	1	$2^{13}/f_w$	0.25 s	0.52 s	0.210 s	0.105 s	52.5 ms
1	0	$2^5/f_w$	977 μ s	2.05 ms	819 μ s	410 μ s	205 μ s
1	1	$2^4/f_w$	488 μ s	1.02 ms	410 μ s	205 μ s	102 μ s

備考1. f_w : 時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求信号（INTWTI）を発生するインターバル・タイマとして動作します。

時計用タイマ動作モード・レジスタ（WTM）のビット4-6（WTM4-WTM6）により、インターバル時間を選択できます。WTMのビット0（WTM0）に1を設定するとカウント動作がスタートし、0を設定することにより、カウント動作が停止します。

表10-5 インターバル・タイマのインターバル時間

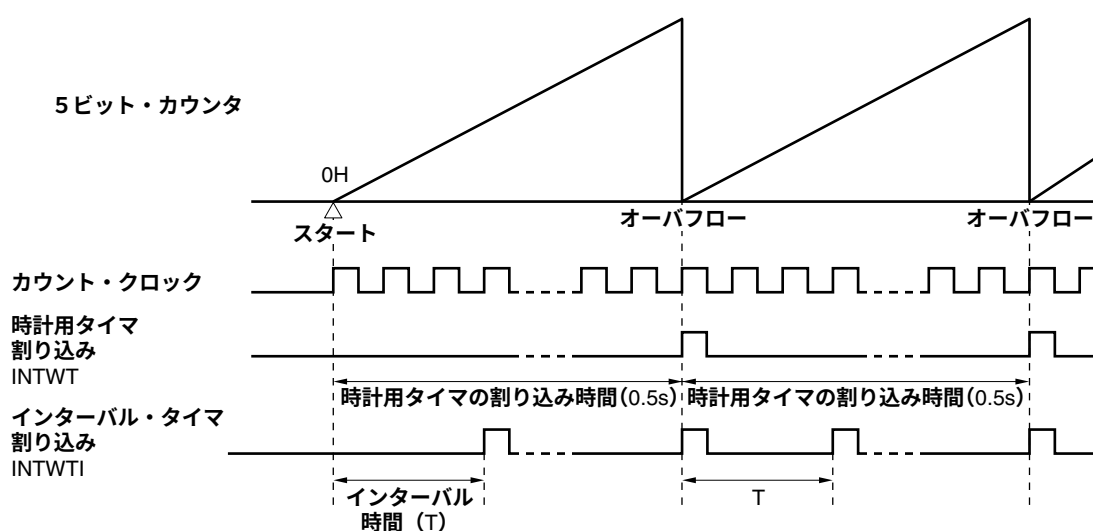
WTM6	WTM5	WTM4	インターバル 時間	$f_{SUB} = 32.768$ kHz動作時 (WTM7 = 1)	$f_{PRS} = 2$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 5$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 10$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 20$ MHz 動作時 (WTM7 = 0)
0	0	0	$2^4/f_W$	488 μ s	1.02 ms	410 μ s	205 μ s	102 μ s
0	0	1	$2^5/f_W$	977 μ s	2.05 ms	820 μ s	410 μ s	205 μ s
0	1	0	$2^6/f_W$	1.95 ms	4.10 ms	1.64 ms	820 μ s	410 μ s
0	1	1	$2^7/f_W$	3.91 ms	8.20 ms	3.28 ms	1.64 ms	820 μ s
1	0	0	$2^8/f_W$	7.81 ms	16.4 ms	6.55 ms	3.28 ms	1.64 ms
1	0	1	$2^9/f_W$	15.6 ms	32.8 ms	13.1 ms	6.55 ms	3.28 ms
1	1	0	$2^{10}/f_W$	31.3 ms	65.5 ms	26.2 ms	13.1 ms	6.55 ms
1	1	1	$2^{11}/f_W$	62.5 ms	131.1ms	52.4 ms	26.2 ms	13.1 ms

備考1. f_W : 時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数

図10-3 時計用タイマ／インターバル・タイマの動作タイミング



備考 f_W : 時計用タイマ・クロック周波数

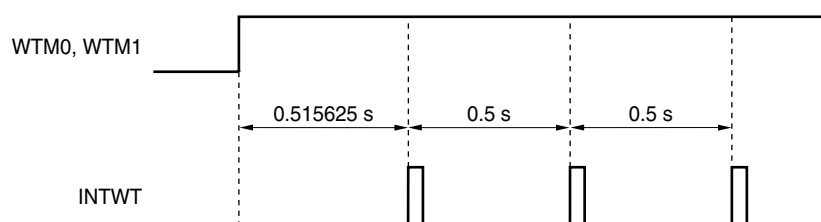
() 内は、 $f_W = 32.768$ kHz動作時 (WTM7 = 1, WTM3, WTM2 = 0, 0)。

10.5 時計用タイマの注意事項

時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTMのビット0 (WTM0) およびビット1 (WTM1) を1にセット) したとき, 設定後の最初の割り込み要求信号 (INTWT) までの時間は, 正確にWTMのビット2, 3 (WTM2, WTM3) の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。

図10-4 時計用タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)

1回目のINTWTが発生するまでに, 最大0.515625 sかかります ($2^9 \times 1/32768 = 0.015625$ s長くかかります)。そのあとは0.5 sごとにINTWTが発生します。



第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、78K0/Kx2マイクロコントローラの全製品に搭載されています。

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域からフェッチした場合
(CPU暴走時の無効チェック検出)
- ・CPUのリード／ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域（ただしFB00H-FFCFH, FFE0H-FFFFHは除く）にアクセスした場合
(CPU暴走時の異常アクセス検出)

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第23章 リセット機能を参照してください。

11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

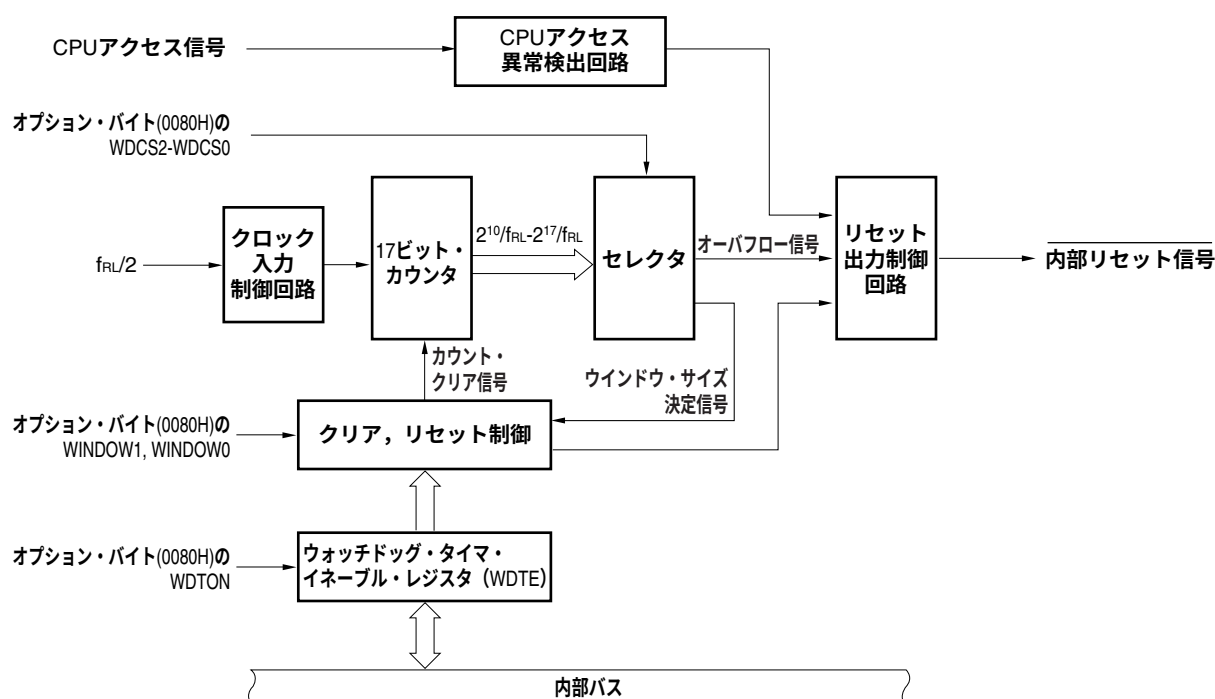
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表11-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)

備考 オプション・バイトについては、第26章 オプション・バイトを参照してください。

図11-1 ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH[※]になります。

図11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス：FF99H リセット時：9AH／1AH[※] R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1.** WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH／1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

- ・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第26章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ／不正アクセス検出の動作制御
0	カウント動作禁止（リセット解除後、カウント停止），不正アクセス検出動作禁止
1	カウント動作許可（リセット解除後、カウント開始），不正アクセス検出動作許可

- ・オプション・バイト（0080H）のビット3-1（WDOS2-WDOS0）で、オーバフロー時間を設定してください（詳細は、11.4.2および第26章を参照）。
- ・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、11.4.3および第26章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
 3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
 5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
- また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域からフェッチした場合（CPU暴走時の無効チェック検出）
- ・CPUのリード／ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域（ただしFB00H-FFCFH, FFE0H-FFFFHは除く）にアクセスした場合（CPU暴走時の異常アクセス検出）

- 注意1.** リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウント開始します。

また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

5. フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

11. 4. 2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (0080H) のビット3-1 (WDOS2-WDOS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウント動作を開始します。

設定するオーバフロー時間を次に示します。

表11-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDOS2	WDOS1	WDOS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意1. WDOS2 = WDOS1 = WDOS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

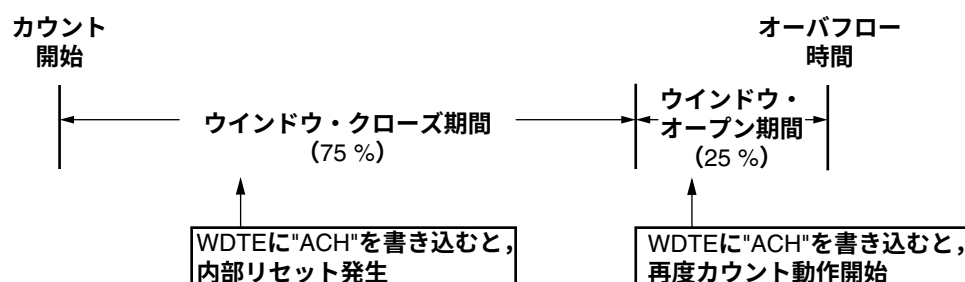
2. () 内は $f_{RL} = 264$ kHz (MAX.) の場合

11. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (0080H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25 %の場合



注意 リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ で使用する場合、WINDOW1 = WINDOW0 = 0は設定禁止です。

3. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

備考 オーバフロー時間を $2^{11}/f_{RL}$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

($2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の場合)

	ウィンドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウィンドウ・クローズ時間	0～7.11 ms	0～4.74 ms	0～2.37 ms	なし
ウィンドウ・オープン時間	7.11～7.76 ms	4.74～7.76 ms	2.37～7.76 ms	0～7.76 ms

<ウィンドウ・オープン期間25 %のとき>

・ オーバフロー時間：

$$2^{11}/f_{RL}(\text{MAX.}) = 2^{11}/264\text{ kHz}(\text{MAX.}) = 7.76\text{ ms}$$

・ ウィンドウ・クローズ時間：

$$0 \sim 2^{11}/f_{RL}(\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{11}/216\text{ kHz}(\text{MIN.}) \times 0.75 = 0 \sim 7.11\text{ ms}$$

・ ウィンドウ・オープン時間：

$$2^{11}/f_{RL}(\text{MIN.}) \times (1 - 0.25) \sim 2^{11}/f_{RL}(\text{MAX.}) = 2^{11}/216\text{ kHz}(\text{MIN.}) \times 0.75 \sim 2^{11}/264\text{ kHz}(\text{MAX.}) \\ = 7.11 \sim 7.76\text{ ms}$$

第12章 クロック出力／ブザー出力制御回路

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2	78K0/KF2
クロック出力	—	38/44ピン：— 48ピン：○	○		
ブザー出力	—			○	

○：搭載，—：非搭載

12.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図12-1、12-2にクロック出力／ブザー出力制御回路のブロック図を示します。

図12-1 クロック出力／ブザー出力制御回路のブロック図（78K0/KC2の48ピン製品, 78K0/KD2）

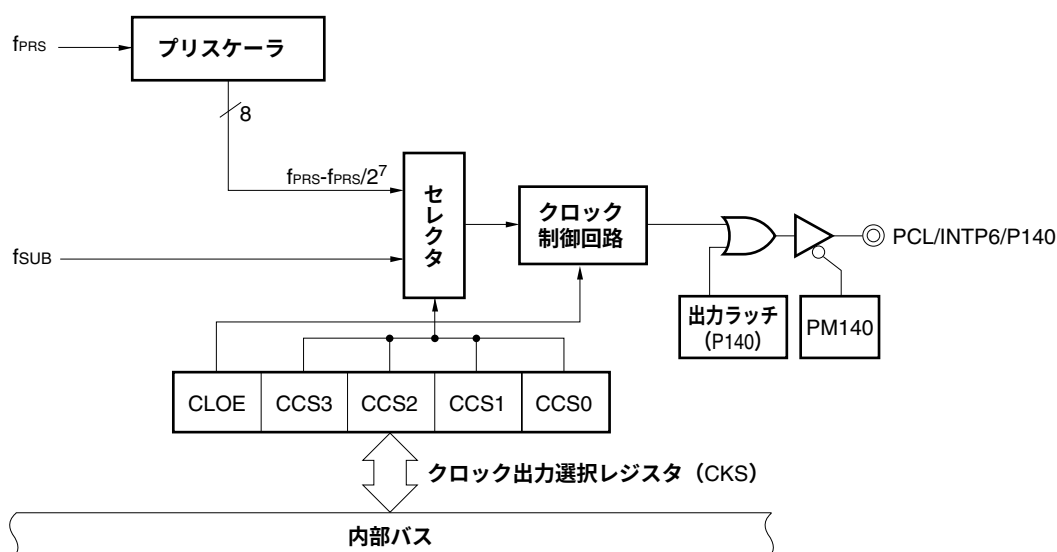
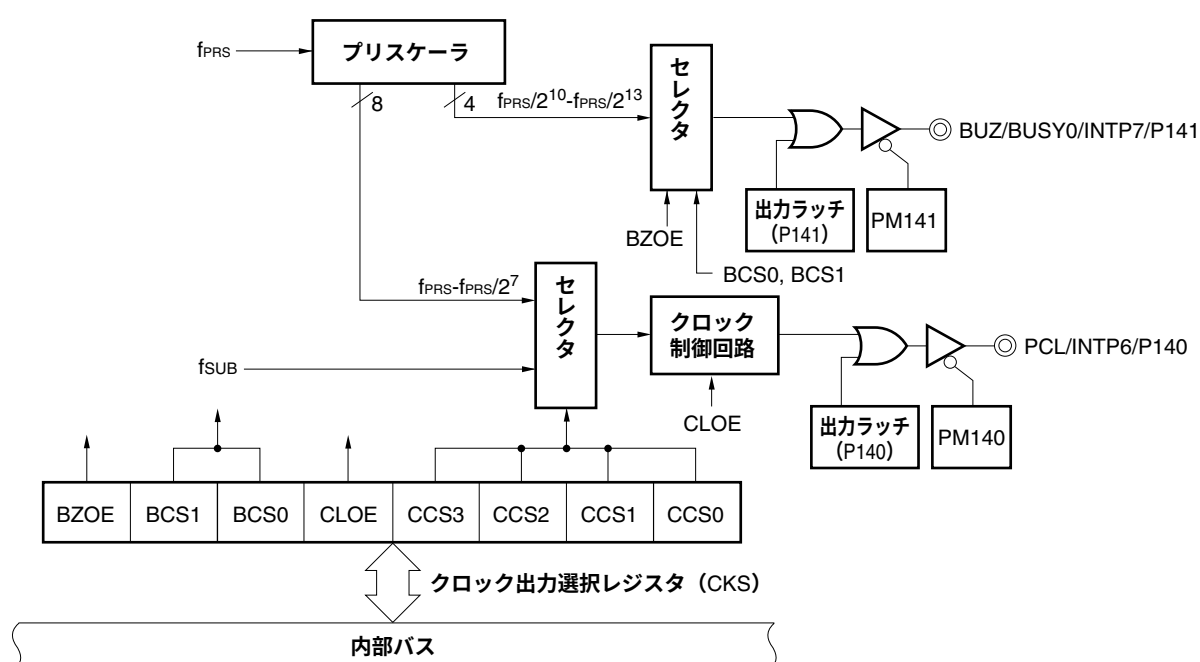


図12-2 クロック出力／ブザー出力制御回路のブロック図 (78K0/KE2, 78K0/KF2)



12.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表12-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

12.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ14 (PM14)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL), ブザー周波数出力 (BUZ) の出力許可／禁止, および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 クロック出力選択レジスタ（CKS）のフォーマット（78K0/KC2の48ピン製品，78K0/KD2）

アドレス：FF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS	0	0	0	CLOE	CCS3	CCS2	CCS1	CCS0

CLOE	PCLの出力許可／禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択 ^{注1}		
					$f_{SUB} =$ 32.768 kHz	$f_{PRS} =$ 10 MHz $f_{PRS} =$ 20 MHz
0	0	0	0	f_{PRS} ^{注2}	—	10 MHz 設定禁止 ^{注3}
0	0	0	1	$f_{PRS}/2$		5 MHz 10 MHz
0	0	1	0	$f_{PRS}/2^2$		2.5 MHz 5 MHz
0	0	1	1	$f_{PRS}/2^3$		1.25 MHz 2.5 MHz
0	1	0	0	$f_{PRS}/2^4$		625 kHz 1.25 MHz
0	1	0	1	$f_{PRS}/2^5$		312.5 kHz 625 kHz
0	1	1	0	$f_{PRS}/2^6$		156.25 kHz 312.5 kHz
0	1	1	1	$f_{PRS}/2^7$		78.125 kHz 156.25 kHz
1	0	0	0	f_{SUB}	32.768 kHz	—
上記以外				設定禁止		

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$f_{PRS} \leq 20\text{ MHz}$	$f_{PRS} \leq 20\text{ MHz}$
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$f_{PRS} \leq 10\text{ MHz}$	
$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ (標準品, (A) 水準品のみ)	$f_{PRS} \leq 5\text{ MHz}$	$f_{PRS} \leq 5\text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ ($XSEL = 1$) の場合です)

- $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロックで動作している ($XSEL = 0$) 場合、 $CCS3 = CCS2 = CCS1 = CCS0 = 0$ (PCLの出力クロック： f_{PRS}) は設定禁止です。
- PCLの出力クロックは、10 MHzを越えると設定禁止です。

注意 CCS3-CCS0の設定は、クロック出力動作停止時 ($CLOE = 0$) に行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

図12-4 クロック出力選択レジスタ（CKS）のフォーマット（78K0/KE2, 78K0/KF2）

アドレス：FF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可／禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択 ^{注1}		
			f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} /2 ¹⁰	9.77 kHz	19.54 kHz
0	1	f _{PRS} /2 ¹¹	4.88 kHz	9.77 kHz
1	0	f _{PRS} /2 ¹²	2.44 kHz	4.88 kHz
1	1	f _{PRS} /2 ¹³	1.22 kHz	2.44 kHz

CLOE	PCLの出力許可／禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択 ^{注1}			
					f _{SUB} = 32.768 kHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	0	0	f _{PRS} ^{注2}	—	10 MHz	設定禁止 ^{注3}
0	0	0	1	f _{PRS} /2		5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²		2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³		1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴		625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵		312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶		156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷		78.125 kHz	156.25 kHz
1	0	0	0	f _{SUB}	32.768 kHz	—	
上記以外				設定禁止			

注1. 周辺ハードウェア・クロック（f_{PRS}）は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 注2.** $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロックで動作している ($XSEL = 0$) 場合、 $CCS3 = CCS2 = CCS1 = CCS0 = 0$ (PCLの出力クロック: f_{PRS}) は設定禁止です。
3. PCLの出力クロックは、10 MHzを越えると設定禁止です。

- 注意1.** BCS1, BCS0の設定は、ブザー出力動作停止時 ($BZOE = 0$) に行ってください。
2. CCS3-CCS0の設定は、クロック出力動作停止時 ($CLOE = 0$) に行ってください。

- 備考1.** f_{PRS} : 周辺ハードウェア・クロック周波数
2. f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ14 (PM14)

ポート14の入力／出力を1ビット単位で設定するレジスタです。

P140/INTP6/PCL端子をクロック出力機能として、P141/INTP7/BUSY0/BUZ端子をブザー出力機能として使用するとき、PM140, PM141およびP140, P141の出力ラッチに0を設定してください。

PM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図12-5 ポート・モード・レジスタ14 (PM14) のフォーマット

アドレス: FF2EH リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	P14n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

- 備考** 上記は、78K0/KF2製品のポート・モード・レジスタ14のフォーマットです。
- 他の製品のポート・モード・レジスタ14のフォーマットについては、5.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

12.4 クロック出力／ブザー出力制御回路の動作

12.4.1 クロック出力としての動作

クロック・パルスは、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット0-3（CCS0-CCS3）でクロック・パルスの出力周波数を選択する（クロック・パルスの出力は禁止の状態）。
- ② CKSのビット4（CLOE）に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図12-6に示すように、必ずクロックのロウ期間から出力を開始します（図中の*印参照）。また、停止する場合には、クロックのハイ期間後に、出力を停止します。

図12-6 リモコン出力応用例



12.4.2 ブザー出力としての動作

ブザー・クロックは、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット5, 6（BCS0, BCS1）でブザー出力周波数を選択する（ブザー出力は禁止の状態）。
- ② CKSのビット7（BZOE）に1を設定し、ブザー出力を許可する。

第13章 A/Dコンバータ

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2	78K0/KF2
10ビット A/Dコンバータ	4 ch	38ピン：6 ch 44/48ピン：8 ch	8 ch		

13.1 A/Dコンバータの機能

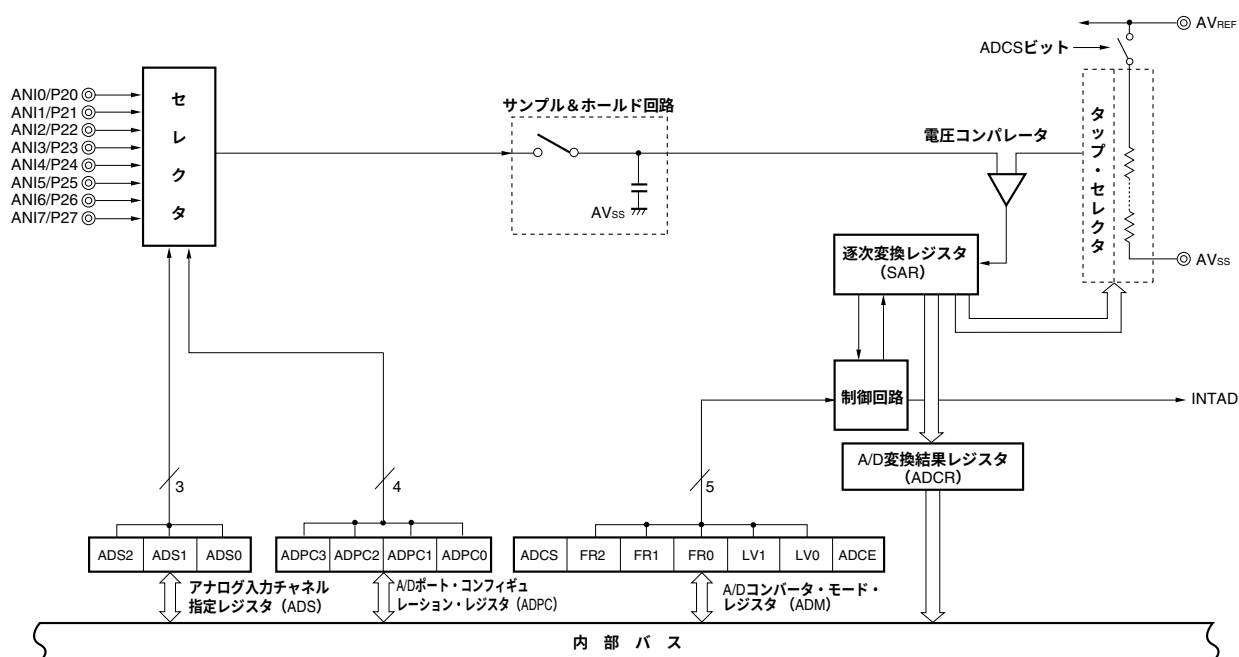
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大8チャンネル (ANI0-ANI7) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

・10ビット分解能A/D変換

ANI0-ANI7からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

図13-1 A/Dコンバータのブロック図



備考 ANI0-ANI3：78K0/KB2

ANI0-ANI5：78K0/KC2の38ピン製品

ANI0-ANI7：上記以外の製品

13.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7端子

A/Dコンバータの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

備考 ANI0-ANI3端子：78K0/KB2

ANI0-ANI5端子：78K0/KC2の38ピン製品

ANI0-ANI7端子：上記以外の製品

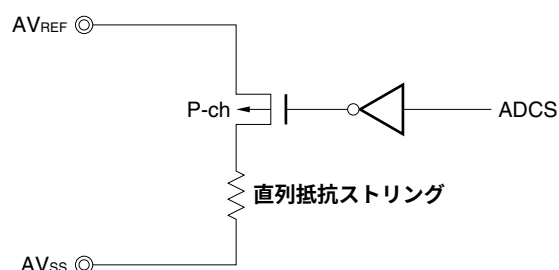
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セレクトで選択されたアナログ入力端子の入力電圧をA/D変換開始時にサンプリングし、そのサンプリングされた電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} - AV_{SS} 間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図13-2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

注意 ADCR, ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始／停止などを制御します。A/D変換が終了した場合、INTADが発生します。

(9) AV_{REF} 端子

A/Dコンバータのアナログ電源端子／基準電圧を入力する端子です。ポート2をデジタル・ポートとして使用する場合は、 V_{DD} と同電位にしてください。

AV_{REF} , AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

(10) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} と同電位で使用してください。

(11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

(12) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27端子を、A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

(13) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(14) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子を、入力／出力に切り替えるレジスタです。

備考 ANI0-ANI3端子：78K0/KB2

ANI0-ANI5端子：78K0/KC2の38ピン製品

ANI0-ANI7端子：上記以外の製品

13.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の6種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ2 (PM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF28H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	0	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCE	コンパレータの動作制御 ^{注2}
0	コンパレータの動作停止
1	コンパレータの動作許可

注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表13-2 A/D変換時間の選択（従来規格品（ μ PD78F05xx, 78F05xxD））、表13-3 A/D変換時間の選択（拡張規格品（ μ PD78F05xxA, 78F05xxDA））を参照してください。

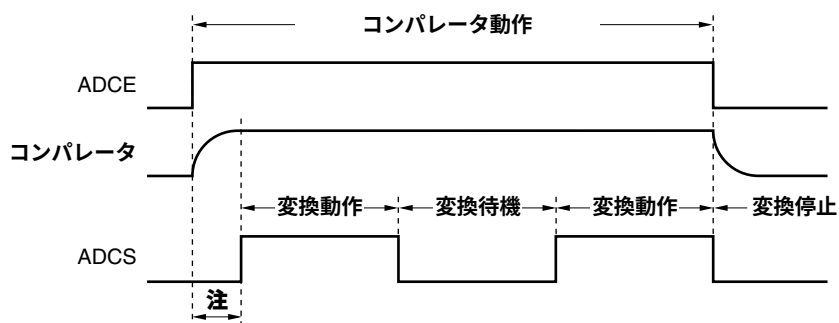
2. コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表13-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（コンパレータ動作、コンパレータのみ電力消費）
1	0	変換モード（コンパレータ動作停止 ^注 ）
1	1	変換モード（コンパレータ動作）

注 最初の変換データは、無視してください。

図13-4 コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s}$ 以上必要です。

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

2. ADMにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック（f_{PRS}）が停止しているときに、ADMにデータを書き込まないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

表13-2 A/D変換時間の選択（従来規格品（ μ PD78F05xx, 78F05xxD））(1) $2.7\text{ V} \leq \text{AV}_{\text{REF}} \leq 5.5\text{ V}$ ($\text{LV0} = 0$)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{PRS} = 2 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz ^注	
0	0	0	0	0	264/f _{PRS}	設定禁止	26.4 μs	13.2 μs ^注	f _{PRS} /12
0	0	1	0	0	176/f _{PRS}		17.6 μs	8.8 μs ^注	f _{PRS} /8
0	1	0	0	0	132/f _{PRS}		13.2 μs	6.6 μs ^注	f _{PRS} /6
0	1	1	0	0	88/f _{PRS}		8.8 μs ^注	設定禁止	f _{PRS} /4
1	0	0	0	0	66/f _{PRS}	33.0 μs	6.6 μs ^注		f _{PRS} /3
1	0	1	0	0	44/f _{PRS}	22.0 μs	設定禁止		f _{PRS} /2
上記以外					設定禁止				

注 4.0 V $\leq$ AV_{REF} $\leq$ 5.5 V時のみ設定可能(2) $2.3\text{ V} \leq \text{AV}_{\text{REF}} < 2.7\text{ V}$ ($\text{LV0} = 1$)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択			変換クロック
FR2	FR1	FR0	LV1	LV0		fPRS = 2 MHz	fPRS = 5 MHz	(fAD)
0	0	0	0	1	480/fPRS	設定禁止	設定禁止	fPRS/12
0	0	1	0	1	320/fPRS		64.0 μs	fPRS/8
0	1	0	0	1	240/fPRS		48.0 μs	fPRS/6
0	1	1	0	1	160/fPRS		32.0 μs	fPRS/4
1	0	0	0	1	120/fPRS	60.0 μs	設定禁止	fPRS/3
1	0	1	0	1	80/fPRS	40.0 μs	設定禁止	fPRS/2
上記以外					設定禁止			

注意1. 変換時間は、次の条件で設定してください。

- 4.0 V $\leq$ AV_{REF} $\leq$ 5.5 Vの場合： $f_{\text{AD}} = 0.6 \sim 3.6\text{ MHz}$
- 2.7 V $\leq$ AV_{REF} $<$ 4.0 Vの場合： $f_{\text{AD}} = 0.6 \sim 1.8\text{ MHz}$
- 2.3 V $\leq$ AV_{REF} $<$ 2.7 Vの場合： $f_{\text{AD}} = 0.6 \sim 1.48\text{ MHz}$ （標準品，(A) 標準品のみ）

- FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止（ADCS = 0）させたのちに行ってください。
- 2.3 V $\leq$ AV_{REF} $<$ 2.7 Vの場合，LV0をデフォルト値から変更してください。
- 前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。

備考 f_{PRS} ：周辺ハードウェア・クロック周波数

表13-3 A/D変換時間の選択 (拡張規格品 (μ PD78F05xxA, 78F05xxDA))(1) $2.7\text{ V} \leq \text{AV}_{\text{REF}} \leq 5.5\text{ V}$ ($\text{LV0} = 0$)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択					変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	0	264/f _{PRS}	設定禁止	52.8 μs	26.4 μs	13.2 μs	f _{PRS} /12
0	0	1	0	0	176/f _{PRS}		35.2 μs	17.6 μs	8.8 μs ^注	f _{PRS} /8
0	1	0	0	0	132/f _{PRS}	66.0 μs	26.4 μs	13.2 μs	6.6 μs ^注	f _{PRS} /6
0	1	1	0	0	88/f _{PRS}	44.0 μs	17.6 μs	8.8 μs ^注	設定禁止	f _{PRS} /4
1	0	0	0	0	66/f _{PRS}	33.0 μs	13.2 μs	6.6 μs ^注		f _{PRS} /3
1	0	1	0	0	44/f _{PRS}	22.0 μs	8.8 μs ^注	設定禁止		f _{PRS} /2
上記以外					設定禁止					

注 4.0 V $\leq$ AV_{REF} $\leq$ 5.5 V時のみ設定可能(2) $2.3\text{ V} \leq \text{AV}_{\text{REF}} \leq 5.5\text{ V}$ ($\text{LV0} = 1$)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択					変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz ^{※2}	f _{PRS} = 20 MHz	
0	0	0	0	1	480/f _{PRS}	設定禁止	設定禁止	48.0 μs ^{※2}	24.0 μs ^{※2}	f _{PRS} /12
0	0	1	0	1	320/f _{PRS}		64.0 μs	32.0 μs ^{※2}	16.0 μs ^{※1}	f _{PRS} /8
0	1	0	0	1	240/f _{PRS}		48.0 μs	24.0 μs ^{※2}	12.0 μs ^{※1}	f _{PRS} /6
0	1	1	0	1	160/f _{PRS}		32.0 μs	16.0 μs ^{※1}	設定禁止	f _{PRS} /4
1	0	0	0	1	120/f _{PRS}	60.0 μs	24.0 μs ^{※2}	12.0 μs ^{※1}		f _{PRS} /3
1	0	1	0	1	80/f _{PRS}	40.0 μs	16.0 μs ^{※1}	設定禁止		f _{PRS} /2
上記以外					設定禁止					

注1. 4.0 V $\leq$ AV_{REF} $\leq$ 5.5 V時のみ設定可能2. 2.7 V $\leq$ AV_{REF} $\leq$ 5.5 V時のみ設定可能

注意1. 変換時間は、次の条件で設定してください。

(1) $2.7\text{ V} \leq \text{AV}_{\text{REF}} \leq 5.5\text{ V}$ ($\text{LV0} = 0$)

- 4.0 V $\leq$ AV_{REF} $\leq$ 5.5 Vの場合: $f_{\text{AD}} = 0.33 \sim 3.6\text{ MHz}$
- 2.7 V $\leq$ AV_{REF} $<$ 4.0 Vの場合: $f_{\text{AD}} = 0.33 \sim 1.8\text{ MHz}$

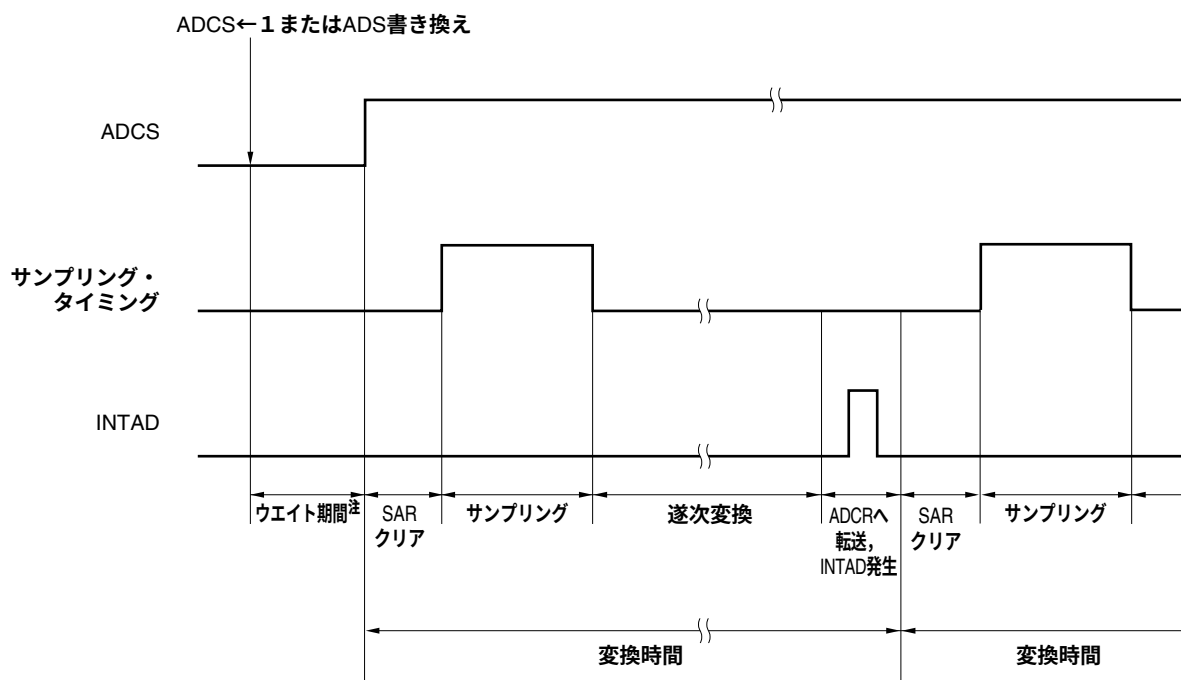
(2) $2.3\text{ V} \leq \text{AV}_{\text{REF}} \leq 5.5\text{ V}$ ($\text{LV0} = 1$)

- 4.0 V $\leq$ AV_{REF} $\leq$ 5.5 Vの場合: $f_{\text{AD}} = 0.6 \sim 3.6\text{ MHz}$
- 2.7 V $\leq$ AV_{REF} $<$ 4.0 Vの場合: $f_{\text{AD}} = 0.6 \sim 1.8\text{ MHz}$
- 2.3 V $\leq$ AV_{REF} $<$ 2.7 Vの場合: $f_{\text{AD}} = 0.6 \sim 1.48\text{ MHz}$ (標準品, (A) 標準品のみ)

- FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。
- 2.3 V $\leq$ AV_{REF} $<$ 2.7 Vの場合, LV0をデフォルト値から変更してください。
- 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図13-5 A/D コンバータのサンプリングとA/D変換のタイミング



注 ウェイト期間の詳細は、第36章 ウェイトに関する注意事項を参照してください。

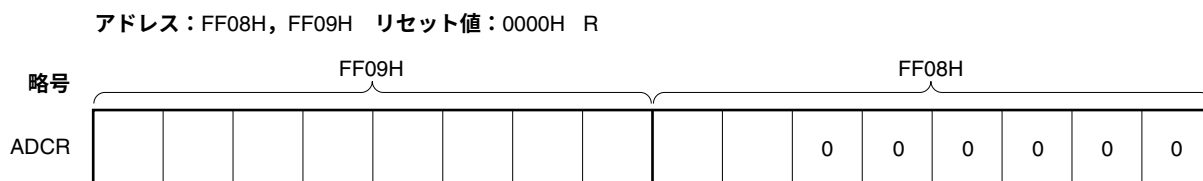
(2) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位8ビットがFF09Hに、下位2ビットがFF08Hの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図13-6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意1. A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

2. ADCRからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (fPRS) が停止しているときに、ADCRからデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

(3) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図13-7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FF09H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

- 注意1.** A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。
- 2.** ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCRHからデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

(4) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 ANI0-ANI3：78K0/KB2

ANI0-ANI5：78K0/KC2の38ピン製品

ANI0-ANI7：上記以外の製品

図13-8 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス：FF29H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

右以外 KC2の
の製品 38ピン KB2

ADS2	ADS1	ADS0	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注1. 設定可

2. 設定禁止

注意1. ビット3-7には必ず0を設定してください。

- A/D変換で使用するチャネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- ADSにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADSにデータを書き込まないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

(5) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

AN10/P20-AN17/P27端子を、A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 ANI0-ANI3端子：78K0/KB2

ANI0-ANI5端子：78K0/KC2の38ピン製品

ANI0-ANI7端子：上記以外の製品

図13-9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：FF2FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

	ADPC3	ADPC2	ADPC1	ADPC0	デジタル入出力 (D) / アナログ入力 (A) の切り替え							
右以外 の製品	KC2の 38ピン	KB2			P27/ ANI7	P26/ ANI6	P25/ ANI5	P24/ ANI4	P23/ ANI3	P22/ ANI2	P21/ ANI1	P20/ ANI0
The diagram shows three vertical columns of pins. The first column has two arrows pointing outwards labeled '注1'. The second column has one arrow pointing inwards labeled '注1' at the top and one arrow pointing outwards labeled '注2' at the bottom. The third column has one arrow pointing inwards labeled '注1' at the top and one arrow pointing outwards labeled '注2' at the bottom.	0	0	0	0	A	A	A	A	A	A	A	A
	0	0	0	1	A	A	A	A	A	A	A	D
	0	0	1	0	A	A	A	A	A	A	D	D
	0	0	1	1	A	A	A	A	A	D	D	D
	0	1	0	0	A	A	A	A	D	D	D	D
	0	1	0	1	A	A	A	D	D	D	D	D
	0	1	1	0	A	A	D	D	D	D	D	D
	0	1	1	1	A	D	D	D	D	D	D	D
	1	0	0	0	D	D	D	D	D	D	D	D
	上記以外				設定禁止							

注1. 設定可

2. 設定禁止

注意1. A/D変換で使用するチャネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

2. ADPCにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADPCにデータを書き込まないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

(6) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子をアナログ入力ポートとして使用するとき、PM20-PM27にそれぞれ1を設定してください。このときP20-P27の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 ANI0-ANI3端子：78K0/KB2

ANI0-ANI5端子：78K0/KC2の38ピン製品

ANI0-ANI7端子：上記以外の製品

図13-10 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 78K0/KC2の38ピン製品の場合、PM2のビット6, 7には1を、P2のビット6, 7には0を必ず設定してください。

備考 78K0/KB2製品のポート・モード・レジスタ2のフォーマットは、上記のフォーマットとは異なります。5.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

ANI0/P20-ANI7/P27端子の機能は、ADPC, ADS, PM2の設定で決定します。

表13-4 ANI0/P20-ANI7/P27端子機能の設定

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力

13.4 A/Dコンバータの動作

13.4.1 A/Dコンバータの基本動作

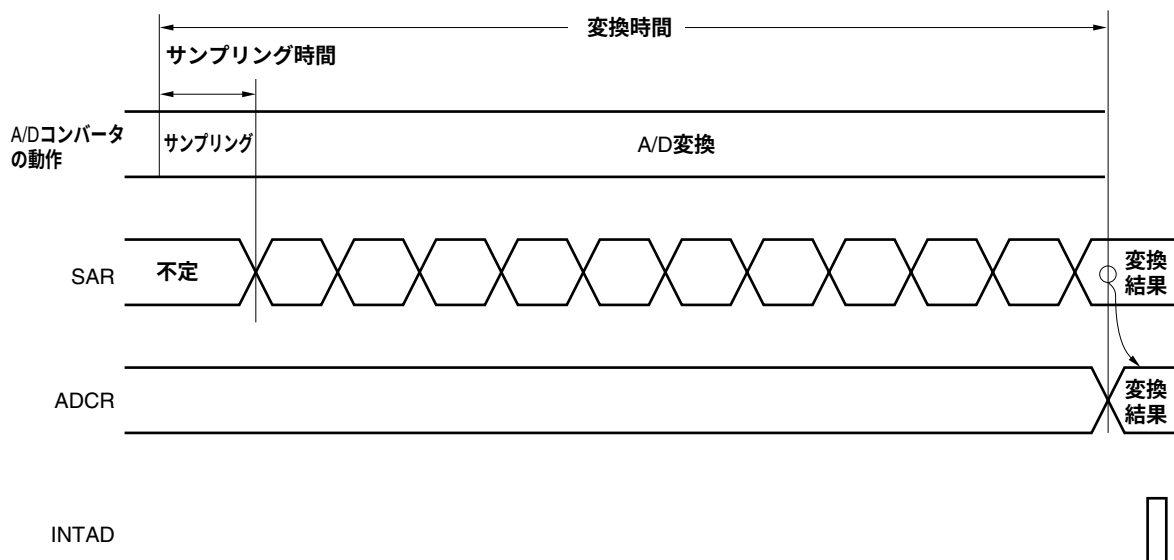
- ① A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、コンパレータの動作を開始してください。
- ② A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM2) で入力モードに設定してください。
- ③ ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を設定してください。
- ④ A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。
- ⑤ ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。
(⑥から⑫までハードウェアでの動作)
- ⑥ 選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ⑦ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ⑧ 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。
- ⑨ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。
- ⑩ 次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ・ビット9 = 1 : (3/4) AV_{REF}
 - ・ビット9 = 0 : (1/4) AV_{REF}この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。
 - ・サンプリングされた電圧 $\geq$ 電圧タップ : ビット8 = 1
 - ・サンプリングされた電圧 < 電圧タップ : ビット8 = 0
- ⑪ このような比較をSARのビット0まで続けます。
- ⑫ 10ビットの比較が終了したとき、SARには有効なデジタルの結果が残し、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。
同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。
- ⑬ 以降⑥から⑫までの動作をADCS = 0になるまで繰り返します。
A/Dコンバータを停止する場合は、ADCS = 0にしてください。
ADCE = 1の状態から、再度A/D変換する場合は、⑤から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウェイト後に、⑤を開始してください。また、A/D変換するチャンネルを変更する場合は、④から開始してください。

注意 ①から⑤までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

- ・ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図13-11 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ（ADS）に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット（1）されていれば、最初から変換を開始します。

A/D変換結果レジスタ（ADCR, ADCRH）は、リセット信号の発生により0000Hまた00Hとなります。

13. 4. 2 入力電圧と変換結果

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または、

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

V_{REF} : V_{REF} 端子電圧

ADCR : A/D変換結果レジスタ（ADCR）の値

SAR : 逐次変換レジスタ

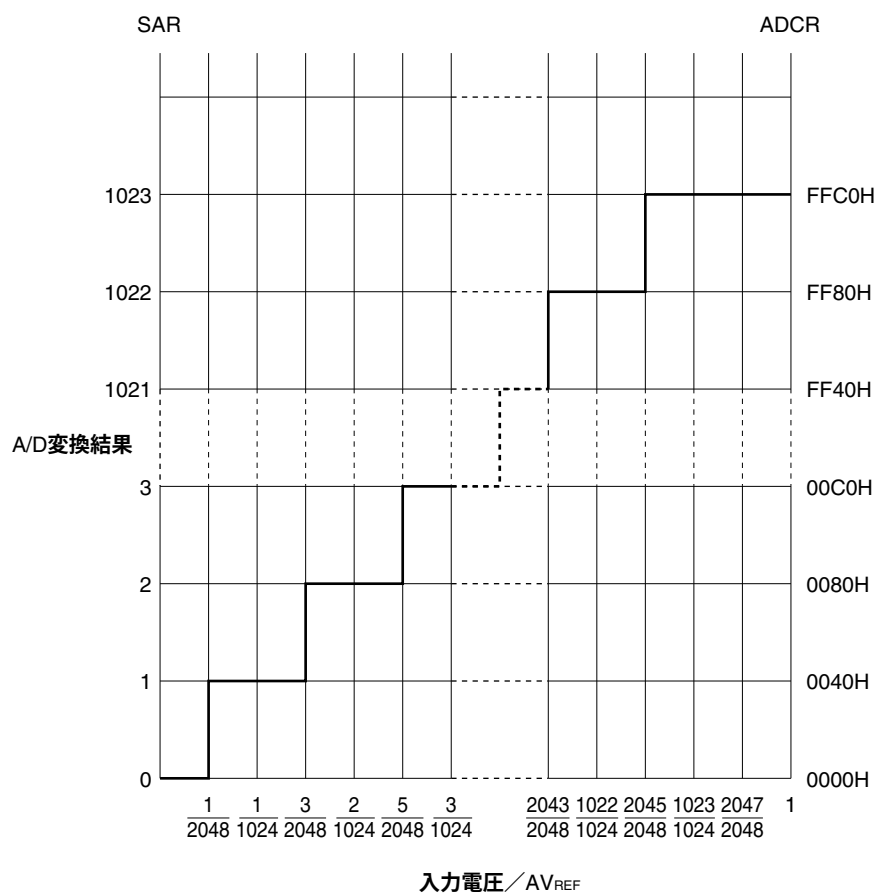
備考 ANI0-ANI3端子：78K0/KB2

ANI0-ANI5端子：78K0/KC2の38ピン製品

ANI0-ANI7端子：上記以外の製品

図13-12にアナログ入力電圧とA/D変換結果の関係を示します。

図13-12 アナログ入力電圧とA/D変換結果の関係



13. 4. 3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ (ADS) によってANI0-ANI7からアナログ入力を1チャネル選択し、A/D変換を行います。

備考 ANI0-ANI3：78K0/KB2

ANI0-ANI5：78K0/KC2の38ピン製品

ANI0-ANI7：上記以外の製品

(1) A/D変換動作

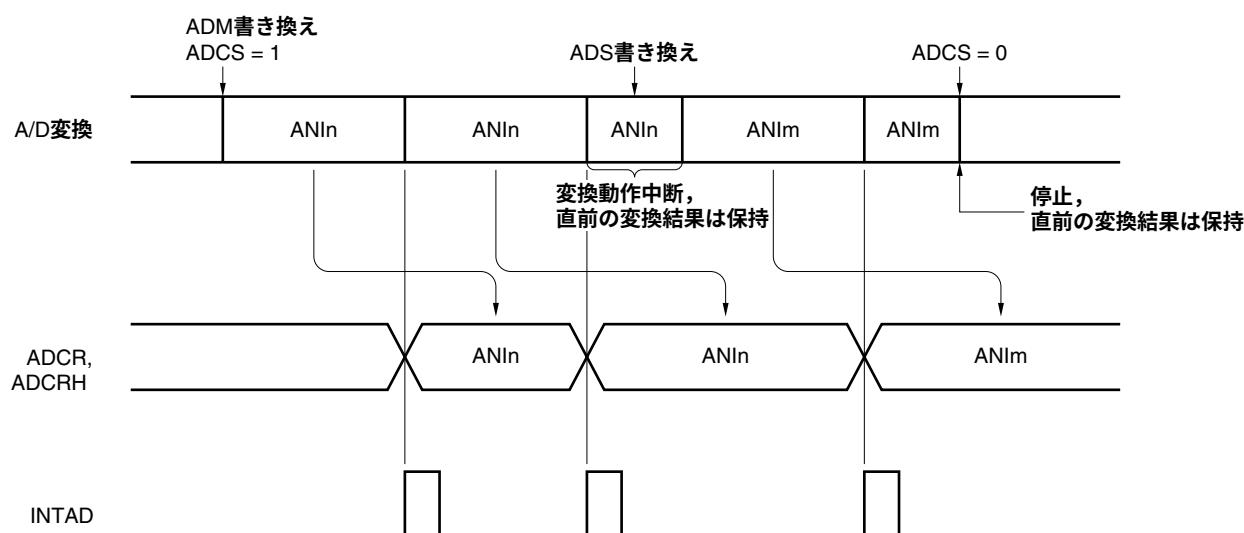
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図13-13 A/D変換動作



- 備考1.** 78K0/KB2：n = 0-3, 78K0/KC2の38ピン製品：n = 0-5, それ以外の製品：n = 0-7
2. 78K0/KB2：m = 0-3, 78K0/KC2の38ピン製品：m = 0-5, それ以外の製品：m = 0-7

次に設定方法を説明します。

- ① A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)
- ② A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット3-0 (ADPC3-ADPC0) ,
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20) で使用するチャンネルをアナログ入力に設定
- ③ ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を選択
- ④ アナログ入力チャンネル指定レジスタ (ADS) のビット2-0 (ADS2-ADS0) で使用するチャンネルを選択
- ⑤ ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始
- ⑥ 1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生
- ⑦ A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

＜チャンネルを変更する＞

- ⑧ ADSのビット2-0 (ADS2-ADS0) で, チャンネルを変更し, A/D変換動作開始
- ⑨ 1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生
- ⑩ A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

＜A/D変換を終了する＞

- ⑪ ADCSをクリア (0)
- ⑫ ADCEをクリア (0)

注意1. ①から⑤までの間は1 μ s以上空けてください。

2. ①は, ②から④までの間に行っても, 問題ありません。
3. ①は省略可能です。ただし, この場合には⑤のあと, 最初の変換データは無視してください。
4. ⑥から⑨までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。⑧から⑨までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

13.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは， $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図13-14 総合誤差

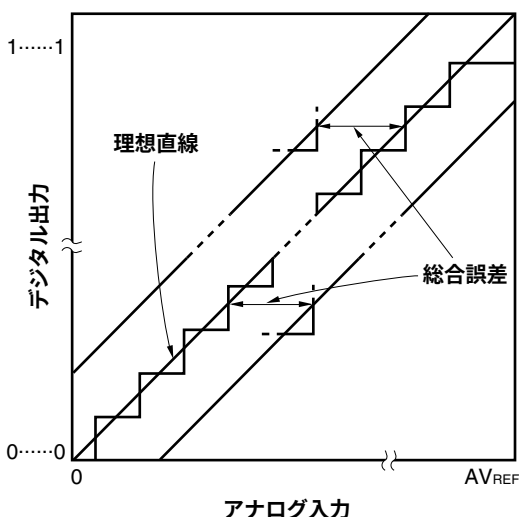
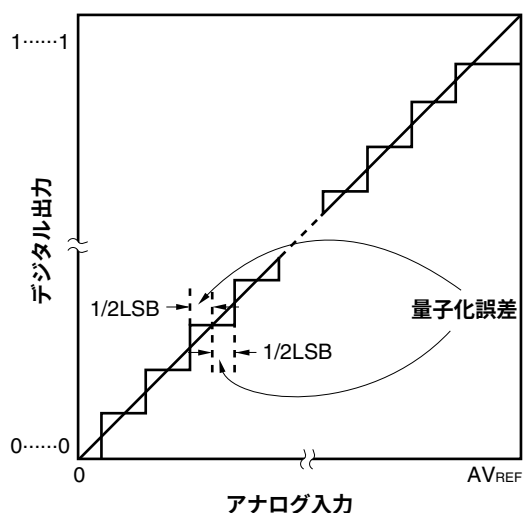


図13-15 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図13-16 ゼロスケール誤差

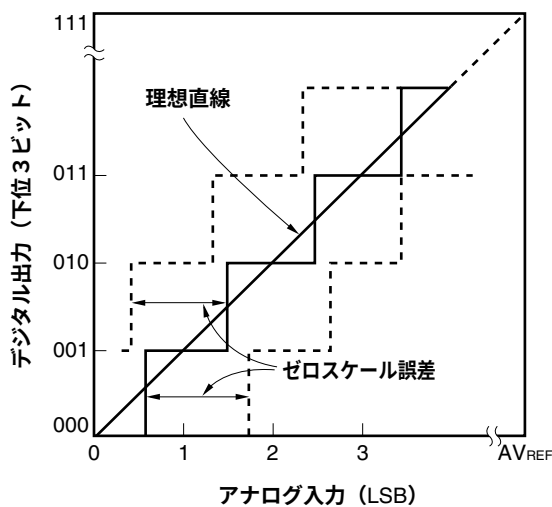


図13-17 フルスケール誤差

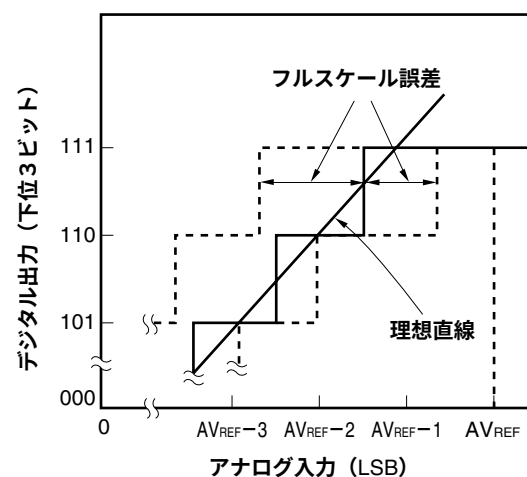


図13-18 積分直線性誤差

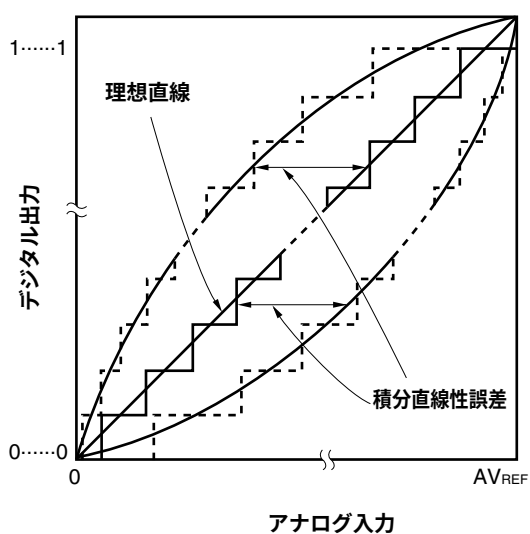
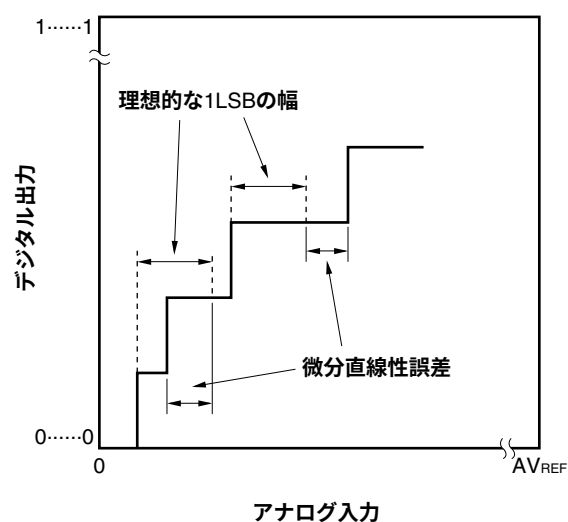


図13-19 微分直線性誤差

**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



13.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。

(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

- ② 変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI7端子へのノイズに注意する必要があります。

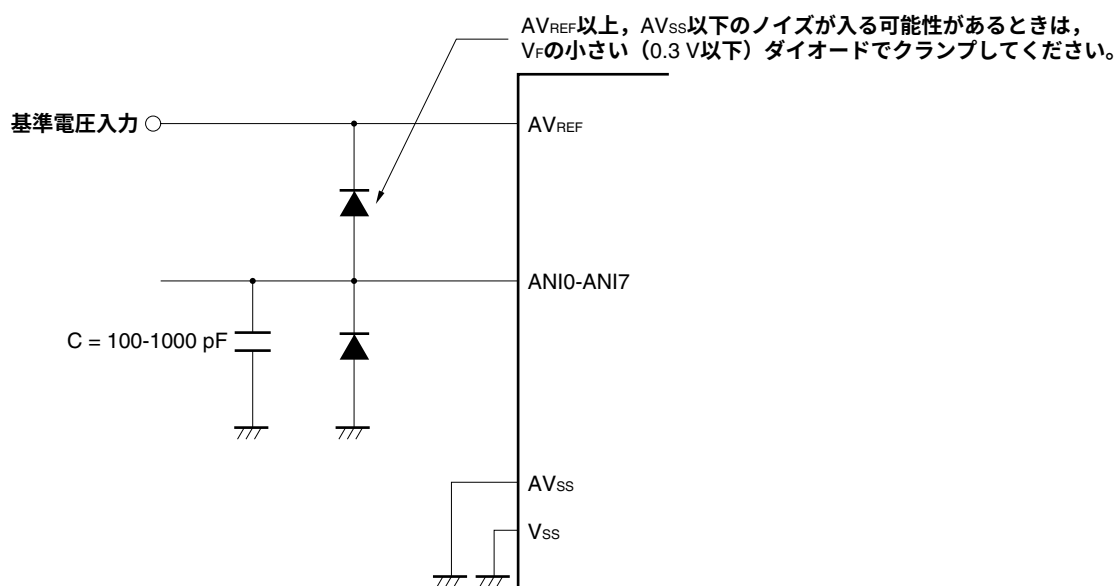
- ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。
- ② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13-20のようにCを外付けすることを推奨します。
- ③ 変換中においては、他の端子とスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。

備考 ANI0-ANI3：78K0/KB2

ANI0-ANI5：78K0/KC2の38ピン製品

ANI0-ANI7：上記以外の製品

図13-20 アナログ入力端子の処理



(5) ANI0/P20-ANI7/P27

- ① アナログ入力（ANI0-ANI7）端子は入出力ポート（P20-P27）端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にP20-P27に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27として使用する端子の選択は、AVREFから最も遠いANI0/P20より行うことを推奨します。

- ② A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にし、出力インピーダンスが高いときはANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図13-20参照）。

(7) AVREF端子の入力インピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

備考 ANI0-ANI3：78K0/KB2

ANI0-ANI5：78K0/KC2の38ピン製品

ANI0-ANI7：上記以外の製品

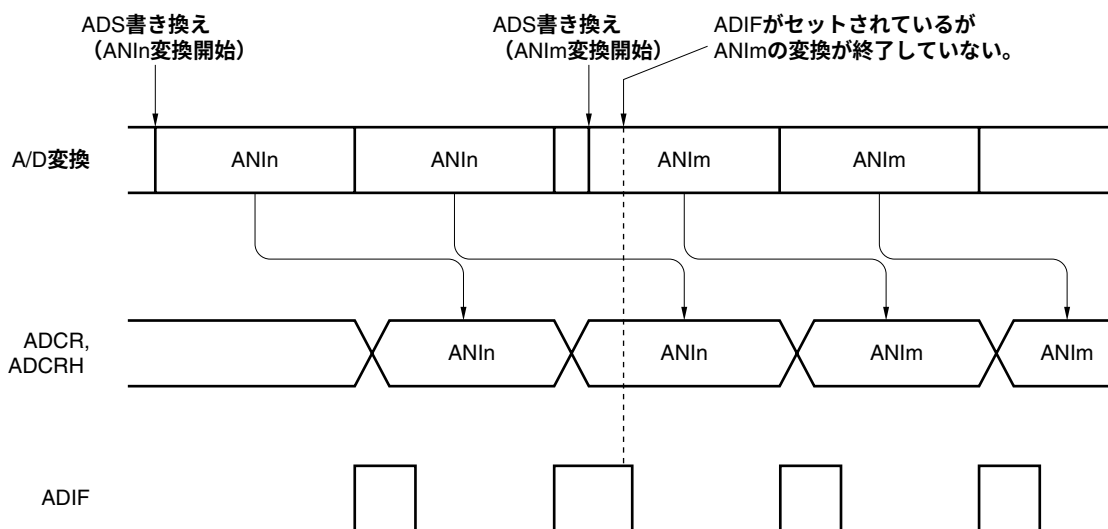
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図13-21 A/D変換終了割り込み要求発生タイミング



- 備考1. 78K0/KB2 : n = 0-3, 78K0/KC2の38ピン製品 : n = 0-5, それ以外の製品 : n = 0-7
 2. 78K0/KB2 : m = 0-3, 78K0/KC2の38ピン製品 : m = 0-5, それ以外の製品 : m = 0-7

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図13-22 ANIn端子内部等価回路

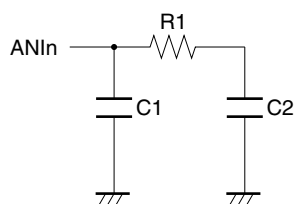


表13-5 等価回路の各抵抗と容量値 (参考値)

AV_{REF}	R1	C1	C2
$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	8.1 k Ω	8 pF	5 pF
$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$	31 k Ω	8 pF	5 pF
$2.3\text{ V} \leq AV_{REF} < 2.7\text{ V}$	381 k Ω	8 pF	5 pF

備考1. 表13-5の各抵抗と容量値は保証値ではありません。

2. 78K0/KB2 : n = 0-3, 78K0/KC2の38ピン製品 : n = 0-5, それ以外の製品 : n = 0-7

第14章 シリアル・インタフェースUART0

14. 1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

シリアル・インタフェースUART0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については14. 4. 1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については14. 4. 2 **アシクロナス・シリアル・インタフェース (UART) モード**、14. 4. 3 **専用ボー・レート・ジェネレータ**を参照してください。

- ・ 最大転送速度：625 kbps
- ・ 2端子構成 TxD0：送信データの出力端子
RxD0：受信データの入力端子
- ・ 通信データのデータ長は7ビット／8ビット可変
- ・ 専用の5ビット・ボー・レート・ジェネレータを内蔵していることにより、任意のボー・レートが設定可能
- ・ 送信動作と受信動作は独立して動作することが可能（全二重動作）
- ・ 通信データの先頭ビットは、LSB固定

注意1. シリアル・インタフェースUART0への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0として、回路をリセットしてください。

2. 通信開始する場合、POWER0 = 1に設定後、TXE0 = 1（送信）またはRXE0 = 1（受信）に設定してください。

注意3. TXE0とRXE0は、BRGC0で設定した基本クロック (f_{CLK0}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。

4. TXE0 = 1に設定したあと、基本クロック (f_{CLK0}) 1クロック以上待ってから、TXS0に送信データを設定してください。

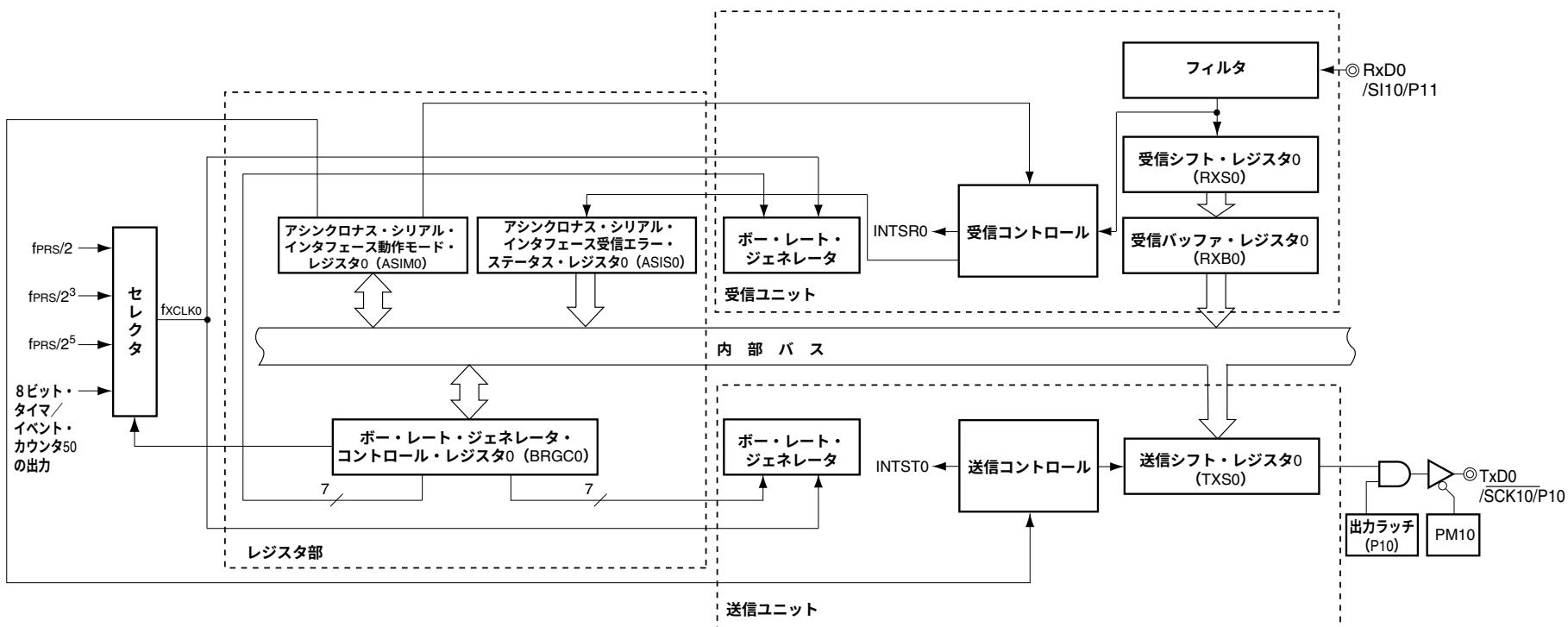
14.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成しています。

表14-1 シリアル・インタフェースUART0の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ0 (RXB0) 受信シフト・レジスタ0 (RXS0) 送信シフト・レジスタ0 (TXS0)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図14-1 シリアル・インタフェースUART0のブロック図



(1) 受信バッファ・レジスタ0 (RXB0)

受信シフト・レジスタ0 (RXS0) で変換したパラレル・データを格納するための8ビット・レジスタです。
データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0には転送されません。

RXB0は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生、POWER0 = 0によりFFHとなります。

(2) 受信シフト・レジスタ0 (RXS0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS0はプログラムで直接操作できません。

(3) 送信シフト・レジスタ0 (TXS0)

送信データを設定するためのレジスタです。TXS0にデータを書き込むことにより、送信動作が起動し、シリアル・データをTxD0端子から送信します。

TXS0は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

リセット信号の発生、POWER0 = 0、TXE0 = 0によりFFHとなります。

- 注意**
1. TXE0 = 1に設定したあと、基本クロック (f_{XCLK0}) 1クロック以上待ってから、TXS0に送信データを設定してください。
 2. TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。

14.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の5種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル通信動作を制御する8ビット・レジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図14-2 アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (1/2)

アドレス：FF70H リセット時：01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可／禁止
0 ^{注1}	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE0	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）
1	送信動作許可

RXE0	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）
1	受信動作許可

注1. POWER0 = 0で、RxD0端子からの入力はハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)，送信シフト・レジスタ0 (TXS0)，受信バッファ・レジスタ0 (RXB0) です。

図14-2 アシncロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (2/2)

PS01	PS00	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL0	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL0	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシncロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のビット2 (PE0) はセットされないため、エラー割り込みも発生しません。

- 注意1.** 送信開始するときはPOWER0 = 1にしてから、TXE0 = 1としてください。送信停止するときにはTXE0 = 0にしてから、POWER0 = 0としてください。
2. 受信開始するときはPOWER0 = 1にしてから、RXE0 = 1としてください。受信停止するときにはRXE0 = 0にしてから、POWER0 = 0としてください。
3. RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1→RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1→RXE0 = 1と設定すると、受信を開始してしまいます。
4. TXE0とRXE0は、BRGC0で設定した基本クロック (f_{CLK0}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE0 = 1に設定したあと、基本クロック (f_{CLK0}) 1クロック以上待ってから、TXS0に送信データを設定してください。
6. PS01, PS00, CL0ビットを書き換えるときは、TXE0, RXE0ビットをクリア (0) してから行ってください。
7. SL0ビットを書き換えるときは、TXE0をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL0ビットの設定値の影響は受けません。
8. ビット0には必ず1を設定してください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)

シリアル・インタフェースUART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE0, FE0, OVE0) で構成されています。

ASIS0は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM0のビット7 (POWER0) = 0、ビット5 (RXE0) = 0により、00Hになります。また、読み出しにより、00Hになります。受信エラーが発生した場合は、ASIS0を読み出したあと、受信バッファ・レジスタ0 (RXB0) を読み出し、エラー・フラグをクリアしてください。

図14-3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス：FF73H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき、または、ASIS0レジスタのリード
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき

FE0	フレーミング・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき、または、ASIS0レジスタのリード
1	受信完了時、ストップ・ビットが検出されないとき

OVE0	オーバラン・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき、または、ASIS0レジスタのリード
1	RXB0レジスタに受信データがセットされ、それを読み出す前に次の受信動作が完了したとき

- 注意1. PE0ビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のPS01, PS00ビットの設定値により異なります。
- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 - オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ0 (RXB0) には書き込まれず、データは破棄されます。
 - ASIS0からデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ASIS0からデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースUART0の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1FHになります。

図14-4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス：FF71H リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
BRGC0	TPS01	TPS00	0	MDL04	MDL03	MDL02	MDL01	MDL00

TPS01	TPS00	基本クロック (f_{CLK0}) 選択 ^{注1}				
		$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$	
0	0	TM50の出力 ^{注2}				
0	1	$f_{PRS}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	$f_{PRS}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
1	1	$f_{PRS}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz

MDL04	MDL03	MDL02	MDL01	MDL00	k	5ビット・カウンタの出力クロック選択
0	0	×	×	×	×	設定禁止
0	1	0	0	0	8	$f_{CLK0}/8$
0	1	0	0	1	9	$f_{CLK0}/9$
0	1	0	1	0	10	$f_{CLK0}/10$
・	・	・	・	・	・	・
・	・	・	・	・	・	・
・	・	・	・	・	・	・
・	・	・	・	・	・	・
・	・	・	・	・	・	・
1	1	0	1	0	26	$f_{CLK0}/26$
1	1	0	1	1	27	$f_{CLK0}/27$
1	1	1	0	0	28	$f_{CLK0}/28$
1	1	1	0	1	29	$f_{CLK0}/29$
1	1	1	1	0	30	$f_{CLK0}/30$
1	1	1	1	1	31	$f_{CLK0}/31$

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$f_{PRS} \leq 20 \text{ MHz}$	$f_{PRS} \leq 20 \text{ MHz}$
$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$f_{PRS} \leq 10 \text{ MHz}$	
$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ (標準品, (A) 水準品のみ)	$f_{PRS} \leq 5 \text{ MHz}$	$f_{PRS} \leq 5 \text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ (XSEL = 1) の場合です)

注2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・ PWMモード (TMC506 = 1)
デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意1. MDL04-MDL00ビットを書き換える場合は、ASIM0レジスタのビット6 (TXE0) = 0, ビット5 (RXE0) = 0にしてから行ってください。

2. TPS01, TPS00ビットを書き換える場合は、ASIM0レジスタのビット7 (POWER0) = 0にしてから行ってください。
3. 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

- 備考1. f_{CLK0} : TPS01, TPS00ビットで選択した基本クロックの周波数
2. f_{PRS} : 周辺ハードウェア・クロック周波数
3. k : MDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)
4. $\times$: 任意
5. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

(4) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P10/TxD0/SCK10端子をシリアル・インタフェースのデータ出力として使用するとき、PM10に0を、P10の出力ラッチに1を設定してください。

P11/RxD0/SI10端子をシリアル・インタフェースのデータ入力として使用するとき、PM11に1を設定してください。このときP11の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14-5 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス: FF21H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

14. 4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

14. 4. 1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM0のビット7, 6, 5 (POWER0, TXE0, RXE0) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF70H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可／禁止
0 ^{注1}	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする ^{注2} 。

TXE0	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）

RXE0	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）

注1. POWER0 = 0で、RxD0端子からの入力ハイ・レベルに固定されます。

- リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)，送信シフト・レジスタ0 (TXS0)，受信バッファ・レジスタ0 (RXB0)です。

注意 動作停止するときはTXE0 = 0, RXE0 = 0にしてから、POWER0 = 0 にしてください。

通信開始するときはPOWER0 = 1にしてから、TXE0 = 1, RXE0 = 1にしてください。

備考 RxD0/SI10/P11, TxD0/SCK10/P10端子を汎用ポートとして使用する場合は、第5章 ポート機能を参照してください。

14. 4. 2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

- ① BRGC0レジスタを設定 (図14-4を参照)
- ② ASIM0レジスタのビット1-4 (SL0, CL0, PS00, PS01) を設定 (図14-2を参照)
- ③ ASIM0レジスタのビット7 (POWER0) をセット (1)
- ④ ASIM0レジスタのビット6 (TXE0) をセット (1) → 送信可能
ASIM0レジスタのビット5 (RXE0) をセット (1) → 受信可能
- ⑤ TXS0レジスタにデータを書き込み→ データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表14-2 レジスタの設定と端子の関係

POWER0	TXE0	RXE0	PM10	P10	PM11	P11	UART0 の動作	端子機能	
								TxD0/SCK10/P10	RxD0/SI10/P11
0	0	0	×	×	×	×	停止	SCK10/P10	SI10/P11
1	0	1	×	×	1	×	受信	SCK10/P10	RxD0
	1	0	0	1	×	×	送信	TxD0	SI10/P11
	1	1	0	1	1	×	送受信	TxD0	RxD0

注 ポート機能またはシリアル・インタフェースCSI10として設定することができます。

備考 × : don't care

POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7

TXE0 : ASIM0のビット6

RXE0 : ASIM0のビット5

PM1× : ポート・モード・レジスタ

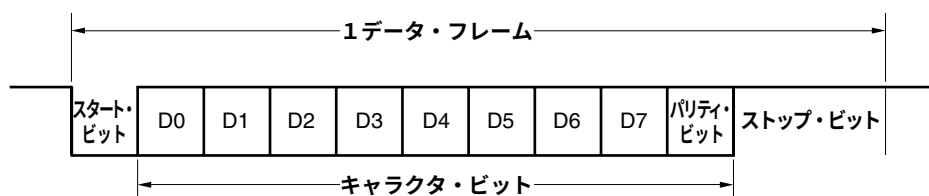
P1× : ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図14-6, 14-7に示します。

図14-6 通常UART送受信データのフォーマット



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット…… 1ビット
- ・キャラクタ・ビット… 7ビット／8ビット (LSBファースト)
- ・パリティ・ビット…… 偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット…… 1ビット／2ビット

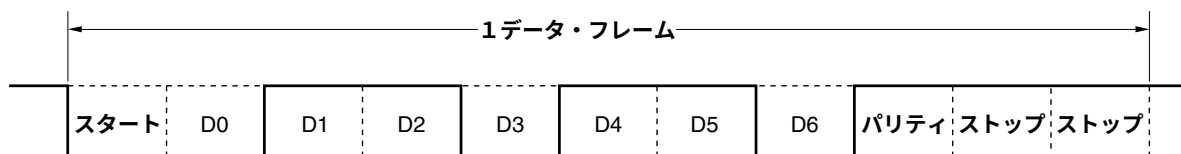
1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) によって行います。

図14-7 通常UART送受信データの波形例

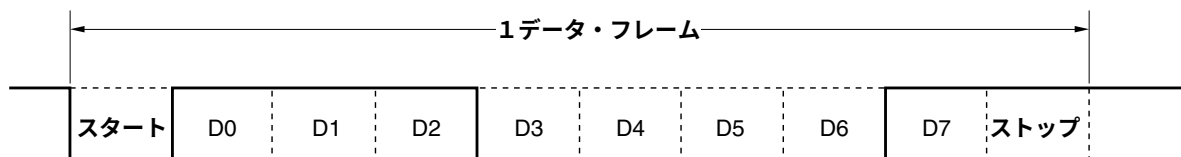
1. データ長：8ビット, パリティ：偶数パリティ, ストップ・ビット：1ビット, 通信データ：55H



2. データ長：7ビット, パリティ：奇数パリティ, ストップ・ビット：2ビット, 通信データ：36H



3. データ長：8ビット, パリティ：パリティなし, ストップ・ビット：1ビット, 通信データ：87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

(c) 送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) をセット (1) し、次にASIM0のビット6 (TXE0) をセット (1) すると送信許可状態になり、送信シフト・レジスタ0 (TXS0) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、スタート・ビットがTxD0端子から出力され、続いて送信データがLSBより順次出力されます。送信が完了すると、ASIM0で設定したパリティ・ビット、ストップ・ビットが付加され、最後に送信完了割り込み要求 (INTST0) が発生します。

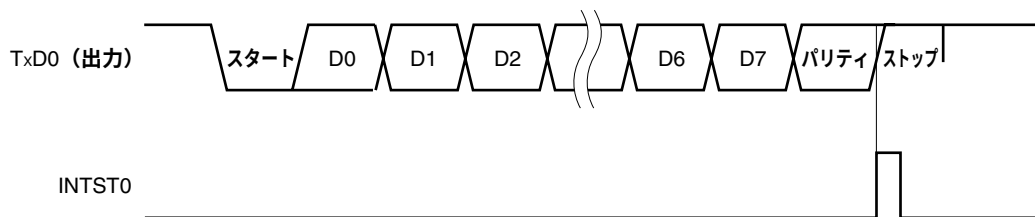
次に送信するデータをTXS0に書き込むまで、送信動作は中断します。

送信完了割り込み要求 (INTST0) のタイミングを図14-8に示します。INTST0は、最後のストップ・ビット出力と同時に発生します。

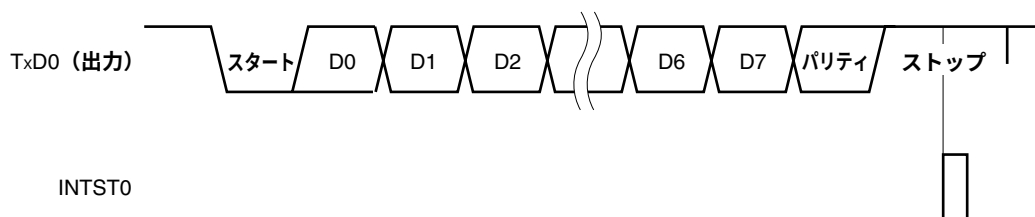
注意 TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。

図14-8 送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 受信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) をセット (1) し、次にASIM0のビット5 (RXE0) をセット (1) すると受信許可状態となり、RxD0端子入力のサンプリングを行います。

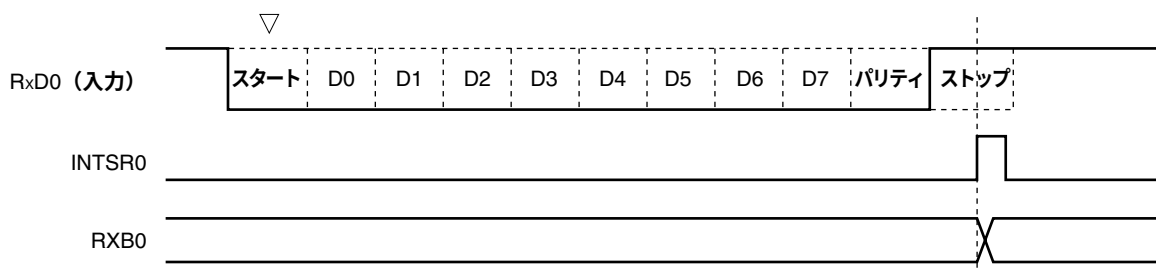
RxD0端子入力の立ち下がりを検出すると、ボー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定値をカウントした時点で、再度RxD0端子入力をサンプリング (図14-9の▽印に相当) した結果、RxD0端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ0 (RXS0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR0) を発生すると同時に、RXS0のデータは受信バッファ・レジスタ0 (RXB0) に書き込まれます。ただし、オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0に書き込まれません。

受信途中に、パリティ・エラー (PE0) が発生しても、ストップ・ビットの受信位置までは、受信を継続し、受信完了後に受信エラー割り込み (INTSR0) を発生します。

INTSR0は、受信完了時および受信エラー時に発生します。

図14-9 受信完了割り込み要求タイミング



注意1. 受信エラーが発生した場合は、アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) を読み出したあと、受信バッファ・レジスタ0 (RXB0) を読み出し、エラー・フラグをクリアしてください。

RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。

(e) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み (INTSR0) を発生します。

受信エラー割り込み (INTSR0) 処理内で、ASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図14-3参照)。

ASIS0の内容は、ASIS0を読み出すことによって、クリア (0) されます。

表14-3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次のデータ受信完了

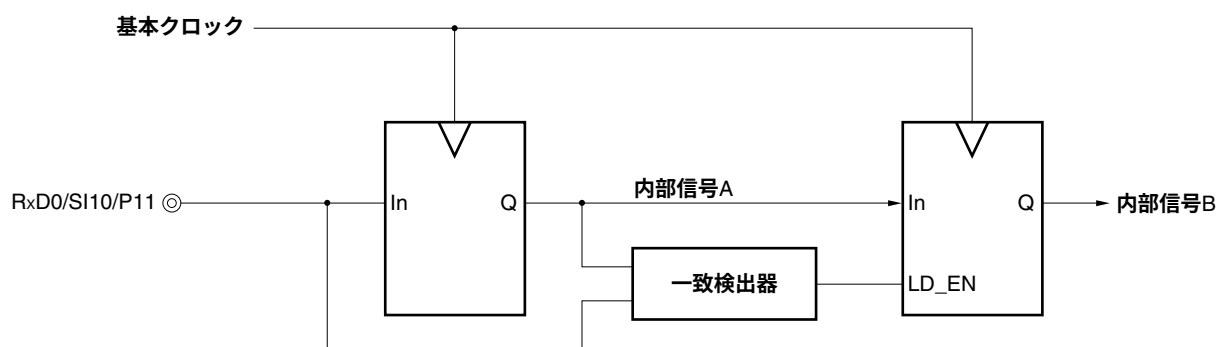
(f) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD0信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図14-10のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図14-10 ノイズ・フィルタ回路



14. 4. 3 専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と5ビットのプログラマブル・カウンタにより構成され、UART0における送受信時のシリアル・クロックを生成します。

なお、5ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース・モード動作レジスタ0 (ASIM0) のビット7 (POWER0) = 1のとき、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (TPS01, TPS00) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK0} と呼びます。POWER0 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0またはビット6 (TXE0) = 0のときはクリア (0) の状態で動作を停止します。

POWER0 = 1かつTXE0 = 1でカウントをスタートします。

最初の送信では送信シフト・レジスタ0 (TXS0) への書き込みでカウンタをクリア (0) します。

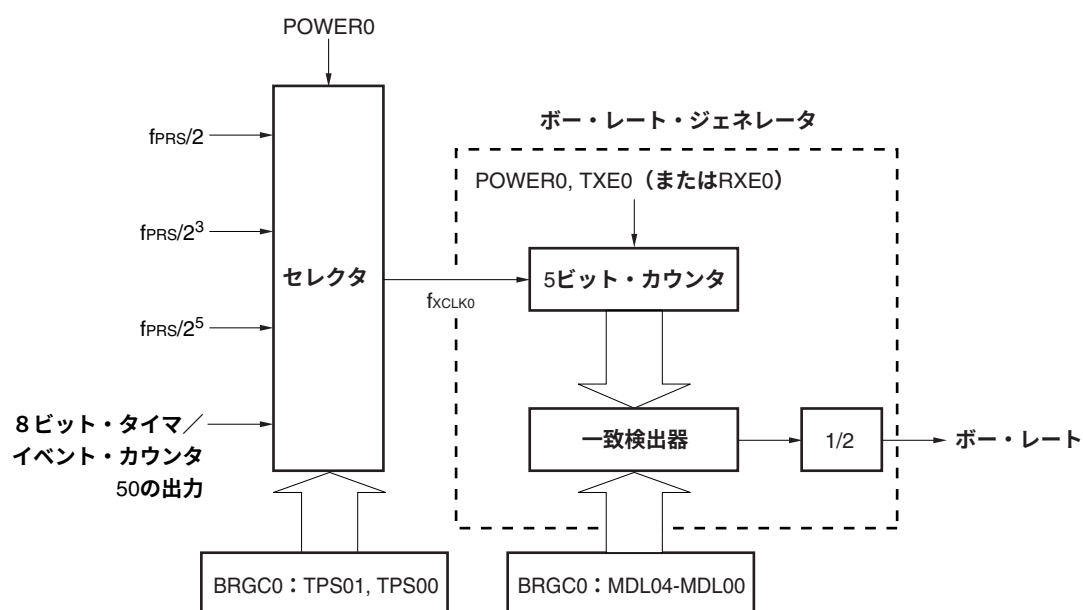
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0またはビット5 (RXE0) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図14-11 ボー・レート・ジェネレータの構成



備考 POWER0 : アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7
 TXE0 : ASIM0のビット6
 RXE0 : ASIM0のビット5
 BRGC0 : ボー・レート・ジェネレータ・コントロール・レジスタ0

(2) シリアル・クロックの生成

ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定により、生成するシリアル・クロックを指定できます。

BRGC0のビット7, 6 (TPS01, TPS00) により、5ビット・カウンタへの入力クロックの選択を、ビット4-0 (MDL04-MDL00) により、5ビット・カウンタの分周値 ($f_{XCLK0}/8 - f_{XCLK0}/31$) を設定できます。

14.4.4 ボー・レートの算出

(1) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK0}}}{2 \times k} \text{ [bps]}$$

f_{CLK0} : BRGC0レジスタのTPS01, TPS00ビットで選択した基本クロックの周波数

k : BRGC0レジスタのMDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)

表14-4 TPS01, TPS00の設定値

TPS01	TPS00	基本クロック (f_{CLK0}) 選択 ^{注1}				
			$f_{\text{PRS}} = 2 \text{ MHz}$	$f_{\text{PRS}} = 5 \text{ MHz}$	$f_{\text{PRS}} = 10 \text{ MHz}$	$f_{\text{PRS}} = 20 \text{ MHz}$
0	0	TM50の出力 ^{注2}				
0	1	$f_{\text{PRS}}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	$f_{\text{PRS}}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
1	1	$f_{\text{PRS}}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$f_{\text{PRS}} \leq 20 \text{ MHz}$	$f_{\text{PRS}} \leq 20 \text{ MHz}$
$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$f_{\text{PRS}} \leq 10 \text{ MHz}$	
$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$ (標準品, (A) 水準品のみ)	$f_{\text{PRS}} \leq 5 \text{ MHz}$	$f_{\text{PRS}} \leq 5 \text{ MHz}$

(上述の表は、 $f_{\text{PRS}} = f_{\text{XH}}$ ($\text{XSEL} = 1$) の場合です)

2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- TM50とCR50の一致でクリア&スタート・モード ($\text{TMC506} = 0$)

タイマF/Fの反転動作を許可 ($\text{TMC501} = 1$) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- PWMモード ($\text{TMC506} = 1$)

デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 ($\text{TOE50} = 1$) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{・誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

BRGC0レジスタのMDL04-MDL00ビットの設定値 = 10000B (k = 16)

目標ボー・レート = 76800 bps

ボー・レート = 2.5 M / (2 × 16)

= 2,500,000 / (2 × 16) = 78125 [bps]

誤差 = (78125 / 76800 - 1) × 100

= 1.725 [%]

(3) ボー・レート設定例

表14-5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	fPRS = 2.0 MHz				fPRS = 5.0 MHz				fPRS = 10.0 MHz				fPRS = 20.0 MHz			
	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]
4800	2H	26	4808	0.16	3H	16	4883	1.73	—	—	—	—	—	—	—	—
9600	2H	13	9615	0.16	3H	8	9766	1.73	3H	16	9766	1.73	—	—	—	—
10400	2H	12	10417	0.16	2H	30	10417	0.16	3H	15	10417	0.16	3H	30	10417	0.16
19200	1H	26	19231	0.16	2H	16	19531	1.73	3H	8	19531	1.73	3H	16	19531	1.73
24000	1H	21	23810	-0.79	2H	13	24038	0.16	2H	26	24038	0.16	3H	13	24038	0.16
31250	1H	16	31250	0	2H	10	31250	0	2H	20	31250	0	3H	10	31250	0
33600	1H	15	33333	-0.79	2H	9	34722	3.34	2H	19	32895	-2.1	3H	9	34722	3.34
38400	1H	13	38462	0.16	2H	8	39063	1.73	2H	16	39063	1.73	3H	8	39063	1.73
56000	1H	9	55556	-0.79	1H	22	56818	1.46	2H	11	56818	1.46	2H	22	56818	1.46
62500	1H	8	62500	0	1H	20	62500	0	2H	10	62500	0	2H	20	62500	0
76800	—	—	—	—	1H	16	78125	1.73	2H	8	78125	1.73	2H	16	78125	1.73
115200	—	—	—	—	1H	11	113636	-1.36	1H	22	113636	-1.36	2H	11	113636	-1.36
153600	—	—	—	—	1H	8	156250	1.73	1H	16	156250	1.73	2H	8	156250	1.73
312500	—	—	—	—	—	—	—	—	1H	8	312500	0	1H	16	312500	0
625000	—	—	—	—	—	—	—	—	—	—	—	—	1H	8	625000	0

備考 TPS01, TPS00 : ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (基本クロック (fCLK0) 設定)

k : BRGC0のMDL04-MDL00ビットで設定した値 (k = 8, 9, 10, …, 31)

fPRS : 周辺ハードウェア・クロック周波数

ERR : ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14-12 受信時の許容ボー・レート範囲

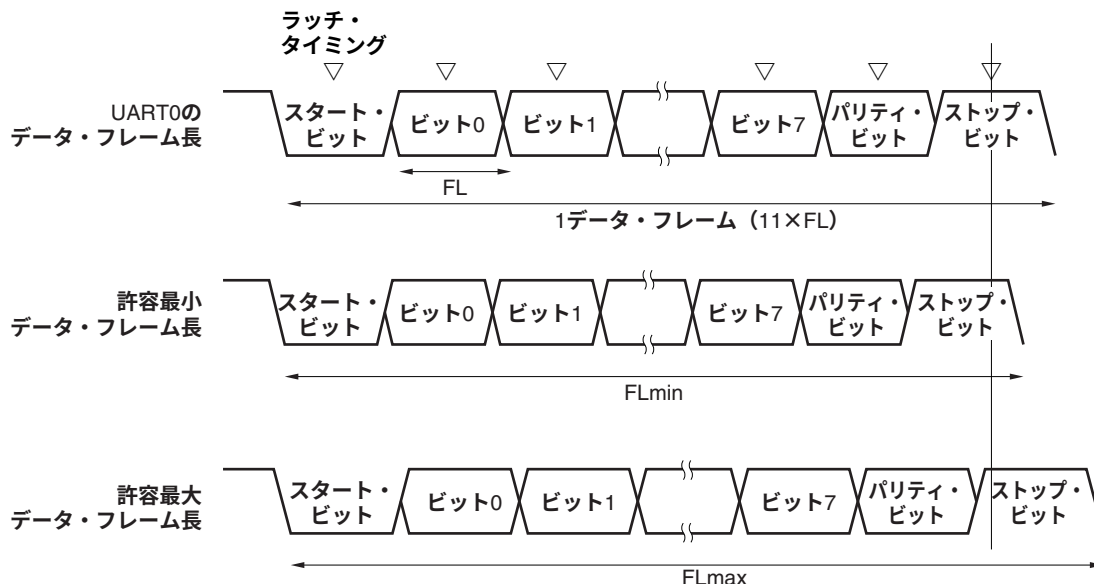


図14-12に示すように、スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART0のボー・レート

k : BRGC0の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン：2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\begin{aligned}\frac{10}{11} \times FL_{\max} &= 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL \\ FL_{\max} &= \frac{21k-2}{20k} FL \times 11\end{aligned}$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小／最大ボー・レート値の算出式から、UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-6 許容最大／最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
16	+4.14 %	-4.19 %
24	+4.34 %	-4.38 %
31	+4.44 %	-4.47 %

- 備考1.** 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。
- 2.** k : BRGC0の設定値

第15章 シリアル・インタフェースUART6

15. 1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については15. 4. 1 **動作停止モード**を参照してください。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については15. 4. 2 **アシンクロナス・シリアル・インタフェース (UART) モード**, 15. 4. 3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・最大転送速度：625 kbps
- ・2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・通信データのデータ長は7ビット／8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能（全二重動作）
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能（SBF受信フラグあり）

注意1. TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

注意2. シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0として、回路をリセットしてください。

3. 通信開始する場合、POWER6 = 1に設定後、TXE6 = 1（送信）またはRXE6 = 1（受信）に設定してください。
4. TXE6とRXE6は、CKSR6で設定した基本クロック（ f_{XCLK6} ）により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック（ f_{XCLK6} ）1クロック以上待ってから、TXB6に送信データを設定してください。
6. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

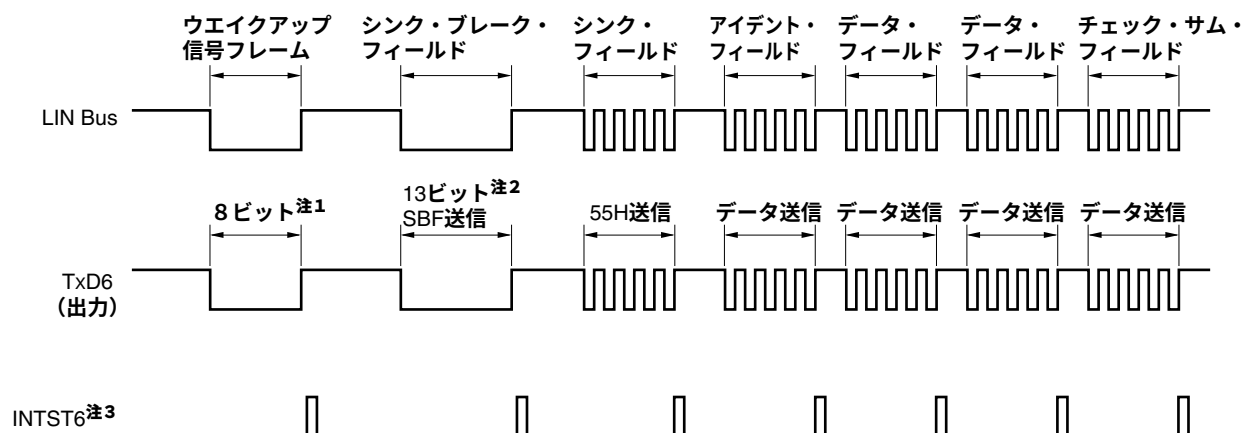
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15 %以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図15-1, 15-2に示します。

図15-1 LINの送信操作



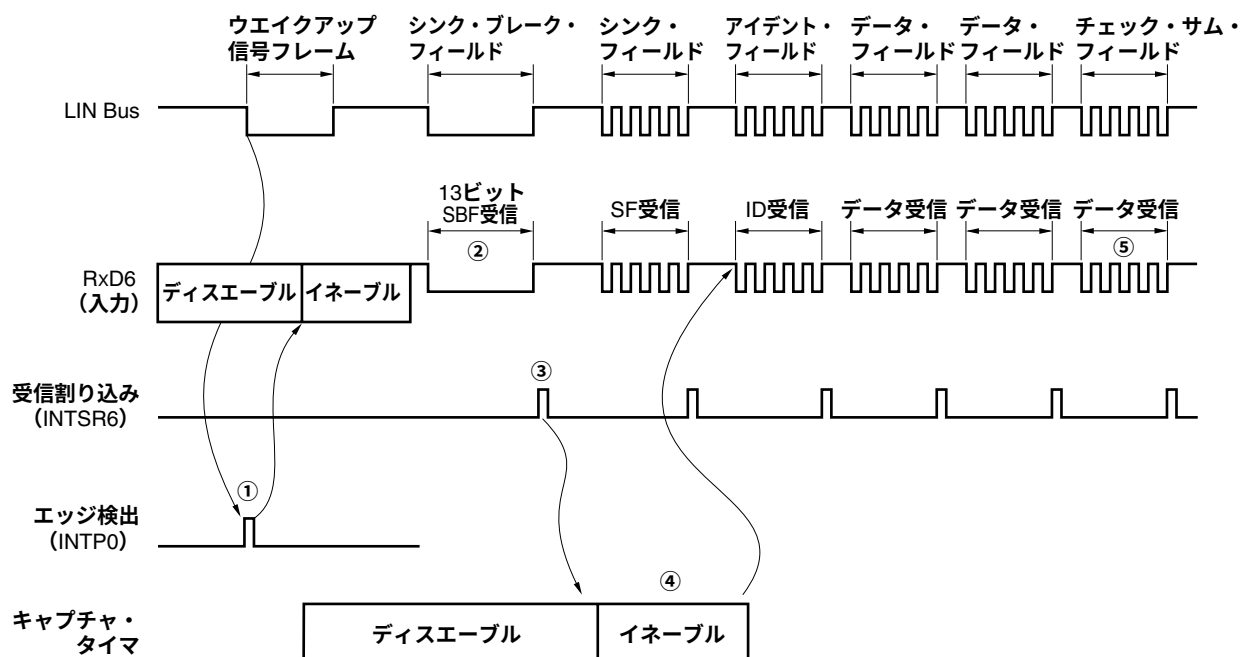
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット4-2 (SBL62-SBL60) で設定したビット長になります (15.4.2 (2) (h) SBF送信を参照)。

3. 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図15-2 LINの受信操作



受信処理の流れを次に示します。

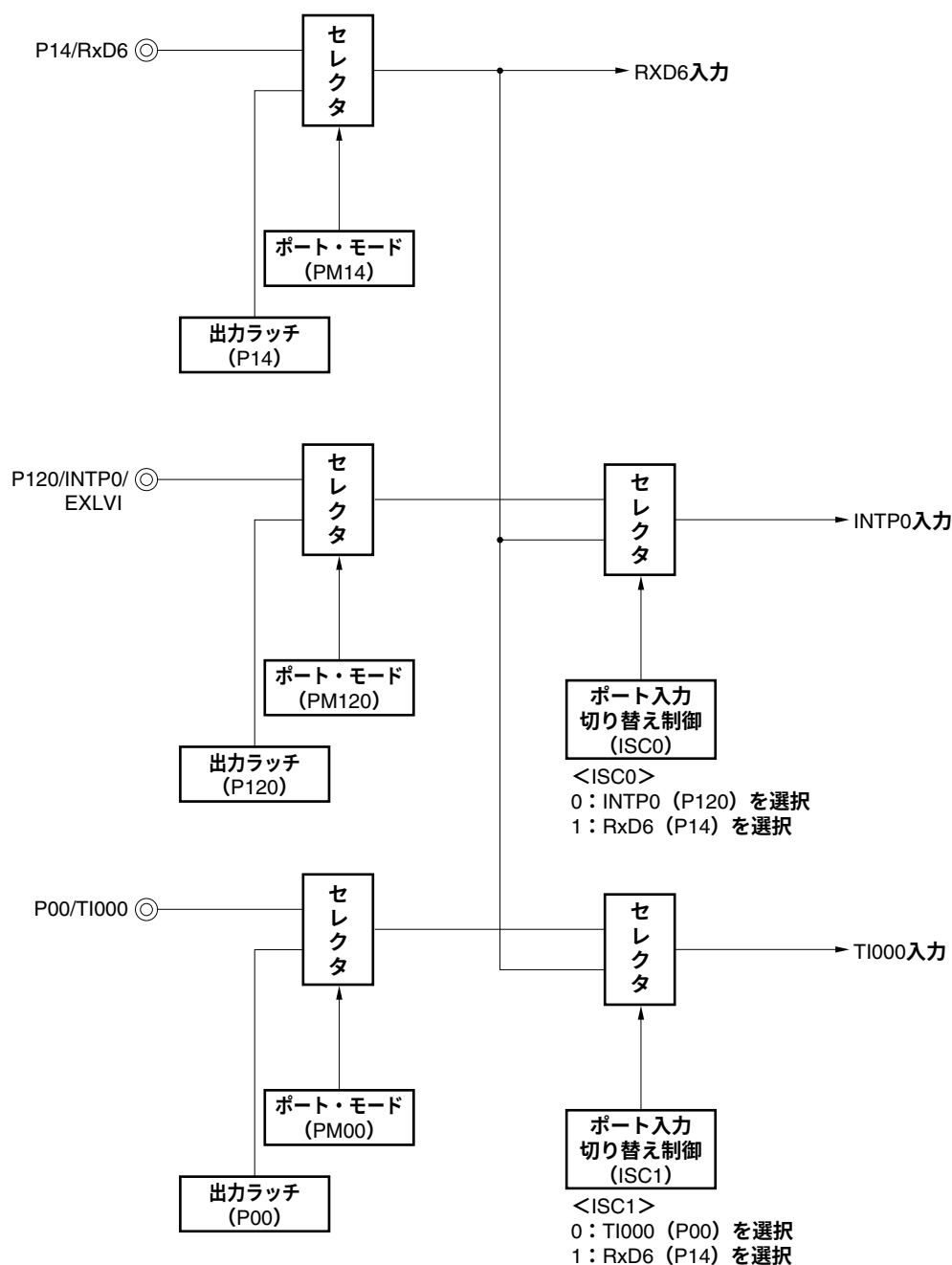
- ① ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。
- ② STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。
- ③ SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ／イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（7. 4. 8 パルス幅測定としての動作を参照）。また、OVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。
- ④ シンク・フィールドのビット間隔からボー・レート誤差を算出し、SF受信後にUART6のイネーブルを落としてからボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) を再セットしてください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

図15-3はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み (INTP0) のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部でRxD6とINTP0、TI000の結線をせずに、受信用ポート入力 (RxD6) の入力ソースを外部割り込み (INTP0) および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図15-3 LINの受信操作のポート構成図



備考 ISC0, ISC1: 入力切り替え制御レジスタ (ISC) のビット0, 1 (図15-11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み（INTP0）；ウエイクアップ信号検出

用途：ウエイクアップ信号のエッジを検出し、通信開始を検出

- ・16ビット・タイマ／イベント・カウンタ00（TI000）；ボー・レート誤差検出

用途：シンク・フィールド（SF）の長さを検出し、ビット数で割ることでボー・レート誤差を検出（TI000
入力エッジの間隔をキャプチャ・モードで測定）

- ・シリアル・インタフェースUART6

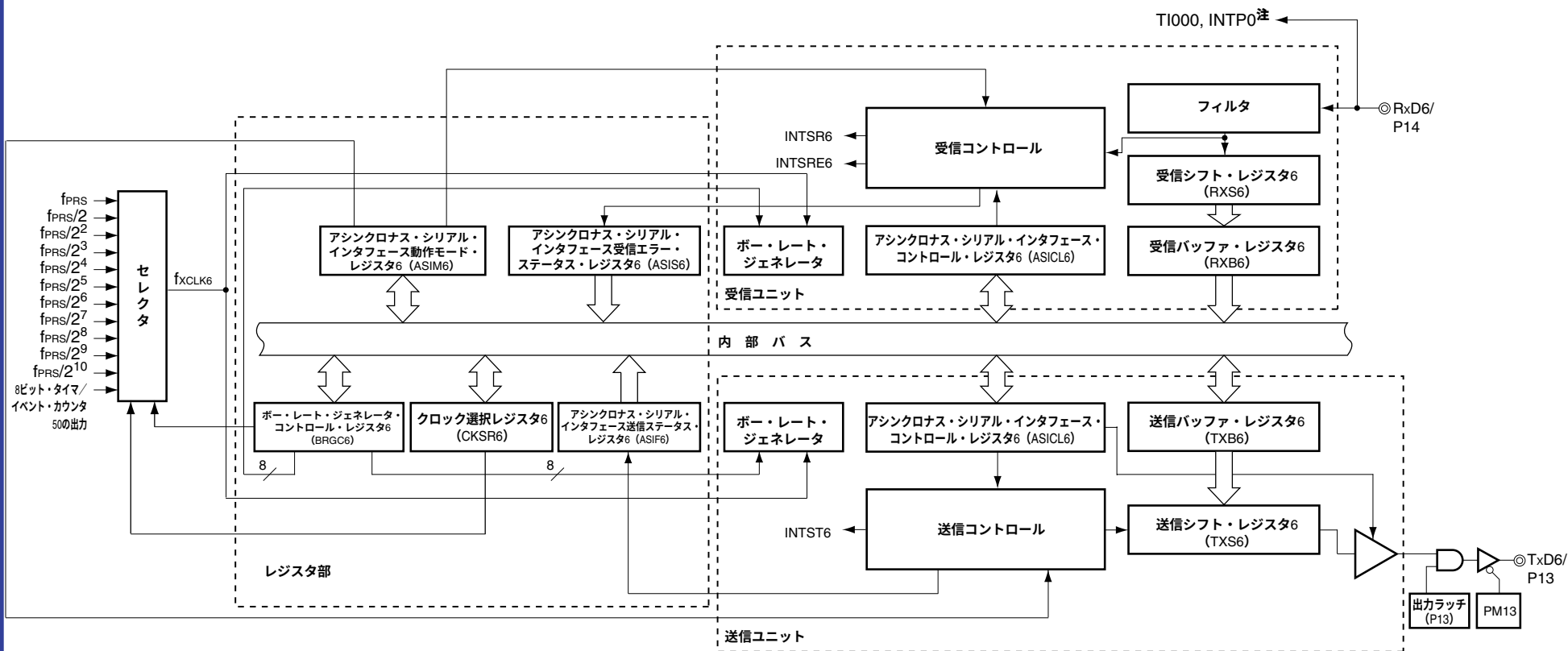
15.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は、次のハードウェアで構成しています。

表15-1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6（RXB6） 受信シフト・レジスタ6（RXS6） 送信バッファ・レジスタ6（TXB6） 送信シフト・レジスタ6（TXS6）
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6） アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6） アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6） クロック選択レジスタ6（CKSR6） ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6） アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6） 入力切り替え制御レジスタ（ISC） ポート・モード・レジスタ1（PM1） ポート・レジスタ1（P1）

図15-4 シリアル・インタフェースUART6のブロック図



注 入力切り替え制御レジスタ (ISC) にて選択可能。

(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

- 注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。**
- 2. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。**
- 3. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。**

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下りのタイミングで行われます。

TXS6はプログラムで直接操作できません。

15.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の9種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1 (PM1)
- ・ ポート・レジスタ1 (P1)

(1) アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

備考 通信動作中 (ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図15-5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス：FF50H リセット時：01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可／禁止
0 ^{注1}	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE6	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）
1	送信動作許可

RXE6	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）
1	受信動作許可

注1. 送信中にPOWER6 = 0にすると，TxD6端子の出力はハイ・レベルに固定されます（TXDLV6 = 0の場合）。また，RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)，アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)，アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6)，受信バッファ・レジスタ6 (RXB6) です。

図15-5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可／禁止
0	エラー発生時の割り込みに“INTSRE6”が発生（このときINTSR6は発生しない）
1	エラー発生時の割り込みに“INTSR6”が発生（このときINTSRE6は発生しない）

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

- 注意1.** 送信開始するときはPOWER6 = 1にしてから、TXE6 = 1としてください。送信停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 受信開始するときはPOWER6 = 1にしてから、RXE6 = 1としてください。受信停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1→RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1→RXE6 = 1 と設定すると、受信を開始してしまいます。
4. TXE6とRXE6は、CKSR6で設定した基本クロック (f_{CLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。
6. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) してから行ってください。
7. LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。
8. SL6ビットを書き換えるときは、TXE6をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6ビットの設定値の影響は受けません。
9. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0、ビット5 (RXE6) = 0により、00Hになります。また、読み出しにより、00Hになります。受信エラーが発生した場合は、ASIS6を読み出したあと、受信バッファ・レジスタ6 (RXB6) を読み出し、エラー・フラグをクリアしてください。

図15-6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス：FF53H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、または、ASIS6レジスタのリード
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、または、ASIS6レジスタのリード
1	受信完了時、ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、または、ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ、それを読み出す前に次の受信動作が完了したとき

- 注意**
1. PE6 ビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。
 2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず、データは破棄されます。
 4. ASIS6からデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (fPRS) が停止しているときに、ASIS6からデータを読み出さないでください。詳細は、第36章 ウェイトに関する注意事項を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0, ビット6 (TXE6) = 0により、00Hになります。

図15-7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス：FF55H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

- 注意1.** 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
- 2.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 通信動作中 (ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図15-8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス：FF56H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択 ^{注1}				
					f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注4}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xx)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック：f_{PRS}) は設定禁止です。
 - 4.0 V ≤ V_{DD} ≤ 5.5 Vの場合のみ設定可能です。
 - TM50出力を基本クロックとして選択する場合、次の内容に注意してください。
 - ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・PWMモード (TMC506 = 1)
デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

(5) ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中 (ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでBRGC6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図15-9 ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス : FF57H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{CLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{CLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{CLK6}/6$
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
1	1	1	1	1	1	0	0	252	$f_{CLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{CLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{CLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{CLK6}/255$

注意1. MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値となります。

備考1. f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. × : 任意

(6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。

ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

注意 通信動作中(ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでASICL6へのリフレッシュ動作(同値書き込み)を行うことができます。ただし、SBF受信中 (SBRF6 = 1) またはSBF送信中 (SBTT6をセット (1) 後からINTST6発生までの間) に、リフレッシュ動作でSBRT6 = 1, SBTT6 = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

図15-10 アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット (1/2)

アドレス：FF58H リセット時：16H R/W[※]

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信

SBRT6	SBF受信トリガ
0	—
1	SBF受信トリガ

SBTT6	SBF送信トリガ
0	—
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図15-10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット (2/2)

SBL62	SBL61	SBL60	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可／禁止
0	TxD6通常出力
1	TxD6反転出力

- 注意1.** SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持 (1) されます。
- SBRT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF受信が終了 (割り込み要求信号が発生) する前に、SBRT6ビットをクリア (0) しないでください。
 - SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア (0) されます。
 - SBTT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF送信が終了 (割り込み要求信号が発生) する前に、SBTT6ビットをクリア (0) しないでください。
 - SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア (0) されます。
 - SBRT6ビットは受信動作中に、SBTT6ビットは送信動作中に、セット (1) しないでください。
 - DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) にしてから行ってください。
 - TXDLV6ビットを1 (TxD6反転出力) に設定している場合、POWER6, TXE6の設定に関係なく、TxD6/P13端子を汎用ポートとして使用することはできません。TxD6/P13端子を汎用ポートとして使用する場合は、TXDLV6ビットを0 (TxD6通常出力) に設定してください。

(7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。

ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはP14/RxD6端子からの入力信号に切り替わります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-11 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス：FF4FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	TI000入力ソースの選択
0	TI000 (P00)
1	RxD6 (P14)

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P14)

(8) ポート・モード・レジスタ1 (PM1)

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P13/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき、PM13に0を、P13の出力ラッチに1を設定してください。

P14/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM14に1を設定してください。このときP14の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図15-12 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

15.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード

15.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF50H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可／禁止
0 ^{注1}	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする ^{注2}

TXE6	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）

RXE6	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルに固定されます（TXDLV6 = 0の場合）。また、RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)，アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)，アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6)，受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止するときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。通信開始するときは、POWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P14, TxD6/P13端子を汎用ポートとして使用する場合は、第5章 ポート機能を参照してください。

15.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

- ① CKSR6レジスタを設定 (図15-8を参照)
- ② BRGC6レジスタを設定 (図15-9を参照)
- ③ ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図15-5を参照)
- ④ ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図15-10を参照)
- ⑤ ASIM6レジスタのビット7 (POWER6) をセット (1)
- ⑥ ASIM6レジスタのビット6 (TXE6) をセット (1) → 送信可能
ASIM6レジスタのビット5 (RXE6) をセット (1) → 受信可能
- ⑦ 送信バッファ・レジスタ6 (TXB6) にデータを書き込み→ データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表15-2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM13	P13	PM14	P14	UART6 の動作	端子機能	
								TxD6/P13	RxD6/P14
0	0	0	×	×	×	×	停止	P13	P14
1	0	1	×	×	1	×	受信	P13	RxD6
	1	0	0	1	×	×	送信	TxD6	P14
	1	1	0	1	1	×	送受信	TxD6	RxD6

注 ポート機能として設定することができます。

備考 × : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1× : ポート・モード・レジスタ

P1× : ポートの出力ラッチ

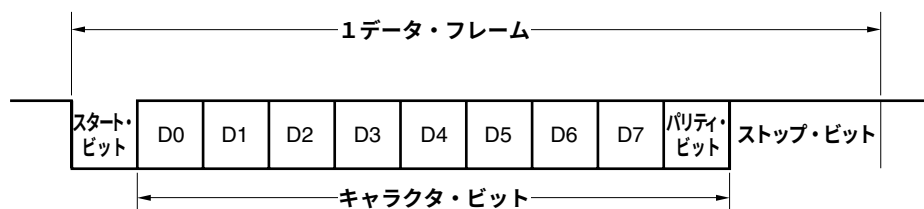
(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

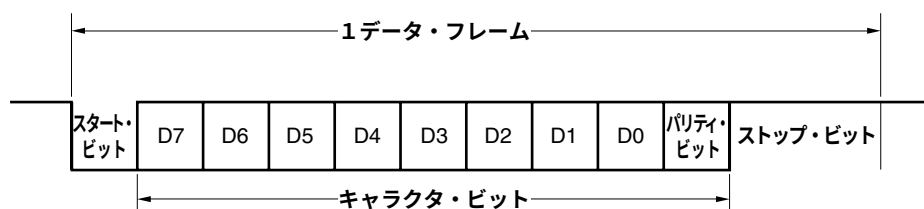
通常送受信データのフォーマットと波形例を図15-13, 15-14に示します。

図15-13 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット…………… 1ビット
- ・キャラクタ・ビット…………… 7ビット／8ビット
- ・パリティ・ビット…………… 偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット…………… 1ビット／2ビット

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）によって行います。

データはLSBファースト／MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット1（DIR6）で設定して通信します。

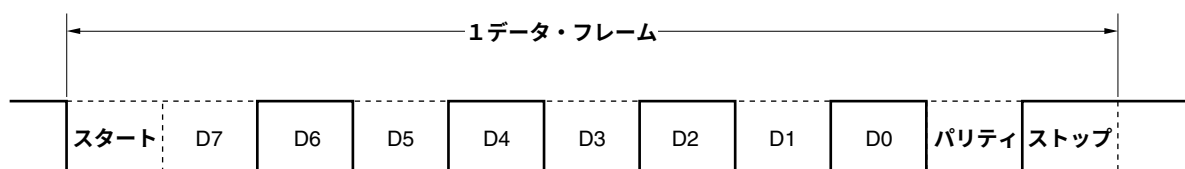
また、TxD6端子の通常出力／反転出力をASICL6のビット0（TXDLV6）で設定します。

図15-14 通常UART送受信データの波形例（1/2）

1. データ長：8ビット，LSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



2. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H

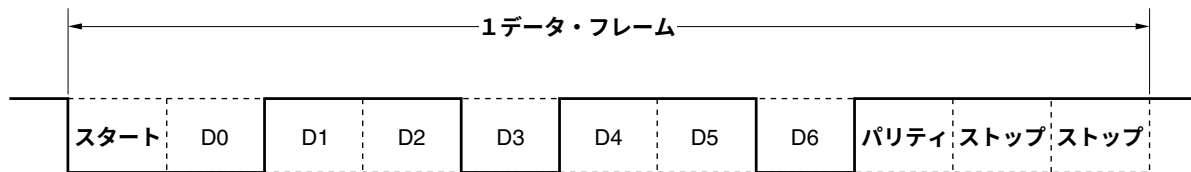


3. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H, TxD6端子反転出力

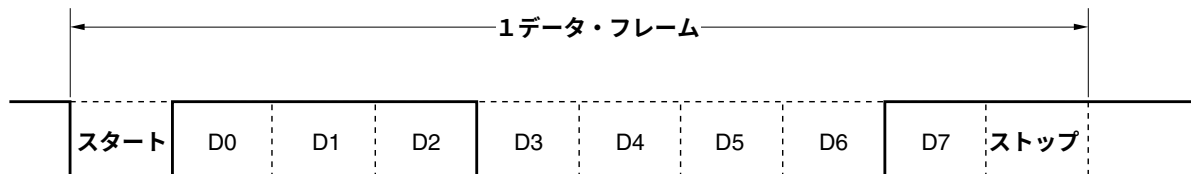


図15-14 通常UART送受信データの波形例 (2/2)

4. データ長：7ビット，LSBファースト，パリティ：奇数パリティ，ストップ・ビット：2ビット，通信データ：36H



5. データ長：8ビット，LSBファースト，パリティ：パリティなし，ストップ・ビット：1ビット，通信データ：87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

注意 LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

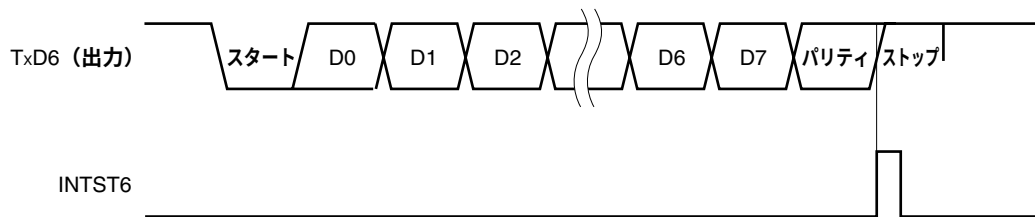
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、送信データがTXS6より順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

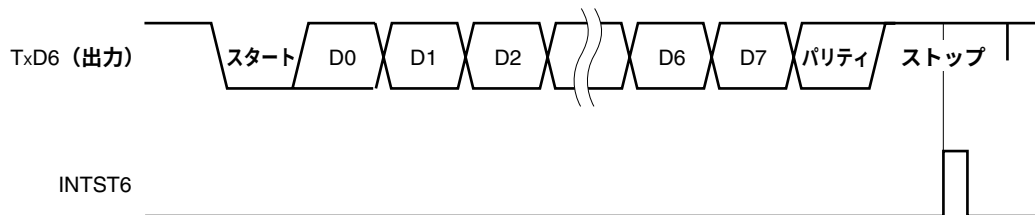
送信完了割り込み要求 (INTST6) のタイミングを図15-15に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図15-15 通常送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1.** 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」→「11」→「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。
- 2.** LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

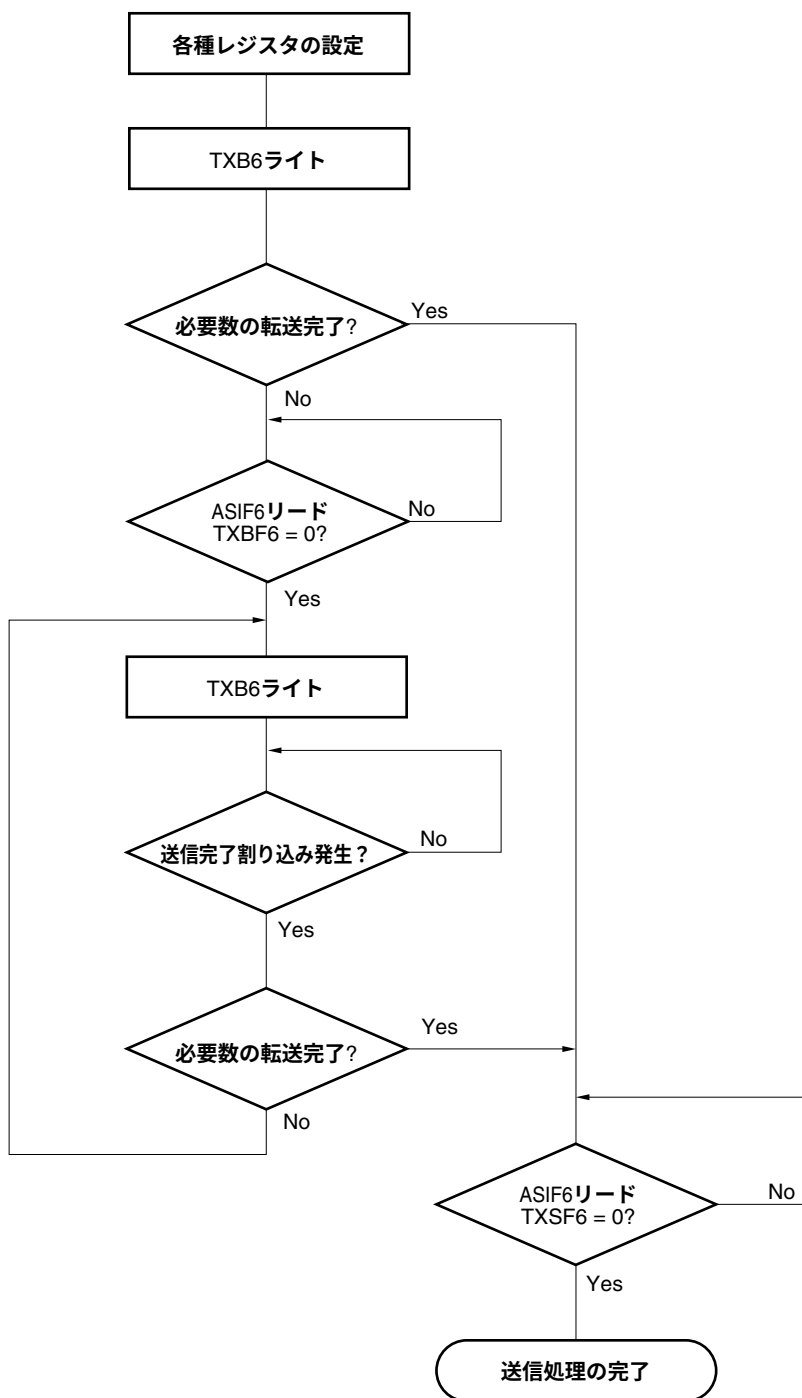
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図15-16に示します。

図15-16 連続送信の処理フロー例



備考 TXB6 : 送信バッファ・レジスタ6

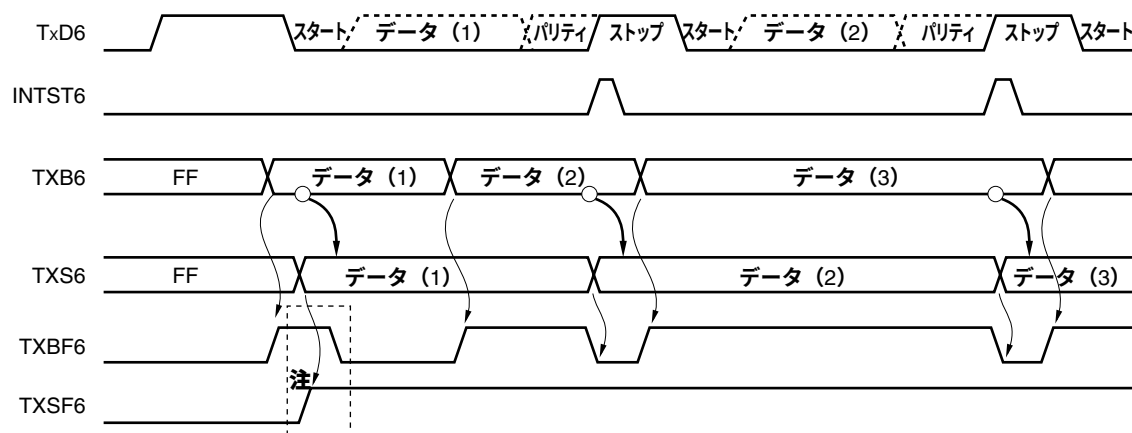
ASIF6 : アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6

TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)

TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図15-17に、連続送信を終了する際のタイミングを図15-18に示します。

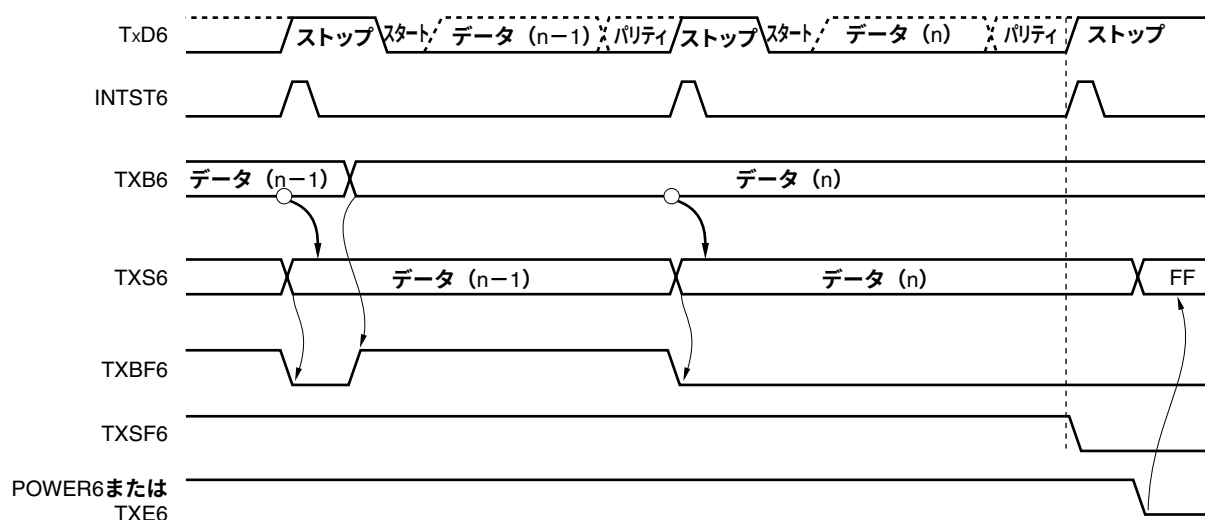
図15-17 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

備考 TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0

図15-18 連続送信を終了する際のタイミング



備考	TxD6	: TxD6端子 (出力)
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7
	TXE6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット6

(e) 通常受信

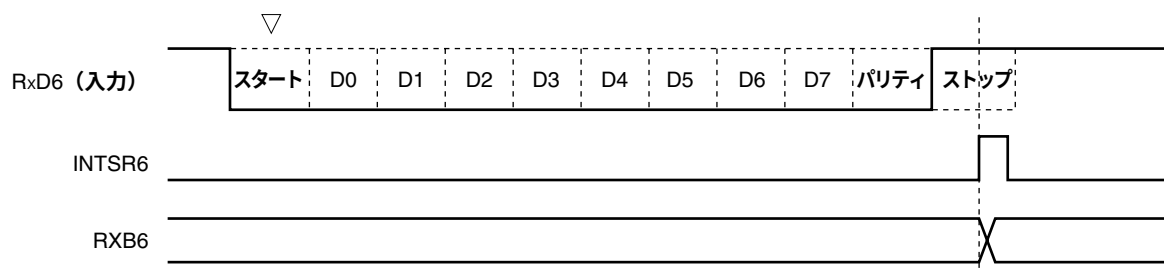
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ボー・レート・ジェネレータの8ビット・カウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定値をカウントした時点で、再度RxD6端子入力をサンプリング (図15-19の▽印に相当) した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6) を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6 (RXB6) に書き込まれます。ただし、オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー (PE6) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み (INTSR6/INTSRE6) を発生します。

図15-19 受信完了割り込み要求タイミング



- 注意1.** 受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
- 2.** 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
- 3.** RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み (INTSR6/INTSRE6) を発生します。

受信エラー割り込み (INTSR6/INTSRE6) 処理内で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図15-6参照)。

ASIS6の内容は、ASIS6を読み出すことによって、クリア (0) されます。

表15-3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図15-20 受信エラー割り込み (1/2)

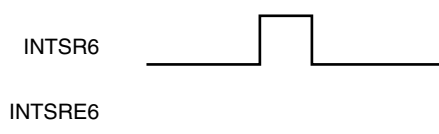
1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)



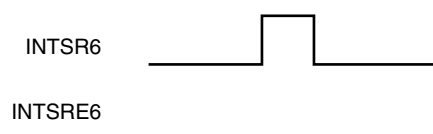
図15-20 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)

(a) 受信時, エラーなし



(b) 受信時, エラーあり



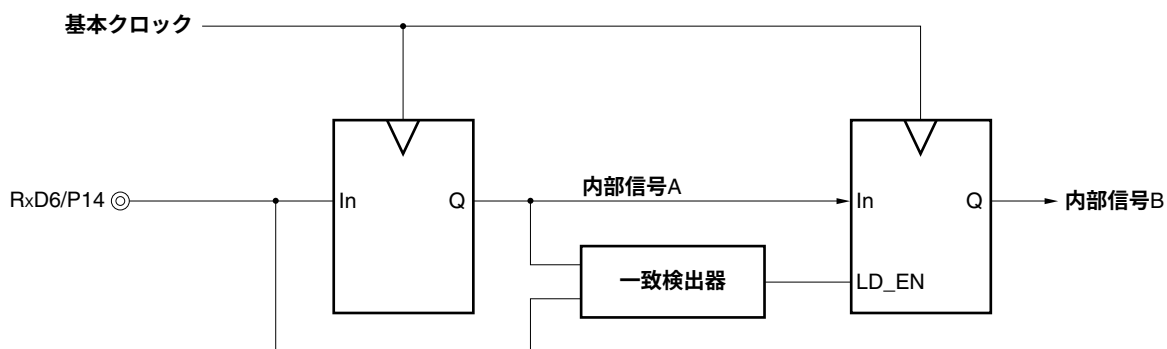
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図15-21のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図15-21 ノイズ・フィルタ回路



(h) SBF送信

LIN通信動作で使用する場合、送信ではSBF (Synchronous Break Field) 送信制御機能を使用します。

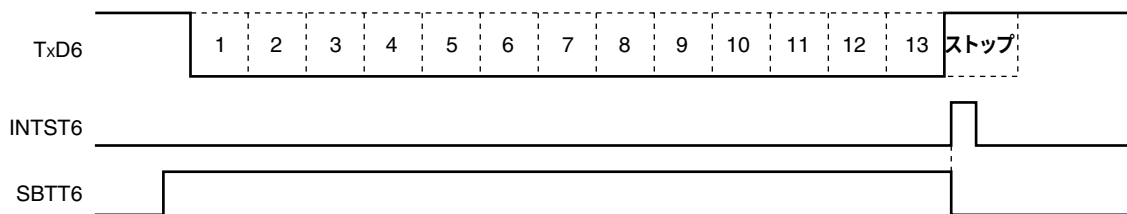
LINの送信操作については図15-1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット5 (SBTT6) をセット (1) することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル (ASICL6のビット4-2 (SBL62-SBL60) で設定) を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6) を発生し、SBTT6は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6 (TXB6) に書き込む、あるいはSBTT6をセット (1) するまで、送信動作は中断します。

図15-22 SBF送信



備考 TxD6 : TxD6端子 (出力)

INTST6 : 送信完了割り込み要求

SBTT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット5

(i) SBF受信

LIN通信動作で使用する場合、受信ではSBF (Synchronous Break Field) 受信制御機能を使用します。

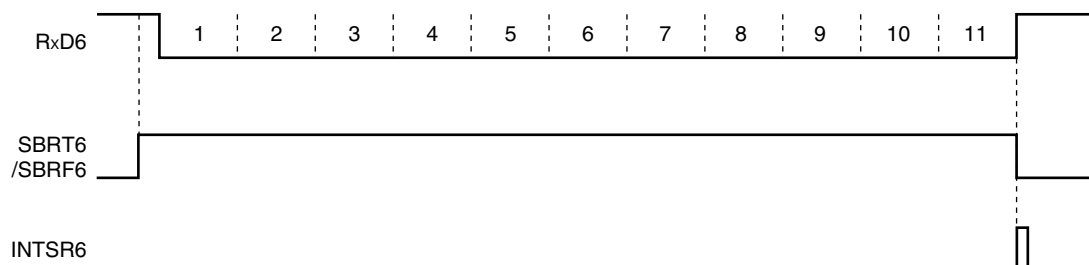
LINの受信操作については図15-2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6 (SBRT6) をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

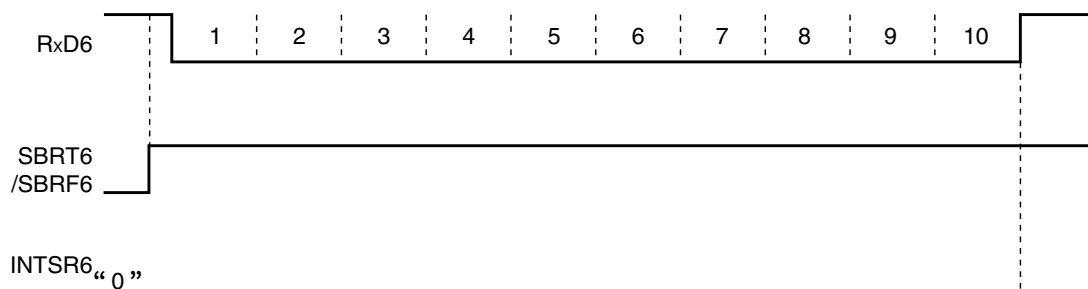
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6 (RXS6) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6) を発生します。このときSBRF6、SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6、PE6、FE6 (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6 (RXS6) と受信バッファ・レジスタ6 (RXB6) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6、SBRT6ビットはクリアされません。

図15-23 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



備考 RxD6 : RxD6端子 (入力)

SBRT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6

SBRF6 : ASICL6のビット7

INTSR6 : 受信完了割り込み要求

15. 4. 3 専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{XCLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

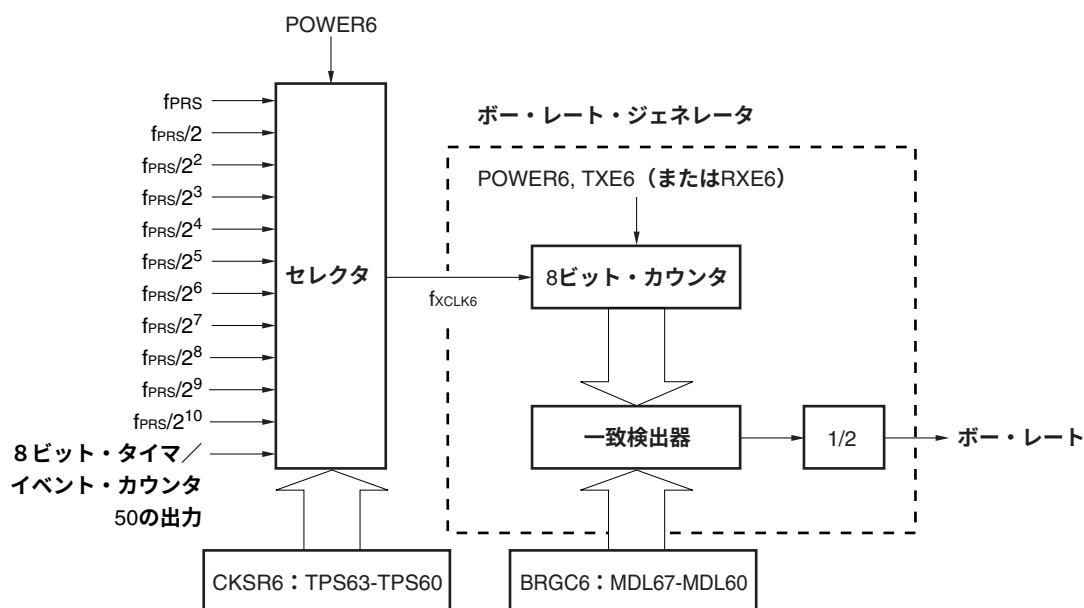
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図15-24 ボー・レート・ジェネレータの構成



備考 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ボー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、生成するシリアル・クロックを指定できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを、BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値 ($f_{XCLK6}/4 - f_{XCLK6}/255$) を設定できます。

15.4.4 ボー・レートの算出

(1) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{XCLK6}}{2 \times k} \text{ [bps]}$$

f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

表15-4 TPS63-TPS60の設定値

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz	20 MHz ^{注3}
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注4}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック: f_{PRS}) は設定禁止です。
- 4.0 V ≤ V_{DD} ≤ 5.5 Vの場合のみ設定可能です。
- TO50出力を基本クロックとして選択する場合、次の内容に注意してください。
 - ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・PWMモード (TMC506 = 1)
デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{・誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B (k = 33)

目標ボー・レート = 153600 bps

ボー・レート = 10 M/ (2×33)

= 10000000/ (2×33) = 151515 [bps]

誤差 = (151515/153600 - 1) × 100

= -1.357 [%]

(3) ボー・レート設定例

表15-5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	fPRS = 2.0 MHz				fPRS = 5.0 MHz				fPRS = 10.0 MHz				fPRS = 20.0 MHz			
	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]
300	8H	13	301	0.16	7H	65	301	0.16	8H	65	301	0.16	9H	65	301	0.16
600	7H	13	601	0.16	6H	65	601	0.16	7H	65	601	0.16	8H	65	601	0.16
1200	6H	13	1202	0.16	5H	65	1202	0.16	6H	65	1202	0.16	7H	65	1202	0.16
2400	5H	13	2404	0.16	4H	65	2404	0.16	5H	65	2404	0.16	6H	65	2404	0.16
4800	4H	13	4808	0.16	3H	65	4808	0.16	4H	65	4808	0.16	5H	65	4808	0.16
9600	3H	13	9615	0.16	2H	65	9615	0.16	3H	65	9615	0.16	4H	65	9615	0.16
19200	2H	13	19231	0.16	1H	65	19231	0.16	2H	65	19231	0.16	3H	65	19231	0.16
24000	1H	21	23810	-0.79	3H	13	24038	0.16	4H	13	24038	0.16	5H	13	24038	0.16
31250	1H	16	31250	0	4H	5	31250	0	5H	5	31250	0	6H	5	31250	0
38400	1H	13	38462	0.16	0H	65	38462	0.16	1H	65	38462	0.16	2H	65	38462	0.16
48000	0H	21	47619	-0.79	2H	13	48077	0.16	3H	13	48077	0.16	4H	13	48077	0.16
76800	0H	13	76923	0.16	0H	33	75758	-1.36	0H	65	76923	0.16	1H	65	76923	0.16
115200	0H	9	111111	-3.55	1H	11	113636	-1.36	0H	43	116279	0.94	0H	87	114943	-0.22
153600	—	—	—	—	1H	8	156250	1.73	0H	33	151515	-1.36	1H	33	151515	-1.36
312500	—	—	—	—	0H	8	312500	0	1H	8	312500	0	2H	8	312500	0
625000	—	—	—	—	0H	4	625000	0	1H	4	625000	0	2H	4	625000	0

備考 TPS63-TPS60 : クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (fXCLK6) 設定)

k : ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67- MDL60
ビットで設定した値 (k = 4, 5, 6, ..., 255)

fPRS : 周辺ハードウェア・クロック周波数

ERR : ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図15-25 受信時の許容ボー・レート範囲

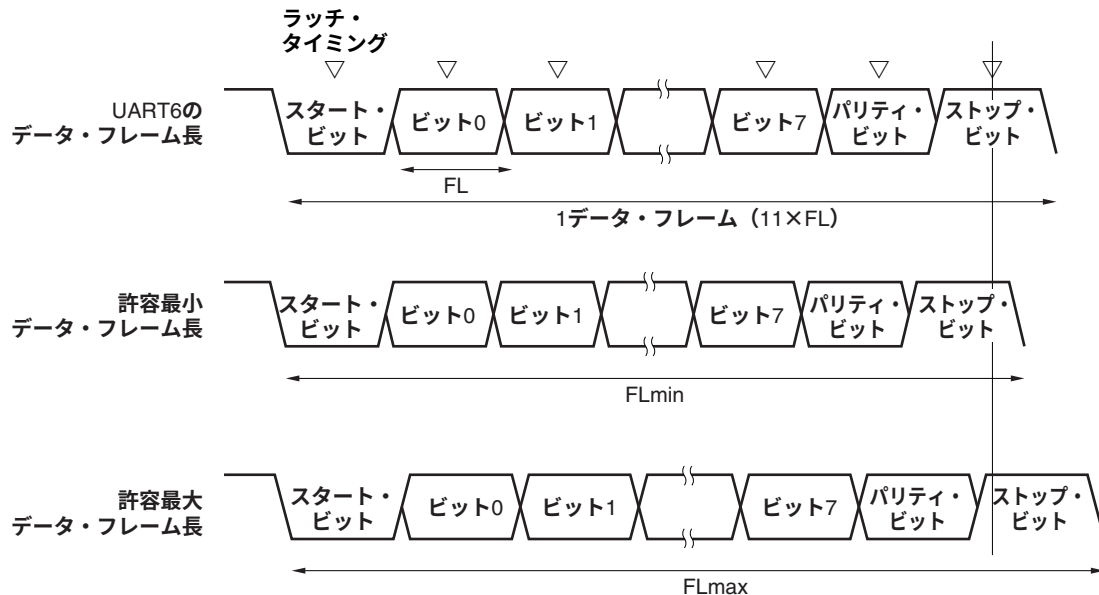


図15-25に示すように、スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART6のボー・レート

k : BRGC6の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン：2クロック

$$\text{許容最小データ・フレーム長: } FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小／最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表15-6 許容最大／最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.33 %	-2.44 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

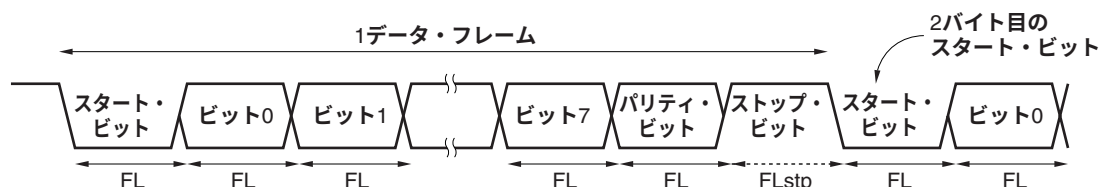
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k: BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図15-26 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{CLK6} とすると次の式が成り立ちます。

$$\text{FLstp} = \text{FL} + 2/f_{\text{CLK6}}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times \text{FL} + 2/f_{\text{CLK6}}$$

第16章 シリアル・インタフェースCSI10, CSI11

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
				フラッシュ・メモリが32 K バイト以下	フラッシュ・メモリが48 K バイト以上	
シリアル・インタフェースCSI10	○					
シリアル・インタフェースCSI11	—				○	

○：搭載，—：非搭載

16. 1 シリアル・インタフェースCSI10, CSI11の機能

シリアル・インタフェースCSI10, CSI11には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については16. 4. 1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK1n}}$) とシリアル・データ (SI1n , SO1n) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については16. 4. 2 **3線式シリアルI/Oモード**を参照してください。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

16.2 シリアル・インタフェースCSI10, CSI11の構成

シリアル・インタフェースCSI10, CSI11は、次のハードウェアで構成しています。

表16-1 シリアル・インタフェースCSI10, CSI11の構成

項 目	構 成
制御回路	送信コントローラ クロック・スタート／ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ1n (SOTB1n) シリアルI/Oシフト・レジスタ1n (SIO1n)
制御レジスタ	シリアル動作モード・レジスタ1n (CSIM1n) シリアル・クロック選択レジスタ1n (CSIC1n) ポート・モード・レジスタ0 (PM0) またはポート・モード・レジスタ1 (PM1) ポート・レジスタ0 (P0) またはポート・レジスタ1 (P1)

備考 n = 0: 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図16-1 シリアル・インタフェースCSI10のブロック図

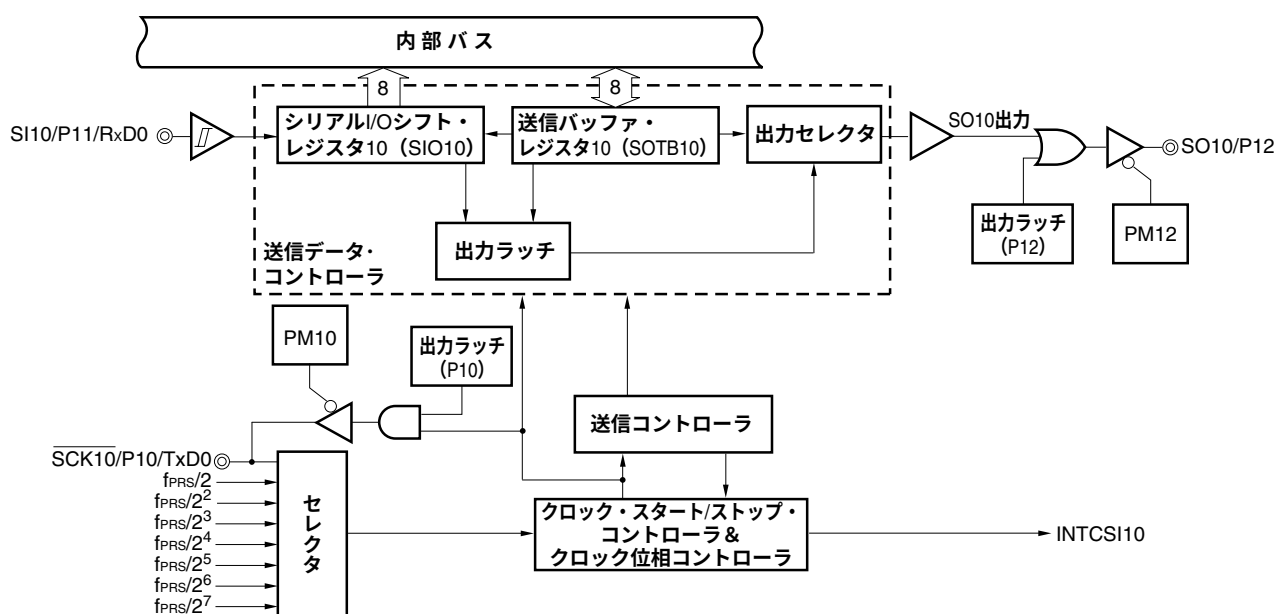
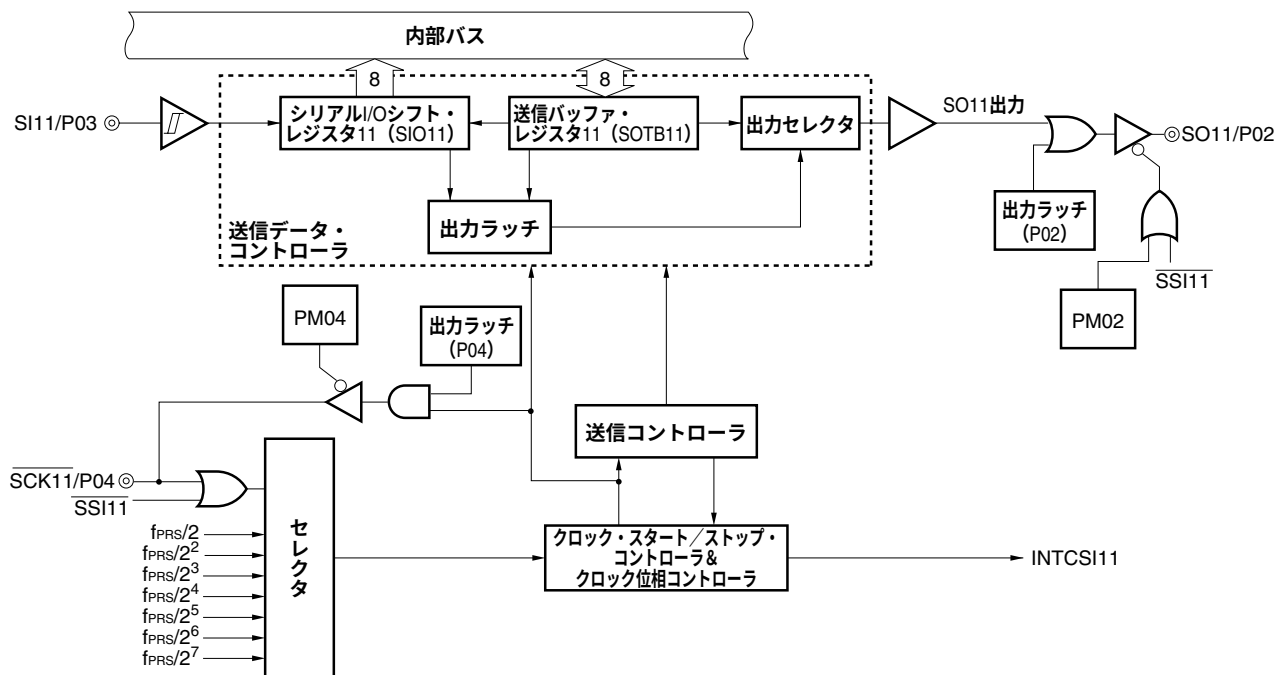


図16-2 シリアル・インタフェースCSI11のブロック図



(1) 送信バッファ・レジスタ_{1n} (SOTB_{1n})

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ1n (CSIM1n) のビット7 (CSIE1n) とビット6 (TRMD1n) が1のとき、SOTB1nにデータを書き込むことにより送受信動作が開始されます。

SOTB1nに書き込まれたデータは、シリアル/Oシフト・レジスタ1nでパラレル・データからシリアル・データに変換され、シリアル出力 (SO1n) に出力されます。

SOTB1nは、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

注意1. CSOT1n = 1 (シリアル通信中) のとき, SOTB1nへのアクセスは行わないでください。

2. **スレープ・モードでは、SS11端子にロウ・レベルが入力された状態で、SOTB11にデータを書き込むと送受信が開始されます。送受信動作の詳細については、16. 4. 2 (2) 通信動作を参照してください。**

(2) シリアルI/Oシフト・レジスタ_{1n} (SIO1_n)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO1nは、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が0のとき、SIO1nからデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI1n) からSIO1nに読み込まれます。

リセット信号の発生により、00Hになります。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

- 注意**1. CSOT1n = 1 (シリアル通信中) のとき、SIO1nへのアクセスは行わないでください。
2. スレープ・モードでは、 $\overline{\text{SSI11}}$ 端子にロウ・レベルが入力された状態で、SIO11からデータを読み出すと受信が開始されます。受信動作の詳細については、16. 4. 2 (2) 通信動作を参照してください。

16. 3 シリアル・インタフェースCSI10, CSI11を制御するレジスタ

シリアル・インタフェースCSI10, CSI11は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ0 (PM0) またはポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ0 (P0) またはポート・レジスタ1 (P1)

(1) シリアル動作モード・レジスタ1n (CSIM1n)

動作モード、動作の許可／不許可を設定するレジスタです。

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図16-3 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス：FF80H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注2} ，内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD10 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード（送信禁止）
1	送受信モード

DIR10 ^{注6}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

2. P10/ $\overline{\text{SCK}}10/\text{TxD}0$, P12/ $\text{SO}10$ を汎用ポートとして使用する場合は，CSIM10を初期状態と同じ設定（00H）にしてください。
3. リセットされるのはCSIM10のビット0（CSOT10）とシリアルI/Oシフト・レジスタ10（SIO10）です。
4. CSOT10 = 1（シリアル通信中）のとき，TRMD10を書き換えしないでください。
5. TRMD10が0のとき， $\text{SO}10$ 出力（図16-1を参照）はロウ・レベルに固定されます。 $\text{SIO}10$ からデータを読み出すと受信が開始します。
6. CSOT10 = 1（シリアル通信中）のとき，DIR10を書き換えしないでください。

注意 ビット5には必ず0を設定してください。

図16-4 シリアル動作モード・レジスタ11 (CSIM11) のフォーマット

アドレス：FF88H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注2} ，内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD11 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード（送信禁止）
1	送受信モード

SSE11 ^{注6, 7}	SSI11端子の使用の選択
0	SSI11端子を使用しない
1	SSI11端子を使用する

DIR11 ^{注8}	先頭ビットの指定
0	MSB
1	LSB

CSOT11	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

2. P02/SO11, P04/SCK11, P05/SSI11/TI001を汎用ポートとして使用する場合は，CSIM11を初期状態と同じ設定（00H）にしてください。
3. リセットされるのはCSIM11のビット0（CSOT11）とシリアルI/Oシフト・レジスタ11（SIO11）です。
4. CSOT11 = 1（シリアル通信中）のとき，TRMD11を書き換えないでください。
5. TRMD11が0のとき，SO11出力（図16-2を参照）はロウ・レベルに固定されます。SIO11からデータを読み出すと受信が開始します。
6. CSOT11 = 1（シリアル通信中）のとき，上書きをしないでください。
7. SSE11を1に設定する前に，SSI11端子の入力レベルを0または1に固定してください。
8. CSOT11 = 1（シリアル通信中）のとき，DIR11を書き換えないでください。

(2) シリアル・クロック選択レジスタ_{1n} (CSIC_{1n})

データ送受信タイミングの指定、シリアル・クロックを設定するレジスタです。

CSIC_{1n}は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

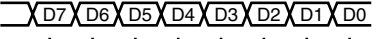
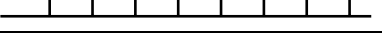
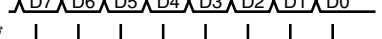
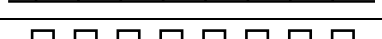
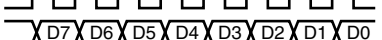
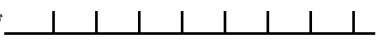
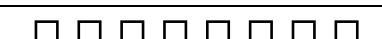
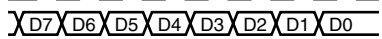
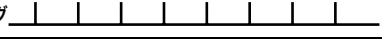
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図16-5 シリアル・クロック選択レジスタ₁₀ (CSIC₁₀) のフォーマット

アドレス : FF81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC ₁₀	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0	SCK ₁₀  SO ₁₀  SI ₁₀ 入力タイミング 	1
0	1	SCK ₁₀  SO ₁₀  SI ₁₀ 入力タイミング 	2
1	0	SCK ₁₀  SO ₁₀  SI ₁₀ 入力タイミング 	3
1	1	SCK ₁₀  SO ₁₀  SI ₁₀ 入力タイミング 	4

CKS102	CKS101	CKS100	CSI ₁₀ のシリアル・クロックの選択 ^{※1, 2}				モード
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	マスタ・ モード
0	0	1	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz	
0	1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1.25 MHz	
0	1	1	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	
1	0	0	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	312.5 kHz	
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	
1	1	0	f _{PRS} /2 ⁷	15.63 kHz	39.06 kHz	78.13 kHz	
1	1	1	SCK ₁₀ からの外部クロック入力 ^{※3}				スリープ・ モード

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$f_{PRS} \leq 20\text{ MHz}$	$f_{PRS} \leq 20\text{ MHz}$
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$f_{PRS} \leq 10\text{ MHz}$	
$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ (標準品, (A) 水準品のみ)	$f_{PRS} \leq 5\text{ MHz}$	$f_{PRS} \leq 5\text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ (XSEL = 1) の場合です)

2. シリアル・クロックは次の条件を満たすように設定してください。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD) , 拡張規格品 (μ PD78F05xxA, 78F05xxDA)		
	標準品	(A) 水準品	(A2) 水準品
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	シリアル・クロック $\leq 6.25\text{ MHz}$	シリアル・クロック $\leq 5\text{ MHz}$	シリアル・クロック $\leq 5\text{ MHz}$
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	シリアル・クロック $\leq 4\text{ MHz}$	シリアル・クロック $\leq 2.5\text{ MHz}$	シリアル・クロック $\leq 2.5\text{ MHz}$
$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	シリアル・クロック $\leq 2\text{ MHz}$	シリアル・クロック $\leq 1.66\text{ MHz}$	—

3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、 $\overline{\text{SCK10}}$ 端子からの外部クロックで通信動作を開始させないでください。

注意1. CSIE10 = 1 (動作許可) のとき、CSIC10への書き込みを行わないでください。

2. P10/ $\overline{\text{SCK10}}$ /TxD0, P12/SO10を汎用ポートとして使用する場合は、CSIC10を初期状態と同じ状態 (00H) にしてください。

3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図16-6 シリアル・クロック選択レジスタ11 (CSIC11) のフォーマット

アドレス: FF89H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC11	0	0	0	CKP11	DAP11	CKS112	CKS111	CKS110

CKP11	DAP11	データ送受信タイミングの指定	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

CKS112	CKS111	CKS110	CSI11のシリアル・クロックの選択 ^{注1, 2}				モード
			$f_{PRS} =$ 2 MHz	$f_{PRS} =$ 5 MHz	$f_{PRS} =$ 10 MHz	$f_{PRS} =$ 20 MHz	
0	0	0	$f_{PRS}/2$ 1 MHz	2.5 MHz	5 MHz	設定禁止	マスタ・ モード
0	0	1	$f_{PRS}/2^2$ 500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	$f_{PRS}/2^3$ 250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	$f_{PRS}/2^4$ 125 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	$f_{PRS}/2^5$ 62.5 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	$f_{PRS}/2^6$ 31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	$f_{PRS}/2^7$ 15.63 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	SCK11からの外部クロック入力 ^{注3}				スレーブ・ モード

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$f_{PRS} \leq 20\text{ MHz}$	$f_{PRS} \leq 20\text{ MHz}$
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$f_{PRS} \leq 10\text{ MHz}$	
$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ (標準品, (A) 水準品のみ)	$f_{PRS} \leq 5\text{ MHz}$	$f_{PRS} \leq 5\text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ (XSEL = 1) の場合です)

注2. シリアル・クロックは次の条件を満たすように設定してください。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD) , 拡張規格品 (μ PD78F05xxA, 78F05xxDA)		
	標準品	(A) 水準品	(A2) 水準品
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	シリアル・クロック $\leq 6.25\text{ MHz}$	シリアル・クロック $\leq 5\text{ MHz}$	シリアル・クロック $\leq 5\text{ MHz}$
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	シリアル・クロック $\leq 4\text{ MHz}$	シリアル・クロック $\leq 2.5\text{ MHz}$	シリアル・クロック $\leq 2.5\text{ MHz}$
$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	シリアル・クロック $\leq 2\text{ MHz}$	シリアル・クロック $\leq 1.66\text{ MHz}$	—

3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、 $\overline{\text{SCK11}}$ 端子からの外部クロックで通信動作を開始させないでください。

- 注意1. CSIE11 = 1 (動作許可) のとき、CSIC11への書き込みを行わないでください。
2. P02/SO11, P04/SCK11を汎用ポートとして使用する場合は、CSIC11を初期状態と同じ設定 (00H) にしてください。
3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) ポート・モード・レジスタ0, 1 (PM0, PM1)

ポート0, 1の入力／出力を1ビット単位で設定するレジスタです。

P10/SCK10, P04/SCK11をシリアル・インタフェースのクロック出力として使用する時、PM10, PM04に0, P10, P04の出力ラッチに1を設定してください。

P12/SO10, P02/SO11をシリアル・インタフェースのデータ出力として使用する時、PM12, PM02およびP12, P02の出力ラッチに0を設定してください。

P10/SCK10, P04/SCK11をシリアル・インタフェースのクロック入力, P11/SI10/RxD0, P03/SI11をシリアル・インタフェースのデータ入力, P05/SS11/TI001をシリアル・インタフェースのチップ・セレクト入力として使用する時、PM10, PM04, PM11, PM03, PM05に1を設定してください。このとき、P10, P04, P11, P03, P05の出力ラッチは、0または1のどちらでもかまいません。

PM0, PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図16-7 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス：FF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/KF2製品のポート・モード・レジスタ0のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては、5.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PM_{xx}) を参照してください。

図16-8 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

16. 4 シリアル・インタフェースCSI10, CSI11の動作

シリアル・インタフェースCSI10, CSI11は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

16. 4. 1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、 $\overline{P10}/\text{SCK10}/\text{TxD0}$, $\text{P11}/\text{SI10}/\text{RxD0}$, $\text{P12}/\text{SO10}$, $\text{P02}/\text{SO11}$, $\text{P03}/\text{SI11}$, $\overline{P04}/\text{SCK11}$ を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ1n (CSIM1n)で行います。

動作停止モードにする場合は、CSIM1nのビット7 (CSIE1n) に0を設定してください。

(a) シリアル動作モード・レジスタ1n (CSIM1n)

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

・シリアル動作モード・レジスタ10 (CSIM10)

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} , 内部回路を非同期リセットする ^{注2}

注1. $\text{P10}/\text{SCK10}/\text{TxD0}$, $\text{P12}/\text{SO10}$ を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定 (00H) にしてください。

2. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

・シリアル動作モード・レジスタ11 (CSIM11)

アドレス：FF88H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} ，内部回路を非同期リセットする ^{注2}

注1. P02/SO11, P04/SCK11, P05/SSI11/TIO01を汎用ポートとして使用する場合は，CSIM11を初期状態と同じ設定（00H）にしてください。

2. リセットされるのはCSIM11のビット0（CSOT11）とシリアルI/Oシフト・レジスタ11（SIO11）です。

16. 4. 2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック（ $\overline{\text{SCK1n}}$ ），シリアル出力（SO1n），シリアル入力（SI1n）の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ0 (PM0) またはポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ0 (P0) またはポート・レジスタ1 (P1)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

- ① CSIC1nレジスタを設定（図16-5，図16-6を参照）
- ② CSIM1nレジスタのビット4-6 (DIR1n, SSE11 (シリアル・インタフェースCSI11のみ)，TRMD1n) を設定（図16-3，図16-4を参照）
- ③ CSIM1nレジスタのビット7 (CSIE1n) をセット (1) → 送受信可能
- ④ 送信バッファ・レジスタ1n (SOTB1n) にデータを書き込み→ データ送受信開始
シリアルI/Oシフト・レジスタ1n (SIO1n) からデータを読み出し→ データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。

備考 n = 0： 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1： 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

レジスタの設定と端子の関係を次に示します。

表16-2 レジスタの設定と端子の関係 (1/2)

(a) シリアル・インタフェースCSI10

CSIE10	TRMD10	PM11	P11	PM12	P12	PM10	P10	CSI10 の動作	端子機能		
									SI10/RxD0/ P11	SO10/P12	SCK10/ TxD0/P10
0	0	×	×	×	×	×	×	停止	RxD0/P11	P12 ^{注2}	TxD0/ P10 ^{注3}
1	0	1	×	×	×	1	×	スレーブ 受信 ^{注4}	SI10	P12 ^{注2}	SCK10 (入力) ^{注4}
1	1	×	×	0	0	1	×	スレーブ 送信 ^{注4}	RxD0/P11	SO10	SCK10 (入力) ^{注4}
1	1	1	×	0	0	1	×	スレーブ 送受信 ^{注4}	SI10	SO10	SCK10 (入力) ^{注4}
1	0	1	×	×	×	0	1	マスタ 受信	SI10	P12 ^{注2}	SCK10 (出力)
1	1	×	×	0	0	0	1	マスタ 送信	RxD0/P11	SO10	SCK10 (出力)
1	1	1	×	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

- P12/SO10を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
- P10/SCK10/TxD0を汎用ポートとして使用する場合、CKP10を0に設定してください。
- スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

備考	×	: don't care
CSIE10		: シリアル動作モード・レジスタ10 (CSIM10) のビット7
TRMD10		: CSIM10のビット6
CKP10		: シリアル・クロック選択レジスタ10 (CSIC10) のビット4
CKS102, CKS101, CKS100		: CSIC10のビット2-0
PM1×		: ポート・モード・レジスタ
P1×		: ポートの出力ラッチ

表16-2 レジスタの設定と端子の関係 (2/2)

(b) シリアル・インタフェースCSI11

CSIE11	TRMD11	SSE11	PM03	P03	PM02	P02	PM04	P04	PM05	P05	CSI11 の動作	端子機能			
												SI11/ P03	SO11/ P02	SCK11/ P04	SSI11/ TI001/P05
0	0	×	×	×	×	×	×	×	×	×	停止	P03	P02 ^{注2}	P04	TI001/ P05 ^{注3}
1	0	0	1	×	×	×	1	×	×	×	スレーブ 受信 ^{注4}	SI11	P02 ^{注2}	SCK11 (入力) ^{注4}	TI001/ P05
		1													SSI11
1	1	0	×	×	0	0	1	×	×	×	スレーブ 送信 ^{注4}	P03	SO11	SCK11 (入力) ^{注4}	TI001/ P05
		1													SSI11
1	1	0	1	×	0	0	1	×	×	×	スレーブ 送受信 ^{注4}	SI11	SO11	SCK11 (入力) ^{注4}	TI001/ P05
		1													SSI11
1	0	0	1	×	×	×	0	1	×	×	マスタ 受信	SI11	P02 ^{注2}	SCK11 (出力)	TI001/ P05
1	1	0	×	×	0	0	0	1	×	×	マスタ 送信	P03	SO11	SCK11 (出力)	TI001/ P05
1	1	0	1	×	0	0	0	1	×	×	マスタ 送受信	SI11	SO11	SCK11 (出力)	TI001/ P05

注1. ポート機能として設定することができます。

- P02/SO11を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
- P04/SCK11を汎用ポートとして使用する場合、CKP10を0に設定してください。
- スレーブとして使用する場合、CKS112, CKS111, CKS110 = 1, 1, 1に設定してください。

備考	×	: don't care
CSIE11		: シリアル動作モード・レジスタ11 (CSIM11) のビット7
TRMD11		: CSIM11のビット6
CKP11		: シリアル・クロック選択レジスタ11 (CSIC11) のビット4
CKS112, CKS111, CKS110		: CSIC11のビット2-0
PM0×		: ポート・モード・レジスタ
P0×		: ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が1の場合、データの送受信が可能です。送信バッファ・レジスタ1n (SOTB1n) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ1n (SIO1n) からデータを読み出すことにより、受信動作が開始されます。

ただし、シリアル・インタフェースCSI11では、スレーブ・モード時、CSIM11のビット5 (SSE11) が1の場合は次のようになります。

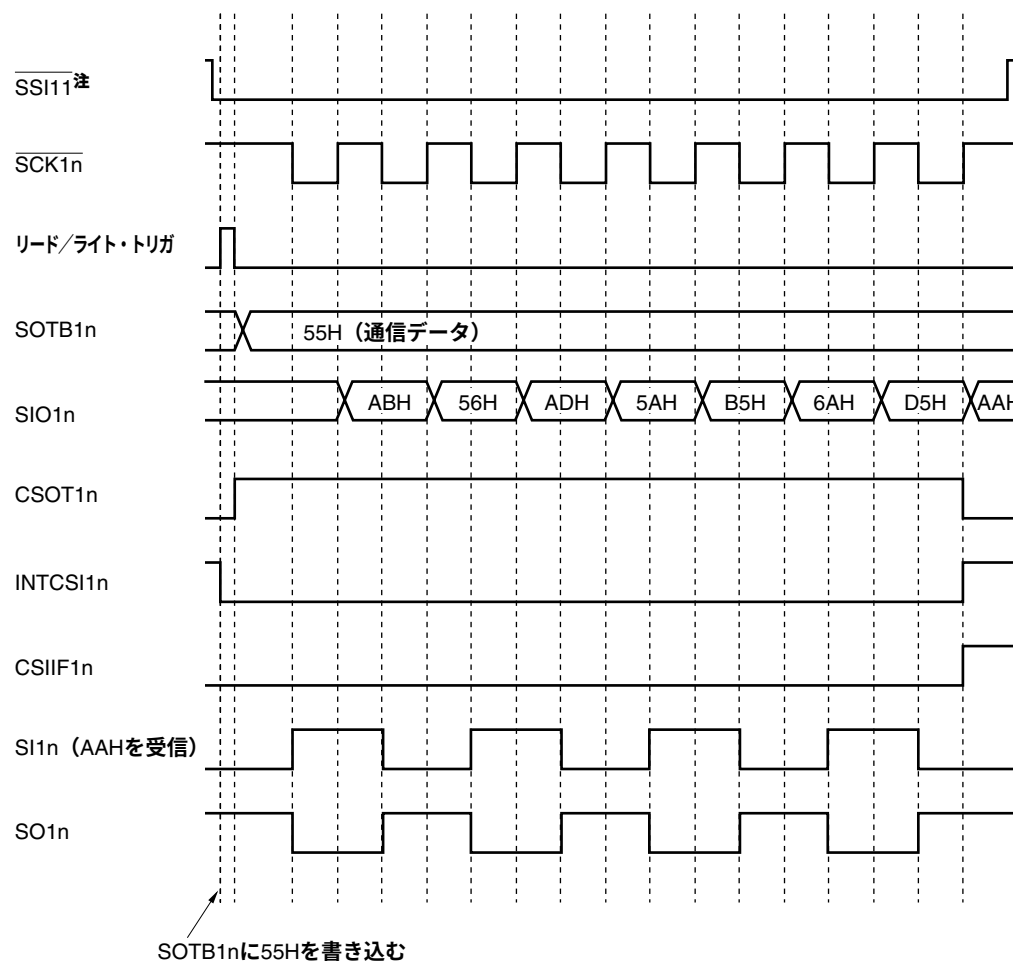
- ① $\overline{\text{SSI11}}$ 端子にロウ・レベル入力
→ SOTB11への書き込みで送受信、またはSIO11からの読み出しで受信が開始されます
- ② $\overline{\text{SSI11}}$ 端子にハイ・レベル入力
→送受信保留または受信保留状態になるため、SOTB11への書き込みまたはSIO11からの読み出しを行っても、送受信または受信は開始されません
- ③ $\overline{\text{SSI11}}$ 端子にハイ・レベル入力しているときに、SOTB11へデータを書き込みまたはSIO11からデータを読み出し、その後 $\overline{\text{SSI11}}$ 端子にロウ・レベル入力
→送受信または受信が開始されます
- ④ 送受信または受信中に、 $\overline{\text{SSI11}}$ 端子にハイ・レベル入力
→送受信または受信が中断されます

通信開始後、CSIM1nのビット0 (CSOT1n) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIF1n) がセットされ、CSOT1nは0にクリアされます。そして次の通信が可能になります。

- 注意** 1. CSOT1n = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。
2. シリアル・インタフェースCSI11では、スレーブ・モードの場合、 $\overline{\text{SSI11}}$ 端子の変更タイミングには、クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

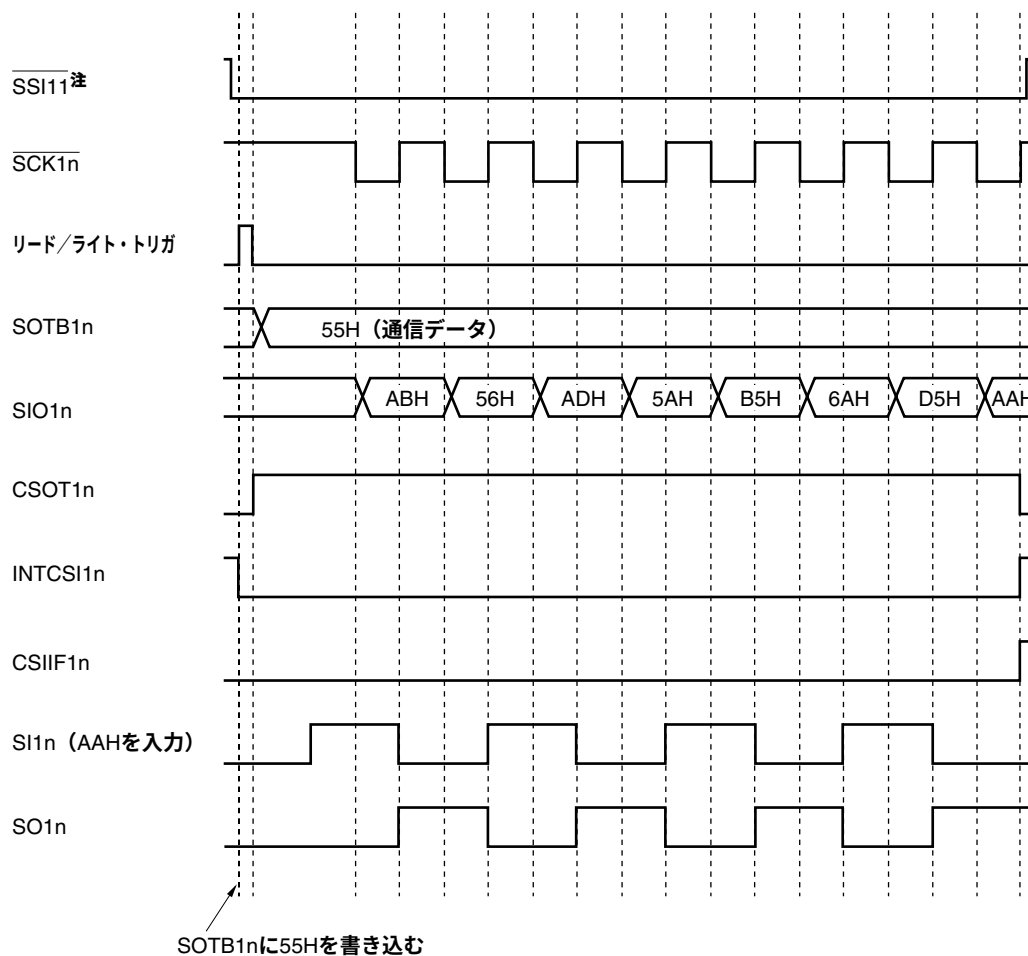
図16-9 3線式シリアルI/Oモードのタイミング (1/2)

(a) 送受信タイミング (タイプ1: TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 0, SSE11 = 1[※])

注 SSE11フラグ, $\overline{\text{SSI11}}$ 端子はシリアル・インタフェースCSI11のみ。スレーブ・モード時に使用します。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図16-9 3線式シリアルI/Oモードのタイミング (2/2)

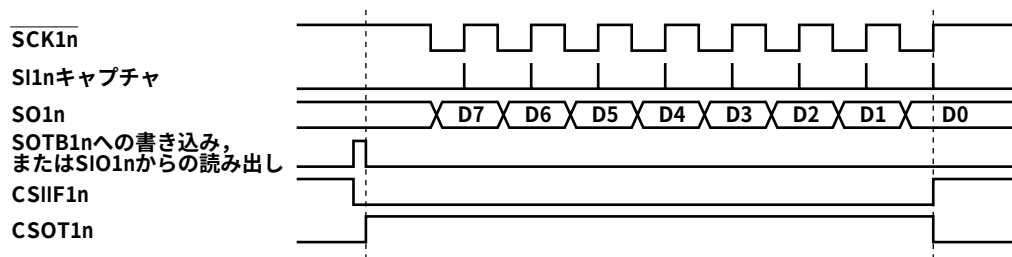
(b) 送受信タイミング (タイプ2: TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 1, SSE11 = 1[※])

注 SSE11フラグ, SSI11端子はシリアル・インタフェースCSI11のみ。スレーブ・モード時に使用します。

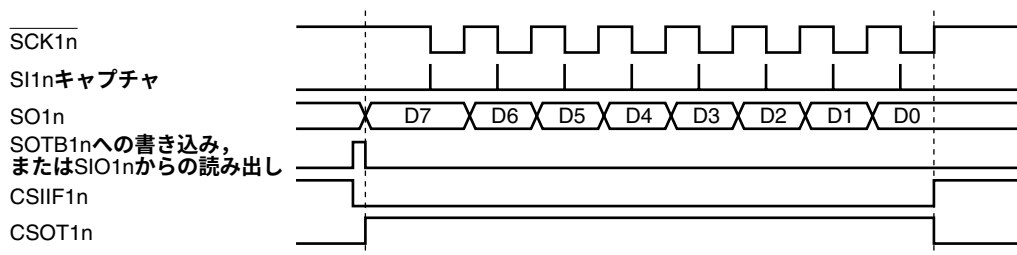
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図16-10 クロック／データ位相のタイミング

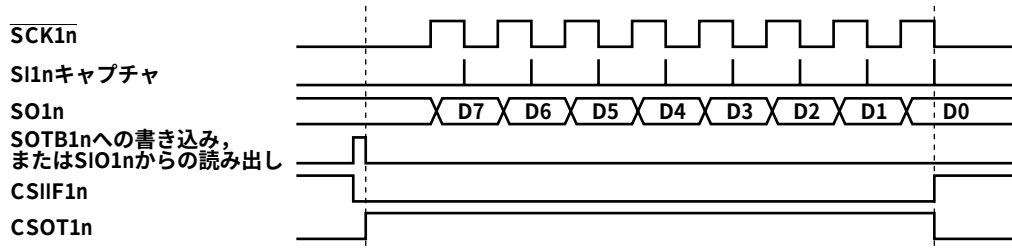
(a) タイプ1 : CKP1n = 0, DAP1n = 0, DIR1n = 0



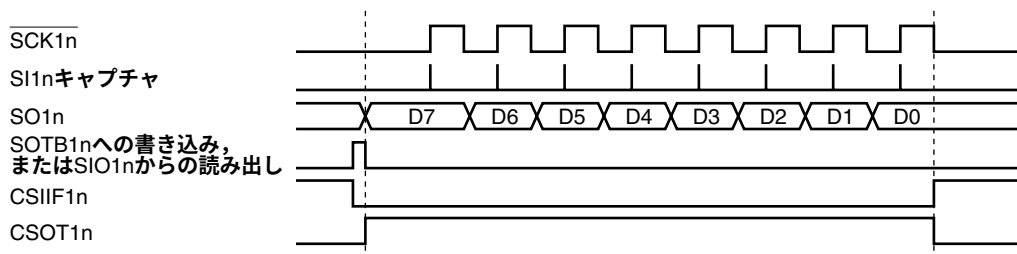
(b) タイプ2 : CKP1n = 0, DAP1n = 1, DIR1n = 0



(c) タイプ3 : CKP1n = 1, DAP1n = 0, DIR1n = 0



(d) タイプ4 : CKP1n = 1, DAP1n = 1, DIR1n = 0



備考1. n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

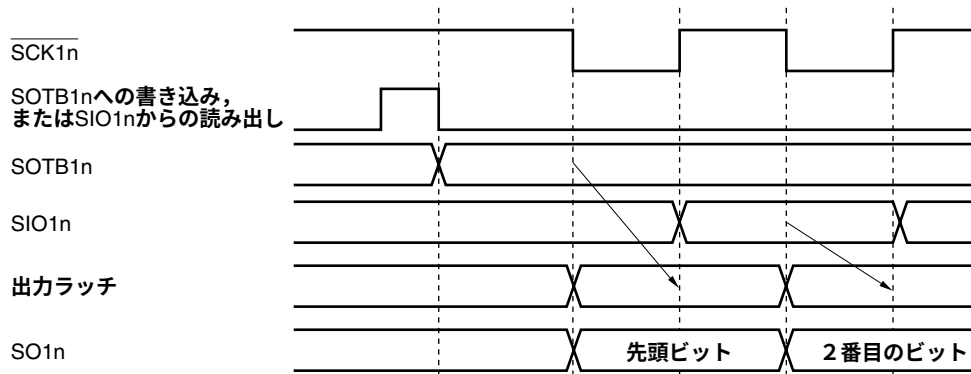
2. 上図は、MSBファーストの通信動作です。

(3) SO1n端子への出力タイミング (先頭ビット)

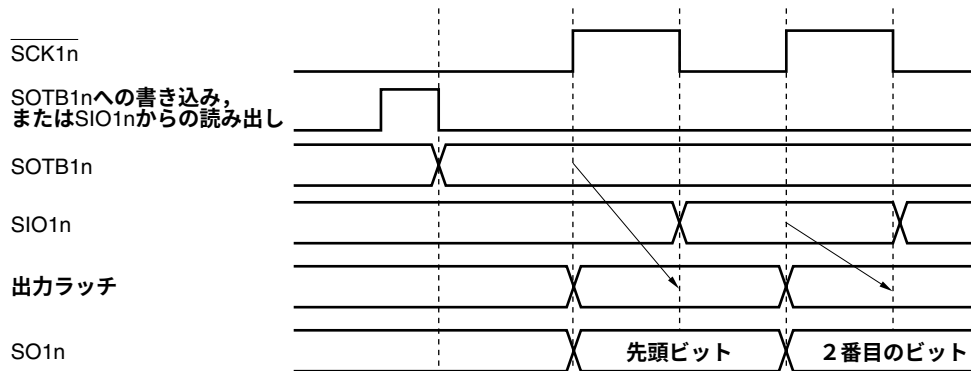
通信開始時、送信バッファ・レジスタ1n (SOTB1n) の値は、SO1n端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図16-11 先頭ビットの出力動作 (1/2)

(a) タイプ1 : CKP1n = 0, DAP1n = 0



(b) タイプ3 : CKP1n = 1, DAP1n = 0



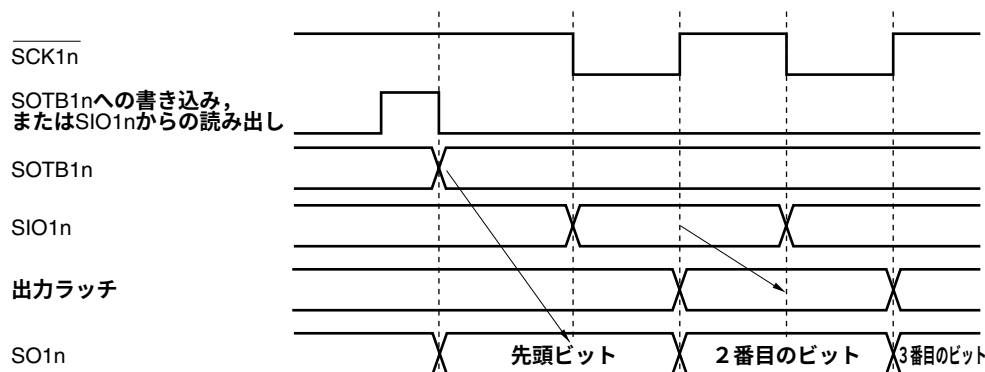
先頭ビットは、 $\overline{\text{SCK1n}}$ の立ち下がり（または立ち上がり）エッジでSOTB1nレジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO1n端子から出力されます。次の $\overline{\text{SCK1n}}$ の立ち上がり（または立ち下がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSI1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は、次の $\overline{\text{SCK1n}}$ の立ち下がり（または立ち上がり）エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

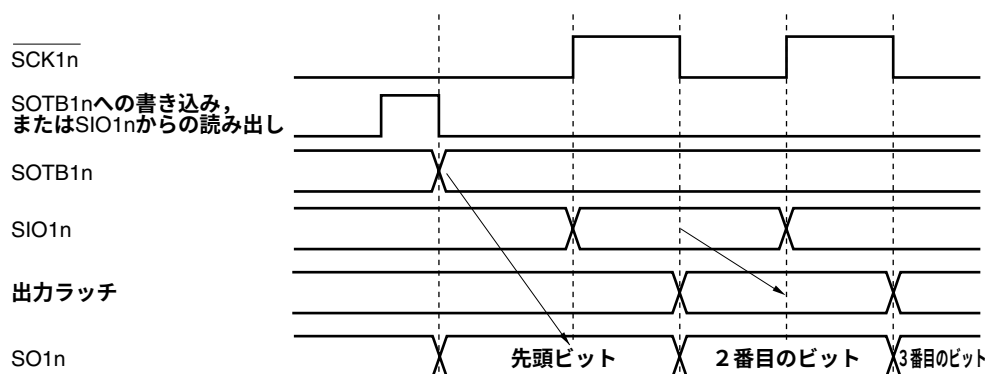
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図16-11 先頭ビットの出力動作 (2/2)

(c) タイプ2: CKP1n = 0, DAP1n = 1



(d) タイプ4: CKP1n = 1, DAP1n = 1



先頭ビットは、SOTB1nのライト信号またはSIO1nレジスタのリード信号の立ち下がりエッジでSOTB1nレジスタから直接、出力セレクタを通してSO1n端子から出力されます。次の $\overline{\text{SCK1n}}$ の立ち下がり（または立ち上がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSI1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は、次の $\overline{\text{SCK1n}}$ の立ち上がり（または立ち下がり）エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

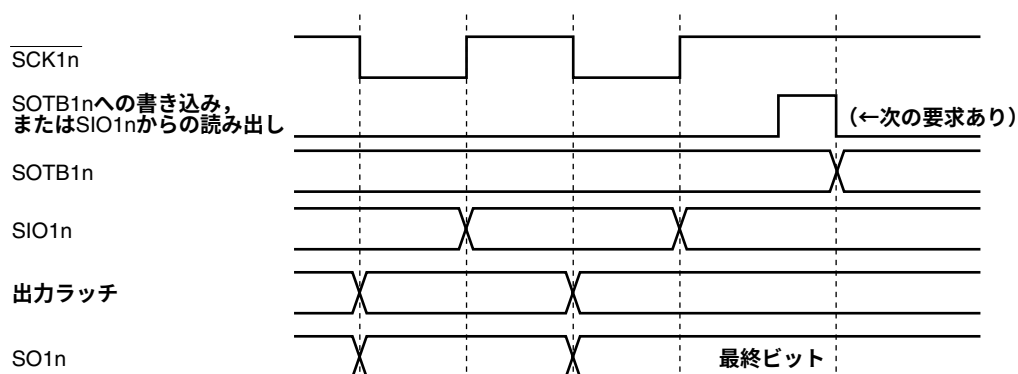
備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(4) SO1n端子の出力値（最終ビット）

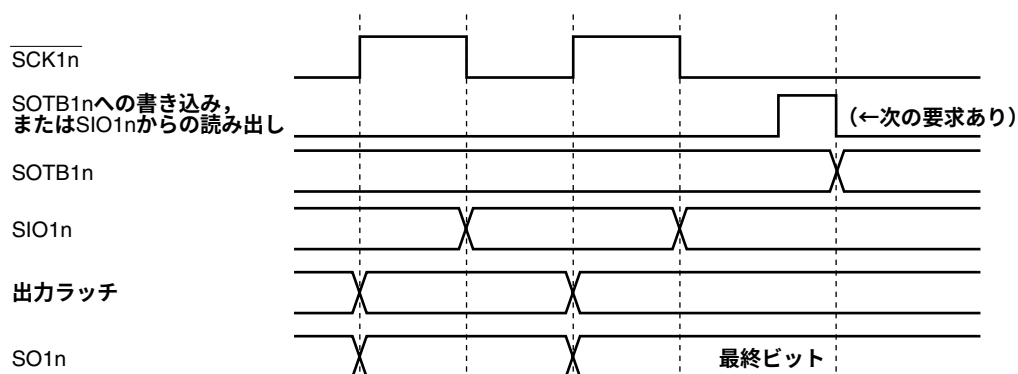
通信終了後，SO1n端子の出力は，最終ビットの出力値を保持します。

図16-12 SO1n端子の出力値（最終ビット）（1/2）

(a) タイプ1：CKP1n = 0, DAP1n = 0



(b) タイプ3：CKP1n = 1, DAP1n = 0

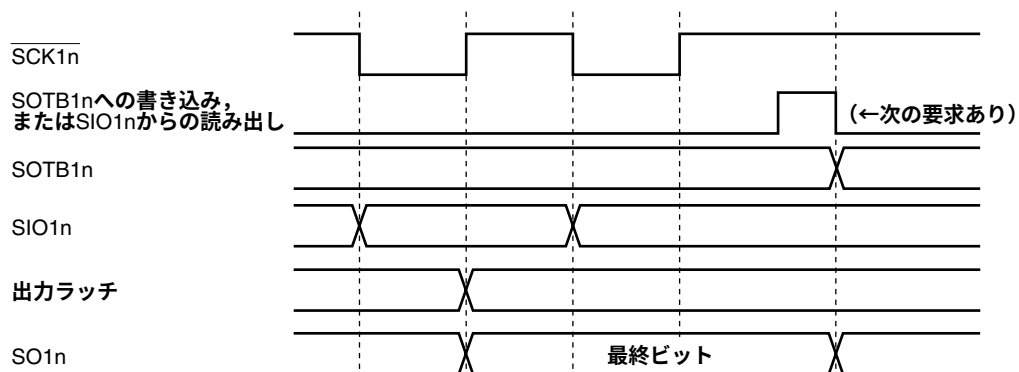


備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

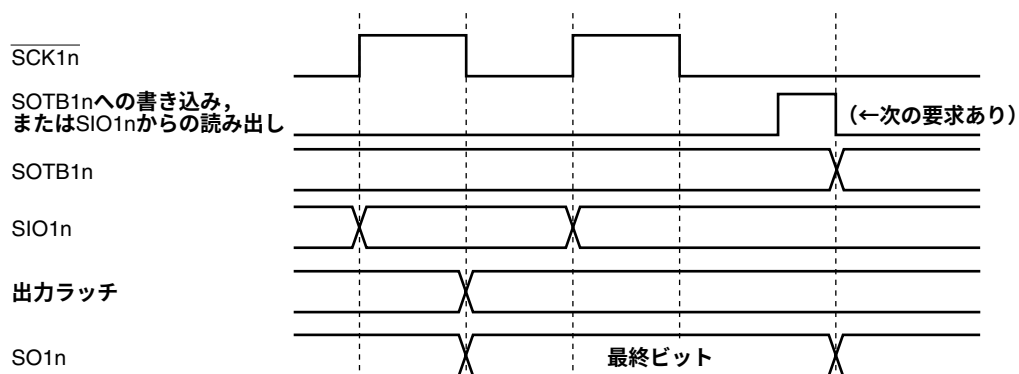
n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

図16-12 SO1n端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP1n = 0, DAP1n = 1



(d) タイプ4 : CKP1n = 1, DAP1n = 1



備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2
 n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

(5) SO1n出力 (図16-1, 16-2参照) について

CSIE1n, TRMD1n, DAP1n, DIR1nの設定により, SO1n出力は次のようになります。

表16-3 SO1n出力の状態

CSIE1n	TRMD1n	DAP1n	DIR1n	SO1n出力 ^{注1}
CSIE1n = 0 ^{注2}	TRMD1n = 0 ^{注2, 3}	—	—	ロウ・レベル出力 ^{注2}
	TRMD1n = 1	DAP1n = 0	—	ロウ・レベル出力
		DAP1n = 1	DIR1n = 0	SOTB1nのビット7の値
			DIR1n = 1	SOTB1nのビット0の値
CSIE1n = 1	TRMD1n = 0 ^{注3}	—	—	ロウ・レベル出力
	TRMD1n = 1	—	—	送信データ ^{注4}

注1. 実際のSO10/P12, SO11/P02端子の出力は, SO1n出力のほかにPM12とP12, PM02とP02によって決まります。

2. リセット時の状態です。

3. P12/SO10, P02/SO11を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ1n (CSIC1n) は初期状態と同じ設定 (00H) にしてください。

4. 送信終了後は, 送信データの最終ビットの出力値を保持します。

注意 CSIE1n, TRMD1n, DAP1n, DIR1nに値を書き込むと, SO1nの出力値が変わります。

備考 n = 0 : 78K0/KB2, 78K0/KC2, 78K0/KD2, フラッシュ・メモリが32 Kバイト以下の78K0/KE2

n = 0, 1 : 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KE2

第17章 シリアル・インタフェースCSIA0

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2	78K0/KF2
シリアル・インタフェースCSIA0	—				○

○：搭載，—：非搭載

17.1 シリアル・インタフェースCSIA0の機能

シリアル・インタフェースCSIA0には、次の3種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については17.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード（MSB/LSB先頭切り替え可能）

シリアル・クロック（ $\overline{\text{SCKA0}}$ ）とシリアル・データ（SIA0, SOA0）の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

詳細については17.4.2 **3線式シリアルI/Oモード**を参照してください。

(3) 自動送受信機能付き3線式シリアルI/Oモード（MSB/LSB先頭切り替え可能）

シリアル・クロック（ $\overline{\text{SCKA0}}$ ）とシリアル・データ（SIA0, SOA0）の3本のラインにより、8ビット単位で連続してデータ通信を行うモードです。

自動送受信機能付き3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

転送バッファRAMを32バイト内蔵しているので、ソフトウェアを介さずに表示ドライバなどとデータ通信可能です。またマスタ・モード時に使用するハンドシェイク端子（STB0, BUSY0）をサポートしており、容易に周辺ICと接続することができます。

詳細については17.4.3 **自動送受信機能付き3線式シリアルI/Oモード**を参照してください。

シリアル・インタフェースCSIA0の特徴を次に示します。

- ・ マスタ・モードとスレーブ・モードを選択可能
- ・ 通信データ長：8ビット
- ・ 通信データのMSB/LSB先頭を切り替え可能
- ・ 自動送受信機能：
 - 1-32バイトまで転送バイト数を指定可能
 - 転送間隔指定可能（0-63クロック）
 - 単発通信／繰り返し通信を指定可能
 - 32バイト・バッファRAM内蔵
- ・ 専用ボー・レート・ジェネレータ（6/8/16/32分周）内蔵
- ・ 3線式
 - SOA0 : シリアル・データ出力
 - SIA0 : シリアル・データ入力
 - $\overline{\text{SCKA0}}$: シリアル・クロック入出力
- ・ ハンドシェーク機能内蔵
 - STB0 : ストロブ出力
 - BUSY0 : ビジィ入力
- ・ BUSY0信号によるビットずれエラーの検出可能
- ・ 送受信完了割り込み：INTACSI

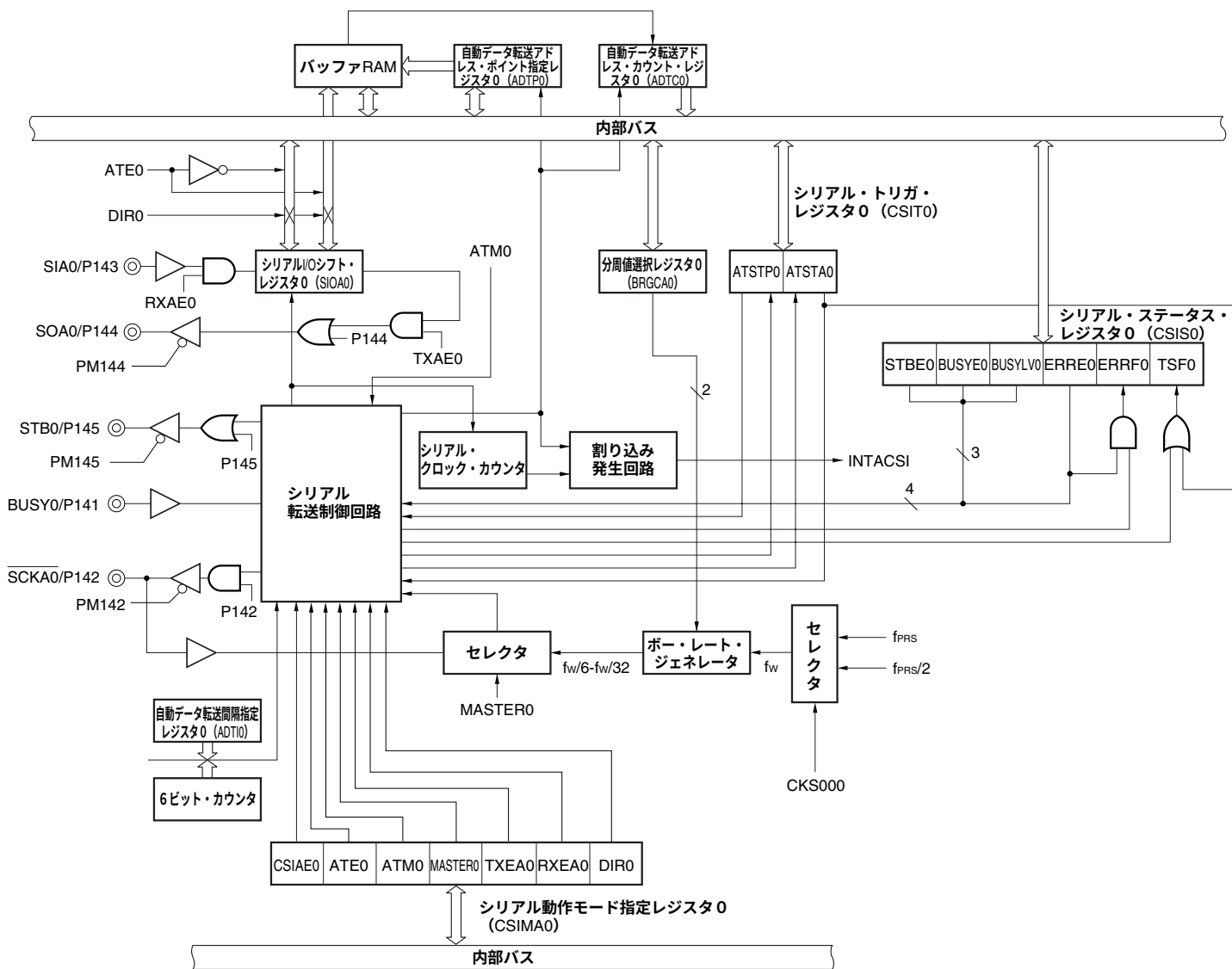
17.2 シリアル・インタフェースCSIA0の構成

シリアル・インタフェースCSIA0は、次のハードウェアで構成しています。

表17-1 シリアル・インタフェースCSIA0の構成

項 目	構 成
制御回路	シリアル転送制御回路
レジスタ	シリアルI/Oシフト・レジスタ0 (SIOA0)
制御レジスタ	シリアル動作モード指定レジスタ0 (CSIMA0) シリアル・ステータス・レジスタ0 (CSIS0) シリアル・トリガ・レジスタ0 (CSIT0) 分周値選択レジスタ0 (BRGCA0) 自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) 自動データ転送間隔指定レジスタ0 (ADTI0) 自動データ転送アドレス・カウント・レジスタ0 (ADTC0) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

図17-1 シリアル・インタフェースCSIA0のブロック図



(1) シリアルI/Oシフト・レジスタ0 (SIOA0)

1バイト転送モード（シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) = 0) 時の送信データおよび受信データを格納する8ビットのレジスタです。SIOA0に送信データを書き込むことにより、通信が開始されます。また通信完了割り込み要求 (INTACSI) の出力後（シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 0）, SIOA0からデータを読み出すことにより、受信データを受け取ることができます。

SIOA0は、8ビット・メモリ操作命令で書き込みと読み出しができます。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 1のとき、SIOA0への書き込みは禁止です。

リセット信号の発生により、00Hになります。

注意1. 通信動作の起動は、SIOA0への書き込みで行われるため、送信禁止 (CSIMA0のビット3 (TXEA0) = 0) のときも、ダミー・データをSIOA0レジスタに書き込み、通信動作を起動してから受信動作を行ってください。

2. 自動送受信機能が動作しているとき、SIOA0にデータを書き込まないでください。

17.3 シリアル・インタフェースCSIA0を制御するレジスタ

シリアル・インタフェースCSIA0は、次の9種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタ0 (CSIMA0)
- ・シリアル・ステータス・レジスタ0 (CSIS0)
- ・シリアル・トリガ・レジスタ0 (CSIT0)
- ・分周値選択レジスタ0 (BRGCA0)
- ・自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)
- ・自動データ転送間隔指定レジスタ0 (ADTI0)
- ・自動データ転送アドレス・カウント・レジスタ0 (ADTC0)
- ・ポート・モード・レジスタ14 (PM14)
- ・ポート・レジスタ14 (P14)

(1) シリアル動作モード指定レジスタ0 (CSIMA0)

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 シリアル動作モード指定レジスタ0 (CSIMA0) のフォーマット

アドレス：FF90H リセット時：00H R/W

	7	6	5	4	3	2	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0
	CSIAE0	CSIA0の動作許可／禁止の制御						
	0	CSIA0動作禁止 (SOA0：ロウ・レベル, $\overline{\text{SCKA0}}$ ：ハイ・レベル) , 内部回路を非同期リセットする ^{注1}						
	1	CSIA0動作許可						
	ATE0	自動通信動作の許可／禁止の制御						
	0	1バイト通信モード						
	1	自動通信モード						
	ATM0	自動通信モードの指定						
	0	単発モード (ADTP0レジスタで指定したアドレスで停止)						
	1	繰り返しモード (転送終了後, ADTC0レジスタを00Hにクリアし転送を再開)						
	MASTER0	CSIA0のマスタ／スレーブ・モードの指定						
	0	スレーブ・モード ($\overline{\text{SCKA0}}$ 入力のカロックに同期) ^{注2}						
	1	マスタ・モード (内部カロックに同期)						
	TXEA0	送信動作の許可／禁止の制御						
	0	送信動作禁止 (SOA0：ロウ・レベル)						
	1	送信動作許可						
	RXEA0	受信動作の許可／禁止の制御						
	0	受信動作禁止						
	1	受信動作許可						
	DIR0	先頭ビットの指定						
	0	MSB						
	1	LSB						

注1. リセットされるのは自動データ転送アドレス・カウント・レジスタ0 (ADTC0) , シリアル・トリガ・レジスタ0 (CSIT0) , シリアルI/Oシフト・レジスタ0 (SIOA0) , シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) です。

- CPUがサブシステム・カロック動作中で高速内蔵発振カロックと高速システム・カロックが停止している場合, およびSTOPモード時の場合, $\overline{\text{SCKA0}}$ 端子からの外部カロックで通信動作を開始させないでください。

注意1. CSIAE0が0の場合, バッファRAMにアクセスできません。

- CSIAE0を1から0にした場合は, 上記注釈のレジスタおよびビットが非同期で初期化されます。再度CSIAE0 = 1にする場合には, 必ず初期化されたレジスタを再設定してください。
- CSIAE0を1から0にしたあとに, 再度CSIAE0を1にした場合, バッファRAMの値の保持は保証されません。

(2) シリアル・ステータス・レジスタ0 (CSIS0)

シリアル・インタフェースCSIA0の基本クロックの選択、通信動作の制御および状態を示す8ビットのレジスタです。

CSIS0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、ビット0 (TSF0) が1の場合、CSIS0の書き換えは禁止です。

リセット信号の発生により、00Hになります。

図17-3 シリアル・ステータス・レジスタ0 (CSIS0) のフォーマット (1/2)

アドレス：FF91H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIS0	0	CKS00 ^{注2}	STBE0	BUSYE0	BUSYLV0	ERRE0	ERRF0	TSF0

CKS00	基本クロック (f _w) の選択 ^{注3}				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	f _{PRS} ^{注4}	2 MHz	5 MHz	10 MHz	20 MHz ^{注5}
1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz

STBE0 ^{注6, 7}	ストローブ出力許可／禁止
0	ストローブ出力禁止
1	ストローブ出力許可

注1. ビット0, 1はRead Onlyです。

- CKS00を書き換える場合は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) を必ず0に設定してから、行ってください。
- 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V $\leq$ V _{DD} $\leq$ 5.5 V	f _{PRS} $\leq$ 20 MHz	f _{PRS} $\leq$ 20 MHz
2.7 V $\leq$ V _{DD} < 4.0 V	f _{PRS} $\leq$ 10 MHz	
1.8 V $\leq$ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} $\leq$ 5 MHz	f _{PRS} $\leq$ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V $\leq$ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、CKS00 = 0 (基本クロック：f_{PRS}) は設定禁止です。
- 4.0 V $\leq$ V_{DD} $\leq$ 5.5 Vの場合のみ設定可能です。
- STBE0はマスタ・モード時のみ有効です。
- STBE0に1を設定すると、自動データ転送間隔指定レジスタ0 (ADTI0) の設定にかかわらず、バイト転送とバイト転送の間に2転送クロックが消費されます。つまり、ADTI0 = 00Hと設定した場合は、1バイト転送に10転送クロック使用することになります。

注意 ビット7には必ず“0”を設定してください。

備考 f_{PRS}：周辺ハードウェア・クロック周波数

図17-3 シリアル・ステータス・レジスタ0 (CSIS0) のフォーマット (2/2)

BUSYE0	ビジー信号検出許可／禁止
0	ビジー信号検出禁止 (BUSY0端子からの入力を無視)
1	ビジー信号検出許可およびビジー信号による通信ウェイトを実行

BUSYLV0 ^{注1}	ビジー信号のアクティブ・レベルの設定
0	ロウ・レベル
1	ハイ・レベル

ERRE0 ^{注2}	ビットずれエラー検出許可／禁止
0	エラー検出禁止
1	エラー検出許可

ERRF0	ビットずれエラー検出フラグ
0	・シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) = 0 ・リセット入力時 ・シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) = 1またはSIOA0の書き込みにより通信開始したとき
1	ビットずれエラー検出時 (ERRE0 = 1のときに、データ・ビット転送期間にBUSYLV0で指定したレベルをBUSY0端子の入力から検出)

TSF0	転送状態検出フラグ
0	・シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) = 0 ・リセット入力時 ・指定された転送終了時 ・シリアル・トリガ・レジスタ0 (CSIT0) のビット1 (ATSTP0) = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

- 注1. ビジー入力によるビットずれエラー検出の場合も、BUSYLV0で指定したアクティブ・レベルが検出されます。
2. ERRE0の設定は、BUSYE0 = 0の場合も有効です。

注意 転送動作中 (TSF0 = 1) のとき、シリアル動作モード指定レジスタ0 (CSIMA0)、シリアル・ステータス・レジスタ0 (CSIS0)、分周値選択レジスタ0 (BRGCA0)、自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)、自動データ転送間隔指定レジスタ0 (ADTI0)、シリアル/Oシフト・レジスタ0 (SIOA0) への書き換えは禁止です。ただしレジスタのリードおよび同値の再書き込みは可能です。またバッファRAMも転送動作中の書き換えは可能です。

(3) シリアル・トリガ・レジスタ0 (CSIT0)

バッファRAMとシリアルI/Oシフト・レジスタ0 (SIOA0) 間の自動データ転送の実行／中断を制御する8ビットのレジスタです。

CSIT0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) が1の場合のみ設定可能です。

リセット信号の発生により、00Hになります。

図17-4 シリアル・トリガ・レジスタ0 (CSIT0) のフォーマット

アドレス：FF92H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIT0	0	0	0	0	0	0	ATSTP0	ATSTA0
ATSTP0	自動データ転送の中断							
0	—							
1	自動データ転送を中断							
ATSTA0	自動データ転送の開始							
0	—							
1	自動データ転送を開始							

- 注意1.** ATSTP0またはATSTA0に1を設定しても、1バイトの転送が終了するまで停止または開始されません。
2. ATSTP0とATSTA0は、割り込み信号INTACSI発生後自動的に0になります。
3. 自動データ転送中断後、自動データ転送アドレス・カウント・レジスタ0 (ADTC0) には中断したときのデータ・アドレスが格納されています。ただし、自動データ転送の再開機能を有していないため、ATSTP0 = 1により転送を中断した場合は、各レジスタを再設定後、ATSTA0をセット (1) して、自動データ転送をスタートしてください。

(4) 分周値選択レジスタ0 (BRGCA0)

CSIA0の基本クロックの分周値を選択する8ビットのレジスタです。

BRGCA0は、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) が1のときはBRGCA0への書き換えは禁止です。

リセット信号の発生により、03Hになります。

図17-5 分周値選択レジスタ0 (BRGCA0) のフォーマット

アドレス：FF93H リセット時：03H R/W

略号	7	6	5	4	3	2	1	0
BRGCA0	0	0	0	0	0	0	BRGCA01	BRGCA00

BRGCA01	BRGCA00	CSIA0の基本クロック (f _w) の分周値選択 ^注						
			f _w = 1 MHz	f _w = 2 MHz	f _w = 2.5 MHz	f _w = 5 MHz	f _w = 10 MHz	f _w = 20 MHz
0	0	f _w /6	166.67 kHz	333.3 kHz	416.67 kHz	833.33 kHz	1.67 MHz	設定禁止
0	1	f _w /2 ³	125 kHz	250 kHz	312.5 kHz	625 kHz	1.25 MHz	設定禁止
1	0	f _w /2 ⁴	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz	625 kHz	1.25 MHz
1	1	f _w /2 ⁵	31.25 kHz	62.5 kHz	78.125 kHz	156.25 kHz	312.5 kHz	625 kHz

注 転送クロックは次の条件を満たすように設定してください。

- 4.0 V ≤ V_{DD} ≤ 5.5 V : 転送クロック ≤ 1.67 MHz
- 2.7 V ≤ V_{DD} < 4.0 V : 転送クロック ≤ 833.33 kHz
- 1.8 V ≤ V_{DD} < 2.7 V : 転送クロック ≤ 555.56 kHz (標準品, (A) 水準品のみ)

備考 f_w : CSIS0レジスタのCKS00ビットで選択した基本クロックの周波数 (f_{PRS}またはf_{PRS}/2)

f_{PRS} : 周辺ハードウェア・クロック周波数

(5) 自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)

自動データ転送時（シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) = 1) の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

ADTP0は、8ビット・メモリ操作命令で設定します。ただし、転送動作中 (TSF0 = 1) のときは、ADTP0への書き換えは禁止です。

78K0/KF2では、バッファRAMを32バイト内蔵しているので、00H-1FHまで指定可能です。

例 ADTP0に07Hを設定した場合

FA00H-FA07Hまでの8バイトが転送されます

繰り返しモード (CSIMA0のビット5 (ATM0) = 1) の場合は、ADTP0で指定したアドレスまで繰り返し転送します。

例 ADTP0に07Hを設定した場合 (繰り返しモード)

FA00H-FA07H, FA00H-FA07H, …と繰り返し転送されます

図17-6 自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) のフォーマット

アドレス：FF94H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADTP0	0	0	0	ADTP04	ADTP03	ADTP02	ADTP01	ADTP00

注意 ビット7-ビット5には、必ず0を設定してください。

転送終了バッファRAMのアドレス値とADTP0の設定値の関係を次に示します。

表17-2 転送終了バッファRAMのアドレス値とADTP0の設定値の関係

転送終了バッファRAMの アドレス値	ADTP0の設定値
F AxxH	xxH

備考 xx：00-1F

(6) 自動データ転送間隔指定レジスタ0 (ADTI0)

自動データ転送時（シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) = 1) のバイト・データの転送の間隔（インターバル時間）を指定する8ビットのレジスタです。

ADTI0は、マスタ・モード（CSIMA0のビット4 (MASTER0) = 1) 時に設定してください（スレーブ・モード時は設定不要）。また1バイト通信モード（CSIMA0のビット6 (ATE0) = 0）時も設定は有効で、1バイト通信終了後ADTI0で指定したインターバル時間を経て、割り込み要求信号 (INTACSI) が出力されます。インターバルのクロック数は0~63クロックまで設定できます。

ADTI0は、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 1のときは、ADTI0への書き換えは禁止です。

図17-7 自動データ転送間隔指定レジスタ0 (ADTI0) のフォーマット

アドレス：FF95H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADTI0	0	0	ADTI05	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00

注意 ADTI0の設定よりも、シリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0) , ビット4 (BUSYE0) の設定が優先されるため、ADTI0に00Hを設定している場合でも、STBE0, BUSYE0の設定によるインターバル時間が発生します。

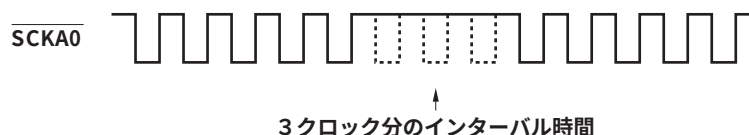
例 ADTI0 = 00Hで、ビジー信号が発生していないときのインターバル時間

- ① STBE0 = 1, BUSYE0 = 0の場合：シリアル・クロックの2クロック分のインターバル時間発生
- ② STBE0 = 0, BUSYE0 = 1の場合：シリアル・クロックの1クロック分のインターバル時間発生
- ③ STBE0 = 1, BUSYE0 = 1の場合：シリアル・クロックの2クロック分のインターバル時間発生

したがって、ノー・ウェイト転送を行う場合は、STBE0とBUSYE0を0にする必要があります。

指定したインターバル時間は、シリアル・クロック（分周値選択レジスタ0 (BRGCA0) で指定）の整数倍の時間となります。

例 ADTI0 = 03Hの場合



(7) 自動データ転送アドレス・カウント・レジスタ0 (ADTC0)

自動転送時におけるバッファRAMのアドレスを示すレジスタです。自動転送を中断した場合に、ADTC0のレジスタ値を読み出すことによって、中断したデータ位置を知ることができます。

ADTC0は、8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生により、00Hになります。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 1のときは、ADTC0からの読み出しは禁止です。

図17-8 自動データ転送アドレス・カウント・レジスタ0 (ADTC0) のフォーマット

アドレス：FF97H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADTC0	0	0	0	ADTC04	ADTC03	ADTC02	ADTC01	ADTP00

(8) ポート・モード・レジスタ14 (PM14)

ポート14の入力／出力を1ビット単位で設定するレジスタです。

P142/ $\overline{\text{SCKA0}}$ 端子をシリアル・インタフェースのクロック出力として使用するとき、PM142に0を、P142の出力ラッチに1を設定してください。

P144/SOA0, P145/STB0端子をシリアル・インタフェースのデータ出力、ストロブ出力として使用するとき、PM144, PM145およびP144, P145の出力ラッチに0を設定してください。

P141/BUSY0, P142/ $\overline{\text{SCKA0}}$, P143/SIA0端子をシリアル・インタフェースのビジー入力、クロック入力、データ入力として使用するとき、PM141, PM142, PM143に1を設定してください。このときP141, P142, P143の出力ラッチは、0または1のどちらでもかまいません。

PM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17-9 ポート・モード・レジスタ14 (PM14) のフォーマット

アドレス：FF2EH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	P14n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

17.4 シリアル・インタフェースCSIA0の動作

シリアル・インタフェースCSIA0は、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

17.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって消費電力を低減できます。また動作停止モードでは、P142/ $\overline{SCKA0}$ 、P143/SIA0、P144/SOA0を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード指定レジスタ0 (CSIMA0) で行います。動作停止モードにする場合、CSIMA0のビット7 (CSIAE0) に0を設定してください。

(a) シリアル動作モード指定レジスタ0 (CSIMA0)

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF90H リセット時：00H R/W

	7	6	5	4	3	2	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0
	CSIAE0	CSIA0の動作許可／禁止の制御						
	0	CSIA0動作禁止 (SOA0：ロウ・レベル, $\overline{SCKA0}$ ：ハイ・レベル) , 内部回路を非同期リセットする						

17.4.2 3線式シリアルI/Oモード

シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) を0に設定したときのモードで、1バイトごとのデータ送受信を行います。

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{SCKA0}$) , シリアル出力 (SOA0) , シリアル入力 (SIA0) の3本のライン通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード指定レジスタ0 (CSIMA0) ^{注1}
- ・シリアル・ステータス・レジスタ0 (CSIS0) ^{注2}
- ・分周値選択レジスタ0 (BRGCA0)
- ・ポート・モード・レジスタ14 (PM14)
- ・ポート・レジスタ14 (P14)

注1. ビット7, 6, 4-1 (CSIAE0, ATE0, MASTER0, TXEA0, RXEA0, DIR0) を使用します。ビット5 (ATM0) の設定は無効になります。

2. ビット6 (CKS00) とビット0 (TSF0) のみ使用します。

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

- ① CSIS0レジスタのビット6 (CKS00) を設定 (図17-3を参照) ^{注1}
- ② BRGCA0レジスタを設定 (図17-5を参照) ^{注1}
- ③ CSIMA0レジスタのビット4-1 (MASTER0, TXEA0, RXEA0, DIR0) を設定 (図17-2を参照)
- ④ CSIMA0レジスタのビット7 (CSIAE0) に1, ビット6 (ATE0) に0を設定
- ⑤ シリアルI/Oシフト・レジスタ0 (SIOA0) にデータ書き込み → データ送受信開始 ^{注2}

注1. スレーブ・モードを指定 (MASTER0 = 0) する場合は、設定不要です。

2. 受信のみの場合、SIOA0にダミー・データを書き込んでください。

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表17-3 レジスタの設定と端子の関係

CSIAE0	ATE0	MASTER0	PM143	P143	PM144	P144	PM142	P142	シリアル I/Oシフ ト・レジス タ0の動作	シリアル・ クロック・ カウンタの 動作の制御	端子機能		
											SIA0/P143	SOA0/P144	SCKA0/P142
0	×	×	×	×	×	×	×	×	動作停止	クリア	P143	P144	P142
1	0	0	1	×	0	0	1	×	動作許可	カウント 動作	SIA0	SOA0	SCKA0 (入力)
		1						0					SCKA0 (出力)

注1. ポート機能として設定することができます。

- 送信のみ使用するときは、P143として使用できます。CSIMA0のビット2 (RXEA0) に0を設定してください。
- 受信のみ使用するときは、P144として使用できます。CSIMA0のビット3 (TXEA0) に0を設定してください。

備考 × : don't care

CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ATE0 : CSIMA0のビット6

MASTER0 : CSIMA0のビット4

PM14× : ポート・モード・レジスタ

P14× : ポートの出力ラッチ

(2) 1バイト送受信の通信動作

(a) 1バイト送受信

シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) = 1, ビット6 (ATE0) = 0でシリアルI/Oシフト・レジスタ0 (SIOA0) に通信データを書き込むと、そのデータをSCKA0の立ち下がりに同期してSOA0端子から出力します。また、SCKA0の立ち上がりに同期して受信データをSIOA0レジスタに格納します。

データ送信、およびデータ受信を同時に行うことができます。

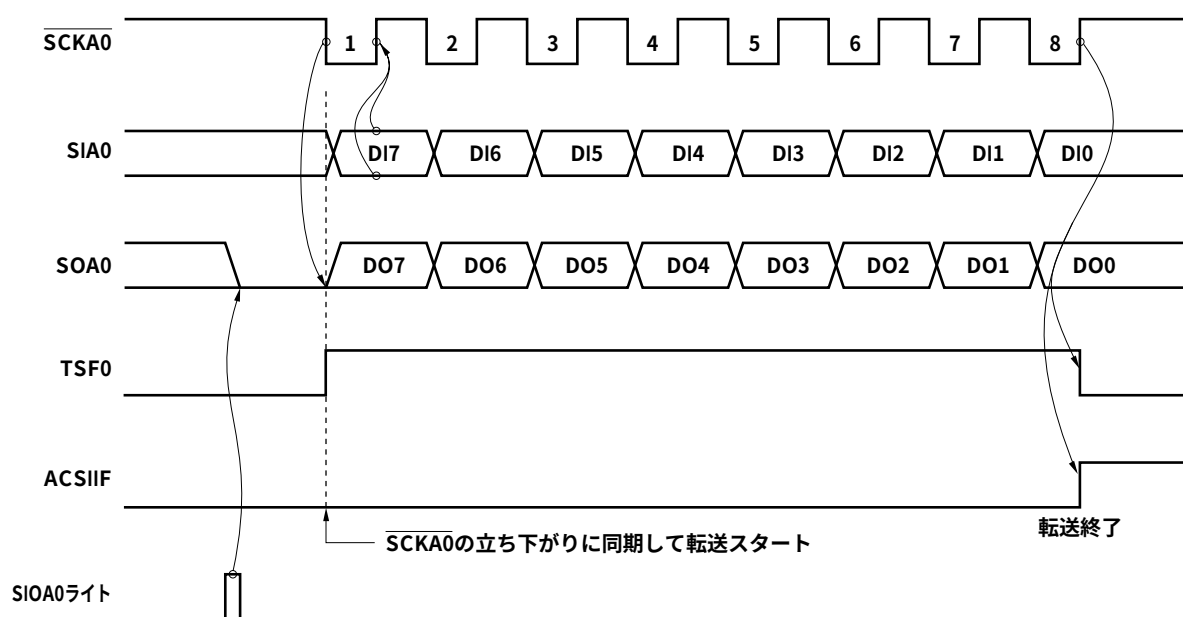
受信のみを行う際には、SIOA0レジスタにダミーの値を書き込まなければ通信を開始することができません。

1バイトの通信が終了すると、割り込み要求信号 (INTACSI) を発生します。

1バイト送受信の場合、CSIMA0のビット5 (ATM0) の設定は無効になります。

データの読み出しはシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 0であることを確認してから行ってください。

図17-10 3線式シリアルI/Oモードのタイミング例



注意 SIOA0ライトにより、SOA0端子はロウ・レベルになります。

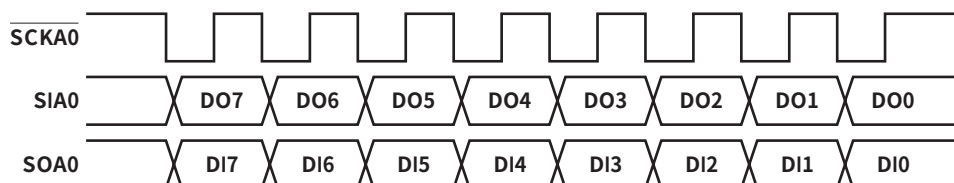
(b) データ・フォーマット

下記に示すように、 $\overline{\text{SCKA0}}$ の立ち下がりに同期してデータが変化します。

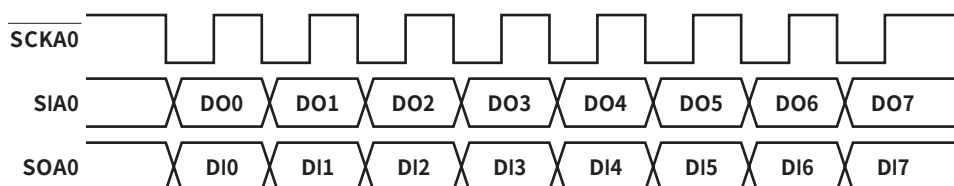
データ長は8ビット固定であり、データ通信方向は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット1 (DIR0) の指定により切り替えることができます。

図17-11 送受信データのフォーマット

(a) MSBファーストの場合 (DIR0ビット = 0)



(b) LSBファーストの場合 (DIR0ビット = 1)

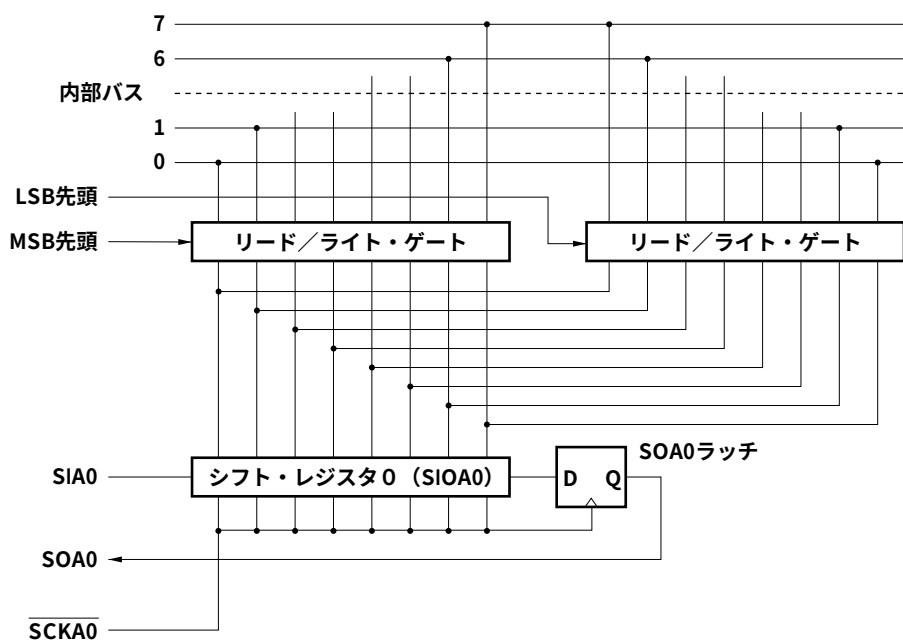


(c) MSB/LSB先頭の切り替え

図17-12にシリアルI/Oシフト・レジスタ0 (SIOA0) , および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し／書き込みができます。

MSB/LSB先頭切り替えは、シリアル動作モード指定レジスタ0 (CSIMA0) のビット1 (DIR0) により指定できます。

図17-12 転送ビット順切り替え回路



先頭ビットの切り替えは、SIOA0へのデータ書き込みのビット順を切り替えることによって実現されています。SIOA0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、シフト・レジスタにデータを書き込む前に切り替えてください。

(d) 通信スタート

シリアル通信は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIOA0) に通信データをセットすることで開始します。

- ・シリアル・インタフェースCSIA0の動作の制御ビット (CSIAE0) = 1
- ・シリアル通信中ではないとき

注意 SIOA0にデータを書き込んだあと、CSIAE0を“1”にしても、通信はスタートしません。

8ビット通信終了により、シリアル通信は自動的に停止し、割り込み要求フラグ (ACSIIF) をセットします。

17.4.3 自動送受信機能付き3線式シリアルI/Oモード

シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) を1に設定したときのモードで、最大32バイトのデータを、ソフトウェアの介在なしに送受信を行います。通信を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

また、マスタとして使用時に、連続してデータを送受信するために、ハードウェアによるハンドシェイク信号 (STB0, BUSY0) をサポートしており、OSD (On Screen Display) 用ICやLCDコントローラ／ドライバなどの周辺ICとの接続が容易に実現できます。

(1) 使用するレジスタ

- ・シリアル動作モード指定レジスタ0 (CSIMA0)
- ・シリアル・ステータス・レジスタ0 (CSIS0)
- ・シリアル・トリガ・レジスタ0 (CSIT0)
- ・分周値選択レジスタ0 (BRGCA0)
- ・自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)
- ・自動データ転送間隔指定レジスタ0 (ADTI0)
- ・ポート・モード・レジスタ14 (PM14)
- ・ポート・レジスタ14 (P14)

レジスタの設定と端子の関係を次に示します。

注意 バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第36章 ウエイトに関する注意事項を参照してください。

表17-4 レジスタの設定と端子の関係

CSIAE0	ATE0	MASTER0	STBE0	BUSYE0	ERRE0	PM143	P143	PM144	P144	PM142	P142	PM145	P145	PM141	P141	シリアル/Oシフト・レジスタ0の動作	シリアル・クロック・カウンタの動作制御	端子機能				
																		SIA0/ P143	SOA0/ P144	SCKA0/ P142	STB0/ P145	BUSY0/ P141
0	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	動作停止	クリア	P143	P144	P142	P145	P141
1	1	0	×	×	0/1	1	×	0	0	1	×	×	×	×	×	動作許可	カウント動作	SIA0 ^{注2}	SOA10 ^{注3}	SCKA0 (入力)	P145	P141
		1	0	0	0/1															SCKA0	P145	P141
			1	1	0/1							0	0	1	×					(出力)	STB0	BUSY0

注1. ポート機能として設定することができます。

- 送信のみ使用するときは、P143として使用できます。CSIMA0のビット2 (RXEA0) に0を設定してください。
- 受信のみ使用するときは、P144として使用できます。CSIMA0のビット3 (TXEA0) に0を設定してください。

備考 × : don't care

CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ATE0 : CSIMA0のビット6

MASTER0 : CSIMA0のビット4

STBE0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット5

BUSYE0 : CSIS0のビット4

ERRE0 : CSIS0のビット2

PM14× : ポート・モード・レジスタ

P14× : ポートの出力ラッチ

(2) 自動送受信データの設定

マスタとしてデータを連続して送受信する場合の手順例を、次に示します。

- ① シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) をセット (1) し、CSIA0を動作許可状態にします (バッファRAMにアクセス可能になります)。
- ② シリアル・ステータス・レジスタ0 (CSIS0) でシリアル・クロックを選択します。
- ③ 分周値選択レジスタ0 (BRGCA0) でシリアル・クロックの分周比を設定し、通信速度を指定します。
- ④ バッファRAMの最下位アドレスFA00Hから順に最大FA1FHまで、送信したいデータを書き込みます。送信データ順は、下位アドレスから上位アドレスです。
- ⑤ 自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) に、「送信したいデータ数-1」を設定します。
- ⑥ CSIMA0のビット6 (ATE0) とビット4 (MASTER0) をセット (1) して、自動通信モードでのマスタ動作を設定します。
- ⑦ CSIMA0のビット3 (TXEA0) とビット2 (RXEA0) をセット (1) して、送受信許可状態にします。
- ⑧ 自動データ転送間隔指定レジスタ (ADTI0) にデータの送信間隔を設定します。
- ⑨ シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) をセット (1) すると、自動送受信処理が起動されます。

注意 ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。

①から⑨の操作により、次のように動作します。

- ・自動データ転送アドレス・カウント・レジスタ0 (ADTC0) で示されたバッファRAMのデータをSIOA0に転送後、送信を行います (自動送受信動作の開始)。
- ・受信したデータは、ADTC0で示されたバッファRAMのアドレスへ書き込まれます。
- ・ADTC0がインクリメントされ、次のデータの送受信を行います。データの送受信は、ADTC0のインクリメント出力が自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) の設定値と一致するところまで行われます (自動送受信動作の終了)。ただし、CSIMA0のビット5 (ATM0) に1を設定 (繰り返しモード) した場合は、ADTP0とADTC0が一致したあと、ADTC0がクリアされ、繰り返し送受信動作が行われます。
- ・自動送受信動作が終了すると割り込み要求 (INTACSI) を発生し、CSIS0のビット0 (TSF0) をクリアします。
- ・引き続き次のデータを送信したい場合には、新しいデータをバッファRAMにセットし、ADTP0に「送信したいデータ数-1」を設定します。データ数の設定後、ATSTA0をセット (1) します。

(3) 自動送受信の通信動作

(a) 自動送受信モード

バッファRAMを用いることにより自動送受信を行うことができます。

(2) 自動送受信データの設定を行うことによって、バッファRAMに格納したデータをSIOA0レジスタを介してSCKA0の立ち下がりに同期してSOA0端子より出力します。

また、SIOA0レジスタを介してSCKA0の立ち上がりに同期して受信データをバッファRAMに格納します。

データ転送は、次のいずれかを満たしたときにシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 0となり、転送が終了します。

- ・ 通信中止：CSIMA0レジスタのビット7 (CSIAE0) = 0でリセット
- ・ 通信中断：CSIT0レジスタのビット1 (ATSTP0) = 1と指定して1バイト分転送が完了
- ・ ビットずれエラー：CSIS0レジスタのビット2 (ERRE0) = 1のときに、ビット1 (ERRF0) = 1となり1バイト分転送が完了
- ・ ADTP0レジスタで指定した範囲の転送が完了

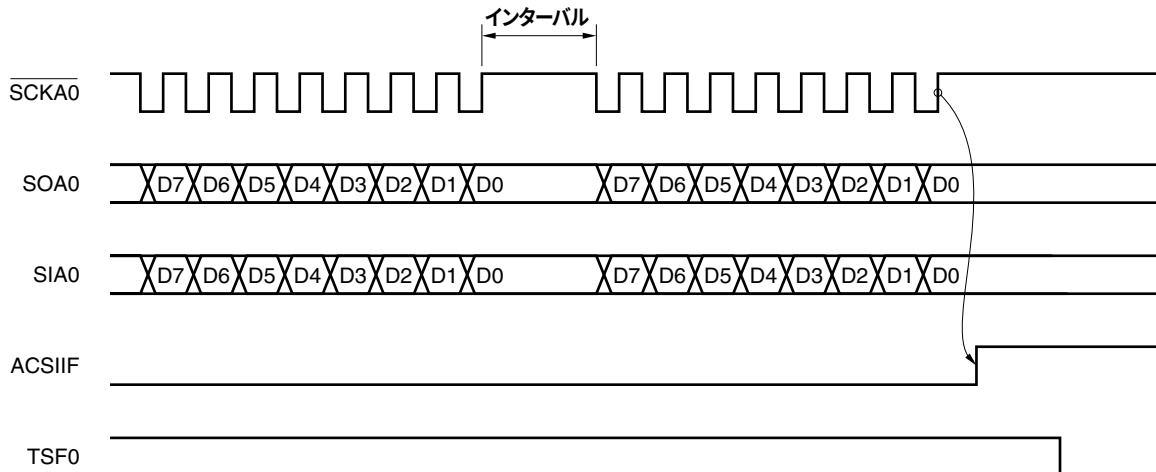
このとき、CSIAE0ビット= 0の場合を除き、割り込み要求信号 (INTACSI) を発生します。

一度転送を終了させると、その続きから転送することができません。自動データ転送アドレス・カウンタ・レジスタ0 (ADTC0) を読み出し、どこまで転送が完了したかを確認し、再度 (2) 自動送受信データの設定を行い、転送してください。

なお、ビジィ制御、ストローブ制御を行わない場合、BUSY0/BUZ/INTP7/P141, STB0/P145端子を通常の入出力ポートとして使用できます。

自動送受信モードの動作タイミング例を図17-13に、動作フロー・チャートを図17-14に示します。また、6バイト分送受信するときの内部バッファRAMの動作を図17-15, 17-16に示します。

図17-13 自動送受信モードの動作タイミング例

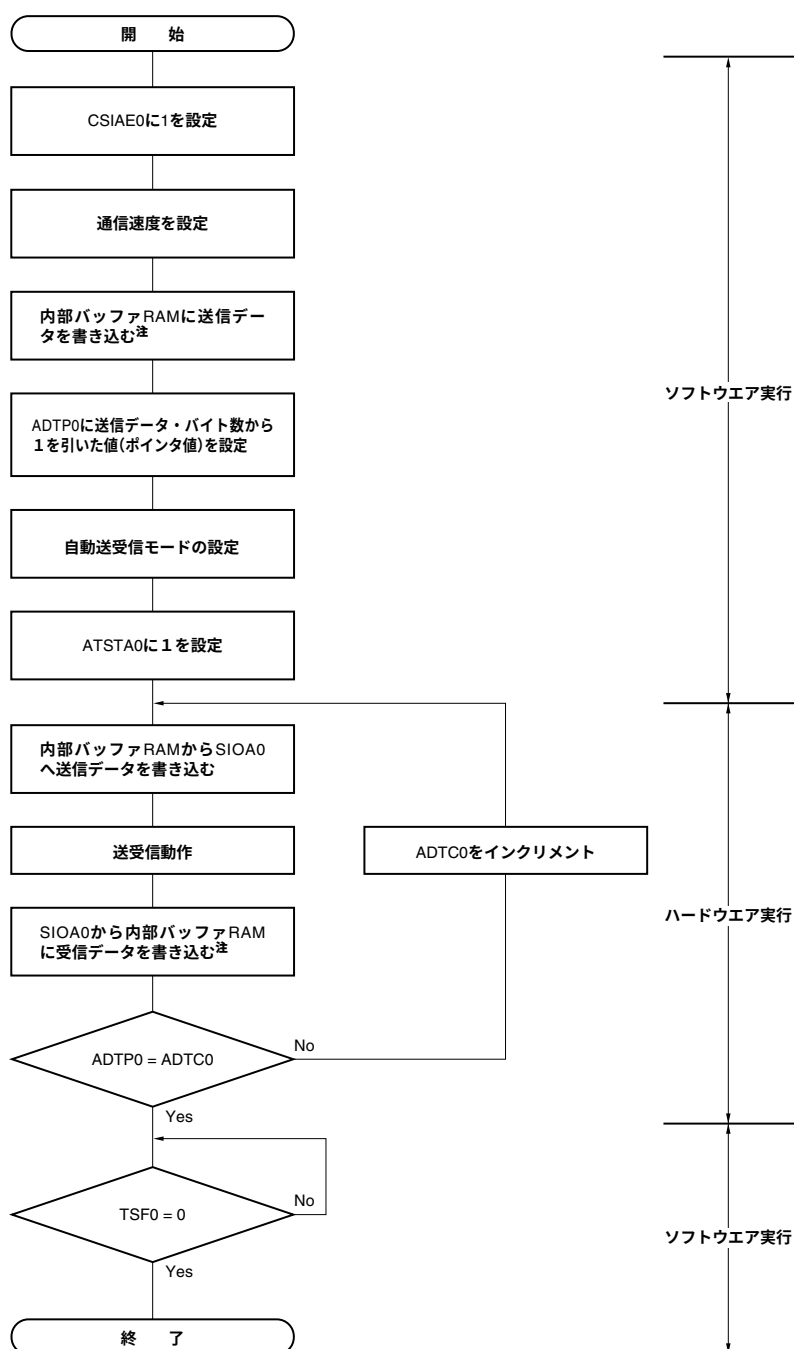


- 注意1.** 自動送受信モードでは、1バイト送受信後、内部バッファRAMへの書き込み／読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み／読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) とシリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0) , ビット4 (BUSYE0) の設定値に依存します ((5) 自動送受信のインターバル時間参照) 。
- 2.** インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。

備考 ACSIF : 割り込み要求フラグ

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

図17-14 自動送受信モードのフロー・チャート



CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ADTP0 : 自動データ転送アドレス・ポイント指定レジスタ0

ADTI0 : 自動データ転送間隔指定レジスタ0

ATSTA0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット0

SIOA0 : シリアルI/Oシフト・レジスタ0

ADTC0 : 自動データ転送アドレス・カウント・レジスタ0

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

注 バッファRAMへの書き込み時にウェイトが発生することがあります。詳細は第36章 ウェイトに関する注意事項を参照してください。

自動送受信モードで6バイト分送受信するとき (ATM0 = 0, RXEA0 = 1, TXEA0 = 1, ATE0 = 1) , 内部バッファRAMは次のような動作をします。

(i) 自動送受信開始時 (図17-15参照)

- ① シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) に1を設定すると、内部バッファRAMから送信データ1 (T1) がSIOA0へ転送され、送受信動作が開始されます。
- ② 1バイト目の送受信が完了すると、SIOA0からバッファRAMへ受信データ1 (R1) が転送され、自動データ転送アドレス・カウンタ・レジスタ0 (ADTC0) がインクリメントされます。
- ③ 次に内部バッファRAMから送信データ2 (T2) がSIOA0へ転送されます。

図17-15 自動送受信モード時の内部バッファRAMの動作 (自動送受信開始時) (1/2)

① 1バイト目送受信開始時

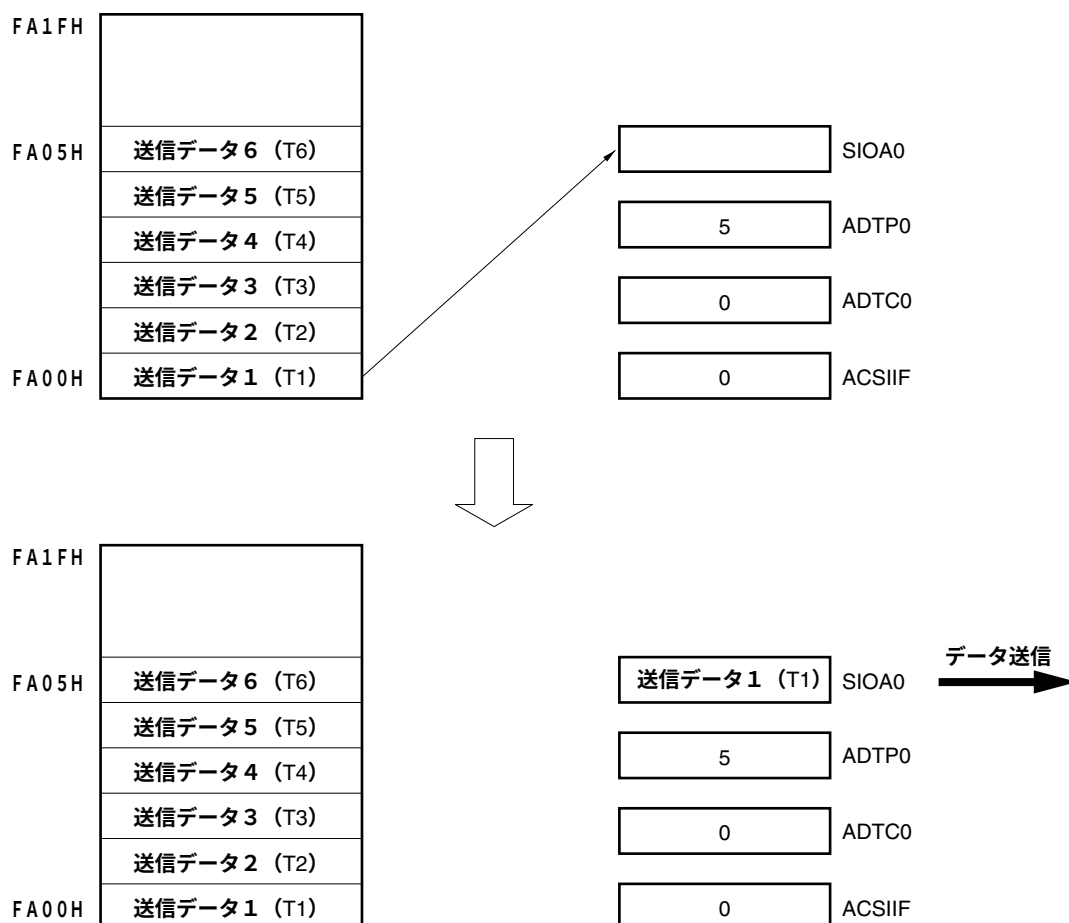
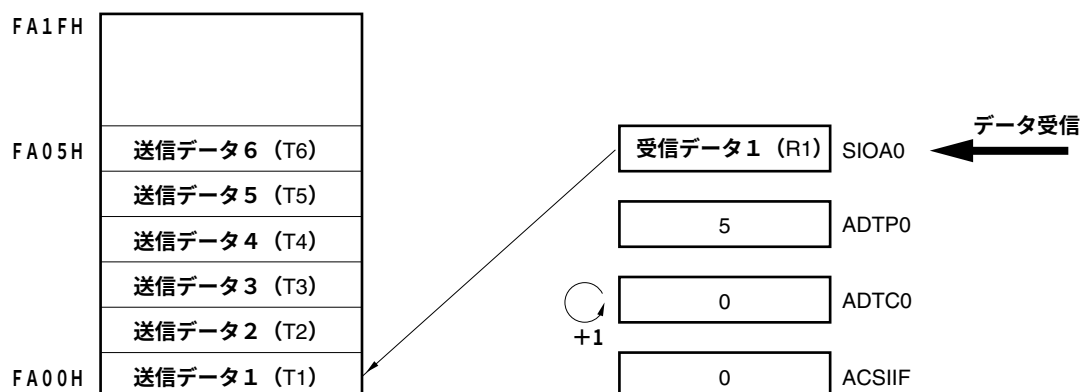
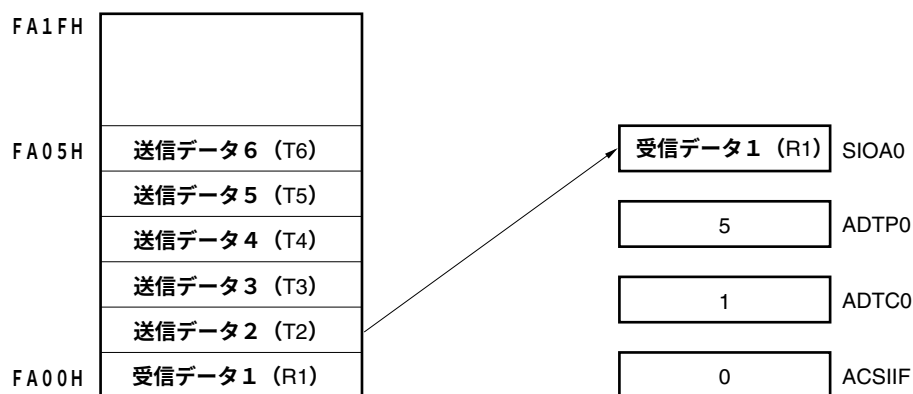


図17-15 自動送受信モード時の内部バッファRAMの動作（自動送受信開始時）（2/2）

② 1バイト目送受信終了時



③ 2バイト目送受信開始時

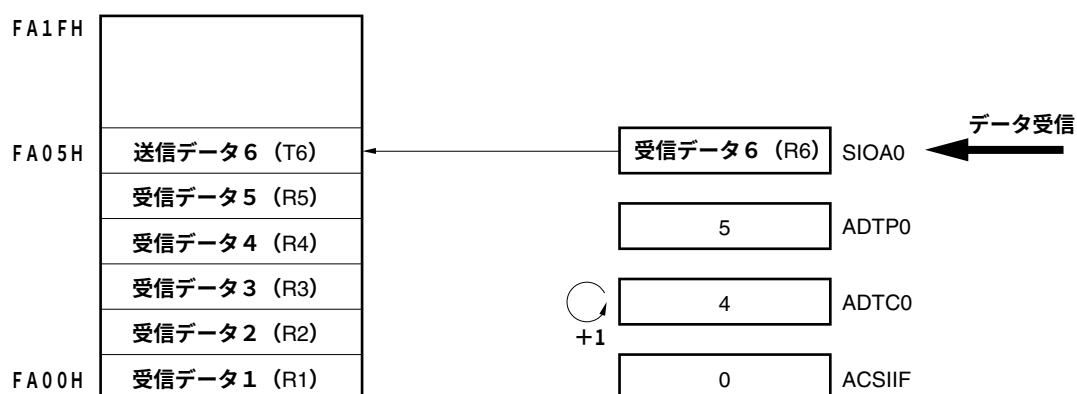


(ii) 自動送受信完了時（図17-16参照）

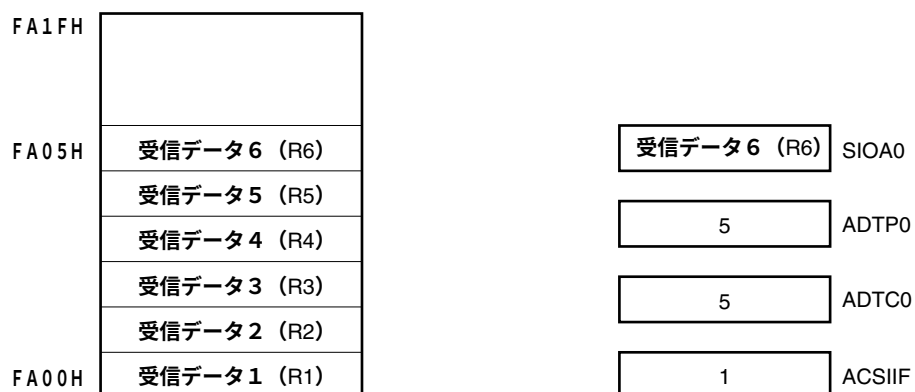
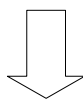
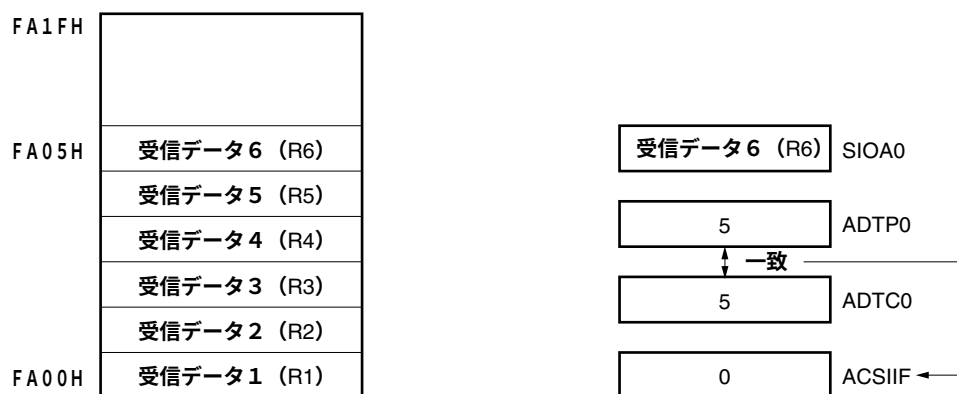
- ① 6バイト目の送受信が完了すると、SIOA0から内部バッファRAMへ受信データ6 (R6) が転送され、ADTC0がインクリメントされます。
- ② ADTP0とADTC0の値が一致すると、自動送受信が終了し、割り込み要求フラグ (ACSIF) がセットされます (INTACSI発生)。ADTC0とシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) はクリアされます。

図17-16 自動送受信モード時の内部バッファRAMの動作（自動送受信終了時）

① 6バイト目送受信終了時



② 自動送受信終了時



(b) 自動送信モード

8ビット単位で、指定したデータの送信を実行する送信モードです。

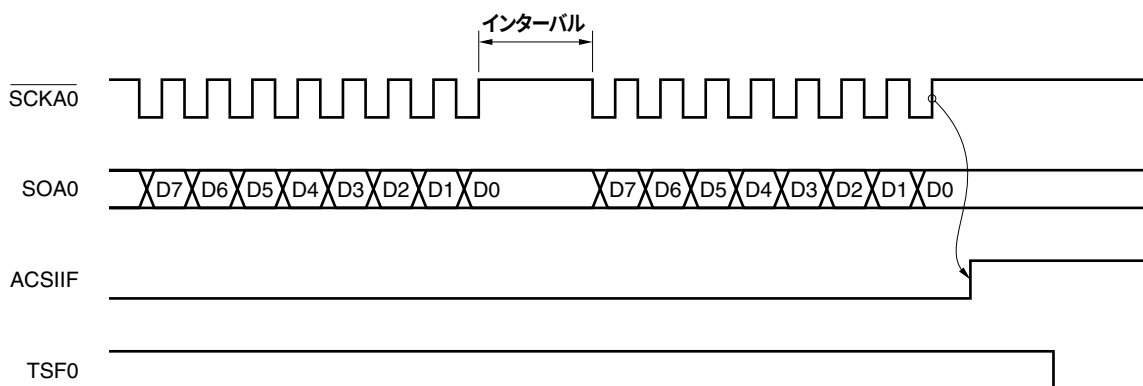
シリアル通信は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) が1、ビット6 (ATE0) が1、ビット3 (TXEA0) が1にセットされているとき、シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) に1を設定することによって開始します。

最終バイト送信完了時には割り込み要求フラグ (ACSIIF) がセットされます。自動送信の終了は、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) でも判定できます。

なお、受信動作、ビジー制御、ストローブ制御を行わない場合は、SIA0/P143, BUSY0/BUZ/INTP7/P141, STB0/P145端子を通常の入出力ポートとして使用できます。

自動送信モードの動作タイミング例を図17-17に、動作フロー・チャートを図17-18に示します。

図17-17 自動送信モードの動作タイミング例



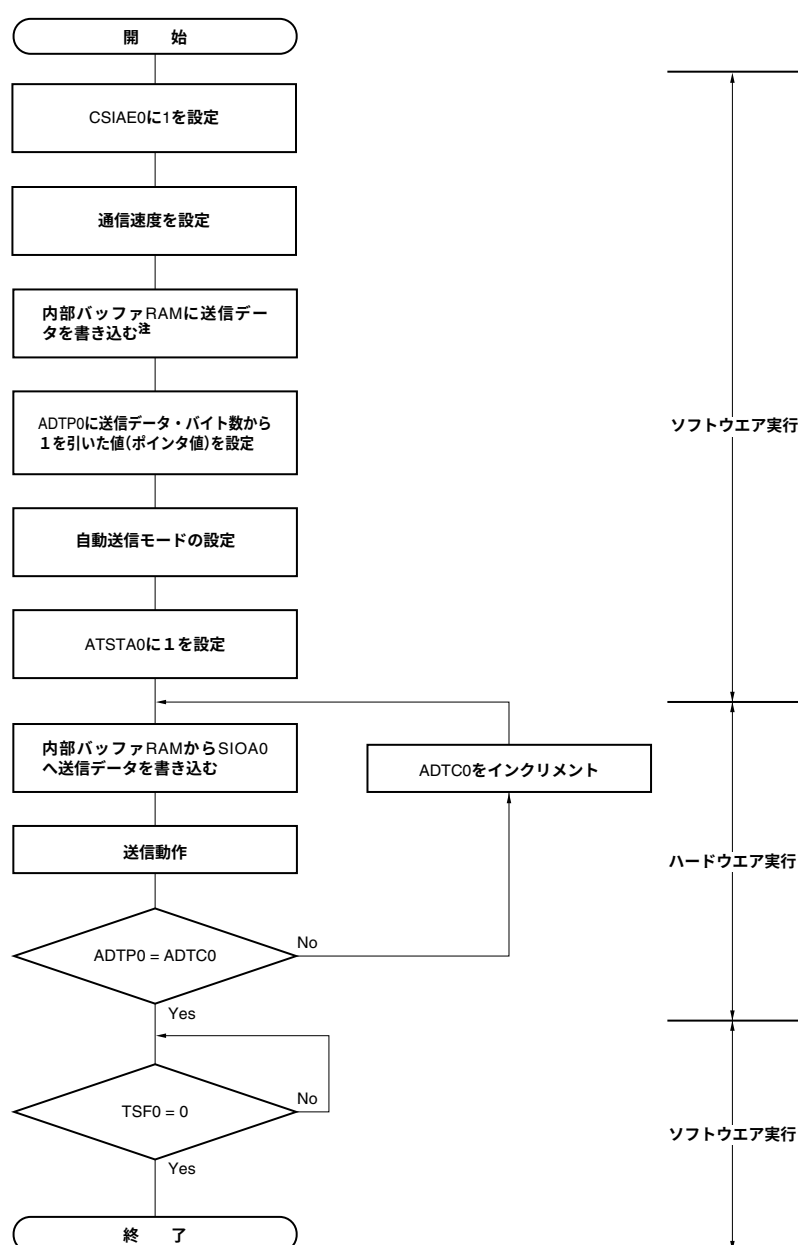
注意1. 自動送信モードでは、1バイト送信後、内部バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) とシリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0) , ビット4 (BUSYE0) の設定値に依存します ((5) 自動送受信のインターバル時間参照)。

2. インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。

備考 ACSIIF : 割り込み要求フラグ

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

図17-18 自動送信モードのフロー・チャート



CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ADTP0 : 自動データ転送アドレス・ポイント・指定レジスタ0

ADTI0 : 自動データ転送間隔指定レジスタ0

ATSTA0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット0

SIOA0 : シリアルI/Oシフト・レジスタ0

ADTC0 : 自動データ転送アドレス・カウント・レジスタ0

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

注 バッファRAMへの書き込み時にウェイトが発生することがあります。詳細は第36章 ウェイトに関する注意事項を参照してください。

(c) 繰り返し送信モード

内部バッファRAMに格納したデータを繰り返し送信するモードです。

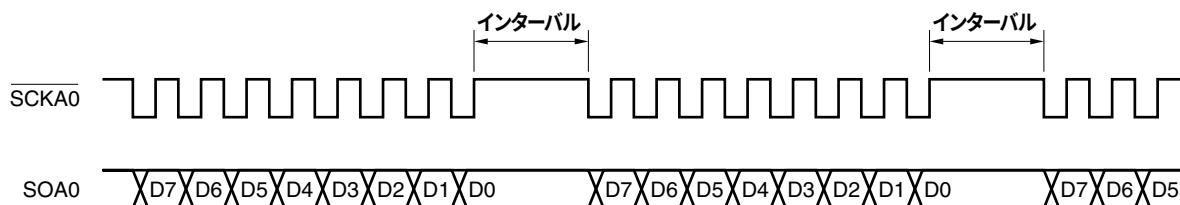
シリアル通信は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) が1, ビット6 (ATE0) が1, ビット5 (ATM0) が1, ビット3 (TXEA0) が1にセットされているとき、シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) に1を設定することによって開始します。

自動送信モードの場合とは異なり、設定したバイト数を送信したあと、割り込み要求フラグ (ACSIIF) はセットされず、自動データ転送アドレス・カウンタ・レジスタ0 (ADTC0) がリセット (0) され、内部バッファRAMの内容が再送信されます。

なお、受信動作、ビジー制御、スロープ制御を行わない場合には、SIA0/P143, BUSY0/BUZ/INTP7/P141, STB0/P145端子を通常の入出力ポートとして使用できます。

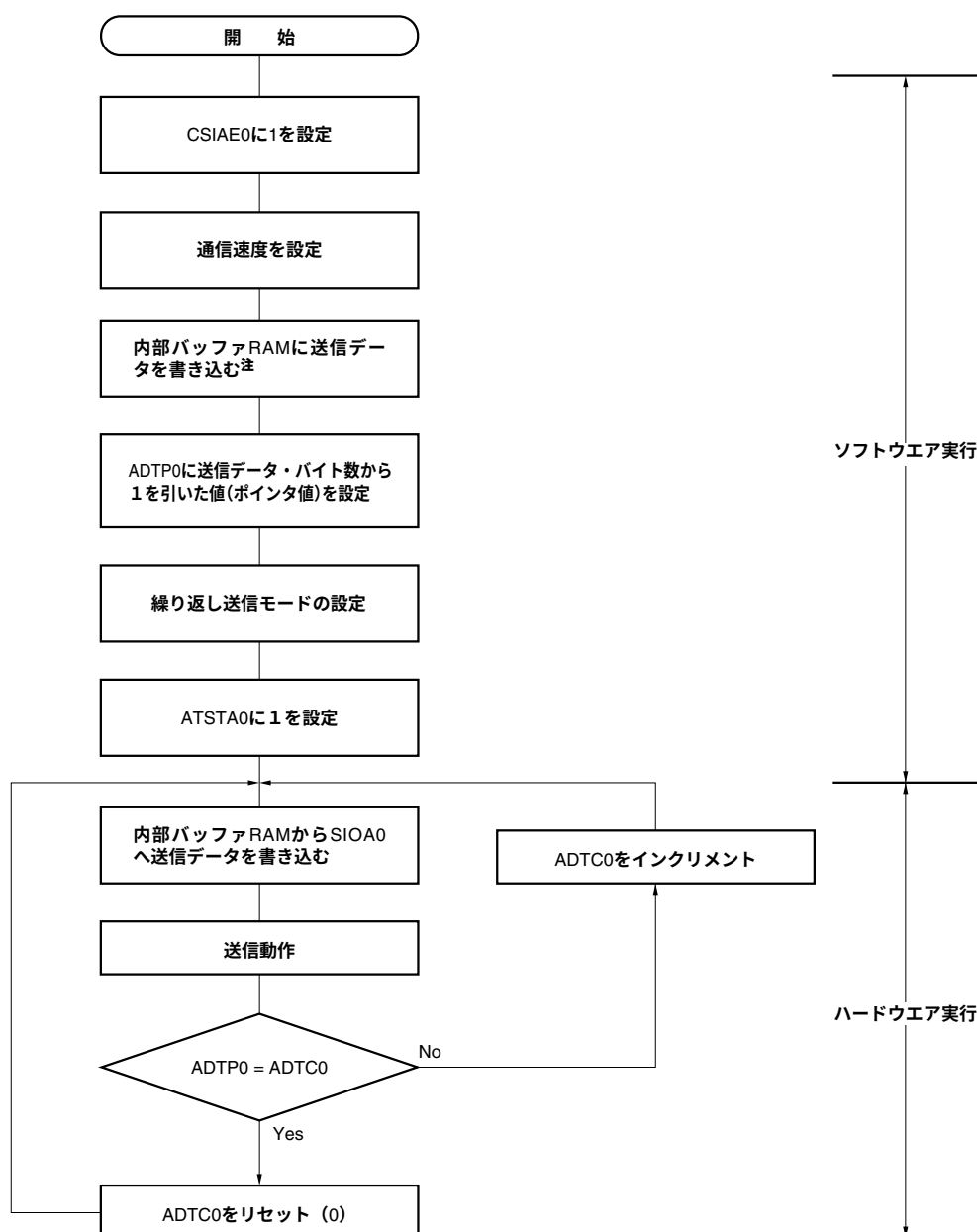
繰り返し送信モードの動作タイミング例を図17-19に、動作フロー・チャートを図17-20に示します。

図17-19 繰り返し送信モードの動作タイミング例



- 注意1. 繰り返し送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) とシリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0) , ビット4 (BUSYE0) の設定値に依存します ((5) 自動送受信のインターバル時間参照) 。
2. インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。

図17-20 繰り返し送信モードのフロー・チャート



CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ADTP0 : 自動データ転送アドレス・ポイント指定レジスタ0

ADTI0 : 自動データ転送間隔指定レジスタ0

ATSTA0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット0

SIOA0 : シリアルI/Oシフト・レジスタ0

ADTC0 : 自動データ転送アドレス・カウント・レジスタ0

注 バッファRAMへの書き込み時にウェイトが発生することがあります。詳細は第36章 ウェイトに関する注意事項を参照してください。

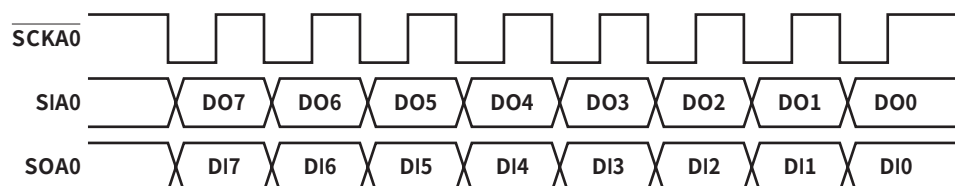
(d) データ・フォーマット

下記に示すように、 $\overline{\text{SCKA0}}$ の立ち下がりに同期してデータが変化します。

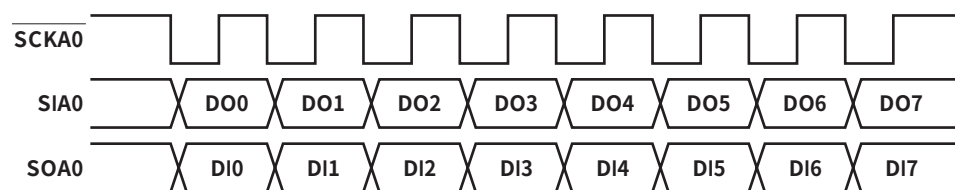
データ長は8ビット固定であり、データ転送方向は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット1 (DIR0) の指定により切り替えることができます。

図17-21 CSIA0の送受信データのフォーマット

(a) MSBファーストの場合 (DIR0ビット= 0)



(b) LSBファーストの場合 (DIR0ビット= 1)



(e) 自動送受信の中断と再開

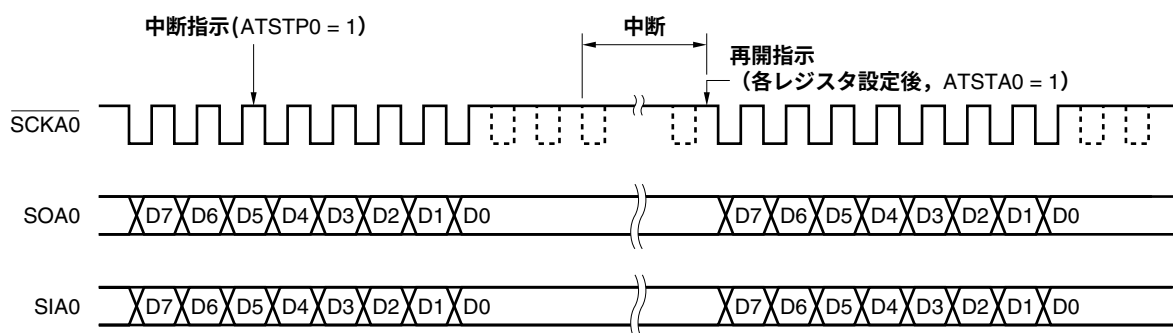
自動送受信中に送受信動作を一時的に中断したい場合、シリアル・トリガ・レジスタ0 (CSIT0) のビット1 (ATSTP0) に1を設定することにより動作の中断ができます。

このとき、8ビット・データ通信の途中では中断せず、必ず8ビット・データ通信が完了した時点で中断します。

中断時には、8ビット目のデータを転送したあと、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) が0になります。

- 注意1.** 自動送受信中にHALT命令を実行すると、8ビット・データ通信の途中でも通信を中断し、HALTモードになります。また、HALTモードを解除すると、自動送受信動作を中断箇所より再開します。
- 2.** 自動送受信動作を中断したとき、TSF0 = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図17-22 自動送受信の中断と再開



ATSTP0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット1

ATSTA0 : CSIT0のビット0

(4) 同期制御

ビジィ制御およびスロープ制御は、マスタ・デバイスとスレーブ・デバイス間の送受信の同期をとるための機能です。

これらの機能を使用することにより、送受信中のビットずれの検出などが可能となります。

(a) ビジィ制御オプション

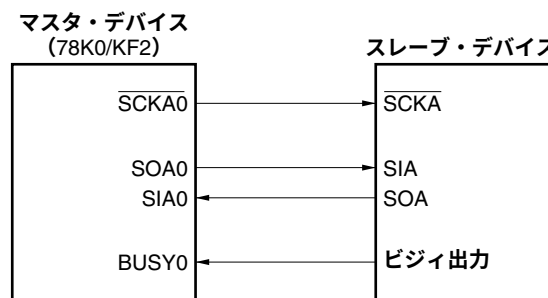
ビジィ制御は、スレーブ・デバイスがマスタ・デバイスにビジィ信号を出力することにより、そのビジィ信号がアクティブな期間、マスタ・デバイスのシリアル送受信をウェイトさせることができる機能です。

ビジィ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) をセット (1)
- ・シリアル・ステータス・レジスタ0 (CSIS0) のビット4 (BUSYE0) をセット (1)

ビジィ制御オプションを使用した場合のマスタ・デバイスとスレーブ・デバイスとのシステム構成を図17-23に示します。

図17-23 ビジィ制御オプション使用時のシステム構成



マスタ・デバイスは、スレーブ・デバイスが出力するビジィ信号をBUSY0/BUZ/INTP7/P141端子に入力します。マスタ・デバイスはシリアル・クロックの立ち下がりに同期して、入力したビジィ信号をサンプリングします。8ビット・データの送受信中にビジィ信号がアクティブになっても、ウェイトはかかりません。8ビット・データの送受信が終了してから1クロック後のシリアル・クロックの立ち上がり時にビジィ信号がアクティブであれば、その時点ではじめてビジィ入力が有効となり、それ以降、ビジィ信号がアクティブな期間は送受信にウェイトがかかります。

ビジィ信号のアクティブ・レベルはCSIS0のビット3 (BUSYLV0) で設定します。

BUSYLV0 = 1 : アクティブ・ハイ

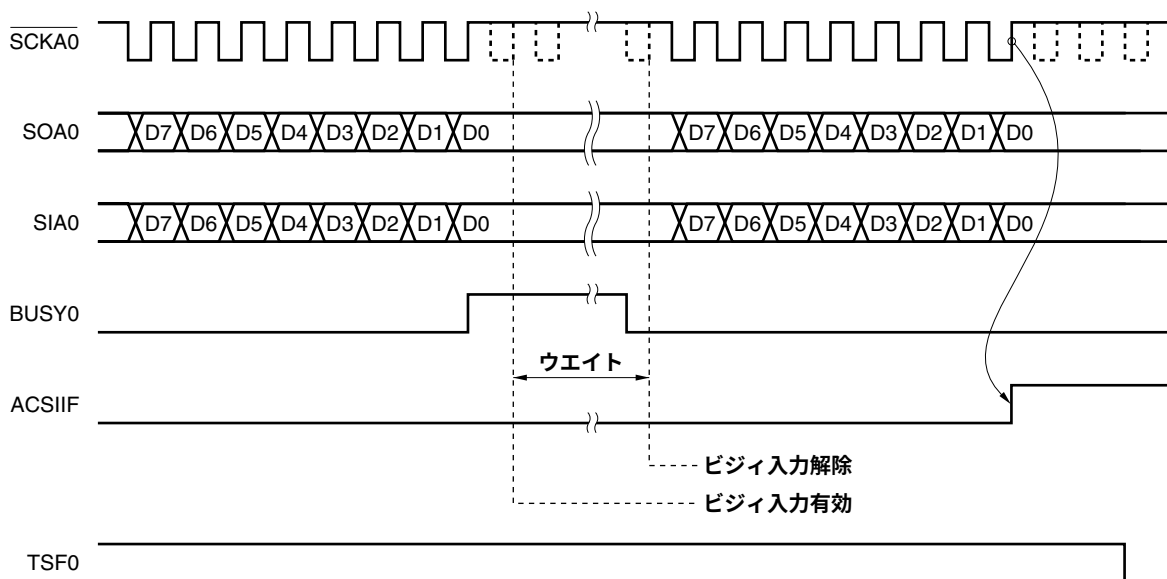
BUSYLV0 = 0 : アクティブ・ロウ

なお、ビジィ制御オプションを使用する場合、マスタ・モードに選択してください。スレーブ・モードでは、ビジィ信号による制御はできません。

ビジィ制御オプションを使用したときの動作タイミング例を図17-24に示します。

注意 ビジィ制御は、自動データ転送間隔指定レジスタ0 (ADTI0) によるインターバル時間の制御とは同時に使用できません。

図17-24 ビジィ制御オプションを使用したときの動作タイミング例 (BUSYLV0 = 1 のとき)



備考 ACSIF : 割り込み要求フラグ

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

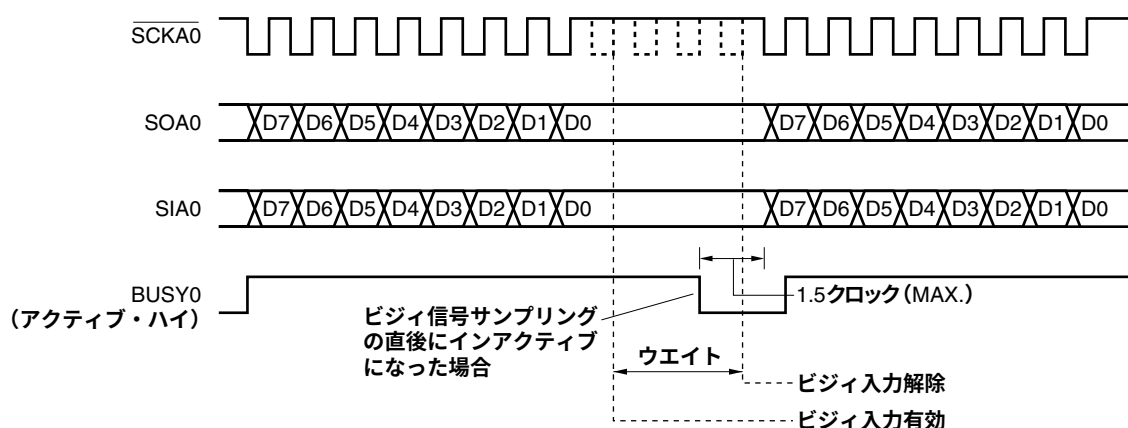
ビジィ信号がインアクティブになると、ウェイトは解除されます。サンプリングされたビジィ信号がインアクティブな場合、その次のシリアル・クロックの立ち下がりから、次の8ビット・データの送受信が開始されます。

なお、ビジィ信号はシリアル・クロックとは非同期ですので、スレーブ側でビジィ信号をインアクティブにしても、それがサンプリングされるまでには最大で1クロック近くかかります。また、サンプリングされてからデータ転送が開始されるまでには0.5クロックかかります。

ウェイトを確実に解除するためには、 $\overline{\text{SCKA0}}$ が立ち下がるまで、スレーブ側でビジィ信号をインアクティブに保持してください。

図17-25にビジィ信号とウェイト解除についてのタイミング例を示します。この図では、送受信の開始とともにビジィ信号をアクティブにした場合の例を示しています。

図17-25 ビジィ信号とウェイトの解除 (BUSYLV0 = 1 のとき)



(b) ビジィ&ストローブ制御オプション

ストローブ制御は、マスタ・デバイスとスレーブ・デバイスとのデータ送受信の同期をとるための機能です。8ビット送受信終了時に、マスタ・デバイスがSTB0/P145端子からストローブ信号を出力します。これにより、スレーブ・デバイスはデータ送信終了タイミングを知ることができます。したがって、シリアル・クロックにノイズがのってビットずれが発生した場合でも同期がとれ、ビットずれが次のバイト送信に影響しません。

ストローブ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) をセット (1)
- ・シリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0) をセット (1)

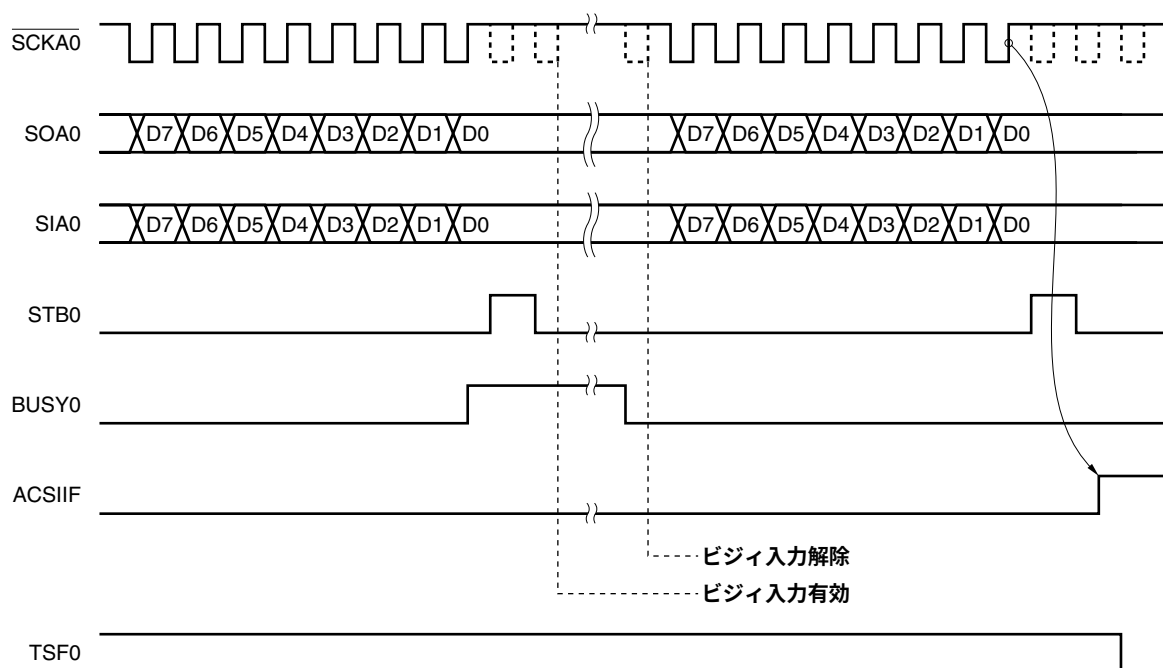
通常、ビジィ制御とストローブ制御はハンドシェイク用の信号として同時に使用します。この場合、STB0/P145端子からストローブ信号を出力するとともに、BUSY0/BUZ/INTP7/P141端子をサンプリングし、ビジィ信号が入力されている間、送受信をウェイトさせることができます。

ストローブ信号は、シリアル・クロックの9クロック目の立ち下がり同期して、STB0/P145端子から1転送クロック分ハイ・レベルが出力されます。ビジィ信号は、8ビット・データの送受信が終了してから2クロック後のシリアル・クロックの立ち上がり時に検出されます。

ビジィ&ストローブ制御を使用したときの動作タイミング例を図17-26に示します。

なお、ストローブ制御を使用した場合、送受信完了時にセットされる割り込み要求フラグ (ACSIIF) は、ストローブ信号の出力後にセットされます。

図17-26 ビジィ&ストローブ制御オプションを使用したときの動作タイミング例 (BUSYLV0 = 1 のとき)



注意 TSF0がクリアされると、SOA0端子はロウ・レベルになります。

備考 ACSIF：割り込み要求フラグ

TSF0：シリアル・ステータス・レジスタ0 (CSIS0) のビット0

(c) ビジィ信号によるビットずれ検出機能

自動送受信動作中、マスタ・デバイスの出力するシリアル・クロック信号にノイズがのり、スレーブ・デバイス側のシリアル・クロックでビットずれが発生する場合があります。このとき、ストローブ制御オプションを使用していないと、ビットずれが次のバイト送信に影響してしまいます。このような場合、マスタ側はビジィ制御オプションを使用して送信中にビジィ信号をチェックすることにより、ビットずれを検出できます。

ビジィ信号によるビットずれは、次のように検出します。

スレーブ側は、データ送受信の8回目のシリアル・クロックの立ち上がりのあとにビジィ信号を出力します（このとき、ビジィ信号によるウェイトをかけたくない場合には、2クロック以内にビジィ信号をインアクティブにします）。

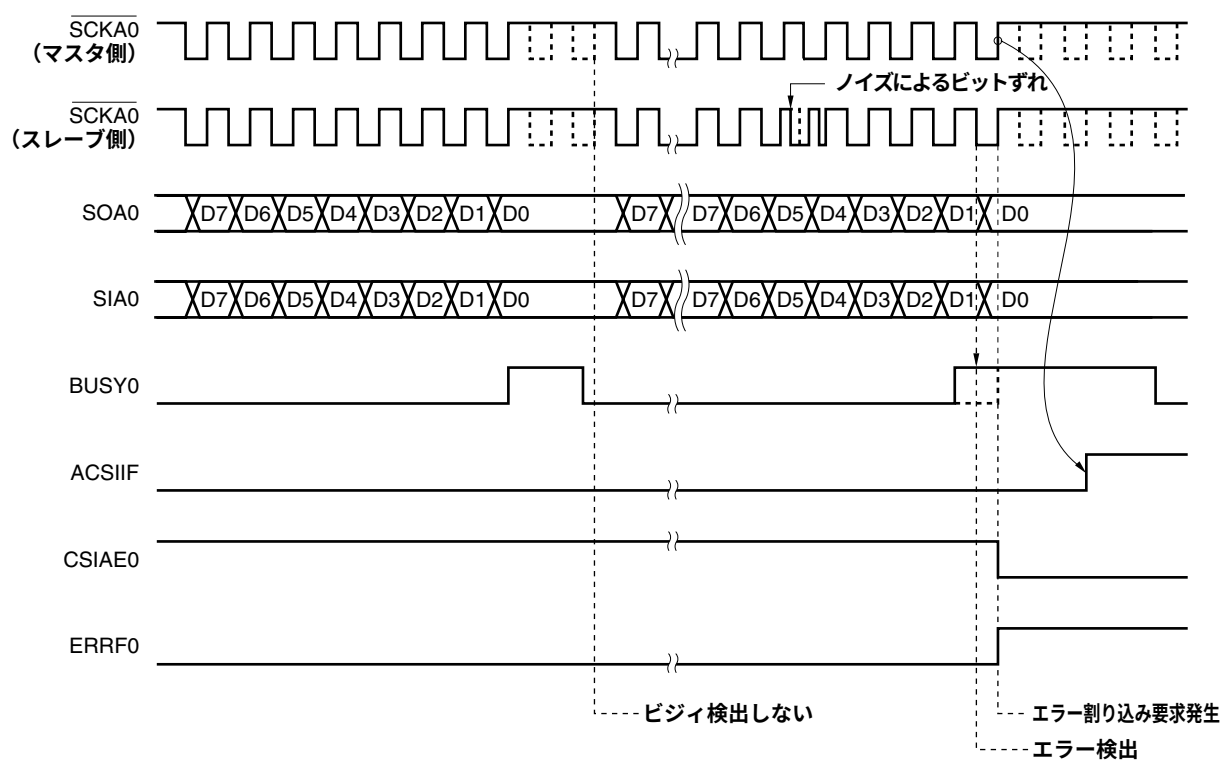
マスタ側は、シリアル・ステータス・レジスタ0 (CSIS0) のビット2 (ERRE0) に1を設定すると、シリアル・クロックの立ち下がりに同期してビジィ信号をサンプリングします。ビットずれが発生していなければ、8回のサンプリングはすべてインアクティブになります。サンプリングして、アクティブであればビットずれが発生したとみなし、エラー処理（シリアル・ステータス・レジスタ0 (CSIS0) のビット1 (ERRF0) を1にセットし、通信を中断して割り込み要求信号 (INTACSI) を出力）を行います。

1バイトのデータ通信まで実行されてから通信は中断されますが、スレーブ信号の出力、ビジィ信号によるウェイト、ADTI0指定のインターバル時間によるウェイトは実行されずに終了します。

ERRE0 = 0の場合、ビットずれを起こしてもERRF0 = 1になることはありません。

ビジィ信号によるビットずれ検出機能の動作タイミング例を図17-27に示します。

図17-27 ビジィ信号によるビットずれ検出機能の動作タイミング例 (BUSYLV0 = 1 のとき)



ACSIF : 割り込み要求フラグ

CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ERRF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット1

(5) 自動送受信のインターバル時間

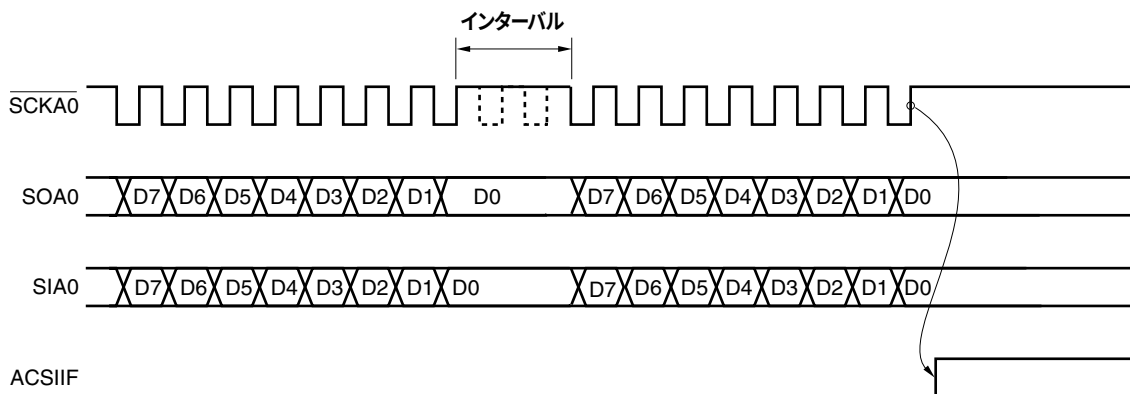
自動送受信機能を使用する場合、1バイト送受信後、内部バッファRAMからの書き込み／読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。

自動送受信機能を内部クロックで動作させる場合、CPU処理と並行してバッファRAMとの書き込み／読み出しを行うため、インターバル時間は、自動データ転送間隔指定レジスタ0 (ADTI0) とシリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0) , ビット4 (BUSYE0) の設定値に依存します。ADTI0 に00Hを設定したとき、STBE0, BUSYE0の設定によるインターバル時間が挿入されます。たとえば、ADTI0 = 00H, STBE0 = BUSYE0 = 1の場合は、2クロック分のインターバル時間が挿入され、さらに外部からのビジー信号でインターバル時間を延長できます。ADTI0で2クロック分以上のインターバル時間を設定した場合は、STBE0, BUSYE0の設定にかかわらず、ADTI0で設定したインターバル時間が挿入され、BUSYE0 = 1の場合はさらに外部からのビジー信号でインターバル時間を延長できます。

例 ADTI0 = 00Hで、ビジー信号が発生していないときのインターバル時間

- ① STBE0 = 1, BUSYE0 = 0の場合 シリアル・クロックの2クロック分のインターバル時間発生
- ② STBE0 = 0, BUSYE0 = 1の場合 シリアル・クロックの1クロック分のインターバル時間発生
- ③ STBE0 = 1, BUSYE0 = 1の場合 シリアル・クロックの2クロック分のインターバル時間発生

図17-28 自動送受信のインターバル時間例 (ADTI0 = 00H, STBE0 = 1, BUSYE0 = 0 (2クロック分) のとき)



ACSIF：割り込み要求フラグ

第18章 シリアル・インタフェースIIC0

注意 シリアル・インタフェースIIC0と乗除算器は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。

備考 乗除算器は、フラッシュ・メモリが48 Kバイト以上の78K0/Kx2マイクロコントローラの製品にのみ搭載しています。

18.1 シリアル・インタフェースIIC0の機能

シリアル・インタフェースIIC0は、78K0/Kx2マイクロコントローラ的全製品に搭載されています。

シリアル・インタフェースIIC0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード（マルチマスタ対応）

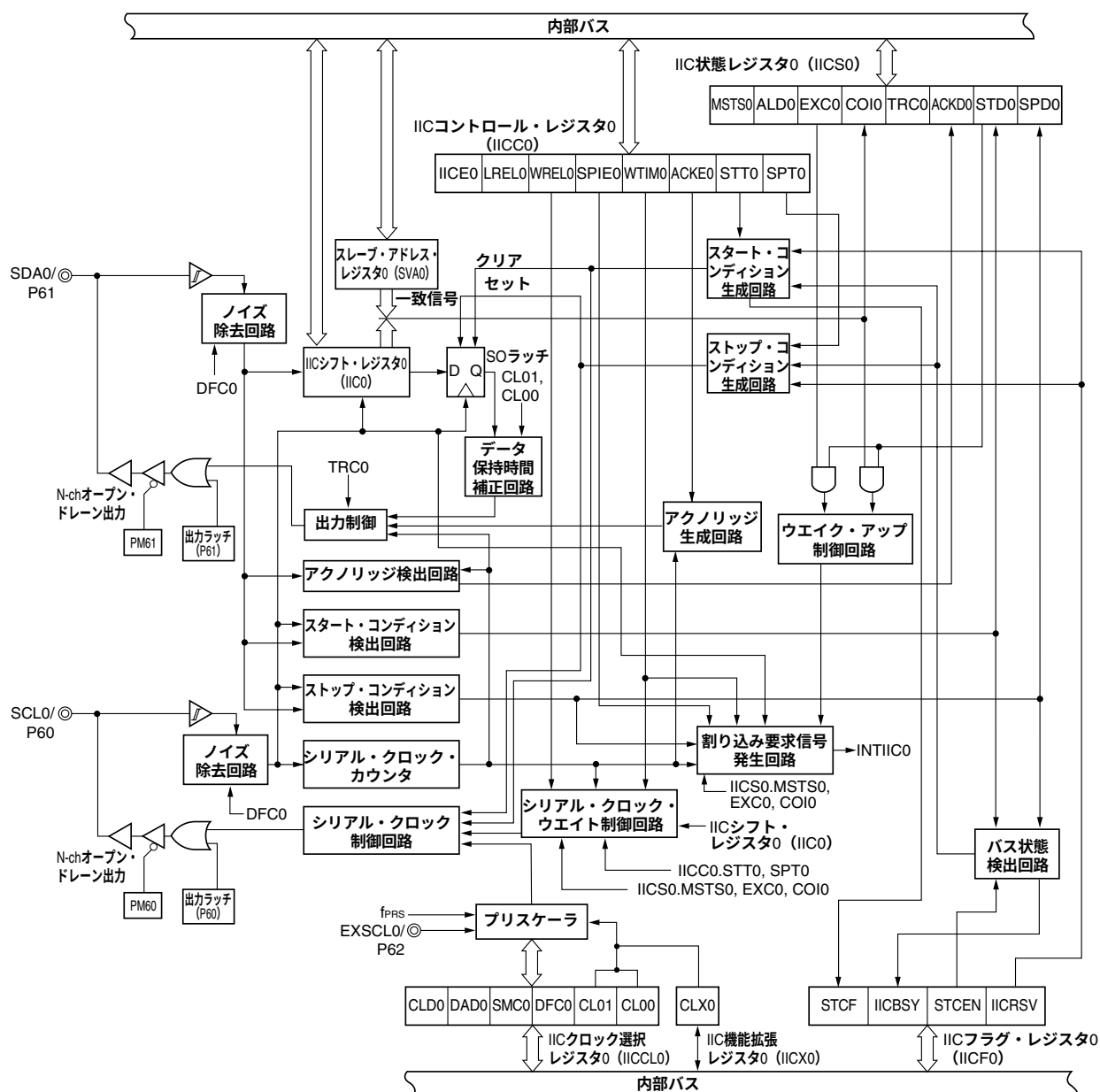
シリアル・クロック（SCL0）とシリアル・データ・バス（SDA0）の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

IIC0では、SCL0端子とSDA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図18-1に、シリアル・インタフェースIIC0のブロック図を示します。

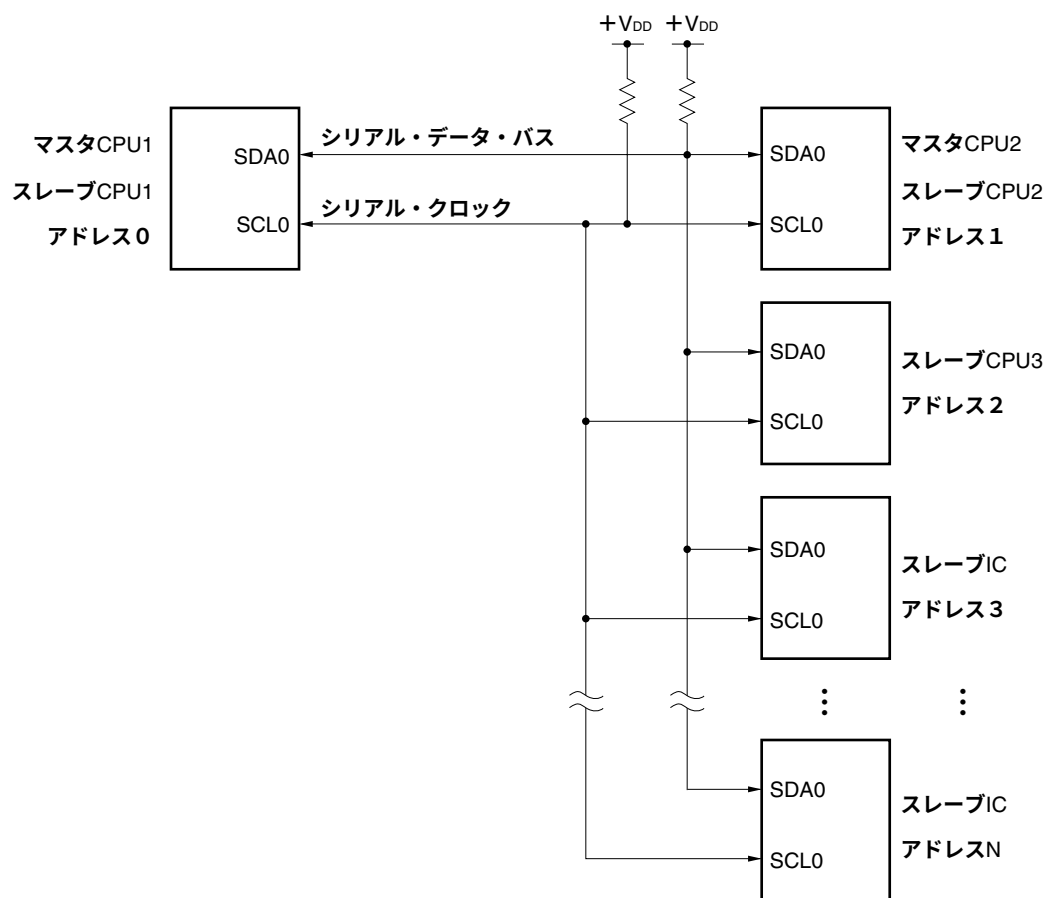
図18-1 シリアル・インタフェースIIC0のブロック図



備考 78K0/KB2の製品は、EXSCL0端子を搭載していません。

図18-2にシリアル・バス構成例を示します。

図18-2 I²Cバスによるシリアル・バス構成例



18.2 シリアル・インタフェースIIC0の構成

シリアル・インタフェースIIC0は、次のハードウェアで構成されています。

表18-1 シリアル・インタフェースIIC0の構成

項 目	構 成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICフラグ・レジスタ0 (IICF0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICシフト・レジスタ0 (IIC0)

IIC0は、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

IIC0に対する書き込み／読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIIC0への書き込みにより、ウェイトを解除し、データ転送を開始します。

IIC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-3 IICシフト・レジスタ0 (IIC0) のフォーマット

アドレス：FFA5H		リセット時：00H		R/W				
略号	7	6	5	4	3	2	1	0
IIC0								

- 注意1. データ転送中はIIC0にデータを書き込まないでください。
2. IIC0には、ウェイト期間中にだけ、書き込み／読み出しをしてください。ウェイト期間中を除く通信状態でのIIC0へのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。
- ★ 3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIIC0にデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

- ★ スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVA0レジスタは、8ビット・メモリ操作命令で設定します。

ただし、STD0 = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図18-4 スレーブ・アドレス・レジスタ0 (SVA0) のフォーマット

アドレス：FFA7H	リセット時：00H	R/W						
略号	7	6	5	4	3	2	1	0
SVA0								0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIIC0) を発生させる回路です。

(5) プリスケアラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC0) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定)

備考 WTIM0ビット : IICコントロール・レジスタ0 (IICC0) のビット3
SPIE0ビット : " のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

STT0ビットがセット (1) されるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICRSVビット = 1) で、かつバスが解放されていない (IICBSYビット = 1) 場合には、スタート・コンディション要求は無視し、STCFビットをセット (1) します。

(13) ストップ・コンディション生成回路

SPT0ビットがセット (1) されるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STT0ビット	:	IICコントロール・レジスタ0 (IICC0)	のビット1
	SPT0ビット	:	"	のビット0
	IICRSVビット	:	IICフラグ・レジスタ0 (IICF0)	のビット0
	IICBSYビット	:	"	のビット6
	STCFビット	:	"	のビット7
	STCENビット	:	"	のビット1

18.3 シリアル・インタフェースIIC0を制御するレジスタ

シリアル・インタフェースIIC0は、次の7種類のレジスタで制御します。

- IICコントロール・レジスタ0 (IICC0)
- IICフラグ・レジスタ0 (IICF0)
- IIC状態レジスタ0 (IICS0)
- IICクロック選択レジスタ0 (IICCL0)
- IIC機能拡張レジスタ0 (IICX0)
- ポート・モード・レジスタ6 (PM6)
- ポート・レジスタ6 (P6)

(1) IICコントロール・レジスタ0 (IICC0)

I²Cの動作許可／停止，ウェイト・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIE0、WTIM0、ACKE0ビットは、IICE0ビット = 0のとき、またはウェイト期間中に設定してください。またIICE0ビットを"0"から"1"に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (1/4)

アドレス：FFA6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICC0	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² Cの動作許可
0	動作停止。IIC状態レジスタ0 (IICS0) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0 = 0)	
・命令によるクリア ・リセット時	
セットされる条件 (IICE0 = 1)	
・命令によるセット	

LREL0 注2, 3	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICコントロール・レジスタ0 (IICC0) , IIC状態レジスタ0 (IICS0) のうち、次のフラグがクリア (0) される。 ・STT0 ・SPT0 ・MSTS0 ・EXC0 ・COI0 ・TRC0 ・ACKD0 ・STD0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ストップ・コンディション検出後、マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL0 = 0)	
・実行後、自動的にクリア ・リセット時	
セットされる条件 (LREL0 = 1)	
・命令によるセット	

WREL0 注2, 3	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWREL0をセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WREL0 = 0)	
・実行後、自動的にクリア ・リセット時	
セットされる条件 (WREL0 = 1)	
・命令によるセット	

注1. リセットされるのは、IICS0レジスタ、IICF0レジスタのSTCF0、IICBSYビット、IICCL0レジスタのCLD0、DAD0ビットです。

2. IICE0 = 0の状態では、このビットの信号は無効になります。

★

3. LREL0, WREL0ビットの読み出し値は常に0になります。

★

注意 SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCL0レジスタのDFC0 = 1) のときにI²Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I²Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LREL0をセット (1) してください。

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (2/4)

SPIE0 ^{注1}	ストップ・コンディション検出による割り込み要求発生の許可／禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0 = 0)		セットされる条件 (SPIE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIMO ^{注1}	ウェイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合：8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合：8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合：9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合：9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ（ACK）発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。	
クリアされる条件（WTIMO = 0）	セットされる条件（WTIMO = 1）
・ 命令によるクリア ・ リセット時	・ 命令によるセット

ACE0 ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACE0 = 0)		セットされる条件 (ACE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注1. IICE0 = 0の状態では, このフラグの信号は無効になります。

2. アドレス転送中で, かつ拡張コードでない場合, 設定値は無効です。

スレーブかつアドレスが一致した場合は, 設定値に関係なくアクノリッジを生成します。

★

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (3/4)

STT0 ^注	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSYビットが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： - 通信予約機能許可の場合（IICRSV = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 - 通信予約機能禁止の場合（IICRSV = 1） セット（1）してもSTT0ビットはクリアされ，STT0クリア・フラグ（STCF）がセット（1）される。スタート・コンディションは生成しない。 ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。
セット・タイミングに関する注意 - マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。 - マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 - ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。 - STT0ビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。	
クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
- 通信予約禁止状態でのSTT0ビットのセット（1） - アービトレーションに負けたとき - マスタでのスタート・コンディション生成 - LREL0 = 1（通信退避）によるクリア - IICE0 = 0（動作停止）のとき - リセット時	命令によるセット

注 IICE0 = 0の状態では，このフラグの信号は無効になります。

備考1. ビット1（STT0）は，データ設定後に読み出すと0になっています。

2. IICRSV : IICフラグ・レジスタ（IICF0）のビット0
STCF : " のビット7

★

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 ・スタート・コンディション・トリガ（STT0）と同時にセット（1）することは禁止です。 ・SPT0ビットのセット（1）は、マスタのときのみ行ってください。 ・WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0ビットをセット（1）すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM0 = 0→1に設定し、9クロック目出力後のウェイト期間中にSPT0ビットをセット（1）してください。 ・SPT0ビットをセット（1）後、クリア（0）する前に、再度セット（1）することは禁止です。	
クリアされる条件（SPT0 = 0）	セットされる条件（SPT0 = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注意 IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1（送信状態）のとき、9クロック目にIICC0レジスタのビット5 (WREL0) をセット（1）してウェイト解除すると、TRC0ビットをクリア（受信状態）してSDA0ラインをハイ・インピーダンスにします。TRC = 1（送信状態）におけるウェイト解除は、IICシフト・レジスタ0 (IIC0) への書き込みで行ってください。

備考 ビット0 (SPT0) は、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I²Cのステータスを表すレジスタです。

IICS0は、STT0 = 1およびウェイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 IICS0レジスタからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック（f_{PRS}）が停止しているときに、IICS0レジスタからデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。

図18-6 IIC状態レジスタ0 (IICS0) のフォーマット (1/3)

アドレス：FFAAH リセット時：00H R

略号	7	6	5	4	3	2	1	0
ICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		セットされる条件 (MSTS0 = 1)
・ストップ・コンディション検出時 ・ALD0 = 1 (アービトレーション負け) のとき ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・スタート・コンディション生成時

ALD0	アービトレーション負け検出	
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。	
クリアされる条件 (ALD0 = 0)		セットされる条件 (ALD0 = 1)
• IICS0レジスタ読み出し後、自動的にクリア[※] • IICE0 = 1→0 (動作停止) のとき • リセット時		• アービトレーションに負けたとき

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0 = 0)		セットされる条件 (EXC0 = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

注 IICS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。
したがって、ALD0ビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6
IICE0 : " のビット7

図18-6 IIC状態レジスタ0 (IICSR0) のフォーマット (2/3)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI0 = 0)		セットされる条件 (COI0 = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ0 (SVA0)) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDA0ラインをハイ・インピーダンスにする。
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。
クリアされる条件（TRC0 = 0） ＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・WREL0 = 1（ウェイト解除）によるクリア[※] ・ALD0 = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTS0, EXC0, COI0 = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき セットされる条件（TRC0 = 1） ＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき	

注 IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1 (送信状態) のとき、9クロック目にIICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) をセット (1) してウェイトを解除すると、TRC0 をクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC0 = 1 (送信状態) におけるウェイト解除は、IICシフト・レジスタ0への書き込みで行ってください。

備考 LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6
IICE0 : " のビット7

図18-6 IIC状態レジスタ0 (IICS0) のフォーマット (3/3)

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD0 = 0)		セットされる条件 (ACKD0 = 1)
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・SCL0ラインの9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STD0 = 0)		セットされる条件 (STD0 = 1)
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・スタート・コンディション検出時

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPD0 = 0)		セットされる条件 (SPD0 = 1)
・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・ストップ・コンディション検出時

備考 LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6

IICE0 : " のビット7

(3) IICフラグ・レジスタ0 (IICF0)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STT0クリア・フラグ (STCF) , I²Cバス状態フラグ (IICBSY) は読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止／許可を設定します。

またSTCENビットにより、IICBSYビットの初期値を設定します。

IICRSV, STCENビットはI²Cが動作禁止 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICF0レジスタは読み出し可能となります。

リセット信号の発生により、00Hになります。

図18-7 IICフラグ・レジスタ0 (IICF0) のフォーマット

アドレス：FFABH リセット時：00H R/W[※]

略号	7	6	5	4	3	2	1	0
IICF0	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STT0フラグ・クリア。
クリアされる条件 (STCF = 0)	
• STT0 = 1によるクリア • IICE0 = 0 (動作停止) のとき • リセット時	
セットされる条件 (STCF = 1)	
• 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず、STT0ビットがクリア (0) されたとき	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
• ストップ・コンディション検出時 • IICE0 = 0 (動作停止) のとき • リセット時	
セットされる条件 (IICBSY = 1)	
• スタート・コンディション検出時 • STCEN = 0時のIICE0ビットのセット	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE0 = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICE0 = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
• スタート・コンディション検出時 • リセット時	
セットされる条件 (STCEN = 1)	
• 命令によるセット	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
• 命令によるクリア • リセット時	
セットされる条件 (IICRSV = 1)	
• 命令によるセット	

注 ビット6, 7はRead onlyです。

注意1. STCENビットへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

2. STCEN = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVビットへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1
 IICE0 : " のビット7

(4) IICクロック選択レジスタ0 (IICCL0)

I²Cの転送クロックを設定するレジスタです。

IICCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0、DAD0ビットは読み出しのみ可能です。SMC0、CL01、CL00ビットは、IIC機能拡張レジスタ0 (IICX0) のビット0 (CLX0) と組み合わせて設定します (18.3 (6) I²Cの転送クロックの設定方法を参照)。

IICCL0は、IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0のときに設定してください。リセット信号の発生により、00Hになります。

図18-8 IICクロック選択レジスタ0 (IICCL0) のフォーマット

アドレス：FFA8H リセット時：00H R/W[※]

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL0端子のレベル検出 (IICE0 = 1のときのみ有効)
0	SCL0端子がロウ・レベルであることを検出
1	SCL0端子がハイ・レベルであることを検出
クリアされる条件 (CLD0 = 0)	
・ SCL0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時	
セットされる条件 (CLD0 = 1)	
・ SCL0端子がハイ・レベルのとき	

DAD0	SDA0端子のレベル検出 (IICE0 = 1のときのみ有効)
0	SDA0端子がロウ・レベルであることを検出
1	SDA0端子がハイ・レベルであることを検出
クリアされる条件 (DAD0 = 0)	
・ SDA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時	
セットされる条件 (DAD0 = 1)	
・ SDA0端子がハイ・レベルのとき	

SMC0	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。	
高速モード時はDFC0のセット (1) / クリア (0) により、転送クロックが変化することはありません。	
デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注 ビット4, 5はRead Onlyです。

備考 IICE0：IICコントロール・レジスタ0 (IICC0) のビット7

(5) IIC機能拡張レジスタ0 (IICX0)

I²Cの機能拡張を設定するレジスタです。

IICX0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。CLX0ビットはIICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) と組み合わせて設定します (18.3

(6) I²Cの転送クロックの設定方法を参照)。

IICX0は、IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0のときに設定してください。

リセット信号の発生により、00Hになります。

図18-9 IIC機能拡張レジスタ0 (IICX0) のフォーマット

アドレス：FFA9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICX0	0	0	0	0	0	0	0	CLX0

(6) I²Cの転送クロックの設定方法

I²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

$m = 12, 18, 24, 44, 66, 86$ (表18-2 選択クロックの設定参照)

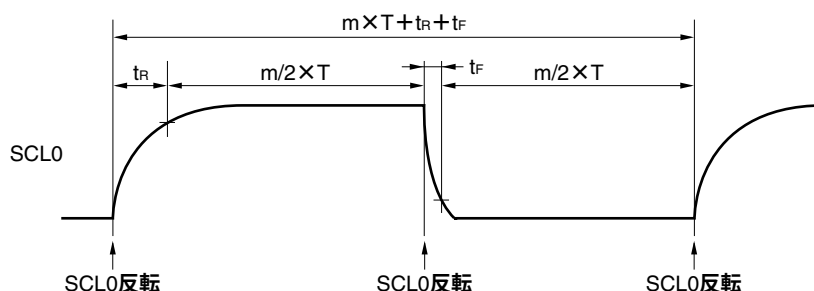
$T : 1/f_W$

t_R : SCL0立ち上がり時間

t_F : SCL0立ち下がり時間

たとえば、 $f_W = f_{PRS}/2 = 4.19 \text{ MHz}$, $m = 86$, $t_R = 200 \text{ ns}$, $t_F = 50 \text{ ns}$ の場合のI²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (86 \times 238.7 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 48.1 \text{ kHz}$$



選択クロックは、IICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) とIIC機能拡張レジスタ0 (IICX0) のビット0 (CLX0) を組み合わせて設定します。

表18-2 選択クロックの設定

IICX0	IICCL0			選択クロック (f _w) 注1,2	転送クロック (f _w /m)	設定可能な選択クロック (f _w) の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLX0	SMC0	CL01	CL00				
0	0	0	0	f _{PRS} /2	f _w /44	2.00 MHz～4.19 MHz	標準モード (SMC0ビット = 0)
0	0	0	1	f _{PRS} /2	f _w /86	4.19 MHz～8.38 MHz	
0	0	1	0	f _{PRS} /4	f _w /86		
0	0	1	1	f _{EXSCL0} 注3,4	f _w /66	6.4 MHz	
0	1	0	x	f _{PRS} /2	f _w /24	4.00 MHz～8.38 MHz	高速モード (SMC0ビット = 1)
0	1	1	0	f _{PRS} /4	f _w /24		
0	1	1	1	f _{EXSCL0} 注3,4	f _w /18	6.4 MHz	
1	0	x	x	設定禁止			
1	1	0	x	f _{PRS} /2	f _w /12	4.00 MHz～4.19 MHz	高速モード (SMC0ビット = 1)
1	1	1	0	f _{PRS} /4	f _w /12		
1	1	1	1	設定禁止			

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧と製品規格により、使用できる周波数が異なります。

電源電圧	従来規格品 (μ PD78F05xx, 78F05xxD)	拡張規格品 (μ PD78F05xxA, 78F05xxDA)
4.0 V ≤ V _{DD} ≤ 5.5 V	f _{PRS} ≤ 20 MHz	f _{PRS} ≤ 20 MHz
2.7 V ≤ V _{DD} < 4.0 V	f _{PRS} ≤ 10 MHz	
1.8 V ≤ V _{DD} < 2.7 V (標準品, (A) 水準品のみ)	f _{PRS} ≤ 5 MHz	f _{PRS} ≤ 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

2. 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{XH}) で動作している (XSEL = 0) 場合、CLX0, SMC0, CL01, CL00を次のように設定してください。

IICX0	IICCL0			選択クロック (f _w)	転送クロック (f _w /m)	設定可能な選択クロック (f _w) の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLX0	SMC0	CL01	CL00				
0	0	0	0	f _{PRS} /2	f _w /44	3.8 MHz~4.2 MHz	標準モード (SMC0ビット = 0)
0	1	0	x	f _{PRS} /2	f _w /24		高速モード (SMC0ビット = 1)

3. 78K0/KB2の製品は、EXSCL0端子を搭載していないため、設定禁止です。

4. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、EXSCL0端子からの外部クロックで通信動作を開始させないでください。

注意 動作許可 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 1) する前に、CLX0, SMC0, CL01, CL00でI²Cの転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (0) してください。

備考1. x : don't care

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. f_{EXSCL0} : EXSCL0端子からの外部クロック周波数

(7) ポート・モード・レジスタ6 (PM6)

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE0 (IICコントロール・レジスタ0 (IICC0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICE0に1を設定してから, 行ってください。

PM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図18-10 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス: FF26H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は, 78K0/KF2製品のポート・モード・レジスタ6のフォーマットです。他の製品のポート・モード・レジスタ6のフォーマットについては,

5. 3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

18.4 I²Cバス・モードの機能

18.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0……シリアル・クロックを入出力するための端子。

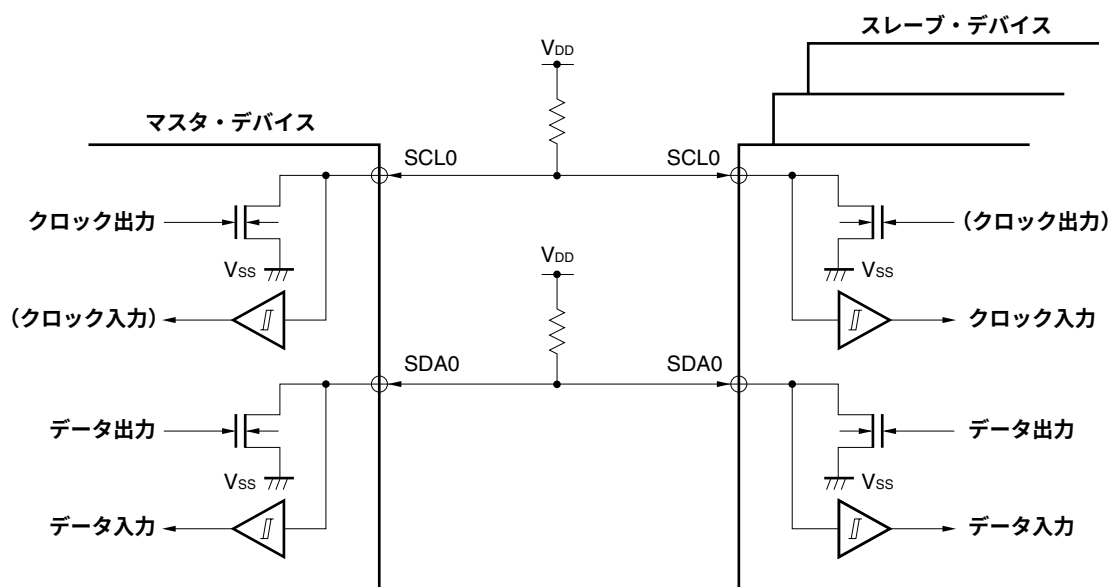
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0……シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図18-11 端子構成図

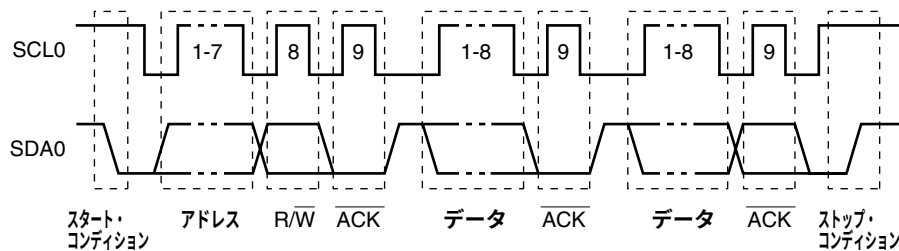


18.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図18-12に示します。

図18-12 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

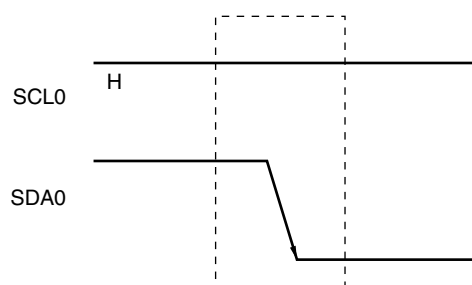
アクノリッジ (ACK) は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は，マスタが出力し続けます。ただし，スレーブはSCL0のロウ・レベル期間を延長し，ウエイトを挿入できます。

18.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに，SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子，SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図18-13 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態 (SPD0: IIC状態レジスタ0 (IICS0) のビット0 = 1) のときにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると出力されます。また，スタート・コンディションを検出すると，IICS0のビット1 (STD0) がセット (1) されます。

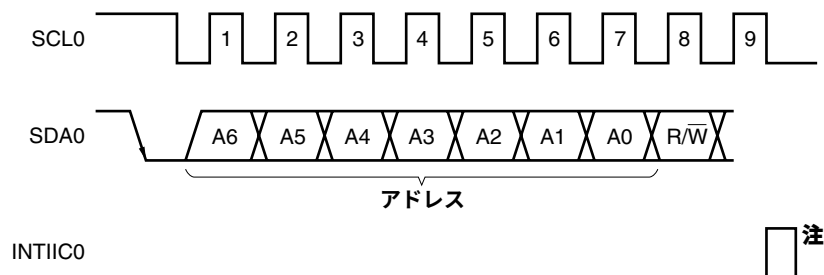
18. 5. 2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図18-14 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

アドレスは、スレーブのアドレスと18. 5. 3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0 (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

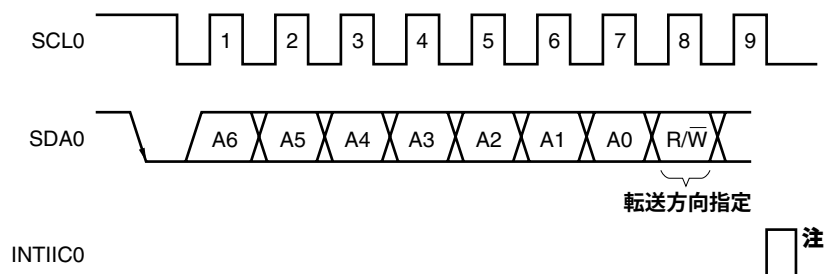
なお、スレーブのアドレスは、IIC0レジスタの上位7ビットに割り当てられます。

18. 5. 3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図18-15 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

18.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IIC状態レジスタ0 (IICS0) のビット2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

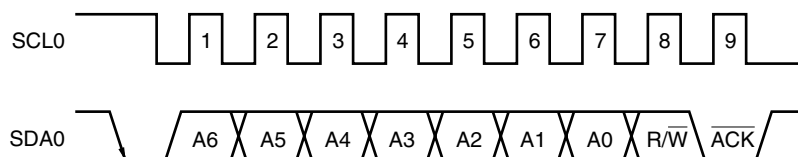
アクノリッジ生成は、受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます (正常受信)。

IICコントロール・レジスタ0 (IICC0) のビット2 (ACKE0) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3 (TRC0) が設定されます。受信 (TRC0 = 0) の場合は、通常、ACKE0ビットをセット (1) してください。

スレーブ受信動作時 (TRC0 = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKE0ビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0 = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図18-16 アクノリッジ



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKE0ビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

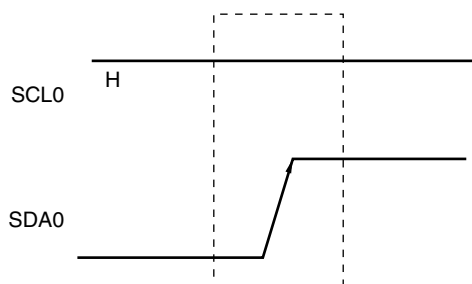
- ・8クロック・ウェイト選択時 (IICC0レジスタのビット3 (WTIM0) = 0) :
ウェイト解除を行う前にACKE0ビットをセット (1) することによって、SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時 (IICC0レジスタのビット3 (WTIM0) = 1) :
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

18.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図18-17 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ0 (IICC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ0 (IICS0) のビット0 (SPD0) がセット (1) され、IICC0レジスタのビット4 (SPIE0) がセット (1) されている場合にはINTIIC0が発生します。

18.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図18-18 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

（マスタ：送信，スレーブ：受信，ACKE0 = 1）

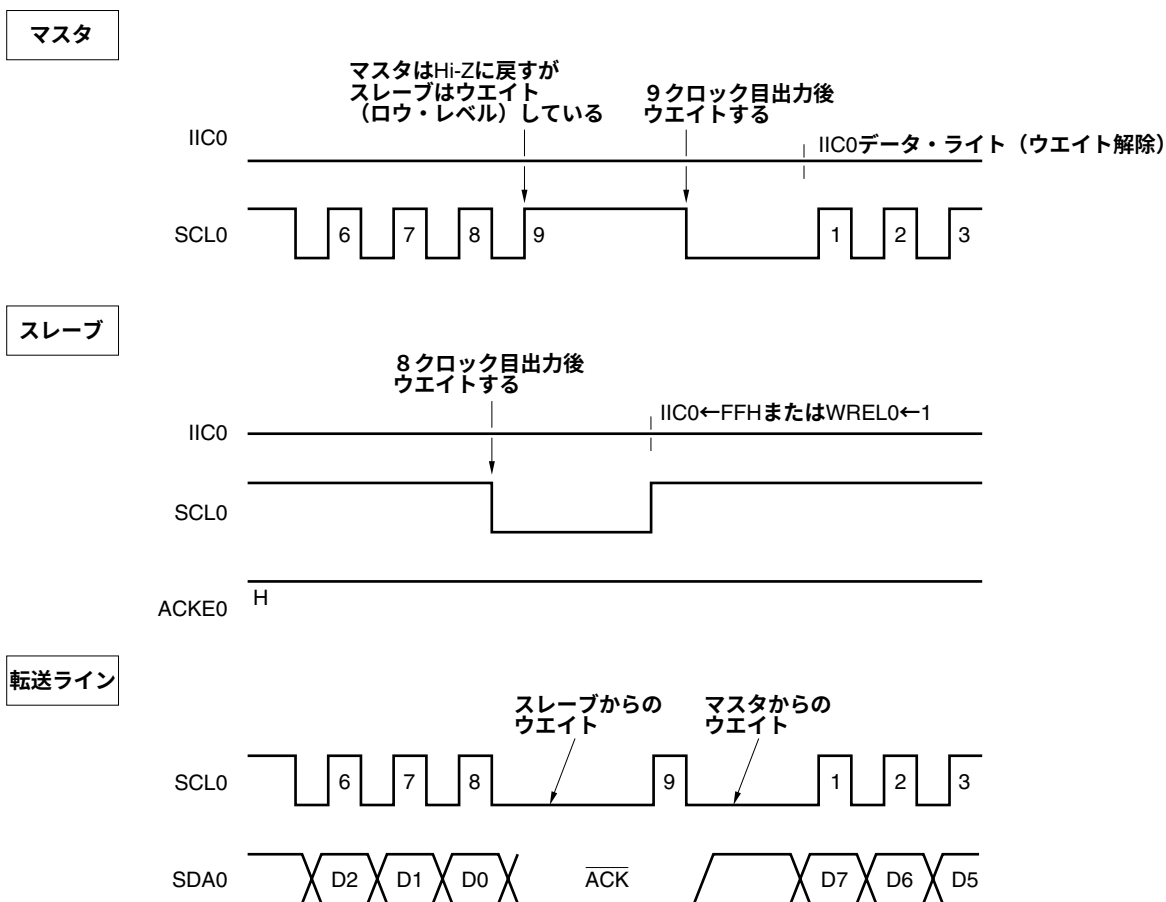
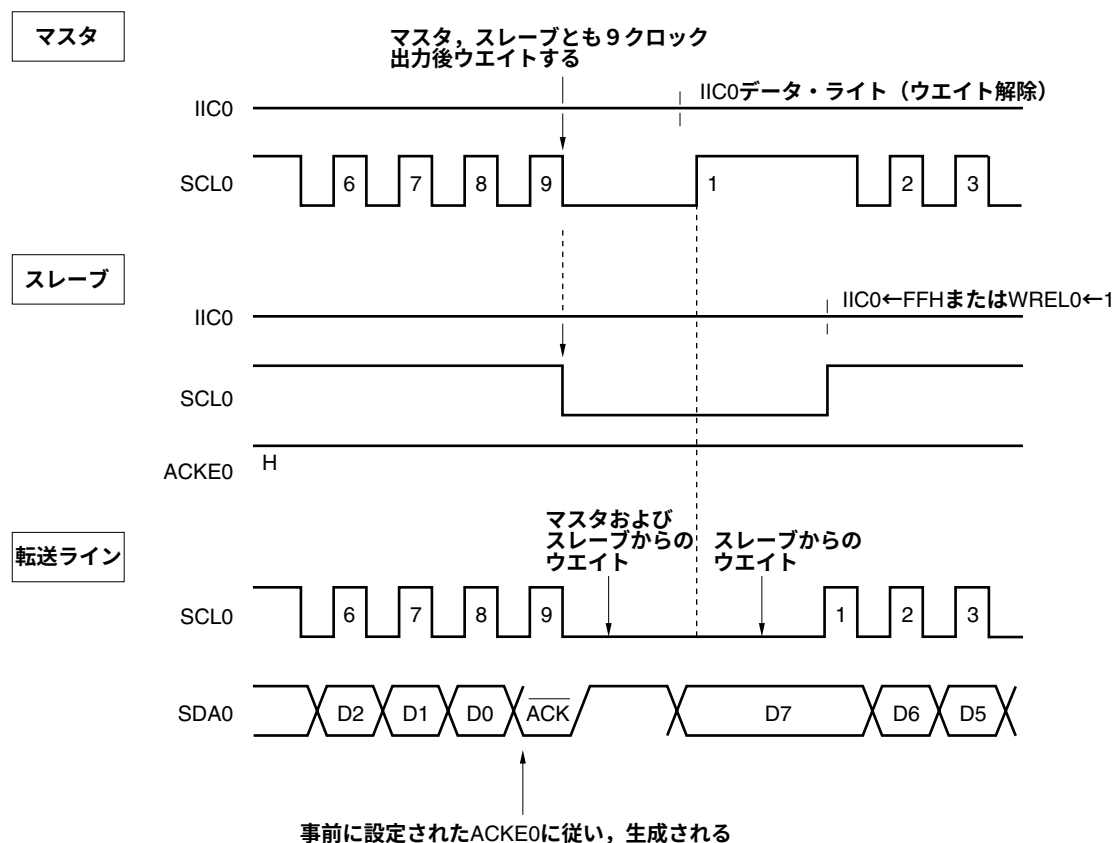


図18-18 ウェイト (2/2)

(2) マスタ、スレーブとも9クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)

**備考** ACKE0 : IICコントロール・レジスタ0 (IICC0) のビット2

WREL0 : " のビット5

ウェイトは，IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定により自動的に発生します。

通常，受信側はIICC0レジスタのビット5 (WREL0) = 1またはIICシフト・レジスタ0 (IIC0) にFFHを書き込むとウェイトを解除し，送信側はIIC0レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は，次の方法でもウェイトを解除できます。

- IICC0レジスタのビット1 (STT0) = 1
- IICC0レジスタのビット0 (SPT0) = 1

18.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- IICシフト・レジスタ0 (IIC0) へのデータ書き込み
- IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) のセット (ウェイト解除)
- IIC0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- IIC0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IIC0レジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IIC0コントロール・レジスタ0 (IICC0) のビット5 (WREL0) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICC0レジスタのビット1 (STT0) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICC0レジスタのビット0 (SPT0) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0ビットにセット (1) によるウェイト解除後、IIC0レジスタへのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIIC0への書き込みタイミングの競合により、SDA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0ビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICC0レジスタのビット6 (LREL0) をセット (1) すると通信から退避するので、ウェイトを解除できます。

18. 5. 8 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定で、表18-3に示すタイミングでINTIIC0が発生し、また、ウェイト制御を行います。

表18-3 INTIIC0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
- また、このとき、IICC0レジスタのビット2 (ACKE0) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0が発生します。
- ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIIC0が発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ／スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ／スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- IICシフト・レジスタ0 (IIC0) へのデータ書き込み
- IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) のセット (ウェイト解除)
- IIC0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- IIC0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

18. 5. 9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

18. 5. 10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICシフト・レジスタ0 (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

18. 5. 11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIIC0) を発生します。

スレーブ・アドレス・レジスタ0 (SVA0) に格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVA0レジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIIC0) は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXC0 = 1

・7ビット・データの一致 : COI0 = 1

備考 EXC0 : IIC状態レジスタ0 (IICS0) のビット5

COI0 : “ ” のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ0 (IICC0) のビット6 (LREL0) = 1に設定してください。次の通信待機状態にします。

表18-4 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説 明
0 0 0 0 0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1 0 xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1 1 1 1 0 xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

18. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STD0 = 1になる前にSTT0 = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IIC状態レジスタ0 (IICS0) のアービトレーション負けフラグ (ALD0) をセット (1) し, SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては, 18. 5. 17 I²C割り込み要求 (INTIIC0) の発生タイミングを参照してください。

備考 STD0 : IIC状態レジスタ0 (IICS0) のビット1

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

図18-19 アービトレーション・タイミング例

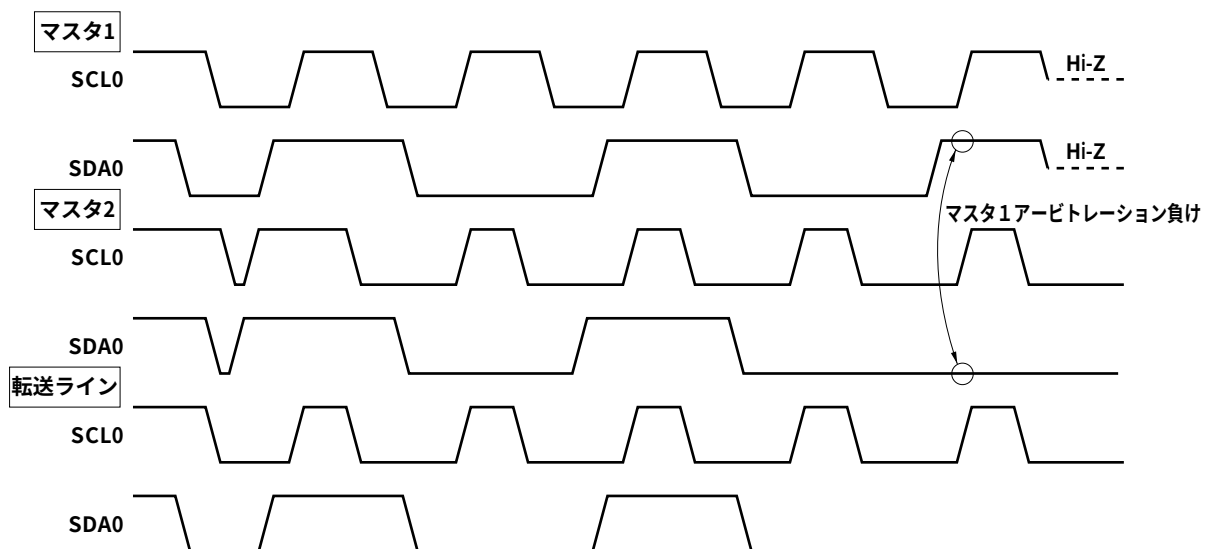


表18-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIM0ビット (IICコントロール・レジスタ0 (IICC0) のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0：IICコントロール・レジスタ0 (IICC0) のビット 4

18. 5. 13 ウェイク・アップ機能

I²Cのスレープ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIIC0) を発生する機能です。

アドレスが一致しないときは不要なINTIIC0信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも、アービトレーション負けでスレープになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICコントロール・レジスタ0 (IICC0) のビット4 (SPIE0) の設定によって、割り込み要求の発生許可／禁止が決定します。

18. 5. 14 通信予約

(1) 通信予約機能許可の場合 (IICフラグ・レジスタ0 (IICF0) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレープにもなれなかった場合
- ・拡張コードを受信してスレープとして動作しない（アクノリッジを返さず、IICコントロール・レジスタ0 (IICC0) のビット6 (LREL0) = 1でバスを解放した）とき

バスに不参加の状態、IICC0のビット1 (STT0) をセット (1) すると、バスが解放されたあと（ストップ・コンディション検出時）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICC0のビット4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIIC0) 発生でバスの解放を検出（ストップ・コンディション検出）したあと、IICシフト・レジスタ0 (IIC0) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IIC0に書き込まれたデータは、無効です。

STT0をセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するかどうかは、STT0ビットをセット (1) し、ウェイト時間をとったあと、MSTS0ビット (IIC状態レジスタ0 (IICS0) のビット7) で確認します。

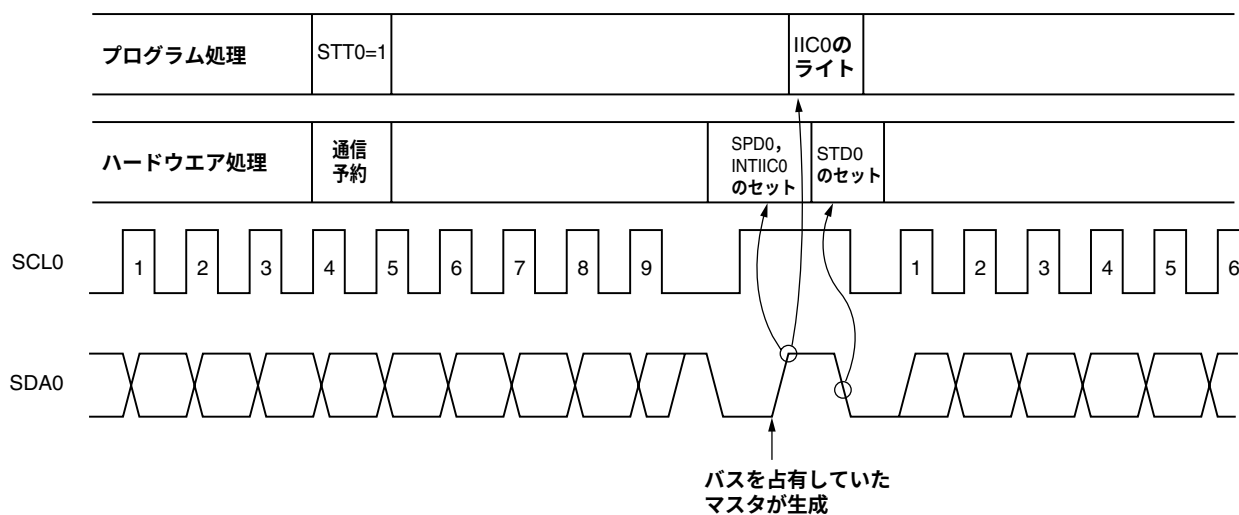
ウェイト時間は、表18-6に示す時間をソフトウェアにより確保してください。

表18-6 ウェイト時間

CLX0	SMC0	CL01	CL00	ウェイト時間
0	0	0	0	46クロック
0	0	0	1	86クロック
0	0	1	0	172クロック
0	0	1	1	34クロック
0	1	0	0	30クロック
0	1	0	1	
0	1	1	0	60クロック
0	1	1	1	12クロック
1	1	0	0	18クロック
1	1	0	1	
1	1	1	0	36クロック

通信予約のタイミングを図18-20に示します。

図18-20 通信予約のタイミング



備考 IIC0 : IICシフト・レジスタ0

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

STD0 : IIC状態レジスタ0 (IICS0) のビット1

SPD0 : " のビット0

通信予約は次のタイミングで受け付けられます。IIC状態レジスタ0 (IICS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) = 1で通信予約をします。

図18-21 通信予約受け付けタイミング

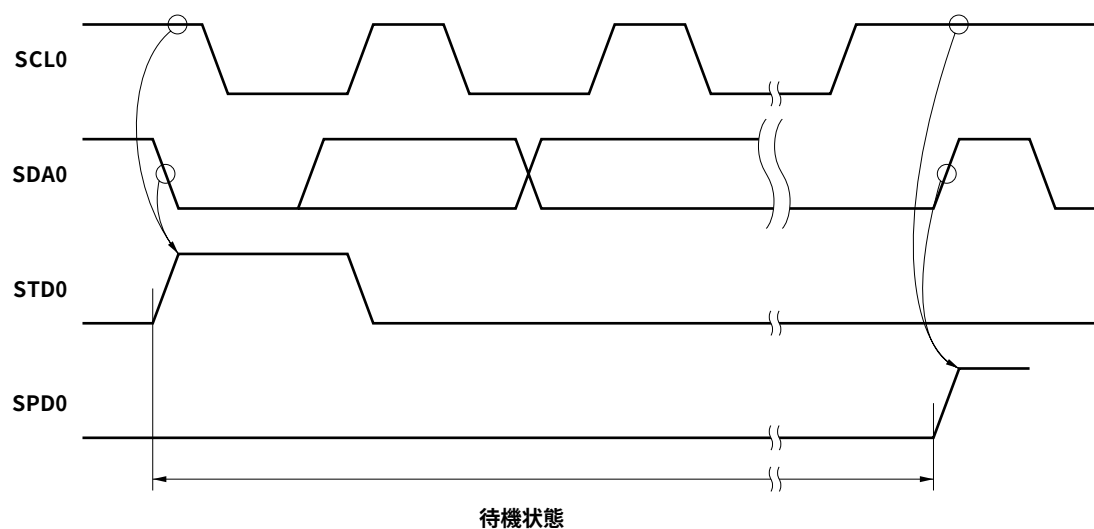
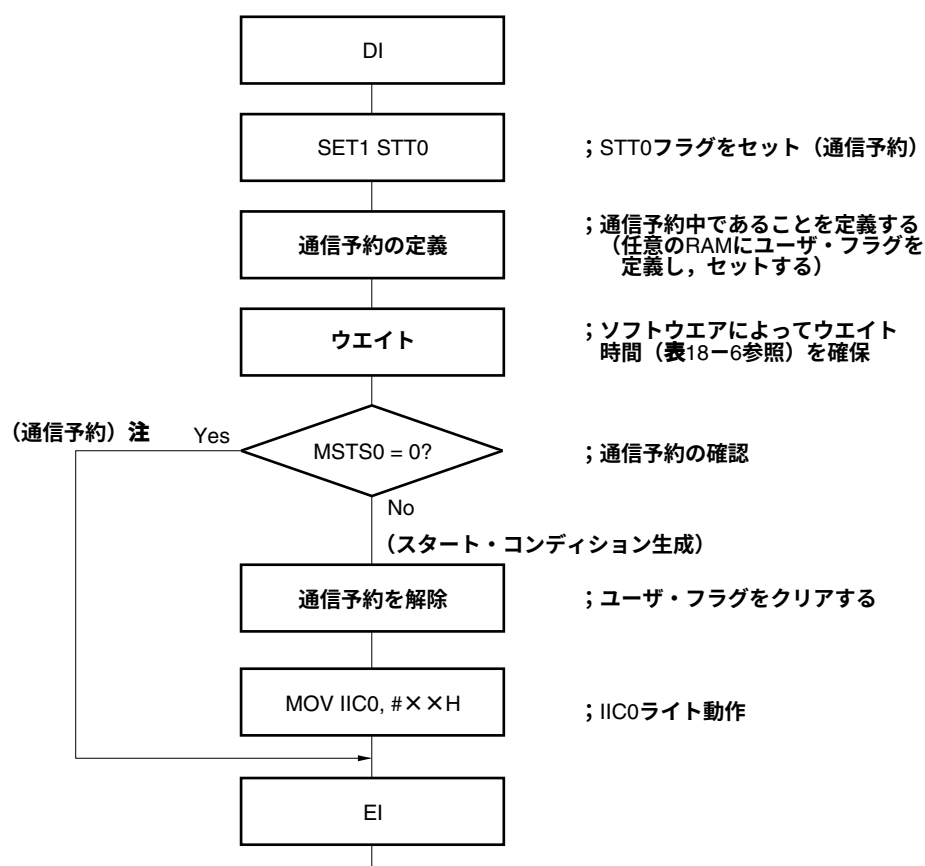


図18-22に通信予約の手順を示します。

図18-22 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込み要求でIICシフト・レジスタ0 (IIC0) への書き込みを実行します。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

MSTS0 : IIC状態レジスタ0 (IICS0) のビット7

IIC0 : IICシフト・レジスタ0

(2) 通信予約機能禁止の場合 (IICフラグ・レジスタ0 (IICF0) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態(IICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICC0レジスタのビット6 (LREL0) = 1でバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFフラグ (IICF0のビット7) で確認できます。STT0 = 1としてからSTCFフラグがセット (1) されるまで表18-7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表18-7 ウェイト時間

CL01	CL00	ウェイト時間
0	0	6クロック
0	1	6クロック
1	0	12クロック
1	1	3クロック

18. 5. 15 その他の注意事項

(1) STCEN (IICフラグ・レジスタ0 (IICF0) のビット1) = 0の場合

I²C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYフラグ (IICF0のビット6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICクロック選択レジスタ0 (IICCL0) を設定する
- ② IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) をセット (1) する
- ③ IICC0のビット0 (SPT0) をセット (1) する

(2) STCEN = 1の場合

I²C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT0 (IICコントロール・レジスタ0 (IICC0) のビット1) = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICC0レジスタのビット4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIIC0) 発生を禁止する
- ② IICC0レジスタのビット7 (IICE0) をセット (1) し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICE0ビットをセット (1) してから、4~80クロック中) に、IICC0レジスタのビット6 (LREL0) をセット (1) にし、強制的に検出を無効とする

(4) 動作許可 (IICE0 = 1) する前に、SMC0, CL01, CL00ビット (IICL0レジスタのビット3, 1, 0) , CLX0ビット (IICX0レジスタのビット0) で転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0ビットをクリア (1) してください。

(5) STT0, SPT0ビット (IICC0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

- (6) 送信予約をした場合には、SPIE0ビット（IICL0レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IIC状態レジスタ0（IICS0）に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0ビット（IIC状態レジスタ0（IICS0）のビット7）を検出する場合には、SPIE0ビットをセット（1）する必要はありません。

18.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定（1フレーム）期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

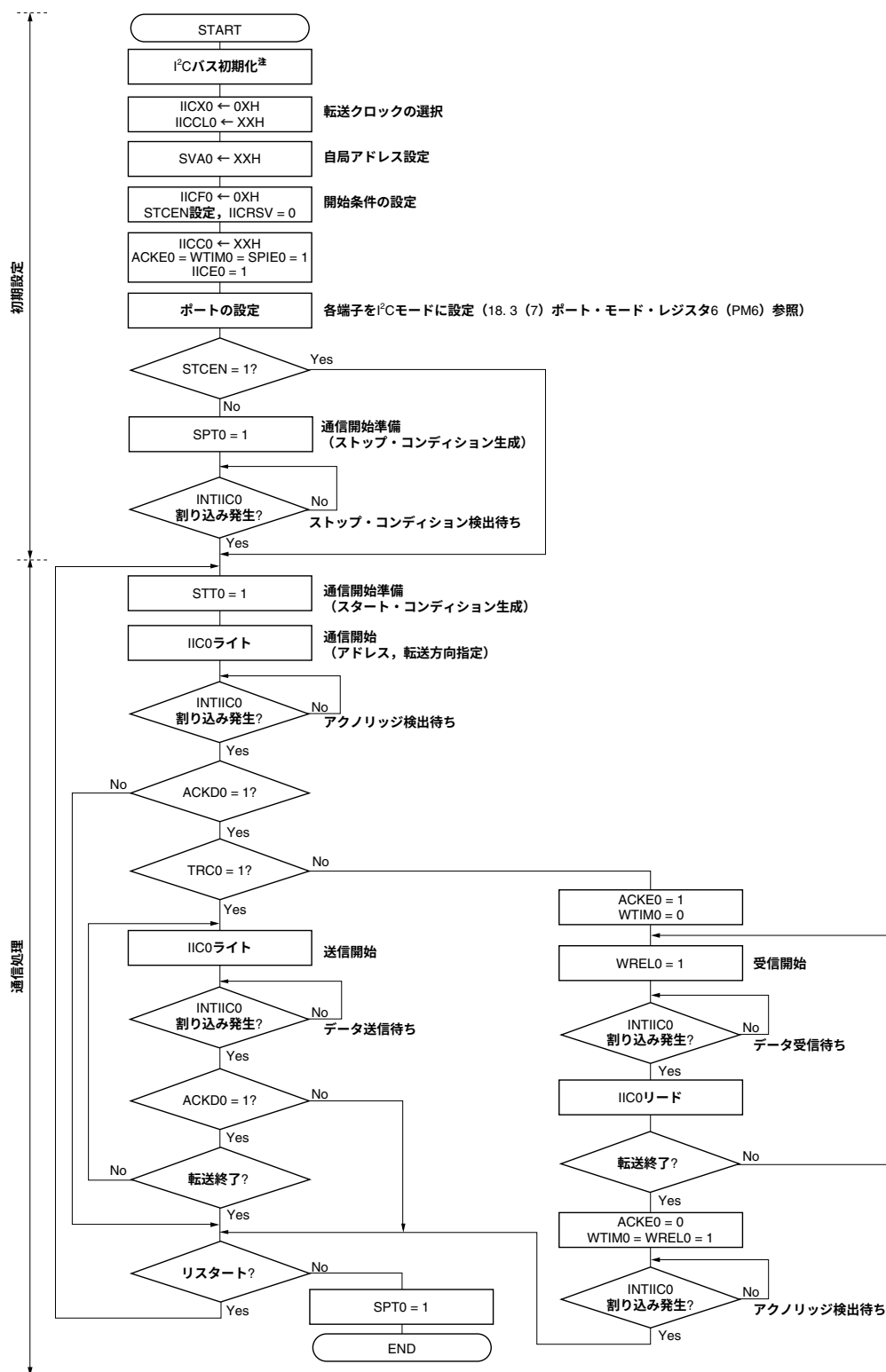
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIIC0割り込みの発生を待ちます。INTIIC0割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図18-23 シングルマスタ・システムでのマスタ動作



注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

(2) マルチマスタ・システムでのマスタ動作

図18-24 マルチマスタ・システムでのマスタ動作 (1/3)

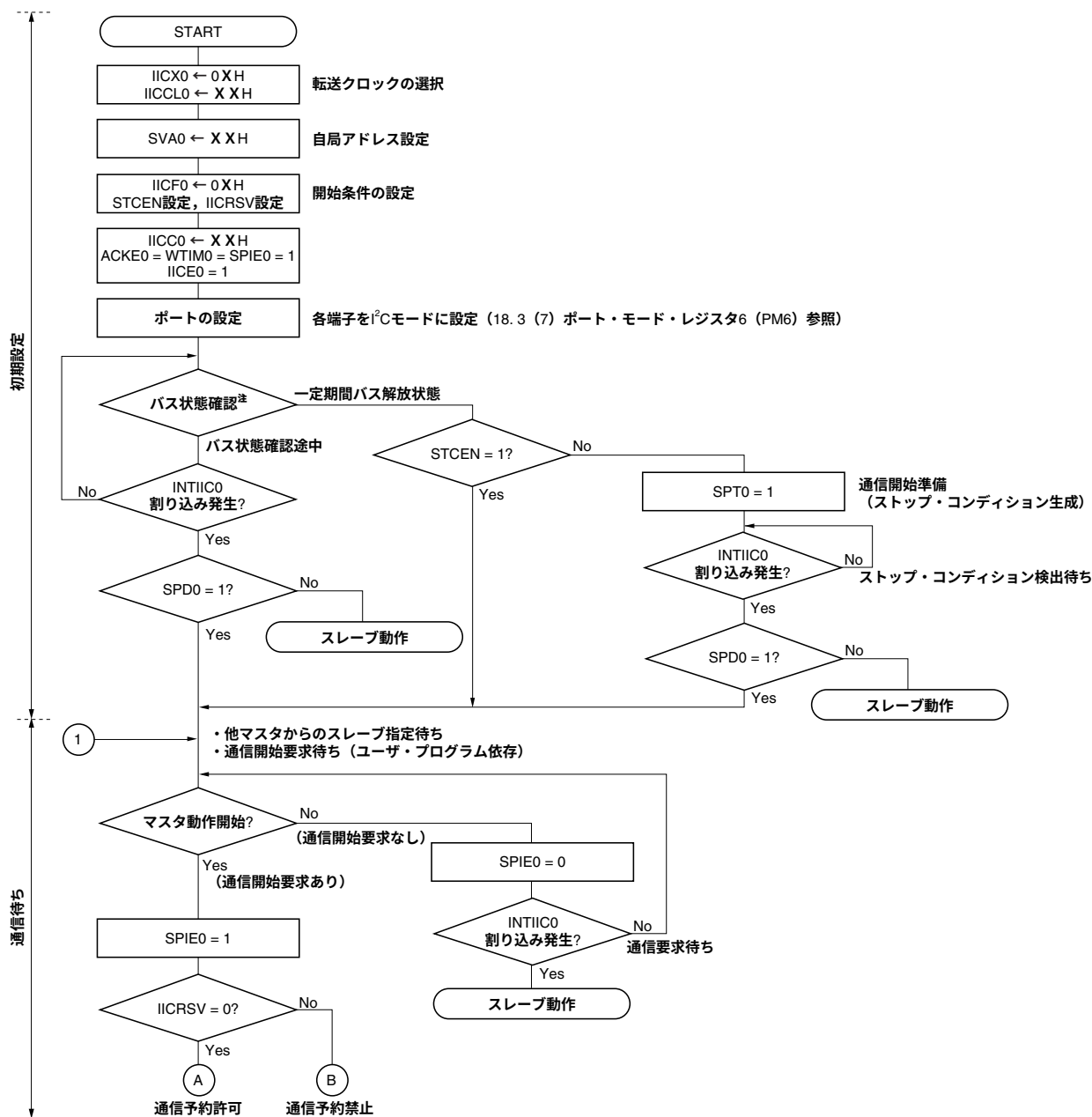


図18-24 マルチマスタ・システムでのマスタ動作 (2/3)

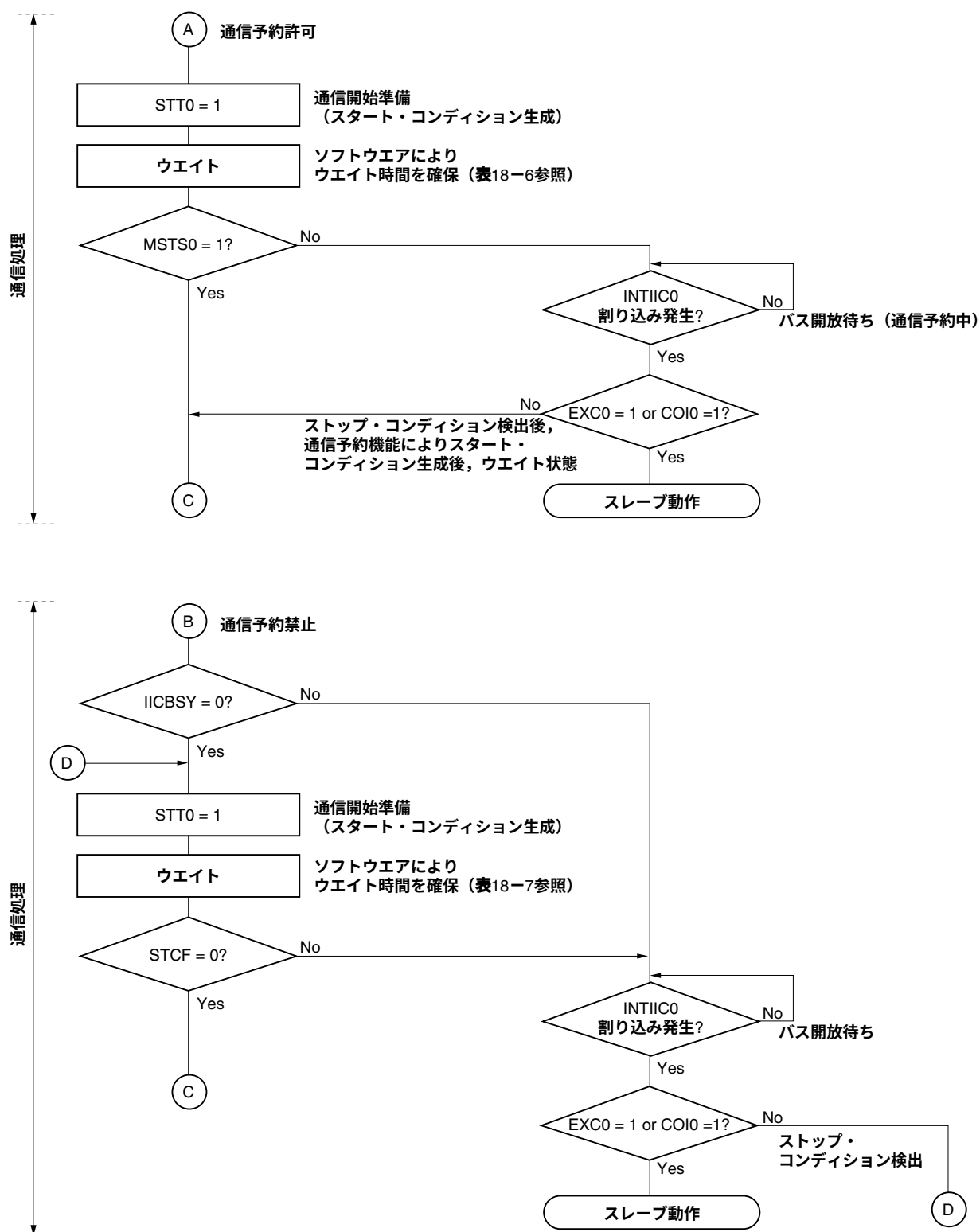
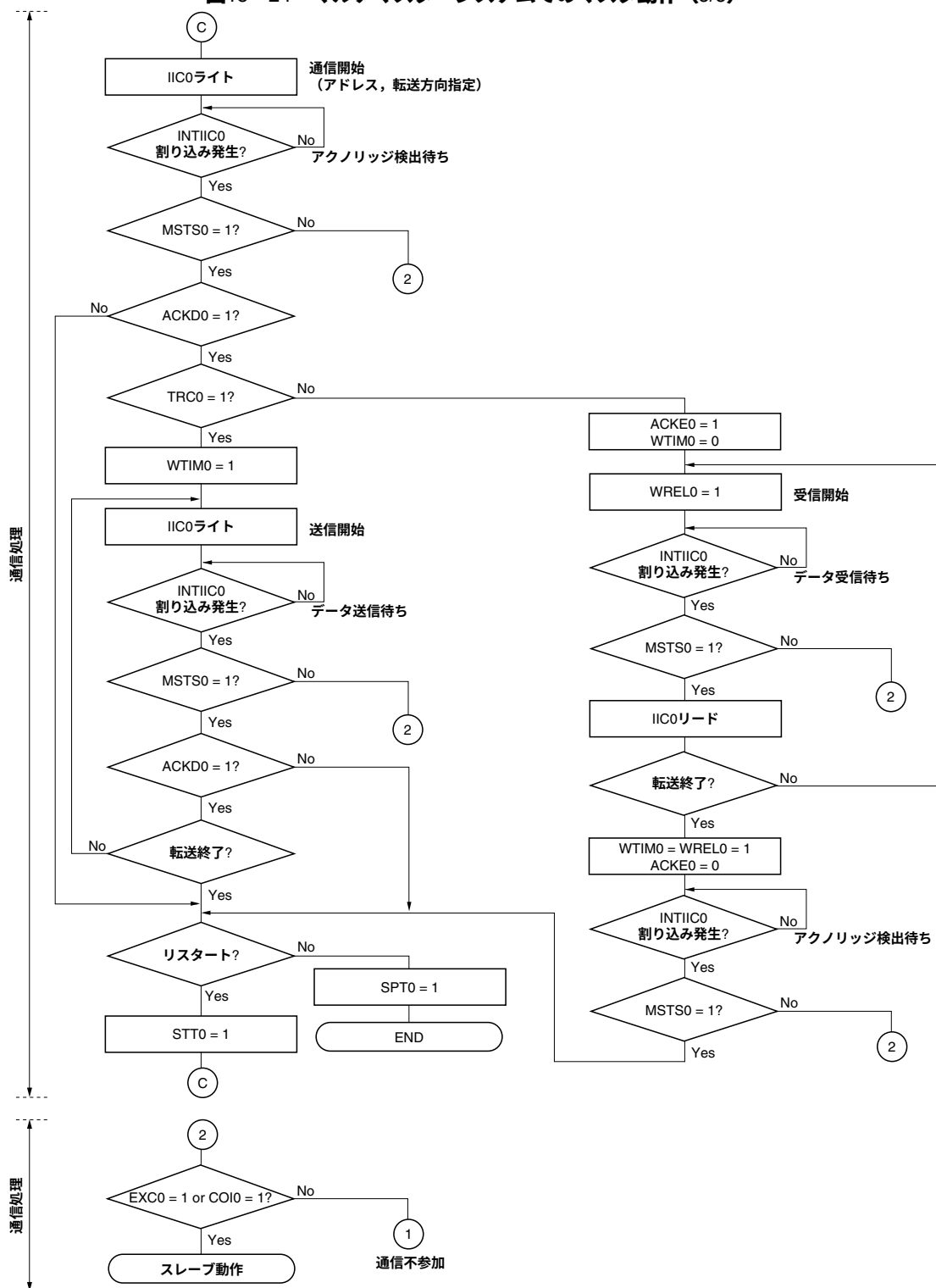


図18-24 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

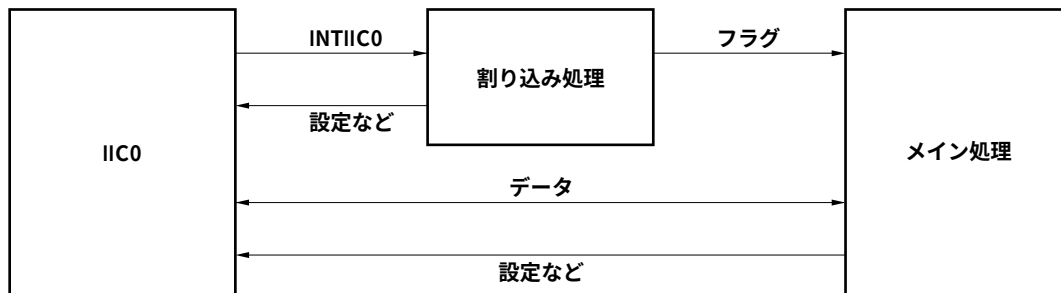
2. マルチマスタ・システムでマスタとして使用する場合は、INTIIC0割り込み発生ごとにMSTS0ビットをリロードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIIC0割り込み発生ごとにIICS0、IICF0レジスタでステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIIC0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIIC0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0の値と同じです。

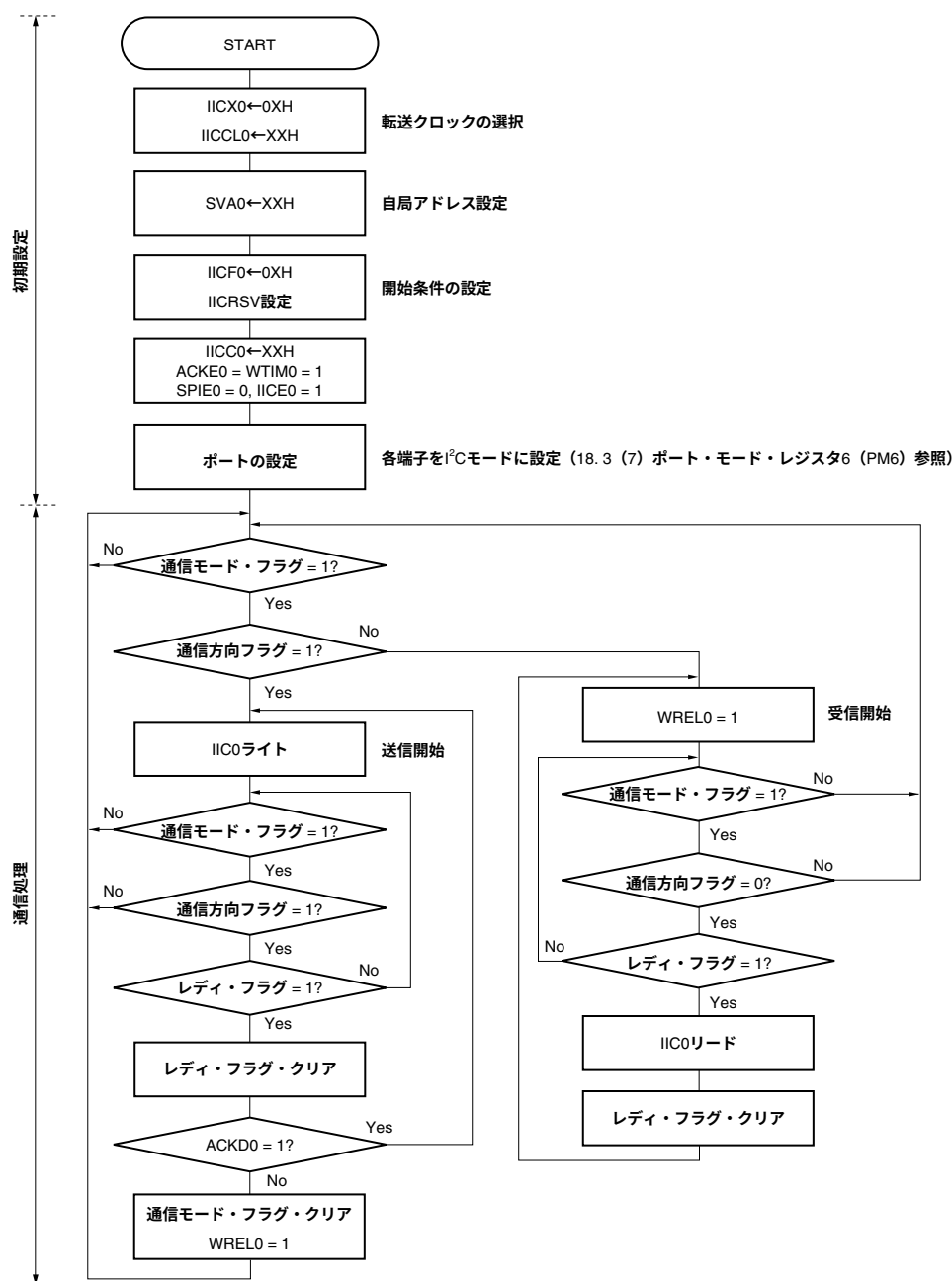
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIIC0を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図18-25 スレーブ動作手順 (1)



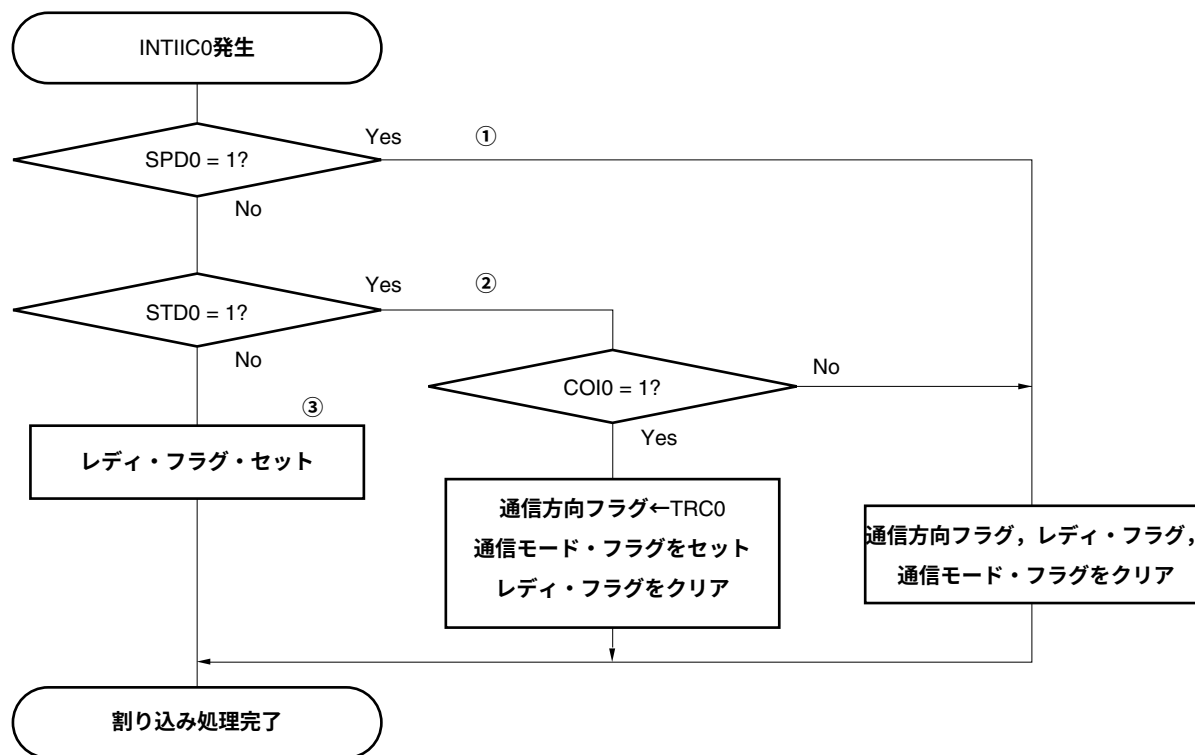
備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIIC0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIIC0割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図18-26 スレーブ動作手順（2）の①～③と対応しています。

図18-26 スレーブ動作手順（2）



18. 5. 17 I²C割り込み要求 (INTIIC0) の発生タイミング

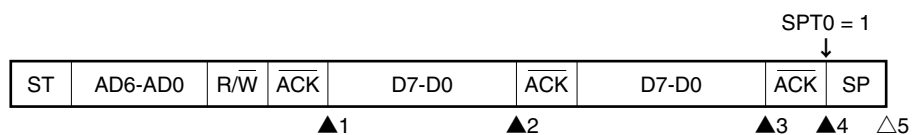
次に、データの送受信，INTIIC0割り込み要求信号発生タイミングと，INTIIC0信号タイミングでのIICS0レジスタの値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ $\overline{W}$: 転送方向指定
 $\overline{ACK}$: アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start～Address～Data～Data～Stop (送受信)

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 1000×110B

▲2 : IICS0 = 1000×000B

▲3 : IICS0 = 1000×000B (WTIM0をセット (1)) 注

▲4 : IICS0 = 1000××00B (SPT0をセット (1))

△5 : IICS0 = 00000001B

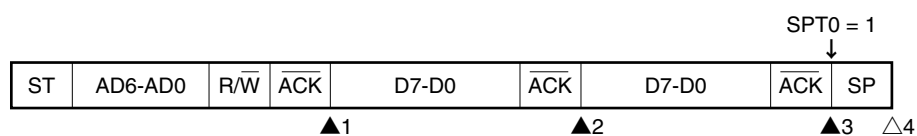
注 ストップ・コンディションを生成するために、WTIM0をセット (1) し、INTIIC0割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 1000×110B

▲2 : IICS0 = 1000×100B

▲3 : IICS0 = 1000××00B (SPT0をセット (1))

△4 : IICS0 = 00000001B

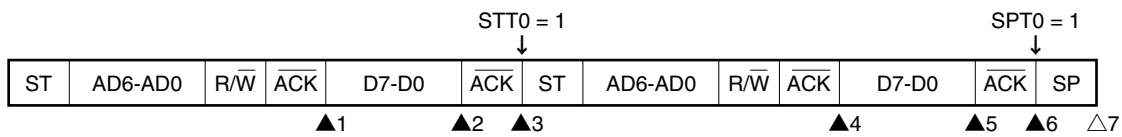
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000×000 B (WTIM0をセット (1) ^{注1})▲3 : IICS0 = 1000××00 B (WTIM0をクリア (0) ^{注2}, STT0をセット (1))

▲4 : IICS0 = 1000×110 B

▲5 : IICS0 = 1000×000 B (WTIM0をセット (1) ^{注3})

▲6 : IICS0 = 1000××00 B (SPT0をセット (1))

△7 : IICS0 = 00000001 B

注1. スタート・コンディションを生成するために、WTIM0をセット (1) し、INTIIC0割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために、WTIM0をクリア (0) してください。

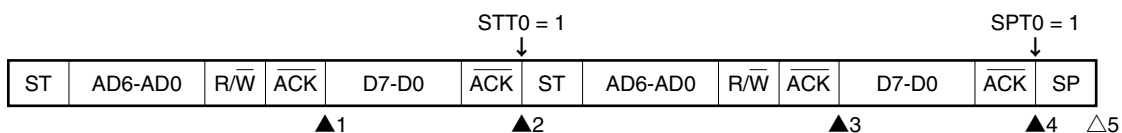
3. ストップ・コンディションを生成するために、WTIM0をセット (1) し、INTIIC0割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000××00 B (STT0をセット (1))

▲3 : IICS0 = 1000×110 B

▲4 : IICS0 = 1000××00 B (SPT0をセット (1))

△5 : IICS0 = 00000001 B

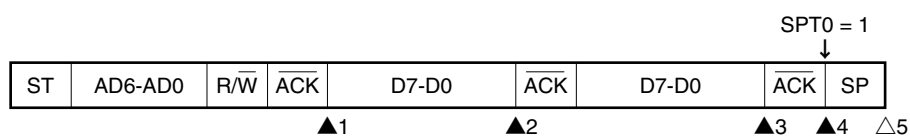
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(c) Start～Code～Data～Data～Stop (拡張コード送信)

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 1010×110 B

▲2 : IICS0 = 1010×000 B

▲3 : IICS0 = 1010×000 B (WTIM0をセット (1) ※)

▲4 : IICS0 = 1010××00 B (SPT0をセット (1))

△5 : IICS0 = 00000001 B

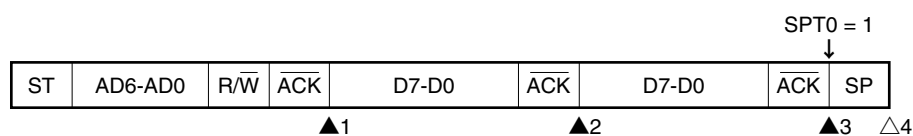
注 ストップ・コンディションを生成するために、WTIM0をセット (1) し、INTIIC0割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 1010×110 B

▲2 : IICS0 = 1010×100 B

▲3 : IICS0 = 1010××00 B (SPT0をセット (1))

△4 : IICS0 = 00001001 B

備考 ▲ 必ず発生

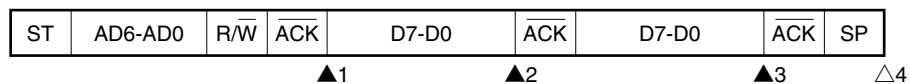
△ SPIE0 = 1 のときだけ発生

× 任意

(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start～Address～Data～Data～Stop

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001×000 B

▲3 : IICS0 = 0001×000 B

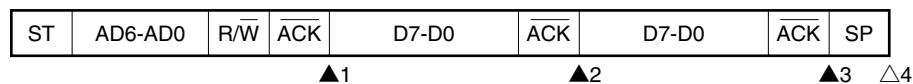
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001×100 B

▲3 : IICS0 = 0001××00 B

△4 : IICS0 = 00000001 B

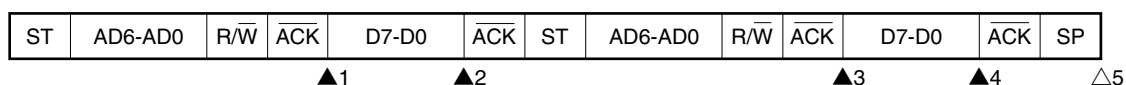
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(b) Start~Address~Data~Start~Address~Data~Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001×000 B

▲3 : IICS0 = 0001×110 B

▲4 : IICS0 = 0001×000 B

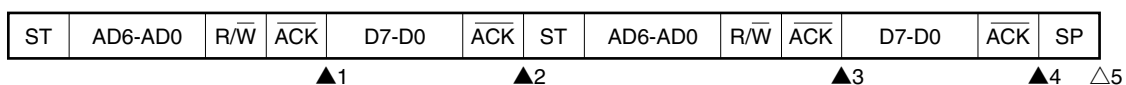
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001××00 B

▲3 : IICS0 = 0001×110 B

▲4 : IICS0 = 0001××00 B

△5 : IICS0 = 00000001 B

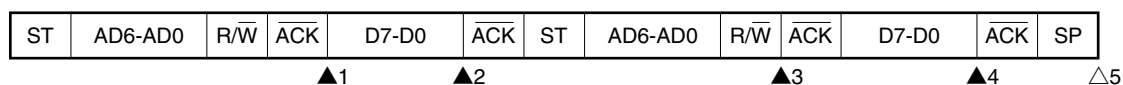
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(c) Start～Address～Data～Start～Code～Data～Stop

(i) WTIM0 = 0 のとき (リスタート後、アドレス不一致 (拡張コード))



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001×000 B

▲3 : IICS0 = 0010×010 B

▲4 : IICS0 = 0010×000 B

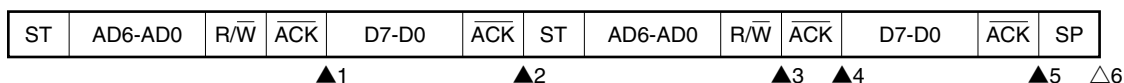
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき (リスタート後、アドレス不一致 (拡張コード))



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001××00 B

▲3 : IICS0 = 0010×010 B

▲4 : IICS0 = 0010×110 B

▲5 : IICS0 = 0010××00 B

△6 : IICS0 = 00000001 B

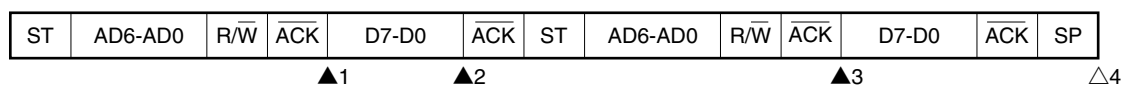
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(d) Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001×000 B

▲3 : IICS0 = 00000110 B

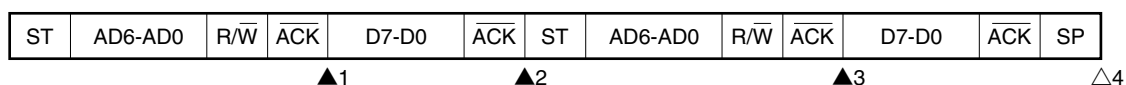
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICS0 = 0001×110 B

▲2 : IICS0 = 0001××00 B

▲3 : IICS0 = 00000110 B

△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

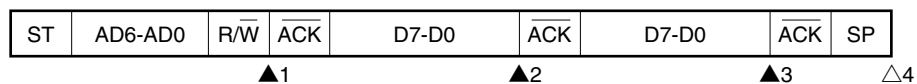
× 任意

(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は，常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 0010×010 B

▲2 : IICS0 = 0010×000 B

▲3 : IICS0 = 0010×000 B

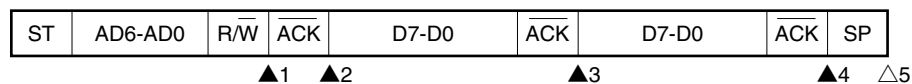
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 0010×010 B

▲2 : IICS0 = 0010×110 B

▲3 : IICS0 = 0010×100 B

▲4 : IICS0 = 0010××00 B

△5 : IICS0 = 00000001 B

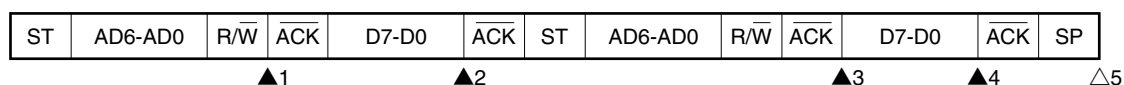
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(b) Start～Code～Data～Start～Address～Data～Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0010×010 B

▲2 : IICS0 = 0010×000 B

▲3 : IICS0 = 0001×110 B

▲4 : IICS0 = 0001×000 B

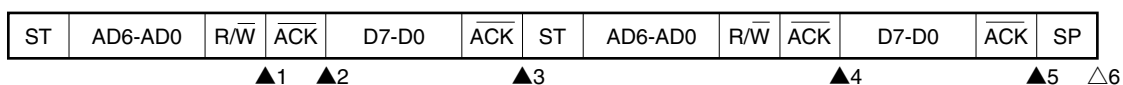
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0010×010 B

▲2 : IICS0 = 0010×110 B

▲3 : IICS0 = 0010××00 B

▲4 : IICS0 = 0001×110 B

▲5 : IICS0 = 0001××00 B

△6 : IICS0 = 00000001 B

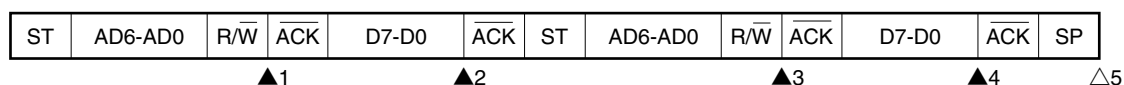
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIM0 = 0 のとき (リスタート後、拡張コード受信)



▲1 : IICS0 = 0010×010 B

▲2 : IICS0 = 0010×000 B

▲3 : IICS0 = 0010×010 B

▲4 : IICS0 = 0010×000 B

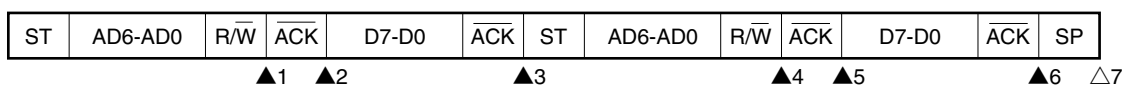
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき (リスタート後、拡張コード受信)



▲1 : IICS0 = 0010×010 B

▲2 : IICS0 = 0010×110 B

▲3 : IICS0 = 0010××00 B

▲4 : IICS0 = 0010×010 B

▲5 : IICS0 = 0010×110 B

▲6 : IICS0 = 0010××00 B

△7 : IICS0 = 00000001 B

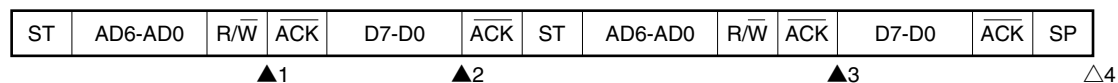
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIM0 = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICS0 = 00100010 B

▲2 : IICS0 = 00100000 B

▲3 : IICS0 = 00000110 B

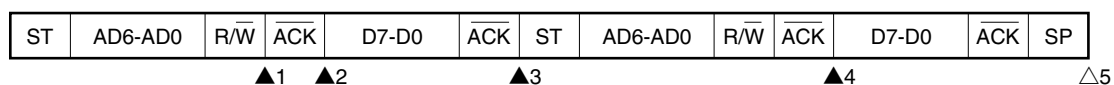
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICS0 = 00100010 B

▲2 : IICS0 = 00100110 B

▲3 : IICS0 = 00100×00 B

▲4 : IICS0 = 00000110 B

△5 : IICS0 = 00000001 B

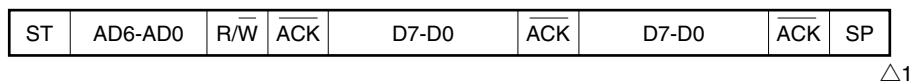
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(4) 通信不参加の動作

(a) Start～Code～Data～Data～Stop



△1 : IICS0 = 00000001 B

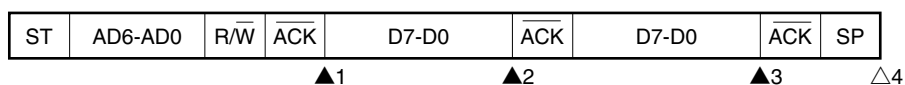
備考 △ SPIE0 = 1のときだけ発生

(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIIC0割り込み要求信号の発生ごとにMSTS0ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1 : IICS0 = 0101×110 B

▲2 : IICS0 = 0001×000 B

▲3 : IICS0 = 0001×000 B

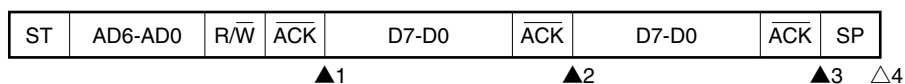
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 0101×110 B

▲2 : IICS0 = 0001×100 B

▲3 : IICS0 = 0001××00 B

△4 : IICS0 = 00000001 B

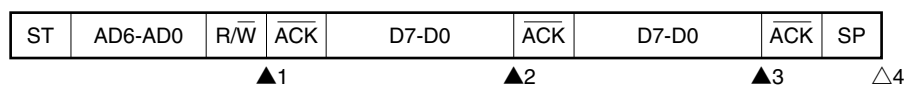
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 0110×010 B

▲2 : IICS0 = 0010×000 B

▲3 : IICS0 = 0010×000 B

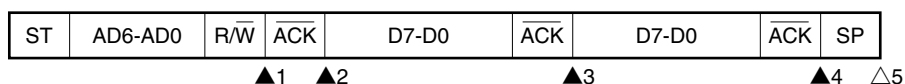
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 0110×010 B

▲2 : IICS0 = 0010×110 B

▲3 : IICS0 = 0010×100 B

▲4 : IICS0 = 0010××00 B

△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

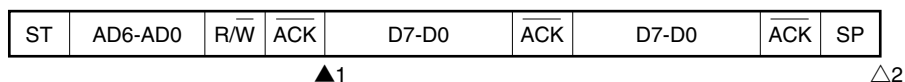
△ SPIE0 = 1 のときだけ発生

× 任意

(6) アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIIC0 割り込み要求信号の発生ごとに MSTS0 ビットをリードし，アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1 のとき）



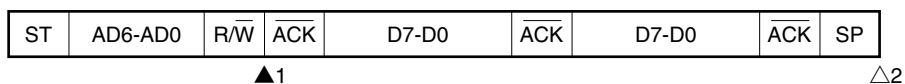
▲1 : IICS0 = 01000110 B

△2 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1 : IICS0 = 0110×010 B

ソフトウェアで LREL0 = 1 を設定

△2 : IICS0 = 00000001 B

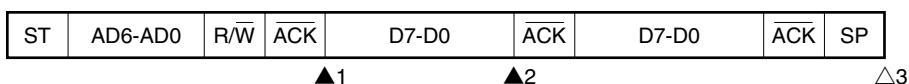
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 10001110 B

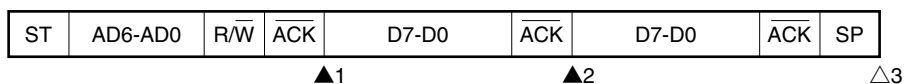
▲2 : IICS0 = 01000000 B

△3 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 10001110 B

▲2 : IICSO = 01000100 B

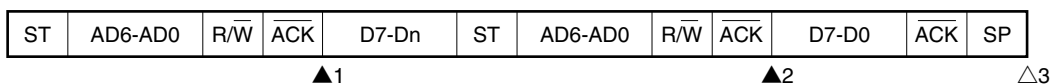
$\Delta 3$: IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0不一致)



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 01000110 **B**

$\Delta 3$: IICS0 = 00000001 **B**

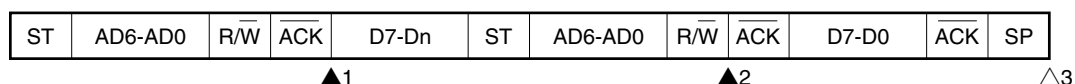
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(ii) 拡張コード



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 01100010 B

ソフトウェアでLREL0 = 1を設定

△3 : IICS0 = 00000001 B

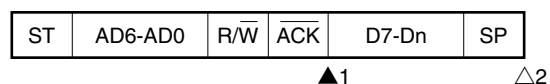
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICS0 = 10000110 B

△2 : IICS0 = 01000001 B

備考 ▲ 必ず発生

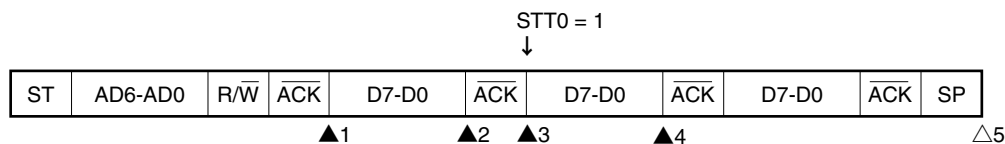
△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000×000 B (WTIM0をセット (1))

▲3 : IICS0 = 1000×100 B (WTIM0をクリア (0))

▲4 : IICS0 = 01000000 B

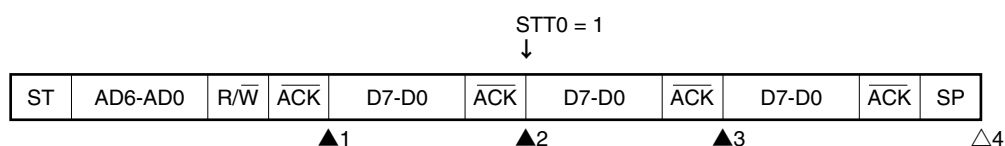
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000×100 B (STT0をセット (1))

▲3 : IICS0 = 01000100 B

△4 : IICS0 = 00000001 B

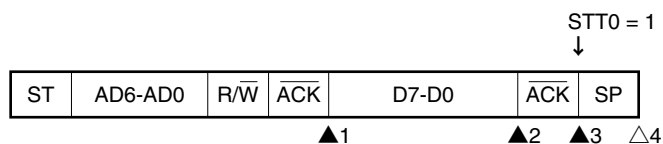
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000×000 B (WTIM0をセット (1))

▲3 : IICS0 = 1000××00 B (STT0をセット (1))

△4 : IICS0 = 01000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000××00 B (STT0をセット (1))

△3 : IICS0 = 01000001 B

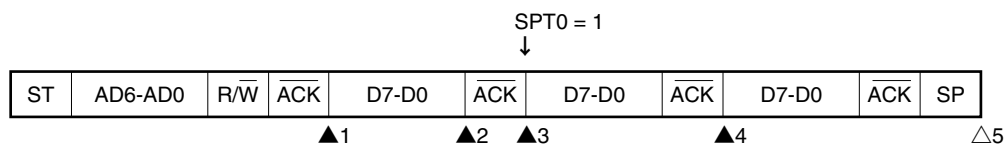
備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000×000 B (WTIM0をセット (1))

▲3 : IICS0 = 1000×100 B (WTIM0をクリア (0))

▲4 : IICS0 = 01000100 B

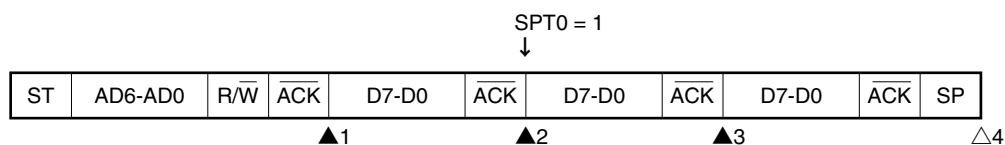
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



▲1 : IICS0 = 1000×110 B

▲2 : IICS0 = 1000×100 B (SPT0をセット (1))

▲3 : IICS0 = 01000100 B

△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1 のときだけ発生

× 任意

18.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IIC状態レジスタ0（IICS0）のビット3）を送信し、スレーブとのシリアル通信を開始します。

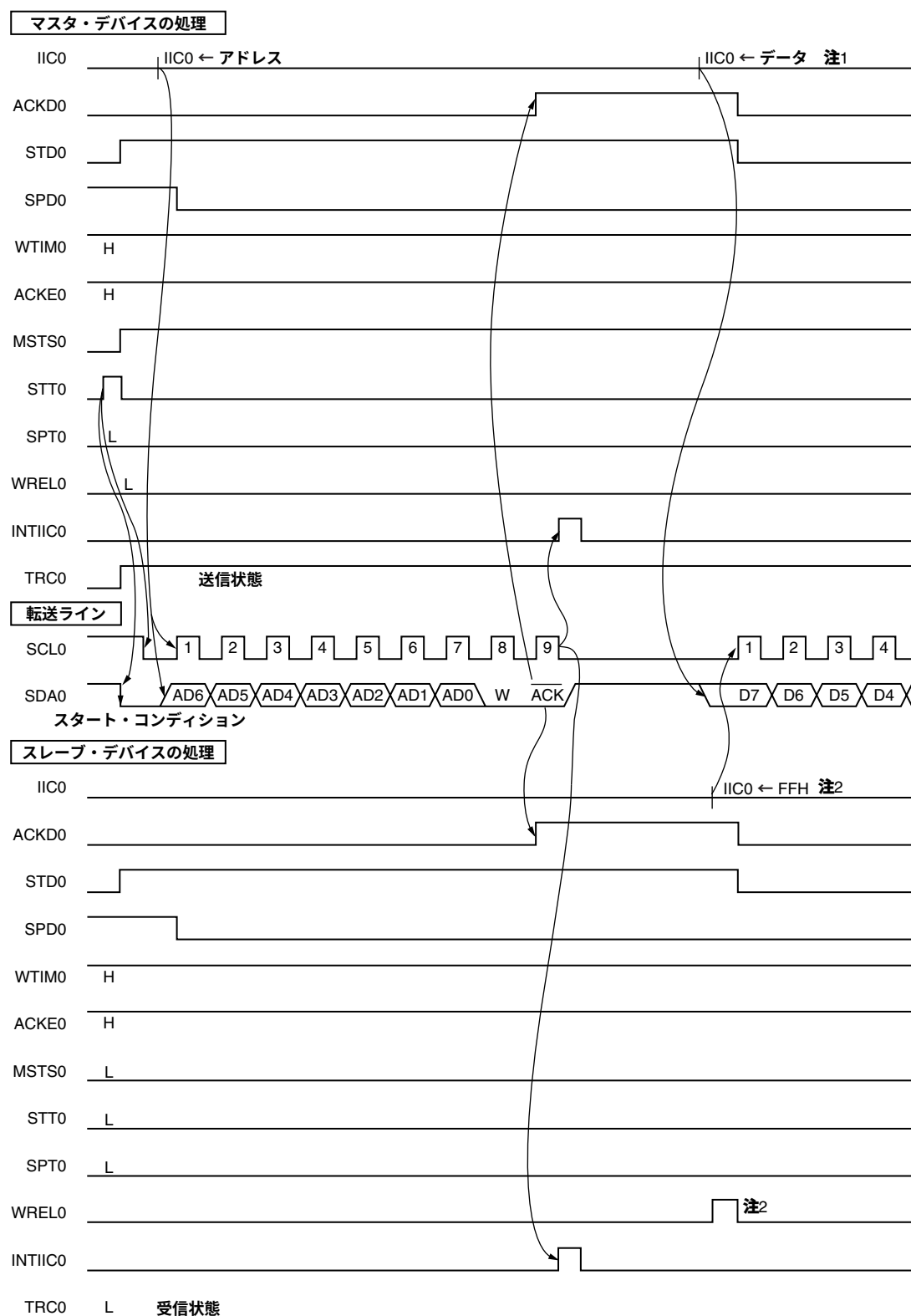
データ通信のタイミング・チャートを図18-27，図18-28に示します。

シリアル・クロック（SCL0）の立ち下がりに同期してIICシフト・レジスタ0（IIC0）のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIIC0に取り込まれます。

図18-27 マスタ→スレーブ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（1/3）

(1) スタート・コンディション〜アドレス

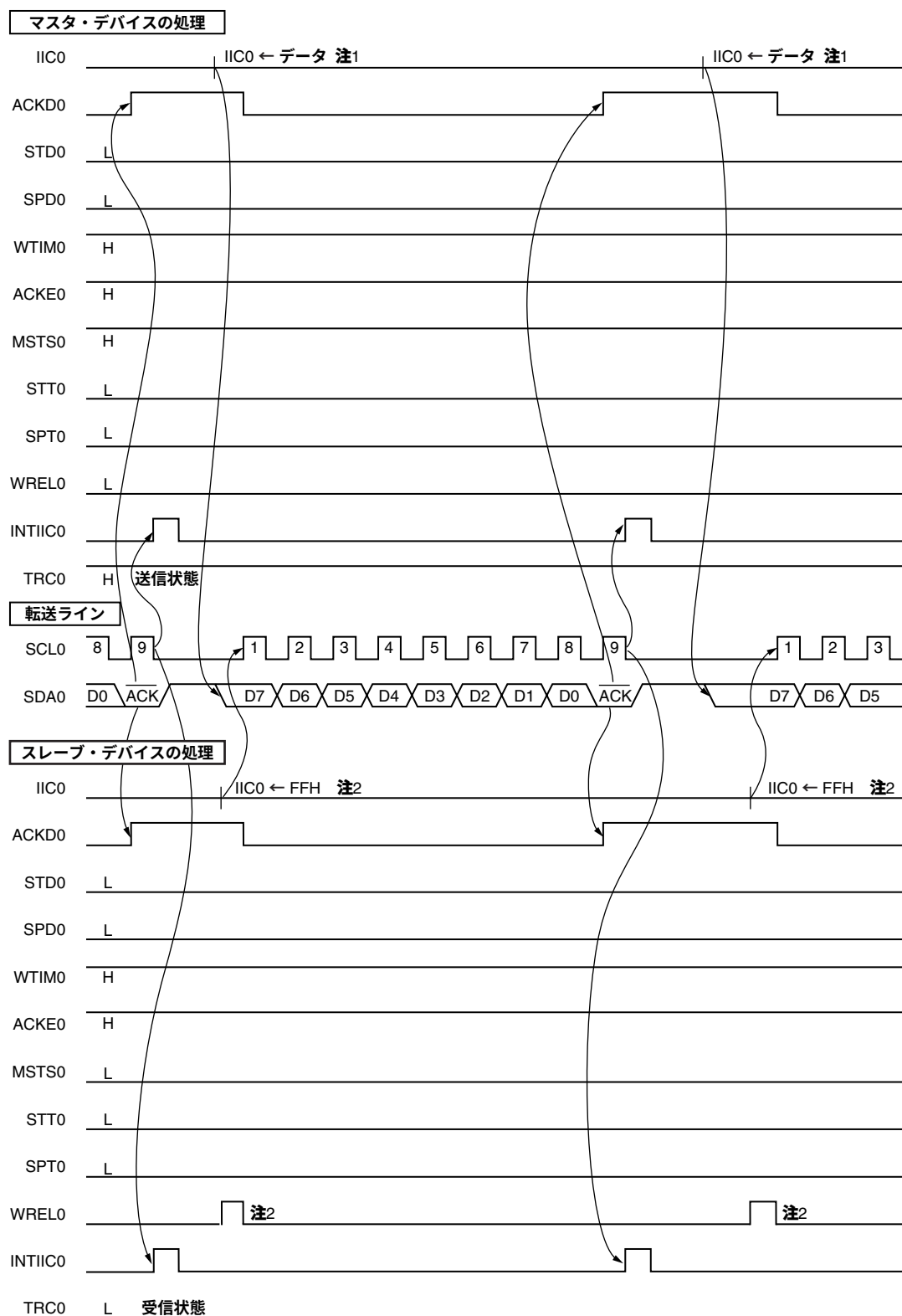


注1. マスタ送信時のウェイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

図18-27 マスタ→スレーブ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（2/3）

(2) データ

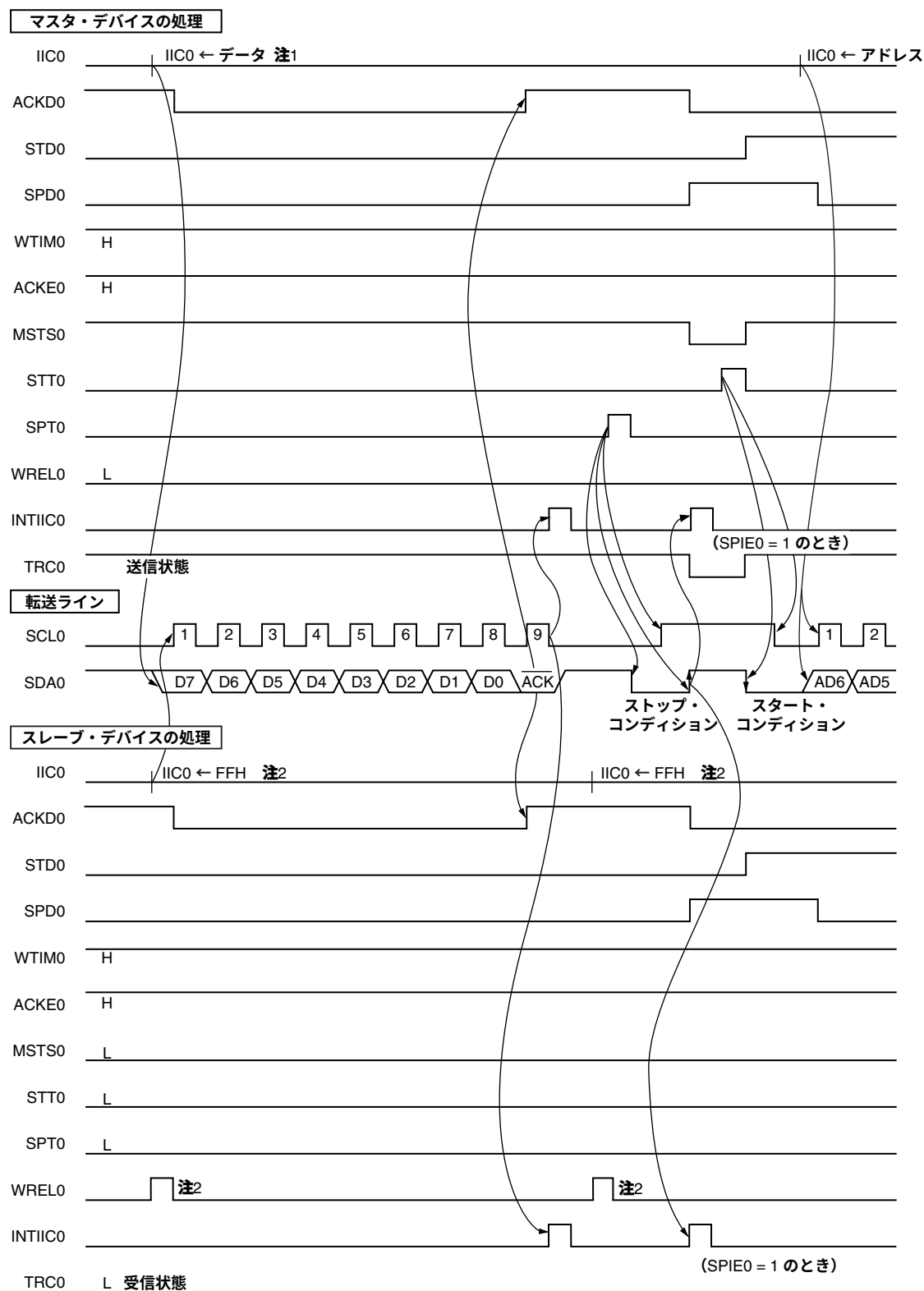


注1. マスタ送信時のウェイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

図18-27 マスタ→スレーブ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（3/3）

(3) ストップ・コンディション

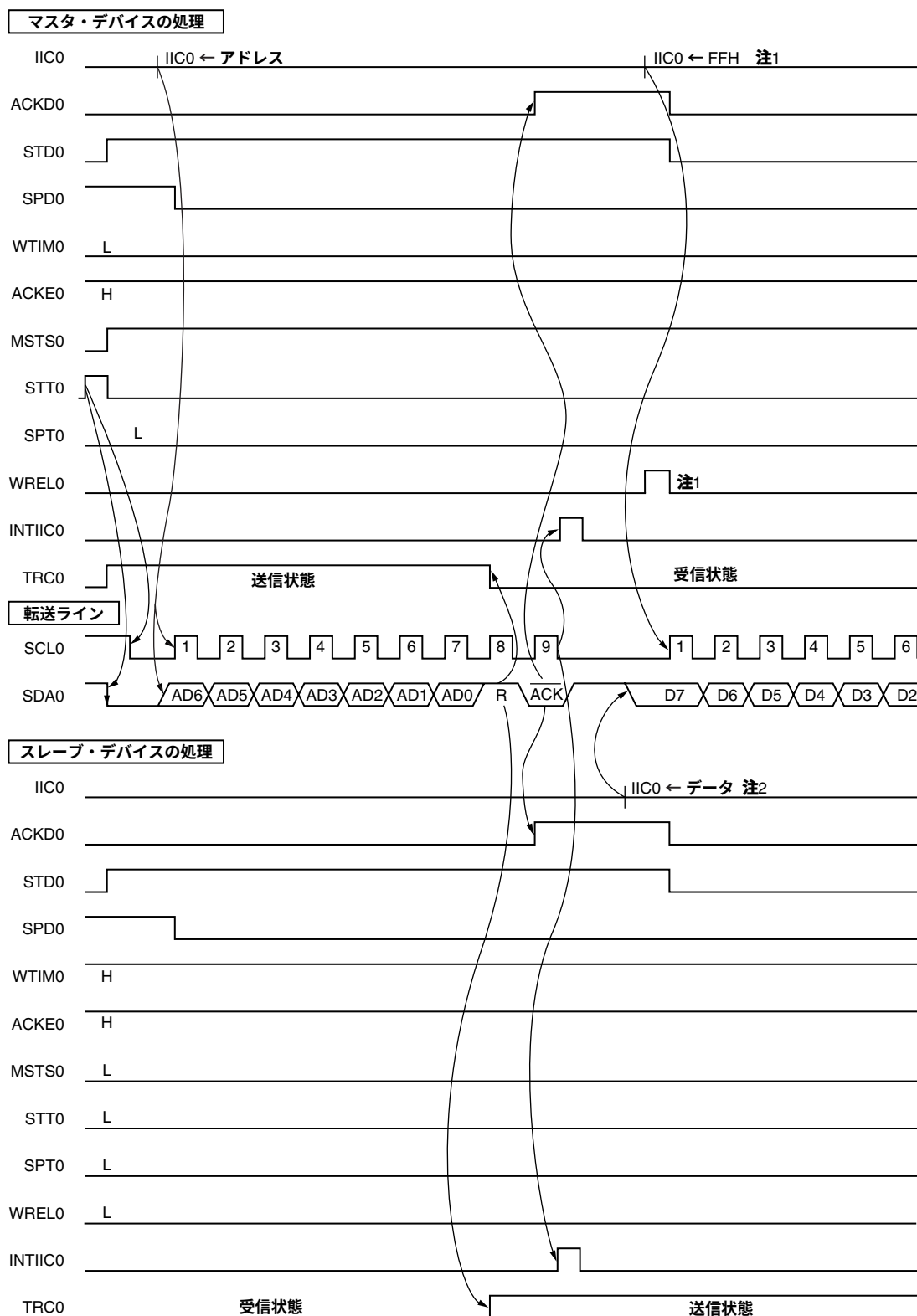


注1. マスタ送信時のウェイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

図18-28 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウェイト選択時）（1/3）

(1) スタート・コンディション〜アドレス

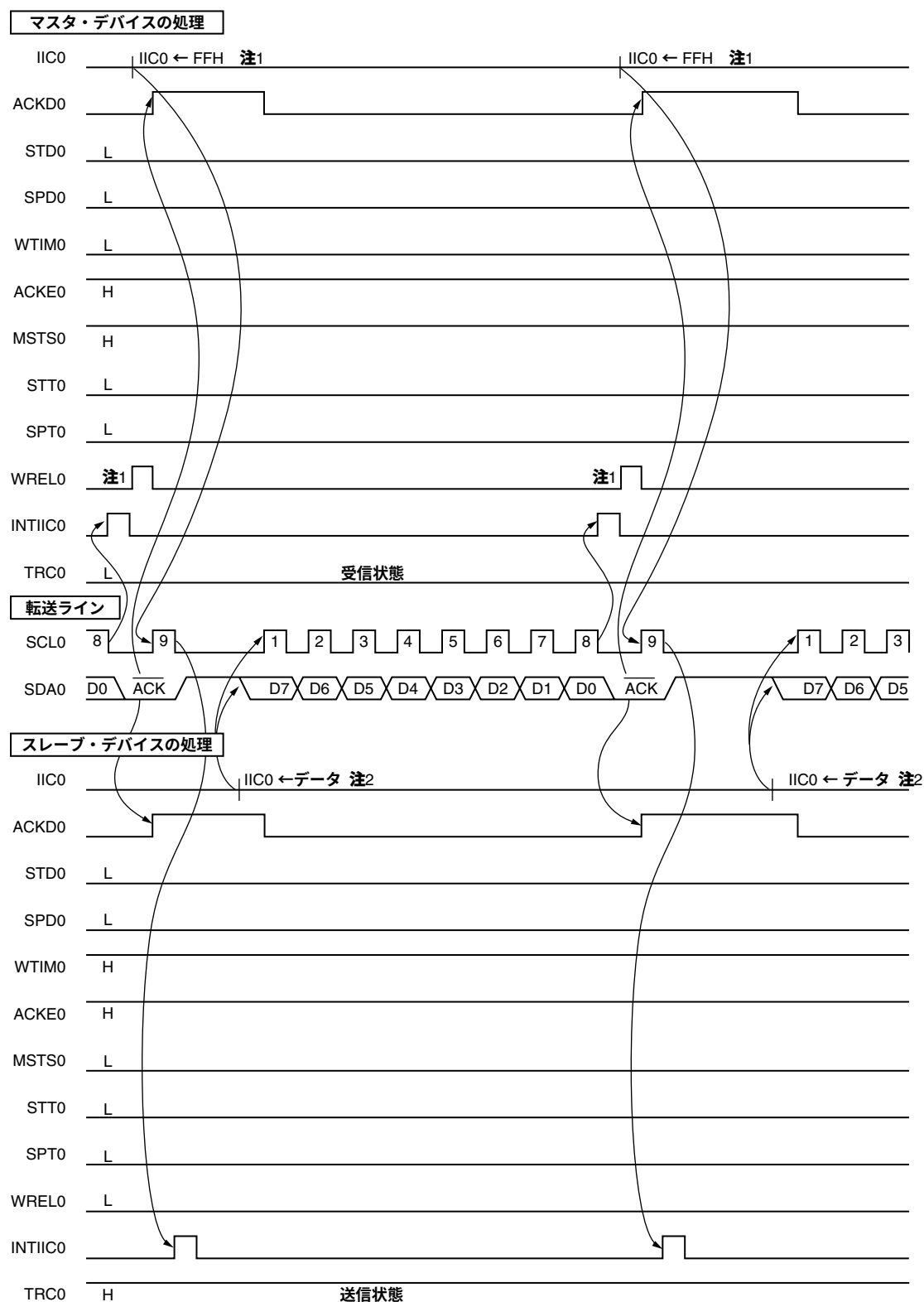


注1. マスタ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

図18-28 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウェイト選択時）（2/3）

(2) データ

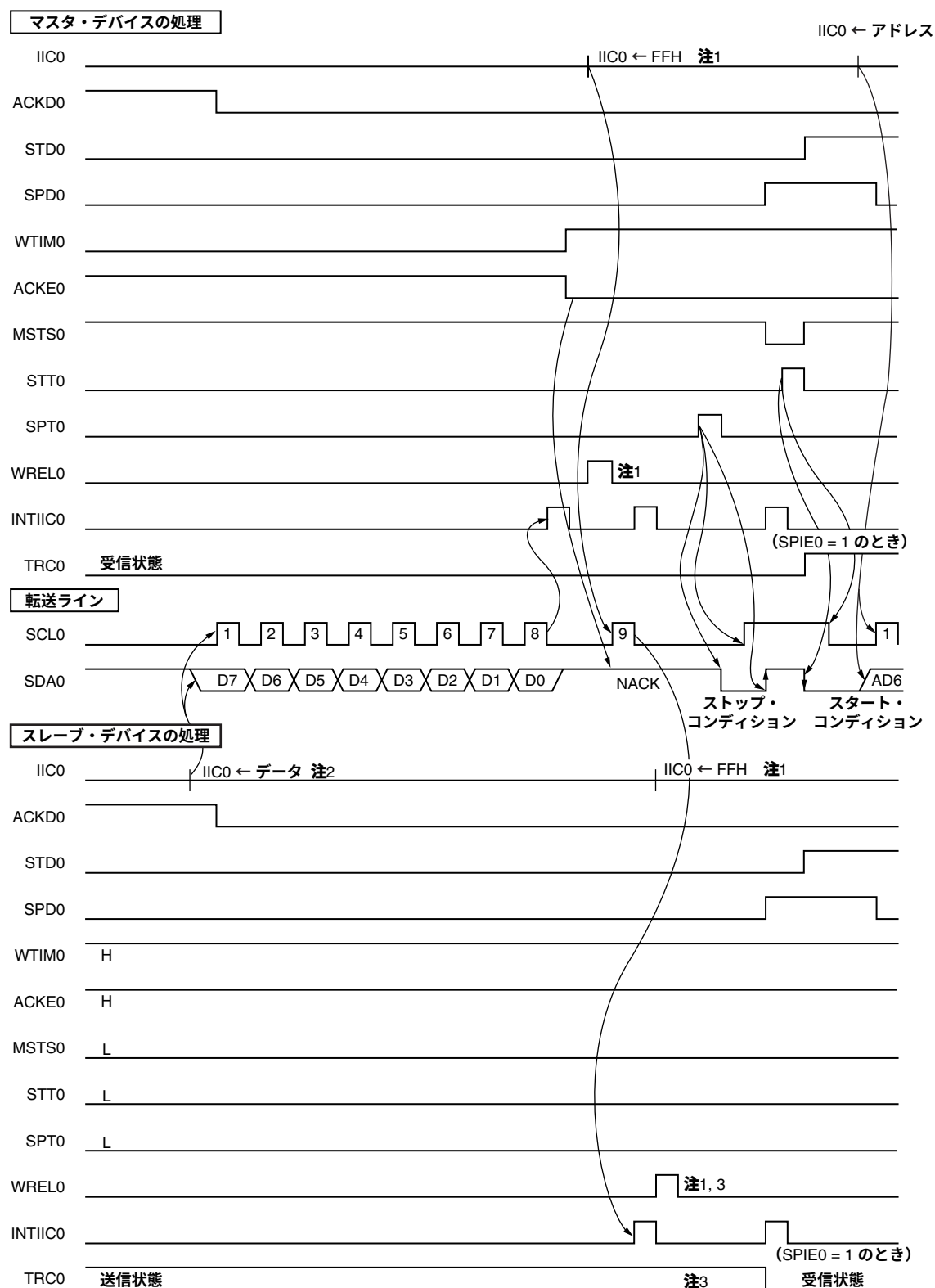


注1. マスタ・ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

図18-28 スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウェイト選択時）（3/3）

(3) ストップ・コンディション



注1. ウェイト解除は、IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は、WREL0のセットではなく、IIC0へのデータ書き込みで行ってください。

3. スレーブ送信時のウェイトをWREL0のセットで解除すると、TRC0はクリアされます。

第19章 乗除算器

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2	78K0/KF2
乗除算器	—	フラッシュ・メモリが32 Kバイト以下の製品：— フラッシュ・メモリが48 Kバイト以上の製品：○			

○：搭載，—：非搭載

注意 シリアル・インタフェースIIC0と乗除算器は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。

19.1 乗除算器の機能

乗除算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビット（乗算）
- ・ 32ビット÷16ビット = 32ビット 剰余16ビット（除算）

19.2 乗除算器の構成

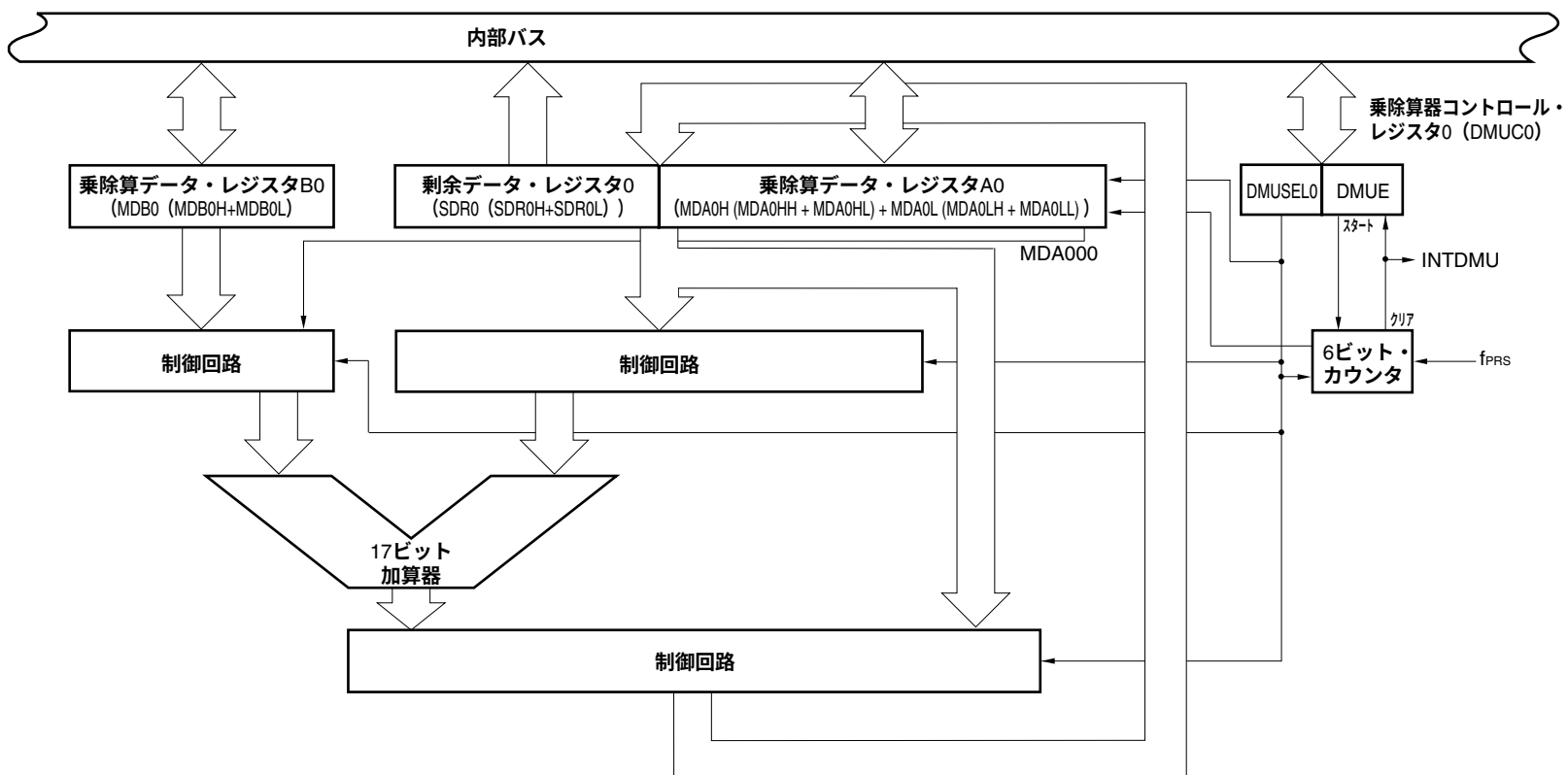
乗除算器は、次のハードウェアで構成されています。

表19-1 乗除算器の構成

項 目	構 成
レジスタ	剰余データ・レジスタ0 (SDR0) 乗除算データ・レジスタA0 (MDA0H, MDA0L) 乗除算データ・レジスタB0 (MDB0)
制御レジスタ	乗除算器コントロール・レジスタ0 (DMUC0)

乗除算器のブロック図を図19-1に示します。

図19-1 乗除算器のブロック図



(1) 剰余データ・レジスタ0 (SDR0)

SDR0は、剰余データ格納用の16ビット・レジスタです。乗算モード時は“0”が、除算モード時は演算結果の“剰余”が格納されます。

SDR0は8ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

リセット信号の発生により、0000Hになります。

図19-2 剰余データ・レジスタ0 (SDR0) のフォーマット

アドレス：FF60H, FF61H リセット時：0000H R

略号

FF61H (SDR0H)

FF60H (SDR0L)

SDR0

SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR	SDR
015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000

注意1. 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）に SDR0の値を読み出した場合、その値は保証されません。

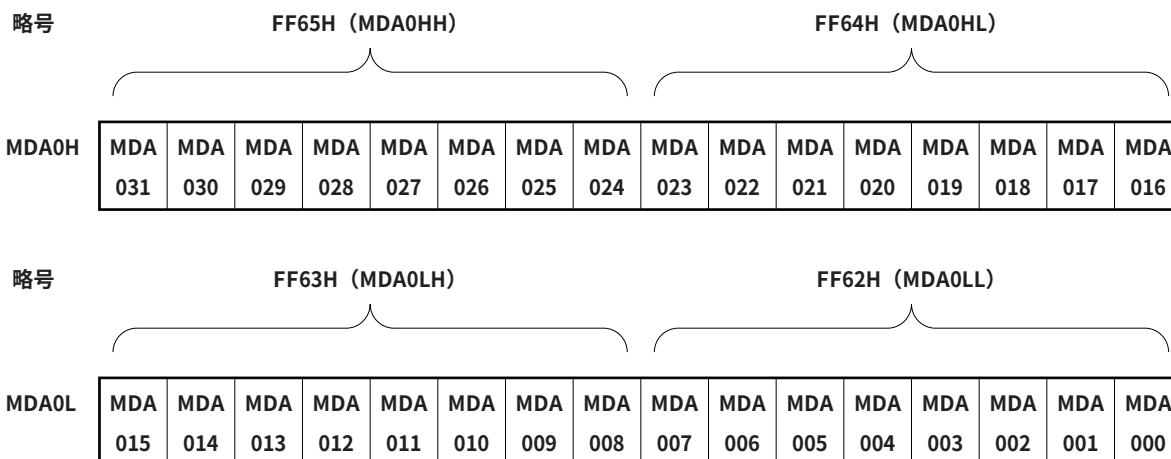
2. 演算開始時（DMUEを1に設定するとき），SDR0はリセットされます。

(2) 乗除算データ・レジスタA0 (MDA0H, MDA0L)

MDA0は、乗算モード時は16ビットの乗数Aを、除算モード時は32ビットの被除数を設定し、32ビットの演算結果を格納するレジスタです（上位16ビット：MDA0H、下位16ビット：MDA0L）。

図19-3 乗除算データ・レジスタA0 (MDA0H, MDA0L) のフォーマット

アドレス：FF62H, FF63H, FF64H, FF65H リセット時：0000H, 0000H R/W



- 注意1.** 乗算モードでの演算開始時（乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき）、MDA0Hはクリア (0) されます。
- 2.** 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）に、MDA0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。
- 3.** 演算処理中（DMUEが1のとき）にMDA0の値を読み出した場合、その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表19-2 MDA0の演算実行時の機能

DMUSEL0	演算モード	設定	演算結果
0	除算モード	被除数	除算結果（商）
1	乗算モード	上位16ビット：“0”，下位16ビット：乗数A	乗算結果（積）

備考 DMUSEL0：乗除算器コントロール・レジスタ0（DMUC0）のビット0

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A＞ ＜乗数B＞ ＜積＞

MDA0（ビット15-0）×MDB0（ビット15-0）= MDA0（ビット31-0）

・除算時のレジスタ構成

＜被除数＞ ＜除数＞ ＜商＞ ＜剰余＞

MDA0（ビット31-0）÷MDB0（ビット15-0）= MDA0（ビット31-0）…SDR0（ビット15-0）

MDA0は乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1に設定されている間、クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

(3) 乗除算データ・レジスタB0（MDB0）

MDB0は、乗算モード時は16ビットの乗数Bを、除算モード時は16ビットの除数を格納するレジスタです。

MDB0は8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

図19-4 乗除算データ・レジスタB0（MDB0）のフォーマット

アドレス：FF66H, FF67H リセット時：0000H R/W

略号

FF67H（MDB0H）

FF66H（MDB0L）

MDB0

MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB
015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000

注意1. 演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）に、MDB0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。

2. 除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。

19.3 乗除算器を制御するレジスタ

乗除算器は、乗除算器コントロール・レジスタ0（DMUC0）で制御します。

(1) 乗除算器コントロール・レジスタ0（DMUC0）

DMUC0は、乗除算器の動作を制御する8ビット・レジスタです。

DMUC0は1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 乗除算器コントロール・レジスタ0（DMUC0）のフォーマット

アドレス：FF68H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMUC0	DMUE	0	0	0	0	0	0	DMUSEL0

DMUE ^注	演算動作の開始／停止
0	演算動作停止
1	演算動作開始

DMUSEL0	演算モード（乗算／除算）の選択
0	除算モード
1	乗算モード

注 DMUEをセット（1）すると、演算動作を開始します。演算終了後は自動的にDMUEがクリア（0）されます。

- 注意1. 演算処理中（DMUEが1のとき）にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。
2. 演算処理中（DMUEが1のとき）に、DMUSEL0を書き換えないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0（MDA0）、剰余データ・レジスタ0（SDR0）に格納されます。
3. 演算処理中（DMUEが1のとき）にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0（MDA0）、乗除算データ・レジスタB0（MDB0）、乗除算器コントロール・レジスタ0（DMUC0）を設定し、演算動作を開始（DMUE = 1）してください。

19.4 乗除算器の動作

19.4.1 乗算動作

- 初期設定

1. 乗除算データ・レジスタA0L (MDA0L) と乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算器コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) とビット7 (DMUE) にそれぞれ1を設定してください。演算動作が開始します。

- 演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の16クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタに格納されるデータは演算途中データであるため, リード値は保証しません)。

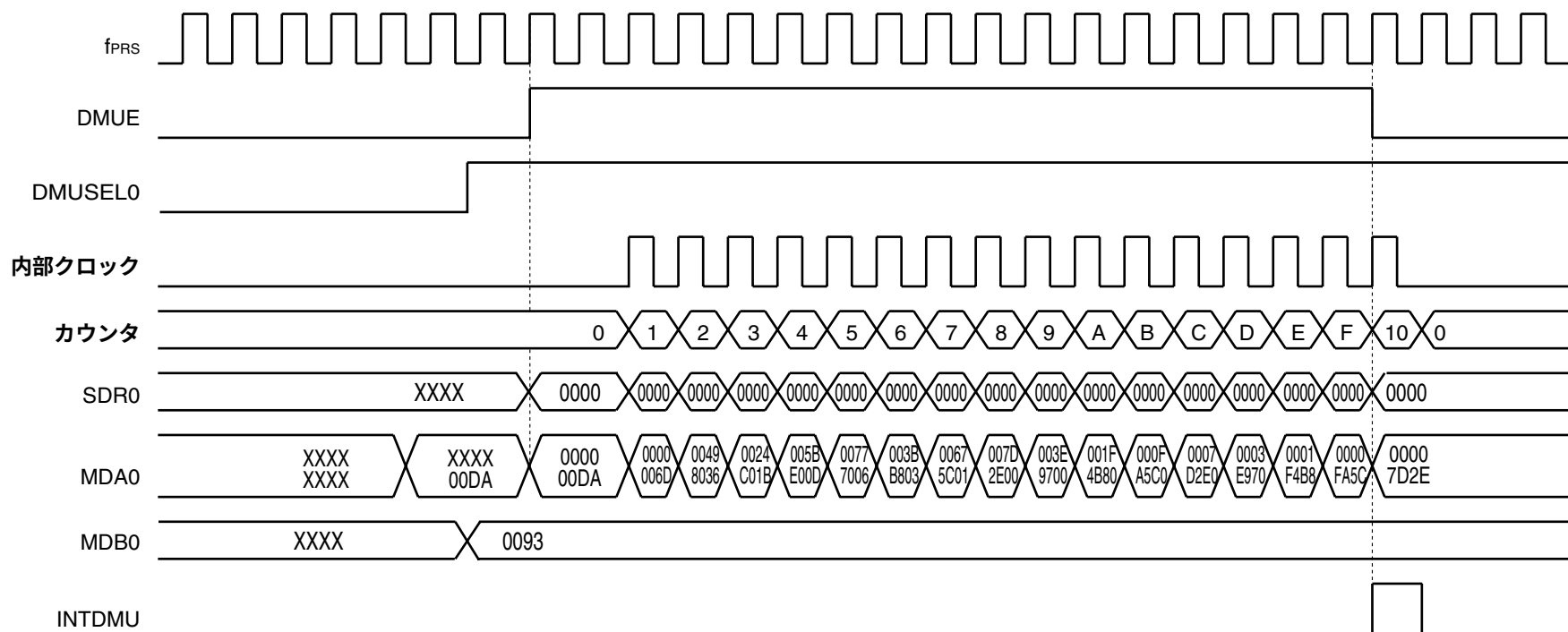
- 演算終了

4. MDA0Lレジスタ, MDA0Hレジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

- 次回演算

7. 次に乗算を行う場合は, 19.4.1 **乗算動作の初期設定**から行ってください。
8. 次に除算を行う場合は, 19.4.2 **除算動作の初期設定**から行ってください。

図19-6 乗算動作のタイミング図 (00DAH×0093H)



19.4.2 除算動作

- 初期設定

1. 乗除算データ・レジスタA0 (MDA0L, MDA0H) , 乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) に0, ビット7 (DMUE) に1を設定してください。演算動作が開始します。

- 演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の32クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタ, 剰余データ・レジスタ0 (SDR0) に格納されるデータは演算途中データであるため, リード値は保証しません)。

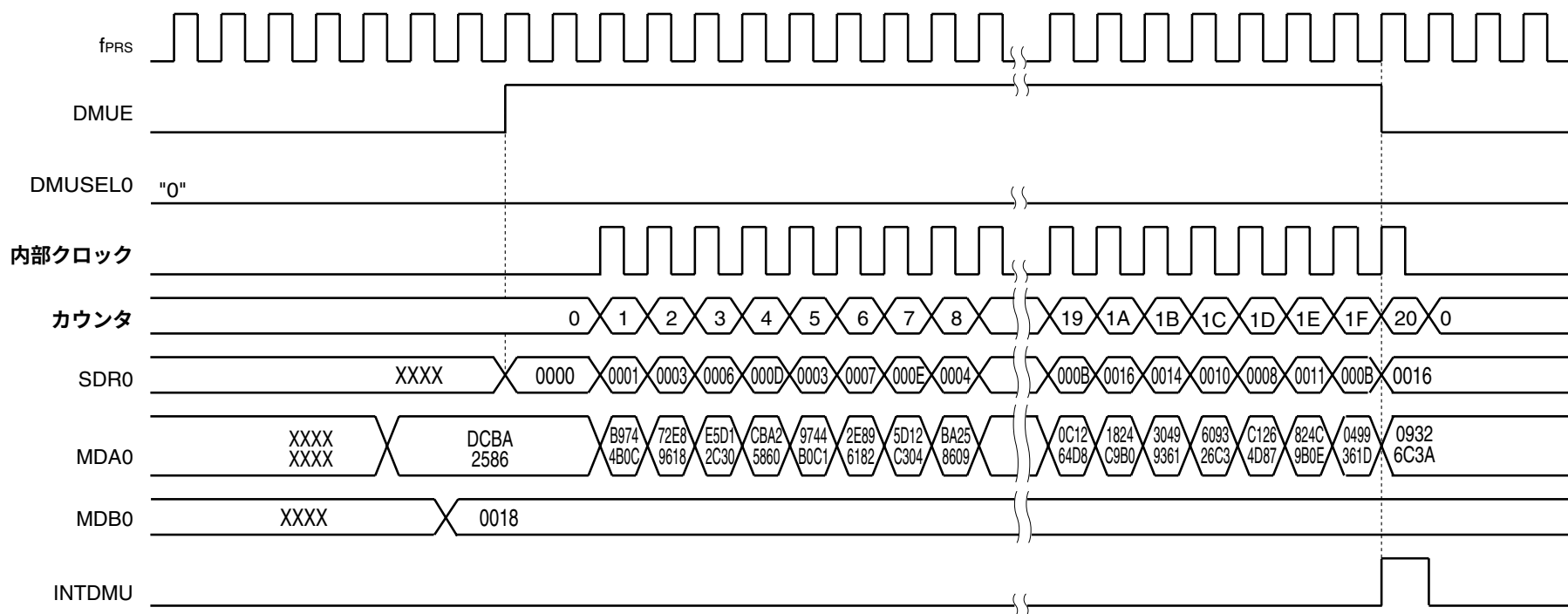
- 演算終了

4. MDA0Lレジスタ, MDA0Hレジスタ, SDR0レジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

- 次回演算

7. 次に乗算を行う場合は, 19.4.1 **乗算動作の初期設定**から行ってください。
8. 次に除算を行う場合は, 19.4.2 **除算動作の初期設定**から行ってください。

図19-7 除算動作のタイミング図 (DCBA2586H÷0018H)



第20章 割り込み機能

		78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2		78K0/KF2
					フラッシュ・メモリが32 Kバイト以下	フラッシュ・メモリが48 Kバイト以上	
マスカブル割り込み	外部	6	38/44ピン：7 48ピン：8	8	9	9	9
	内部	14	16	16	16	19	20

20.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位（プライオリティ）にしたがって処理されます。優先順位（プライオリティ）については表20-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

20.2 割り込み要因と構成

割り込み要因には、マスカブル割り込みとソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計4要因あります（表20-1参照）。

表20-1 割り込み要因一覧 (1/2)

割り込み の種類	内部 ／ 外部	基本 構成 タイプ 注1	デフォルト・ プライオ リティ注2	割り込み要因		ベクタ・ テーブル・ アドレス	K B 2	K C 2	K D 2	K E 2	K F 2
				名 称	ト リ ガ						
マスク ブル	内部	(A)	0	INTLVI	低電圧検出注3	0004H	○	○	○	○	○
	外部	(B)	1	INTP0	端子入力エッジ検出	0006H	○	○	○	○	○
			2	INTP1		0008H	○	○	○	○	○
			3	INTP2		000AH	○	○	○	○	○
			4	INTP3		000CH	○	○	○	○	○
			5	INTP4		000EH	○	○	○	○	○
			6	INTP5		0010H	○	○	○	○	○
	内部	(A)	7	INTSRE6	UART6の受信エラー発生	0012H	○	○	○	○	○
			8	INTSR6	UART6の受信完了	0014H	○	○	○	○	○
			9	INTST6	UART6の送信完了	0016H	○	○	○	○	○
			10	INTCSI10 /INTST0	CSI10の通信完了/UART0の送信完了	0018H	○	○	○	○	○
			11	INTTMH1	TMH1とCMP01の一致（コンペア・レジスタ指定時）	001AH	○	○	○	○	○
			12	INTTMH0	TMH0とCMP00の一致（コンペア・レジスタ指定時）	001CH	○	○	○	○	○
			13	INTTM50	TM50とCR50の一致（コンペア・レジスタ指定時）	001EH	○	○	○	○	○
			14	INTTM000	TM00とCR000の一致（コンペア・レジスタ指定時）、TI010端子の有効エッジ検出（キャプチャ・レジスタ指定時）	0020H	○	○	○	○	○
			15	INTTM010	TM00とCR010の一致（コンペア・レジスタ指定時）、TI000端子の有効エッジ検出（キャプチャ・レジスタ指定時）	0022H	○	○	○	○	○
			16	INTAD	A/D変換終了	0024H	○	○	○	○	○
			17	INTSR0	UART0受信完了または受信エラー発生	0026H	○	○	○	○	○
			18	INTWTI	時計用タイマの基準時間間隔信号	0028H	—	○	○	○	○
			19	INTTM51 注4	TM51とCR51の一致（コンペア・レジスタ指定時）	002AH	○	○	○	○	○

注1. 基本構成タイプの (A) - (D) は、それぞれ図20-1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、28が最低順位です。

3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 0選択時。

4. 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します（図9-13 転送タイミングを参照）。

表20-1 割り込み要因一覧 (2/2)

割り込み の種類	内部 ／ 外部	基本 構成 タイプ 注1	デフォルト・ プライオ リティ ^{注2}	割り込み要因		ベクタ・ テーブル・ アドレス	K B 2	K C 2	K D 2	K E 2	K F 2
				名 称	ト リ ガ						
マスカ ブル	外部	(C)	20	INTKR	キー割り込み検出	002CH	—	○	○	○	○
	内部	(A)	21	INTWT	時計用タイマのオーバフロー	002EH	—	○	○	○	○
	外部	(B)	22	INTP6	端子入力エッジ検出	0030H	—	○ 注4	○	○	○
			23	INTP7		0032H	—	—	—	○	○
	内部	(A)	24	INTIIC0 /INTDMU	IIC0通信完了/乗除算演算終了	0034H	○ 注5	○ 注5	○ 注5	○ 注5	○
			25	INTCSI11	CSI11通信完了	0036H	—	—	—	○ 注6	○
			26	INTTM001	TM01とCR001の一致（コンペア・レジスタ指定時）、TI011端子の有効エッジ検出（キャプチャ・レジスタ指定時）	0038H	—	—	—	○ 注6	○
			27	INTTM011	TM01とCR011の一致（コンペア・レジスタ指定時）、TI001端子の有効エッジ検出（キャプチャ・レジスタ指定時）	003AH	—	—	—	○ 注6	○
			28	INTACSI	CSIA0通信完了	003CH	—	—	—	—	○
ソフトウ エア	—	(D)	—	BRK	BRK命令の実行	003EH	○	○	○	○	○
リセット	—	—	—	RESET	リセット入力	0000H	○	○	○	○	○
				POC	パワーオン・クリア						
				LVI	低電圧検出 ^{注3}						
				WDT	WDTのオーバフロー						

注1. 基本構成タイプの (A) - (D) は、それぞれ図20-1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、28が最低順位です。

3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 1選択時。

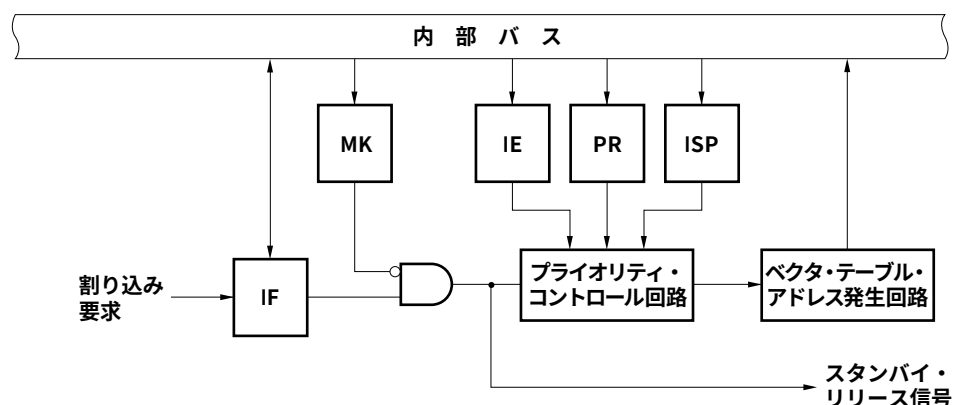
4. 48ピン製品のみ。

5. INTIIC0: フラッシュ・メモリが32 Kバイト以下の製品
INTIIC0/INTDMU: フラッシュ・メモリが48 Kバイト以上の製品

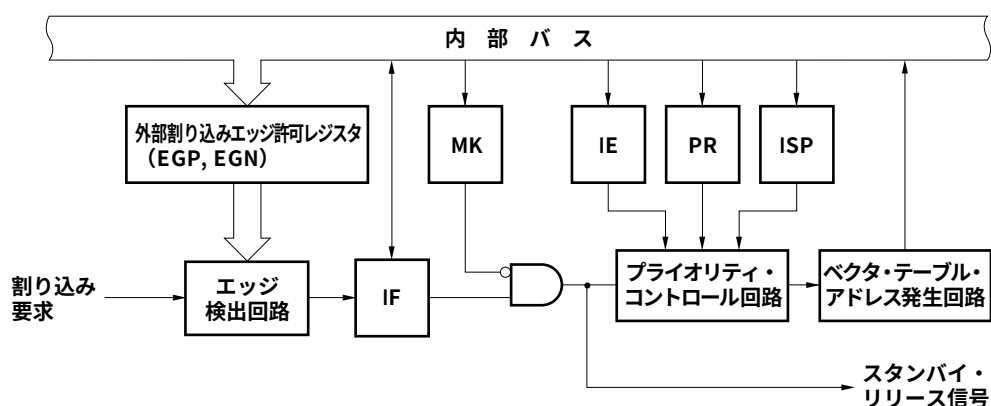
6. フラッシュ・メモリが48 Kバイト以上の製品のみ。

図20-1 割り込み機能の基本構成 (1/2)

(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み (INTPn)



備考 n = 0-5 : 78K0/KC2の38ピン製品, 44ピン製品, 78K0/KB2

n = 0-6 : 78K0/KC2の48ピン製品, 78K0/KD2

n = 0-7 : 78K0/KE2, 78K0/KF2

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

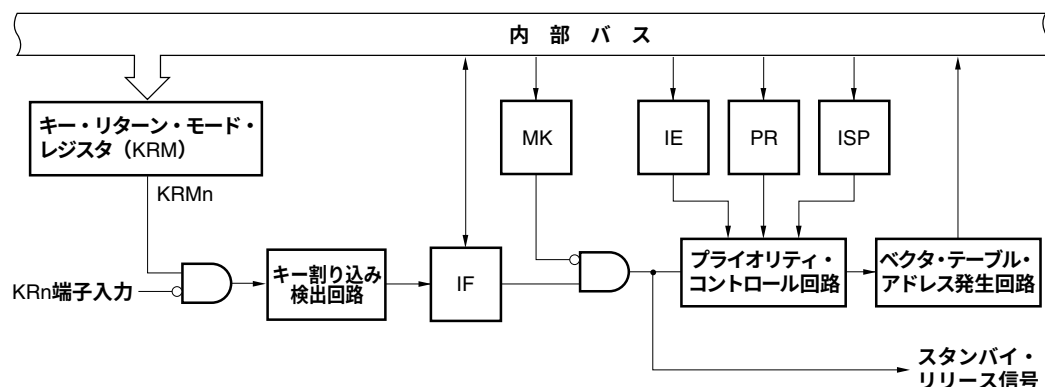
ISP : インサーピス・プライオリティ・フラグ

MK : 割り込みマスク・フラグ

PR : 優先順位指定フラグ

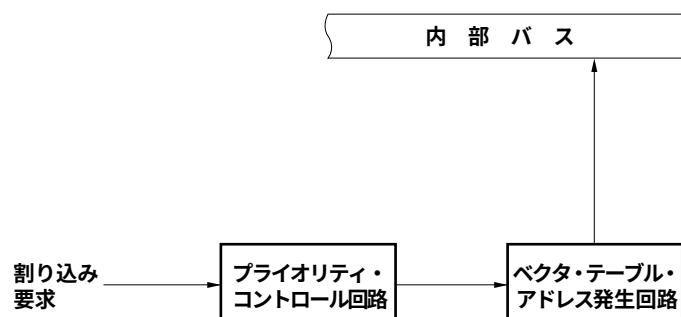
図20-1 割り込み機能の基本構成 (2/2)

★ (C) 外部マスカブル割り込み (INTKR)



備考 n = 0, 1 : 78K0/KC2の38ピン製品
 n = 0-3 : 78K0/KC2の44ピン製品, 48ピン製品
 n = 0-7 : 78K0/KD2, 78K0/KE2, 78K0/KF2

(D) ソフトウェア割り込み



IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP : インサースビス・プライオリティ・フラグ
 MK : 割り込みマスク・フラグ
 PR : 優先順位指定フラグ
 KRM : キー・リターン・モード・レジスタ

20.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表20-2に示します。

表20-2 割り込み要求ソースに対応する各種フラグ (1/2)

K B 2	K C 2	K D 2	K E 2	K F 2	割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
							レジスタ		レジスタ		レジスタ
○	○	○	○	○	INTLVI	LVIIIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
○	○	○	○	○	INTP0	PIF0		PMK0		PPR0	
○	○	○	○	○	INTP1	PIF1		PMK1		PPR1	
○	○	○	○	○	INTP2	PIF2		PMK2		PPR2	
○	○	○	○	○	INTP3	PIF3		PMK3		PPR3	
○	○	○	○	○	INTP4	PIF4		PMK4		PPR4	
○	○	○	○	○	INTP5	PIF5		PMK5		PPR5	
○	○	○	○	○	INTSRE6	SREIF6		SREMK6		SREPR6	
○	○	○	○	○	INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
○	○	○	○	○	INTST6	STIF6		STMK6		STPR6	
○	○	○	○	○	INTCSI10	CSIF10 注1		CSIMK10 注2		CSIPR10 注3	
○	○	○	○	○	INTST0	STIF0 注1		STMK0 注2		STPR0 注3	
○	○	○	○	○	INTTMH1	TMIFH1		TMMKH1		TMPRH1	
○	○	○	○	○	INTTMH0	TMIFH0		TMMKH0		TMPRH0	
○	○	○	○	○	INTTM50	TMIF50		TMMK50		TMPR50	
○	○	○	○	○	INTTM000	TMIF000		TMMK000		TMPR000	
○	○	○	○	○	INTTM010	TMIF010		TMMK010		TMPR010	

注1. 割り込み要因INTCSI10とINTST0のうち、どちらかが発生したら、IF0Hのビット2はセット (1) されます。

2. MK0Hのビット2は、割り込み要因INTCSI10とINTST0の両方に対応しています。

3. PR0Hのビット2は、割り込み要因INTCSI10とINTST0の両方に対応しています。

表20-2 割り込み要求ソースに対応する各種フラグ (2/2)

K B 2	K C 2	K D 2	K E 2	K F 2	割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
							レジスタ		レジスタ		レジスタ
○	○	○	○	○	INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L
○	○	○	○	○	INTSR0	SRIF0		SRMK0		SRPR0	
—	○	○	○	○	INTWTI	WTIIF		WTIMK		WTIPR	
○	○	○	○	○	INTTM51 ^{注4}	TMIF51		TMMK51		TMPR51	
—	○	○	○	○	INTKR	KRIF		KRMK		KRPR	
—	○	○	○	○	INTWT	WTIF		WTMK		WTPR	
—	○ 注1	○	○	○	INTP6	PIF6		PMK6		PPR6	
—	—	—	○	○	INTP7	PIF7		PMK7		PPR7	
○ 注2	○ 注2	○ 注2	○ 注2	○	INTIIC0 ^{注5}	IICIF0 ^{注6}	IF1H	IICMK0 ^{注7}	MK1H	IICPR0 ^{注8}	PR1H
—	—	—	○ 注3	○	INTDMU ^{注5}	DMUIF ^{注6}		DMUMK ^{注7}		DMUPR ^{注8}	
—	—	—	○ 注3	○	INTCSI11	CSIIF11		CSIMK11		CSIPR11	
—	—	—	○ 注3	○	INTTM001	TMIF001		TMMK001		TMPR001	
—	—	—	○ 注3	○	INTTM011	TMIF011		TMMK011		TMPR011	
—	—	—	—	○	INTACSI	ACSIIF		ACSIMK		ACSIPR	

注1. 48ピン製品のみ。

- INTIIC0: フラッシュ・メモリが32 Kバイト以下の製品
INTIIC0/INTDMU: フラッシュ・メモリが48 Kバイト以上の製品
- フラッシュ・メモリが48 Kバイト以上の製品のみ。
- 8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します（図9-13 転送タイミングを参照）。
- シリアル・インタフェースIIC0と乗除算器は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。CコンパイラのCC78K0で、シリアル・インタフェースIIC0を使用するソフトウェアを開発する場合、PM+のGUI上でチェックボックスの「乗除算器を使用する」にチェックを入れないでください。
- 割り込み要因INTIIC0とINTDMUのうち、どちらかが発生したら、IF1Hのビット0はセット（1）されます。
- MK1Hのビット0は、割り込み要因INTIIC0とINTDMUの両方に対応しています。
- PR1Hのビット0は、割り込み要因INTIIC0とINTDMUの両方に対応しています。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

図20-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/KB2)

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF0 CSIIF10 STIF0	STIF6	SRIF6

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	0	0	0	TMIF51	0	SRIF0	ADIF

アドレス：FFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	0	0	0	0	IICIF0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF1Lのビット2, 4-7, IF1Hのビット1-7には必ず0を設定してください。

図20-3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/KC2)

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF0 CSIIIF10 STIF0	STIF6	SRIF6

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	PIF6 ^{注1}	WTIF	KRIF	TMIF51	WTIIF	SRIF0	ADIF

アドレス：FFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	0	0	0	0	IICIF0 DMUIF ^{注2}

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注1. 48ピン製品のみ

2. フラッシュ・メモリが48 Kバイト以上の製品のみ

注意1. 38ピン製品と44ピン製品は、IF1Lのビット6, 7には必ず0を設定してください。

48ピン製品は、IF1Lのビット7には必ず0を設定してください。

2. IF1Hのビット1-7には、必ず0を設定してください。

図20-4 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/KD2)

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF0 CSIIF10 STIF0	STIF6	SRIF6

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	PIF6	WTIF	KRIF	TMIF51	WTIIF	SRIF0	ADIF

アドレス：FFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	0	0	0	0	IICIF0 DMUIF ^注

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 フラッシュ・メモリが48 Kバイト以上の製品のみ。**注意** IF1Lのビット7とIF1Hのビット1-7には、必ず0を設定してください。

図20-5 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/KE2)

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF0 CSIIIF10 STIF0	STIF6	SRIF6

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	PIF7	PIF6	WTIF	KRIF	TMIF51	WTIIF	SRIF0	ADIF

アドレス：FFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	0	TMIF011 ^注	TMIF001 ^注	CSIIIF11 ^注	IICIF0 DMUIF ^注

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 フラッシュ・メモリが48 Kバイト以上の製品のみ。

注意 フラッシュ・メモリが32 Kバイト以下の製品は、IF1Hのビット1-7には必ず0を設定してください。
 フラッシュ・メモリが48 Kバイト以上の製品は、IF1Hのビット4-7には必ず0を設定してください。

図20-6 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/KF2)

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF0 CSIF10 STIF0	STIF6	SRIF6

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	PIF7	PIF6	WTIF	KRIF	TMIF51	WTIIF	SRIF0	ADIF

アドレス：FFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	ACSIF	TMIF011	TMIF001	CSIF11	IICIF0 DMUIF

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF1Hのビット5-7には必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図20-7 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/KB2)

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK0 CSIMK10 STMK0	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	1	1	1	TMMK51	1	SRMK0	ADMK

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	1	1	1	IICMK0

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK1Lのビット2, 4-7, MK1Hのビット1-7には必ず1を設定してください。

図20-8 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/KC2)

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK0 CSIMK10 STMK0	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	PMK6 ^{注1}	WTMK	KRMK	TMMK51	WTIMK	SRMK0	ADMK

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	1	1	1	IICMK0 DMUMK ^{注2}

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注1. 48ピン製品のみ。

2. フラッシュ・メモリが48 Kバイト以上の製品のみ。

注意1. 38ピン製品と44ピン製品は、MK1Lのビット6, 7には必ず1を設定してください。

48ピン製品は、MK1Lのビット7には必ず1を設定してください。

2. MK1Hのビット1-7には、必ず1を設定してください。

図20-9 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/KD2)

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK0 CSIMK10 STMK0	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	PMK6	WTMK	KRMK	TMMK51	WTIMK	SRMK0	ADMK

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	1	1	1	IICMK0 DMUMK ^注

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 フラッシュ・メモリが48 Kバイト以上の製品のみ。**注意** MK1Lのビット7とMK1Hのビット1-7には、必ず1を設定してください。

図20-10 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/KE2)

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK0 CSIMK10 STMK0	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	PMK7	PMK6	WTMK	KRMK	TMMK51	WTIMK	SRMK0	ADMK

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	TMMK011 ^注	TMMK001 ^注	CSIMK11 ^注	IICMK0 DMUMK ^注

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 フラッシュ・メモリが48 Kバイト以上の製品のみ。

注意 フラッシュ・メモリが32 Kバイト以下の製品は、MK1Hのビット1-7には必ず1を設定してください。
 フラッシュ・メモリが48 Kバイト以上の製品は、MK1Hのビット4-7には必ず1を設定してください。

図20-11 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/KF2)

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK0 CSIMK10 STMK0	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	PMK7	PMK6	WTMK	KRMK	TMMK51	WTIMK	SRMK0	ADMK

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	ACSIMK	TMMK011	TMMK001	CSIMK11	IICMK0 DMUMK

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK1Hのビット5-7には必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図20-12 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/KB2)

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR0 CSIPR10 STPR0	STPR6	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	1	1	1	1	TMPR51	1	SRPR0	ADPR

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	1	1	1	1	IICPR0

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR1Lのビット2, 4-7, PR1Hのビット1-7には必ず1を設定してください。

図20-13 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/KC2)

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR0 CSIPR10 STPR0	STPR6	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	1	PPR6 ^{注1}	WTPR	KRPR	TMPR51	WTIPR	SRPR0	ADPR

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	1	1	1	1	IICPR0 DMUPR ^{注2}

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注1. 48ピン製品のみ

2. フラッシュ・メモリが48 Kバイト以上の製品のみ。

注意1. 38ピン製品と44ピン製品は、PR1Lのビット6, 7には必ず1を設定してください。

48ピン製品は、PR1Lのビット7には必ず1を設定してください。

2. PR1Hのビット1-7には、必ず1を設定してください。

図20-14 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/KD2)

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR0 CSIPR10 STPR0	STPR6	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	1	PPR6	WTPR	KRPR	TMPR51	WTIPR	SRPR0	ADPR

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	1	1	1	1	IICPR0 DMUPR ^注

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 フラッシュ・メモリが48 Kバイト以上の製品のみ。**注意** PR1Lのビット7とPR1Hのビット1-7には、必ず1を設定してください。

図20-15 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/KE2)

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR0 CSIPR10 STPR0	STPR6	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	PPR7	PPR6	WTPR	KRPR	TMPR51	WTIPR	SRPR0	ADPR

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	1	TMPR011 ^注	TMPR001 ^注	CSIPR11 ^注	IICPR0 DMUPR ^注

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 フラッシュ・メモリが48 Kバイト以上の製品のみ。

注意 フラッシュ・メモリが32 Kバイト以下の製品は、PR1Hのビット1-7には必ず1を設定してください。
 フラッシュ・メモリが48 Kバイト以上の製品は、PR1Hのビット4-7には必ず1を設定してください。

図20-16 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/KF2)

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR0 CSIPR10 STPR0	STPR6	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	PPR7	PPR6	WTPR	KRPR	TMPR51	WTIPR	SRPR0	ADPR

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	ACSIPR	TMPR011	TMPR001	CSIPR11	IICPR0 DMUPR

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR1Hのビット5-7には必ず1を設定してください。**(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN)**

INTPnの有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0-5 : 78K0/KC2の38ピン製品, 44ピン製品, 78K0/KB2

n = 0-6 : 78K0/KC2の48ピン製品, 78K0/KD2

n = 0-7 : 78K0/KE2, 78K0/KF2

図20-17 外部割り込み立ち上がりエッジ許可レジスタ（EGP）、外部割り込み立ち下がりエッジ許可レジスタ（EGN）のフォーマット（1/2）

(1) 78K0/KB2

アドレス：FF48H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FF49H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

(2) 78K0/KC2の38ピン製品, 44ピン製品

アドレス：FF48H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FF49H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

(3) 78K0/KC2の48ピン製品, 78K0/KD2

アドレス：FF48H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FF49H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

注意 78K0/KC2の38ピン製品, 44ピン製品と78K0/KB2は, EGPとEGNのビット6, 7には必ず0を設定してください。

78K0/KC2の48ピン製品と78K0/KD2は, EGPとEGNのビット7には必ず0を設定してください。

備考 n = 0-5 : 78K0/KC2の38ピン製品, 44ピン製品, 78K0/KB2

n = 0-6 : 78K0/KC2の48ピン製品, 78K0/KD2,

図20-17 外部割り込み立ち上がりエッジ許可レジスタ（EGP），外部割り込み立ち下がりエッジ許可レジスタ（EGN）のフォーマット（2/2）

(4) 78K0/KE2, 78K0/KF2

アドレス：FF48H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FF49H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

備考 n = 0-7：78K0/KE2, 78K0/KF2

EGPnとEGNnに対応するポートを表20-3に示します。

表20-3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出 ポート	割り込み要求 信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P30	INTP1
EGP2	EGN2	P31	INTP2
EGP3	EGN3	P32	INTP3
EGP4	EGN4	P33	INTP4
EGP5	EGN5	P16	INTP5
EGP6	EGN6	P140	INTP6
EGP7	EGN7	P141	INTP7

注1. 78K0/KC2の38ピン製品，44ピン製品，78K0/KB2

2. 78K0/KC2の48ピン製品，78K0/KD2

3. 78K0/KE2, 78K0/KF2

注意 外部割り込み機能からポート機能に切り替える場合に，エッジ検出を行う可能性があるため，EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-5：78K0/KC2の38ピン製品，44ピン製品，78K0/KB2

n = 0-6：78K0/KC2の48ピン製品，78K0/KD2

n = 0-7：78K0/KE2, 78K0/KF2

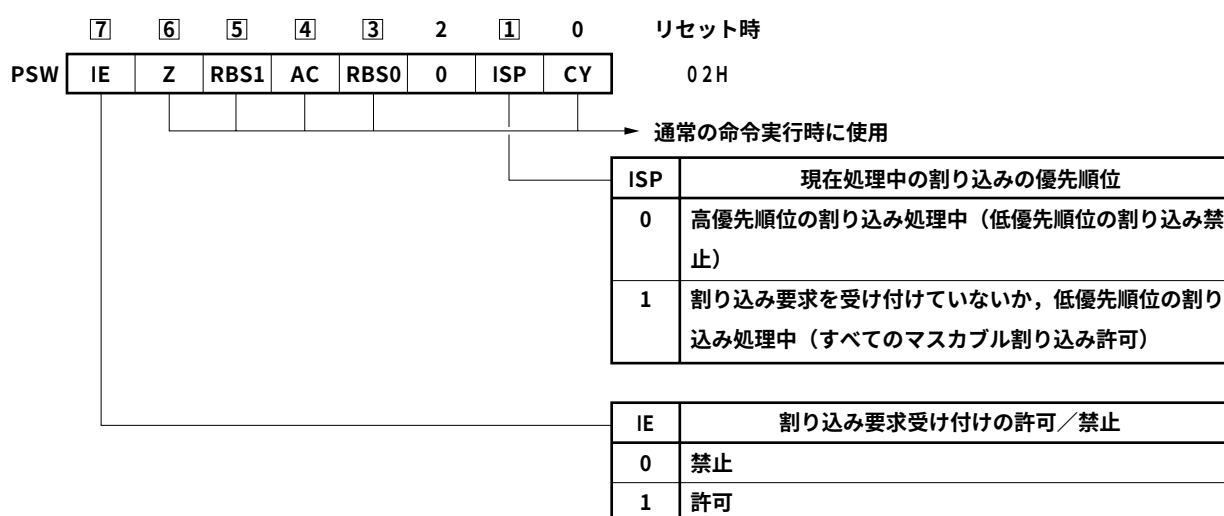
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図20-18 プログラム・ステータス・ワードの構成



20.4 割り込み処理動作

20.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IEフラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中 (ISPフラグがリセット (0) されているとき) に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表20-4のようになります。

割り込み要求の受け付けタイミングについては、図20-20, 20-21を参照してください。

表20-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 [※]
X × PR = 0のとき	7クロック	32クロック
X × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック：1/f_{CPU} (f_{CPU}：CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

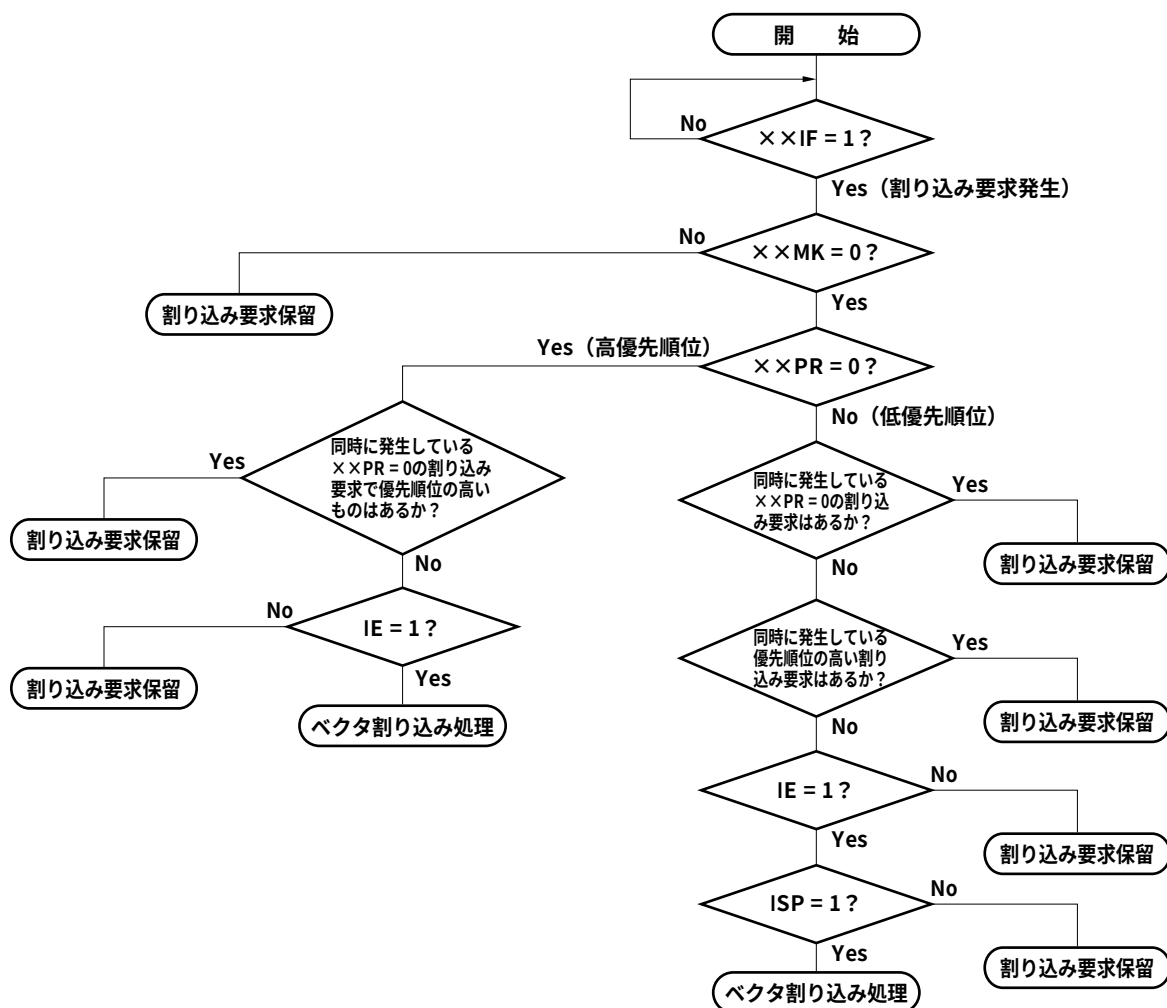
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図20-19に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図20-19 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

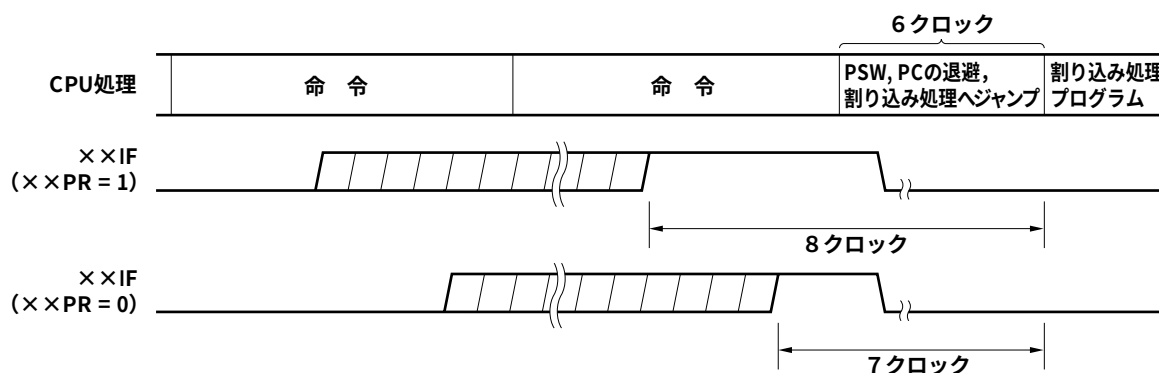
××MK : 割り込みマスク・フラグ

××PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

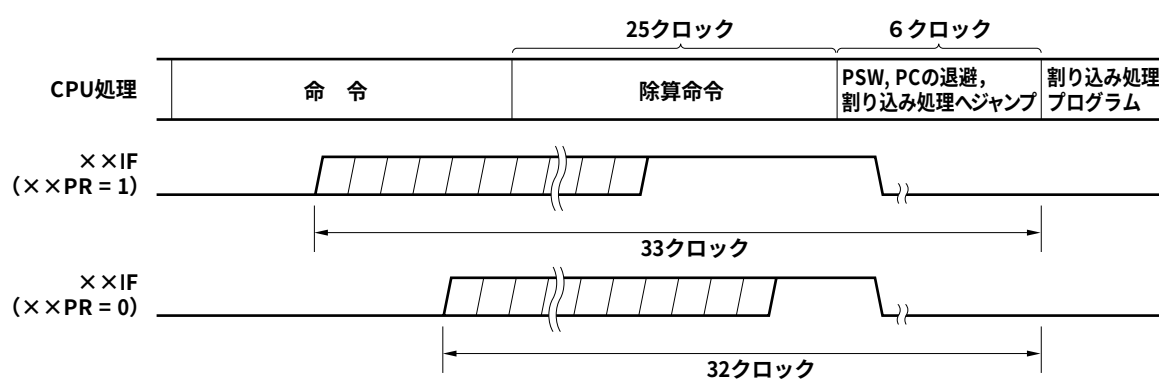
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図20-20 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック： $1/f_{\text{CPU}}$ (f_{CPU} ：CPUクロック)

図20-21 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック： $1/f_{\text{CPU}}$ (f_{CPU} ：CPUクロック)

20.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはありません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

20.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表20-5に多重割り込み可能な割り込み要求の関係を、図20-22に多重割り込みの例を示します。

表20-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0	○	×	×	×	○
	ISP = 1	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0：高優先順位の割り込み処理中

ISP = 1：割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0：割り込み要求受け付け禁止

IE = 1：割り込み要求受け付け許可

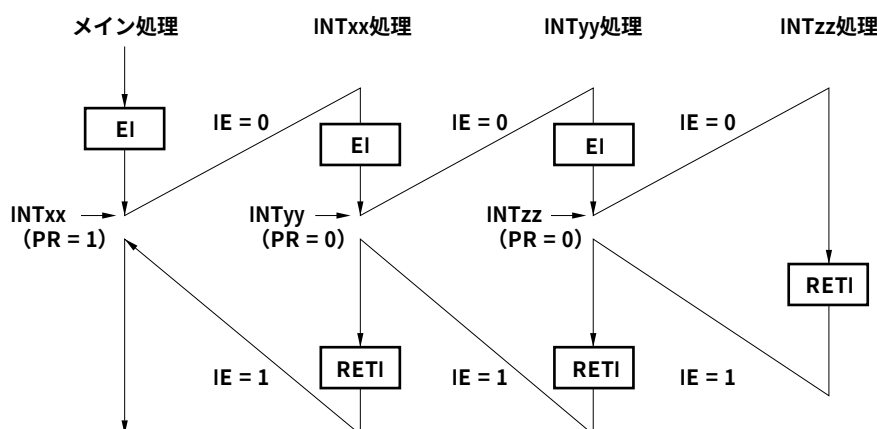
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0：高優先順位レベル

PR = 1：低優先順位レベル

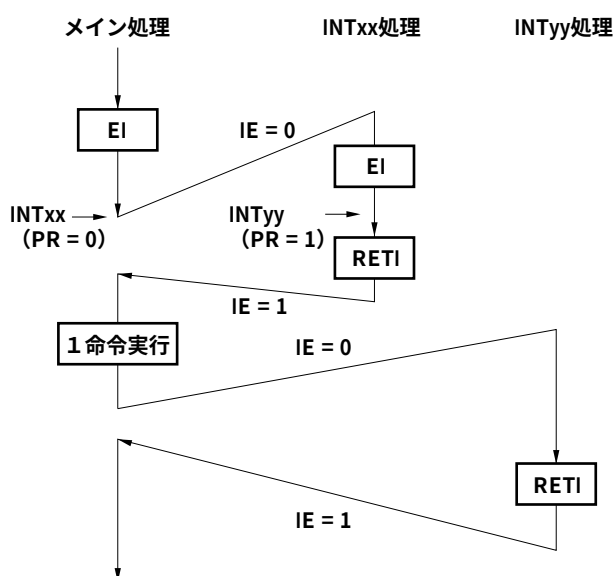
図20-22 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

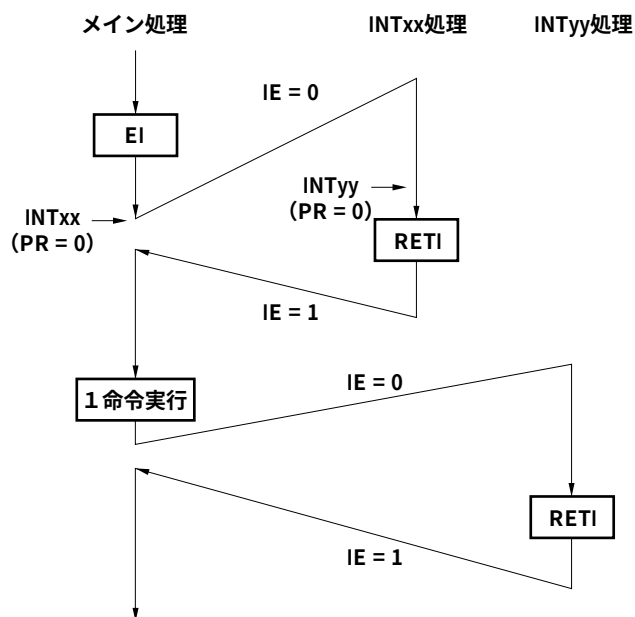
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図20-22 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

20. 4. 4 割り込み要求の保留

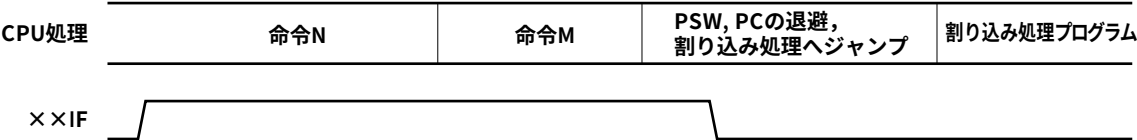
命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図20－23に示します。

図20－23 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
3. ××IF（割り込み要求）の動作は、××PR（優先順位レベル）の値の影響を受けません。

第21章 キー割り込み機能

	78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2	78K0/KF2
キー割り込み	—	38ピン：2 ch 44/48ピン：4 ch	8 ch		

21.1 キー割り込みの機能

キー・リターン・モード・レジスタ（KRM）の設定により、キー割り込み入力端子（KRn）に立ち下がりエッジを入力することによって、キー割り込み（INTKR）を発生させることができます。

表21-1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRMn	KRn信号を1ビット単位で制御

備考 n = 0, 1：78K0/KC2の38ピン製品
n = 0-3：78K0/KC2の44ピン製品，48ピン製品
n = 0-7：78K0/KD2，78K0/KE2，78K0/KF2

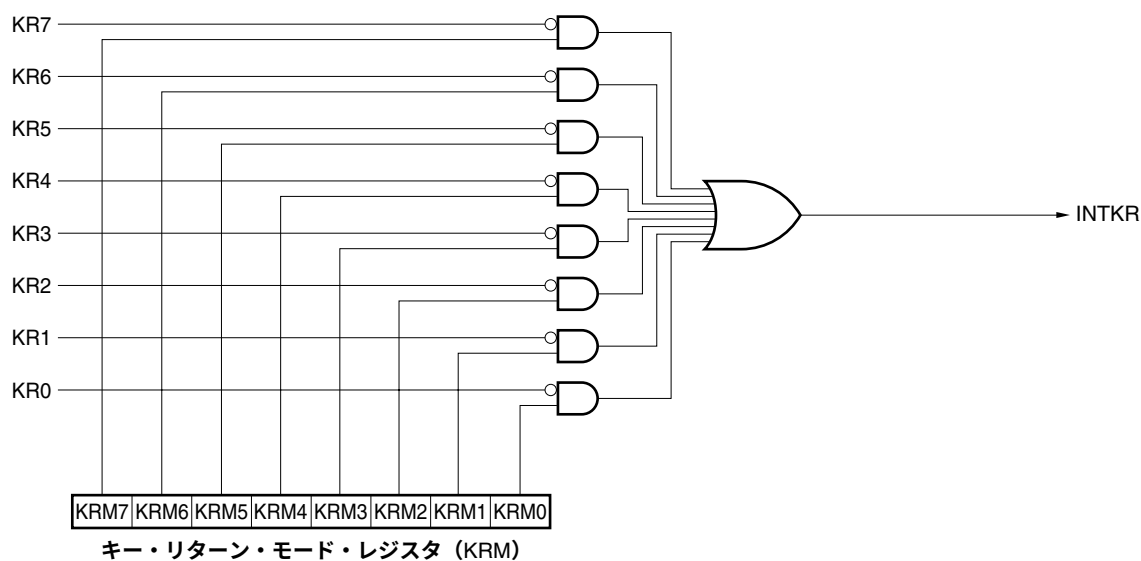
21.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表21-2 キー割り込みの構成

項 目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM)

図21-1 キー割り込みのブロック図



備考 KR0, KR1, KRM0, KRM1 : 78K0/KC2の38ピン製品

KR0-KR3, KRM0-KRM3 : 78K0/KC2の44ピン製品, 48ピン製品

KR0-KR7, KRM0-KRM7 : 78K0/KD2, 78K0/KE2, 78K0/KF2

21.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRM_nビットをKR_n信号で制御するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス：FF6EH リセット時：00H R/W

(1) 78K0/KC2の38ピン製品

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	0	0	KRM1	KRM0

(2) 78K0/KC2の44ピン製品, 48ピン製品

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	KRM3	KRM2	KRM1	KRM0

(3) 78K0/KD2, 78K0/KE2, 78K0/KF2

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRM _n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. KRM_nのうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗

抗レジスタ7 (PU7) のビットn (PU7_n) に1を設定してください。

2. KRMを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。

3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

4. 78K0/KC2の38ピン製品は、KRMのビット2-7には必ず0を設定してください。
78K0/KC2の44ピン製品, 48ピン製品は、KRMのビット4-7には必ず0を設定してください。

備考 n = 0, 1 : 78K0/KC2の38ピン製品
n = 0-3 : 78K0/KC2の44ピン製品, 48ピン製品
n = 0-7 : 78K0/KD2, 78K0/KE2, 78K0/KF2

第22章 スタンバイ機能

22. 1 スタンバイ機能と構成

22. 1. 1 スタンバイ機能

スタンバイ機能は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路、サブシステム・クロック発振回路[※]が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

注 78K0/KB2には、サブシステム・クロック発振回路はありません。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
3. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

22. 1. 2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作／停止、切り替えを制御するレジスタについては、第6章 クロック発生回路を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生（RESET入力、POC、LVI、WDTによるリセット）、STOP命令、MSTOP（MOCレジスタのビット7）= 1により、00Hになります。

図22-1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス: FFA3H リセット時: 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16		発振安定時間のステータス	
						$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上	819.2 μs 以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上	3.27 ms以上

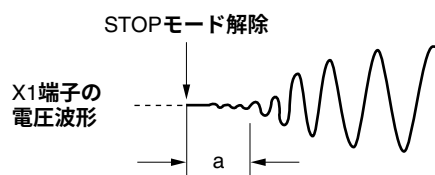
注意1. 上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 $\leq$ OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、05Hになります。

図22-2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs	102.4 μs
0	1	0	$2^{13}/f_x$	819.2 μs	409.6 μs
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 μs
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

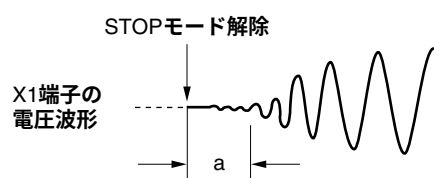
注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 $\leq$ OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。

- X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含まれません。



備考 f_x ：X1クロック発振周波数

22.2 スタンバイ機能の動作

22.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロック^注のいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注 78K0/KB2には、サブシステム・クロックはありません。

表22-1 HALTモード時の動作状態 (1/2)

項 目		HALTモード の設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
			高速内蔵発振クロック（f _{RH} ）で CPU動作時	X1クロック（f _x ）でCPU動作時	外部メイン・システム・クロッ ク（f _{EXCLK} ）でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _{RH}	動作継続（停止不可）		HALTモード設定前の状態を継続	
	f _x	HALTモード設定前の状態を継続		動作継続（停止不可）	HALTモード設定前の状態を保持
	f _{EXCLK}	外部クロックの入力により動作または停止			動作継続（停止不可）
サ ブ シ ス テ ム・クロック	f _{XT}	HALTモード設定前の状態を継続			
	f _{EXCLKS}	外部クロックの入力により動作または停止			
f _{RL}		HALTモード設定前の状態を継続			
CPU			動作停止		
フラッシュ・メモリ					
RAM			HALTモード設定前の状態を保持		
ポート（ラッチ）					
16ビット・タイマ／ イベント・カウンタ	00	動作可能			
	01				
8ビット・タイマ／イ ベント・カウンタ	50				
	51				
8ビット・タイマ	H0				
	H1				
時計用タイマ					
ウォッチドッグ・タイマ			動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウエアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力			動作可能		
ブザー出力					
A/Dコンバータ					
シ リ ア ル・イン タフェー ス	UART0				
	UART6				
	CSI10				
	CSI11				
	CSIA0				
	IIC0				
乗除算器					
パワーオン・クリア機能					
低電圧検出機能					
外部割り込み					

備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

表22-1 HALTモード時の動作状態 (2/2)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項 目		XT1クロック (f_{XT}) でCPU動作時	外部サブシステム・クロック (f_{EXCLKS}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f_{RH}	HALTモード設定前の状態を継続	
	f_X		
	f_{EXCLK}	外部クロックの入力により動作または停止	
サブシステム・クロック	f_{XT}	動作継続 (停止不可)	HALTモード設定前の状態を継続
	f_{EXCLKS}	外部クロックの入力により動作または停止	動作継続 (停止不可)
f_{RL}		HALTモード設定前の状態を継続	
CPU		動作停止	
フラッシュ・メモリ			
RAM		HALTモード設定前の状態を保持	
ポート (ラッチ)			
16ビット・タイマ／イベント・カウンタ	00 ^注	動作可能	
	01 ^注		
	50 ^注		
	51 ^注		
8ビット・タイマ	H0		
	H1		
時計用タイマ			
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。	
クロック出力		動作可能	
ブザー出力		動作可能。ただし周辺ハードウェア・クロック (f_{PRS}) 停止時は動作禁止。	
A/Dコンバータ			
シリアル・インタフェース	UART0	動作可能	
	UART6		
	CSI10 ^注		
	CSI11 ^注		
	CSIA0 ^注		
	IIC0 ^注		
乗除算器			
パワーオン・クリア機能			
低電圧検出機能			
外部割り込み			

注 CPUがサブシステム・クロック動作中で、高速内蔵発振クロックと高速システム・クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

- 備考1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック
2. 製品により、搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

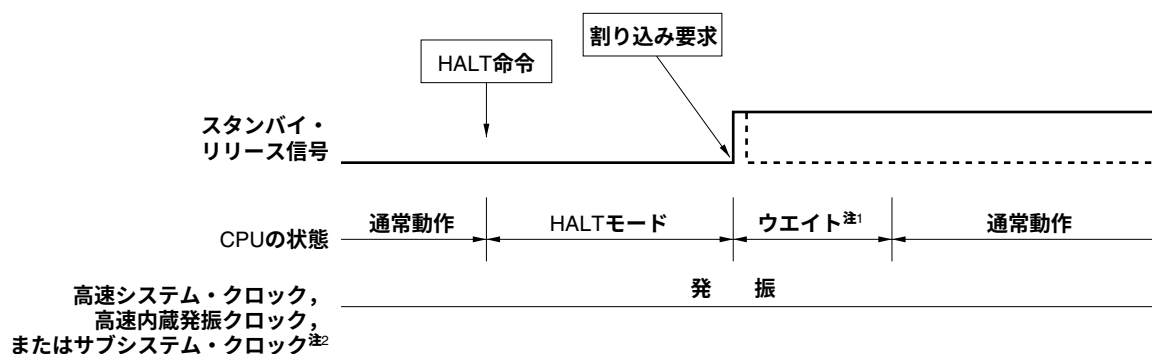
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図22-3 HALTモードの割り込み要求発生による解除



注1. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11~12クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

2. 78K0/KB2には、サブシステム・クロックはありません。

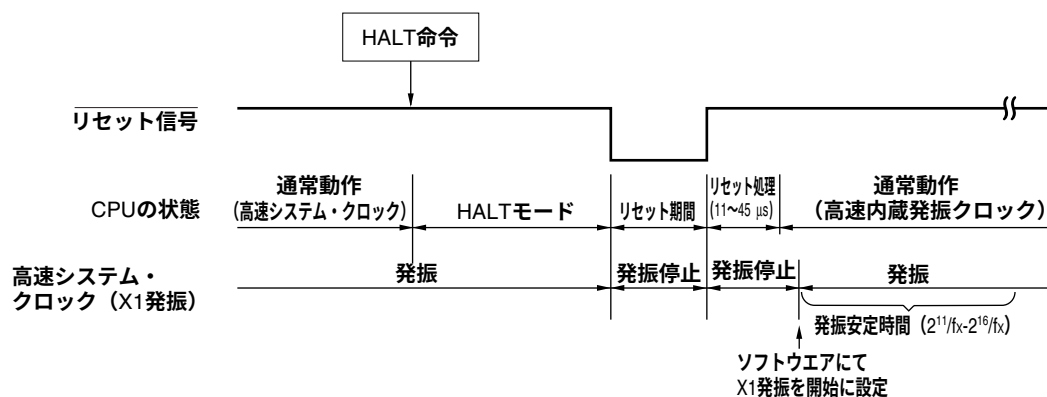
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

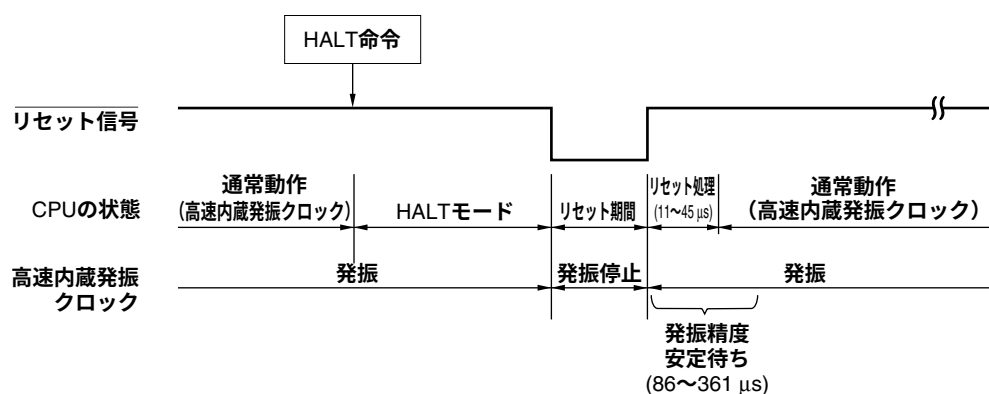
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図22-4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合

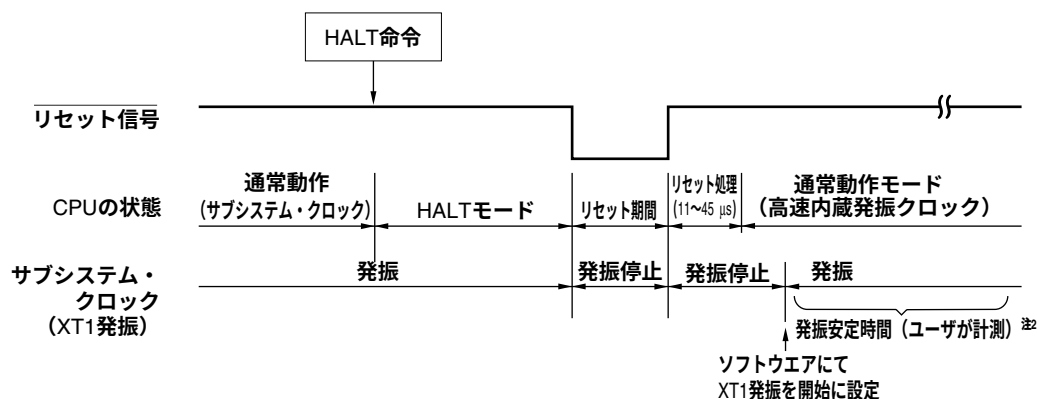


(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図22-4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合^{注1}

注1. 78K0/KB2には、サブシステム・クロックはありません。

- ★
2. サブシステム・クロックに外部サブシステム・クロック（f_{EXCLKS}）を使用している場合、発振安定時間は不要です。

表22-2 HALTモード時の割り込み要求に対する動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
リセット	—	—	×	×	リセット処理

×：don't care

22.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表22-3 STOPモード時の動作状態

STOPモード の設定 項 目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック（f _{RH} ）で CPU動作時	X1クロック（f _X ）でCPU動作時	外部メイン・システム・クロッ ク（f _{EXCLK} ）でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _{RH}	停止		
	f _X			
	f _{EXCLK}	入力無効		
サ ブ シ ス テ ム・クロック	f _{XT}	STOPモード設定前の状態を継続		
	f _{EXCLKS}	外部クロックの入力により動作または停止		
F _{RI}		STOPモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ				
RAM		STOPモード設定前の状態を保持		
ポート（ラッチ）				
16ビット・タイマ／ イベント・カウンタ	00 ^{※1}	動作停止		
	01 ^{※1}			
8ビット・タイマ／イ ベント・カウンタ	50 ^{※1}	カウント・クロックにTI50選択時のみ動作可能		
	51 ^{※1}	カウント・クロックにTI51選択時のみ動作可能		
8ビット・タイマ	H0	8ビット・タイマ／イベント・カウンタ50動作時、カウント・クロックにTM50出力選択時のみ動作可能		
	H1	カウント・クロックにf _{RL} 、f _{RL} /2 ⁷ 、f _{RL} /2 ⁹ 選択時のみ動作可能		
時計用タイマ		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ブザー出力		動作停止		
A/Dコンバータ				
シ リ ア ル・イン タフェー ス	UART0	8ビット・タイマ／イベント・カウンタ50動作時、シリアル・クロックにTM50出力選択時のみ動作可能		
	UART6			
	CSI10 ^{※1}	シリアル・クロックに外部クロック選択時のみ動作可能		
	CSI11 ^{※1}			
	CSIA0 ^{※1}	動作停止		
IIC0 ^{※1}	シリアル・クロックにEXSCL0/P62端子からの外部クロック選択時のみ動作可能 ^{※2}			
乗除算器		動作停止		
パワーオン・クリア機能		動作可能		
低電圧検出機能				
外部割り込み				

注1. STOPモード中は, 周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

2. 78K0/KB2の製品は動作停止です (EXSCL0/P62端子を搭載していないため, EXSCL0/P62端子からの外部クロックは選択不可)。

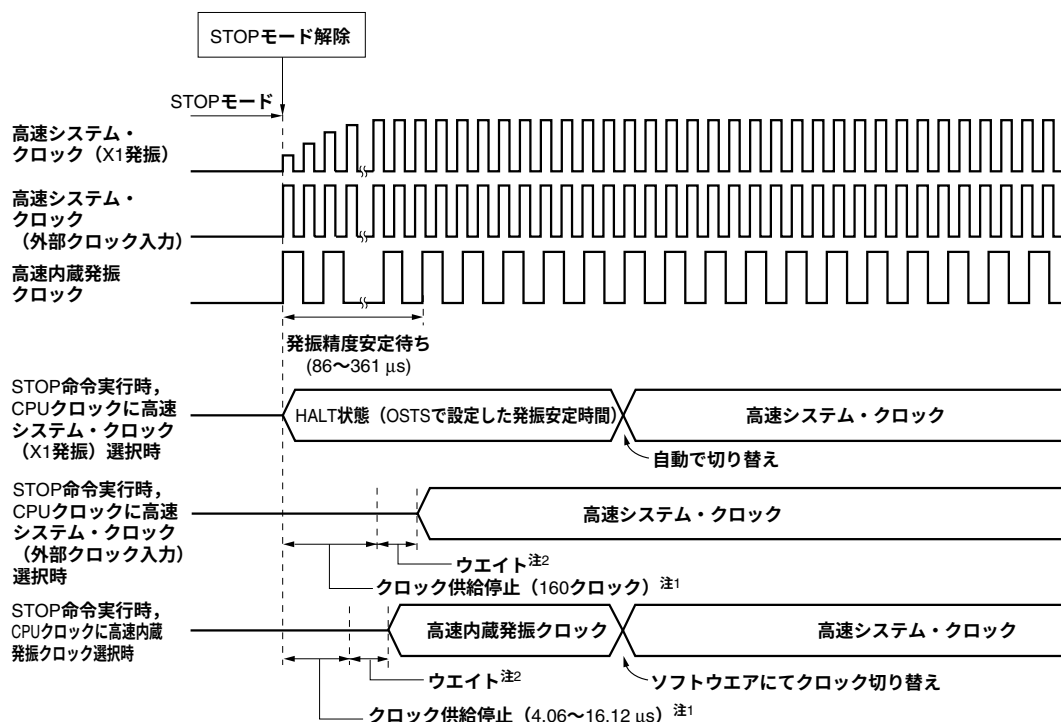
備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても、STOPモード時では低速内蔵発振クロックは、STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は、ソフトウェアにて、低速内蔵発振器の発振を停止してから、STOP命令を実行してください。
3. 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に次の手順で高速内蔵発振クロックに切り替えることで実現できます。
- ① RSTOPを0に設定 (高速内蔵発振器の発振開始) → ② MCM0を0に設定 (CPUをX1発振から高速内蔵発振に切り替え) → ③ MCS = 0であることを確認 (CPUクロックの確認) → ④ RSTS = 1であることを確認 (高速内蔵発振動作の確認) → ⑤ STOP命令実行
- STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから、行ってください。
4. AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06~16.12 μ s間、CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。
5. STOP命令は、必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。

(2) STOPモードの解除

図22-5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注1. AMPH = 1設定時

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17~18クロック
- ・ベクタ割り込み処理を行わない場合 : 11~12クロック

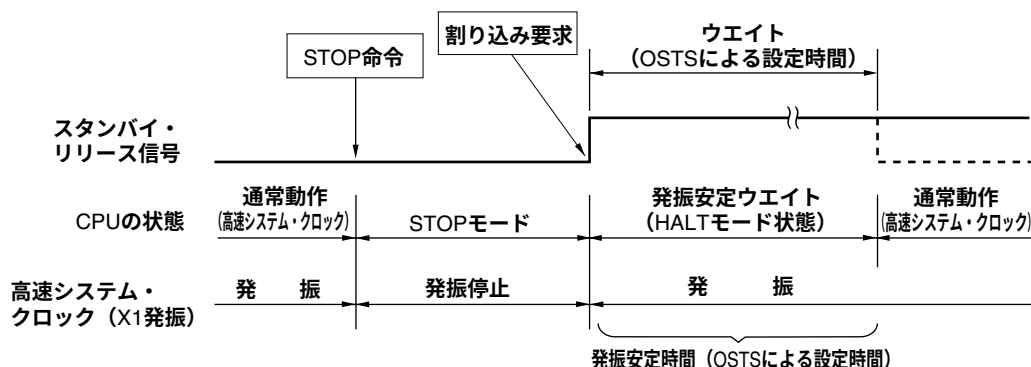
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

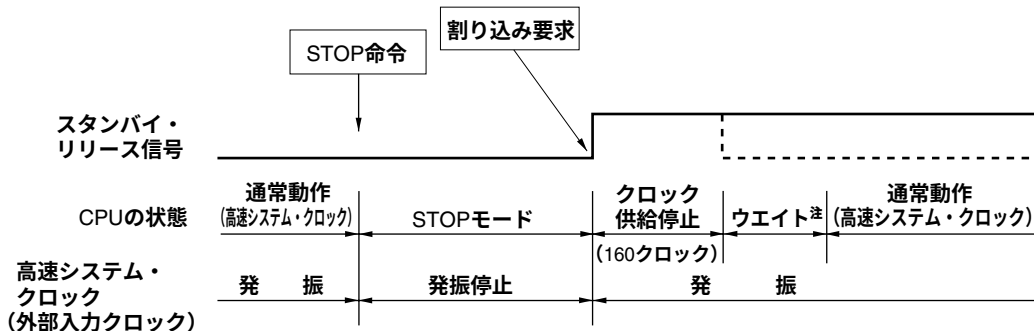
図22-6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合

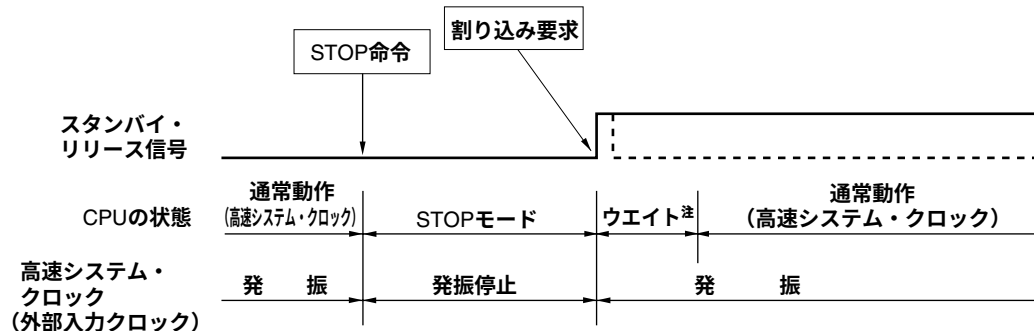


(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

• AMPH = 1の場合



• AMPH = 0の場合



注 ウエイト時間は次のようになります。

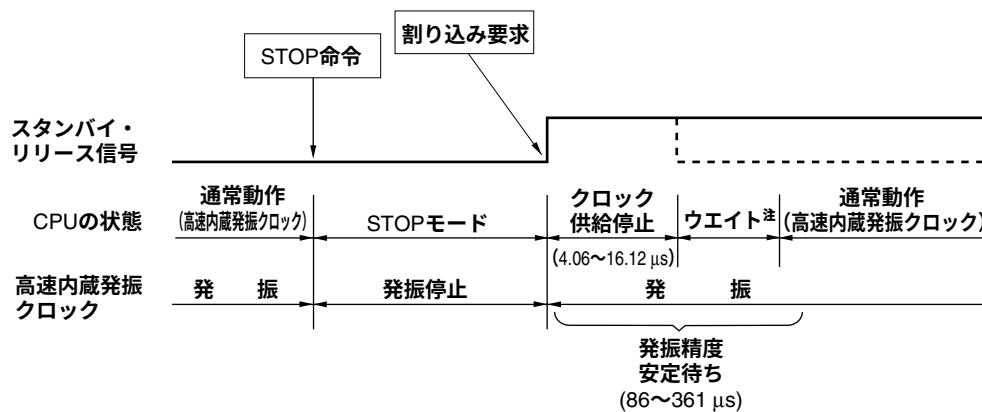
- ベクタ割り込み処理を行う場合 : 17~18クロック
- ベクタ割り込み処理を行わない場合 : 11~12クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

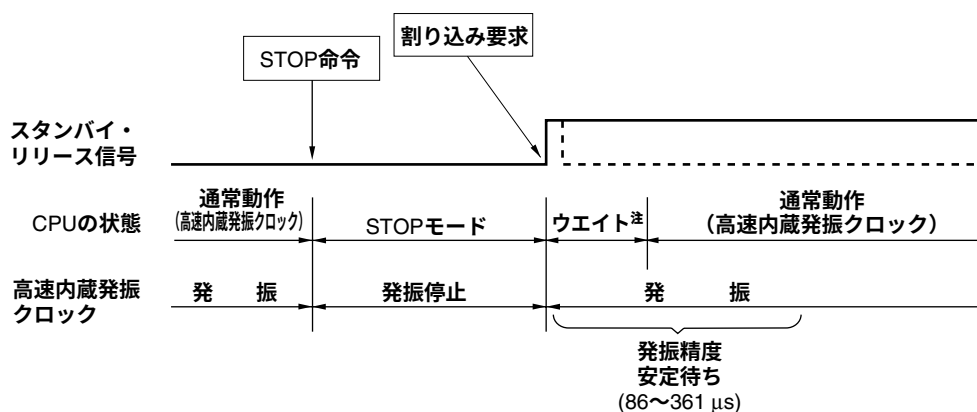
図22-6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合

• AMPH = 1の場合



• AMPH = 0の場合



注 ウェイト時間は次のようになります。

- ベクタ割り込み処理を行う場合 : 17~18クロック
- ベクタ割り込み処理を行わない場合 : 11~12クロック

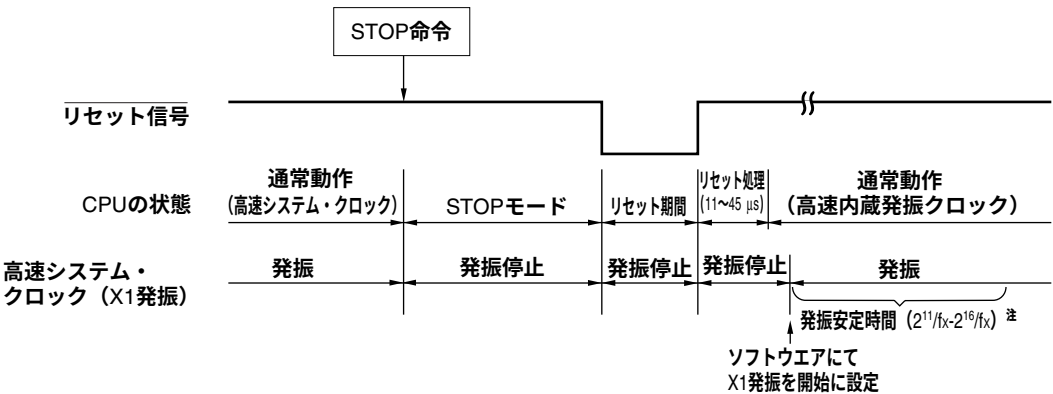
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

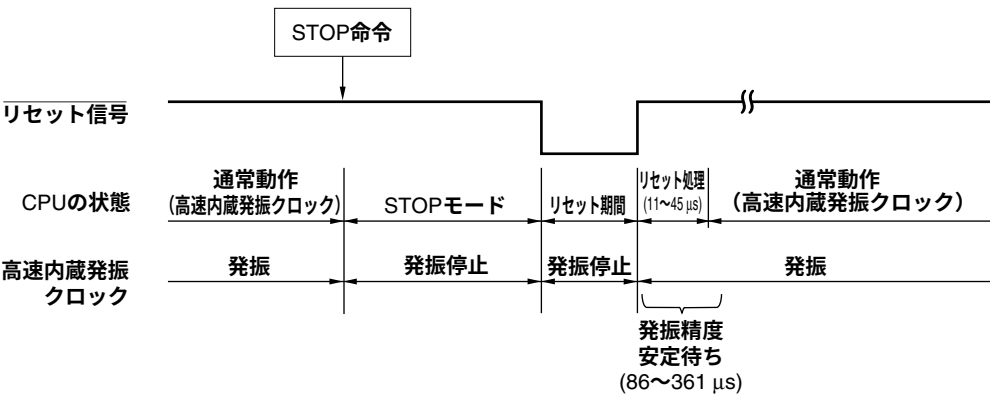
図22-7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



★ 注 高速システム・クロックに外部メイン・システム・クロック (f_{EXCLK}) を使用している場合，発振安定時間は不要です。

(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表22-4 STOPモード時の割り込み要求に対する動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
リセット	—	—	×	×	リセット処理

× : don't care

第23章 リセット機能

リセット機能は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表23-1、表23-2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

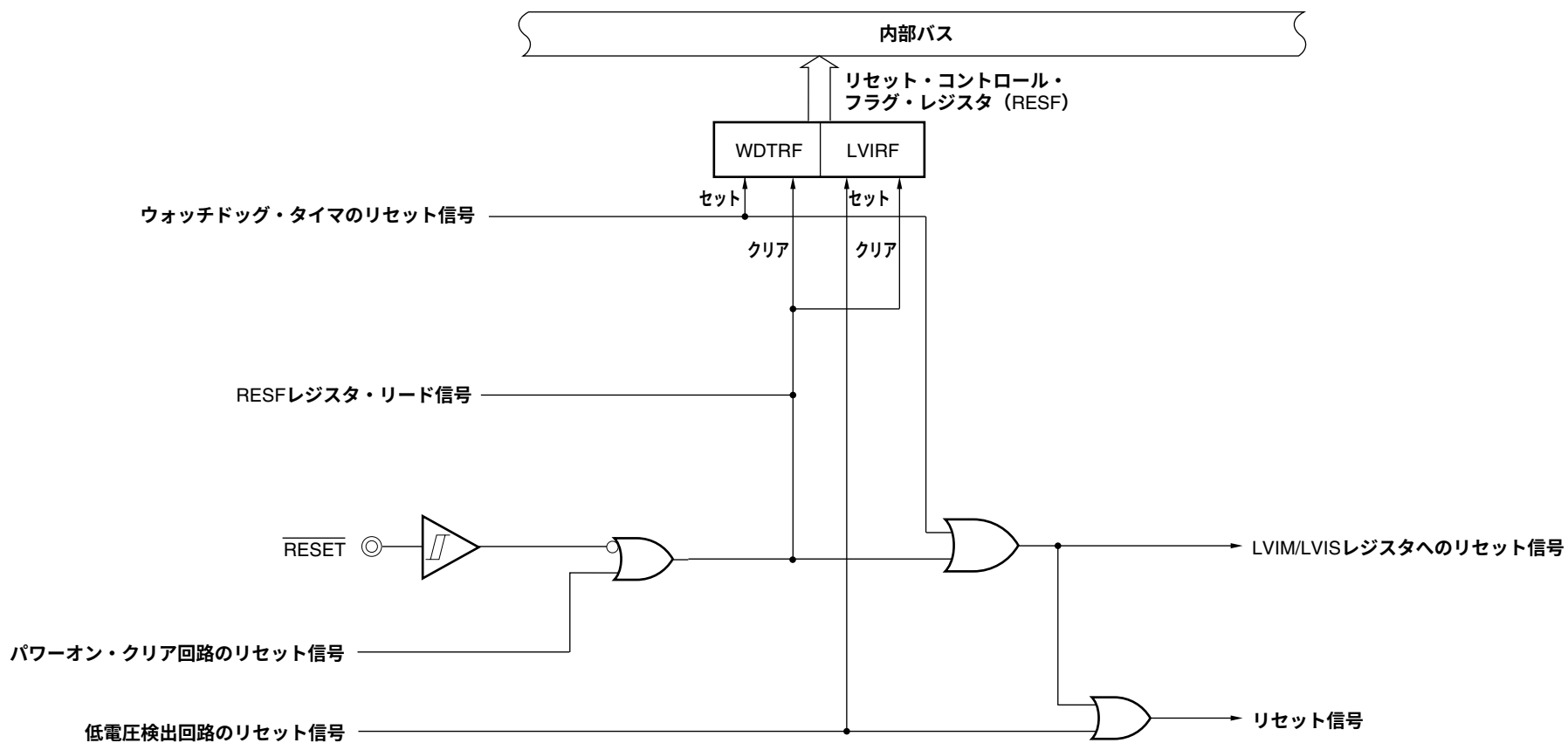
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します（図23-2から図23-4参照）。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} \geq V_{POC}$ または $V_{DD} \geq V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します（第24章 パワーオン・クリア回路と第25章 低電圧検出回路参照）。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、XT1クロック^{注1}、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロック^{注1}の入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子では、P130^{注2}はロウ・レベル出力に、それ以外はハイ・インピーダンスとなります。

注1. 78K0/KB2には、XT1クロック、外部サブシステム・クロックはありません。

2. 78K0/KC2の38ピン、44ピン製品と78K0/KB2には、P130端子を搭載していません。

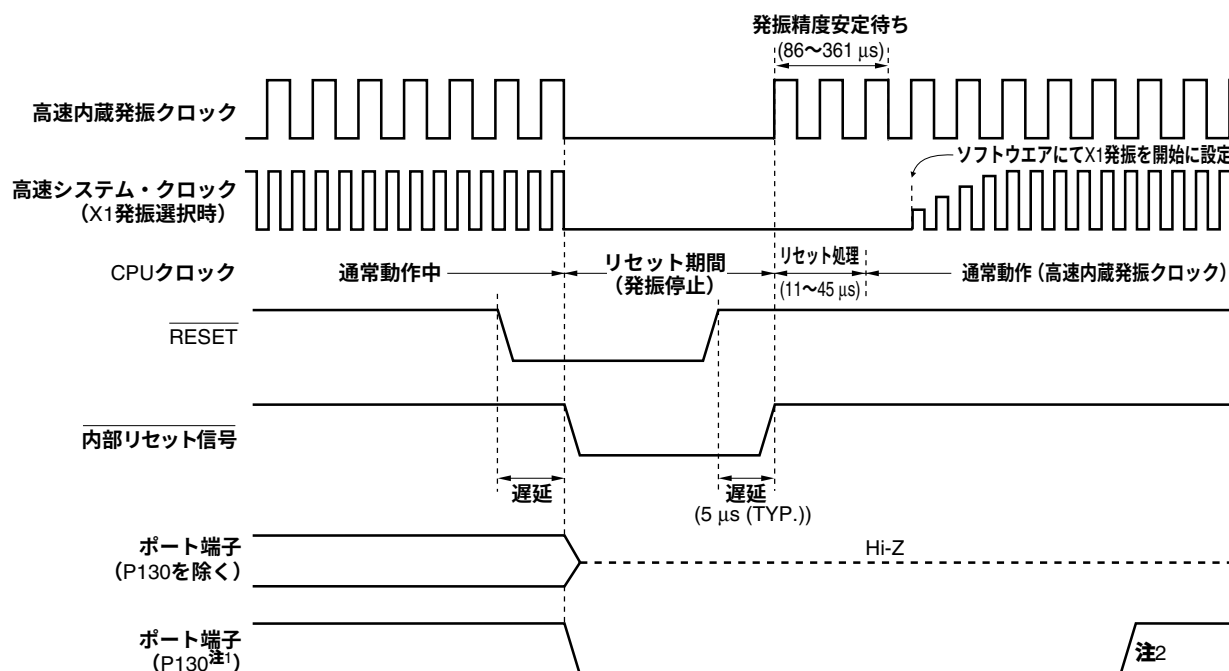
図23-1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考** 1. LVIM：低電圧検出レジスタ
 2. LVIS：低電圧検出レベル選択レジスタ

図23-2 RESET入力によるリセット・タイミング

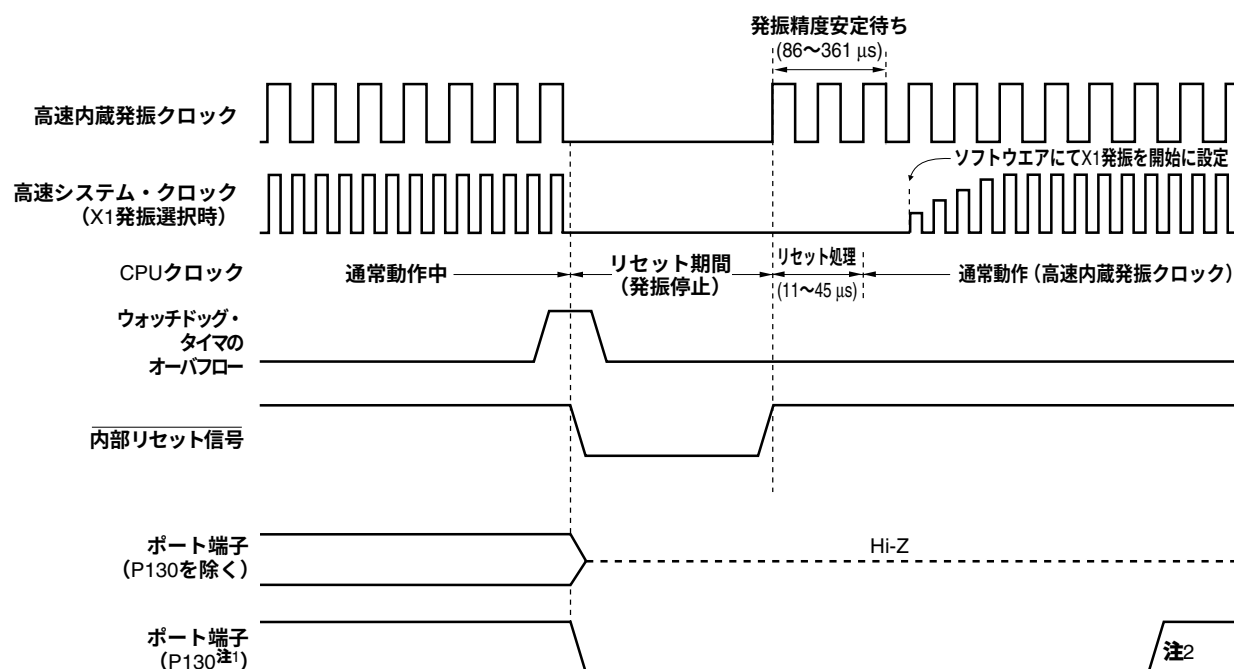


注1. 78K0/KC2の38ピン、44ピン製品と78K0/KB2には、P130端子を搭載していません。

2. ソフトウェアでハイ・レベル出力にしてください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

図23-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注1. 78K0/KC2の38ピン、44ピン製品と78K0/KB2には、P130端子を搭載していません。

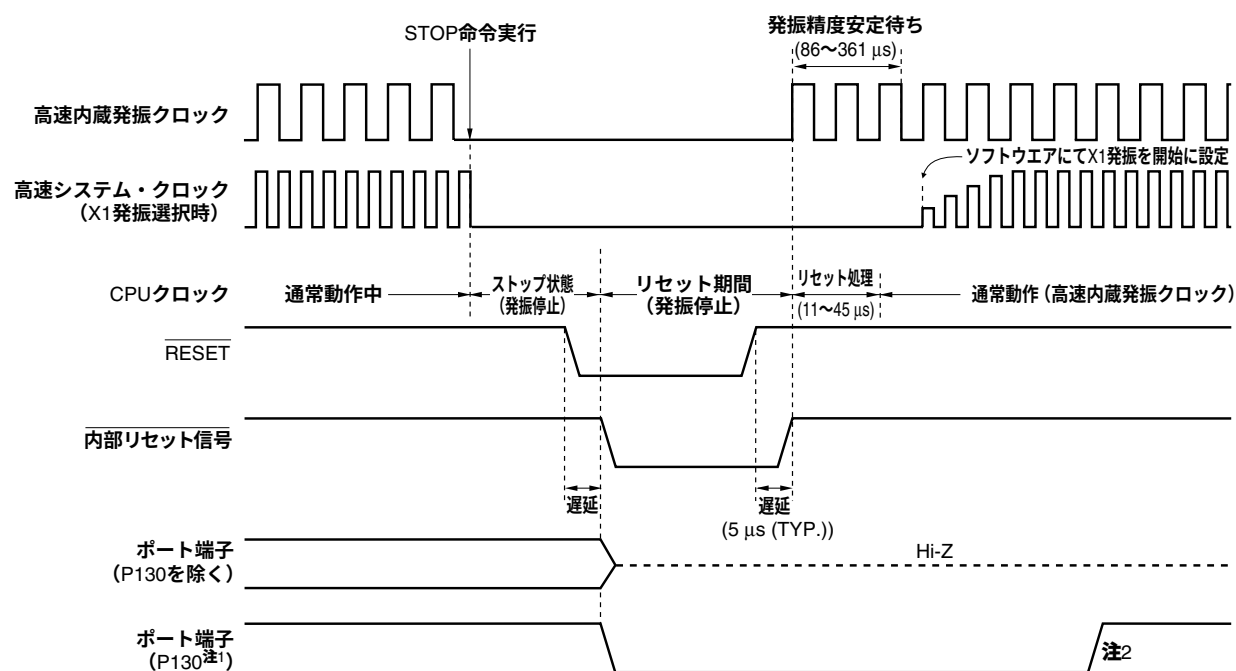
2. ソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

注2

図23-4 STOPモード中のRESET入力によるリセット・タイミング



注1. 78K0/KC2の38ピン、44ピン製品と78K0/KB2には、P130端子を搭載していません。

2. ソフトウェアでハイ・レベル出力にしてください。

備考1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができません。

2. パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第24章 パワーオン・クリア回路と第25章 低電圧検出回路を参照してください。

表23-1 リセット期間中の動作状態

項 目		リセット期間中
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{RH}	動作停止
	f _X	動作停止（端子は入出力ポート・モード）
	f _{EXCLK}	クロックの入力無効（端子は入出力ポート・モード）
サブシステム・クロック	f _{XT}	動作停止（端子は入出力ポート・モード）
	f _{EXCLKS}	クロックの入力無効（端子は入出力ポート・モード）
f _{RL}		動作停止
CPU		
フラッシュ・メモリ		
RAM		
ポート（ラッチ）		
16ビット・タイマ／	00	
イベント・カウンタ	01	
8ビット・タイマ／イ	50	
ベント・カウンタ	51	
8ビット・タイマ	H0	
	H1	
時計用タイマ		
ウォッチドッグ・タイマ		
クロック出力		
ブザー出力		
A/Dコンバータ		
シリアル・インタフェース	UART0	
	UART6	
	CSI10	
	CSI11	
	CSIA0	
	IIC0	
乗除算器		
パワーオン・クリア機能		動作可能
低電圧検出機能		動作停止
外部割り込み		

備考1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

表23-2 各ハードウェアのリセット受け付け後の状態 (1/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0-P7, P12-P14) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM7, PM12, PM14)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU12, PU14)		00H
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注3,4}
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注3,4}

- 注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。
2. スタンバイ・モード時でのリセット後の状態は保持となります。
3. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2マイクロコントローラすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、製品ごとに表3-1、表3-2に示す値を必ず設定してください。
4. オンチップ・デバッグ機能搭載品はIMSとIXSの設定により、ROM容量とRAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSとIXSの設定は、デバッグ対象の製品に合わせてください。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3. 2. 3 **特殊機能レジスタ (SFR: Special Function Register)** を参照してください。

表23-2 各ハードウェアのリセット受け付け後の状態 (2/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
メモリ・バンク選択レジスタ (BANK)		00H
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード・レジスタ (RCM)		80H
メインOSCコントロール・レジスタ (MOC)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
16ビット・タイマ/ イベント・カウンタ00, 01	タイマ・カウンタ00, 01 (TM00, TM01)	0000H
	キャプチャ/コンペア・レジスタ000, 010, 001, 011 (CR000, CR010, CR001, CR011)	0000H
	モード・コントロール・レジスタ00, 01 (TMC00, TMC01)	00H
	プリスケラ・モード・レジスタ00, 01 (PRM00, PRM01)	00H
	キャプチャ/コンペア・コントロール・レジスタ00, 01 (CRC00, CRC01)	00H
	タイマ出力コントロール・レジスタ00, 01 (TOC00, TOC01)	00H
8ビット・タイマ/イベント・カウンタ50, 51	タイマ・カウンタ50, 51 (TM50, TM51)	00H
	コンペア・レジスタ50, 51 (CR50, CR51)	00H
	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51 (TMC50, TMC51)	00H
8ビット・タイマH0, H1	コンペア・レジスタ00, 10, 01, 11 (CMP00, CMP10, CMP01, CMP11)	00H
	モード・レジスタ (TMHMD0, TMHMD1)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注2}	00H
時計用タイマ	動作モード・レジスタ (WTM)	00H
クロック出力/ブザー出力制御回路	クロック出力選択レジスタ (CKS)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	00H
シリアル・インタフェース UART0	受信バッファ・レジスタ0 (RXB0)	FFH
	送信シフト・レジスタ0 (TXS0)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)	1FH

注1. リセット信号発生中および発振安定時間ウェイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. 8ビット・タイマH1のみ。

3. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表23-2 各ハードウェアのリセット受け付け後の状態 (3/4)

ハードウェア		リセット受け付け後の状態 ^注
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
	入力切り替え制御レジスタ (ISC)	00H
シリアル・インタフェース CSI10, CSI11	送信バッファ・レジスタ10, 11 (SOTB10, SOTB11)	00H
	シリアルI/Oシフト・レジスタ10, 11 (SIO10, SIO11)	00H
	シリアル動作モード・レジスタ10, 11 (CSIM10, CSIM11)	00H
	シリアル・クロック選択レジスタ10, 11 (CSIC10, CSIC11)	00H
シリアル・インタフェース CSIA0	シリアル動作モード指定レジスタ0 (CSIMA0)	00H
	シリアル・ステータス・レジスタ0 (CSIS0)	00H
	シリアル・トリガ・レジスタ0 (CSIT0)	00H
	分周値選択レジスタ0 (BRGCA0)	03H
	自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)	00H
	自動データ転送間隔指定レジスタ0 (ADTI0)	00H
	シリアルI/Oシフト・レジスタ0 (SIOA0)	00H
	自動データ転送アドレス・カウント・レジスタ0 (ADTC0)	00H
シリアル・インタフェース IIC0	シフト・レジスタ0 (IIC0)	00H
	コントロール・レジスタ0 (IICC0)	00H
	スレーブ・アドレス・レジスタ0 (SVA0)	00H
	クロック選択レジスタ0 (IICCL0)	00H
	機能拡張レジスタ0 (IICX0)	00H
	状態レジスタ0 (IICS0)	00H
	フラグ・レジスタ0 (IICF0)	00H
乗除算器	剰余データ・レジスタ0 (SDR0)	0000H
	乗除算データ・レジスタA0 (MDA0H, MDA0L)	0000H
	乗除算データ・レジスタB0 (MDB0)	0000H
	乗除算器コントロール・レジスタ0 (DMUC0)	00H
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表23-2 各ハードウェアのリセット受け付け後の状態 (4/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注2}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注2}
割り込み	要求フラグ・レジスタ 0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ 0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ 0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

リセット要因 レジスタ		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
RESF	WDTRFフラグ	クリア (0)	クリア (0)	セット (1)	保持
	LVIRFフラグ			保持	セット (1)
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS					

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3. 2. 3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

23. 1 リセット要因を確認するレジスタ

78K0/Kx2マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア（POC）回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図23-5 リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFACH リセット時：00H[※] R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出（LVI）回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表23-3に示します。

表23-3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第24章 パワーオン・クリア回路

24.1 パワーオン・クリア回路の機能

パワーオン・クリア回路は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

パワーオン・クリア（POC）回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

1.59 V POCモード設定時（オプション・バイト：POCMODE = 0）は、電源電圧（ V_{DD} ）が $1.59\text{ V} \pm 0.15\text{ V}$ を越えた場合に、リセットを解除します。

2.7 V/1.59 V POCモード設定時（オプション・バイト：POCMODE = 1）時は、電源電圧（ V_{DD} ）が $2.7\text{ V} \pm 0.2\text{ V}$ を越えた場合に、リセットを解除します。

- ・電源電圧（ V_{DD} ）と検出電圧（ $V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$ ）を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

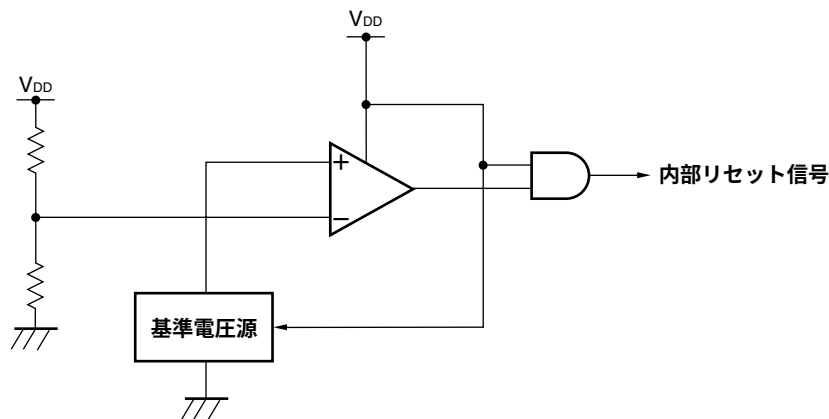
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。

備考 78K0/Kx2マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／低電圧検出（LVI）回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ（RESF）に配置されています。RESFはWDT／LVIのいずれかによる内部リセット信号が発生した場合は、クリア（00H）されずフラグがセット（1）されます。RESFの詳細については、第23章 リセット機能を参照してください。

24.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図24-1に示します。

図24-1 パワーオン・クリア回路のブロック図



24.3 パワーオン・クリア回路の動作

(1) 1.59 V POCモード設定時（オプション・バイト：POCMODE = 0）

- ・電源投入時に内部リセット信号を発生し、電源電圧（ V_{DD} ）が検出電圧（ $V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$ ）を越えたら、リセットを解除します。
- ・電源電圧（ V_{DD} ）と検出電圧（ $V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$ ）を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} \geq V_{POC}$ のときリセットを解除します。

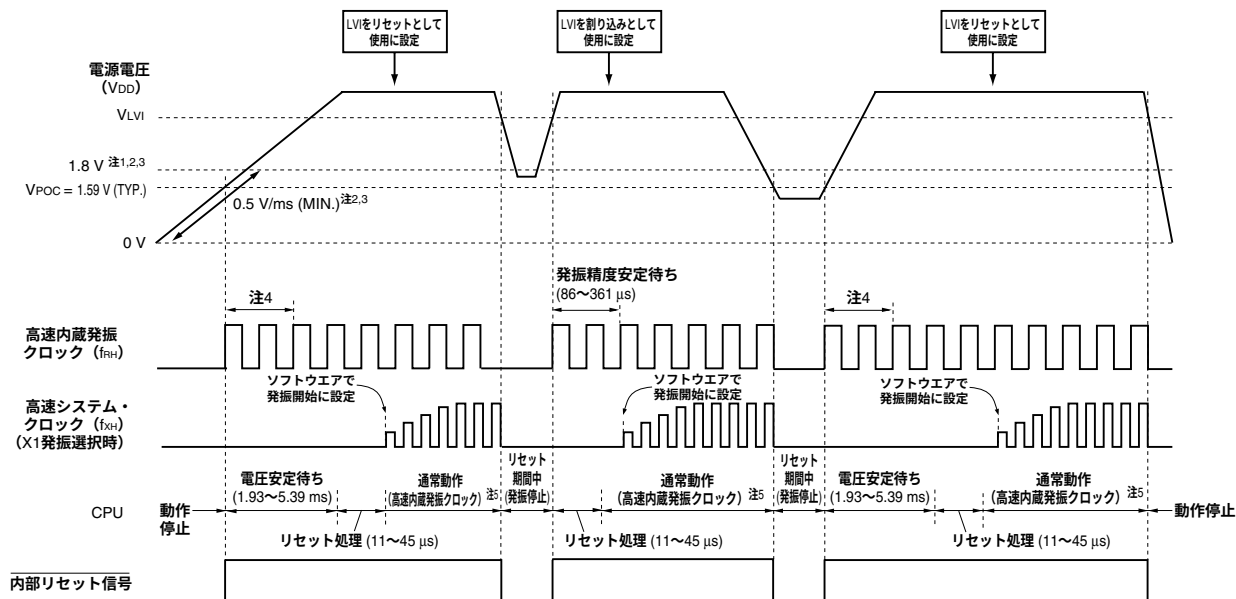
(2) 2.7 V/1.59 V POCモード設定時（オプション・バイト：POCMODE = 1）

- ・電源投入時に内部リセット信号を発生し、電源電圧（ V_{DD} ）が電源電圧投入時検出電圧（ $V_{DDPOC} = 2.7\text{ V} \pm 0.2\text{ V}$ ）を越えたら、リセットを解除します。
- ・電源電圧（ V_{DD} ）と検出電圧（ $V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$ ）を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} \geq V_{DDPOC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図24-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0)



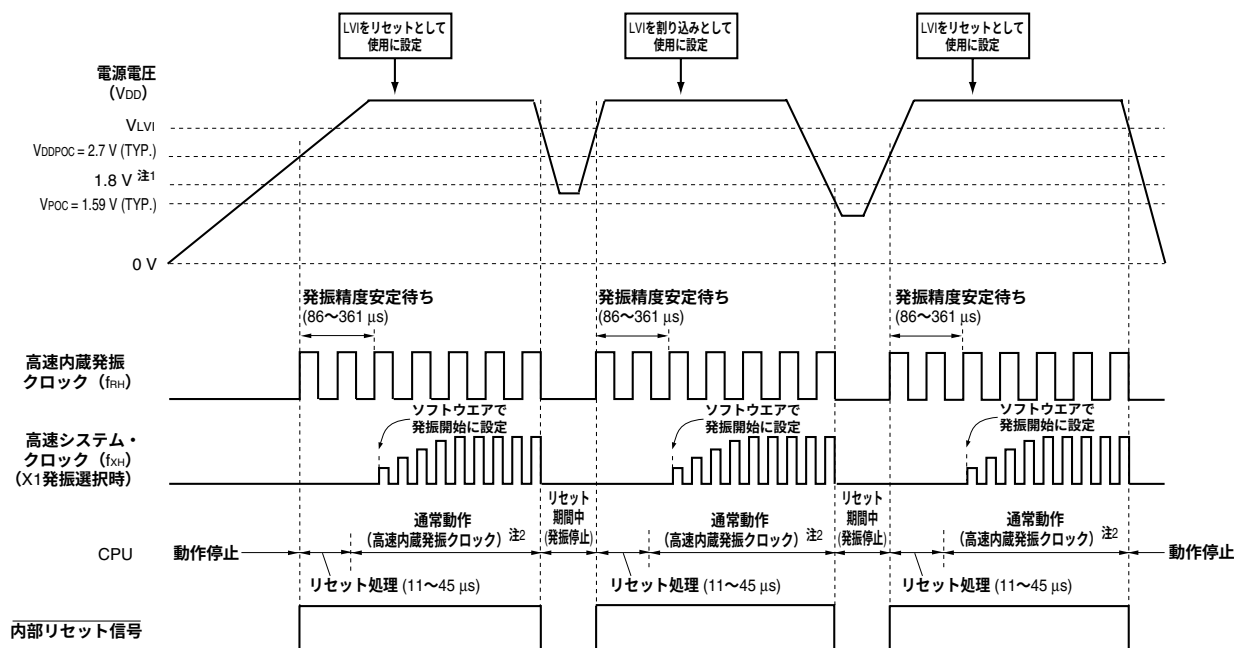
- 注1. 標準品, (A) 水準品の動作保証範囲は $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, (A2) 水準品の動作保証範囲は $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ です。電源立ち上がり時に動作保証範囲未満の電圧範囲をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、または $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。
2. 標準品, (A) 水準品では、電源投入時から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください。
3. (A2) 水準品では、電源投入時から2.7 Vに達するまでの電圧の立ち上がり、0.75 V/ms (MIN.) よりも緩やかな場合は、電源投入時から2.7 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。
4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
5. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロック^{※6}に切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロック^{※6}を使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
6. 78K0/KB2には、サブシステム・クロック、XT1クロックはありません。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第25章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

図24-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1)



- 注1. 標準品, (A) 水準品の動作保証範囲は $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, (A2) 水準品の動作保証範囲は $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ です。電源立ち下がり時に動作保証範囲未満の電圧範囲をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロック^{注3}に切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロック^{注3}を使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
3. 78K0/KB2には、サブシステム・クロック、XT1クロックはありません。

- 注意1. 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第25章 低電圧検出回路を参照)。
2. 電源電圧が1.59 V (TYP.) に達したあと、1.93~5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0~5.39 msの電源安定待ち時間が自動的に発生します。

備考 V_{LV} : LVI検出電圧
V_{POC} : POC検出電圧

24.4 パワーオン・クリア回路の注意事項

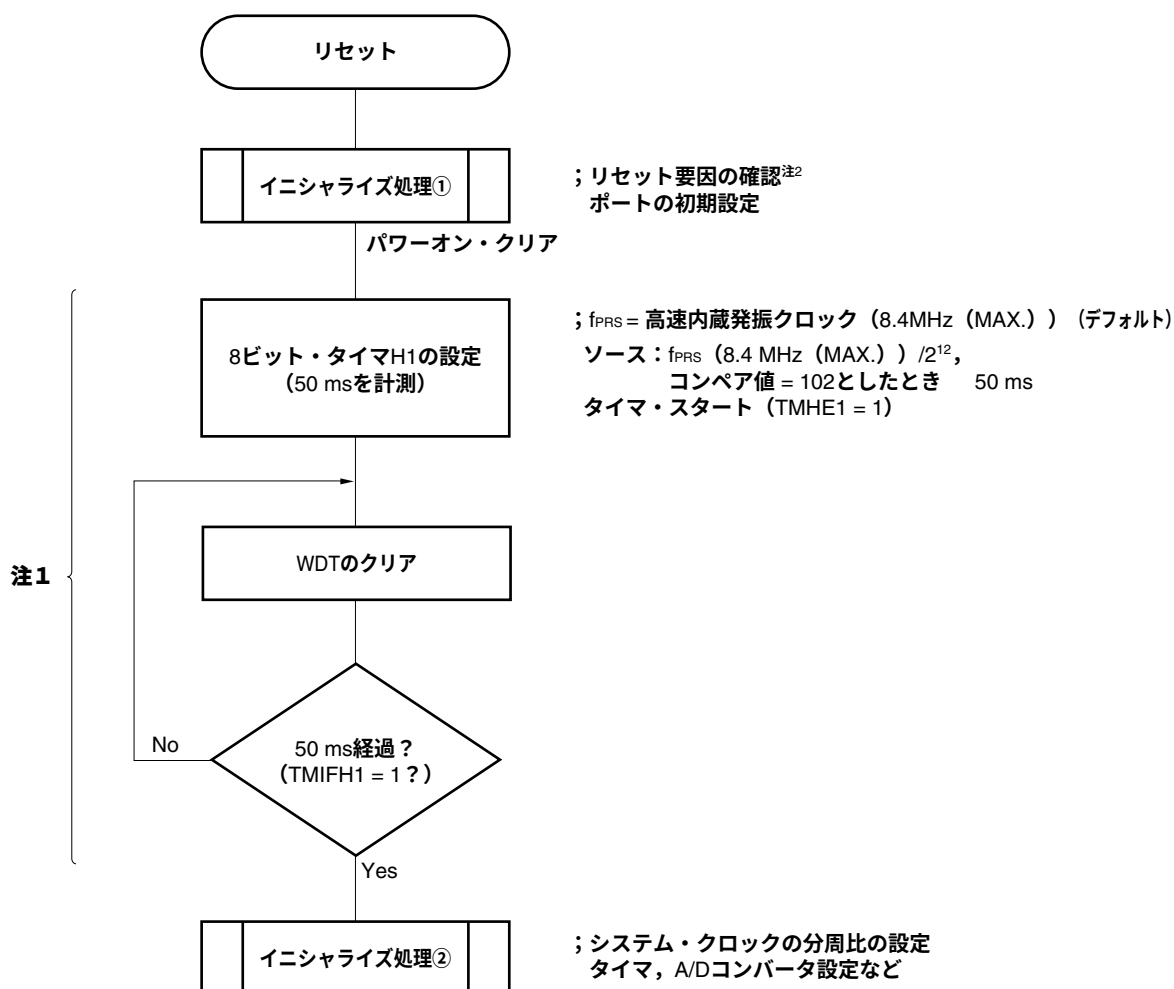
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください。

図24-3 リセット解除後のソフト処理例 (1/2)

- ・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

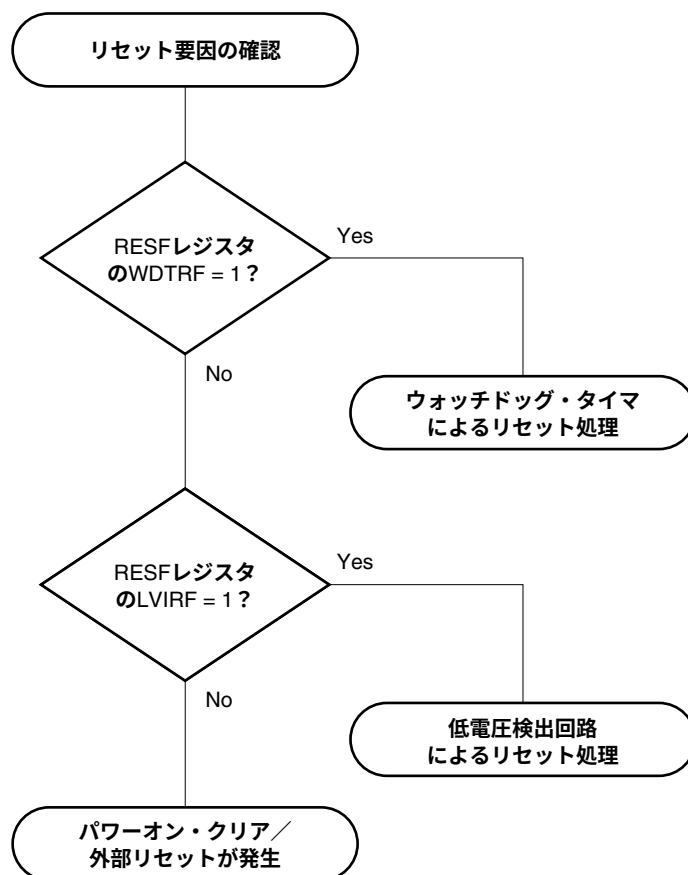


注1. この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

2. 次頁にフロー・チャートを示します。

図24-3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第25章 低電圧検出回路

25.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、78K0/Kx2マイクロコントローラの全製品に搭載されています。

低電圧検出回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21\text{ V (TYP.)}$: 固定) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 (V_{DD}) / 外部入力端子からの入力電圧 ($EXLVI$) は、ソフトウェアにて選択できます。
- ・リセット / 割り込みは、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを16段階^{*}より選択できます。
- ・STOPモード時においても動作可能です。

注 標準品, (A) 水準品: 16段階

(A2) 水準品: 10段階

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} \geq V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} \geq V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI \geq V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI \geq V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ (LVIM) のビット2

$LVIMD$: LVIMのビット1

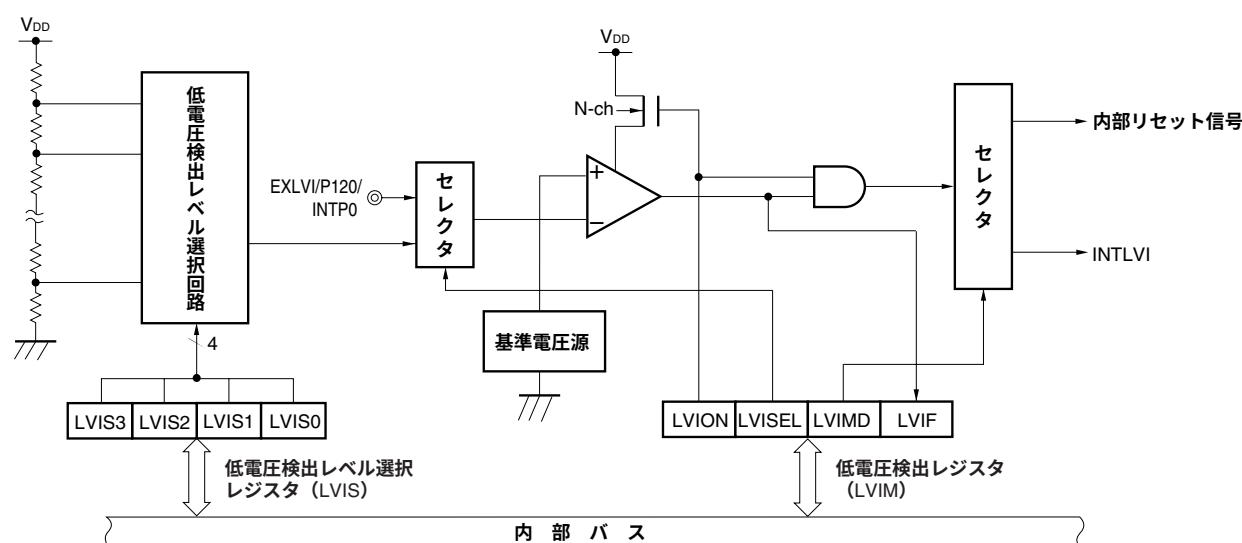
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 ($LVIRF$) がセット (1) されます。RESFについての詳細は、第23章 リセット機能を参照してください。

25.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図25-1に示します。

図25-1 低電圧検出回路のブロック図



25.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図25-2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス: FFBEH リセット時: 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3, 4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	- LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} ≥ V_{LVI}になったとき内部割り込み信号を発生 - LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI ≥ V_{EXLVI}になったときに割り込み信号発生
1	- LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, にV_{DD} ≥ V_{LVI}時に内部リセット解除 - LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI ≥ V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	- LVISEL=0の場合, 電源電圧 (V_{DD}) ≥ 検出電圧 (V_{LVI}) , または動作禁止時 - LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) ≥ 検出電圧 (V_{EXLVI}) , または動作禁止時
1	- LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) - LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. LVI以外のリセット時では, "00H" にクリアされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してから動作が安定するまでの時間 (10 μs (MIN.)) を, ソフトウェアでウエイトしてください。また動作安定後, LVI検出電圧未満の状態になってからLVIFがセット (1) されるまで, 200 μs以上の外部入力 (最小パルス幅: 200 μs (MIN.)) が必要です。

注意1. LVIを停止する場合は, 次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合: LVIMに "00H" を書き込む
 - ・1ビット・メモリ操作命令の場合: LVIONをクリア (0)
- 外部入力端子からの入力電圧 (EXLVI) は, EXLVI < V_{DD} でなければなりません。
 - LVIを割り込みとして使用する場合, LVI検出電圧未満の状態 LVIONをクリア (0) すると, INTLVI信号が発生し, LVIIFが1になります。

注意4. 従来規格品 (μ PD78F05xx, 78F05xxD) では, LVIリセット発生後, LVION = 1のときは, LVISとLVIMに値を書き込まないでください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により, 00Hになります。

図25-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス: FFBFH リセット時: 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V _{LV10} (4.24 V $\pm$ 0.1 V)
0	0	0	1	V _{LV11} (4.09 V $\pm$ 0.1 V)
0	0	1	0	V _{LV12} (3.93 V $\pm$ 0.1 V)
0	0	1	1	V _{LV13} (3.78 V $\pm$ 0.1 V)
0	1	0	0	V _{LV14} (3.62 V $\pm$ 0.1 V)
0	1	0	1	V _{LV15} (3.47 V $\pm$ 0.1 V)
0	1	1	0	V _{LV16} (3.32 V $\pm$ 0.1 V)
0	1	1	1	V _{LV17} (3.16 V $\pm$ 0.1 V)
1	0	0	0	V _{LV18} (3.01 V $\pm$ 0.1 V)
1	0	0	1	V _{LV19} (2.85 V $\pm$ 0.1 V)
1	0	1	0	V _{LV110} (2.70 V $\pm$ 0.1 V) ^{注2}
1	0	1	1	V _{LV111} (2.55 V $\pm$ 0.1 V) ^{注2}
1	1	0	0	V _{LV112} (2.39 V $\pm$ 0.1 V) ^{注2}
1	1	0	1	V _{LV113} (2.24 V $\pm$ 0.1 V) ^{注2}
1	1	1	0	V _{LV114} (2.08 V $\pm$ 0.1 V) ^{注2}
1	1	1	1	V _{LV115} (1.93 V $\pm$ 0.1 V) ^{注2}

注1. LVIによるリセットのときには, LVISの値はリセットされず, そのまま値を保持します。それ以外のリセットでは, "00H" にクリアされます。

2. (A2) 水準品は, V_{LV110}-V_{LV115}を設定しないでください。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に, LVISの値を変更しないでください。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合, 検出電圧は固定 (V_{EXLVI} = 1.21 V (TYP.)) です。したがって, LVISの設定は不要です。

4. 従来規格品 (μ PD78F05xx, 78F05xxD) では, LVIリセット発生後, LVION = 1のときは, LVISとLVIMに値を書き込まないでください。

(3) ポート・モード・レジスタ¹² (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図25-4 ポート・モード・レジスタ¹² (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120

PM12n	P12n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 78K0/KB2製品のポート・モード・レジスタ¹²のフォーマットは、上記のフォーマットとは異なります。5.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

25.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} \geq V_{LVI}$ のとき内部リセットを解除します。
- LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI \geq V_{EXLVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} \geq V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI \geq V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD: 低電圧検出レジスタ (LVIM) のビット1

LVISEL: LVIMのビット2

25. 4. 1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

●動作開始時

- ① LVIの割り込みをマスクする ($LVIMK = 1$)
- ② 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)
- ③ 低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
- ④ LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する
- ⑤ ソフトウェアで動作安定時間 ($10\mu s$ (MIN.)) をウェイトする
- ⑥ LVIMのビット0 (LVIF) で、「電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI})」であることを確認するまで待つ
- ⑦ LVIMのビット1 (LVIMD) に“1” (レベル検出時にリセット発生) を設定する

図25-5に、①～⑦と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

- 注意1.** ①は必ず行ってください。LVIMK = 0になっている場合、④の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

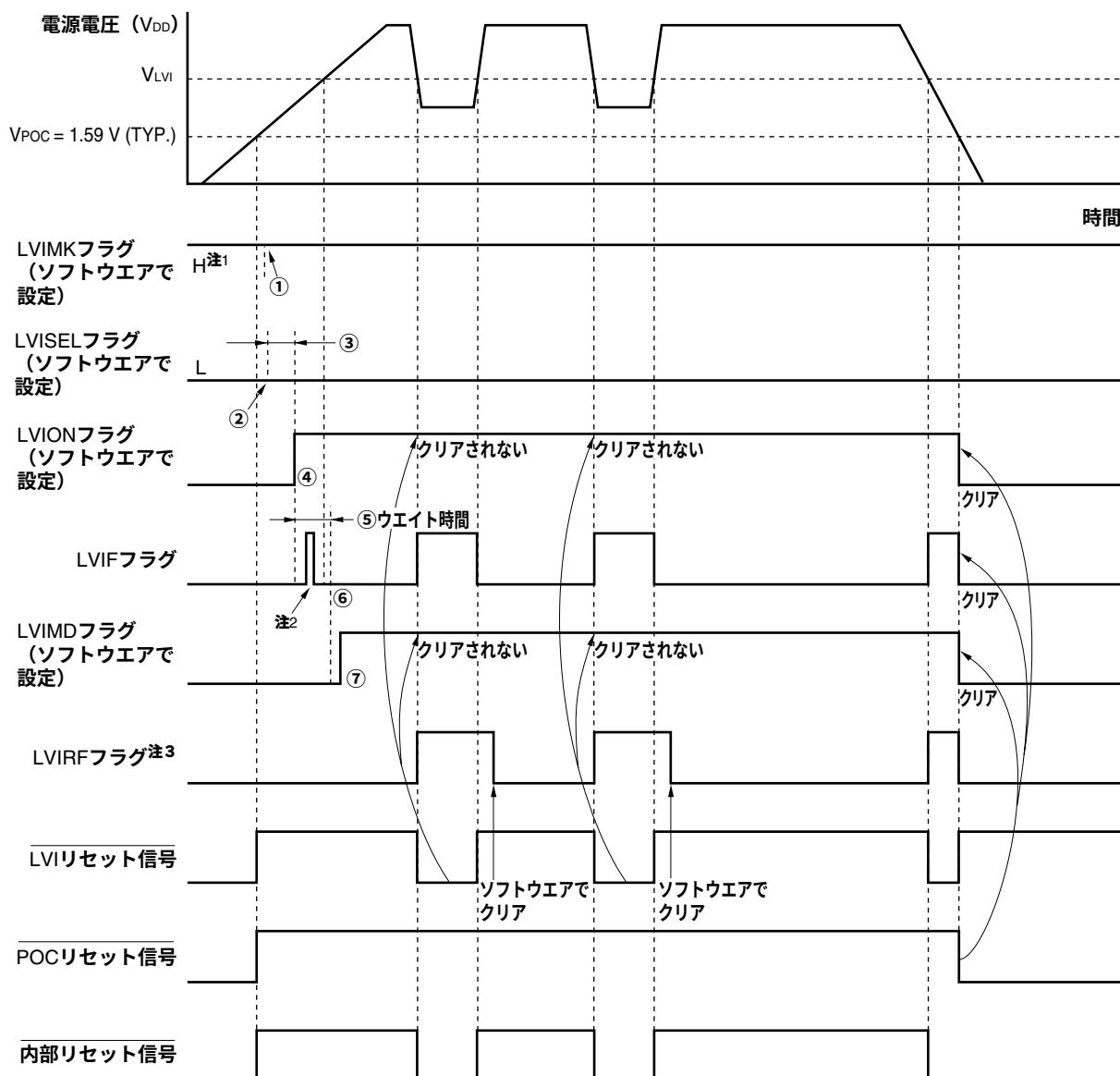
●動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
LVIMDをクリア (0) → LVIONをクリア (0)

図25-5 低電圧検出回路の内部リセット信号発生タイミング（電源電圧（ V_{DD} ）のレベルを検出）（1/2）

(1) 1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

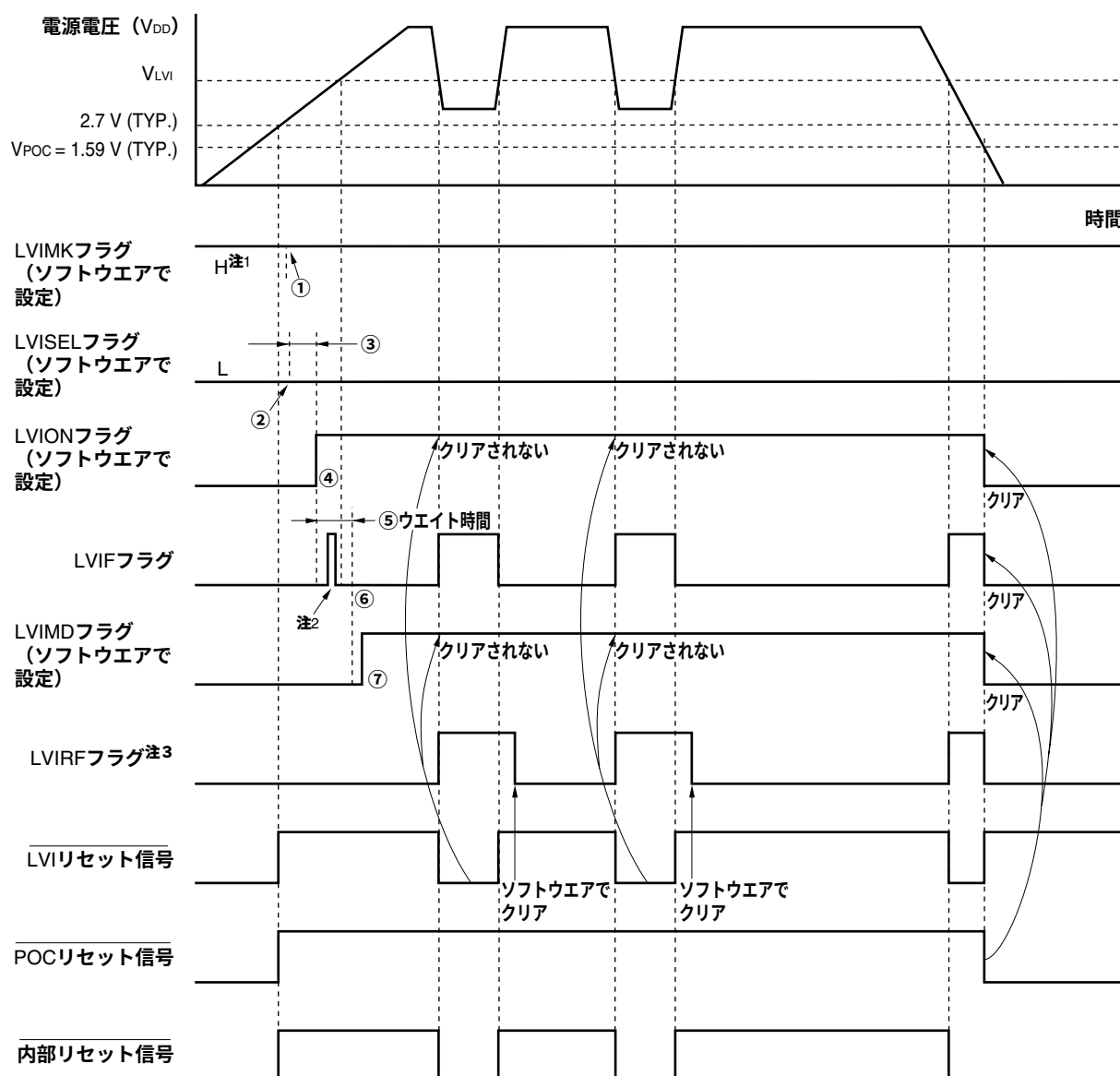
2. LVIFフラグがセット (1) される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第23章 リセット機能を参照してください。

備考 図25-5の①～⑦は、25.4.1 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 ●動作開始時の①～⑦と対応しています。

図25-5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（2/2）

(2) 2.7 V/1.59 V POCモード設定時（オプション・バイト：POCMODE = 1）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は、第23章 リセット機能を参照してください。

備考 図25-5の①～⑦は、25. 4. 1（1）電源電圧（ V_{DD} ）のレベルを検出する場合 ●動作開始時の①～⑦と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

●動作開始時

- ① LVIMの割り込みをマスクする ($LVIMK = 1$)
- ② 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する
- ③ LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する
- ④ ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) をウエイトする
- ⑤ LVIMのビット0 (LVIF) で、「外部入力端子からの入力電圧 (EXLVI) $\geq$ 検出電圧 ($V_{EXLVI} = 1.21 V$ (TYP.))」であることを確認するまで待つ
- ⑥ LVIMのビット1 (LVIMD) に“1” (レベル検出時にリセット発生) を設定する

図25-6に、①～⑥と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. ①は必ず行ってください。LVIMK = 0になっている場合、③の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧 (EXLVI) $\geq$ 検出電圧 ($V_{EXLVI} = 1.21 V$ (TYP.))」であれば内部リセット信号は発生しません。
3. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

●動作停止時

次のいずれかの手順を、必ず実行してください。

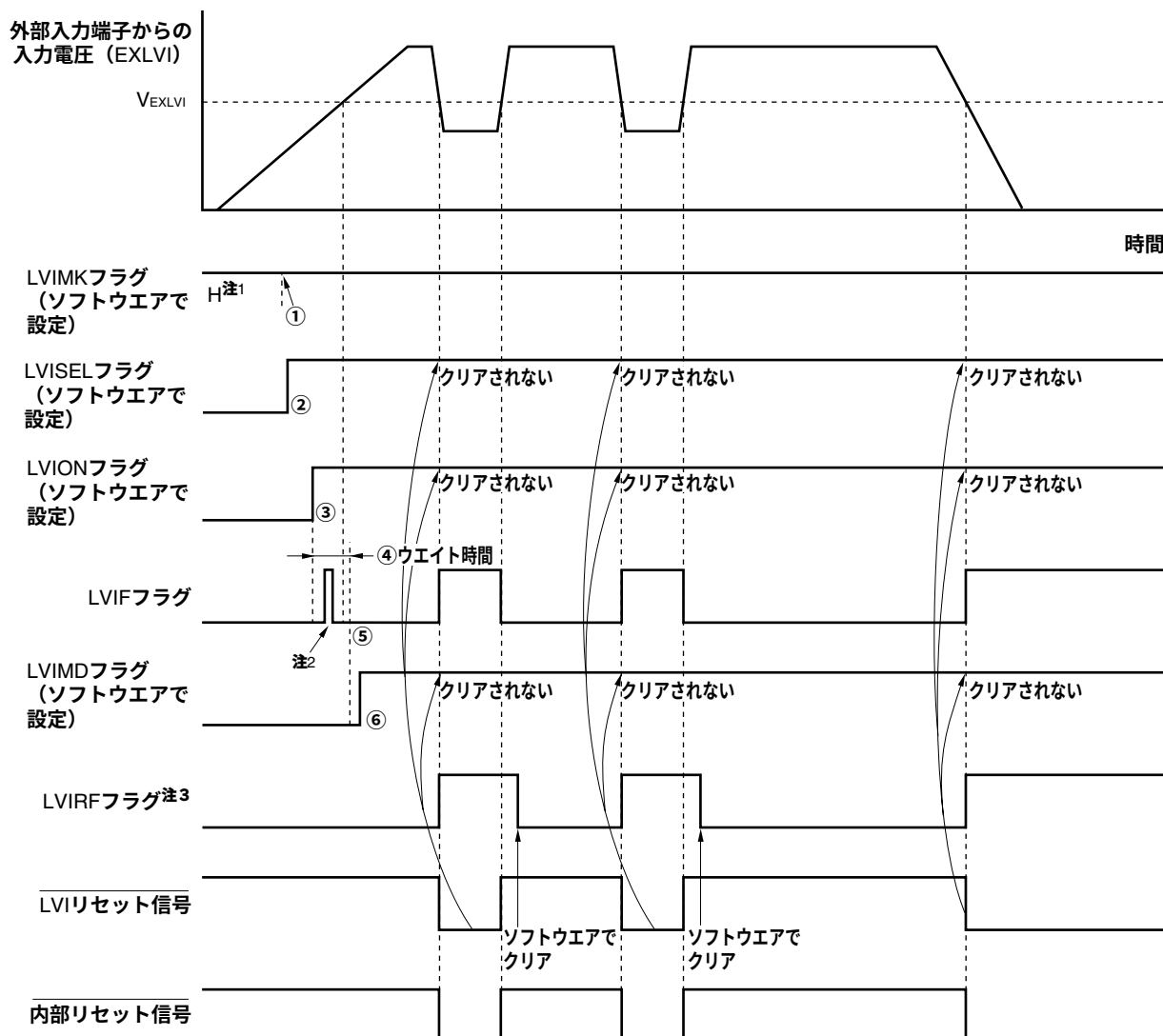
- ・8ビット・メモリ操作命令の場合：

LVIMに“00H”を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIMDをクリア (0) → LVIONをクリア (0)

図25-6 低電圧検出回路の内部リセット信号発生のタイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. LVIFフラグがセット (1) される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第23章 リセット機能を参照してください。

備考 図25-6の①～⑥は、25.4.1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 ●動作開始時の①～⑥と対応しています。

25. 4. 2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

●動作開始時

- ① LVIの割り込みをマスクする ($LVIMK = 1$)
- ② 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)
- ③ 低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
- ④ LVIMのビット1 (LVIMD) に“0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)
- ⑤ LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する
- ⑥ ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) をウェイトする
- ⑦ LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) $<$ 検出電圧 (V_{LVI})」を確認する
- ⑧ LVIの割り込み要求フラグ (LVIIIF) をクリア (0) する
- ⑨ LVIの割り込みマスク・フラグ (LVIMK) を解除する
- ⑩ (ベクタ割り込みを使用する場合) EI命令を実行する

図25-7に、①～⑨と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

●動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：

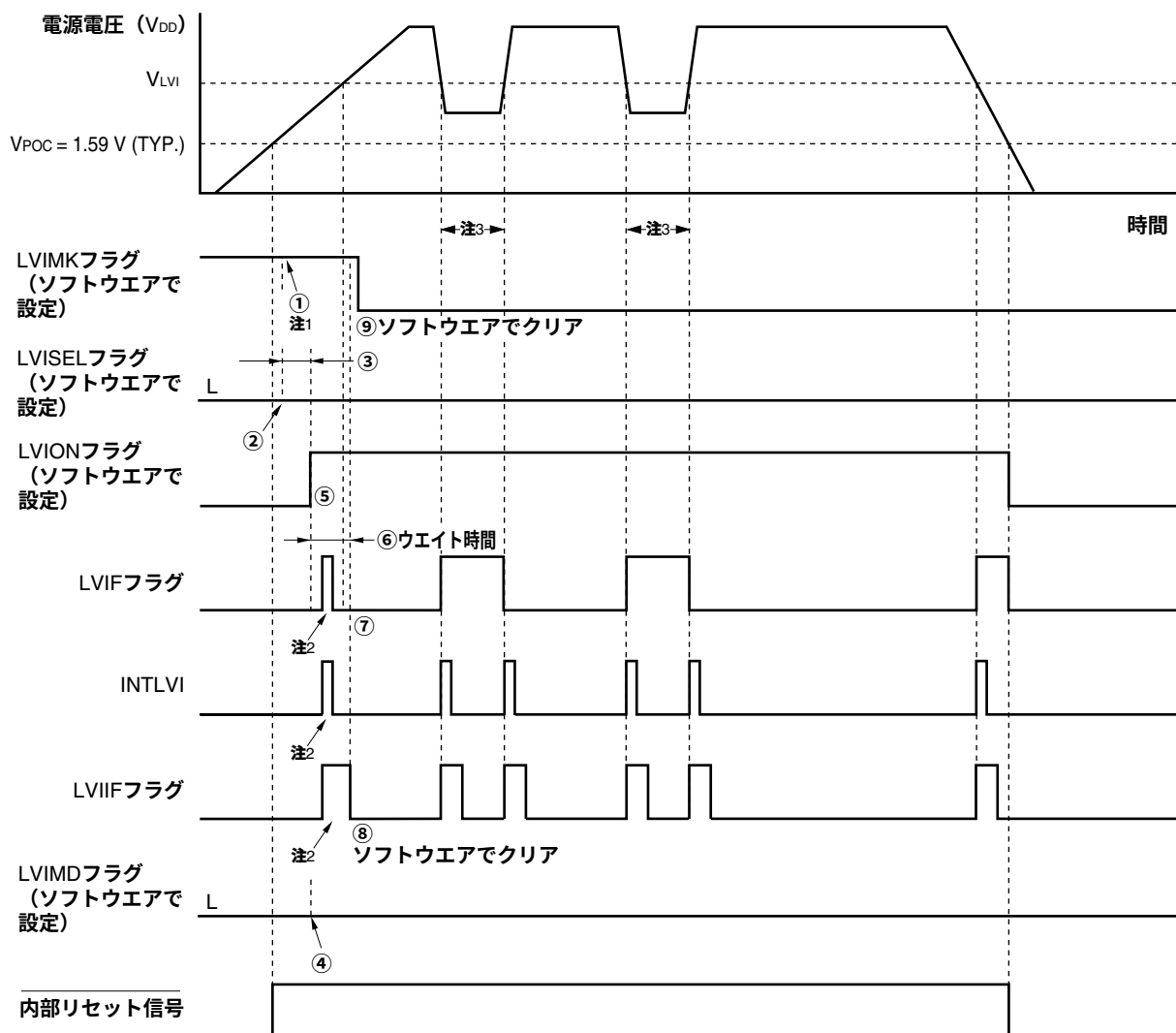
LVIMに“00H”を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図25-7 低電圧検出回路の割り込み信号発生タイミング（電源電圧（ V_{DD} ）のレベルを検出）（1/2）

(1) 1.59 V POCモード設定時（オプション・バイト：POCMODE = 0）



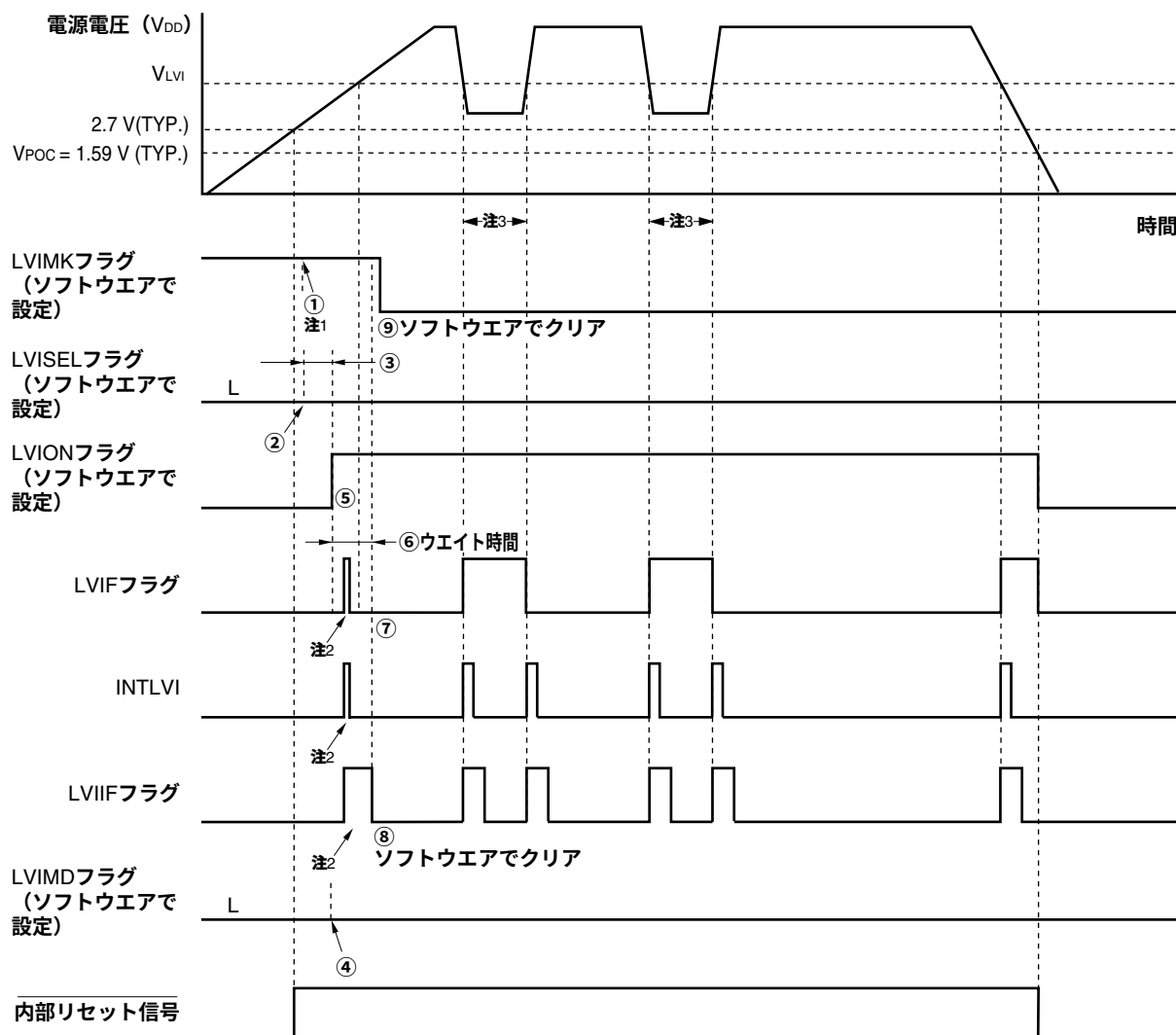
注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. 割り込み要求信号（INTLVI）が発生し、LVIFフラグ、LVIIIFフラグがセット（1）される可能性があります。
3. LVI検出電圧未満の状態でLVIONをクリア（0）した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図25-7の①～⑨は、25. 4. 2（1）電源電圧（ V_{DD} ）のレベルを検出する場合 ●動作開始時の①～⑨と対応しています。

図25-7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態ではLVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIFが1になります。

備考 図25-7の①～⑨は、25. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 ●動作開始時の①～⑨と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

●動作開始時

- ① LVIMの割り込みをマスクする (LVIMK = 1)
- ② 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する
- ③ LVIMのビット1 (LVIMD) に“0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)
- ④ LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する
- ⑤ ソフトウェアで動作安定時間 (10 μ s (MIN.)) をウェイトする
- ⑥ LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) $\geq$ 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を確認する
- ⑦ LVIMの割り込み要求フラグ (LVIIIF) をクリア (0) する
- ⑧ LVIMの割り込みマスク・フラグ (LVIMK) を解除する
- ⑨ (ベクタ割り込みを使用する場合) EI命令を実行する

図25-8に、①～⑧と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

●動作停止時

次のいずれかの手順を、必ず実行してください。

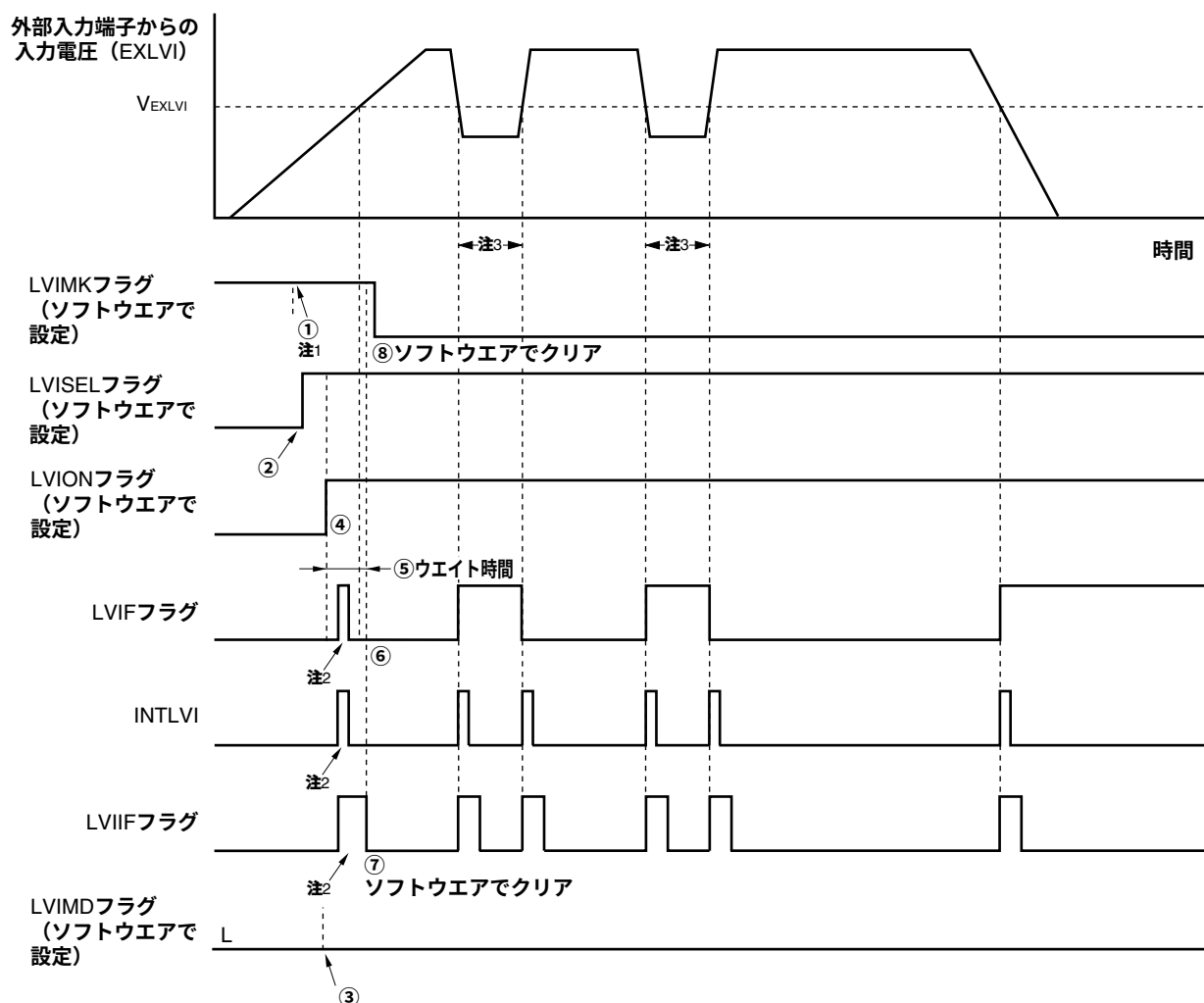
- ・8ビット・メモリ操作命令の場合：

LVIMに“00H”を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図25-8 低電圧検出回路の割り込み信号発生タイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態でLVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図25-8の①～⑧は、25. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 ●動作開始時の①～⑧と対応しています。

25.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態／リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

<処置>

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください（図25-9を参照）。

(2) 割り込みとして使用する場合

(a) LVI 割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット 0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI}) ”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) $<$ 検出電圧 (V_{LVI}) ”を確認し、割り込み要求フラグ・レジスタ 0L (IF0L) のビット 0 (LVIIF) をクリア (0) してください。

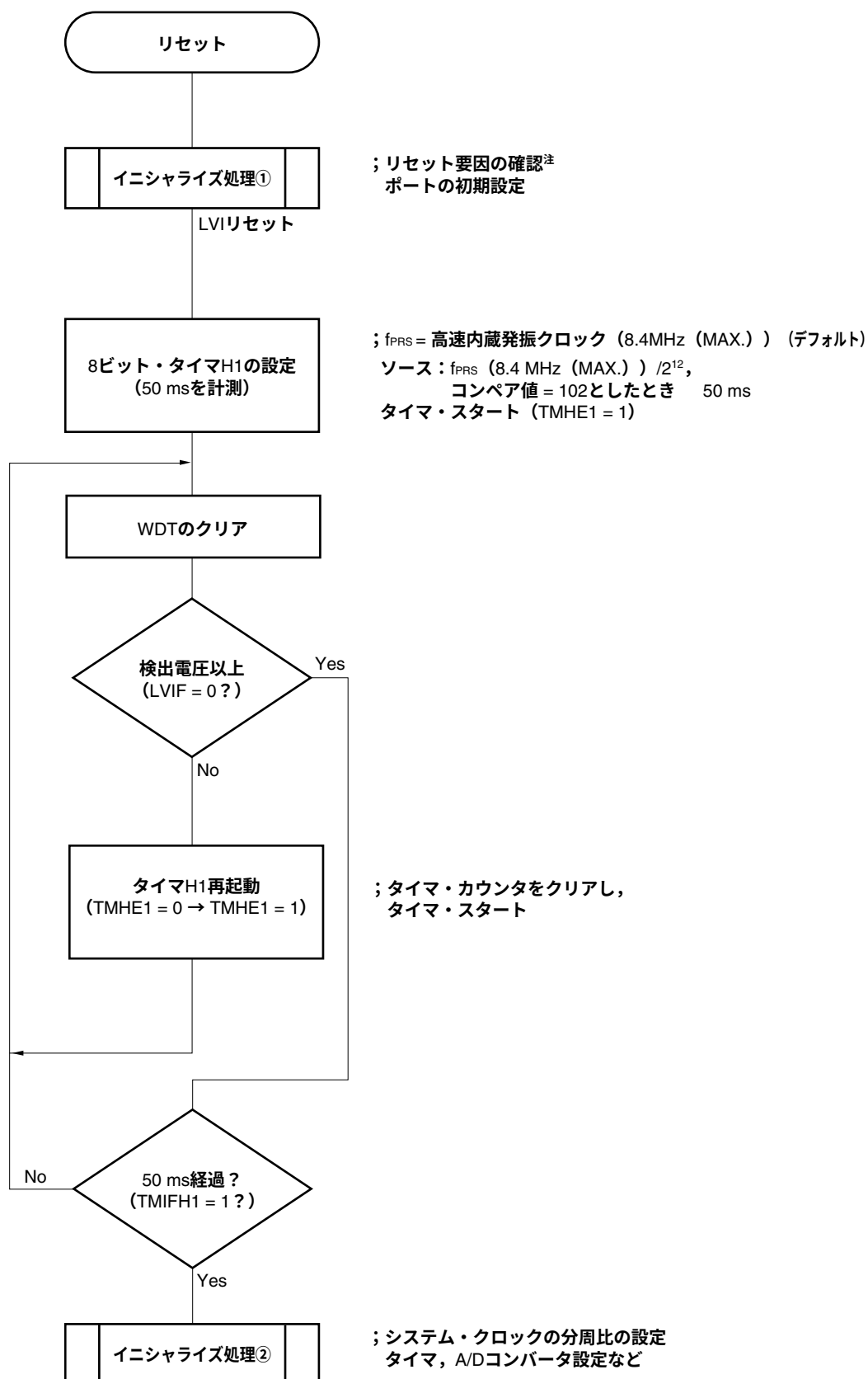
(b) LVI 検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとに、LVIF フラグにて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI}) ”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) $<$ 検出電圧 (V_{LVI}) ”を確認し、LVIIF フラグをクリア (0) してください。

備考 低電圧検出レジスタ (LVIM) のビット 2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) → 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) → 検出電圧 ($V_{EXLVI} = 1.21\text{ V}$)

図25-9 リセット解除後のソフト処理例 (1/2)

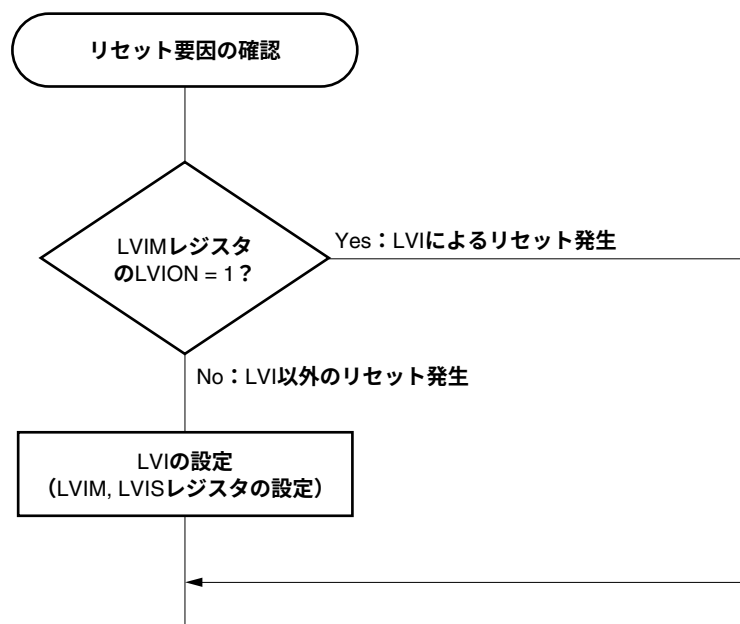
- ・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次頁にフロー・チャートを示します。

図25-9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第26章 オプション・バイト

26. 1 オプション・バイトの機能

78K0/Kx2マイクロコントローラのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

注意 0082H, 0083H（ブート・スワップ使用時は0082H/1082H, 0083H/1083H）には、必ず00Hを設定してください。

(1) 0080H/1080H

- 低速内蔵発振器の動作
 - ・ソフトウェアにより停止可能
 - ・停止不可
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのカウンタの動作
 - ・カウンタの動作許可
 - ・カウンタの動作禁止
- ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

注意 ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

(2) 0081H/1081H

- POCモードの選択
 - ・2.7 V/1.59 V POCモード動作時（POCMODE = 1）

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えたとリセットが解除されます。その後、2.7 VでのPOC検出は行われず、1.59 V (TYP.) でPOC検出が行われます。

標準品、(A) 水準品では、電源投入から1.8 Vに達するまでの電圧の立ち上がりだが、0.5 V/ms (MIN.) よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。
 - ・1.59 V POCモード動作時（POCMODE = 0）

電源投入から1.59 V (TYP.) に達するまでリセット状態になり、1.59 V (TYP.) を越えたとリセットが解除されます。その後、電源投入時と同様に、1.59 V (TYP.) でPOC検出が行われます。

注意 POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

(3) 0084H/1084H

○オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止
- ・オンチップ・デバッグ動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・オンチップ・デバッグ動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

- 注意1.** オンチップ・デバッグ機能を搭載していない製品（ μ PD78F05xx, 78F05xxA）は、必ず0084Hに00H（オンチップ・デバッグ動作禁止）を設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも00Hを設定してください。
- 2.** オンチップ・デバッグ機能を搭載している製品（ μ PD78F05xxD, 78F05xxDA）で、オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

26.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図26-1 オプション・バイトのフォーマット (1/2)

アドレス：0080H/1080H^注

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタ／不正アクセス検出の動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止），不正アクセス検出動作禁止
1	カウンタ動作許可（リセット解除後，カウント開始），不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット0 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は，0080Hと1080Hが切り替わるので，あらかじめ1080Hにも0080Hと同じ値を設定してください。

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ で使用する場合，WINDOW1 = WINDOW0 = 0は設定禁止です。

3. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも，ウォッチドッグ・タイマの動作は継続します。ただし，これらの処置中には割り込みの受け付け時間が遅れるので，遅延を考慮し，オーバフロー時間およびウインドウ・サイズを設定してください。

4. LSROSC = 0（ソフトウェアにより停止可能）の場合，内蔵発振モード・レジスタ（RCM）のビット0（LSRSTOP）の設定に関係なく，HALT/STOPモード時では，ウォッチドッグ・タイマにカウント・クロックは供給されません。

ただし，低速内蔵発振クロックで8ビット・タイマH1が動作している場合は，HALT/STOPモード時でも，8ビット・タイマH1にカウント・クロックが供給されます。

5. ビット7には必ず0を書き込んでください。

備考1. f_{RL} ：低速内蔵発振クロック周波数

2. () 内は $f_{RL} = 264\text{ kHz}$ (MAX.) の場合

図26-1 オプション・バイトのフォーマット (2/2)

アドレス：0081H/1081H^{注1, 2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POCMODE

POCMODE	POCモードの選択
0	1.59 V POCモード (デフォルト)
1	2.7 V/1.59 V POCモード

- 注1.** POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。
- 2.** POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去（チップ消去）後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

注意 ビット7-1には必ず0を書き込んでください。

アドレス：0082H/1082H, 0083H/1083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス：0084H/1084H^{注1, 2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

- 注1.** オンチップ・デバッグ機能を搭載していない製品（μPD78F05xx, 78F05xxA）は、必ず0084Hに00H（オンチップ・デバッグ動作禁止）を設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも00Hを設定してください。
- 2.** オンチップ・デバッグ機能を搭載している製品（μPD78F05xxD, 78F05xxDA）で、オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第28章 オンチップ・デバッグ機能（μPD78F05xxD, 78F05xxDAのみ）を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; ウォッチドッグ・タイマ動作 (不定アクセス検出動作) 許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; 1.59V POCモード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、第23章 リセット機能を参照してください。

第27章 フラッシュ・メモリ

78K0/Kx2マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

27.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択してください。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

注意 リセット解除後に各製品ごとに表27-1に示す値を設定してください。

図27-1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	0	0	768バイト
0	1	0	512バイト
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	0	1	0	8 Kバイト
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

注意 メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表27-1 メモリ・サイズ切り替えレジスタ (IMS) の設定値

78K0/KB2	78K0/KC2	78K0/KD2	78K0/KE2	78K0/KF2	IMSの設定値
μ PD78F0500, 78F0500A	—	—	—	—	42H
μ PD78F0501, 78F0501A	μ PD78F0511, 78F0511A	μ PD78F0521, 78F0521A	μ PD78F0531, 78F0531A	—	04H
μ PD78F0502, 78F0502A	μ PD78F0512, 78F0512A	μ PD78F0522, 78F0522A	μ PD78F0532, 78F0532A	—	C6H
μ PD78F0503, 78F0503A, 78F0503D ^{注1} , 78F0503DA ^{注1}	μ PD78F0513, 78F0513A, 78F0513D ^{注1} , 78F0513DA ^{注1}	μ PD78F0523, 78F0523A	μ PD78F0533, 78F0533A	—	C8H
—	μ PD78F0514, 78F0514A	μ PD78F0524, 78F0524A	μ PD78F0534, 78F0534A	μ PD78F0544, 78F0544A	CCH
—	μ PD78F0515, 78F0515A, 78F0515D ^{注1} , 78F0515DA ^{注1}	μ PD78F0525, 78F0525A	μ PD78F0535, 78F0535A	μ PD78F0545, 78F0545A	CFH
—	—	μ PD78F0526, 78F0526A	μ PD78F0536, 78F0536A	μ PD78F0546, 78F0546A	CCH ^{注2}
—	—	μ PD78F0527, 78F0527A, 78F0527D ^{注1} , 78F0527DA ^{注1}	μ PD78F0537, 78F0537A, 78F0537D ^{注1} , 78F0537DA ^{注1}	μ PD78F0547, 78F0547A, 78F0547D ^{注1} , 78F0547DA ^{注1}	CCH ^{注2}

注1. オンチップ・デバッグ機能搭載品は、IMSの設定により、内部ROM容量と内部高速RAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSの設定は、デバッグ対象の製品に合わせてください。

2. μ PD78F05x6, 78F05x6A (x = 2-4) の内部ROM容量は96 Kバイト, μ PD78F05x7, 78F05x7A, 78F05x7D, 78F05x7DA (x = 2-4) の内部ROM容量は128 Kバイトですが、メモリ・バンクを使用するため、内部ROM容量が48 Kバイトの製品と同じ設定値になります。メモリ・バンク設定のレジスタについては、4. 3 メモリ・バンク選択レジスタ (BANK) を参照してください。

27.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量を選択してください。

IXSは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0CHになります。

注意 リセット解除後に各製品ごとに表27-2に示す値を設定してください。

図27-2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

アドレス: FFF4H リセット時: 0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	1	0	0	0バイト
1	0	1	0	1024バイト
1	0	0	0	2048バイト
0	1	0	0	4096バイト
0	0	0	0	6144バイト
上記以外				設定禁止

注意 メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表27-2 内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値

78K0/KC2の 48ピン製品	78K0/KD2	78K0/KE2	78K0/KF2	IXSの設定値
μ PD78F0511, 78F0511A	μ PD78F0521, 78F0521A	μ PD78F0531, 78F0531A	—	0CH
μ PD78F0512, 78F0512A	μ PD78F0522, 78F0522A	μ PD78F0532, 78F0532A	—	0CH
μ PD78F0513, 78F0513A	μ PD78F0523, 78F0523A	μ PD78F0533, 78F0533A	—	0CH
μ PD78F0514, 78F0514A	μ PD78F0524, 78F0524A	μ PD78F0534, 78F0534A	μ PD78F0544, 78F0544A	0AH
μ PD78F0515, 78F0515A, 78F0515D ^注 , 78F0515DA ^注	μ PD78F0525, 78F0525A	μ PD78F0535, 78F0535A	μ PD78F0545, 78F0545A	08H
—	μ PD78F0526, 78F0526A	μ PD78F0536, 78F0536A	μ PD78F0546, 78F0546A	04H
—	μ PD78F0527, 78F0527A, 78F0527D ^注 , 78F0527DA ^注	μ PD78F0537, 78F0537A, 78F0537D ^注 , 78F0537DA ^注	μ PD78F0547, 78F0547A, 78F0547D ^注 , 78F0547DA ^注	00H

注 オンチップ・デバッグ機能搭載品は、IXSの設定により、内部拡張RAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IXSの設定は、デバッグ対象の製品に合わせてください。

27.3 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0/Kx2マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

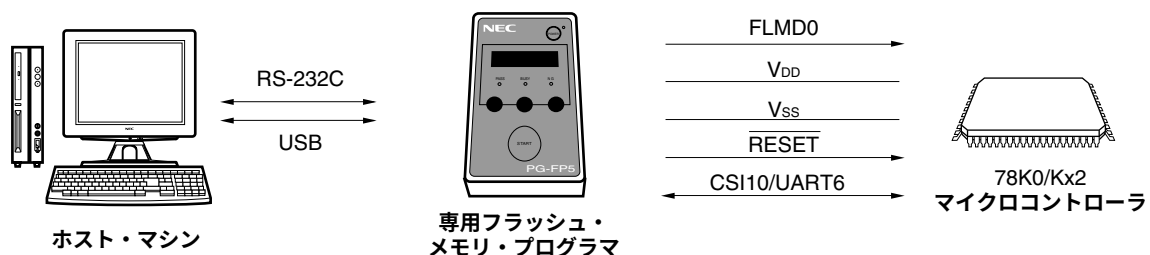
ターゲット・システム上に78K0/Kx2マイクロコントローラを実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

27.4 プログラミング環境

78K0/Kx2マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図27-3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマと78K0/Kx2マイクロコントローラとのインタフェースはCSI10またはUART6を使用して、書き込み、消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

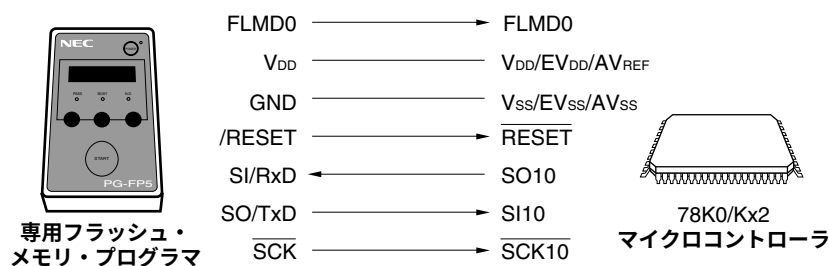
27.5 通信方式

専用フラッシュ・メモリ・プログラマと78K0/Kx2マイクロコントローラとの通信は、78K0/Kx2マイクロコントローラのCSI10またはUART6によるシリアル通信で行います。

(1) CSI10

転送レート：2.4 kHz～2.5 MHz

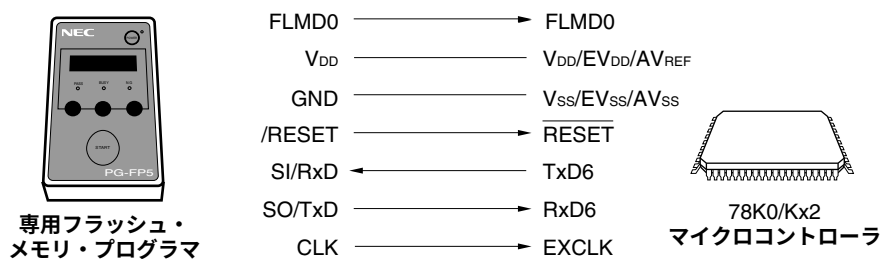
図27-4 専用フラッシュ・メモリ・プログラマとの通信（CSI10）



(2) UART6

転送レート：115200 bps

図27-5 専用フラッシュ・メモリ・プログラマとの通信（UART6）



専用フラッシュ・メモリ・プログラマは78K0/Kx2マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5, PG-FP4, FL-PR4のマニュアルを参照してください。

表27-3 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0/Kx2マイクロ コントローラ	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART6
FLMD0	出力	モード信号	FLMD0	◎	◎
V _{DD}	入出力	V _{DD} 電圧生成／電圧監視	V _{DD} , EV _{DD} , AV _{REF}	◎	◎
GND	—	グランド	V _{SS} , EV _{SS} , AV _{SS}	◎	◎
CLK	出力	78K0/Kx2マイクロコントローラへのクロック出力	EXCLK/X2/P122	× ^{注1}	○ ^{注2}
/RESET	出力	リセット信号	RESET	◎	◎
SI/RxD	入力	受信信号	SO10/TxD6	◎	◎
SO/TxD	出力	送信信号	SI10/RxD6	◎	◎
SCK	出力	転送クロック	SCK10	◎	×

注1. CSI10使用時は、高速内蔵発振クロック（f_{RH}）のみ使用できます。

2. UART6使用時は、X1クロック（f_X）または外部メイン・システム・クロック（f_{EXCLK}）のみ使用できます。

備考 ◎：必ず接続してください。

○：ターゲット・ボード上で生成されていれば、接続の必要はありません。

×：接続の必要はありません。

専用プログラム・アダプタ（FAシリーズ）使用時に使用しない端子は、表2-3 各端子の入出力回路タイプの未使用時の推奨接続方法、または表27-4 フラッシュ・メモリ書き込み用アダプタ接続時の未使用端子の処理（必須）に示されている処理を行ってください。

表27-4 フラッシュ・メモリ書き込み用アダプタ接続時の未使用端子の処理（必須）

端子名	端子処理
P00, P01	個別に抵抗を介してEV _{SS} に接続してください ^{注1, 5}
P03-P06	個別に抵抗を介してEV _{SS} に接続してください ^{注2, 5}
P10, P11	個別に抵抗を介してEV _{SS} に接続してください ^{注3, 5}
P14	個別に抵抗を介してEV _{SS} に接続してください ^{注4, 5}
P16, P17	個別に抵抗を介してEV _{SS} に接続してください ^{注1, 5}
P30-P33	
P60-P63	個別に抵抗を介してEV _{SS} に接続、またはEV _{SS} に直接接続してください ^{注5}
P70-P77	個別に抵抗を介してEV _{SS} に接続してください ^{注1, 5}
P120	
P140-P143	

- 注1. フラッシュ・メモリ書き込み用アダプタのボード上で、フラッシュ・メモリ・プログラミング中に通常動作モードへ切り替わらないように設計されている場合は、抵抗を介さずに直接EV_{SS}に接続しても可。
2. 78K0/KE2の μ PD78F053n, 78F053nA (n = 1-3) と78K0/KD2はオープンでも可。
3. 専用フラッシュ・メモリ・プログラマとの通信をCSI10によるシリアル通信で行う場合は、プログラマと接続してください。
4. 専用フラッシュ・メモリ・プログラマとの通信をUART6によるシリアル通信で行う場合は、プログラマと接続してください。
5. EV_{SS}端子がない製品は、V_{SS}に接続してください。EV_{DD}端子がない製品は、V_{DD}に接続してください。

27.6 オンボード上の端子処理

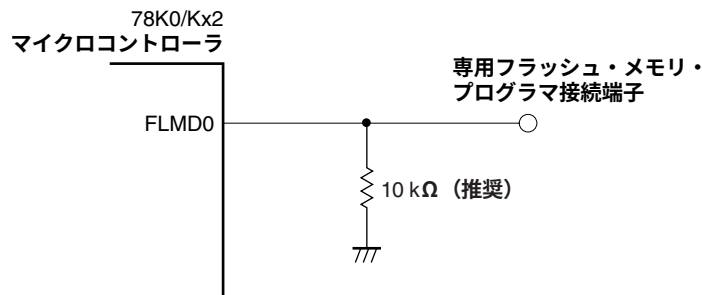
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

27. 6. 1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図27-6 FLMD0端子の接続例



27. 6. 2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表27-5 各シリアル・インタフェースが使用する端子

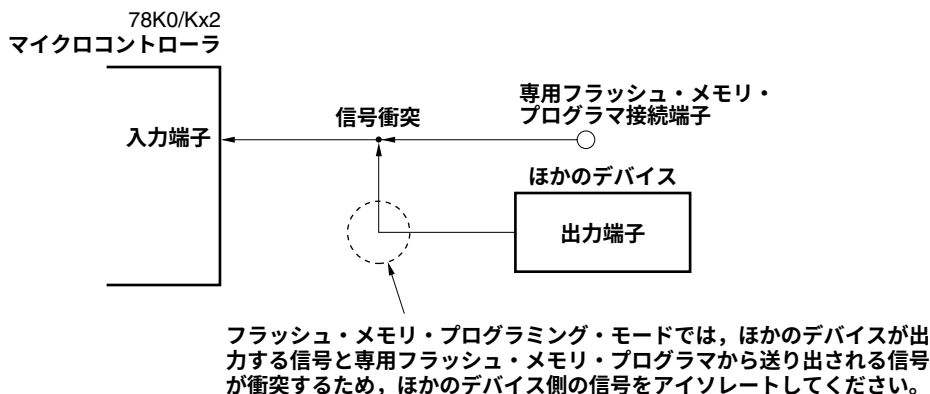
シリアル・インタフェース	使用端子
CS110	SO10, SI10, SCK10
UART6	TxD6, RxD6

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

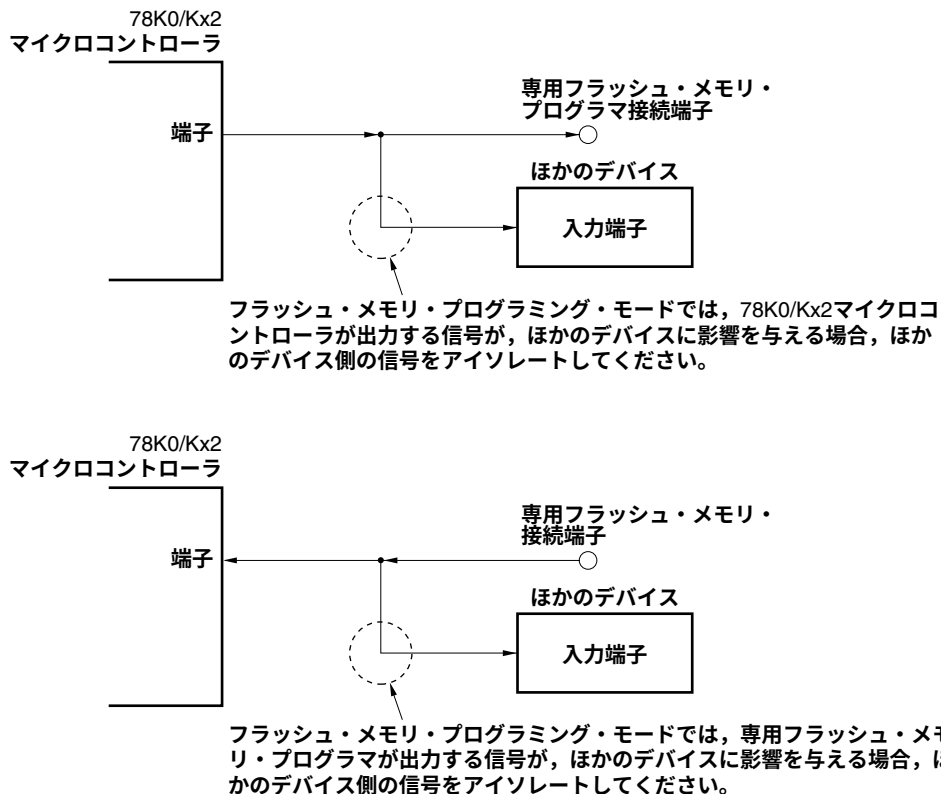
図27-7 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図27-8 ほかのデバイスの異常動作

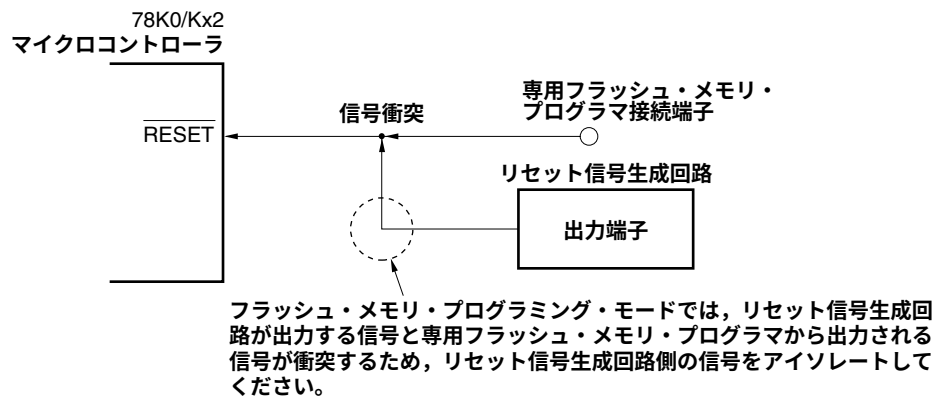


27.6.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図27-9 信号の衝突 (RESET端子)



27. 6. 4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してEV_{DD}[※]に接続するか、または抵抗を介してEV_{SS}[※]に接続するなどの端子処理が必要です。

注 EV_{SS}端子がない製品は、V_{SS}に接続してください。EV_{DD}端子がない製品は、V_{DD}に接続してください。

★ 27. 6. 5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47~1 μ F) を介し、V_{SS}に接続してください。

27. 6. 6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合、プログラマのCLKとEXCLK/X2/P122を接続してください。

注意1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART6使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。

3. オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) は、フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/INTP2/OCD1A, P121/X1/OCD0Aを次のように処理してください。

- ・P31/INTP2/OCD1A : 抵抗を介してEV_{SS}[※]に接続してください。
- ・P121/X1/OCD0A : 抵抗を介してV_{SS}に接続してください。

注 EV_{SS}端子がない製品は、V_{SS}に接続してください。

27.6.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

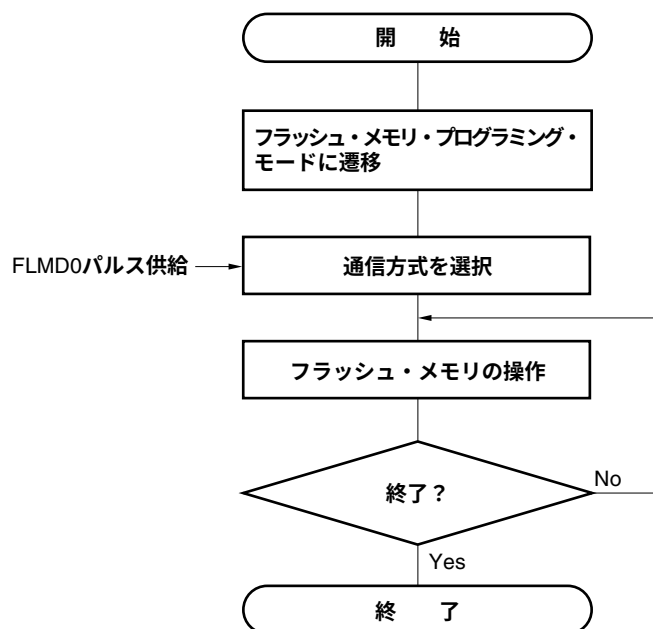
その他の電源（ EV_{DD} 、 EV_{SS} 、 AV_{REF} 、 AV_{SS} ）は、通常動作モード時と同じ電源を供給してください。

27.7 プログラミング方法

27.7.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図27-10 フラッシュ・メモリの操作手順



27.7.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Kx2 マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子を V_{DD} 設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図27-11 フラッシュ・メモリ・プログラミング・モード

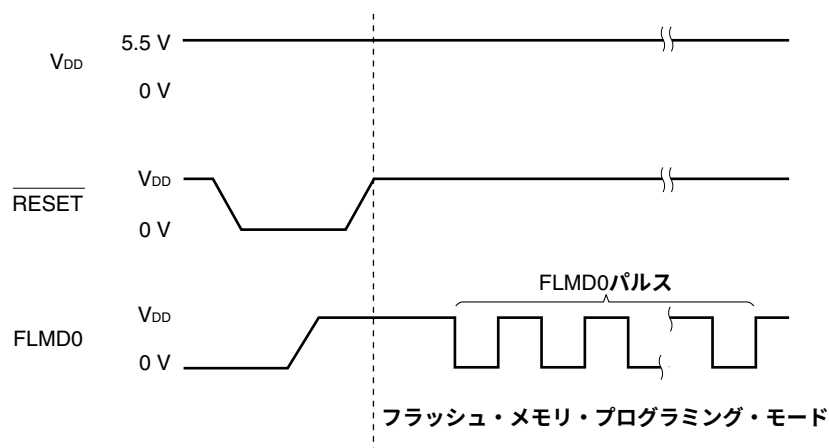


表27-6 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V_{DD}	フラッシュ・メモリ・プログラミング・モード

27.7.3 通信方式の選択

78K0/Kx2マイクロコントローラでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルスを入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表27-7 通信方式一覧

通信方式	Standard設定 ^{※1}				使用端子	周辺 クロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART6)	UART-Ext-Osc	115200 bps ^{※3}	2 M-20 MHz ^{※2}	1.0	TxD6, RxD6	f _x	0
	UART-Ext-FP5CK					f _{EXCLK}	3
3線式シリアルI/O (CSI10)	CSI-Internal-OSC	2.4 kHz~2.5 MHz	—		SO10, SI10, SCK10	f _{RH}	8

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。

3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

注意 UART6選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

備考 f_x : X1クロック

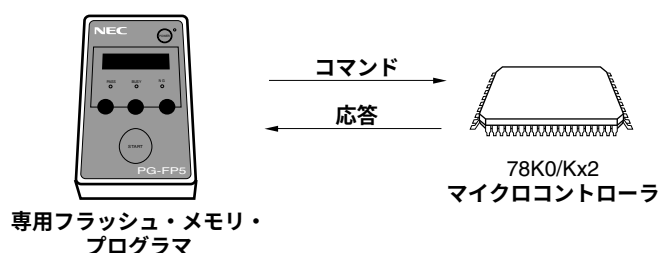
f_{EXCLK} : 外部メイン・システム・クロック

f_{RH} : 高速内蔵発振クロック

27.7.4 通信コマンド

78K0/Kx2マイクロコントローラと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから 78K0/Kx2マイクロコントローラへ送られる信号を「コマンド」と呼び、78K0/Kx2マイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図27-12 通信コマンド



78K0/Kx2マイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Kx2マイクロコントローラがコマンドに対応した各処理を行います。

表27-8 フラッシュ・メモリ制御用コマンド

分 類	コマンド名称	機 能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	78K0/Kx2情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0/Kx2バージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、78K0/Kx2マイクロコントローラは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0/Kx2マイクロコントローラが送出する応答名称を次に示します。

表27-9 応答名称

応答名称	機 能
ACK	コマンド／データなどのアクノリッジ
NAK	不正なコマンド／データなどのアクノリッジ

27.8 セキュリティ設定

78K0/Kx2マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード／オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード／オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード／オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。

出荷時の初期状態では、一括消去（チップ消去）／ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード／オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

78K0/Kx2マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表27-10に示します。

表27-10 セキュリティ機能有効時とコマンドの関係

(1) オンボード／オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去（チップ消去）禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去（チップ消去）禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去（チップ消去）禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表27-11に示します。

表27-11 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード／オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去（チップ消去）禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去（チップ消去）コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去（チップ消去）禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード／オフボード・プログラミングで、一括消去（チップ消去）コマンドを実行する（セルフ・プログラミングでは無効にできない）
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

27.9 PG-FP4, PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP4, PG-FP5を使用した場合の、各コマンド処理時間（参考値）を次に示します。

表27-12 PG-FP4, PG-FP5使用時の各コマンド処理時間（参考値）（1/2）

（1）内部ROM容量が32 Kバイトの製品

PG-FP4の コマンド	Port: CSI-Internal-OSC（高速内蔵発振クロック（f _{RH} ）使用）， Speed: 2.5 MHz	Port: UART-Ext-FP4CK （外部メイン・システム・クロック（f _{EXCLK} ）使用）， Speed: 115200 bps	
		Frequency: 2.0 MHz	Frequency: 20 MHz
Signature	0.5 s（TYP.）	0.5 s（TYP.）	0.5 s（TYP.）
Blankcheck	0.5 s（TYP.）	0.5 s（TYP.）	0.5 s（TYP.）
Erase	0.5 s（TYP.）	0.5 s（TYP.）	0.5 s（TYP.）
Program	2.5 s（TYP.）	5 s（TYP.）	5 s（TYP.）
Verify	1.5 s（TYP.）	4 s（TYP.）	3.5 s（TYP.）
E.P.V	3.5 s（TYP.）	6 s（TYP.）	6 s（TYP.）
Checksum	0.5 s（TYP.）	0.5 s（TYP.）	0.5 s（TYP.）
Security	0.5 s（TYP.）	0.5 s（TYP.）	0.5 s（TYP.）

（2）内部ROM容量が60 Kバイトの製品

PG-FP4の コマンド	Port: CSI-Internal-OSC（高速内蔵発振クロック（f _{RH} ）使用）， Speed:2.5 MHz	Port: UART-Ext-FP4CK （外部メイン・システム・クロック（f _{EXCLK} ）使用）， Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Signature	0.5 s（TYP.）	0.5 s（TYP.）	0.5 s（TYP.）
Blankcheck	1 s（TYP.）	1 s（TYP.）	1 s（TYP.）
Erase	1 s（TYP.）	1 s（TYP.）	1 s（TYP.）
Program	5 s（TYP.）	9 s（TYP.）	9 s（TYP.）
Verify	2 s（TYP.）	6.5 s（TYP.）	6.5 s（TYP.）
E.P.V	6 s（TYP.）	10.5 s（TYP.）	10.5 s（TYP.）
Checksum	0.5 s（TYP.）	1 s（TYP.）	1 s（TYP.）
Security	0.5 s（TYP.）	0.5 s（TYP.）	0.5 s（TYP.）

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

表27-12 PG-FP4, PG-FP5使用時の各コマンド処理時間（参考値）（2/2）

(3) 内部ROM容量が128 Kバイトの製品

PG-FP4の コマンド	Port: CSI-Internal-OSC (高速内蔵発 振クロック (f_{RH}) 使用) , Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f_{EXCLK}) 使用) , Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Signature	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Blankcheck	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Erase	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Program	9.5 s (TYP.)	18 s (TYP.)	18 s (TYP.)
Verify	4.5 s (TYP.)	13.5 s (TYP.)	13.5 s (TYP.)
E.P.V	11 s (TYP.)	19.5 s (TYP.)	19.5 s (TYP.)
Checksum	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Security	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

27. 10 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Kx2マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

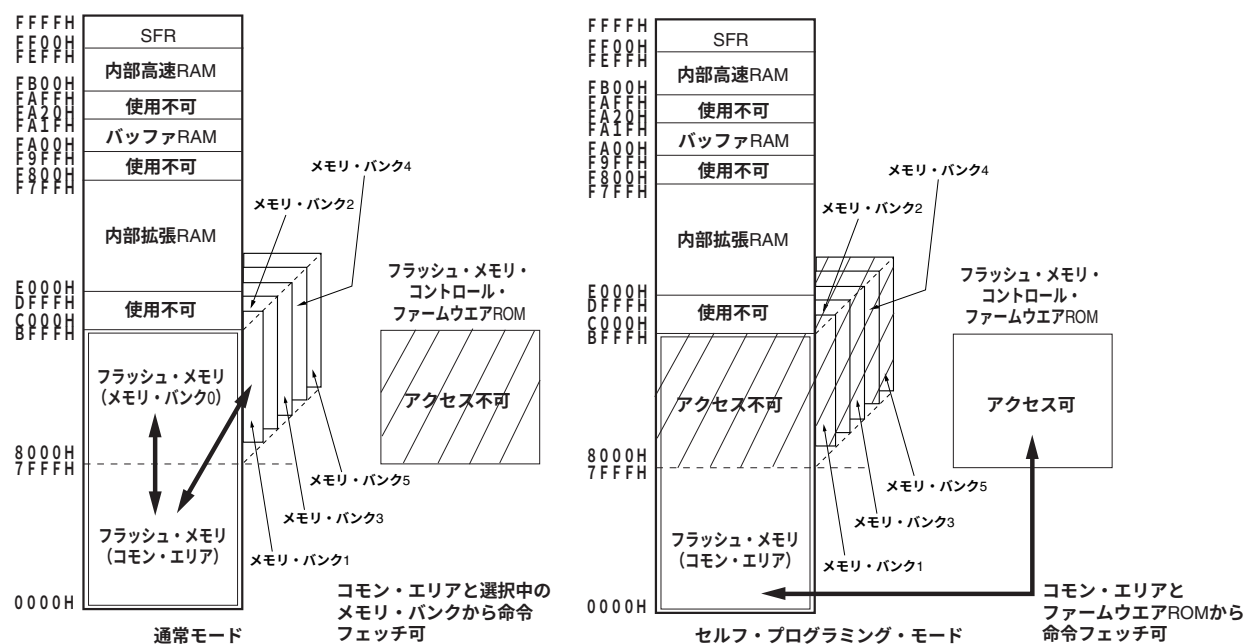
また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

備考 セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

- 注意**
1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
 2. セルフ・プログラミング時は、RSTOPフラグ（内蔵発振モード・レジスタ（RCM）のビット0）の設定に関わらず、高速内蔵発振器の発振が開始されます。STOP命令を実行しても、高速内蔵発振器の発振を停止することはできません。
 3. セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
 4. セルフ・プログラミング開始前に必ずDI命令を実行してください。
セルフ・プログラミング機能は割り込み要求フラグ（IF0L, IF0H, IF1L, IF1H）を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。
 5. セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）で割り込みをマスクしてください。

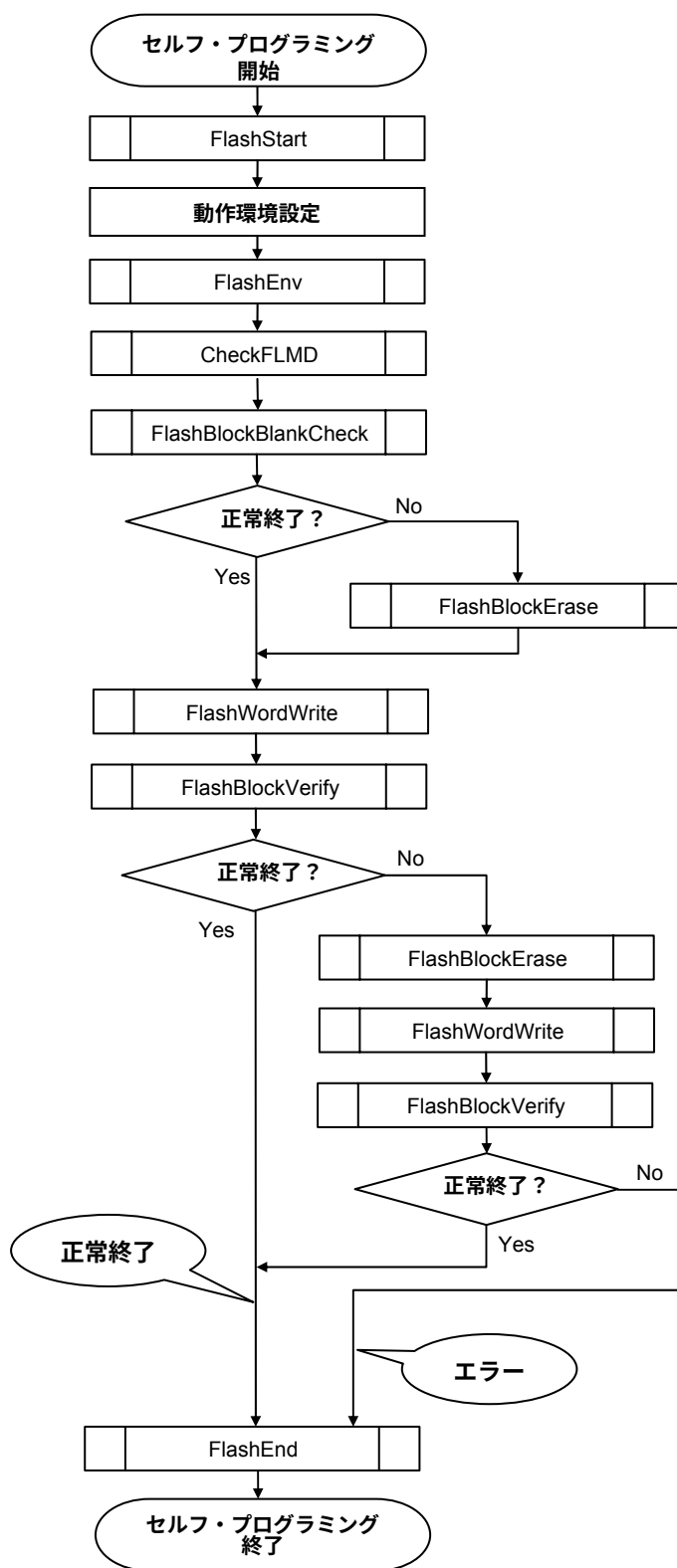
注意6. セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHのコモン・エリアに配置してください。

図27-13 セルフ・プログラミングの動作モードとメモリ・マップ (μ PD78F0547, 78F0547Aの場合)



次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図27-14 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



備考 セルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

次に、セルフ・プログラミング・ライブラリの処理時間と割り込み応答時間を示します。

表27-13 セルフ・プログラミング・ライブラリの処理時間（従来規格品（ μ PD78F05xx, 78F05xxD））（1/3）

(1) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間（単位：μs）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.25			
イニシャライズ・ライブラリ		977.75			
モード・チェック・ライブラリ		753.875		753.125	
ブロック・ブランク・チェック・ライブラリ		12770.875		12765.875	
ブロック・イレース・ライブラリ		36909.5	356318	36904.5	356296.25
ワード・ライト・ライブラリ		1214 (1214.375)	2409 (2409.375)	1207 (1207.375)	2402 (2402.375)
ブロック・ベリファイ・ライブラリ		25618.875		25613.875	
セルフ・プログラミング・エンド・ライブラリ		4.25			
ゲット・インフォメーション・ライブラリ	オプション値：03H	871.25 (871.375)		866 (866.125)	
	オプション値：04H	863.375 (863.5)		858.125 (858.25)	
	オプション値：05H	1024.75 (1043.625)		1037.5 (1038.375)	
セット・インフォメーション・ライブラリ		105524.75	790809.375	105523.75	790808.375
EEPROMライト・ライブラリ		1496.5 (1496.875)	2691.5 (2691.875)	1489.5 (1489.875)	2684.5 (2684.875)

(2) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間（単位：μ s）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.25			
イニシャライズ・ライブラリ		443.5			
モード・チェック・ライブラリ		219.625		218.875	
ブロック・ブランク・チェック・ライブラリ		12236.625		12231.625	
ブロック・イレース・ライブラリ		36363.25	355771.75	36358.25	355750
ワード・ライト・ライブラリ		679.75 (680.125)	1874.75 (1875.125)	672.75 (673.125)	1867.75 (1868.125)
ブロック・ベリファイ・ライブラリ		25072.625		25067.625	
セルフ・プログラミング・エンド・ライブラリ		4.25			
ゲット・インフォメーション・ライブラリ	オプション値：03H	337 (337.125)		331.75 (331.875)	
	オプション値：04H	329.125 (239.25)		323.875 (324)	
	オプション値：05H	502.25 (503.125)		497 (497.875)	
セット・インフォメーション・ライブラリ		104978.5	541143.125	104977.5	541142.125
EEPROMライト・ライブラリ		962.25 (962.625)	2157.25 (2157.625)	955.25 (955.625)	2150.25 (2150.625)

備考1. () 内は、書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

2. 上記の処理時間は、高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

3. RSTS：内蔵発振モード・レジスタ（RCM）のビット7

表27-13 セルフ・プログラミング・ライブラリの処理時間（従来規格品（ μ PD78F05xx, 78F05xxD））（2/3）

(3) 高速システム・クロック（X1発振または外部クロック入力）使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間（単位：μ s）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		49/fCPU+485.8125			
モード・チェック・ライブラリ		35/fCPU+374.75		29/fCPU+374.75	
ブロック・ブランク・チェック・ライブラリ		174/fCPU+6382.0625		134/fCPU+6382.0625	
ブロック・イレース・ライブラリ		174/fCPU +31093.875	174/fCPU +298948.125	134/fCPU +31093.875	134/fCPU +298948.125
ワード・ライト・ライブラリ		318 (321) /fCPU +644.125	318 (321) /fCPU +1491.625	262 (265) /fCPU +644.125	262 (265) /fCPU +1491.625
ブロック・ベリファイ・ライブラリ		174/fCPU+13448.5625		134/fCPU+13448.5625	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	171 (172) /fCPU+432.4375		129 (130) /fCPU+432.4375	
	オプション値：04H	181 (182) /fCPU+427.875		139 (140) /fCPU+427.875	
	オプション値：05H	404 (411) /fCPU+496.125		362 (369) /fCPU+496.125	
セット・インフォメーション・ライブラリ		75/fCPU +79157.6875	75/fCPU+652400	67fCPU +79157.6875	67fCPU+652400
EEPROMライト・ライブラリ		318 (321) /fCPU +799.875	318 (321) /fCPU +1647.375	262 (265) /fCPU +799.875	262 (265) /fCPU +1647.375

備考1. () 内は、書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

2. 上記の処理時間は、高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

3. f_{CPU}：CPU動作クロック周波数

4. RSTS：内蔵発振モード・レジスタ（RCM）のビット7

表27-13 セルフ・プログラミング・ライブラリの処理時間（従来規格品（ μ PD78F05xx, 78F05xxD））（3/3）

(4) 高速システム・クロック（X1発振または外部クロック入力）使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間（単位：μs）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		49/fCPU+224.6875			
モード・チェック・ライブラリ		35/fCPU+113.625		29/fCPU+113.625	
ブロック・ブランク・チェック・ライブラリ		174/fCPU+6120.9375		134/fCPU+6120.9375	
ブロック・イレース・ライブラリ		174/fCPU +30820.75	174/fCPU +298675	134/fCPU +30820.75	134/fCPU +298675
ワード・ライト・ライブラリ		318 (321) /fCPU +383	318 (321) /fCPU +1230.5	262 (265) /fCPU +383	262 (265) /fCPU +1230.5
ブロック・ベリファイ・ライブラリ		174/fCPU+13175.4375		134/fCPU+13175.4375	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	171 (172) /fCPU+171.3125		129 (130) /fCPU+171.3125	
	オプション値：04H	181 (182) /fCPU+166.75		139 (140) /fCPU+166.75	
	オプション値：05H	404 (411) /fCPU+231.875		362 (369) /fCPU+231.875	
セット・インフォメーション・ライブラリ		75/fCPU +78884.5625	75/fCPU+ 527566.875	67fCPU +78884.5625	67fCPU+ 527566.875
EEPROMライト・ライブラリ		318 (321) /fCPU +538.75	318 (321) /fCPU +1386.25	262 (265) /fCPU +538.75	262 (265) /fCPU +1386.25

備考1. () 内は、書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の値です。

2. 上記の処理時間は、高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

3. f_{CPU}：CPU動作クロック周波数

4. RSTS：内蔵発振モード・レジスタ（RCM）のビット7

表27-14 セルフ・プログラミング・ライブラリの処理時間 (拡張規格品 (μ PD78F05xxA, 78F05xxDA)) (1/3)

(1) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間 (単位: μ s)			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.0	4.5	4.0	4.5
イニシャライズ・ライブラリ		1105.9	1106.6	1105.9	1106.6
モード・チェック・ライブラリ		905.7	906.1	904.9	905.3
ブロック・ブランク・チェック・ライブラリ		12776.1	12778.3	12770.9	12772.6
ブロック・イレース・ライブラリ		26050.4	349971.3	26045.3	349965.6
ワード・ライト・ライブラリ		1180.1+203×w	1184.3+2241×w	1172.9+203×w	1176.3+2241×w
ブロック・ベリファイ・ライブラリ		25337.9	25340.2	25332.8	25334.5
セルフ・プログラミング・エンド・ライブラリ		4.0	4.5	4.0	4.5
ゲット・インフォメーション・ライブラリ	オプション値: 03H	1072.9	1075.2	1067.5	1069.1
	オプション値: 04H	1060.2	1062.6	1054.8	1056.6
	オプション値: 05H	1023.8	1028.2	1018.3	1022.1
セット・インフォメーション・ライブラリ		70265.9	759995.0	70264.9	759994.0
EEPROMライト・ライブラリ		1316.8+347×w	1320.9+2385×w	1309.0+347×w	1312.4+2385×w

(2) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間 (単位: μ s)			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		4.0	4.5	4.0	4.5
イニシャライズ・ライブラリ		449.5	450.2	449.5	450.2
モード・チェック・ライブラリ		249.3	249.7	248.6	248.9
ブロック・ブランク・チェック・ライブラリ		12119.7	12121.9	12114.6	12116.3
ブロック・イレース・ライブラリ		25344.7	349266.4	25339.6	349260.8
ワード・ライト・ライブラリ		445.8+203×w	449.9+2241×w	438.5+203×w	441.9+2241×w
ブロック・ベリファイ・ライブラリ		24682.7	24684.9	24677.6	24679.3
セルフ・プログラミング・エンド・ライブラリ		4.0	4.5	4.0	4.5
ゲット・インフォメーション・ライブラリ	オプション値: 03H	417.6	419.8	412.1	413.8
	オプション値: 04H	405.0	407.4	399.5	401.3
	オプション値: 05H	367.4	371.8	361.9	365.8
セット・インフォメーション・ライブラリ		69569.3	759297.3	69568.3	759296.2
EEPROMライト・ライブラリ		795.1+347×w	799.3+2385×w	787.4+347×w	790.8+2385×w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. w: 書き込みデータのワード数 (1ワード = 4 バイト)

表27-14 セルフ・プログラミング・ライブラリの処理時間（拡張規格品（ μ PD78F05xxA, 78F05xxDA））（2/3）

(3) 高速システム・クロック（X1発振または外部クロック入力）使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名		処理時間（単位：μs）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		55/fCPU+594			
モード・チェック・ライブラリ		36/fCPU+495		30/fCPU+495	
ブロック・ブランク・チェック・ライブラリ		179/fCPU+6429		136/fCPU+6429	
ブロック・イレース・ライブラリ		179/fCPU +19713	179/fCPU +268079	136/fCPU +19713	136/fCPU +268079
ワード・ライト・ライブラリ		333/fCPU +647+136×w	333/fCPU +647+1647×w	272/fCPU +647+136×w	272/fCPU +647+1647×w
ブロック・ペリファイ・ライブラリ		179/fCPU+13284		136/fCPU+13284	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	180/fCPU+581		134fCPU+581	
	オプション値：04H	190/fCPU+574		144/fCPU+574	
	オプション値：05H	350/fCPU+535		304/fCPU+535	
セット・インフォメーション・ライブラリ		80/fCPU +43181	80/fCPU+572934	72/fCPU +43181	72/fCPU+572934
EEPROMライト・ライブラリ		333/fCPU +729+209×w	333/fCPU +729+1722×w	268/fCPU +729+209×w	268/fCPU +729+1722×w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

2. RSTS：内蔵発振モード・レジスタ（RCM）のビット7
3. f_{CPU}：CPU動作クロック周波数
4. w：書き込みデータのワード数（1ワード = 4 バイト）

表27-14 セルフ・プログラミング・ライブラリの処理時間（拡張規格品（ μ PD78F05xxA, 78F05xxDA））（3/3）

(4) 高速システム・クロック（X1発振または外部クロック入力）使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名		処理時間（単位：μs）			
		Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル ／アセンブラ	
		Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ		34/fCPU			
イニシャライズ・ライブラリ		55/fCPU+272			
モード・チェック・ライブラリ		36/fCPU+173		30/fCPU+173	
ブロック・ブランク・チェック・ライブラリ		179/fCPU+6108		136/fCPU+6108	
ブロック・イレース・ライブラリ		179/fCPU+19371	179/fCPU+267738	136/fCPU+19371	136/fCPU+267738
ワード・ライト・ライブラリ		333/fCPU+247+ 136×w	333/fCPU+247+ 1647×w	272/fCPU+247+ 136×w	272/fCPU+247+ 1647×w
ブロック・ペリファイ・ライブラリ		179/fCPU+12964		136/fCPU+12964	
セルフ・プログラミング・エンド・ライブラリ		34/fCPU			
ゲット・インフォメーション・ライブラリ	オプション値：03H	180/fCPU+261		134/fCPU+261	
	オプション値：04H	190/fCPU+254		144/fCPU+254	
	オプション値：05H	350/fCPU+213		304/fCPU+213	
セット・インフォメーション・ライブラリ		80/fCPU+42839	80/fCPU+572592	72/fCPU +42839	72/fCPU+572592
EEPROMライト・ライブラリ		333/fCPU+516+ 209×w	333/fCPU+516+ 1722×w	268/fCPU+516+ 209×w	268/fCPU+516+ 1722×w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

2. RSTS：内蔵発振モード・レジスタ（RCM）のビット7
3. f_{CPU}：CPU動作クロック周波数
4. w：書き込みデータのワード数（1ワード = 4 バイト）

表27-15 セルフ・プログラミング・ライブラリの割り込み応答時間（従来規格品（ μ PD78F05xx, 78F05xxD））（1/2）

(1) 高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間（単位： μ s（Max.））			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル／アセンブラ	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ライブラリ	933.6	668.6	927.9	662.9
ブロック・イレース・ライブラリ	1026.6	763.6	1020.9	757.9
ワード・ライト・ライブラリ	2505.8	1942.8	2497.8	1934.8
ブロック・ベリファイ・ライブラリ	958.6	693.6	952.9	687.9
セット・インフォメーション・ライブラリ	476.5	211.5	475.5	210.5
EEPROMライト・ライブラリ	2760.8	2168.8	2759.5	2167.5

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

2. RSTS：内蔵発振モード・レジスタ（RCM）のビット7

(2) 高速システム・クロック使用時（Cコンパイラのノーマル・モデル）

ライブラリ名	割り込み応答時間（単位： μ s（Max.））			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ライブラリ	179/f _{CPU} +507	179/f _{CPU} +407	179/f _{CPU} +1650	179/f _{CPU} +714
ブロック・イレース・ライブラリ	179/f _{CPU} +559	179/f _{CPU} +460	179/f _{CPU} +1702	179/f _{CPU} +767
ワード・ライト・ライブラリ	333/f _{CPU} +1589	333/f _{CPU} +1298	333/f _{CPU} +2732	333/f _{CPU} +1605
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +518	179/f _{CPU} +418	179/f _{CPU} +1661	179/f _{CPU} +725
セット・インフォメーション・ライブラリ	80/f _{CPU} +370	80/f _{CPU} +165	80/f _{CPU} +1513	80/f _{CPU} +472
EEPROMライト・ライブラリ [※]	29/f _{CPU} +1759	29/f _{CPU} +1468	29/f _{CPU} +1759	29/f _{CPU} +1468
	333/f _{CPU} +834	333/f _{CPU} +512	333/f _{CPU} +2061	333/f _{CPU} +873

注 EEPROMライト・ライブラリの割り込み応答時間は、f_{CPU}の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU}：CPU動作クロック周波数

2. RSTOP：内蔵発振モード・レジスタ（RCM）のビット0

3. RSTS：内蔵発振モード・レジスタ（RCM）のビット7

表27-15 セルフ・プログラミング・ライブラリの割り込み応答時間（従来規格品（ μ PD78F05xx, 78F05xxD））（2/2）

(3) 高速システム・クロック使用時（Cコンパイラのスタティック・モデル／アセンブラ）

ライブラリ名	割り込み応答時間（単位： μ s（Max.））			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	136/f _{CPU} +507	136/f _{CPU} +407	136/f _{CPU} +1650	136/f _{CPU} +714
ブロック・イレース・ライブラリ	136/f _{CPU} +559	136/f _{CPU} +460	136/f _{CPU} +1702	136/f _{CPU} +767
ワード・ライト・ライブラリ	272/f _{CPU} +1589	272/f _{CPU} +1298	272/f _{CPU} +2732	272/f _{CPU} +1605
ブロック・ベリファイ・ライブラリ	136/f _{CPU} +518	136/f _{CPU} +418	136/f _{CPU} +1661	136/f _{CPU} +725
セット・インフォメーション・ラ イブラリ	72/f _{CPU} +370	72/f _{CPU} +165	72/f _{CPU} +1513	72/f _{CPU} +472
EEPROMライト・ライブラリ [※]	19/f _{CPU} +1759 ----- 268/f _{CPU} +834	19/f _{CPU} +1468 ----- 268/f _{CPU} +512	19/f _{CPU} +1759 ----- 268/f _{CPU} +2061	19/f _{CPU} +1468 ----- 268/f _{CPU} +873

注 EEPROMライト・ライブラリの割り込み応答時間は、f_{CPU}の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU}：CPU動作クロック周波数

2. RSTOP：内蔵発振モード・レジスタ（RCM）のビット0

3. RSTS：内蔵発振モード・レジスタ（RCM）のビット7

表27-16 セルフ・プログラミング・ライブラリの割り込み応答時間（拡張規格品（ μ PD78F05xxA, 78F05xxDA））（1/2）

(1) 高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間（単位： μ s（Max.））			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル／ アセンブラ	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	1100.9	431.9	1095.3	426.3
ブロック・イレース・ライブラリ	1452.9	783.9	1447.3	778.3
ワード・ライト・ライブラリ	1247.2	579.2	1239.2	571.2
ブロック・ベリファイ・ライブラリ	1125.9	455.9	1120.3	450.3
セット・インフォメーション・ラ イブラリ	906.9	312.0	905.8	311.0
EEPROMライト・ライブラリ	1215.2	547.2	1213.9	545.9

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中（RSTS = 1）の時間です。

2. RSTS：内蔵発振モード・レジスタ（RCM）のビット7

表27-16 セルフ・プログラミング・ライブラリの割り込み応答時間 (拡張規格品 (μ PD78F05xxA, 78F05xxDA)) (2/2)

(2) 高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	179/f _{CPU} +567	179/f _{CPU} +246	179/f _{CPU} +1708	179/f _{CPU} +569
ブロック・イレース・ライブラリ	179/f _{CPU} +780	179/f _{CPU} +459	179/f _{CPU} +1921	179/f _{CPU} +782
ワード・ライト・ライブラリ	333/f _{CPU} +763	333/f _{CPU} +443	333/f _{CPU} +1871	333/f _{CPU} +767
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +580	179/f _{CPU} +259	179/f _{CPU} +1721	179/f _{CPU} +582
セット・インフォメーション・ラ イブラリ	80/f _{CPU} +456	80/f _{CPU} +200	80/f _{CPU} +1598	80/f _{CPU} +459
EEPROMライト・ライブラリ [※]	29/f _{CPU} +767 ----- 333/f _{CPU} +696	29/f _{CPU} +447 ----- 333/f _{CPU} +376	29/f _{CPU} +767 ----- 333/f _{CPU} +1838	29/f _{CPU} +447 ----- 333/f _{CPU} +700

注 EEPROMライト・ライブラリの割り込み応答時間は、f_{CPU}の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

(3) 高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	136/f _{CPU} +567	136/f _{CPU} +246	136/f _{CPU} +1708	136/f _{CPU} +569
ブロック・イレース・ライブラリ	136/f _{CPU} +780	136/f _{CPU} +459	136/f _{CPU} +1921	136/f _{CPU} +782
ワード・ライト・ライブラリ	272/f _{CPU} +763	272/f _{CPU} +443	272/f _{CPU} +1871	272/f _{CPU} +767
ブロック・ベリファイ・ライブラリ	136/f _{CPU} +580	136/f _{CPU} +259	136/f _{CPU} +1721	136/f _{CPU} +582
セット・インフォメーション・ラ イブラリ	72/f _{CPU} +456	72/f _{CPU} +200	72/f _{CPU} +1598	72/f _{CPU} +459
EEPROMライト・ライブラリ [※]	19/f _{CPU} +767 ----- 268/f _{CPU} +696	19/f _{CPU} +447 ----- 268/f _{CPU} +376	19/f _{CPU} +767 ----- 268/f _{CPU} +1838	19/f _{CPU} +447 ----- 268/f _{CPU} +700

注 EEPROMライト・ライブラリの割り込み応答時間は、f_{CPU}の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

27. 10. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[※]の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Kx2マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

ブート・クラスタ0への書き込みが正常に終了した場合は、78K0/Kx2マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

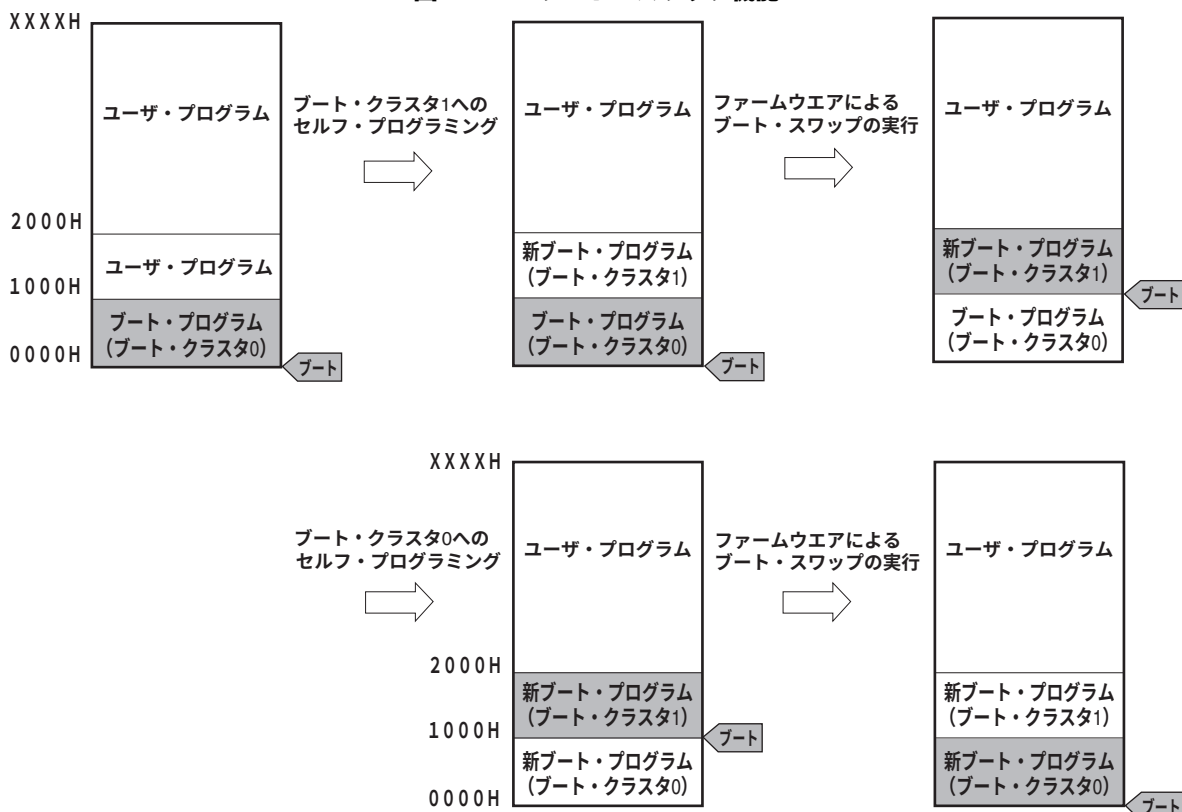
注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H~0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H~1FFFH) : ブート・スワップ対象の領域です。

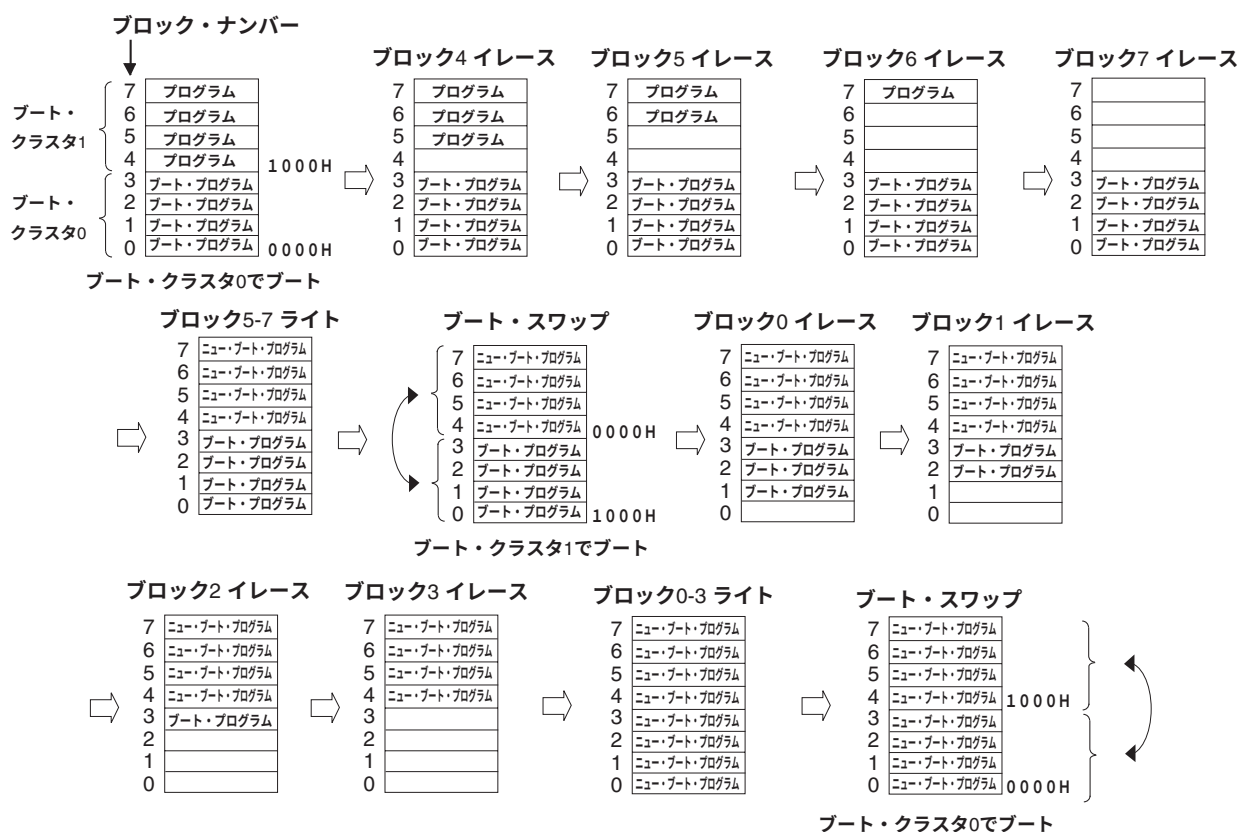
注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

図27-15 ブート・スワップ機能



備考 ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

図27-16 ブート・スワップの実行例



★ 27. 11 書き込み済み品発注用ROMコードの作成方法

ルネサス エレクトロニクスでの書き込み済み製品は、発注用のROMコードを作成し、ルネサス エレクトロニクスへ発注する必要があります。

ROMコードは、完成したプログラム（ヘキサ・ファイル）とオプション・データ（フラッシュ・メモリ・プログラマによるセキュリティ設定情報など）をHex Consolidation Utility（以降、HCU）を使用して作成します。

また、HCUは、ROMコード作成に必要な機能を搭載したソフトウェア・ツールです。

ルネサス エレクトロニクスのWEBサイトからHCUをダウンロードしてください。

(1) WEBサイト

<http://www2.renesas.com/micro/ja/ods/> → 「バージョンアップ・サービス」をクリック

(2) HCUのダウンロード方法

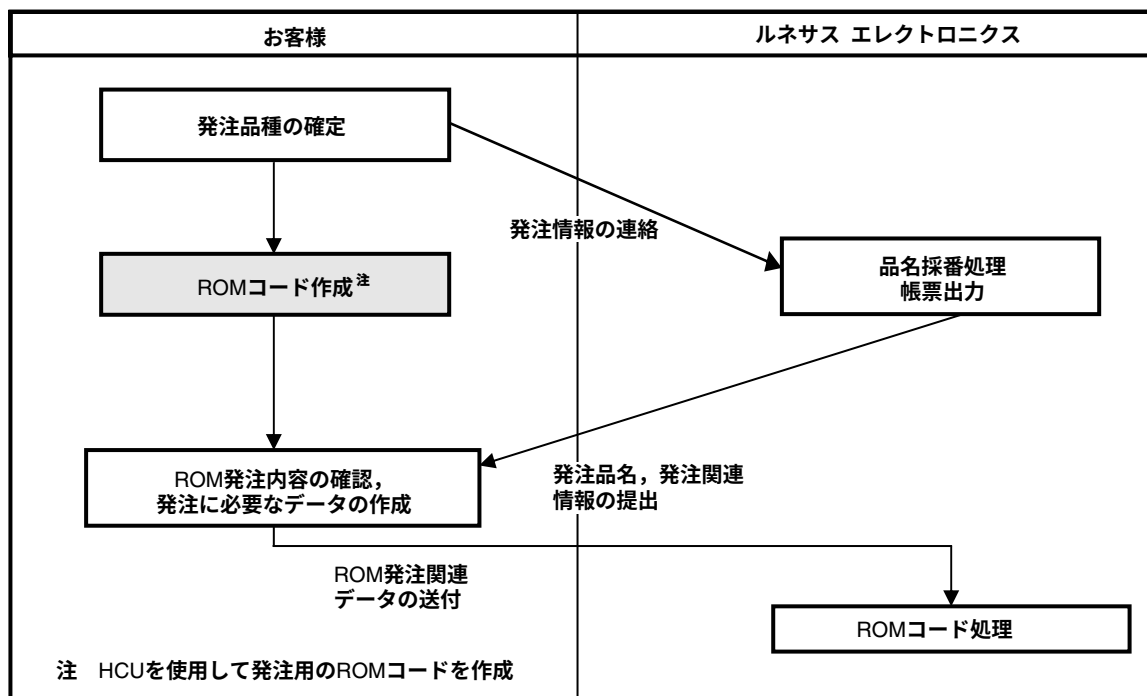
「書き込み済みフラッシュ製品用ソフトウェア」→「HCU_GUI」をクリックしてダウンロードしてください。

備考 インストール方法、HCUの使用方法的詳細については、上記WEBサイトにあるHCUの添付資料（ユーザズ・マニュアル）を参照してください。

27. 11. 1 ROMコードの発注手順

ROMコードは、下記の流れでHCUを用いて作成し、ルネサス エレクトロニクスへ発注してください。

詳細は、ROMコードの発注方法 インフォメーション（C10302J）を参照してください。



第28章 オンチップ・デバッグ機能 (μ PD78F05xxD, 78F05xxDAのみ)

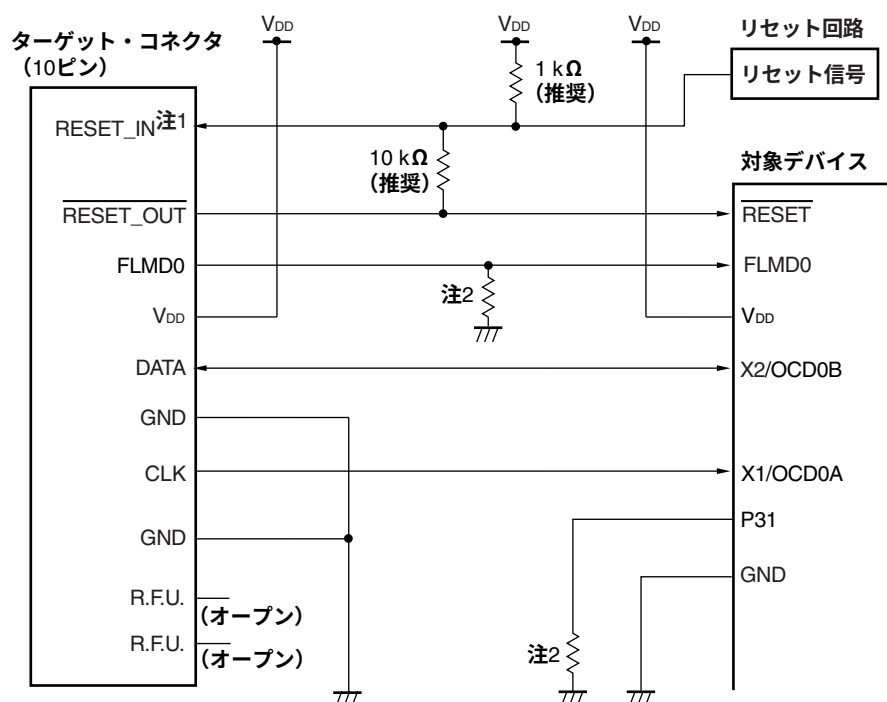
28. 1 QB-MINI2と μ PD78F05xxD, 78F05xxDAの接続

μ PD78F05xxD, 78F05xxDAは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 V_{DD} , FLMD0, RESET, OCD0A/X1 (またはOCD1A/P31), OCD0B/X2 (またはOCD1B/P32), V_{SS} 端子を使用します。OCD0A/X1とOCD1A/P31, OCD0B/X2とOCD1B/P32はどちらを使用するか、選択できます。

注意 μ PD78F05xxD, 78F05xxDAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

備考 μ PD78F05xxD : μ PD78F0503D, 78F0513D, 78F0515D, 78F0527D, 78F0537D, 78F0547D
 μ PD78F05xxDA : μ PD78F0503DA, 78F0513DA, 78F0515DA, 78F0527DA, 78F0537DA, 78F0547DA

図28-1 QB-MINI2と μ PD78F05xxD, 78F05xxDAの接続例 (OCD0A/X1, OCD0B/X2使用時)

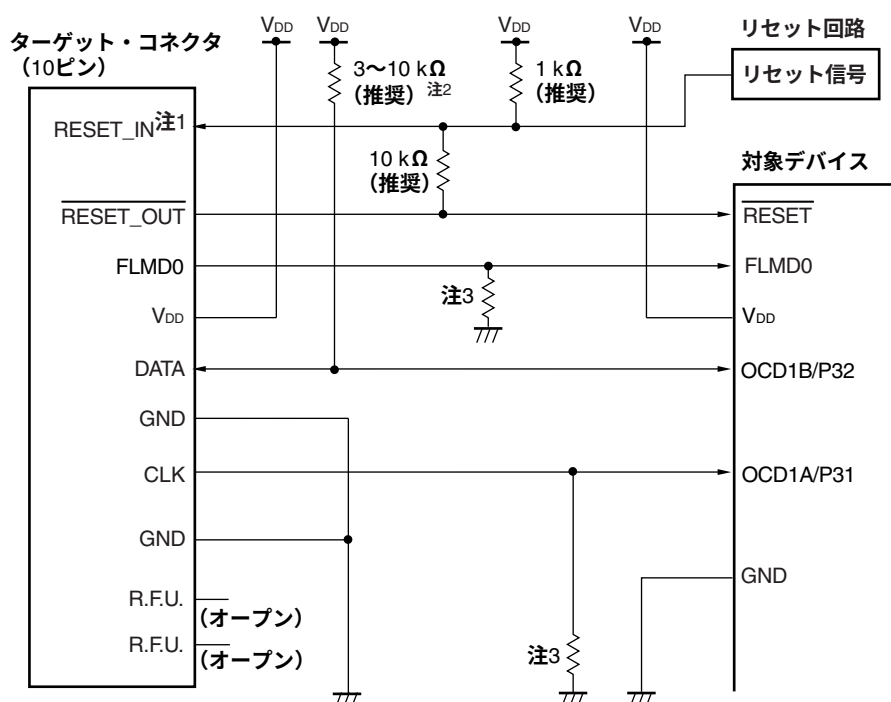


注1. リセット信号の出力がN-chオープン・ドレインのバッファ (出力抵抗: 100 Ω 以下) によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

2. プルダウン抵抗値は470 Ω 以上 (10 k Ω : 推奨) にしてください。

注意1. オンチップ・デバッグ時は、OCD0A/X1端子よりクロック入力します。

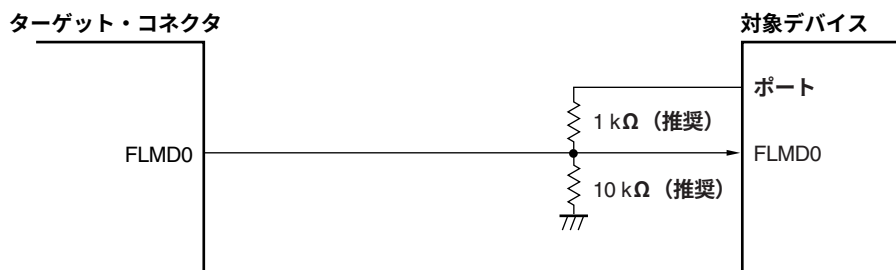
2. OCD0A/X1, OCD0B/X2端子を使用する場合、OCD1A/P31端子を外部でプルダウンするか、またはP130端子 (リセットがかかるとロウ・レベルを出力) を使用した外付け回路で制御してください。

図28-2 QB-MINI2と μ PD78F05xxD, 78F05xxDAの接続例 (OCD1A/P31, OCD1B/P32使用時)

- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100 Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル（U18371J）を参照してください。
2. OCD1B/P32を入力ポートに設定している場合の端子処理です（QB-MINI2未接続時にオープンになるのを防ぐため）。
3. プルダウン抵抗値は470 Ω以上（10 kΩ：推奨）にしてください。

オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子を次の図のように接続してください。

図28-3 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



注意 FLMD0端子を制御するポートは、第30章 電気的特性（標準品）～第33章 電気的特性（(A2) 水準品： $T_A = -40 \sim +125 \text{ } ^\circ\text{C}$ ）に記載されているハイ・レベル出力電流とFLMD0電源電圧（MIN.値: $0.8V_{DD}$ ）の値を満たすように、十分注意してご使用ください。

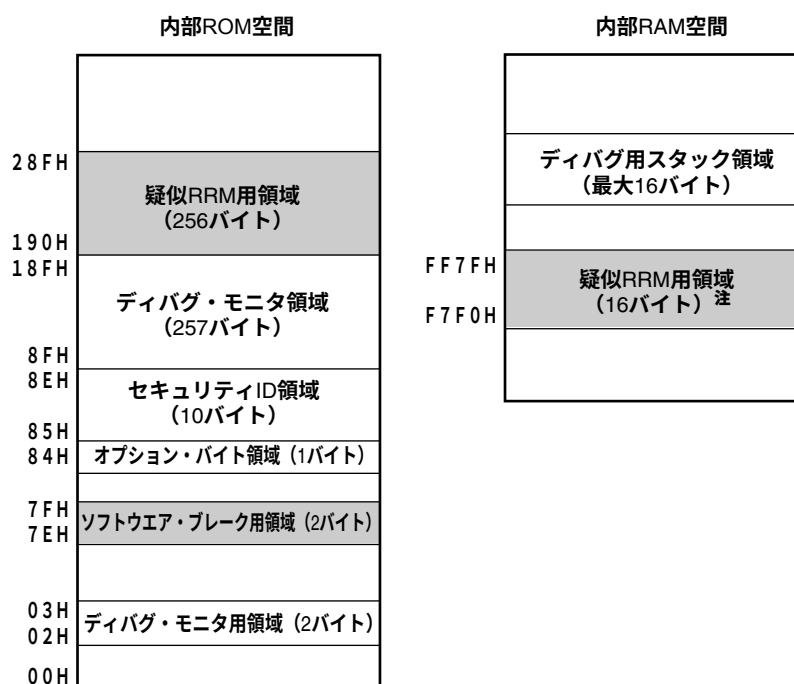
28.2 QB-MINI2が使用する予約領域

QB-MINI2は、 μ PD78F05xxD, 78F05xxDAとの通信、または各デバッグ機能を実現するために、図28-4で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し、それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては、QB-MINI2 **ユーザズ・マニュアル** (U18371J) を参照してください。

図28-4 QB-MINI2が使用する予約領域



注 内部拡張RAMを内蔵していない製品 (μ PD78F0503D, 78F0503DA, 78F0513D, 78F0513DA) は、この領域を確保する必要はありません。

備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
それ以外の予約領域 : デバッグ時に必ず使用する領域

第29章 命令セットの概要

78K0/Kx2マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

29. 1 凡 例

29. 1. 1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#，！，\$，[] の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # ：イミーディエト・データ指定
- ・ ! ：絶対アドレス指定
- ・ \$ ：相対アドレス指定
- ・ [] ：間接アドレス指定

イミーディエト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#，！，\$，[] 記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表29-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 [※]
sfrp	特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ） [※]
saddr	FE20H-FF1FH イミーディエト・データまたはレーベル
saddrp	FE20H-FF1FH イミーディエト・データまたはレーベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミーディエト・データまたはレーベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr11	0800H-0FFFH イミーディエト・データまたはレーベル
addr5	0040H-007FH イミーディエト・データまたはレーベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3-8 特殊機能レジスタ一覧を参照してください。

29. 1. 2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

29. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット／クリアされる
R	: 以前に退避した値がストアされる

29.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	—	$r \leftarrow \text{byte}$			
		saddr, #byte	3	6	7	$(\text{saddr}) \leftarrow \text{byte}$			
		sfr, #byte	3	—	7	$\text{sfr} \leftarrow \text{byte}$			
		A, r ^{注3}	1	2	—	$A \leftarrow r$			
		r, A ^{注3}	1	2	—	$r \leftarrow A$			
		A, saddr	2	4	5	$A \leftarrow (\text{saddr})$			
		saddr, A	2	4	5	$(\text{saddr}) \leftarrow A$			
		A, sfr	2	—	5	$A \leftarrow \text{sfr}$			
		sfr, A	2	—	5	$\text{sfr} \leftarrow A$			
		A, !addr16	3	8	9	$A \leftarrow (\text{addr16})$			
		!addr16, A	3	8	9	$(\text{addr16}) \leftarrow A$			
		PSW, #byte	3	—	7	$\text{PSW} \leftarrow \text{byte}$	×	×	×
		A, PSW	2	—	5	$A \leftarrow \text{PSW}$			
		PSW, A	2	—	5	$\text{PSW} \leftarrow A$	×	×	×
		A, [DE]	1	4	5	$A \leftarrow (\text{DE})$			
		[DE], A	1	4	5	$(\text{DE}) \leftarrow A$			
		A, [HL]	1	4	5	$A \leftarrow (\text{HL})$			
		[HL], A	1	4	5	$(\text{HL}) \leftarrow A$			
		A, [HL + byte]	2	8	9	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL + byte], A	2	8	9	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, [HL + B]	1	6	7	$A \leftarrow (\text{HL} + \text{B})$			
		[HL + B], A	1	6	7	$(\text{HL} + \text{B}) \leftarrow A$			
		A, [HL + C]	1	6	7	$A \leftarrow (\text{HL} + \text{C})$			
		[HL + C], A	1	6	7	$(\text{HL} + \text{C}) \leftarrow A$			
	XCH	A, r ^{注3}	1	2	—	$A \longleftrightarrow r$			
		A, saddr	2	4	6	$A \longleftrightarrow (\text{saddr})$			
		A, sfr	2	—	6	$A \longleftrightarrow \text{sfr}$			
		A, !addr16	3	8	10	$A \longleftrightarrow (\text{addr16})$			
		A, [DE]	1	4	6	$A \longleftrightarrow (\text{DE})$			
		A, [HL]	1	4	6	$A \longleftrightarrow (\text{HL})$			
		A, [HL + byte]	2	8	10	$A \longleftrightarrow (\text{HL} + \text{byte})$			
		A, [HL + B]	2	8	10	$A \longleftrightarrow (\text{HL} + \text{B})$			
		A, [HL + C]	2	8	10	$A \longleftrightarrow (\text{HL} + \text{C})$			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	—	rp ← word			
		saddrp, #word	4	8	10	(saddrp) ← word			
		sfrp, #word	4	—	10	sfrp ← word			
		AX, saddrp	2	6	8	AX ← (saddrp)			
		saddrp, AX	2	6	8	(saddrp) ← AX			
		AX, sfrp	2	—	8	AX ← sfrp			
		sfrp, AX	2	—	8	sfrp ← AX			
		AX, rp 注3	1	4	—	AX ← rp			
		rp, AX 注3	1	4	—	rp ← AX			
		AX, !addr16	3	10	12	AX ← (addr16)			
		!addr16, AX	3	10	12	(addr16) ← AX			
	XCHW	AX, rp 注3	1	4	—	AX ↔ rp			
8ビット演算	ADD	A, #byte	2	4	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) + byte	×	×	×
		A, r 注4	2	4	—	A, CY ← A + r	×	×	×
		r, A	2	4	—	r, CY ← r + A	×	×	×
		A, saddr	2	4	5	A, CY ← A + (saddr)	×	×	×
		A, !addr16	3	8	9	A, CY ← A + (addr16)	×	×	×
		A, [HL]	1	4	5	A, CY ← A + (HL)	×	×	×
		A, [HL + byte]	2	8	9	A, CY ← A + (HL + byte)	×	×	×
		A, [HL + B]	2	8	9	A, CY ← A + (HL + B)	×	×	×
		A, [HL + C]	2	8	9	A, CY ← A + (HL + C)	×	×	×
	ADDC	A, #byte	2	4	—	A, CY ← A + byte + CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) + byte + CY	×	×	×
		A, r 注4	2	4	—	A, CY ← A + r + CY	×	×	×
		r, A	2	4	—	r, CY ← r + A + CY	×	×	×
		A, saddr	2	4	5	A, CY ← A + (saddr) + CY	×	×	×
		A, !addr16	3	8	9	A, CY ← A + (addr16) + CY	×	×	×
		A, [HL]	1	4	5	A, CY ← A + (HL) + CY	×	×	×
		A, [HL + byte]	2	8	9	A, CY ← A + (HL + byte) + CY	×	×	×
		A, [HL + B]	2	8	9	A, CY ← A + (HL + B) + CY	×	×	×
		A, [HL + C]	2	8	9	A, CY ← A + (HL + C) + CY	×	×	×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. rp = BC, DE, HLのときのみ。

4. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	—	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	6	8	$(saddr), CY \leftarrow (saddr) - \text{byte}$	×	×	×
		A, r ^{注3}	2	4	—	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	4	—	$r, CY \leftarrow r - A$	×	×	×
		A, saddr	2	4	5	$A, CY \leftarrow A - (saddr)$	×	×	×
		A, !addr16	3	8	9	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, [HL]	1	4	5	$A, CY \leftarrow A - (HL)$	×	×	×
		A, [HL+byte]	2	8	9	$A, CY \leftarrow A - (HL + \text{byte})$	×	×	×
		A, [HL+B]	2	8	9	$A, CY \leftarrow A - (HL + B)$	×	×	×
		A, [HL+C]	2	8	9	$A, CY \leftarrow A - (HL + C)$	×	×	×
	SUBC	A, #byte	2	4	—	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	6	8	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
		A, r ^{注3}	2	4	—	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	4	—	$r, CY \leftarrow r - A - CY$	×	×	×
		A, saddr	2	4	5	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
		A, !addr16	3	8	9	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, [HL]	1	4	5	$A, CY \leftarrow A - (HL) - CY$	×	×	×
		A, [HL+byte]	2	8	9	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
		A, [HL+B]	2	8	9	$A, CY \leftarrow A - (HL + B) - CY$	×	×	×
		A, [HL+C]	2	8	9	$A, CY \leftarrow A - (HL + C) - CY$	×	×	×
	AND	A, #byte	2	4	—	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	6	8	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
		A, r ^{注3}	2	4	—	$A \leftarrow A \wedge r$	×		
		r, A	2	4	—	$r \leftarrow r \wedge A$	×		
		A, saddr	2	4	5	$A \leftarrow A \wedge (saddr)$	×		
		A, !addr16	3	8	9	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \wedge (HL)$	×		
		A, [HL+byte]	2	8	9	$A \leftarrow A \wedge (HL + \text{byte})$	×		
		A, [HL+B]	2	8	9	$A \leftarrow A \wedge (HL + B)$	×		
		A, [HL+C]	2	8	9	$A \leftarrow A \wedge (HL + C)$	×		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r ^{注3}	2	4	—	$A \leftarrow A \vee r$	×		
		r, A	2	4	—	$r \leftarrow r \vee A$	×		
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL + byte]	2	8	9	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, [HL + B]	2	8	9	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, [HL + C]	2	8	9	$A \leftarrow A \vee (\text{HL} + C)$	×		
	XOR	A, #byte	2	4	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r ^{注3}	2	4	—	$A \leftarrow A \vee r$	×		
		r, A	2	4	—	$r \leftarrow r \vee A$	×		
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL + byte]	2	8	9	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, [HL + B]	2	8	9	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, [HL + C]	2	8	9	$A \leftarrow A \vee (\text{HL} + C)$	×		
	CMP	A, #byte	2	4	—	$A - \text{byte}$	×	×	×
		saddr, #byte	3	6	8	$(\text{saddr}) - \text{byte}$	×	×	×
		A, r ^{注3}	2	4	—	$A - r$	×	×	×
		r, A	2	4	—	$r - A$	×	×	×
		A, saddr	2	4	5	$A - (\text{saddr})$	×	×	×
		A, !addr16	3	8	9	$A - (\text{addr16})$	×	×	×
		A, [HL]	1	4	5	$A - (\text{HL})$	×	×	×
		A, [HL + byte]	2	8	9	$A - (\text{HL} + \text{byte})$	×	×	×
		A, [HL + B]	2	8	9	$A - (\text{HL} + B)$	×	×	×
		A, [HL + C]	2	8	9	$A - (\text{HL} + C)$	×	×	×
16ビット演算	ADDW	AX, #word	3	6	—	$AX, CY \leftarrow AX + \text{word}$	×	×	×
	SUBW	AX, #word	3	6	—	$AX, CY \leftarrow AX - \text{word}$	×	×	×
	CMPW	AX, #word	3	6	—	$AX - \text{word}$	×	×	×
乗除算	MULU	X	2	16	—	$AX \leftarrow A \times X$			
	DIVUW	C	2	25	—	$AX(\text{商}), C(\text{余り}) \leftarrow AX \div C$			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	—	$r \leftarrow r + 1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) + 1$	×	×	
	DEC	r	1	2	—	$r \leftarrow r - 1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) - 1$	×	×	
	INCW	rp	1	4	—	$rp \leftarrow rp + 1$			
	DECW	rp	1	4	—	$rp \leftarrow rp - 1$			
ローテート	ROR	A, 1	1	2	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROL	A, 1	1	2	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	RORC	A, 1	1	2	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROLC	A, 1	1	2	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	ROR4	[HL]	2	10	12	$A_{3-0} \leftarrow (HL)_{3-0}, (HL)_{7-4} \leftarrow A_{3-0}, (HL)_{3-0} \leftarrow (HL)_{7-4}$			
	ROL4	[HL]	2	10	12	$A_{3-0} \leftarrow (HL)_{7-4}, (HL)_{3-0} \leftarrow A_{3-0}, (HL)_{7-4} \leftarrow (HL)_{3-0}$			
BD補正	ADJBA		2	4	—	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	—	Decimal Adjust Accumulator after Subtract	×	×	×
ビット操作	MOV1	CY, saddr.bit	3	6	7	$CY \leftarrow (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow PSW.bit$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow (HL).bit$			×
		saddr.bit, CY	3	6	8	$(saddr.bit) \leftarrow CY$			
		sfr.bit, CY	3	—	8	$sfr.bit \leftarrow CY$			
		A.bit, CY	2	4	—	$A.bit \leftarrow CY$			
		PSW.bit, CY	3	—	8	$PSW.bit \leftarrow CY$	×	×	
		[HL].bit, CY	2	6	8	$(HL).bit \leftarrow CY$			
	AND1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \wedge (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \wedge (HL).bit$			×
	OR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \vee (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \vee sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \vee PSW.bit$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \vee (HL).bit$			×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニツク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \vee (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \vee sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \vee PSW.bit$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \vee (HL).bit$			×
	SET1	saddr.bit	2	4	6	$(saddr.bit) \leftarrow 1$			
		sfr.bit	3	—	8	$sfr.bit \leftarrow 1$			
		A.bit	2	4	—	$A.bit \leftarrow 1$			
		PSW.bit	2	—	6	$PSW.bit \leftarrow 1$	×	×	×
		[HL].bit	2	6	8	$(HL).bit \leftarrow 1$			
	CLR1	saddr.bit	2	4	6	$(saddr.bit) \leftarrow 0$			
		sfr.bit	3	—	8	$sfr.bit \leftarrow 0$			
		A.bit	2	4	—	$A.bit \leftarrow 0$			
		PSW.bit	2	—	6	$PSW.bit \leftarrow 0$	×	×	×
		[HL].bit	2	6	8	$(HL).bit \leftarrow 0$			
	SET1	CY	1	2	—	$CY \leftarrow 1$			1
	CLR1	CY	1	2	—	$CY \leftarrow 0$			0
	NOT1	CY	1	2	—	$CY \leftarrow \overline{CY}$			×
コール・リターン	CALL	!addr16	3	7	—	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$ $PC \leftarrow addr16, SP \leftarrow SP-2$			
	CALLF	!addr11	2	5	—	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_{15:11} \leftarrow 00001, PC_{10:0} \leftarrow addr11, SP \leftarrow SP-2$			
	CALLT	[addr5]	1	6	—	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$ $PC_H \leftarrow (addr5+1), PC_L \leftarrow (addr5),$ $SP \leftarrow SP-2$			
	BRK		1	6	—	$(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+1)_H,$ $(SP-3) \leftarrow (PC+1)_L, PC_H \leftarrow (003FH),$ $PC_L \leftarrow (003EH), SP \leftarrow SP-3, IE \leftarrow 0$			
	RET		1	6	—	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP), SP \leftarrow SP+2$			
	RETI		1	6	—	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP), PSW \leftarrow (SP+2),$ $SP \leftarrow SP+3$	R	R	R
	RETB		1	6	—	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP), PSW \leftarrow (SP+2),$ $SP \leftarrow SP+3$	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	—	$(SP-1) \leftarrow PSW, SP \leftarrow SP-1$			
		rp	1	4	—	$(SP-1) \leftarrow rp_H, (SP-2) \leftarrow rp_L, SP \leftarrow SP-2$			
	POP	PSW	1	2	—	$PSW \leftarrow (SP), SP \leftarrow SP+1$	R	R	R
		rp	1	4	—	$rp_H \leftarrow (SP+1), rp_L \leftarrow (SP), SP \leftarrow SP+2$			
	MOVW	SP, #word	4	—	10	$SP \leftarrow word$			
		SP, AX	2	—	8	$SP \leftarrow AX$			
		AX, SP	2	—	8	$AX \leftarrow SP$			
無条件分岐	BR	!addr16	3	6	—	$PC \leftarrow addr16$			
		\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$			
		AX	2	8	—	$PC_H \leftarrow A, PC_L \leftarrow X$			
条件付き分岐	BC	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if CY = 1			
	BNC	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if CY = 0			
	BZ	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if Z = 1			
	BNZ	\$addr16	2	6	—	$PC \leftarrow PC+2+jdisp8$ if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	$PC \leftarrow PC+3+jdisp8$ if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	—	11	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 1			
		A.bit, \$addr16	3	8	—	$PC \leftarrow PC+3+jdisp8$ if A.bit = 1			
		PSW.bit, \$addr16	3	—	9	$PC \leftarrow PC+3+jdisp8$ if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	$PC \leftarrow PC+3+jdisp8$ if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	$PC \leftarrow PC+4+jdisp8$ if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	—	11	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 0			
		A.bit, \$addr16	3	8	—	$PC \leftarrow PC+3+jdisp8$ if A.bit = 0			
		PSW.bit, \$addr16	4	—	11	$PC \leftarrow PC+4+jdisp8$ if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	$PC \leftarrow PC+3+jdisp8$ if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	$PC \leftarrow PC+4+jdisp8$ if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	—	12	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	—	$PC \leftarrow PC+3+jdisp8$ if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	—	12	$PC \leftarrow PC+4+jdisp8$ if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr16	3	10	12	$PC \leftarrow PC+3+jdisp8$ if (HL).bit = 1 then reset (HL).bit			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	—	$B \leftarrow B - 1$, then $PC \leftarrow PC + 2 + jdisp8$ if $B \neq 0$			
		C, \$addr16	2	6	—	$C \leftarrow C - 1$, then $PC \leftarrow PC + 2 + jdisp8$ if $C \neq 0$			
		saddr, \$addr16	3	8	10	$(saddr) \leftarrow (saddr) - 1$, then $PC \leftarrow PC + 3 + jdisp8$ if $(saddr) \neq 0$			
CPU制御	SEL	R _{Bn}	2	4	—	RBS1, 0←n			
	NOP		1	2	—	No Operation			
	EI		2	—	6	$IE \leftarrow 1$ (Enable Interrupt)			
	DI		2	—	6	$IE \leftarrow 0$ (Disable Interrupt)			
	HALT		2	6	—	Set HALT Mode			
	STOP		2	6	—	Set STOP Mode			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

29.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令／分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第30章 電気的特性（標準品）

対象製品	従来規格品	拡張規格品
78K0/KB2	μ PD78F0500, 78F0501, 78F0502, 78F0503, 78F0503D	μ PD78F0500A, 78F0501A, 78F0502A, 78F0503A, 78F0503DA
78K0/KC2	μ PD78F0511, 78F0512, 78F0513, 78F0514, 78F0515, 78F0513D, 78F0515D	μ PD78F0511A, 78F0512A, 78F0513A, 78F0514A, 78F0515A, 78F0513DA, 78F0515DA
78K0/KD2	μ PD78F0521, 78F0522, 78F0523, 78F0524, 78F0525, 78F0526, 78F0527, 78F0527D	μ PD78F0521A, 78F0522A, 78F0523A, 78F0524A, 78F0525A, 78F0526A, 78F0527A, 78F0527DA
78K0/KE2	μ PD78F0531, 78F0532, 78F0533, 78F0534, 78F0535, 78F0536, 78F0537, 78F0537D	μ PD78F0531A, 78F0532A, 78F0533A, 78F0534A, 78F0535A, 78F0536A, 78F0537A, 78F0537DA
78K0/KF2	μ PD78F0544, 78F0545, 78F0546, 78F0547, 78F0547D	μ PD78F0544A, 78F0545A, 78F0546A, 78F0547A, 78F0547DA

次の項目については、従来規格品（ μ PD78F05xx, 78F05xxD）と拡張規格品（ μ PD78F05xxA, 78F05xxDA）とで分けて記載しています。

- ・ X1クロック発振周波数（X1発振回路特性）
- ・ 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ／ロウ・レベル幅（AC特性の（1）基本動作）
- ・ A/D変換時間（A/Dコンバータ特性）
- ・ 1チップあたりの書き換え回数（フラッシュ・メモリ・プログラミング特性）

注意1. μ PD78F05xxD, 78F05xxDAは開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のように異なります。

（1）ポート機能

ポート	78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
	30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
ポート0	P00, P01				P00-P03	P00-P06	
ポート1	P10-P17						
ポート2	P20-P23	P20-P25	P20-P27				
ポート3	P30-P33						
ポート4	－		P40, P41			P40-P43	P40-P47
ポート5	－					P50-P53	P50-P57
ポート6	P60, P61	P60-P63					P60-P67
ポート7	－	P70, P71	P70-P73	P70-P75	P70-P77		
ポート12	P120-P122	P120-P124					
ポート13	－			P130			
ポート14	－			P140		P140, P141	P140-P145

（次ページに、続きの表があります）

(2) ポート以外の機能

機 能		78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
		30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
電源, グランド		V _{DD} , EV _{DD} ^{注1} , V _{SS} , EV _{SS} ^{注1} , AV _{REF} , AV _{SS} ,	V _{DD} , AV _{REF} , V _{SS} , AV _{SS}				V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}	
レギュレータ		REGC						
リセット		RESET						
クロック発振		X1, X2, EXCLK	X1, X2, XT1, XT2, EXCLK, EXCLKS					
フラッシュ書き込み		FLMD0						
割り込み		INTP0-INTP5			INTP0-INTP6		INTP0-INTP7	
キー割り込み		—	KR0, KR1	KR0-KR3		KR0-KR7		
タイ マ	TM00	TI000, TI010, TO00						
	TM01	—					TI001 ^{注2} , TI011 ^{注2} , TO01 ^{注2}	
	TM50	TI50, TO50						
	TM51	TI51, TO51						
	TMH0	TOH0						
	TMH1	TOH1						
シ リ ア ル ・ イ ン タ フ ェ ー ス	UART0	RxD0, TxD0						
	UART6	RxD6, TxD6						
	IIC0	SCL0, SDA0	SCL0, SDA0, EXSCL0					
	CSI10	SCK10, SI10, SO10						
	CSI11	—					SCK11 ^{注2} , SI11 ^{注2} , SO11 ^{注2} , SSI11 ^{注2}	
	CSIA0	—						SCKA0, SIA0, SOA0, BUSY0, STB0
A/Dコンバータ		ANI0-ANI3	ANI0-ANI5	ANI0-ANI7				
クロック出力		—			PCL			
ブザー出力		—					BUZ	
LVI回路		EXLVI						
オンチップ・デバ ッグ機能		OCD0A, OCD1A, OCD0B, OCD1B (μ PD78F05xxD, 78F05xxDA (オンチップ・デバッグ機能搭載品) のみ, 搭載)						

注1. 30ピン製品には搭載していません。

2. フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品には搭載していません。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		$-0.5 \sim +6.5$	V
	EV_{DD}		$-0.5 \sim +6.5$	V
	V_{SS}		$-0.5 \sim +0.3$	V
	EV_{SS}		$-0.5 \sim +0.3$	V
	AV_{REF}		$-0.5 \sim V_{DD} + 0.3^{\text{注}}$	V
	AV_{SS}		$-0.5 \sim +0.3$	V
REGC端子入力電圧	V_{IREGC}		$-0.5 \sim +3.6$ かつ $-0.5 \sim V_{DD}$	V
入力電圧	V_{I1}	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120-P124, P140-P145, X1, X2, XT1, XT2, $\overline{\text{RESET}}$, FLMD0	$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
	V_{I2}	P60-P63 (N-chオープン・ドレイン)	$-0.3 \sim +6.5$	V
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
アナログ入力電圧	V_{AN}	ANI0-ANI7	$-0.3 \sim AV_{REF} + 0.3^{\text{注}}$ かつ $-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (2/2)

項 目	略 号	条 件		定 格	単 位
ハイ・レベル出力電流	I _{OH}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	－10	mA
		端子合計 －80 mA	P00-P04, P40-P47, P120, P130, P140-P145	－25	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77	－55	mA
		1端子	P20-P27	－0.5	mA
		端子合計		－2	mA
		1端子	P121-P124	－1	mA
		端子合計		－4	mA
ロウ・レベル出力電流	I _{OL}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P130, P140-P145	30	mA
		端子合計 200 mA	P00-P04, P40-P47, P120, P130, P140-P145	60	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77	140	mA
		1端子	P20-P27	1	mA
		端子合計		5	mA
		1端子	P121-P124	4	mA
		端子合計		10	mA
動作周囲温度	T _A			－40～＋85	℃
保存温度	T _{stg}			－65～＋150	℃

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

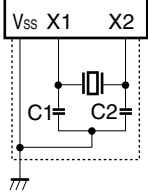
2. 1端子あたりに流すことができる電流値は、1端子あたりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック 発振周波数 (f_x) ^{注1}	従来規格品 (μ PD78F05xx, 78F05xxD)	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0 ^{注2}		20.0 MHz
				$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1.0 ^{注2}		10.0 MHz
				$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0		5.0 MHz
			拡張規格品 (μ PD78F05xxA, 78F05xxDA)	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0 ^{注2}		20.0 MHz
				$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0		5.0 MHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz（MIN.）です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

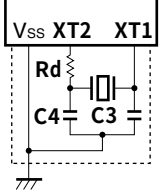
発振子	項 目	条 件		MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 (f _{RH}) 注	RSTS = 1	2.7 V ≤ V _{DD} ≤ 5.5 V	7.6	8.0	8.4	MHz
			1.8 V ≤ V _{DD} < 2.7 V	7.6	8.0	10.4	MHz
		RSTS = 0		2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f _{RL})	2.7 V ≤ V _{DD} ≤ 5.5 V		216	240	264	kHz
		1.8 V ≤ V _{DD} < 2.7 V		192	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS：内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性^{注1}

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) 注2		32	32.768	35	kHz

注1. 78K0/KB2には、XT1発振回路はありません。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数 (1/2)

(1) X1発振: セラミック発振子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) (1/2)

メーカー	品 名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	SMD	2.00	内蔵 (47)	内蔵 (47)	1.8	5.5
	CSTLS4M00G56-B0	リード	4.00	内蔵 (47)	内蔵 (47)		
	CSTCR4M00G55-R0	SMD		内蔵 (39)	内蔵 (39)		
	CSTLS4M19G56-B0	リード	4.194	内蔵 (47)	内蔵 (47)		
	CSTCR4M19G55-R0	SMD		内蔵 (39)	内蔵 (39)		
	CSTLS4M91G56-B0	リード	4.915	内蔵 (47)	内蔵 (47)		
	CSTCR4M91G55-R0	SMD		内蔵 (39)	内蔵 (39)		
	CSTLS5M00G56-B0	リード	5.00	内蔵 (47)	内蔵 (47)	1.9	
	CSTCR5M00G55-R0	SMD		内蔵 (39)	内蔵 (39)	1.8	
	CSTLS6M00G56-B0	リード	6.00	内蔵 (47)	内蔵 (47)	2.4	
	CSTCR6M00G55-R0	SMD		内蔵 (39)	内蔵 (39)	1.8	
	CSTLS8M00G56-B0	リード	8.00	内蔵 (47)	内蔵 (47)	2.3	
	CSTCE8M00G55-R0	SMD		内蔵 (33)	内蔵 (33)	1.9	
	CSTLS8M38G56-B0	リード	8.388	内蔵 (47)	内蔵 (47)	2.3	
	CSTCE8M38G55-R0	SMD		内蔵 (33)	内蔵 (33)	1.9	
	CSTLS10M0G56-B0	リード	10.0	内蔵 (47)	内蔵 (47)	2.5	
	CSTCE10M0G55-R0	SMD		内蔵 (33)	内蔵 (33)	2.3	
	CSTCE12M0G55-R0	SMD	12.0	内蔵 (33)	内蔵 (33)	2.3	
	CSTCE16M0V53-R0	SMD	16.0	内蔵 (15)	内蔵 (15)	2.3	
	CSTCE20M0V53-R0	SMD	20.0	内蔵 (15)	内蔵 (15)	2.6	
村田製作所 (低容量品)	CSTLS6M00G53-B0	リード	6.00	内蔵 (15)	内蔵 (15)	1.8	5.5
	CSTLS8M00G53-B0	リード	8.00	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS8M38G53-B0	リード	8.388	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS10M0G53-B0	リード	10.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTCE12M0G52-R0	SMD	12.0	内蔵 (10)	内蔵 (10)	1.8	
	CSTCE16M0V51-R0	SMD	16.0	内蔵 (5)	内蔵 (5)	1.8	
	CSTCE20M0V51-R0	SMD	20.0	内蔵 (5)	内蔵 (5)	1.9	

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/Kx2マイクロコントローラの内部動作条件についてはDC, AC特性の規格内で使用してください。

推奨発振回路定数 (2/2)

(1) X1発振: セラミック発振子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) (2/2)

メーカー	品 名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
TDK 株式会社	CCR4.0MUC8	SMD	4.00	内蔵 (27)	内蔵 (27)	1.8	5.5
	FCR4.0MC5	リード		内蔵 (30)	内蔵 (30)		
	CCR8.0MXC8	SMD	8.00	内蔵 (18)	内蔵 (30)		
	FCR8.0MC5	リード		内蔵 (20)	内蔵 (20)		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/Kx2マイクロコントローラの内部動作条件についてはDC, AC特性の規格内で使用してください。

(2) XT1発振: 水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)

メーカー	品 名	SMD/ リード	周波数 (KHz)	負荷容量 CL (pF)	推奨回路定数						発振電圧範囲	
					$V_{DD}=3.3\text{V}$			$V_{DD}=5.0\text{V}$			MIN. (V)	MAX. (V)
					C3 (pF)	C4 (pF)	Rd (k Ω)	C3 (pF)	C4 (pF)	Rd (k Ω)		
セイコー インスツル 株式会社	VT-200	リード	32.768	6.0	4	3	100	6	5	100	1.8	5.5
				12.5	15	15	100	18	15	100		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/Kx2マイクロコントローラの内部動作条件についてはDC, AC特性の規格内で使用してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/5)

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-3.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-2.5	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-1.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-20.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-10.0	mA
		合計 ^{注3}	$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-5.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-30.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-19.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-10.0	mA
		上記の全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-50.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-29.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-15.0	mA
ロウ・レベル出力電流 ^{注2}	IOH2	P20-P27 1端子	$AV_{REF} = V_{DD}$		-0.1	mA
		P121-P124 1端子			-0.1	mA
	IOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		8.5	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		5.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		2.0	mA
		P60-P63 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		15.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		5.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		2.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		20.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		15.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		9.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		45.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		35.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		20.0	mA
		上記の全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		65.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		50.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		29.0	mA
	IOL2	P20-P27 1端子	$AV_{REF} = V_{DD}$		0.4	mA
		P121-P124 1端子			0.4	mA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合) でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH} のデューティがn %の場合：端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50 %, $I_{OH} = -20.0 \text{ mA}$ の場合

端子合計の出力電流 = $(-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/5)

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IH1}	P02, P12, P13, P15, P40-P47, P50-P57, P64-P67, P121-P124, P144, P145, EXCLK, EXCLKS	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}		AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ハイ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IH1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P121-P124, EXCLK, EXCLKS	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}		AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ロウ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IL1}	P02, P12, P13, P15, P40-P47, P50-P57, P60-P67, P121-P124, P144, P145, EXCLK, EXCLKS	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}		0.3AV _{REF}	V
ロウ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IL1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P60-P63, P121-P124, EXCLK, EXCLKS	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}		0.3AV _{REF}	V
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	4.0 V $\leq$ V _{DD} $\leq$ 5.5 V, I _{OH1} = -3.0 mA	V _{DD} - 0.7		V
			2.7 V $\leq$ V _{DD} < 4.0 V, I _{OH1} = -2.5 mA	V _{DD} - 0.5		V
			1.8 V $\leq$ V _{DD} < 2.7 V, I _{OH1} = -1.0 mA	V _{DD} - 0.5		V
	V _{OH2}	P20-P27	AV _{REF} = V _{DD} , I _{OH2} = -100 μ A	V _{DD} - 0.5		V
		P121-P124	I _{OH2} = -100 μ A	V _{DD} - 0.5		V

注1. 対応製品：78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KD2と78K0/KE2

2. 対応製品：78K0/KB2, 78K0/KC2, フラッシュ・メモリが32 Kバイト以下の78K0/KD2と78K0/KE2

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/5)

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	4.0 V≦V _{DD} ≦5.5 V, I _{OL1} = 8.5 mA			0.7	V	
			2.7 V≦V _{DD} <4.0 V, I _{OL1} = 5.0 mA			0.7	V	
			1.8 V≦V _{DD} <2.7 V, I _{OL1} = 2.0 mA			0.5	V	
			1.8 V≦V _{DD} <2.7 V, I _{OL1} = 0.5 mA			0.4	V	
	VOL2	P20-P27	AV _{REF} = V _{DD} , I _{OL2} = 0.4 mA			0.4	V	
		P121-P124	I _{OL2} = 0.4 mA			0.4	V	
	VOL3	P60-P63	4.0 V≦V _{DD} ≦5.5 V, I _{OL1} = 15.0 mA			2.0	V	
			4.0 V≦V _{DD} ≦5.5 V, I _{OL1} = 5.0 mA			0.4	V	
			2.7 V≦V _{DD} <4.0 V, I _{OL1} = 5.0 mA			0.6	V	
			2.7 V≦V _{DD} <4.0 V, I _{OL1} = 3.0 mA			0.4	V	
			1.8 V≦V _{DD} <2.7 V, I _{OL1} = 2.0 mA			0.4	V	
ハイ・レベル入力リーク電流	ILIH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145, FLMD0, RESET	V _I = V _{DD}			1	μA	
	ILIH2	P20-P27	V _I = AV _{REF} , AV _{REF} = V _{DD}				1	μA
	ILIH3	P121-P124 (X1, X2, XT1, XT2)	V _I = V _{DD}	I/Oポート・モード			1	μA
			OSCモード			20	μA	
ロウ・レベル入力リーク電流	ILIL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145 FLMD0, RESET	V _I = V _{SS}				−1	μA
	ILIL2	P20-P27	V _I = V _{SS} , AV _{REF} = V _{DD}				−1	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2)	V _I = V _{SS}	I/Oポート・モード			−1	μA
			OSCモード			−20	μA	
ブルアップ抵抗値	R _U	V _I = V _{SS}		10	20	100	kΩ	
FLMD0電源電圧	V _{IL}	通常動作時		0		0.2V _{DD}	V	
	V _{IH}	セルフ・プログラミング時		0.8V _{DD}		V _{DD}	V	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/5)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		3.2	5.5	mA
				発振子接続		4.5	6.9	mA
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		1.6	2.8	mA
				発振子接続		2.3	3.9	mA
			f _{XH} = 10 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		1.5	2.7	mA
				発振子接続		2.2	3.2	mA
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.9	1.6	mA
				発振子接続		1.3	2.0	mA
			f _{XH} = 5 MHz, V _{DD} = 2.0 V ^{注2,3}	方形波入力		0.7	1.4	mA
				発振子接続		1.0	1.6	mA
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}			1.4	2.5	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		6	25	μA
				発振子接続		15	30	μA
	IDD2	HALTモード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		0.8	2.6	mA
				発振子接続		2.0	4.4	mA
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		0.4	1.3	mA
				発振子接続		1.0	2.4	mA
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.2	0.65	mA
				発振子接続		0.5	1.1	mA
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}			0.4	1.2	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		3.0	22	μA
				発振子接続		12	25	μA
	^{注6} IDD3	STOPモード				1	20	μA
			T _A = -40～+70 °C			1	10	μA

注1. 内部電源 (V_{DD} , EV_{DD}) に流れるトータル電流です。周辺動作電流と入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。

2. 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
5. X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
6. 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/5)

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
A/Dコンバータ 動作電流	I_{ADC} ^{注1}	$2.3 \text{ V} \leq AV_{REF} \leq V_{DD}$, $ADCS = 1$		0.86	1.9	mA
ウォッチドッグ・タイマ動作 電流	I_{WDT} ^{注2}	240 kHz 低速内蔵発振クロック動作時		5	10	μA
LVI動作電流	I_{LVI} ^{注3}			9	18	μA

- 注1.** A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。
- 2.** ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。
- 3.** LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。

- 備考1.** f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 2.** f_{RH} : 高速内蔵発振クロック周波数
- 3.** f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

(1) 基本動作 (1/2)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{XP}) 動作	従来規格品 (μ PD78F05xx, 78F05xxD)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.1		32	μ s	
				2.7 V ≤ V _{DD} < 4.0 V	0.2		32	μ s	
				1.8 V ≤ V _{DD} < 2.7 V	0.4 ^{注1}		32	μ s	
			拡張規格品 (μ PD78F05xxA, 78F05xxDA)	2.7 V ≤ V _{DD} ≤ 5.5 V	0.1		32	μ s	
				1.8 V ≤ V _{DD} < 2.7 V	0.4 ^{注1}		32	μ s	
		サブシステム・クロック (f _{SUB}) 動作 ^{注2}				114	122	125	μ s
		周辺ハードウェア・クロック周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	従来規格品 (μ PD78F05xx, 78F05xxD)	4.0 V ≤ V _{DD} ≤ 5.5 V			20
2.7 V ≤ V _{DD} < 4.0 V							10	MHz	
1.8 V ≤ V _{DD} < 2.7 V							5	MHz	
拡張規格品 (μ PD78F05xxA, 78F05xxDA)	4.0 V ≤ V _{DD} ≤ 5.5 V						20	MHz	
	2.7 V ≤ V _{DD} < 4.0 V ^{注3}						20	MHz	
	1.8 V ≤ V _{DD} < 2.7 V						5	MHz	
f _{PRS} = f _{RH} (XSEL = 0)				2.7 V ≤ V _{DD} ≤ 5.5 V	7.6		8.4	MHz	
				1.8 V ≤ V _{DD} < 2.7 V ^{注4}	7.6		10.4	MHz	
外部メイン・システム・クロック周波数	f _{EXCLK}	従来規格品 (μ PD78F05xx, 78F05xxD)	4.0 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注5}		20.0	MHz		
			2.7 V ≤ V _{DD} < 4.0 V	1.0 ^{注5}		10.0	MHz		
			1.8 V ≤ V _{DD} < 2.7 V	1.0		5.0	MHz		
		拡張規格品 (μ PD78F05xxA, 78F05xxDA)	2.7 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注5}		20.0	MHz		
			1.8 V ≤ V _{DD} < 2.7 V	1.0		5.0	MHz		
外部メイン・システム・クロック入力ハイ／ロウ・レベル幅	t _{EXCLKH} , t _{EXCLKL}	従来規格品 (μ PD78F05xx, 78F05xxD)	4.0 V ≤ V _{DD} ≤ 5.5 V	24			ns		
			2.7 V ≤ V _{DD} < 4.0 V	48			ns		
			1.8 V ≤ V _{DD} < 2.7 V	96			ns		
		拡張規格品 (μ PD78F05xxA, 78F05xxDA)	2.7 V ≤ V _{DD} ≤ 5.5 V	24			ns		
			1.8 V ≤ V _{DD} < 2.7 V	96			ns		

注1. 8 MHz内蔵発振器で動作時は、0.38 μs となります。

2. 78K0/KB2には、サブシステム・クロックはありません。

3. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{XH}/2$ (10 MHz) 以下にしてください。ただし乗除算器回路については、 f_{XH} (20 MHz) での動作が可能です。

4. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{RH}/2$ 以下にしてください。

5. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (2/2)

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部サブシステム・クロック周波数 ^{注1}	f _{EXCLKS}		32	32.768	35	kHz
外部サブシステム・クロック入力ハイ、ロウ・レベル幅 ^{注1}	t _{EXCLKSH} , t _{EXCLKSL}		12			μs
TI000, TI010, TI001, TI011入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0} , t _{TIL0}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2f_{sam} + 0.1$ ^{注2}			μs
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$2f_{sam} + 0.2$ ^{注2}			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$2f_{sam} + 0.5$ ^{注2}			μs
TI50, TI51入力周波数	f _{TI5}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			10	MHz
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			10	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			5	MHz
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH5} , t _{TIL5}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	50			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	50			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	100			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}		1			μs
キー割り込み入力ロウ・レベル幅	t _{KR}		250			ns
RESETロウ・レベル幅	t _{RSL}		10			μs

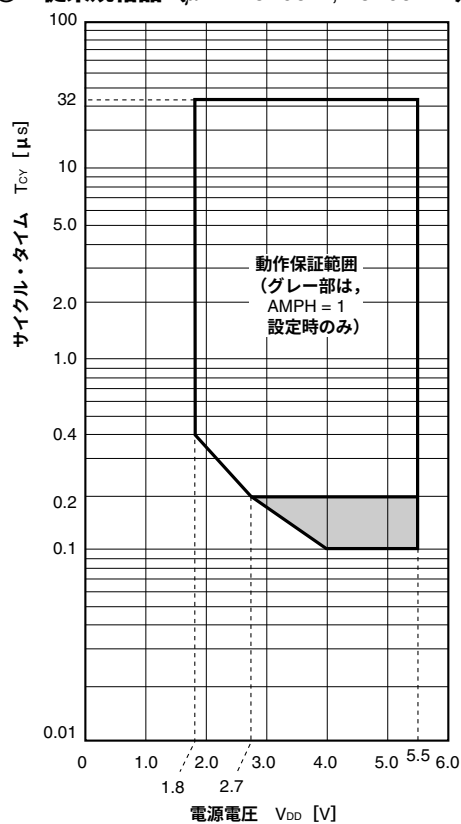
注1. 78K0/KB2には、サブシステム・クロックはありません。

2. プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01) のビット0, 1 (PRM000, PRM001またはPRM010, PRM011) により, $f_{sam} = f_{PRS}$, $f_{PRS}/4$, $f_{PRS}/256$ または f_{PRS} , $f_{PRS}/16$, $f_{PRS}/64$ の選択が可能です。ただし、カウント・クロックとしてTI000, TI001有効エッジを選択した場合は, $f_{sam} = f_{PRS}$ となります。

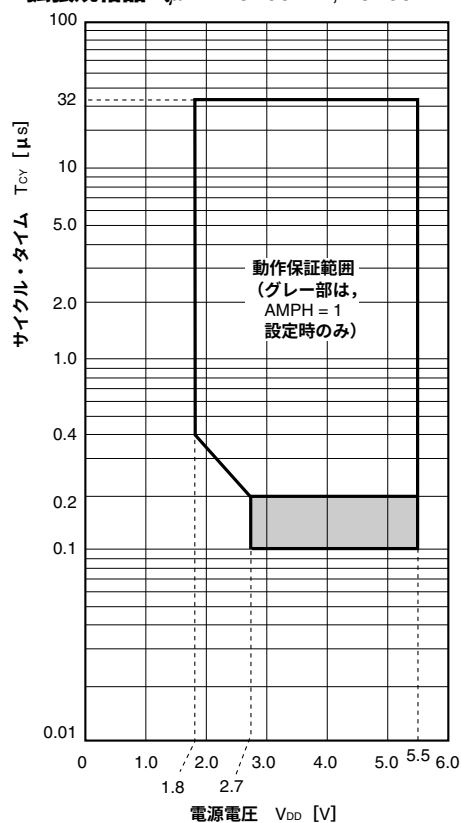
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

① 従来規格品 (μ PD78F05xx, 78F05xxD)

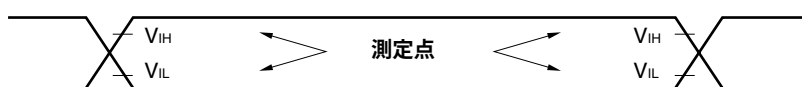


② 拡張規格品 (μ PD78F05xxA, 78F05xxDA)

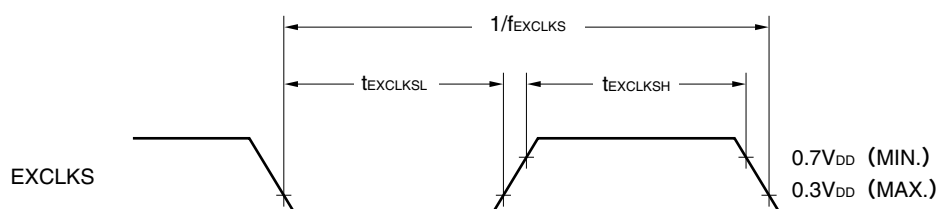
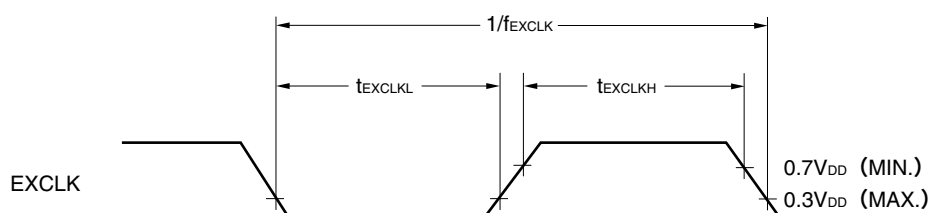


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

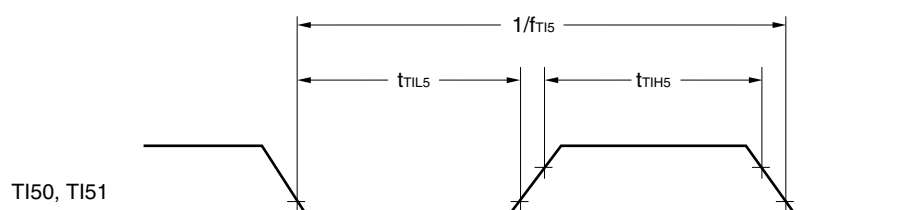
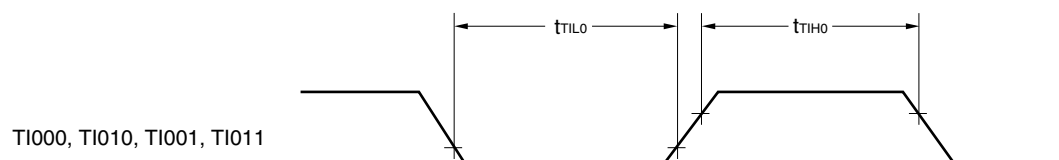
ACタイミング測定点



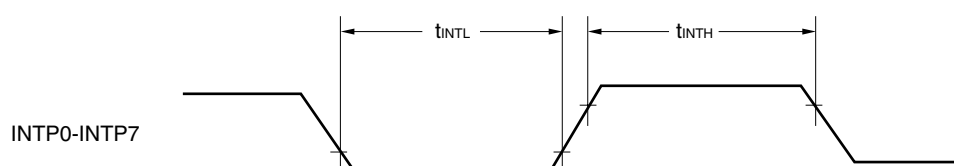
外部メイン・システム・クロック・タイミング, 外部サブシステム・クロック・タイミング



TIタイミング

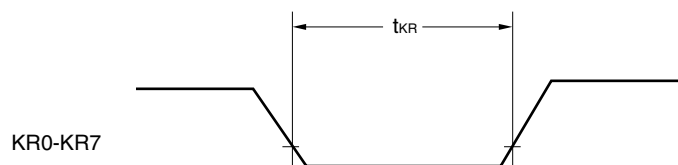


割り込み要求入力タイミング

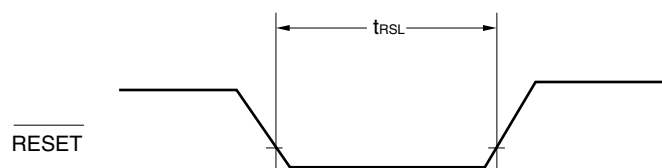


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

キー割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(b) UART0 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(c) IIC0

項 目	略 号	条 件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}		0	100	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU:STA}		4.7	—	0.6	—	μs
ホールド時間 ^{注1}	t _{HD:STA}		4.0	—	0.6	—	μs
SCL0 = "L"のホールド・タイム	t _{LOW}	内部クロック動作	4.7	—	1.3	—	μs
		EXSCL0クロック (6.4 MHz) 動作	4.7	—	1.25	—	μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0	—	0.6	—	μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		250	—	100	—	ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}	f _W = f _{XIH} /2 ^N または	0	3.45	0	0.9 ^{注4}	μs
		f _W = f _{EXSCL0} 選択時 ^{注3}				1.00 ^{注5}	
		f _W = f _{RH} /2 ^N 選択時 ^{注3}				1.05	μs
ストップ・コンディションのセットアップ時間	t _{SU:STO}		4.0	—	0.6	—	μs
バス・フリー時間	t _{BUF}		4.7	—	1.3	—	μs

注1. スタート／リスタート・コンディション時は、この期間のあと、最初のクロック・パルスが生成されます。

2. t_{HD:DAT}の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは、ウェイトがかかります。

3. f_Wは、IICCLレジスタとIICX0レジスタで選択したIIC0の転送クロックを示します。

4. f_W ≥ 4.4 MHz選択時

5. f_W < 4.4 MHz選択時

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(d) CSI1n (マスタ・モード, $\overline{\text{SCK1n}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK1n}}$ サイクル・タイム	t_{KCY1}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	160			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	250			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	500			ns
$\overline{\text{SCK1n}}$ ハイ, ロウ・レベル幅	$t_{\text{KH1}},$ t_{KL1}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 15^{\text{注1}}$			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY1}}/2 - 25^{\text{注1}}$			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY1}}/2 - 50^{\text{注1}}$			ns
SI1nセットアップ時間 (対 $\overline{\text{SCK1n}}$ ↑)	t_{SIK1}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	55			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	80			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	170			ns
SI1nホールド時間 (対 $\overline{\text{SCK1n}}$ ↑)	t_{KSI1}		30			ns
$\overline{\text{SCK1n}}$ ↓→SO1n出力遅延時間	t_{KSO1}	$C = 50 \text{ pF}^{\text{注2}}$			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは、 $\overline{\text{SCK1n}}$, SO1n出力ラインの負荷容量です。

(e) CSI1n (スレーブ・モード, $\overline{\text{SCK1n}}$ …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK1n}}$ サイクル・タイム	t_{KCY2}		400			ns
$\overline{\text{SCK1n}}$ ハイ, ロウ・レベル幅	$t_{\text{KH2}},$ t_{KL2}		$t_{\text{KCY2}}/2$			ns
SI1nセットアップ時間 (対 $\overline{\text{SCK1n}}$ ↑)	t_{SIK2}		80			ns
SI1nホールド時間 (対 $\overline{\text{SCK1n}}$ ↑)	t_{KSI2}		50			ns
$\overline{\text{SCK1n}}$ ↓→SO1n出力遅延時間	t_{KSO2}	$C = 50 \text{ pF}^{\text{注}}$	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		120	ns
			$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$		120	ns
			$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$		165	ns

注 Cは、SO1n出力ラインの負荷容量です。

備考 n = 0, 1

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(f) CSIA0 (マスタ・モード, $\overline{\text{SCKA0}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKA0}}$ サイクル・タイム	t_{KCY3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	600			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	1200			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	1800			ns
$\overline{\text{SCKA0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH3}},$ t_{KL3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}}/2 -$ 50			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}}/2 -$ 100			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY3}}/2 -$ 200			ns
$\overline{\text{SIA0}}$ セットアップ時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{SIK3}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	100			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	200			ns
$\overline{\text{SIA0}}$ ホールド時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{KSI3}		300			ns
$\overline{\text{SCKA0}}$ ↓ → SOA0 出力遅延時間	t_{KSO3}	C = 100 pF ^注	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		200	ns
			$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$		300	ns
			$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$		400	ns
$\overline{\text{SCKA0}}$ ↑ → STB0 ↑	t_{SBD}		$t_{\text{KCY3}}/2 -$ 100			ns
ストロブ信号ハイ・レベル幅	t_{SBW}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}} - 30$			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}} - 60$			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY3}} - 120$			ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	t_{BYS}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	100			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	200			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	t_{BYH}		100			ns
ビジィ・インアクティブ → $\overline{\text{SCKA0}}$ ↓	t_{SPS}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$			$2t_{\text{KCY3}} +$ 100	ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			$2t_{\text{KCY3}} +$ 150	ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$			$2t_{\text{KCY3}} +$ 200	ns

注 Cは, $\overline{\text{SCKA0}}$, SOA0出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(g) CSIA0 (スレープ・モード, SCKA0…外部クロック入力)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
SCKA0サイクル・タイム	t _{KCY4}	4.0 V ≤ V _{DD} ≤ 5.5 V		600			ns
		2.7 V ≤ V _{DD} < 4.0 V		1200			ns
		1.8 V ≤ V _{DD} < 2.7 V		1800			ns
SCKA0ハイ, ロウ・レベル幅	t _{KH4} , t _{KL4}	4.0 V ≤ V _{DD} ≤ 5.5 V		300			ns
		2.7 V ≤ V _{DD} < 4.0 V		600			ns
		1.8 V ≤ V _{DD} < 2.7 V		900			ns
SIA0セットアップ時間 (対SCKA0 ↑)	t _{SIK4}			100			ns
SIA0ホールド時間 (対SCKA0 ↑)	t _{KSI4}			2/f _w + 100 ^{注1}			ns
SCKA0 ↓ → SOA0出力遅延時間	t _{KSO4}	C = 100 pF 注2	4.0 V ≤ V _{DD} ≤ 5.5 V			2/f _w + 100 ^{注1}	ns
			2.7 V ≤ V _{DD} < 4.0 V			2/f _w + 200 ^{注1}	ns
			1.8 V ≤ V _{DD} < 2.7 V			2/f _w +300 ^{注1}	ns
SCKA0立ち上がり, 立ち下がり時間	t _{R4} , t _{F4}					1000	ns

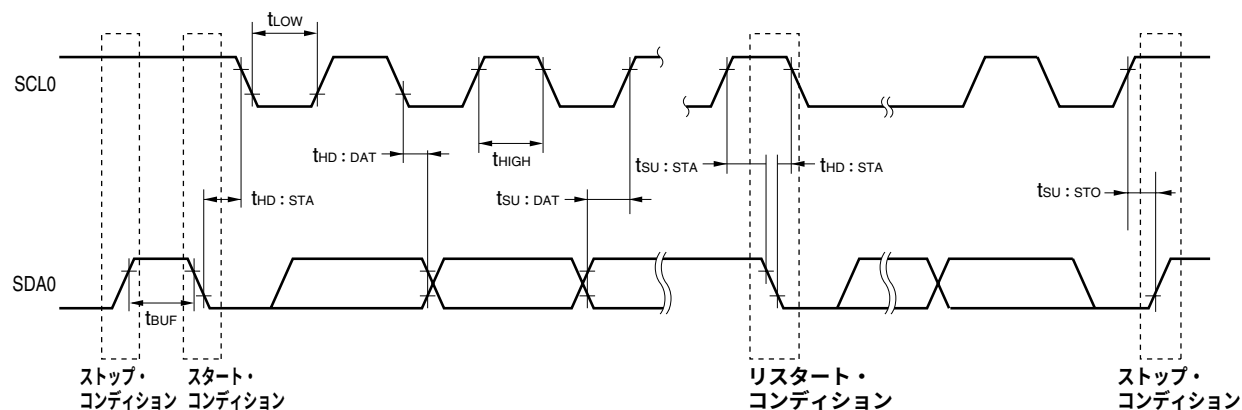
注1. f_wは、CSIS0レジスタで選択したCSIA0の基本クロックを示します。

2. Cは、SOA0出力ラインの負荷容量です。

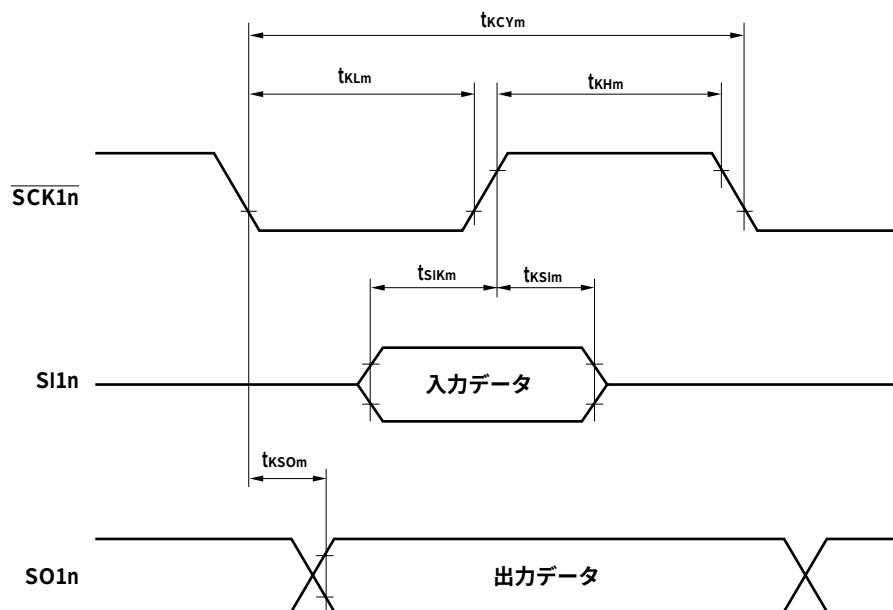
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

シリアル転送タイミング (1/2)

IIC0 :



CSI1n :



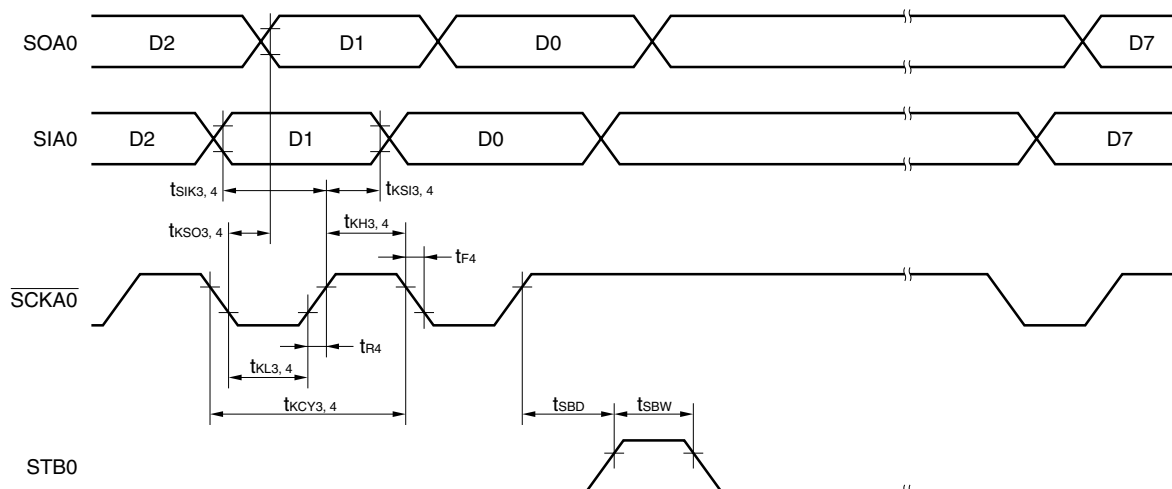
備考 m = 1, 2

n = 0, 1

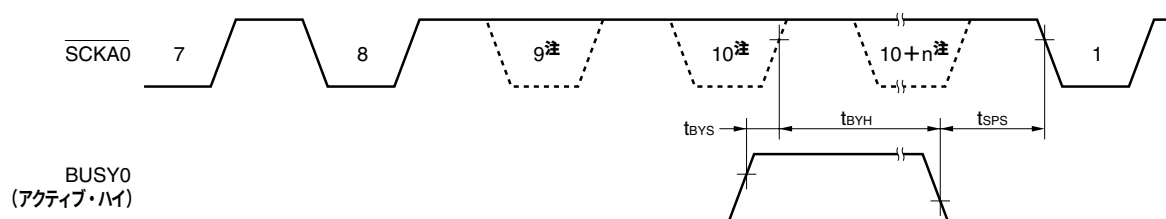
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

シリアル転送タイミング (2/2)

CSIA0 :



CSIA0 (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.3 \text{ V} \leq AV_{REF} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES					10	bit
総合誤差 ^{注1, 2}	A _{INL}	4.0 V ≦ AV _{REF} ≦ 5.5 V				±0.4	%FSR
		2.7 V ≦ AV _{REF} < 4.0 V				±0.6	%FSR
		2.3 V ≦ AV _{REF} < 2.7 V				±1.2	%FSR
変換時間	t _{CONV}	従来規格品 (μ PD78F05xx, 78F05xxD)	4.0 V ≦ AV _{REF} ≦ 5.5 V	6.1		36.7	μ s
			2.7 V ≦ AV _{REF} < 4.0 V	12.2		36.7	μ s
			2.3 V ≦ AV _{REF} < 2.7 V	27		66.6	μ s
		拡張規格品 (μ PD78F05xxA, 78F05xxDA)	4.0 V ≦ AV _{REF} ≦ 5.5 V	6.1		66.6	μ s
			2.7 V ≦ AV _{REF} < 4.0 V	12.2		66.6	μ s
			2.3 V ≦ AV _{REF} < 2.7 V	27		66.6	μ s
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	4.0 V ≦ AV _{REF} ≦ 5.5 V				±0.4	%FSR
		2.7 V ≦ AV _{REF} < 4.0 V				±0.6	%FSR
		2.3 V ≦ AV _{REF} < 2.7 V				±0.6	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	4.0 V ≦ AV _{REF} ≦ 5.5 V				±0.4	%FSR
		2.7 V ≦ AV _{REF} < 4.0 V				±0.6	%FSR
		2.3 V ≦ AV _{REF} < 2.7 V				±0.6	%FSR
積分直線性誤差 ^{注1}	I _{LE}	4.0 V ≦ AV _{REF} ≦ 5.5 V				±2.5	LSB
		2.7 V ≦ AV _{REF} < 4.0 V				±4.5	LSB
		2.3 V ≦ AV _{REF} < 2.7 V				±6.5	LSB
微分直線性誤差 ^{注1}	D _{LE}	4.0 V ≦ AV _{REF} ≦ 5.5 V				±1.5	LSB
		2.7 V ≦ AV _{REF} < 4.0 V				±2.0	LSB
		2.3 V ≦ AV _{REF} < 2.7 V				±2.0	LSB
アナログ入力電圧	V _{AIN}			AV _{SS}		AV _{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

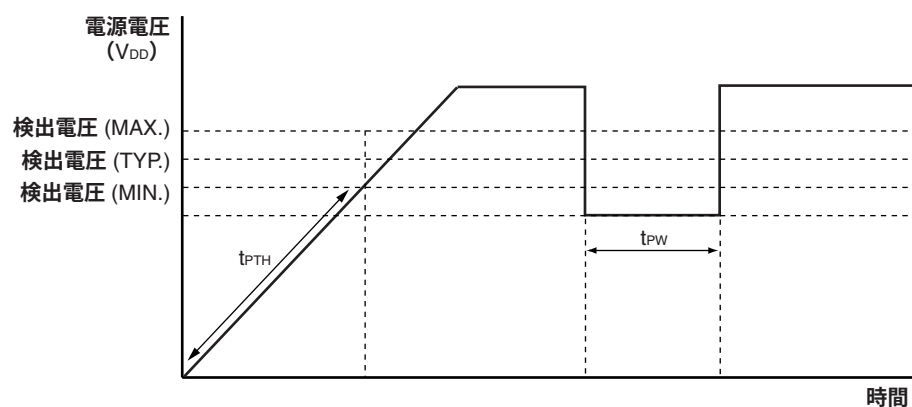
2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

1.59 V POC回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0 \text{ V} \rightarrow V_{POC}$ の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}		200			μs

1.59 V POC回路タイミング

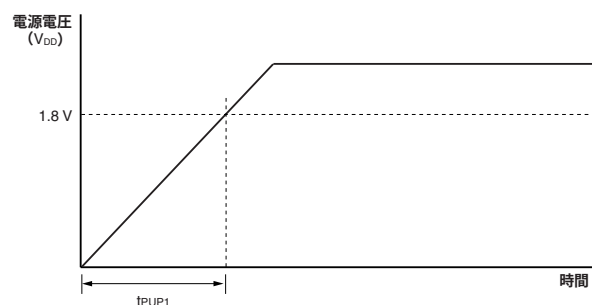


電源電圧立ち上げ時間 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

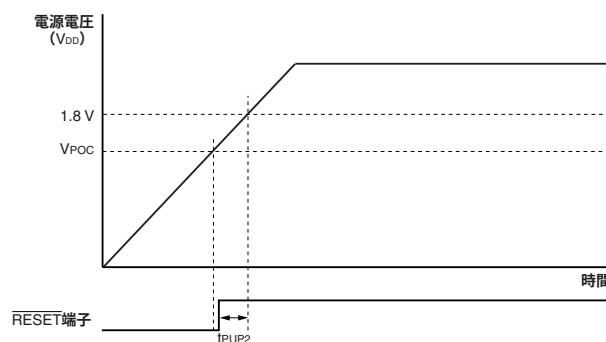
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
1.8 V ($V_{DD} \text{ (MIN.)}$) までの 立ち上げ最大時間 ($V_{DD} : 0 \text{ V} \rightarrow 1.8 \text{ V}$)	t_{PUP1}	POCMODE (オプション・バイト) = 0, RESET入力未使用時			3.6	ms
1.8 V ($V_{DD} \text{ (MIN.)}$) までの 立ち上げ最大時間 (RESET入力解除 $\rightarrow V_{DD} : 1.8 \text{ V}$)	t_{PUP2}	POCMODE (オプション・バイト) = 0, RESET入力使用時			1.9	ms

電源電圧立ち上げのタイミング

• RESET端子入力未使用時



• RESET端子入力使用時



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

2.7 V POC回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動 作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えとリセットが解除されます。その後、電源投入時と同様に、 V_{POC} でPOC検出が行われます。 POCMODE = 0の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えとリセットが解除されます。その後、 V_{DDPOC} でのPOC検出は行われず、 $V_{POC} = 1.59 \text{ V}$ (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{POC} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

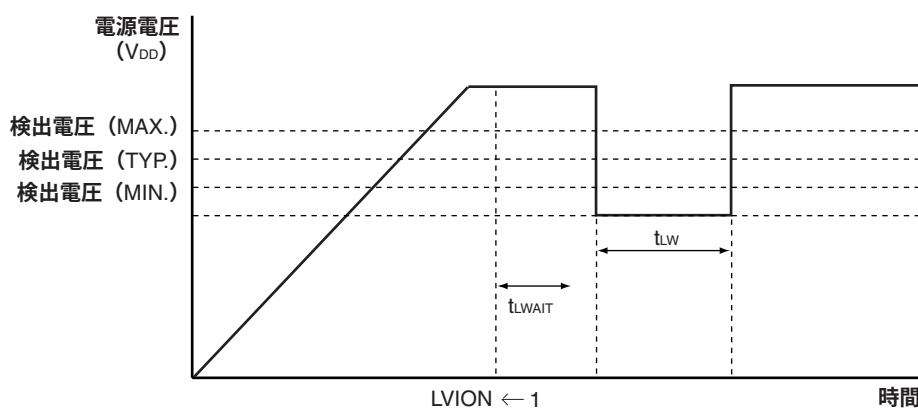
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
検出電圧	電源電圧レベル	V _{LVI0}		4.14	4.24	4.34	V
		V _{LVI1}		3.99	4.09	4.19	V
		V _{LVI2}		3.83	3.93	4.03	V
		V _{LVI3}		3.68	3.78	3.88	V
		V _{LVI4}		3.52	3.62	3.72	V
		V _{LVI5}		3.37	3.47	3.57	V
		V _{LVI6}		3.22	3.32	3.42	V
		V _{LVI7}		3.06	3.16	3.26	V
		V _{LVI8}		2.91	3.01	3.11	V
		V _{LVI9}		2.75	2.85	2.95	V
		V _{LVI10}		2.60	2.70	2.80	V
		V _{LVI11}		2.45	2.55	2.65	V
		V _{LVI12}		2.29	2.39	2.49	V
		V _{LVI13}		2.14	2.24	2.34	V
		V _{LVI14}		1.98	2.08	2.18	V
	V _{LVI15}		1.83	1.93	2.03	V	
	外部入力端子 ^{注1}	EXLVI	EXLVI<V _{DD} , 1.8 V≦V _{DD} ≦5.5 V	1.11	1.21	1.31	V
最小パルス幅	t _{LW}		200			μs	
動作安定待ち時間 ^{注2}	t _{LWAIT}		10			μs	

注1. $EXLVI/P120/INTPO$ 端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-15$

LVI回路タイミング

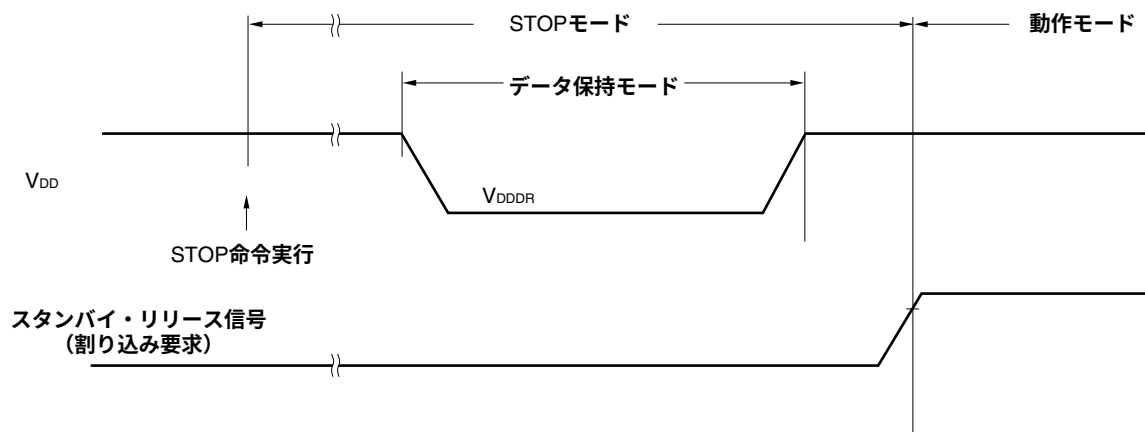


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

・基本特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
V_{DD} 電源電流	I_{DD}	$f_{XP} = 10 \text{ MHz (TYP.)}$, 20 MHz (MAX.)		4.5	11.0	mA
消去時間 注1, 2	全ブロック	Teraca		20	200	ms
	ブロック 単位	Terasa		20	200	ms
書き込み時間 (8ビット単位) 注1	T_{wrwa}			10	100	μs
1チップあたりの書き換え回数	C_{enwr}	消去1回 + 拡張規格品 ($\mu\text{PD78F05xxA}$, $78F05xxDA$) 消去後の書き込み1回 = 書き換え回数1回とする ^{注3} 。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリ ^{注4} を使用時, プログラム更新用途	保持15年	1000	回
			当社提供のEEPROMエミュレーション・ライブラリ ^{注5} 使用時, 書き換えROMサイズ: 4 Kバイト, データ更新用途	保持5年	10000	回
		拡張規格品 ($\mu\text{PD78F05xxA}$, $78F05xxDA$)	上記以外の条件 ^{注6}	保持10年	100	回
		従来規格品 ($\mu\text{PD78F05xx}$, $78F05xxD$)				

注1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP4, PG-FP5使用時, およびセルフ・プログラミング時の書き換え時間につきましては, 表27-12~表27-14を参照してください。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

3. 出荷品に対する初回書き込み時では, 「消去→書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

4. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (資料番号: U17516J)」で指定されるサンプル・ライブラリを除きます。

5. 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラムを除きます。

6. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (資料番号: U17516J)」で指定されるサンプル・ライブラリ, および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラム使用時を含みます。

備考1. f_{XP} : メイン・システム・クロック発振周波数

2. シリアル書き込みオペレーション特性につきましては, 78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U17739J) を参照してください。

第31章 電気的特性 ((A) 水準品)

対象製品	従来規格品	拡張規格品
78K0/KB2	μ PD78F0500 (A), 78F0501 (A), 78F0502 (A), 78F0503 (A)	μ PD78F0500A (A), 78F0501A (A), 78F0502A (A), 78F0503A (A)
78K0/KC2	μ PD78F0511 (A), 78F0512 (A), 78F0513 (A), 78F0514 (A), 78F0515 (A)	μ PD78F0511A (A), 78F0512A (A), 78F0513A (A), 78F0514A (A), 78F0515A (A)
78K0/KD2	μ PD78F0521 (A), 78F0522 (A), 78F0523 (A), 78F0524 (A), 78F0525 (A), 78F0526 (A), 78F0527 (A)	μ PD78F0521A (A), 78F0522A (A), 78F0523A (A), 78F0524A (A), 78F0525A (A), 78F0526A (A), 78F0527A (A)
78K0/KE2	μ PD78F0531 (A), 78F0532 (A), 78F0533 (A), 78F0534 (A), 78F0535 (A), 78F0536 (A), 78F0537 (A)	μ PD78F0531A (A), 78F0532A (A), 78F0533A (A), 78F0534A (A), 78F0535A (A), 78F0536A (A), 78F0537A (A)
78K0/KF2	μ PD78F0544 (A), 78F0545 (A), 78F0546 (A), 78F0547 (A)	μ PD78F0544A (A), 78F0545A (A), 78F0546A (A), 78F0547A (A)

次の項目については、従来規格品 (μ PD78F05xx (A)) と拡張規格品 (μ PD78F05xxA (A)) とで分けて記載しています。

- ・ X1クロック発振周波数 (X1発振回路特性)
- ・ 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ/ロウ・レベル幅 (AC特性の (1) 基本動作)
- ・ A/D変換時間 (A/Dコンバータ特性)
- ・ 1チップあたりの書き換え回数 (フラッシュ・メモリ・プログラミング特性)

注意 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
	30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
ポート0	P00, P01				P00-P03	P00-P06	
ポート1	P10-P17						
ポート2	P20-P23	P20-P25	P20-P27				
ポート3	P30-P33						
ポート4	－		P40, P41			P40-P43	P40-P47
ポート5	－					P50-P53	P50-P57
ポート6	P60, P61	P60-P63					P60-P67
ポート7	－	P70, P71	P70-P73	P70-P75	P70-P77		
ポート12	P120-P122	P120-P124					
ポート13	－			P130			
ポート14	－			P140		P140, P141	P140-P145

(次ページに、続きの表があります)

(2) ポート以外の機能

機 能		78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
		30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
電源, グランド		V _{DD} , EV _{DD} ^{注1} , V _{SS} , EV _{SS} ^{注1} , AV _{REF} , AV _{SS} ,	V _{DD} , AV _{REF} , V _{SS} , AV _{SS}				V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}	
レギュレータ		REGC						
リセット		RESET						
クロック発振		X1, X2, EXCLK	X1, X2, XT1, XT2, EXCLK, EXCLKS					
フラッシュ書き込み		FLMD0						
割り込み		INTP0-INTP5			INTP0-INTP6		INTP0-INTP7	
キー割り込み		—	KR0, KR1	KR0-KR3		KR0-KR7		
タイ マ	TM00	TI000, TI010, TO00						
	TM01	—					TI001 ^{注2} , TI011 ^{注2} , TO01 ^{注2}	
	TM50	TI50, TO50						
	TM51	TI51, TO51						
	TMH0	TOH0						
	TMH1	TOH1						
シ リ ア ル ・ イ ン タ フ ェ ー ス	UART0	RxD0, TxD0						
	UART6	RxD6, TxD6						
	IIC0	SCL0, SDA0	SCL0, SDA0, EXSCL0					
	CSI10	SCK10, SI10, SO10						
	CSI11	—					SCK11 ^{注2} , SI11 ^{注2} , SO11 ^{注2} , SSI11 ^{注2}	
	CSIA0	—						SCKA0, SIA0, SOA0, BUSY0, STB0
A/Dコンバータ		ANI0-ANI3	ANI0-ANI5	ANI0-ANI7				
クロック出力		—			PCL			
ブザー出力		—					BUZ	
LVI回路		EXLVI						

注1. 30ピン製品には搭載していません。

2. フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品には搭載していません。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		$-0.5 \sim +6.5$	V
	EV_{DD}		$-0.5 \sim +6.5$	V
	V_{SS}		$-0.5 \sim +0.3$	V
	EV_{SS}		$-0.5 \sim +0.3$	V
	AV_{REF}		$-0.5 \sim V_{DD} + 0.3^{\text{注}}$	V
	AV_{SS}		$-0.5 \sim +0.3$	V
REGC端子入力電圧	V_{IREGC}		$-0.5 \sim +3.6$ かつ $-0.5 \sim V_{DD}$	V
入力電圧	V_{I1}	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120-P124, P140-P145, X1, X2, XT1, XT2, $\overline{\text{RESET}}$, FLMD0	$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
	V_{I2}	P60-P63 (N-chオープン・ドレイン)	$-0.3 \sim +6.5$	V
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
アナログ入力電圧	V_{AN}	ANI0-ANI7	$-0.3 \sim AV_{REF} + 0.3^{\text{注}}$ かつ $-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (2/2)

項 目	略 号	条 件		定 格	単 位
ハイ・レベル出力電流	I_{OH}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	-10	mA
		端子合計 -80 mA	P00-P04, P40-P47, P120, P130, P140-P145	-25	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77	-55	mA
		1端子	P20-P27	-0.5	mA
		端子合計		-2	mA
		1端子	P121-P124	-1	mA
		端子合計		-4	mA
ロウ・レベル出力電流	I_{OL}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P130, P140-P145	30	mA
		端子合計 200 mA	P00-P04, P40-P47, P120, P130, P140-P145	60	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77	140	mA
		1端子	P20-P27	1	mA
		端子合計		5	mA
		1端子	P121-P124	4	mA
		端子合計		10	mA
動作周囲温度	T_A			-40~+85	$^{\circ}\text{C}$
保存温度	T_{stg}			-65~+150	$^{\circ}\text{C}$

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

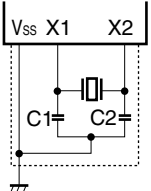
2. 1端子あたりに流すことができる電流値は、1端子あたりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック 発振周波数 (f_x) ^{注1}	従来規格品 (μ PD78F05xx (A))	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0 ^{注2}	20.0	MHz
				$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1.0 ^{注2}	10.0	MHz
				$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0	5.0	MHz
			拡張規格品 (μ PD78F05xxA (A))	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0 ^{注2}	20.0	MHz
				$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0	5.0	MHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

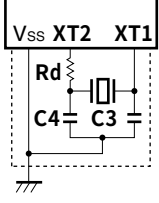
発振子	項 目	条 件	MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 (f_{RH}) 注	RSTS = 1				
		$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	7.6	8.0	8.4	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	7.6	8.0	10.4	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f_{RL})	RSTS = 0	2.48	5.6	9.86	MHz
		$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	216	240	264	kHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	192	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS：内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性^{注1}

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周 波数 (f_{XT}) 注2		32	32.768	35	kHz

注1. 78K0/KB2には、XT1発振回路はありません。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- 大電流が流れるグラウンド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (1/5)

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-3.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-2.5	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-1.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-12.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-7.0	mA
		合計 ^{注3}	$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-5.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-18.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-15.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-10.0	mA
		上記の全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-23.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-20.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		-15.0	mA
ロウ・レベル出力電流 ^{注2}	IOH2	P20-P27 1端子	$AV_{REF} = V_{DD}$		-0.1	mA
		P121-P124 1端子			-0.1	mA
	IOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		8.5	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		5.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		2.0	mA
		P60-P63 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		15.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		5.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		2.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		20.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		15.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		9.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		45.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		35.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		20.0	mA
		上記の全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		65.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		50.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		29.0	mA
	IOL2	P20-P27 1端子	$AV_{REF} = V_{DD}$		0.4	mA
		P121-P124 1端子			0.4	mA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70 %の条件（ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合）でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH} のデューティがn %の場合：端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50 %, $I_{OH} = -20.0 \text{ mA}$ の場合

端子合計の出力電流 = $(-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (2/5)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IH1}	P02, P12, P13, P15, P40-P47, P50-P57, P64-P67, P121-P124, P144, P145	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, EXCLK, EXCLKS, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}		AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ハイ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IH1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P121-P124	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, EXCLK, EXCLKS, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}		AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ロウ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IL1}	P02, P12, P13, P15, P40-P47, P50-P57, P60-P67, P121-P124, P144, P145	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, EXCLK, EXCLKS, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}		0.3AV _{REF}	V
ロウ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IL1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P60-P63, P121-P124	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, EXCLK, EXCLKS, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}		0.3AV _{REF}	V
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	4.0 V $\leq$ V _{DD} $\leq$ 5.5 V, I _{OH1} = -3.0 mA	V _{DD} - 0.7		V
			2.7 V $\leq$ V _{DD} < 4.0 V, I _{OH1} = -2.5 mA	V _{DD} - 0.5		V
			1.8 V $\leq$ V _{DD} < 2.7 V, I _{OH1} = -1.0 mA	V _{DD} - 0.5		V
	V _{OH2}	P20-P27	AV _{REF} = V _{DD} , I _{OH2} = -100 μ A	V _{DD} - 0.5		V
		P121-P124	I _{OH2} = -100 μ A	V _{DD} - 0.5		V

注1. 対応製品：78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KD2と78K0/KE2

2. 対応製品：78K0/KB2, 78K0/KC2, フラッシュ・メモリが32 Kバイト以下の78K0/KD2と78K0/KE2

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (3/5)

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 8.5 \text{ mA}$		0.7	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 5.0 \text{ mA}$		0.7	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$, $I_{OL1} = 2.0 \text{ mA}$		0.5	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$, $I_{OL1} = 0.5 \text{ mA}$		0.4	V
	VOL2	P20-P27	$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4 \text{ mA}$		0.4	V
		P121-P124	$I_{OL2} = 0.4 \text{ mA}$		0.4	V
	VOL3	P60-P63	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 15.0 \text{ mA}$		2.0	V
			$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 5.0 \text{ mA}$		0.4	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 5.0 \text{ mA}$		0.6	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 3.0 \text{ mA}$		0.4	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$, $I_{OL1} = 2.0 \text{ mA}$		0.4	V
ハイ・レベル入力リーク電流	ILIH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145, FLMD0, RESET	$V_i = V_{DD}$		1	μA
			$V_i = AV_{REF}$, $AV_{REF} = V_{DD}$		1	μA
	ILIH3	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$ I/Oポート・モード		1	μA
			OSCモード		20	μA
ロウ・レベル入力リーク電流	ILIL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145, FLMD0, RESET	$V_i = V_{SS}$		-1	μA
			$V_i = V_{SS}$, $AV_{REF} = V_{DD}$		-1	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$ I/Oポート・モード		-1	μA
			OSCモード		-20	μA
ブルアップ抵抗値	R _U	$V_i = V_{SS}$	10	20	100	k Ω
FLMD0電源電圧	V _{IL}	通常動作時	0		0.2V _{DD}	V
	V _{IH}	セルフ・プログラミング時	0.8V _{DD}		V _{DD}	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (4/5)

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD1	動作モード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		3.2	5.5	mA	
				発振子接続		4.5	6.9	mA	
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		1.6	2.8	mA	
				発振子接続		2.3	3.9	mA	
			f _{XH} = 10 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		1.5	2.7	mA	
				発振子接続		2.2	3.2	mA	
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.9	1.6	mA	
				発振子接続		1.3	2.0	mA	
			f _{XH} = 5 MHz, V _{DD} = 2.0 V ^{注2,3}	方形波入力		0.7	1.4	mA	
				発振子接続		1.0	1.6	mA	
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}				1.4	2.5	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		6	30	μ A	
				発振子接続		15	35	μ A	
	IDD2	HALTモード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		0.8	2.6	mA	
				発振子接続		2.0	4.4	mA	
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		0.4	1.3	mA	
				発振子接続		1.0	2.4	mA	
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.2	0.65	mA	
				発振子接続		0.5	1.1	mA	
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}				0.4	1.2	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		3.0	27	μ A	
				発振子接続		12	32	μ A	
	IDD3 ^{注6}	STOPモード				1	20	μ A	
			T _A = −40〜+70 °C			1	10	μ A	

注1. 内部電源 (V_{DD} , EV_{DD}) に流れるトータル電流です。周辺動作電流と入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。

- 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
- X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

- 備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (5/5)

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
A/Dコンバータ 動作電流	$I_{ADC}^{\text{注1}}$	$2.3 \text{ V} \leq AV_{REF} \leq V_{DD}$, $ADCS = 1$		0.86	1.9	mA
ウォッチドッグ・タイマ動作 電流	$I_{WDT}^{\text{注2}}$	240 kHz 低速内蔵発振クロック動作時		5	10	μA
LVI動作電流	$I_{LVI}^{\text{注3}}$			9	18	μA

注1. A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。

2. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。

3. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。

備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

AC特性

(1) 基本動作 (1/2)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・シス テム・クロッ ク (f _{XP}) 動 作	従来規格品 (μ PD78F0 5xx (A))	4.0 V ≤ V _{DD} ≤ 5.5 V	0.1		32	μ s	
				2.7 V ≤ V _{DD} < 4.0 V	0.2		32	μ s	
				1.8 V ≤ V _{DD} < 2.7 V	0.4 ^{注1}		32	μ s	
			拡張規格品 (μ PD78F0 5xxA (A))	2.7 V ≤ V _{DD} ≤ 5.5 V	0.1		32	μ s	
				1.8 V ≤ V _{DD} < 2.7 V	0.4 ^{注1}		32	μ s	
			サブシステム・クロック (f _{SUB}) 動作 ^{注2}				114	122	125
周辺ハードウェア・ク ロック周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	従来規格品 (μ PD78F0 5xx (A))	4.0 V ≤ V _{DD} ≤ 5.5 V			20	MHz	
				2.7 V ≤ V _{DD} < 4.0 V			10	MHz	
				1.8 V ≤ V _{DD} < 2.7 V			5	MHz	
			拡張規格品 (μ PD78F0 5xxA (A))	4.0 V ≤ V _{DD} ≤ 5.5 V			20	MHz	
				2.7 V ≤ V _{DD} < 4.0 V ^{注3}			20	MHz	
				1.8 V ≤ V _{DD} < 2.7 V			5	MHz	
		f _{PRS} = f _{RH} (XSEL = 0)	2.7 V ≤ V _{DD} ≤ 5.5 V		7.6		8.4	MHz	
			1.8 V ≤ V _{DD} < 2.7 V ^{注4}		7.6		10.4	MHz	
外部メイン・システ ム・クロック周波数	f _{EXCLK}	従来規格品 (μ PD78F05xx (A))		4.0 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注5}		20.0	MHz	
				2.7 V ≤ V _{DD} < 4.0 V	1.0 ^{注5}		10.0	MHz	
				1.8 V ≤ V _{DD} < 2.7 V	1.0		5.0	MHz	
		拡張規格品 (μ PD78F05xxA (A))		2.7 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注5}		20.0	MHz	
				1.8 V ≤ V _{DD} < 2.7 V	1.0		5.0	MHz	
外部メイン・システム・ クロック入力ハイ／ロ ウ・レベル幅	t _{EXCLKH} , t _{EXCLKL}	従来規格品 (μ PD78F05xx (A))		4.0 V ≤ V _{DD} ≤ 5.5 V	24			ns	
				2.7 V ≤ V _{DD} < 4.0 V	48			ns	
				1.8 V ≤ V _{DD} < 2.7 V	96			ns	
		拡張規格品 (μ PD78F05xxA (A))		2.7 V ≤ V _{DD} ≤ 5.5 V	24			ns	
				1.8 V ≤ V _{DD} < 2.7 V	96			ns	

注1. 8 MHz内蔵発振器で動作時は、0.38 μs となります。

2. 78K0/KB2には、サブシステム・クロックはありません。

3. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{XH}/2$ (10 MHz) 以下にしてください。ただし乗除算器回路については、 f_{XH} (20 MHz) での動作が可能です。

4. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{RH}/2$ 以下にしてください。

5. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(1) 基本動作 (2/2)

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部サブシステム・クロック周波数 ^{注1}	f _{EXCLKS}		32	32.768	35	kHz
外部サブシステム・クロック入力ハイ、ロウ・レベル幅 ^{注1}	t _{EXCLKSH} , t _{EXCLKSL}		12			μs
TI000, TI010, TI001, TI011入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0} , t _{TIL0}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{sam} + 0.1$ ^{注2}			μs
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$2/f_{sam} + 0.2$ ^{注2}			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	$2/f_{sam} + 0.5$ ^{注2}			μs
TI50, TI51入力周波数	f _{TI5}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			10	MHz
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			10	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			5	MHz
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH5} , t _{TIL5}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	50			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	50			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	100			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}		1			μs
キー割り込み入力ロウ・レベル幅	t _{KR}		250			ns
RESETロウ・レベル幅	t _{RSL}		10			μs

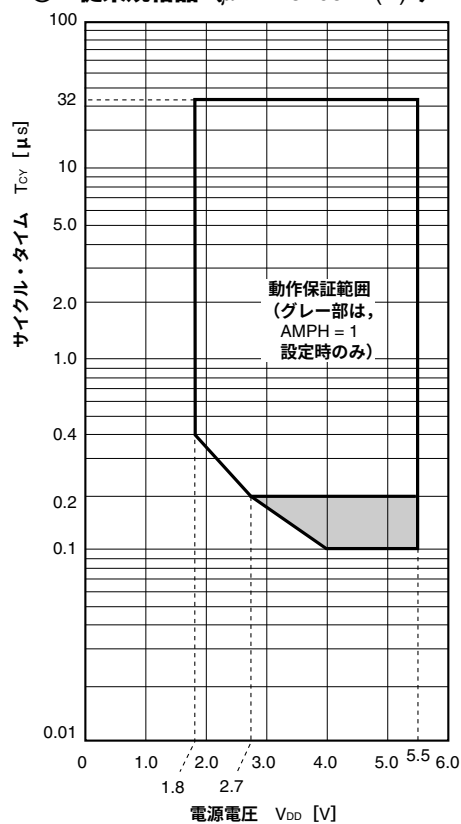
注1. 78K0/KB2には、サブシステム・クロックはありません。

2. プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01) のビット0, 1 (PRM000, PRM001またはPRM010, PRM011) により, $f_{sam} = f_{PRS}$, $f_{PRS}/4$, $f_{PRS}/256$ または f_{PRS} , $f_{PRS}/16$, $f_{PRS}/64$ の選択が可能です。ただし、カウント・クロックとしてTI000, TI001有効エッジを選択した場合は, $f_{sam} = f_{PRS}$ となります。

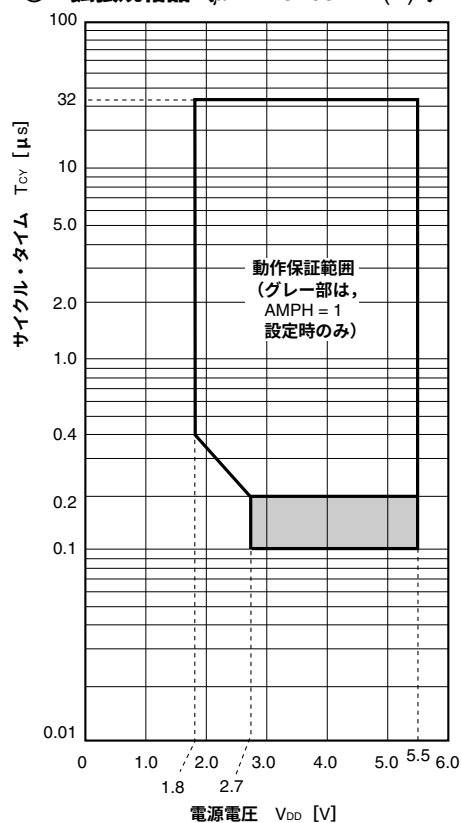
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

① 従来規格品 (μ PD78F05xx (A))

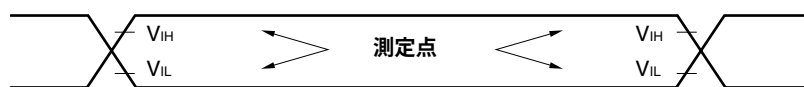


② 拡張規格品 (μ PD78F05xxA (A))

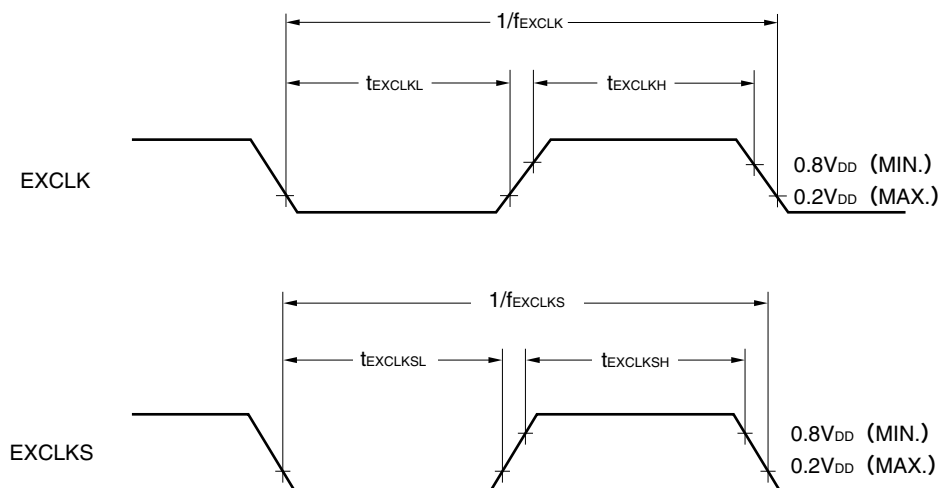


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

AC タイミング測定点

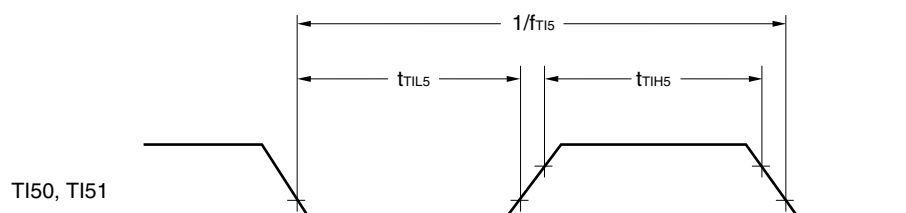
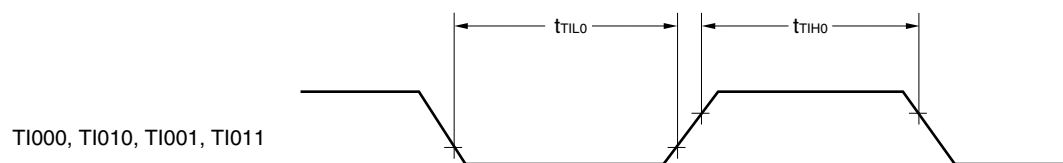


外部メイン・システム・クロック・タイミング, 外部サブシステム・クロック・タイミング

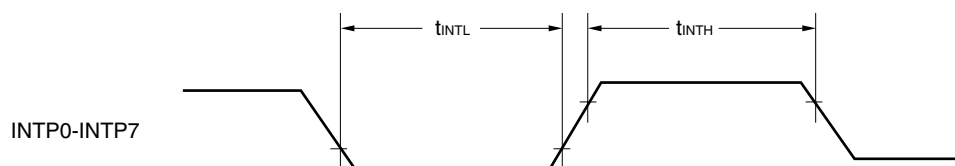


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

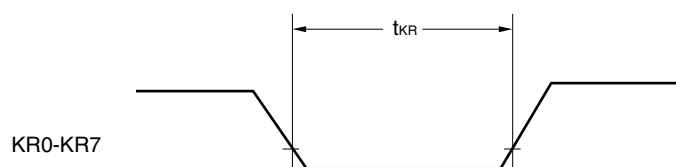
TI タイミング



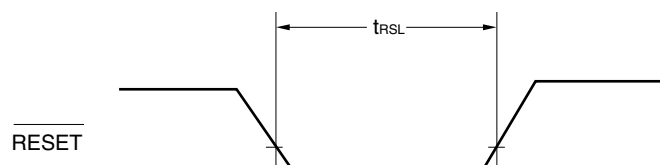
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(2) シリアル・インタフェース

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(b) UART0 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(c) IIC0

項 目	略 号	条 件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}		0	100	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU} : STA		4.7	—	0.6	—	μs
ホールド時間 ^{注1}	t _{HD} : STA		4.0	—	0.6	—	μs
SCL0 = "L"のホールド・タイム	t _{LOW}	内部クロック動作	4.7	—	1.3	—	μs
		EXSCL0クロック (6.4 MHz) 動作	4.7	—	1.25	—	μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0	—	0.6	—	μs
データ・セットアップ時間 (受信時)	t _{SU} : DAT		250	—	100	—	ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD} : DAT	f _W = f _{XIH} /2 ^N または	0	3.45	0	0.9 ^{注4}	μs
		f _W = f _{EXSCL0} 選択時 ^{注3}				1.00 ^{注5}	
		f _W = f _{RH} /2 ^N 選択時 ^{注3}				1.05	μs
ストップ・コンディションのセットアップ時間	t _{SU} : STO		4.0	—	0.6	—	μs
バス・フリー時間	t _{BUF}		4.7	—	1.3	—	μs

注1. スタート／リスタート・コンディション時は、この期間のあと、最初のクロック・パルスが生成されます。

2. t_{HD}: DATの最大値 (MAX.) は、通常転送時の数値であり、 $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは、ウェイトがかかります。

3. f_Wは、IICCLレジスタとIICX0レジスタで選択したIIC0の転送クロックを示します。

4. f_W ≥ 4.4 MHz選択時

5. f_W < 4.4 MHz選択時

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(d) CSI1n (マスタ・モード, SCK1n…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1nサイクル・タイム	t_{KCY1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	200			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	400			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	600			ns
SCK1nハイ, ロウ・レベル幅	$t_{KH1},$ t_{KL1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 20^{\text{注1}}$			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$t_{KCY1}/2 - 30^{\text{注1}}$			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$t_{KCY1}/2 - 60^{\text{注1}}$			ns
SI1nセットアップ時間 (対SCK1n↑)	t_{SIK1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	70			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	100			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	190			ns
SI1nホールド時間 (対SCK1n↑)	t_{KSI1}		30			ns
SCK1n↓→SO1n出力遅延時間	t_{KSO1}	$C = 50\text{ pF}^{\text{注2}}$			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは、 $\overline{\text{SCK1n}}$, SO1n出力ラインの負荷容量です。

(e) CSI1n (スレーブ・モード, $\overline{\text{SCK1n}}$ …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1nサイクル・タイム	t_{KCY2}		400			ns
SCK1nハイ, ロウ・レベル幅	$t_{KH2},$ t_{KL2}		$t_{KCY2}/2$			ns
SI1nセットアップ時間 (対SCK1n↑)	t_{SIK2}		80			ns
SI1nホールド時間 (対SCK1n↑)	t_{KSI2}		50			ns
SCK1n↓→SO1n出力遅延時間	t_{KSO2}	$C = 50\text{ pF}^{\text{注}}$	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		120	ns
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		120	ns
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$		180	ns

注 Cは、SO1n出力ラインの負荷容量です。

備考 n = 0, 1

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(f) CSIA0 (マスタ・モード, $\overline{\text{SCKA0}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKA0}}$ サイクル・タイム	t_{KCY3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	600			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	1200			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	1800			ns
$\overline{\text{SCKA0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH3}},$ t_{KL3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}}/2 -$ 50			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}}/2 -$ 100			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY3}}/2 -$ 200			ns
$\overline{\text{SIA0}}$ セットアップ時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{SIK3}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	100			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	200			ns
$\overline{\text{SIA0}}$ ホールド時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{KSI3}		300			ns
$\overline{\text{SCKA0}}$ ↓ → $\overline{\text{SOA0}}$ 出力遅延時間	t_{KSO3}	C = 100 pF ^注	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		200	ns
			$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$		300	ns
			$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$		400	ns
$\overline{\text{SCKA0}}$ ↑ → $\overline{\text{STB0}}$ ↑	t_{SBD}		$t_{\text{KCY3}}/2 -$ 100			ns
ストロブ信号ハイ・レベル幅	t_{SBW}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}} - 30$			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}} - 60$			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY3}} - 120$			ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	t_{BYS}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	100			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	200			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	t_{BYH}		100			ns
ビジィ・インアクティブ → $\overline{\text{SCKA0}}$ ↓	t_{SPS}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$			$2t_{\text{KCY3}} +$ 100	ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			$2t_{\text{KCY3}} +$ 150	ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$			$2t_{\text{KCY3}} +$ 200	ns

注 Cは、 $\overline{\text{SCKA0}}$, $\overline{\text{SOA0}}$ 出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(g) CSIA0 (スレーブ・モード, SCKA0…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKA0 サイクル・タイム	t _{KCY4}	4.0 V ≤ V _{DD} ≤ 5.5 V	600			ns
		2.7 V ≤ V _{DD} < 4.0 V	1200			ns
		1.8 V ≤ V _{DD} < 2.7 V	1800			ns
SCKA0 ハイ, ロウ・レベル幅	t _{KH4} , t _{KL4}	4.0 V ≤ V _{DD} ≤ 5.5 V	300			ns
		2.7 V ≤ V _{DD} < 4.0 V	600			ns
		1.8 V ≤ V _{DD} < 2.7 V	900			ns
SIA0 セットアップ時間 (対 SCKA0 ↑)	t _{SIK4}		100			ns
SIA0 ホールド時間 (対 SCKA0 ↑)	t _{KSI4}		2/f _w + 100 ^{注1}			ns
SCKA0 ↓ → SOA0 出力遅延時間	t _{KSO4}	C = 100 pF ^{注2} 4.0 V ≤ V _{DD} ≤ 5.5 V			2/f _w + 100 ^{注1}	ns
		2.7 V ≤ V _{DD} < 4.0 V			2/f _w + 200 ^{注1}	ns
		1.8 V ≤ V _{DD} < 2.7 V			2/f _w + 300 ^{注1}	ns
SCKA0 立ち上がり, 立ち下がり時間	t _{R4} , t _{F4}				1000	ns

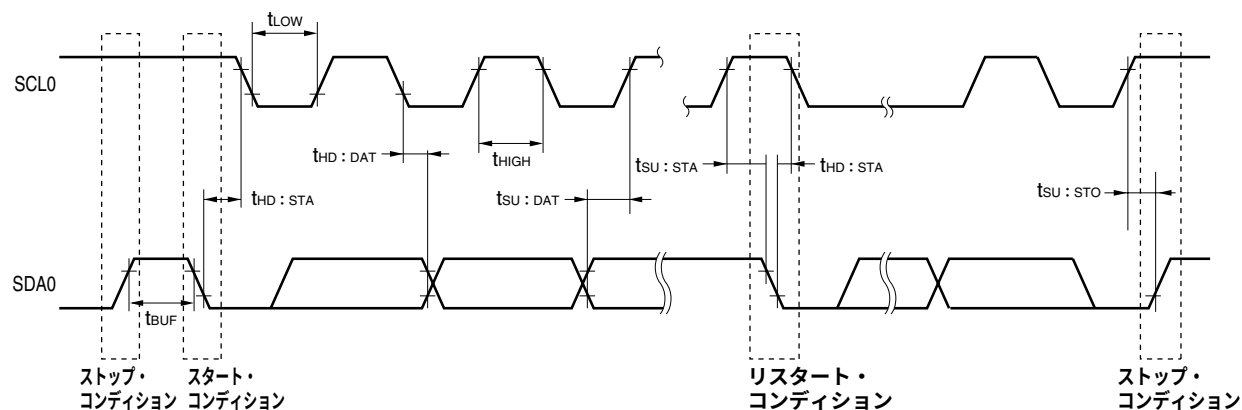
注1. f_wは、CSIS0レジスタで選択したCSIA0の基本クロックを示します。

2. Cは、SOA0出力ラインの負荷容量です。

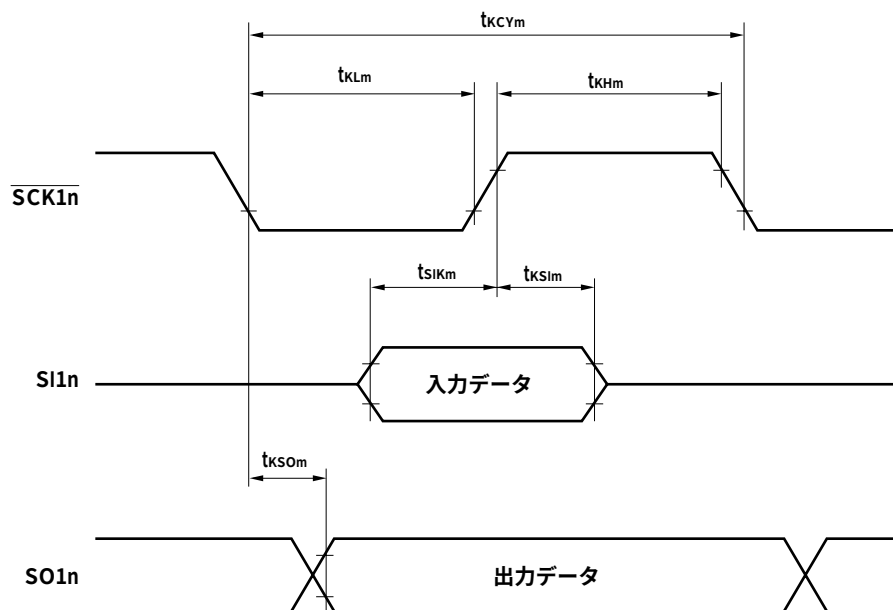
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

シリアル転送タイミング (1/2)

IIC0 :



CS11n :



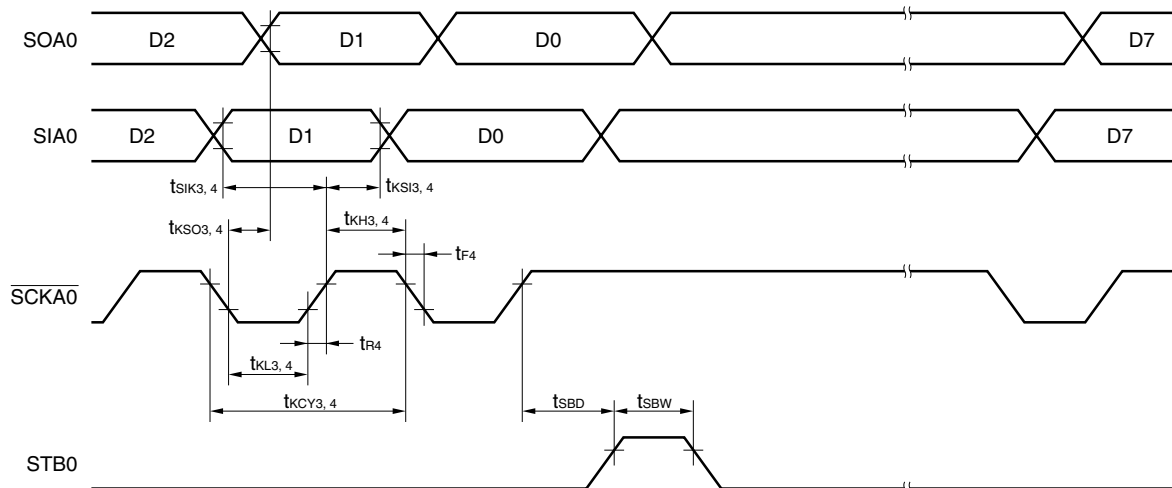
備考 $m = 1, 2$

$n = 0, 1$

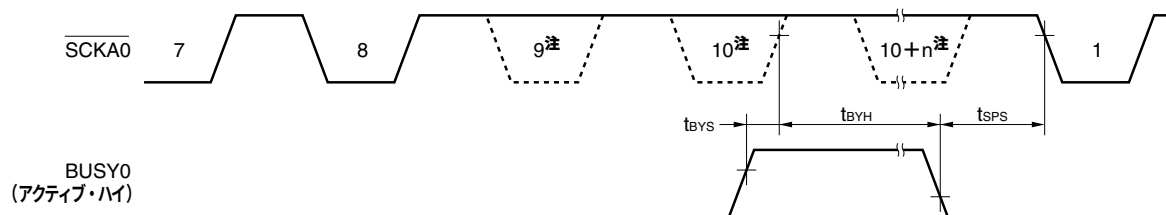
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

シリアル転送タイミング (2/2)

CSIA0 :



CSIA0 (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $2.3 \text{ V} \leq AV_{REF} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES					10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V≦AVREF≦5.5 V				±0.4	%FSR
		2.7 V≦AVREF<4.0 V				±0.6	%FSR
		2.3 V≦AVREF<2.7 V				±1.2	%FSR
変換時間	tCONV	従来規格品 (μ PD78F05xx (A))	4.0 V≦AVREF≦5.5 V	6.1		36.7	μ s
			2.7 V≦AVREF<4.0 V	12.2		36.7	μ s
			2.3 V≦AVREF<2.7 V	27		66.6	μ s
		拡張規格品 (μ PD78F05xxA (A))	4.0 V≦AVREF≦5.5 V	6.1		66.6	μ s
			2.7 V≦AVREF<4.0 V	12.2		66.6	μ s
			2.3 V≦AVREF<2.7 V	27		66.6	μ s
ゼロスケール誤差 ^{注1, 2}	Ezs	4.0 V≦AVREF≦5.5 V				±0.4	%FSR
		2.7 V≦AVREF<4.0 V				±0.6	%FSR
		2.3 V≦AVREF<2.7 V				±0.6	%FSR
フルスケール誤差 ^{注1, 2}	EFS	4.0 V≦AVREF≦5.5 V				±0.4	%FSR
		2.7 V≦AVREF<4.0 V				±0.6	%FSR
		2.3 V≦AVREF<2.7 V				±0.6	%FSR
積分直線性誤差 ^{注1}	ILE	4.0 V≦AVREF≦5.5 V				±2.5	LSB
		2.7 V≦AVREF<4.0 V				±4.5	LSB
		2.3 V≦AVREF<2.7 V				±6.5	LSB
微分直線性誤差 ^{注1}	DLE	4.0 V≦AVREF≦5.5 V				±1.5	LSB
		2.7 V≦AVREF<4.0 V				±2.0	LSB
		2.3 V≦AVREF<2.7 V				±2.0	LSB
アナログ入力電圧	VAIN			AVSS		AVREF	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

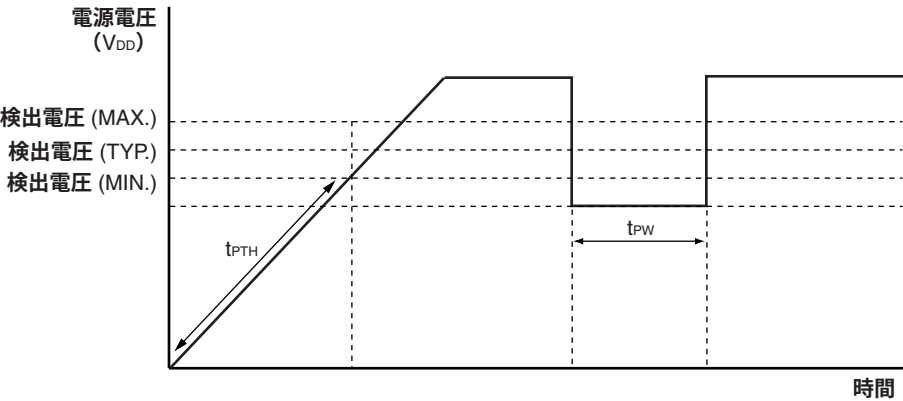
2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

1.59 V POC回路特性 (TA = -40~+85 °C, VSS = EVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	VPOC		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	tPTH	VDD : 0 V→VPOCの変化傾き	0.5			V/ms
最小パルス幅	tpw		200			μs

1.59 V POC回路タイミング



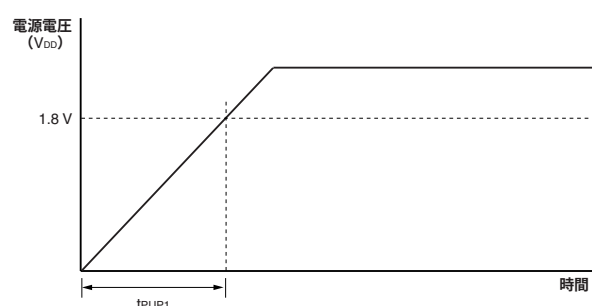
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

電源電圧立ち上げ時間 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

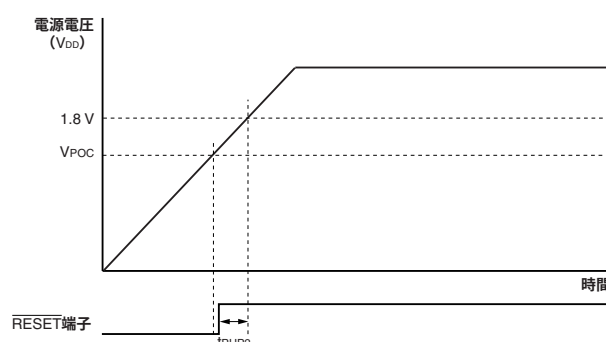
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
1.8 V ($V_{DD} \text{ (MIN.)}$) までの立ち上げ最大時間 ($V_{DD}: 0 \text{ V} \rightarrow 1.8 \text{ V}$)	t_{PUP1}	POCMODE (オプション・バイト) = 0, RESET入力未使用時			3.6	ms
1.8 V ($V_{DD} \text{ (MIN.)}$) までの立ち上げ最大時間 (RESET入力解除 $\rightarrow V_{DD}: 1.8 \text{ V}$)	t_{PUP2}	POCMODE (オプション・バイト) = 0, RESET入力使用時			1.9	ms

電源電圧立ち上げのタイミング

• RESET端子入力未使用時



• RESET端子入力使用時



2.7 V POC回路特性 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動 作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えとリセットが解除されます。その後、電源投入時と同様に、 V_{POC} でPOC検出が行われます。 POCMODE = 0の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えとリセットが解除されます。その後、 V_{DDPOC} でのPOC検出は行われず、 $V_{POC} = 1.59 \text{ V}$ (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{POC} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

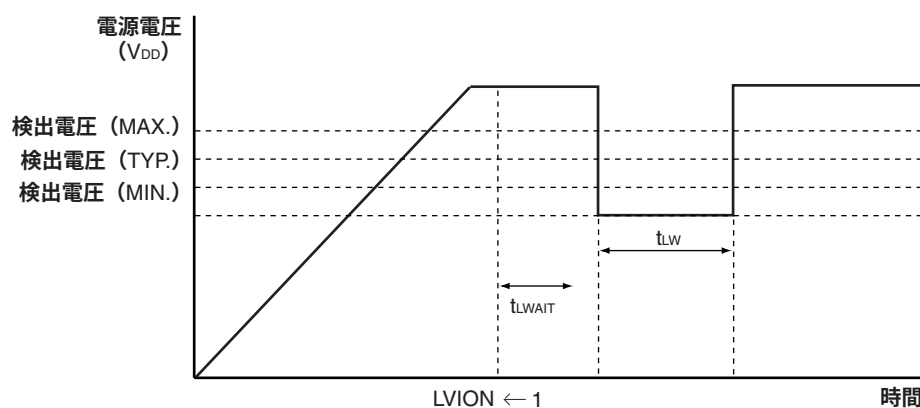
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
検出電圧	電源電圧レベル	V _{LVI0}		4.14	4.24	4.34	V
		V _{LVI1}		3.99	4.09	4.19	V
		V _{LVI2}		3.83	3.93	4.03	V
		V _{LVI3}		3.68	3.78	3.88	V
		V _{LVI4}		3.52	3.62	3.72	V
		V _{LVI5}		3.37	3.47	3.57	V
		V _{LVI6}		3.22	3.32	3.42	V
		V _{LVI7}		3.06	3.16	3.26	V
		V _{LVI8}		2.91	3.01	3.11	V
		V _{LVI9}		2.75	2.85	2.95	V
		V _{LVI10}		2.60	2.70	2.80	V
		V _{LVI11}		2.45	2.55	2.65	V
		V _{LVI12}		2.29	2.39	2.49	V
		V _{LVI13}		2.14	2.24	2.34	V
		V _{LVI14}		1.98	2.08	2.18	V
	V _{LVI15}		1.83	1.93	2.03	V	
	外部入力端子 ^{注1}	EXLVI	EXLVI<V _{DD} , 1.8 V≦V _{DD} ≦5.5 V	1.11	1.21	1.31	V
最小パルス幅	t _{LW}		200			μs	
動作安定待ち時間 ^{注2}	t _{LWAIT}		10			μs	

注1. $EXLVI/P120/INTPO$ 端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-15$

LVI回路タイミング

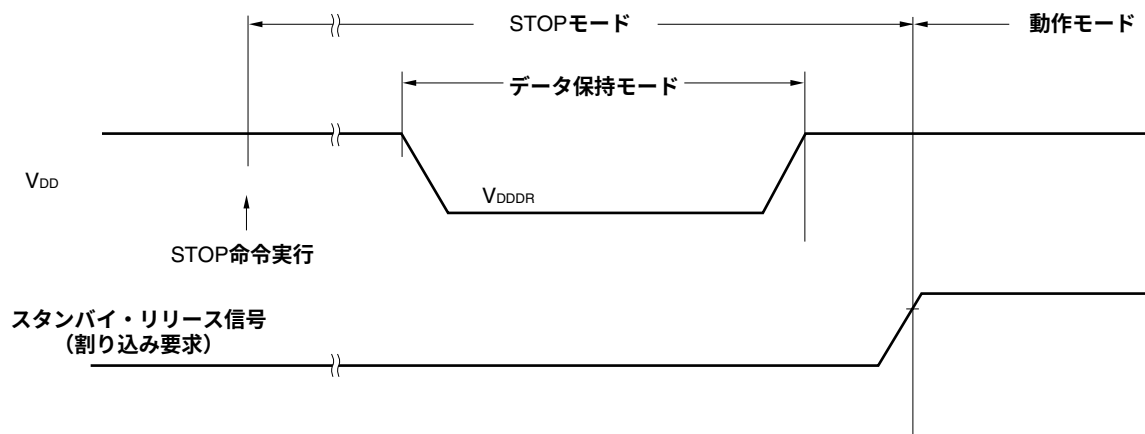


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

・基本特性

項 目		略 号	条 件			MIN.	TYP.	MAX.	単 位	
V _{DD} 電源電流		I _{DD}	f _{xP} = 10 MHz (TYP.) , 20 MHz (MAX.)				4.5	11.0	mA	
消去時間 ※1, 2	全ブロック	T _{eraca}					20	200	ms	
	ブロック単位	T _{erasa}					20	200	ms	
書き込み時間 (8ビット単位) ※1		T _{wrwa}					10	100	μs	
1チップあたりの書き換え回数		C _{erwr}	消去1回 + 拡張規格品 (μ PD78F05xxA (A)) 消去後の書き込み1回 = 書き換え回数1回とする※3。	フラッシュ・メモリ・保持 プログラマ使用時および当社提供のライブラリ※4を使用時、プログラム更新用途	15年	1000			回	
				当社提供のEEPROMエミュレーション・ライブラリ※5使用時、書き換えROMサイズ：4 Kバイト、データ更新用途	保持 5年	10000			回	
				拡張規格品 (μ PD78F05xxA (A))	上記以外の条件※6	保持 10年	100			回
				従来規格品 (μ PD78F05xx (A))						

注1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP4, PG-FP5使用時、およびセルフ・プログラミング時の書き換え時間につきましては、表27-12～表27-14を参照してください。

- 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は含まれません。
- 出荷品に対する初回書き込み時では、「消去→書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。
- 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル（資料番号：U17516J）」で指定されるサンプル・ライブラリを除きます。
- 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート（資料番号：U17517J）」で指定されるサンプル・プログラムを除きます。
- 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル（資料番号：U17516J）」で指定されるサンプル・ライブラリ、および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート（資料番号：U17517J）」で指定されるサンプル・プログラム使用時を含みます。

備考1. f_{XP} ：メイン・システム・クロック発振周波数

- シリアル書き込みオペレーション特性につきましては、78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング（プログラマ編）（U17739J）を参照してください。

第32章 電気的特性 ((A2) 水準品 : $T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$)

対象製品	従来規格品	拡張規格品
78K0/KB2	μ PD78F0500 (A2), 78F0501 (A2), 78F0502 (A2), 78F0503 (A2)	μ PD78F0500A (A2), 78F0501A (A2), 78F0502A (A2), 78F0503A (A2)
78K0/KC2	μ PD78F0511 (A2), 78F0512 (A2), 78F0513 (A2), 78F0514 (A2), 78F0515 (A2)	μ PD78F0511A (A2), 78F0512A (A2), 78F0513A (A2), 78F0514A (A2), 78F0515A (A2)
78K0/KD2	μ PD78F0521 (A2), 78F0522 (A2), 78F0523 (A2), 78F0524 (A2), 78F0525 (A2), 78F0526 (A2), 78F0527 (A2)	μ PD78F0521A (A2), 78F0522A (A2), 78F0523A (A2), 78F0524A (A2), 78F0525A (A2), 78F0526A (A2), 78F0527A (A2)
78K0/KE2	μ PD78F0531 (A2), 78F0532 (A2), 78F0533 (A2), 78F0534 (A2), 78F0535 (A2), 78F0536 (A2), 78F0537 (A2)	μ PD78F0531A (A2), 78F0532A (A2), 78F0533A (A2), 78F0534A (A2), 78F0535A (A2), 78F0536A (A2), 78F0537A (A2)
78K0/KF2	μ PD78F0544 (A2), 78F0545 (A2), 78F0546 (A2), 78F0547 (A2)	μ PD78F0544A (A2), 78F0545A (A2), 78F0546A (A2), 78F0547A (A2)

次の項目については、従来規格品 (μ PD78F05xx (A2)) と拡張規格品 (μ PD78F05xxA (A2)) とで分けて記載しています。

- ・ X1クロック発振周波数 (X1発振回路特性)
- ・ 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ/ロウ・レベル幅 (AC特性の (1) 基本動作)
- ・ A/D変換時間 (A/Dコンバータ特性)
- ・ 1チップあたりの書き換え回数 (フラッシュ・メモリ・プログラミング特性)

注意 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
	30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
ポート0	P00, P01				P00-P03	P00-P06	
ポート1	P10-P17						
ポート2	P20-P23	P20-P25	P20-P27				
ポート3	P30-P33						
ポート4	－		P40, P41			P40-P43	P40-P47
ポート5	－					P50-P53	P50-P57
ポート6	P60, P61	P60-P63					P60-P67
ポート7	－	P70, P71	P70-P73	P70-P75	P70-P77		
ポート12	P120-P122	P120-P124					
ポート13	－			P130			
ポート14	－			P140		P140, P141	P140-P145

(次ページに、続きの表があります)

(2) ポート以外の機能

機 能		78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
		30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
電源, グランド		V _{DD} , EV _{DD} ^{注1} , V _{SS} , EV _{SS} ^{注1} , AV _{REF} , AV _{SS} ,	V _{DD} , AV _{REF} , V _{SS} , AV _{SS}				V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}	
レギュレータ		REGC						
リセット		RESET						
クロック発振		X1, X2, EXCLK	X1, X2, XT1, XT2, EXCLK, EXCLKS					
フラッシュ書き込み		FLMD0						
割り込み		INTP0-INTP5			INTP0-INTP6		INTP0-INTP7	
キー割り込み		—	KR0, KR1	KR0-KR3		KR0-KR7		
タイ マ	TM00	TI000, TI010, TO00						
	TM01	—					TI001 ^{注2} , TI011 ^{注2} , TO01 ^{注2}	
	TM50	TI50, TO50						
	TM51	TI51, TO51						
	TMH0	TOH0						
	TMH1	TOH1						
シ リ ア ル ・ イ ン タ フ ェ ー ス	UART0	RxD0, TxD0						
	UART6	RxD6, TxD6						
	IIC0	SCL0, SDA0	SCL0, SDA0, EXSCL0					
	CSI10	SCK10, SI10, SO10						
	CSI11	—					SCK11 ^{注2} , SI11 ^{注2} , SO11 ^{注2} , SSI11 ^{注2}	
	CSIA0	—						SCKA0, SIA0, SOA0, BUSY0, STB0
A/Dコンバータ		ANI0-ANI3	ANI0-ANI5	ANI0-ANI7				
クロック出力		—			PCL			
ブザー出力		—					BUZ	
LVI回路		EXLVI						

注1. 30ピン製品には搭載していません。

2. フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品には搭載していません。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

絶対最大定格 ($T_A = 25 \text{ }^{\circ}\text{C}$) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		$-0.5 \sim +6.5$	V
	EV_{DD}		$-0.5 \sim +6.5$	V
	V_{SS}		$-0.5 \sim +0.3$	V
	EV_{SS}		$-0.5 \sim +0.3$	V
	AV_{REF}		$-0.5 \sim V_{DD} + 0.3^{\text{注}}$	V
	AV_{SS}		$-0.5 \sim +0.3$	V
REGC端子入力電圧	V_{IREGC}		$-0.5 \sim +3.6$ かつ $-0.5 \sim V_{DD}$	V
入力電圧	V_{I1}	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120-P124, P140-P145, X1, X2, XT1, XT2, $\overline{\text{RESET}}$, FLMD0	$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
	V_{I2}	P60-P63 (N-chオープン・ドレイン)	$-0.3 \sim +6.5$	V
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
アナログ入力電圧	V_{AN}	ANI0-ANI7	$-0.3 \sim AV_{REF} + 0.3^{\text{注}}$ かつ $-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

絶対最大定格 ($T_A = 25$ °C) (2/2)

項 目	略 号	条 件		定 格	単 位
ハイ・レベル出力電流	I_{OH}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	-10	mA
		端子合計 -80 mA	P00-P04, P40-P47, P120, P130, P140-P145	-25	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77	-55	mA
		1端子	P20-P27	-0.5	mA
		端子合計		-2	mA
		1端子	P121-P124	-1	mA
		端子合計		-4	mA
ロウ・レベル出力電流	I_{OL}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P130, P140-P145	30	mA
		端子合計 200 mA	P00-P04, P40-P47, P120, P130, P140-P145	60	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77	140	mA
		1端子	P20-P27	1	mA
		端子合計		5	mA
		1端子	P121-P124	4	mA
		端子合計		10	mA
動作周囲温度	T_A			$-40 \sim +110$	°C
保存温度	T_{stg}			$-65 \sim +150$	°C

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

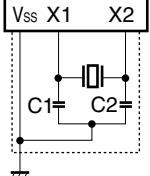
2. 1端子あたりに流すことができる電流値は、1端子あたりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック 発 振 周 波 数 (f_x) ^{注1}	従来規格品 (μ PD78F05xx (A2))	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0 ^{注2}	20.0	MHz
				$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1.0 ^{注2}	10.0	MHz
			拡張規格品 (μ PD78F05xxA (A2))		1.0 ^{注2}	20.0	MHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

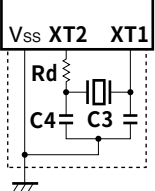
発振子	項 目	条 件	MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック	RSTS = 1	7.6	8.0	8.4	MHz
	周波数 (f_{RH}) 注	RSTS = 0	2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック		216	240	264	kHz
	周波数 (f_{RL})					

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性^{注1}

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) 注2		32	32.768	35	kHz

注1. 78K0/KB2には、XT1発振回路はありません。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (1/5)

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-2.5	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-2.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-7.5	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-6.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-12.5	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-10.0	mA
		全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-16.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-14.0	mA
	IOH2	P20-P27 1端子	$AV_{REF} = V_{DD}$		-0.1	mA
		P121-P124 1端子			-0.1	mA
ロウ・レベル出力電流 ^{注2}	IOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		5.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		3.0	mA
		P60-P63 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		10.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		3.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		13.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		10.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		25.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		20.0	mA
		全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		38.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		30.0	mA
	IOL2	P20-P27 1端子	$AV_{REF} = V_{DD}$		0.4	mA
		P121-P124 1端子			0.4	mA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70 %の条件 (ある一定の時間を t とすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合) でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH} のデューティが n %の場合: 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50 %, $I_{OH} = -10.0 \text{ mA}$ の場合

端子合計の出力電流 = $(-10.0 \times 0.7) / (50 \times 0.01) = -14.0 \text{ mA}$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (2/5)

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IH1}	P02, P12, P13, P15, P40-P47, P50-P57, P64-P67, P121-P124, P144, P145	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, EXCLK, EXCLKS, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}	0.7AV _{REF}	AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ハイ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IH1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P121-P124	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, EXCLK, EXCLKS, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}	0.7AV _{REF}	AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ロウ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IL1}	P02, P12, P13, P15, P40-P47, P50-P57, P60-P67, P121-P124, P144, P145	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, EXCLK, EXCLKS, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}	0	0.3AV _{REF}	V
ロウ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IL1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P60-P63, P121-P124	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, EXCLK, EXCLKS, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}	0	0.3AV _{REF}	V
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	4.0 V $\leq$ V _{DD} $\leq$ 5.5 V, I _{OH1} = -2.5 mA	V _{DD} - 0.7		V
			2.7 V $\leq$ V _{DD} < 4.0 V, I _{OH1} = -2.0 mA	V _{DD} - 0.5		V
	V _{OH2}	P20-P27	AV _{REF} = V _{DD} , I _{OH2} = -100 μ A	V _{DD} - 0.5		V
		P121-P124	I _{OH2} = -100 μ A	V _{DD} - 0.5		V

注1. 対応製品: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KD2と78K0/KE2

2. 対応製品: 78K0/KB2, 78K0/KC2, フラッシュ・メモリが32 Kバイト以下の78K0/KD2と78K0/KE2

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (3/5)

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 5.0 \text{ mA}$		0.7	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 3.0 \text{ mA}$		0.7	V
	VOL2	P20-P27	$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4 \text{ mA}$		0.4	V
		P121-P124	$I_{OL2} = 0.4 \text{ mA}$		0.4	V
	VOL3	P60-P63	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 10.0 \text{ mA}$		2.0	V
			$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 3.0 \text{ mA}$		0.4	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 3.0 \text{ mA}$		0.6	V
ハイ・レベル入力リーク電流	LIH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145, FLMD0, RESET	$V_I = V_{DD}$		3	μA
	LIH2	P20-P27	$V_I = AV_{REF}$, $AV_{REF} = V_{DD}$		3	μA
	LIH3	P121-P124 (X1, X2, XT1, XT2)	$V_I = V_{DD}$ I/Oポート・モード		3	μA
			OSCモード		20	μA
ロウ・レベル入力リーク電流	LI11	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145, FLMD0, RESET	$V_I = V_{SS}$		-3	μA
	LI12	P20-P27	$V_I = V_{SS}$, $AV_{REF} = V_{DD}$		-3	μA
	LI13	P121-P124 (X1, X2, XT1, XT2)	$V_I = V_{SS}$ I/Oポート・モード		-3	μA
			OSCモード		-20	μA
プルアップ抵抗値	R _U	$V_I = V_{SS}$	10	20	100	k Ω
FLMD0電源電圧	V _{IL}	通常動作時	0		$0.2V_{DD}$	V
	V _{IH}	セルフ・プログラミング時	$0.8V_{DD}$		V_{DD}	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (4/5)

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		3.2	7.2	mA
				発振子接続		4.5	9.0	mA
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		1.6	3.7	mA
				発振子接続		2.3	5.1	mA
			f _{XH} = 10 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		1.5	3.6	mA
				発振子接続		2.2	4.2	mA
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.9	2.1	mA
				発振子接続		1.3	2.6	mA
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}			1.4	3.3	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		6	93	μ A
				発振子接続		15	100	μ A
	IDD2	HALTモード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		0.8	3.4	mA
				発振子接続		2.0	5.8	mA
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		0.4	1.7	mA
				発振子接続		1.0	3.2	mA
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.2	0.85	mA
				発振子接続		0.5	1.5	mA
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}			0.4	1.6	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		3.0	89	μ A
				発振子接続		12	93	μ A
	IDD3 ^{注6}	STOPモード				1	60	μ A
			T _A = -40~+70 °C			1	10	μ A

注1. 内部電源 (V_{DD} , EV_{DD}) に流れるトータル電流です。周辺動作電流と入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。

2. 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
5. X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
6. 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (5/5)

($T_A = -40 \sim +110\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
A/Dコンバータ 動作電流	$I_{ADC}^{注1}$	$2.7\text{ V} \leq AV_{REF} \leq V_{DD}$, $ADCS = 1$		0.86	2.5	mA
ウォッチドッグ・タイマ動作 電流	$I_{WDT}^{注2}$	240 kHz 低速内蔵発振クロック動作時		5	13	μA
LVI動作電流	$I_{LVI}^{注3}$			9	24	μA

- 注1. A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。
2. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。
3. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。

- 備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

AC特性

(1) 基本動作 (1/2)

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{XP}) 動作	従来規格品	4.0 V ≤ V _{DD} ≤ 5.5 V	0.1	32	μ s
			(μ PD78F05xx (A2))	2.7 V ≤ V _{DD} < 4.0 V	0.2	32	μ s
			拡張規格品	2.7 V ≤ V _{DD} ≤ 5.5 V	0.1	32	μ s
		(μ PD78F05xxA (A2))					
サブシステム・クロック (f _{SUB}) 動作 ^{注1}				114	122	125	μ s
周辺ハードウェア・クロック周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	従来規格品	4.0 V ≤ V _{DD} ≤ 5.5 V		20	MHz
			(μ PD78F05xx (A2))	2.7 V ≤ V _{DD} < 4.0 V		10	MHz
			拡張規格品	4.0 V ≤ V _{DD} ≤ 5.5 V		20	MHz
			(μ PD78F05xxA (A2))	2.7 V ≤ V _{DD} < 4.0 V ^{注2}		20	MHz
		f _{PRS} = f _{RH} (XSEL = 0)	2.7 V ≤ V _{DD} ≤ 5.5 V	7.6	8.4	MHz	
外部メイン・システム・クロック周波数	f _{EXCLK}	従来規格品 (μ PD78F05xx (A2))	4.0 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注3}	20.0	MHz	
			2.7 V ≤ V _{DD} < 4.0 V	1.0 ^{注3}	10.0	MHz	
		拡張規格品 (μ PD78F05xxA (A2))	2.7 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注3}	20.0	MHz	
外部メイン・システム・クロック入力ハイ／ロウ・レベル幅	t _{EXCLKH} , t _{EXCLKL}	従来規格品 (μ PD78F05xx (A2))	4.0 V ≤ V _{DD} ≤ 5.5 V	24		ns	
			2.7 V ≤ V _{DD} < 4.0 V	48		ns	
		拡張規格品 (μ PD78F05xxA (A2))	2.7 V ≤ V _{DD} ≤ 5.5 V	24		ns	

注1. 78K0/KB2には、サブシステム・クロックはありません。

- メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{XH}/2$ (10 MHz) 以下にしてください。ただし乗除算器回路については、 f_{XH} (20 MHz) での動作が可能です。
- オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(1) 基本動作 (2/2)

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部サブシステム・クロック周波数 ^{注1}	f_{EXCLKS}		32	32.768	35	kHz
外部サブシステム・クロック入力ハイ、ロウ・レベル幅 ^{注1}	$t_{EXCLKSH}$, $t_{EXCLKSL}$		12			μs
TI000, TI010, TI001, TI011入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH0} ,	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2f_{sam} + 0.1$ ^{注2}			μs
	t_{TIL0}	$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$2f_{sam} + 0.2$ ^{注2}			μs
TI50, TI51入力周波数	f_{TI5}				10	MHz
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH5} , t_{TIL5}		50			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1			μs
キー割り込み入力ロウ・レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			μs

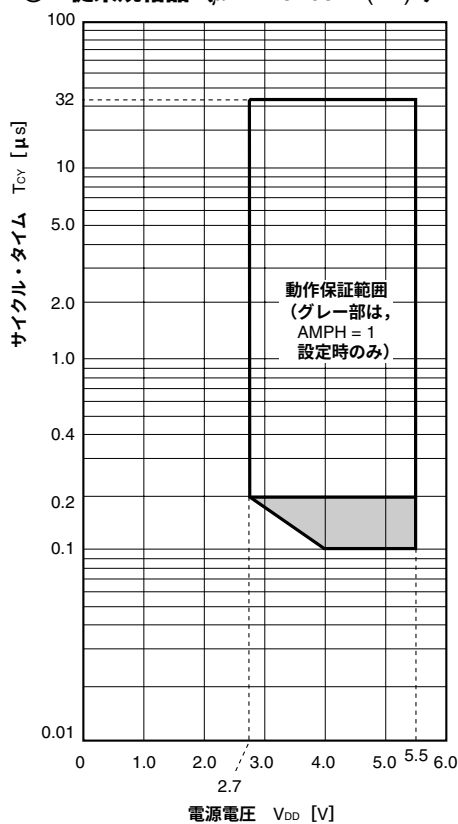
注1. 78K0/KB2には、サブシステム・クロックはありません。

2. プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01) のビット0, 1 (PRM000, PRM001またはPRM010, PRM011) により, $f_{sam} = f_{PRS}$, $f_{PRS}/4$, $f_{PRS}/256$ または f_{PRS} , $f_{PRS}/16$, $f_{PRS}/64$ の選択が可能です。ただし、カウント・クロックとしてTI000, TI001有効エッジを選択した場合は, $f_{sam} = f_{PRS}$ となります。

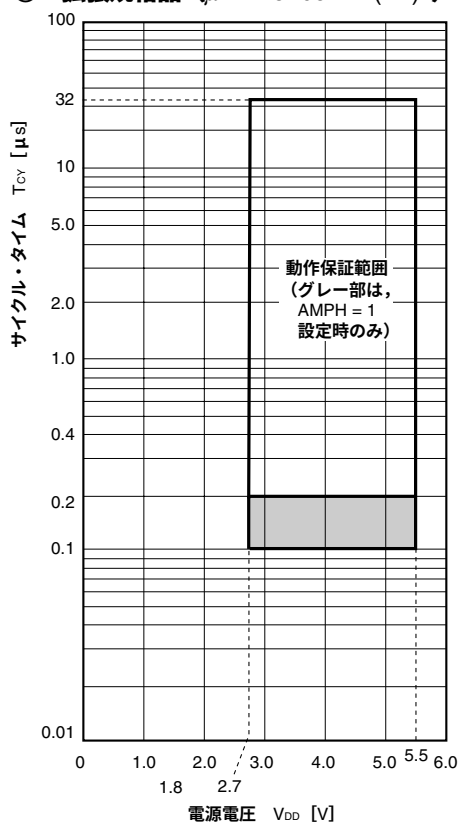
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

① 従来規格品 (μ PD78F05xx (A2))

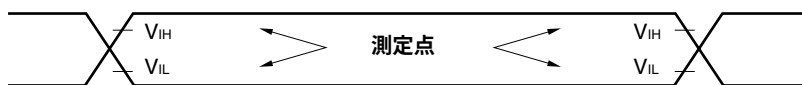


② 拡張規格品 (μ PD78F05xxA (A2))

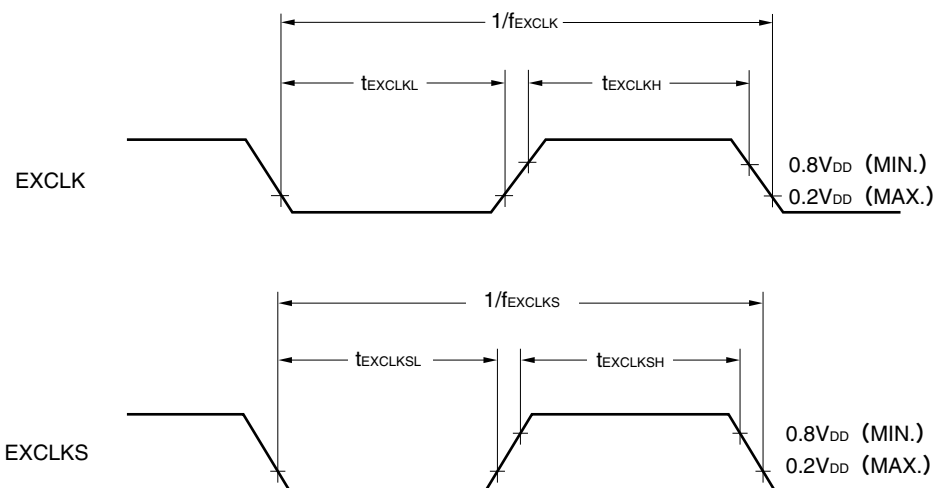


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

AC タイミング測定点

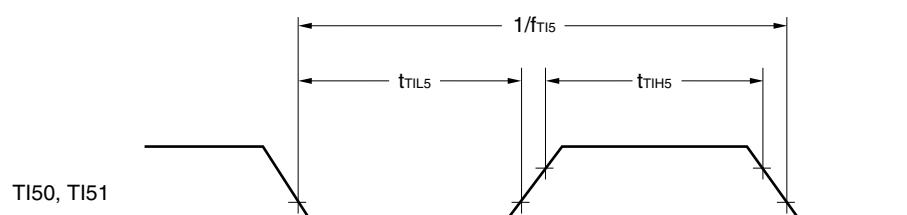
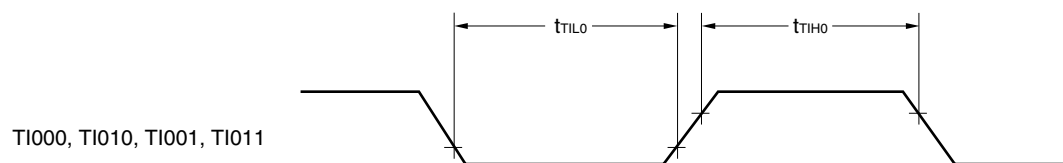


外部メイン・システム・クロック・タイミング, 外部サブシステム・クロック・タイミング

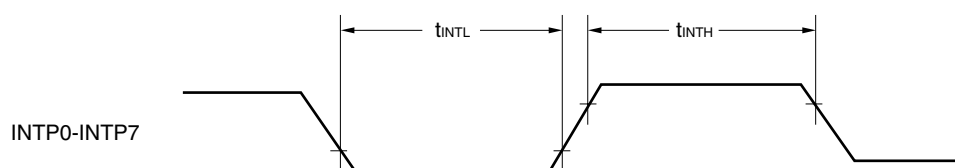


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

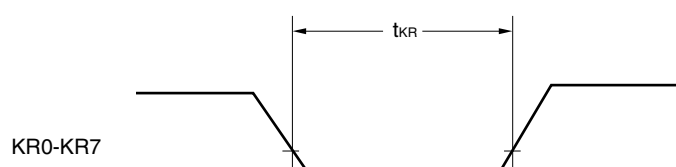
TI タイミング



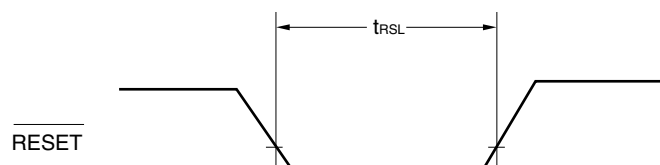
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(2) シリアル・インタフェース

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = E_{VDD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = E_{VSS} = AV_{SS} = 0 \text{ V}$)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(b) UART0 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(c) IIC0

項 目	略 号	条 件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}		0	100	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU} : STA		4.7	—	0.6	—	μs
ホールド時間 ^{注1}	t _{HD} : STA		4.0	—	0.6	—	μs
SCL0 = "L"のホールド・タイム	t _{LOW}	内部クロック動作	4.7	—	1.3	—	μs
		EXSCL0クロック (6.4 MHz) 動作	4.7	—	1.25	—	μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0	—	0.6	—	μs
データ・セットアップ時間 (受信時)	t _{SU} : DAT		250	—	100	—	ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD} : DAT	f _W = f _{XIH} /2 ^N または	0	3.45	0	0.9 ^{注4}	μs
		f _W = f _{EXSCL0} 選択時 ^{注3}				1.00 ^{注5}	
		f _W = f _{RH} /2 ^N 選択時 ^{注3}				1.05	μs
ストップ・コンディションのセットアップ時間	t _{SU} : STO		4.0	—	0.6	—	μs
バス・フリー時間	t _{BUF}		4.7	—	1.3	—	μs

注1. スタート／リスタート・コンディション時は、この期間のあと、最初のクロック・パルスが生成されます。

2. t_{HD}: DATの最大値 (MAX.) は、通常転送時の数値であり、 $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは、ウェイトがかかります。

3. f_Wは、IICCLレジスタとIICX0レジスタで選択したIIC0の転送クロックを示します。

4. f_W ≥ 4.4 MHz選択時

5. f_W < 4.4 MHz選択時

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(d) CSI1n (マスタ・モード, SCK1n…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1n サイクル・タイム	t_{KCY1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	200			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	400			ns
SCK1n ハイ, ロウ・レベル幅	$t_{KH1},$	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$t_{KCY1}/2 - 20^{\text{注1}}$			ns
	t_{KL1}	$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$t_{KCY1}/2 - 30^{\text{注1}}$			ns
SI1n セットアップ時間 (対 SCK1n ↑)	t_{SIK1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	70			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	100			ns
SI1n ホールド時間 (対 SCK1n ↑)	t_{KSI1}		30			ns
SCK1n ↓ → SO1n 出力遅延時間	t_{KSO1}	$C = 50 \text{ pF}^{\text{注2}}$			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは、SCK1n, SO1n 出力ラインの負荷容量です。

(e) CSI1n (スレーブ・モード, SCK1n…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1n サイクル・タイム	t_{KCY2}		400			ns
SCK1n ハイ, ロウ・レベル幅	$t_{KH2},$ t_{KL2}		$t_{KCY2}/2$			ns
SI1n セットアップ時間 (対 SCK1n ↑)	t_{SIK2}		80			ns
SI1n ホールド時間 (対 SCK1n ↑)	t_{KSI2}		50			ns
SCK1n ↓ → SO1n 出力遅延時間	t_{KSO2}	$C = 50 \text{ pF}^{\text{注}}$			120	ns

注 Cは、SO1n 出力ラインの負荷容量です。

備考 $n = 0, 1$

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(f) CSIA0 (マスタ・モード, $\overline{\text{SCKA0}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKA0}}$ サイクル・タイム	t_{KCY3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	600			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	1200			ns
$\overline{\text{SCKA0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH3}},$ t_{KL3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}}/2 -$ 50			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}}/2 -$ 100			ns
SIA0 セットアップ時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{SIK3}		100			ns
SIA0 ホールド時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{KSI3}		300			ns
$\overline{\text{SCKA0}}$ ↓ → SOA0 出力遅延時間	t_{KSO3}	C = 100 pF ^注 $4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$ $2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			200	ns
					300	ns
$\overline{\text{SCKA0}}$ ↑ → STB0 ↑	t_{SBD}		$t_{\text{KCY3}}/2 -$ 100			ns
ストロブ信号ハイ・レベル幅	t_{SBW}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}} - 30$			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}} - 60$			ns
ビジ信号セットアップ時間 (対ビジ信号検出タイミング)	t_{BYS}		100			ns
ビジ信号ホールド時間 (対ビジ信号検出タイミング)	t_{BYH}		100			ns
ビジ・インアクティブ → $\overline{\text{SCKA0}}$ ↓	t_{SPS}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$			$2t_{\text{KCY3}} +$ 100	ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			$2t_{\text{KCY3}} +$ 150	ns

注 Cは、 $\overline{\text{SCKA0}}$, SOA0出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(g) CSIA0 (スレーブ・モード, $\overline{\text{SCKA0}}$ …外部クロック入力)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKA0}}$ サイクル・タイム	t_{KCY4}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		600			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$		1200			ns
$\overline{\text{SCKA0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH4}},$	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		300			ns
	t_{KL4}	$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$		600			ns
SIA0 セットアップ時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{SIK4}			100			ns
SIA0 ホールド時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{KSI4}			$2/f_w +$ $100^{\text{注1}}$			ns
$\overline{\text{SCKA0}}$ ↓ → SOA0 出力遅延時間	t_{KSO4}	C = 100 pF 注2	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$			$2/f_w +$ $100^{\text{注1}}$	ns
			$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			$2/f_w +$ $200^{\text{注1}}$	ns
$\overline{\text{SCKA0}}$ 立ち上がり, 立ち下がり時間	$t_{\text{R4}}, t_{\text{F4}}$					1000	ns

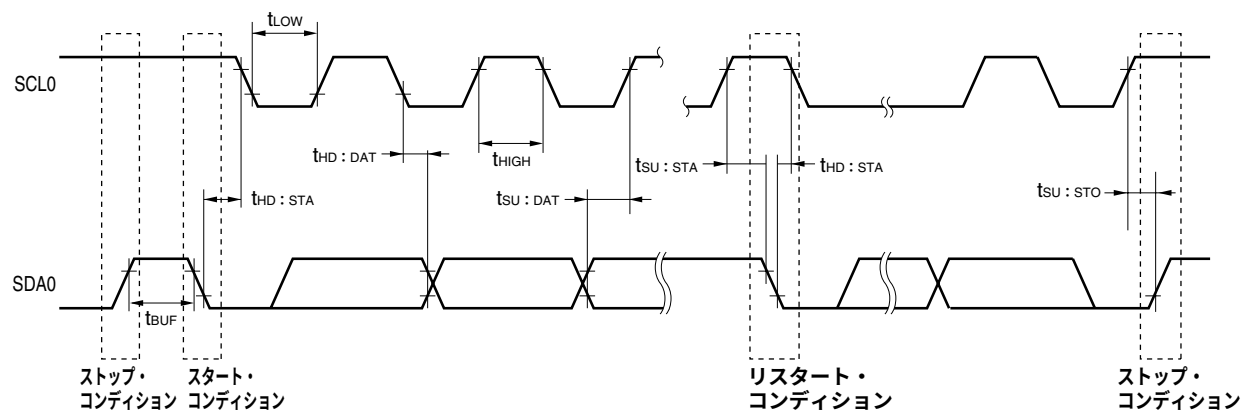
注1. f_w は, CSIS0 レジスタで選択した CSIA0 の基本クロックを示します。

2. C は, SOA0 出力ラインの負荷容量です。

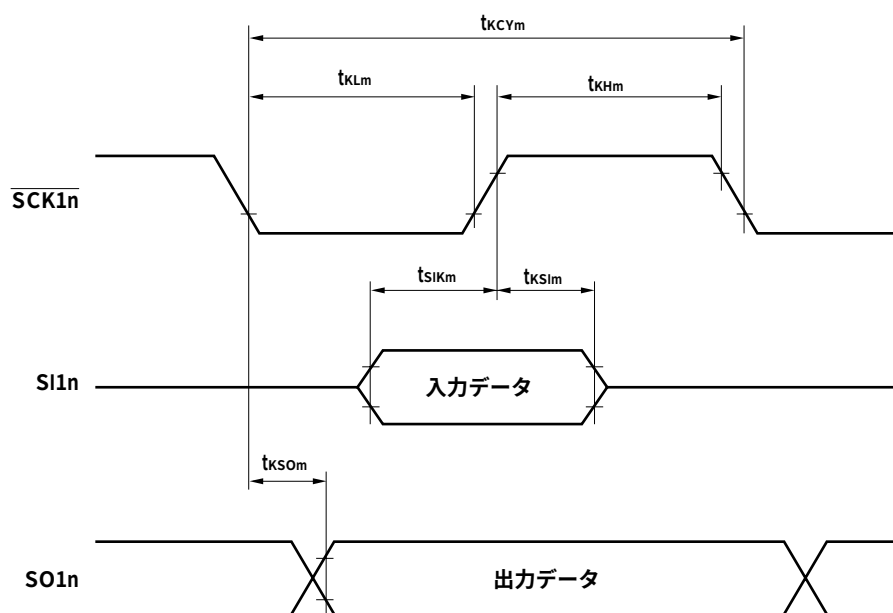
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

シリアル転送タイミング (1/2)

IIC0 :



CS11n :



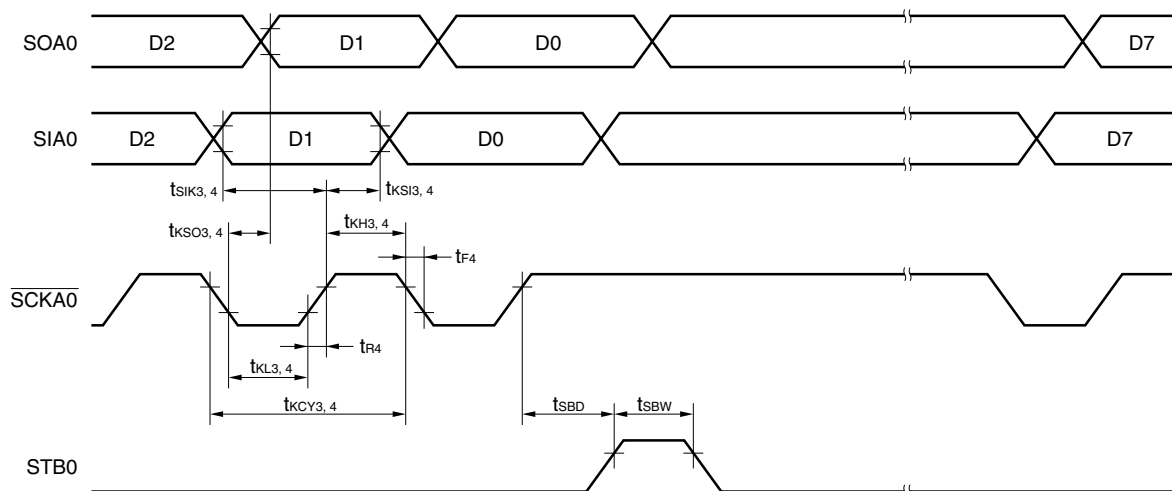
備考 $m = 1, 2$

$n = 0, 1$

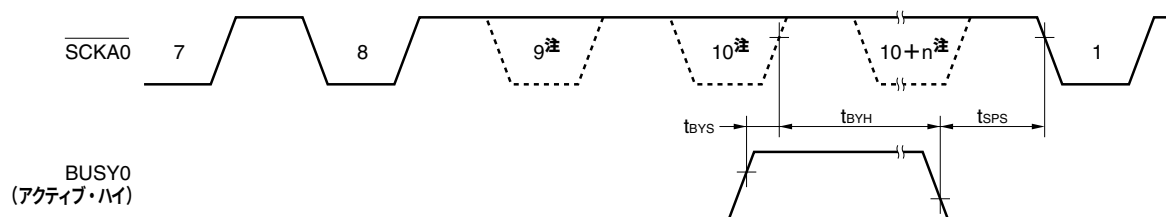
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

シリアル転送タイミング (2/2)

CSIA0 :



CSIA0 (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq AV_{REF} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
変換時間	t _{CONV}	従来規格品 (μ PD78F05xx (A2))	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$	6.1	36.7	μs
			$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$	12.2	36.7	μs
		拡張規格品 (μ PD78F05xxA (A2))	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$	6.1	66.6	μs
			$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$	12.2	66.6	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
積分直線性誤差 ^{注1}	I _{LE}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 4.5	LSB
微分直線性誤差 ^{注1}	D _{LE}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 2.0	LSB
アナログ入力電圧	V _{AIN}		AV _{SS}		AV _{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

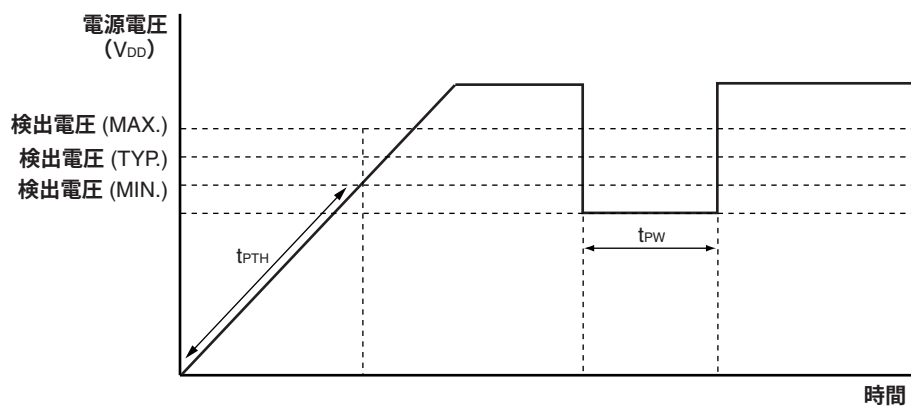
2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

1.59 V POC回路特性 ($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD}: 0 \text{ V} \rightarrow V_{POC}$ の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}		200			μs

1.59 V POC回路タイミング



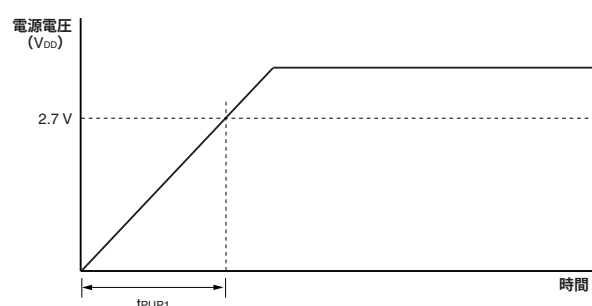
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

電源電圧立ち上げ時間 ($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

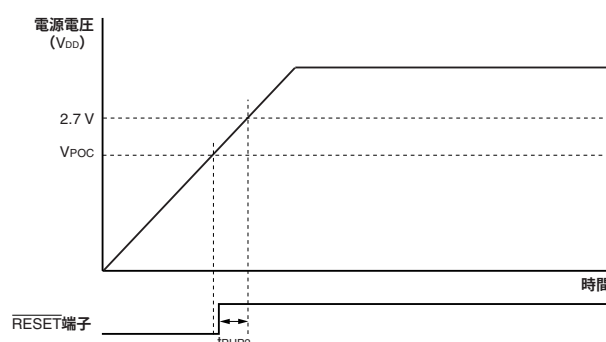
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
2.7 V ($V_{DD} \text{ (MIN.)}$) までの立ち上げ最大時間 ($V_{DD}: 0 \text{ V} \rightarrow 2.7 \text{ V}$)	t_{PUP1}	POCMODE (オプション・バイト) = 0, RESET入力未使用時			3.6	ms
2.7 V ($V_{DD} \text{ (MIN.)}$) までの立ち上げ最大時間 (RESET入力解除 $\rightarrow V_{DD}: 2.7 \text{ V}$)	t_{PUP2}	POCMODE (オプション・バイト) = 0, RESET入力使用時			1.9	ms

電源電圧立ち上げのタイミング

• RESET端子入力未使用時



• RESET端子入力使用時



2.7 V POC回路特性 ($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動 作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えとリセットが解除されます。その後、電源投入時と同様に、 V_{POC} でPOC検出が行われます。 POCMODE = 0の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えとリセットが解除されます。その後、 V_{DDPOC} でのPOC検出は行われず、 $V_{POC} = 1.59 \text{ V}$ (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $V_{POC} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

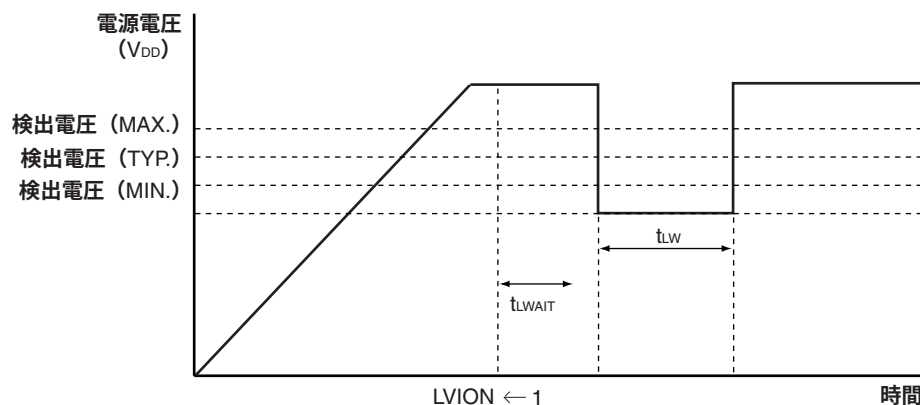
項 目		略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	電源電圧レベル	V _{LVI0}		4.14	4.24	4.34	V
		V _{LVI1}		3.99	4.09	4.19	V
		V _{LVI2}		3.83	3.93	4.03	V
		V _{LVI3}		3.68	3.78	3.88	V
		V _{LVI4}		3.52	3.62	3.72	V
		V _{LVI5}		3.37	3.47	3.57	V
		V _{LVI6}		3.22	3.32	3.42	V
		V _{LVI7}		3.06	3.16	3.26	V
		V _{LVI8}		2.91	3.01	3.11	V
		V _{LVI9}		2.75	2.85	2.95	V
	外部入力端子 ^{注1}	EXLVI	EXLVI<V _{DD} , 2.7 V≦V _{DD} ≦5.5 V	1.11	1.21	1.31	V
最小パルス幅		t _{LW}		200			μs
動作安定待ち時間 ^{注2}		t _{LWAIT}		10			μs

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-9$

LVI回路タイミング

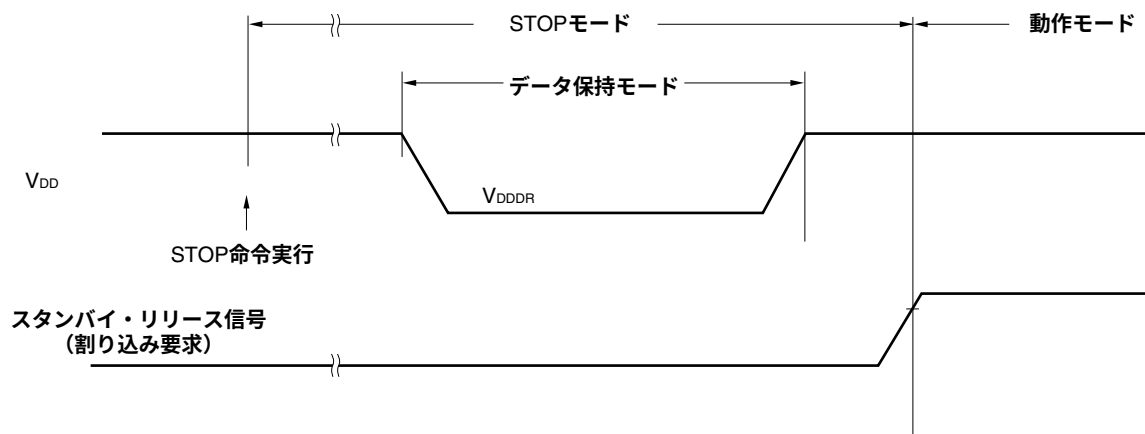


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

・基本特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
V_{DD} 電源電流	I_{DD}	$f_{XP} = 10 \text{ MHz (TYP.)}$, 20 MHz (MAX.)		4.5	14.0	mA
消去時間 注1, 2	全ブロック	T_{eraca}		20	200	ms
	ブロック単位	T_{erasa}		20	200	ms
書き込み時間 (8ビット単位) 注1	T_{wrwa}			10	100	μs
1チップあたりの書き 換え回数	C_{erwr}	消去1回 + 拡張規格品 ($\mu\text{PD78F05xxA (A2)}$) 消去後の書き込み1回 = 書き換え回数1回とする ^{注3} 。	フラッシュ・メモリ・ プログラマ使用時およ び当社提供のライブラ リ ^{注4} を使用時、プログ ラム更新用途	保持 15年	1000	回
			当社提供のEEPROM エミュレーション・ラ イブラリ ^{注5} 使用時、書 き換えROMサイズ: 4 Kバイト, データ更新 用途	保持 5年	10000	回
		拡張規格品 ($\mu\text{PD78F05xxA (A2)}$) 従来規格品 ($\mu\text{PD78F05xx (A2)}$)	上記以外の条件 ^{注6}	保持 10年	100	回

注1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP4, PG-FP5使用時、およびセルフ・プログラミング時の書き換え時間につきましては、表27-12～表27-14を参照してください。

- 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は含まれません。
- 出荷品に対する初回書き込み時では、「消去→書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。
- 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル（資料番号: U17516J）」で指定されるサンプル・ライブラリを除きます。
- 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート（資料番号: U17517J）」で指定されるサンプル・プログラムを除きます。
- 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル（資料番号: U17516J）」で指定されるサンプル・ライブラリ、および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート（資料番号: U17517J）」で指定されるサンプル・プログラム使用時を含みます。

備考1. f_{XP} : メイン・システム・クロック発振周波数

- シリアル書き込みオペレーション特性につきましては、78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング（プログラマ編）（U17739J）を参照してください。

第33章 電気的特性 ((A2) 水準品: $T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$)

対象製品	従来規格品	拡張規格品
78K0/KB2	μ PD78F0500 (A2), 78F0501 (A2), 78F0502 (A2), 78F0503 (A2)	μ PD78F0500A (A2), 78F0501A (A2), 78F0502A (A2), 78F0503A (A2)
78K0/KC2	μ PD78F0511 (A2), 78F0512 (A2), 78F0513 (A2), 78F0514 (A2), 78F0515 (A2)	μ PD78F0511A (A2), 78F0512A (A2), 78F0513A (A2), 78F0514A (A2), 78F0515A (A2)
78K0/KD2	μ PD78F0521 (A2), 78F0522 (A2), 78F0523 (A2), 78F0524 (A2), 78F0525 (A2), 78F0526 (A2), 78F0527 (A2)	μ PD78F0521A (A2), 78F0522A (A2), 78F0523A (A2), 78F0524A (A2), 78F0525A (A2), 78F0526A (A2), 78F0527A (A2)
78K0/KE2	μ PD78F0531 (A2), 78F0532 (A2), 78F0533 (A2), 78F0534 (A2), 78F0535 (A2), 78F0536 (A2), 78F0537 (A2)	μ PD78F0531A (A2), 78F0532A (A2), 78F0533A (A2), 78F0534A (A2), 78F0535A (A2), 78F0536A (A2), 78F0537A (A2)
78K0/KF2	μ PD78F0544 (A2), 78F0545 (A2), 78F0546 (A2), 78F0547 (A2)	μ PD78F0544A (A2), 78F0545A (A2), 78F0546A (A2), 78F0547A (A2)

次の項目については、従来規格品 (μ PD78F05xx (A2)) と拡張規格品 (μ PD78F05xxA (A2)) とで分けて記載しています。

- ・ X1クロック発振周波数 (X1発振回路特性)
- ・ 命令サイクル, 周辺ハードウェア・クロック周波数, 外部メイン・システム・クロック周波数, 外部メイン・システム・クロック入力ハイ/ロウ・レベル幅 (AC特性の (1) 基本動作)
- ・ A/D変換時間 (A/Dコンバータ特性)
- ・ 1チップあたりの書き換え回数 (フラッシュ・メモリ・プログラミング特性)

注意 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
	30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
ポート0	P00, P01				P00-P03	P00-P06	
ポート1	P10-P17						
ポート2	P20-P23	P20-P25	P20-P27				
ポート3	P30-P33						
ポート4	－		P40, P41			P40-P43	P40-P47
ポート5	－					P50-P53	P50-P57
ポート6	P60, P61	P60-P63					P60-P67
ポート7	－	P70, P71	P70-P73	P70-P75	P70-P77		
ポート12	P120-P122	P120-P124					
ポート13	－			P130			
ポート14	－			P140		P140, P141	P140-P145

(次ページに、続きの表があります)

(2) ポート以外の機能

機 能		78K0/KB2	78K0/KC2			78K0/KD2	78K0/KE2	78K0/KF2
		30/36ピン	38ピン	44ピン	48ピン	52ピン	64ピン	80ピン
電源, グランド		V _{DD} , EV _{DD} ^{注1} , V _{SS} , EV _{SS} ^{注1} , AV _{REF} , AV _{SS} ,	V _{DD} , AV _{REF} , V _{SS} , AV _{SS}				V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}	
レギュレータ		REGC						
リセット		RESET						
クロック発振		X1, X2, EXCLK	X1, X2, XT1, XT2, EXCLK, EXCLKS					
フラッシュ書き込み		FLMD0						
割り込み		INTP0-INTP5			INTP0-INTP6		INTP0-INTP7	
キー割り込み		—	KR0, KR1	KR0-KR3		KR0-KR7		
タイ マ	TM00	TI000, TI010, TO00						
	TM01	—					TI001 ^{注2} , TI011 ^{注2} , TO01 ^{注2}	
	TM50	TI50, TO50						
	TM51	TI51, TO51						
	TMH0	TOH0						
	TMH1	TOH1						
シ リ ア ル ・ イ ン タ フ ェ ー ス	UART0	RxD0, TxD0						
	UART6	RxD6, TxD6						
	IIC0	SCL0, SDA0	SCL0, SDA0, EXSCL0					
	CSI10	SCK10, SI10, SO10						
	CSI11	—					SCK11 ^{注2} , SI11 ^{注2} , SO11 ^{注2} , SSI11 ^{注2}	
	CSIA0	—						SCKA0, SIA0, SOA0, BUSY0, STB0
A/Dコンバータ		ANI0-ANI3	ANI0-ANI5	ANI0-ANI7				
クロック出力		—			PCL			
ブザー出力		—					BUZ	
LVI回路		EXLVI						

注1. 30ピン製品には搭載していません。

2. フラッシュ・メモリが32 Kバイト以下の78K0/KE2の製品には搭載していません。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

絶対最大定格 ($T_A = 25 \text{ }^{\circ}\text{C}$) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		$-0.5 \sim +6.5$	V
	EV_{DD}		$-0.5 \sim +6.5$	V
	V_{SS}		$-0.5 \sim +0.3$	V
	EV_{SS}		$-0.5 \sim +0.3$	V
	AV_{REF}		$-0.5 \sim V_{DD} + 0.3^{\text{注}}$	V
	AV_{SS}		$-0.5 \sim +0.3$	V
REGC端子入力電圧	V_{IREGC}		$-0.5 \sim +3.6$ かつ $-0.5 \sim V_{DD}$	V
入力電圧	V_{I1}	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120-P124, P140-P145, X1, X2, XT1, XT2, $\overline{\text{RESET}}$, FLMD0	$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
	V_{I2}	P60-P63 (N-chオープン・ドレイン)	$-0.3 \sim +6.5$	V
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V
アナログ入力電圧	V_{AN}	ANI0-ANI7	$-0.3 \sim AV_{REF} + 0.3^{\text{注}}$ かつ $-0.3 \sim V_{DD} + 0.3^{\text{注}}$	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

絶対最大定格 ($T_A = 25 \text{ }^{\circ}\text{C}$) (2/2)

項 目	略 号	条 件		定 格	単 位
ハイ・レベル出力電流	I_{OH}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	-10	mA
		端子合計 -80 mA	P00-P04, P40-P47, P120, P130, P140-P145	-25	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77	-55	mA
		1端子	P20-P27	-0.5	mA
		端子合計		-2	mA
		1端子	P121-P124	-1	mA
		端子合計		-4	mA
ロウ・レベル出力電流	I_{OL}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P130, P140-P145	30	mA
		端子合計 200 mA	P00-P04, P40-P47, P120, P130, P140-P145	60	mA
			P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77	140	mA
		1端子	P20-P27	1	mA
		端子合計		5	mA
		1端子	P121-P124	4	mA
		端子合計		10	mA
動作周囲温度	T_A			$-40 \sim +125$	$^{\circ}\text{C}$
保存温度	T_{stg}			$-65 \sim +150$	$^{\circ}\text{C}$

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

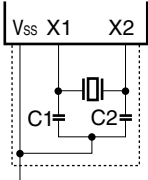
2. 1端子あたりに流すことができる電流値は、1端子あたりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック 発 振 周 波 数 (f_x) ^{注1}	従来規格品 (μ PD78F05xx (A2))	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0 ^{注2}	20.0	MHz
				$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1.0 ^{注2}	10.0	MHz
			拡張規格品 (μ PD78F05xxA (A2))		1.0 ^{注2}	20.0	MHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

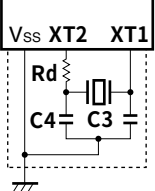
発振子	項 目	条 件	MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック	RSTS = 1	7.6	8.0	8.46	MHz
	周波数 (f_{RH}) 注	RSTS = 0	2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック		216	240	264	kHz
	周波数 (f_{RL})					

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性^{注1}

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) 注2		32	32.768	35	kHz

注1. 78K0/KB2には、XT1発振回路はありません。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (1/5)

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-1.5	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-1.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-6.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-4.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-10.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-8.0	mA
		全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-14.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		-12.0	mA
	IOH2	P20-P27 1端子	$AV_{REF} = V_{DD}$		-0.1	mA
		P121-P124 1端子			-0.1	mA
ロウ・レベル出力電流 ^{注2}	IOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		4.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		2.0	mA
		P60-P63 1端子	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		8.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		2.0	mA
		P00-P04, P40-P47, P120, P130, P140-P145 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		10.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		8.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P77 合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		20.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		16.0	mA
		全端子合計 ^{注3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		30.0	mA
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		24.0	mA
	IOL2	P20-P27 1端子	$AV_{REF} = V_{DD}$		0.4	mA
		P121-P124 1端子			0.4	mA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70 %の条件 (ある一定の時間を t とすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合) でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH} のデューティが n %の場合: 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50 %, $I_{OH} = -10.0 \text{ mA}$ の場合

端子合計の出力電流 = $(-10.0 \times 0.7) / (50 \times 0.01) = -14.0 \text{ mA}$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (2/5)

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IH1}	P02, P12, P13, P15, P40-P47, P50-P57, P64-P67, P121-P124, P144, P145	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, EXCLK, EXCLKS, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}	0.7AV _{REF}	AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ハイ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IH1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P121-P124	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, EXCLK, EXCLKS, RESET	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}	0.7AV _{REF}	AV _{REF}	V
	V _{IH4}	P60-P63	0.7V _{DD}		6.0	V
ロウ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1	V _{IL1}	P02, P12, P13, P15, P40-P47, P50-P57, P60-P67, P121-P124, P144, P145	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P03-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, EXCLK, EXCLKS, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}	0	0.3AV _{REF}	V
ロウ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2	V _{IL1}	P02-P06, P12, P13, P15, P40-P43, P50-P53, P60-P63, P121-P124	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140, P141, EXCLK, EXCLKS, RESET	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}	0	0.3AV _{REF}	V
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	4.0 V $\leq$ V _{DD} $\leq$ 5.5 V, I _{OH1} = -1.5 mA	V _{DD} - 0.7		V
			2.7 V $\leq$ V _{DD} < 4.0 V, I _{OH1} = -1.0 mA	V _{DD} - 0.5		V
	V _{OH2}	P20-P27	AV _{REF} = V _{DD} , I _{OH2} = -100 μ A	V _{DD} - 0.5		V
		P121-P124	I _{OH2} = -100 μ A	V _{DD} - 0.5		V

注1. 対応製品: 78K0/KF2, フラッシュ・メモリが48 Kバイト以上の78K0/KD2と78K0/KE2

2. 対応製品: 78K0/KB2, 78K0/KC2, フラッシュ・メモリが32 Kバイト以下の78K0/KD2と78K0/KE2

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (3/5)

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 4.0 \text{ mA}$		0.7	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 2.0 \text{ mA}$		0.7	V
	VOL2	P20-P27	$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4 \text{ mA}$		0.4	V
		P121-P124	$I_{OL2} = 0.4 \text{ mA}$		0.4	V
	VOL3	P60-P63	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 8.0 \text{ mA}$		2.0	V
			$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 2.0 \text{ mA}$		0.6	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 2.0 \text{ mA}$		0.6	V
ハイ・レベル入力リーク電流	ILIH1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145, FLMD0, RESET	$V_I = V_{DD}$		5	μA
		P20-P27	$V_I = AV_{REF}$, $AV_{REF} = V_{DD}$		5	μA
	ILIH3	P121-P124 (X1, X2, XT1, XT2)	$V_I = V_{DD}$	I/Oポート・モード	5	μA
				OSCモード	20	μA
ロウ・レベル入力リーク電流	ILIL1	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P77, P120, P140-P145, FLMD0, RESET	$V_I = V_{SS}$		-5	μA
		P20-P27	$V_I = V_{SS}$, $AV_{REF} = V_{DD}$		-5	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2)	$V_I = V_{SS}$	I/Oポート・モード	-5	μA
				OSCモード	-20	μA
プルアップ抵抗値	R _U	$V_I = V_{SS}$	10	20	100	k Ω
FLMD0電源電圧	V _{IL}	通常動作時	0		0.2V _{DD}	V
	V _{IH}	セルフ・プログラミング時	0.8V _{DD}		V _{DD}	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (4/5)

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		3.2	8.3	mA
				発振子接続		4.5	10.5	mA
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		1.6	4.2	mA
				発振子接続		2.3	5.9	mA
			f _{XH} = 10 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		1.5	4.1	mA
				発振子接続		2.2	4.8	mA
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.9	2.4	mA
				発振子接続		1.3	3.0	mA
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}			1.4	3.8	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		6	138	μA
				発振子接続		15	145	μA
	IDD2	HALTモード	f _{XH} = 20 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		0.8	3.9	mA
				発振子接続		2.0	6.6	mA
			f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2,3}	方形波入力		0.4	2.0	mA
				発振子接続		1.0	3.6	mA
			f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.2	1.0	mA
				発振子接続		0.5	1.7	mA
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4}			0.4	1.8	mA
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	方形波入力		3.0	133	μA
				発振子接続		12	138	μA
	IDD3 ^{注6}	STOPモード				1	100	μA
			T _A = -40～+70 °C			1	10	μA

注1. 内部電源 (V_{DD} , EV_{DD}) に流れるトータル電流です。周辺動作電流と入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。

- 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
- X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

DC特性 (5/5)

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
A/Dコンバータ 動作電流	$I_{ADC}^{\text{注1}}$	$2.7 \text{ V} \leq AV_{REF} \leq V_{DD}$, $ADCS = 1$		0.86	2.9	mA
ウォッチドッグ・タイマ動作 電流	$I_{WDT}^{\text{注2}}$	240 kHz 低速内蔵発振クロック動作時		5	15	μA
LVI動作電流	$I_{LVI}^{\text{注3}}$			9	27	μA

- 注1. A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。
2. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。
3. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Kx2マイクロコントローラの電流値となります。

- 備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

AC特性

(1) 基本動作 (1/2)

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{XP}) 動作	従来規格品	4.0 V ≤ V _{DD} ≤ 5.5 V	0.1	32	μ s
			(μ PD78F05xx (A2))	2.7 V ≤ V _{DD} < 4.0 V	0.2	32	μ s
			拡張規格品	2.7 V ≤ V _{DD} ≤ 5.5 V	0.1	32	μ s
		(μ PD78F05xxA (A2))					
サブシステム・クロック (f _{SUB}) 動作 ^{注1}				114	122	125	μ s
周辺ハードウェア・クロック周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	従来規格品	4.0 V ≤ V _{DD} ≤ 5.5 V		20	MHz
			(μ PD78F05xx (A2))	2.7 V ≤ V _{DD} < 4.0 V		10	MHz
			拡張規格品	4.0 V ≤ V _{DD} ≤ 5.5 V		20	MHz
			(μ PD78F05xxA (A2))	2.7 V ≤ V _{DD} < 4.0 V ^{注2}		20	MHz
		f _{PRS} = f _{RH} (XSEL = 0)	2.7 V ≤ V _{DD} ≤ 5.5 V	7.6	8.4	MHz	
外部メイン・システム・クロック周波数	f _{EXCLK}	従来規格品 (μ PD78F05xx (A2))	4.0 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注3}	20.0	MHz	
			2.7 V ≤ V _{DD} < 4.0 V	1.0 ^{注3}	10.0	MHz	
		拡張規格品 (μ PD78F05xxA (A2))	2.7 V ≤ V _{DD} ≤ 5.5 V	1.0 ^{注3}	20.0	MHz	
外部メイン・システム・クロック入力ハイ／ロウ・レベル幅	t _{EXCLKH} , t _{EXCLKL}	従来規格品 (μ PD78F05xx (A2))	4.0 V ≤ V _{DD} ≤ 5.5 V	24		ns	
			2.7 V ≤ V _{DD} < 4.0 V	48		ns	
		拡張規格品 (μ PD78F05xxA (A2))	2.7 V ≤ V _{DD} ≤ 5.5 V	24		ns	

注1. 78K0/KB2には、サブシステム・クロックはありません。

- メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{XH}/2$ (10 MHz) 以下にしてください。ただし乗除算器回路については、 f_{XH} (20 MHz) での動作が可能です。
- オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(1) 基本動作 (2/2)

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部サブシステム・クロック周波数 ^{注1}	f_{EXCLKS}		32	32.768	35	kHz
外部サブシステム・クロック入力ハイ、ロウ・レベル幅 ^{注1}	$t_{EXCLKSH}$, $t_{EXCLKSL}$		12			μs
TI000, TI010, TI001, TI011入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH0} ,	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2f_{sam} + 0.1$ ^{注2}			μs
	t_{TIL0}	$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$2f_{sam} + 0.2$ ^{注2}			μs
TI50, TI51入力周波数	f_{TI5}				10	MHz
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH5} , t_{TIL5}		50			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1			μs
キー割り込み入力ロウ・レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			μs

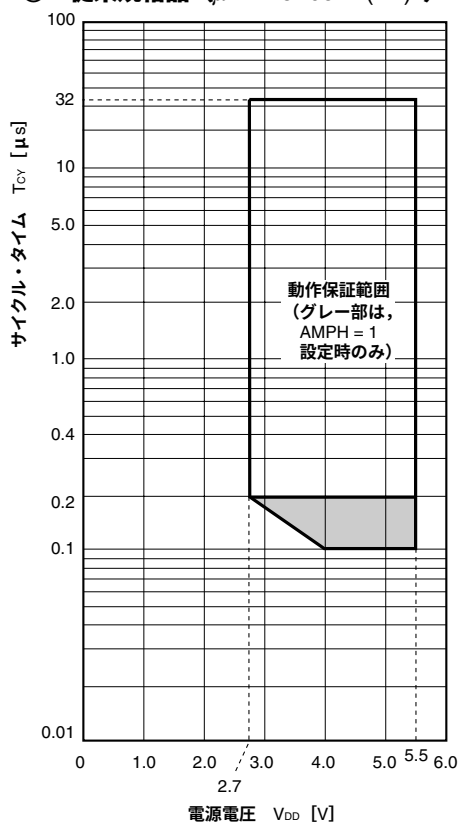
注1. 78K0/KB2には、サブシステム・クロックはありません。

2. プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01) のビット0, 1 (PRM000, PRM001またはPRM010, PRM011) により, $f_{sam} = f_{PRS}$, $f_{PRS}/4$, $f_{PRS}/256$ または f_{PRS} , $f_{PRS}/16$, $f_{PRS}/64$ の選択が可能です。ただし、カウント・クロックとしてTI000, TI001有効エッジを選択した場合は, $f_{sam} = f_{PRS}$ となります。

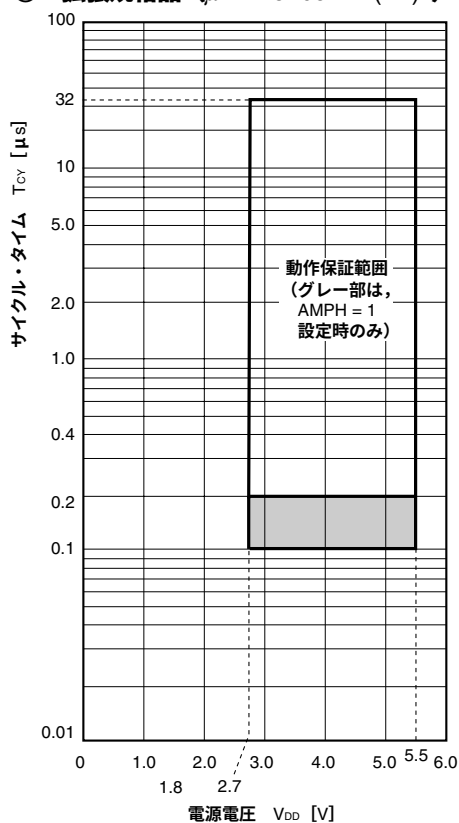
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

① 従来規格品 (μ PD78F05xx (A2))

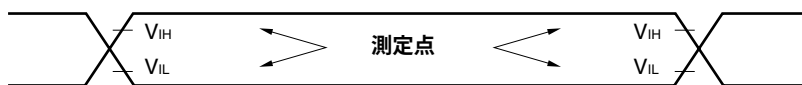


② 拡張規格品 (μ PD78F05xxA (A2))

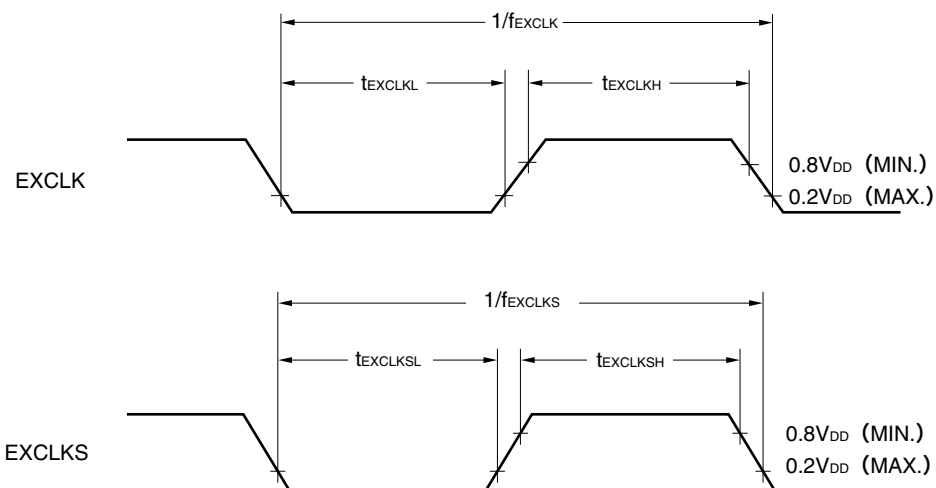


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

AC タイミング測定点

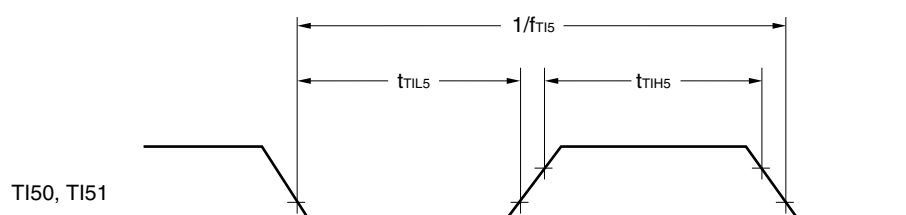
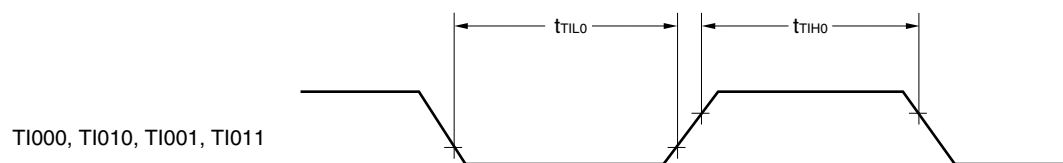


外部メイン・システム・クロック・タイミング, 外部サブシステム・クロック・タイミング

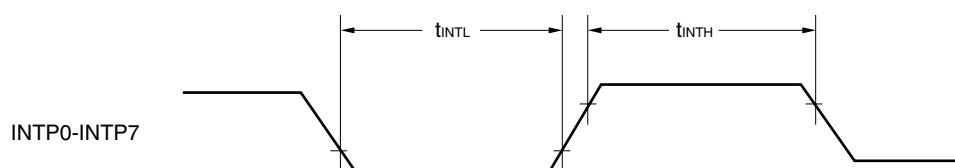


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

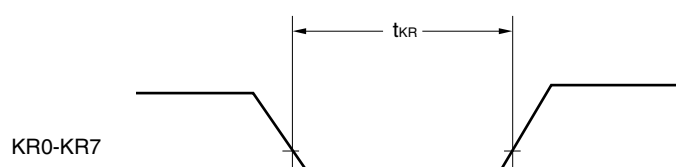
TI タイミング



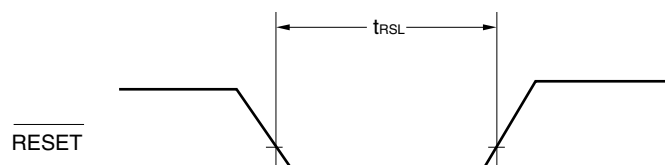
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(2) シリアル・インタフェース

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(b) UART0 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

(c) IIC0

項 目	略 号	条 件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}		0	100	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU:STA}		4.7	—	0.6	—	μs
ホールド時間 ^{注1}	t _{HD:STA}		4.0	—	0.6	—	μs
SCL0 = "L"のホールド・タイム	t _{LOW}	内部クロック動作	4.7	—	1.3	—	μs
		EXSCL0クロック (6.4 MHz) 動作	4.7	—	1.25	—	μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0	—	0.6	—	μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		250	—	100	—	ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}	f _W = f _{XIH} /2 ^N または	0	3.45	0	0.9 ^{注4}	μs
		f _W = f _{EXSCL0} 選択時 ^{注3}				1.00 ^{注5}	
		f _W = f _{RH} /2 ^N 選択時 ^{注3}				1.05	μs
ストップ・コンディションのセットアップ時間	t _{SU:STO}		4.0	—	0.6	—	μs
バス・フリー時間	t _{BUF}		4.7	—	1.3	—	μs

注1. スタート／リスタート・コンディション時は、この期間のあと、最初のクロック・パルスが生成されます。

2. t_{HD:DAT}の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは、ウェイトがかかります。

3. f_Wは、IICCLレジスタとIICX0レジスタで選択したIIC0の転送クロックを示します。

4. f_W ≥ 4.4 MHz選択時

5. f_W < 4.4 MHz選択時

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(d) CSI1n (マスタ・モード, SCK1n…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1n サイクル・タイム	t_{KCY1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	200			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	400			ns
SCK1n ハイ, ロウ・レベル幅	$t_{KH1},$	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$t_{KCY1}/2 - 20^{\text{注1}}$			ns
	t_{KL1}	$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$t_{KCY1}/2 - 30^{\text{注1}}$			ns
SI1n セットアップ時間 (対 SCK1n ↑)	t_{SIK1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	70			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	100			ns
SI1n ホールド時間 (対 SCK1n ↑)	t_{KSI1}		30			ns
SCK1n ↓ → SO1n 出力遅延時間	t_{KSO1}	$C = 50 \text{ pF}^{\text{注2}}$			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは、SCK1n, SO1n 出力ラインの負荷容量です。

(e) CSI1n (スレーブ・モード, SCK1n…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1n サイクル・タイム	t_{KCY2}		400			ns
SCK1n ハイ, ロウ・レベル幅	$t_{KH2},$		$t_{KCY2}/2$			ns
	t_{KL2}					
SI1n セットアップ時間 (対 SCK1n ↑)	t_{SIK2}		80			ns
SI1n ホールド時間 (対 SCK1n ↑)	t_{KSI2}		50			ns
SCK1n ↓ → SO1n 出力遅延時間	t_{KSO2}	$C = 50 \text{ pF}^{\text{注}}$			120	ns

注 Cは、SO1n 出力ラインの負荷容量です。

備考 $n = 0, 1$

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(f) CSIA0 (マスタ・モード, $\overline{\text{SCKA0}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKA0}}$ サイクル・タイム	t_{KCY3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	600			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	1200			ns
$\overline{\text{SCKA0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH3}},$ t_{KL3}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}}/2 -$ 50			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}}/2 -$ 100			ns
SIA0 セットアップ時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{SIK3}		100			ns
SIA0 ホールド時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{KSI3}		300			ns
$\overline{\text{SCKA0}}$ ↓ → SOA0 出力遅延時間	t_{KSO3}	$C = 100 \text{ pF}^{\text{注}}$ $4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$			200	ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			300	ns
$\overline{\text{SCKA0}}$ ↑ → STB0 ↑	t_{SBD}		$t_{\text{KCY3}}/2 -$ 100			ns
ストロブ信号ハイ・レベル幅	t_{SBW}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY3}} - 30$			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY3}} - 60$			ns
ビジ信号セットアップ時間 (対ビジ信号検出タイミング)	t_{BYS}		100			ns
ビジ信号ホールド時間 (対ビジ信号検出タイミング)	t_{BYH}		100			ns
ビジ・インアクティブ → $\overline{\text{SCKA0}}$ ↓	t_{SPS}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$			$2t_{\text{KCY3}} +$ 100	ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			$2t_{\text{KCY3}} +$ 150	ns

注 Cは、 $\overline{\text{SCKA0}}$, SOA0出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

(g) CSIA0 (スレーブ・モード, $\overline{\text{SCKA0}}$ …外部クロック入力)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKA0}}$ サイクル・タイム	t_{KCY4}	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		600			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$		1200			ns
$\overline{\text{SCKA0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH4}},$	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		300			ns
	t_{KL4}	$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$		600			ns
SIA0セットアップ時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{SIK4}			100			ns
SIA0ホールド時間 (対 $\overline{\text{SCKA0}}$ ↑)	t_{KSI4}			$2/f_w + 100^{\text{注1}}$			ns
$\overline{\text{SCKA0}}$ ↓→SOA0出力遅延時間	t_{KSO4}	C = 100 pF 注2	$4.0 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$			$2/f_w + 100^{\text{注1}}$	ns
			$2.7 \text{ V} \leq V_{\text{DD}} < 4.0 \text{ V}$			$2/f_w + 200^{\text{注1}}$	ns
$\overline{\text{SCKA0}}$ 立ち上がり, 立ち下がり時間	$t_{\text{R4}}, t_{\text{F4}}$					1000	ns

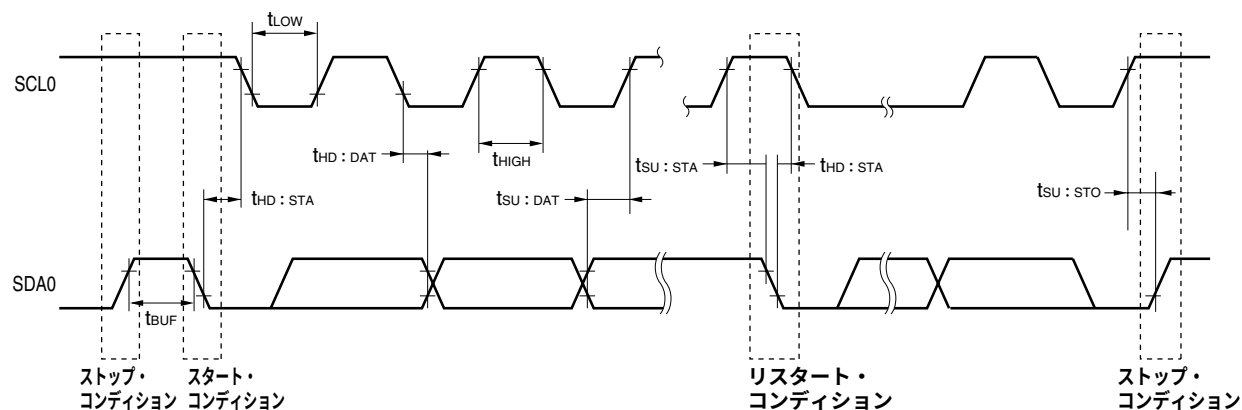
注1. f_w は、CSIS0レジスタで選択したCSIA0の基本クロックを示します。

2. Cは、SOA0出力ラインの負荷容量です。

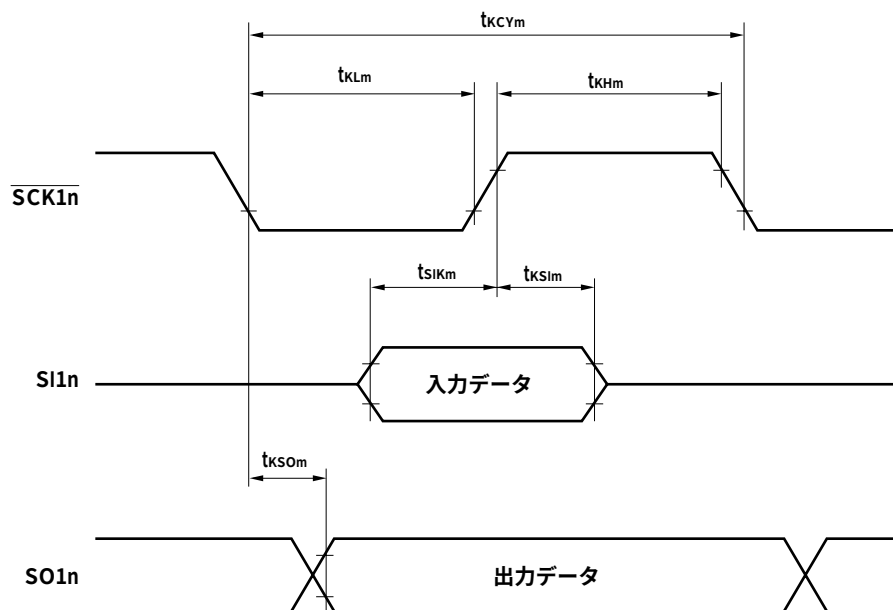
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

シリアル転送タイミング (1/2)

IIC0 :



CS11n :



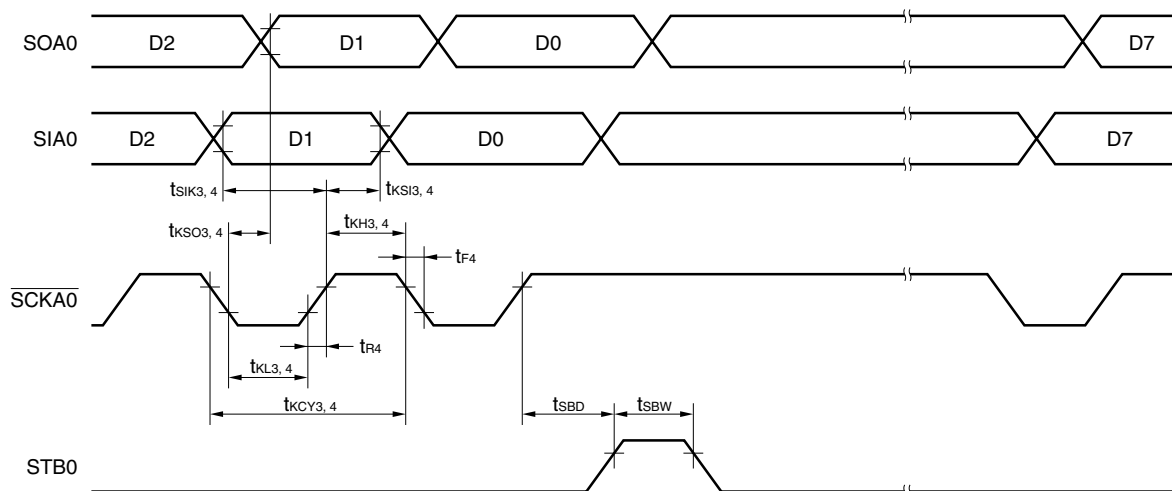
備考 $m = 1, 2$

$n = 0, 1$

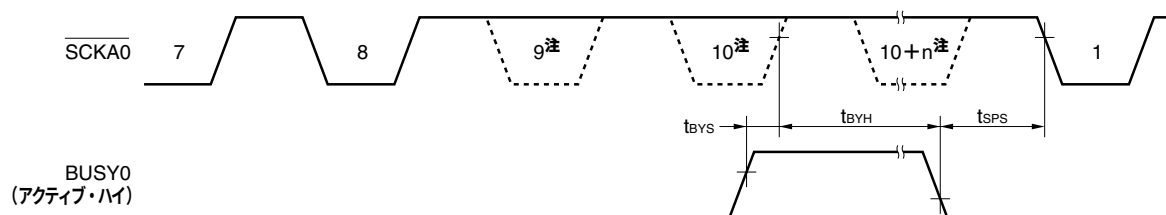
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

シリアル転送タイミング (2/2)

CSIA0 :



CSIA0 (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq AV_{REF} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	R_{ES}				10	bit
総合誤差 ^{注1, 2}	A_{INL}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
変換時間	t_{CONV}	従来規格品 (μ PD78F05xx (A2))	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$	6.1	36.7	μs
			$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$	12.2	36.7	μs
		拡張規格品 (μ PD78F05xxA (A2))	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$	6.1	66.6	μs
			$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$	12.2	66.6	μs
ゼロスケール誤差 ^{注1, 2}	E_{ZS}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
フルスケール誤差 ^{注1, 2}	E_{FS}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
積分直線性誤差 ^{注1}	I_{LE}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 4.5	LSB
微分直線性誤差 ^{注1}	D_{LE}	$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 2.0	LSB
アナログ入力電圧	V_{AIN}		AV_{SS}		AV_{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

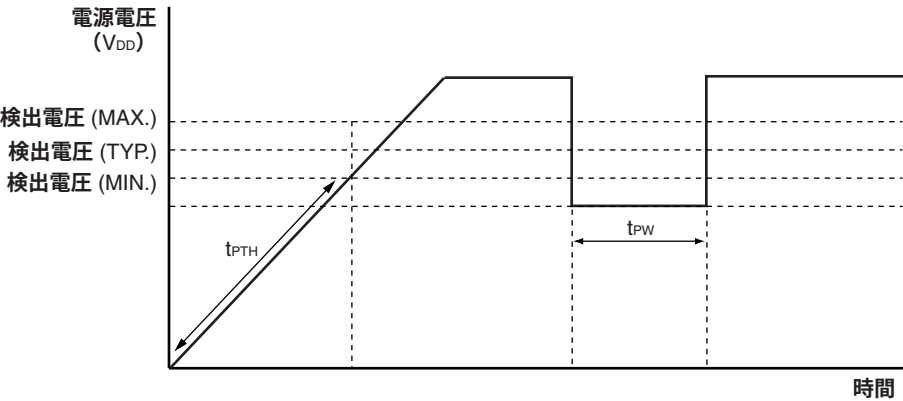
2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

1.59 V POC回路特性 (TA = -40～+125 °C, VSS = EVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	VPOC		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	tPTH	VDD : 0 V→VPOCの変化傾き	0.5			V/ms
最小パルス幅	tpw		200			μs

1.59 V POC回路タイミング



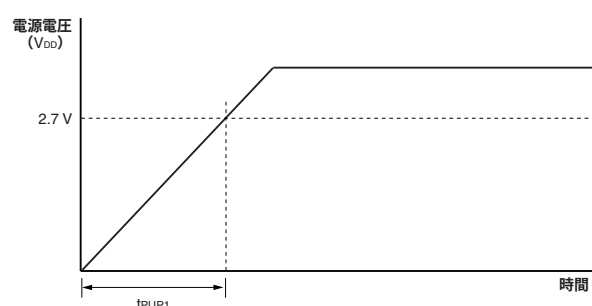
注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

電源電圧立ち上げ時間 ($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

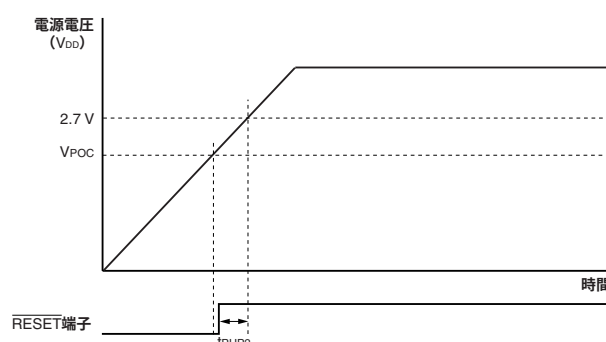
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
2.7 V ($V_{DD} \text{ (MIN.)}$) までの立ち上げ最大時間 ($V_{DD}: 0 \text{ V} \rightarrow 2.7 \text{ V}$)	t_{PUP1}	POCMODE (オプション・バイト) = 0, RESET入力未使用時			3.6	ms
2.7 V ($V_{DD} \text{ (MIN.)}$) までの立ち上げ最大時間 (RESET入力解除 $\rightarrow V_{DD}: 2.7 \text{ V}$)	t_{PUP2}	POCMODE (オプション・バイト) = 0, RESET入力使用時			1.9	ms

電源電圧立ち上げのタイミング

• RESET端子入力未使用時



• RESET端子入力使用時



2.7 V POC回路特性 ($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動 作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えとリセットが解除されます。その後、電源投入時と同様に、 V_{POC} でPOC検出が行われます。 POCMODE = 0の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 \text{ V}$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えとリセットが解除されます。その後、 V_{DDPOC} でのPOC検出は行われず、 $V_{POC} = 1.59 \text{ V}$ (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $V_{POC} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

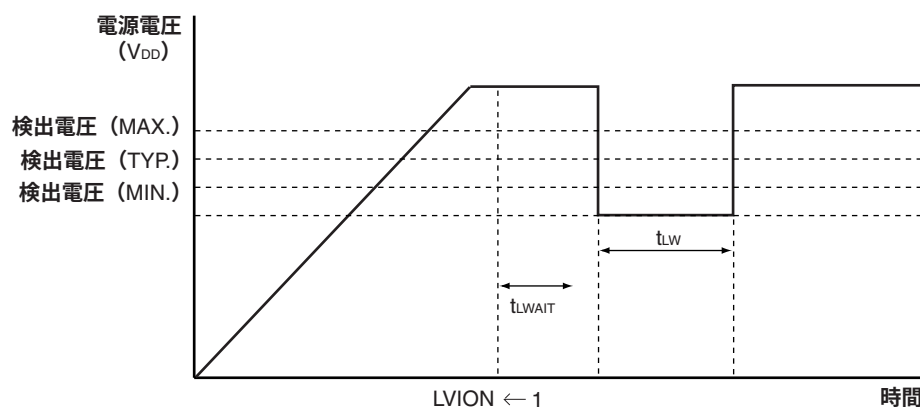
項 目		略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	電源電圧レベル	V _{LVI0}		4.14	4.24	4.34	V
		V _{LVI1}		3.99	4.09	4.19	V
		V _{LVI2}		3.83	3.93	4.03	V
		V _{LVI3}		3.68	3.78	3.88	V
		V _{LVI4}		3.52	3.62	3.72	V
		V _{LVI5}		3.37	3.47	3.57	V
		V _{LVI6}		3.22	3.32	3.42	V
		V _{LVI7}		3.06	3.16	3.26	V
		V _{LVI8}		2.91	3.01	3.11	V
		V _{LVI9}		2.75	2.85	2.95	V
	外部入力端子 ^{注1}	EXLVI	EXLVI<V _{DD} , 2.7 V≦V _{DD} ≦5.5 V	1.11	1.21	1.31	V
最小パルス幅		t _{LW}		200			μs
動作安定待ち時間 ^{注2}		t _{LWAIT}		10			μs

注1. $EXLVI/P120/INTP0$ 端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-9$

LVI回路タイミング

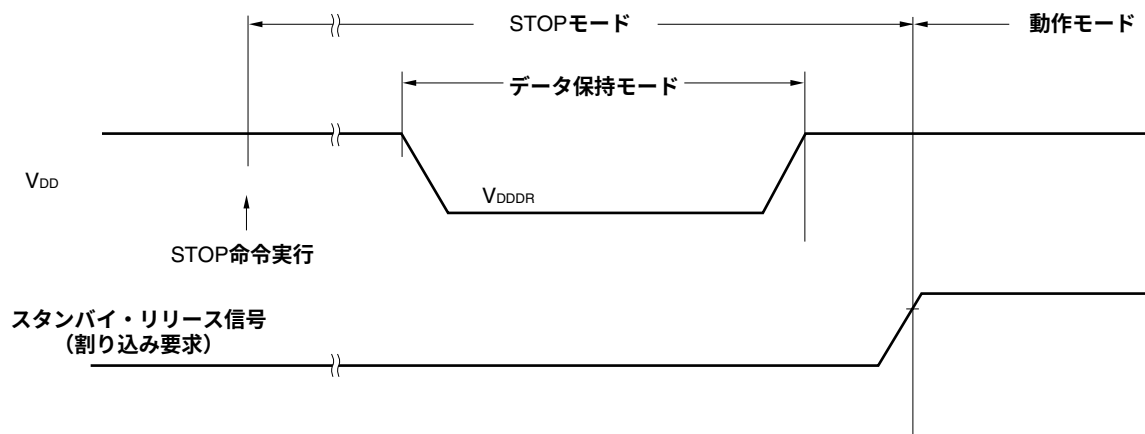


注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意にある表を参照してください。

フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +125 \text{ }^{\circ}\text{C}$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

・基本特性

項 目		略 号	条 件				MIN.	TYP.	MAX.	単 位
V _{DD} 電源電流		I _{DD}	f _{XP} = 10 MHz (TYP.) , 20 MHz (MAX.)					4.5	16.0	mA
消去時間 注1, 2	全ブロック	T _{eraca}						20	200	ms
	ブロック単位	T _{erasa}						20	200	ms
書き込み時間 (8ビット単位) 注1		T _{wrwa}						10	100	μs
1チップあたりの書き換え回数		C _{erwr}	消去1回 + 拡張規格品 (μ PD78F0 5xxA (A2)) 消去後の書き込み1回 = 書き換え回数1回とする注3。	拡張規格品	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリ注4を使用時、プログラム更新用途	保持15年	1000			回
					当社提供のEEPROMエミュレーション・ライブラリ注5使用時、書き換えROMサイズ：4 Kバイト，データ更新用途	保持5年	10000			回
				拡張規格品 (μ PD78F0 5xxA (A2))	上記以外の条件注6	保持10年	100			回
				従来規格品 (μ PD78F0 5xx (A2))						

注1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP4, PG-FP5使用時、およびセルフ・プログラミング時の書き換え時間につきましては、表27-12～表27-14を参照してください。

2. 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は含まれません。

3. 出荷品に対する初回書き込み時では、「消去→書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

4. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (資料番号: U17516J)」で指定されるサンプル・ライブラリを除きます。

5. 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラムを除きます。

6. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (資料番号: U17516J)」で指定されるサンプル・ライブラリ、および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (資料番号: U17517J)」で指定されるサンプル・プログラム使用時を含みます。

備考1. f_{XP} : メイン・システム・クロック発振周波数

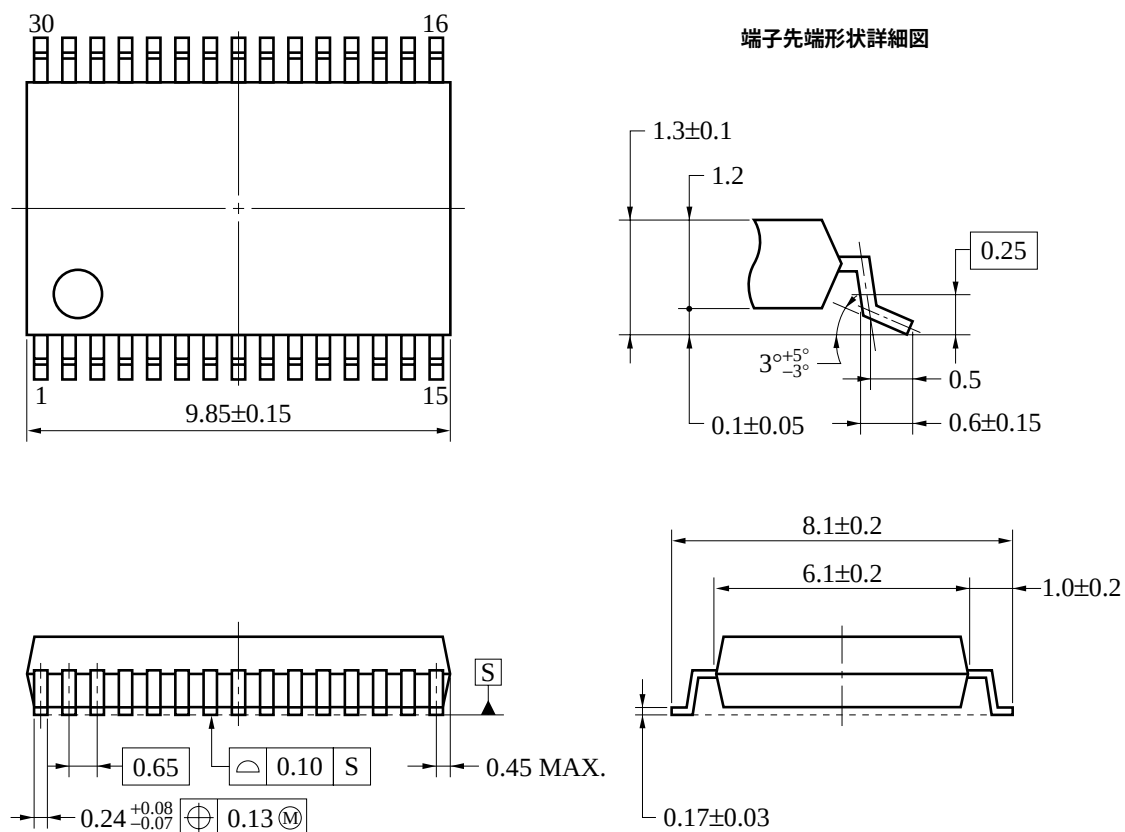
2. シリアル書き込みオペレーション特性につきましては、78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U17739J) を参照してください。

第34章 外形図

34.1 78K0/KB2

・ μ PD78F0500MC-5A4-A, 78F0501MC-5A4-A, 78F0502MC-5A4-A, 78F0503MC-5A4-A, 78F0503DMC-5A4-A

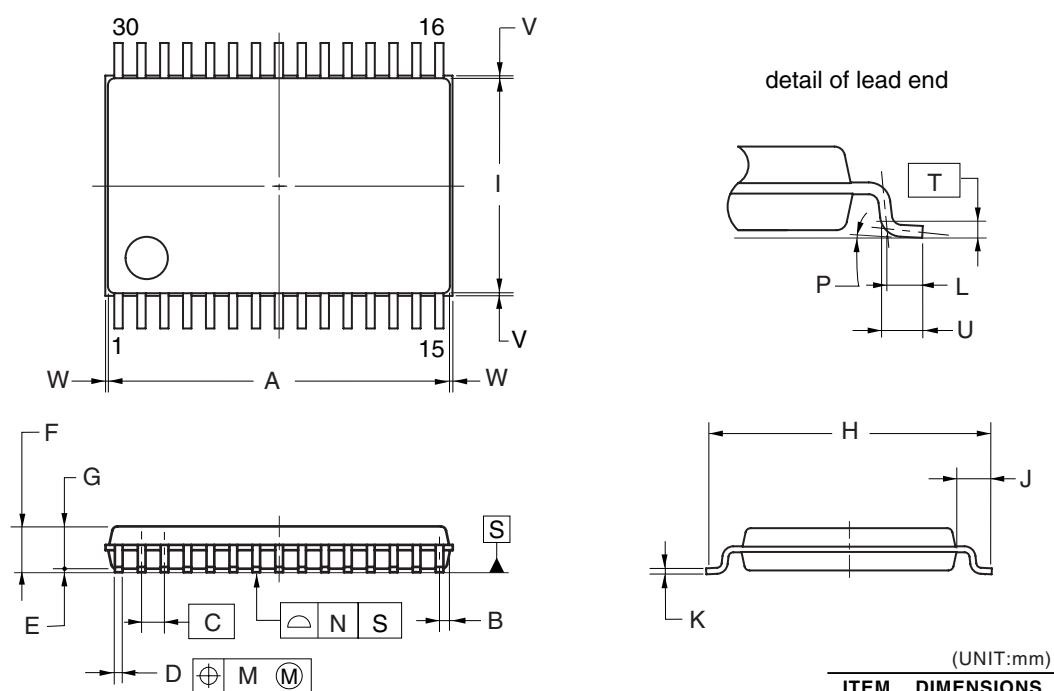
30ピン・プラスチック・SSOP (7.62 mm (300)) 外形図 (単位 : mm)



S30MC-65-5A4-2

- μ PD78F0500MC(A)-CAB-AX, 78F0501MC(A)-CAB-AX, 78F0502MC(A)-CAB-AX, 78F0503MC(A)-CAB-AX
- μ PD78F0500MC(A2)-CAB-AX, 78F0501MC(A2)-CAB-AX, 78F0502MC(A2)-CAB-AX, 78F0503MC(A2)-CAB-AX
- μ PD78F0500AMC-CAB-AX, 78F0501AMC-CAB-AX, 78F0502AMC-CAB-AX, 78F0503AMC-CAB-AX, 78F0503DAMC-CAB-AX
- μ PD78F0500AMCA-CAB-G, 78F0501AMCA-CAB-G, 78F0502AMCA-CAB-G, 78F0503AMCA-CAB-G
- μ PD78F0500AMCA2-CAB-G, 78F0501AMCA2-CAB-G, 78F0502AMCA2-CAB-G, 78F0503AMCA2-CAB-G

30-PIN PLASTIC SSOP (7.62mm (300))



NOTE

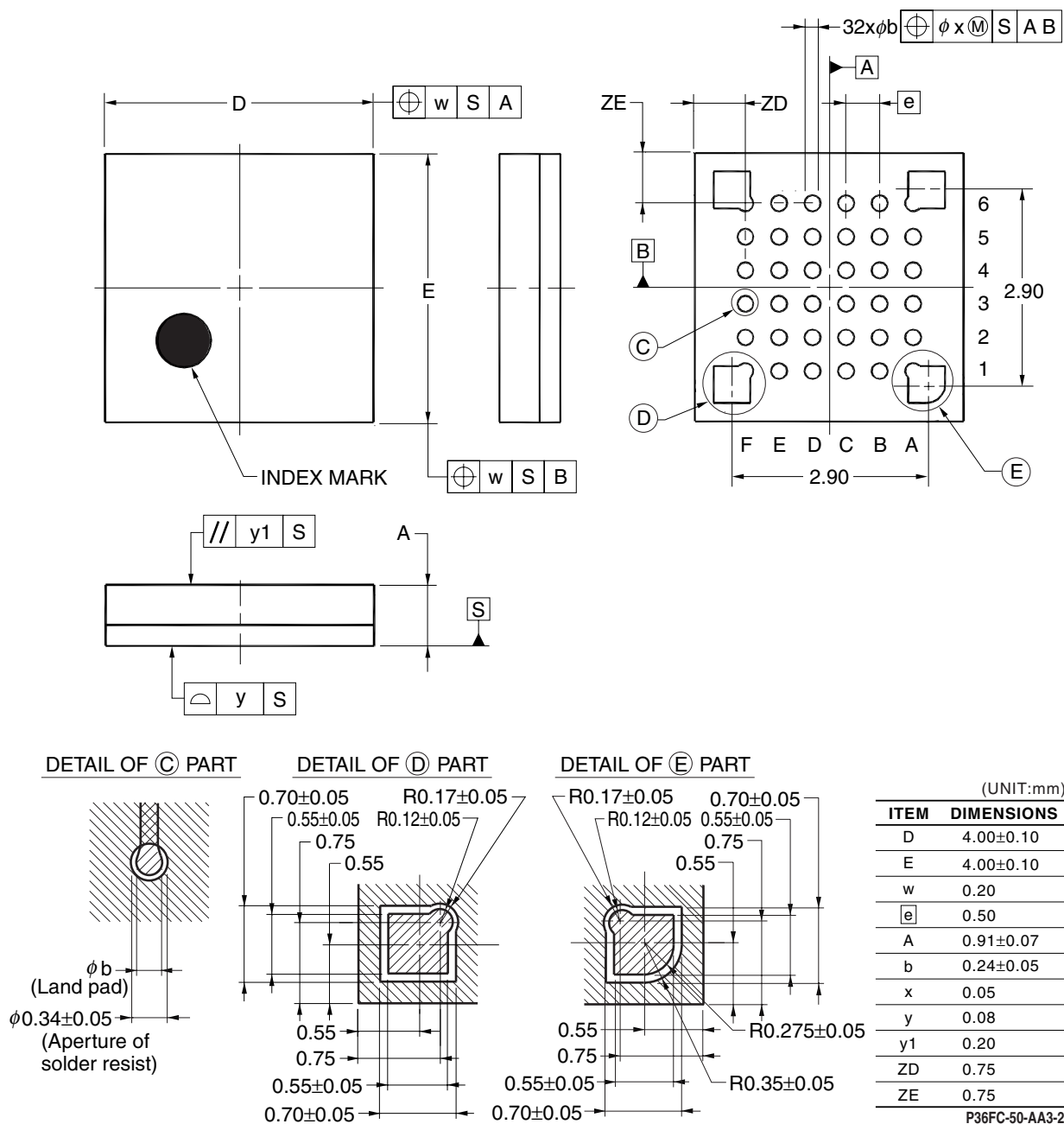
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P30MC-65-CAB

- μ PD78F0500FC-AA3-A, 78F0501FC-AA3-A, 78F0502FC-AA3-A, 78F0503FC-AA3-A, 78F0503DFC-AA3-A
- μ PD78F0500AFC-AA3-A, 78F0501AFC-AA3-A, 78F0502AFC-AA3-A, 78F0503AFC-AA3-A, 78F0503DAFC-AA3-A

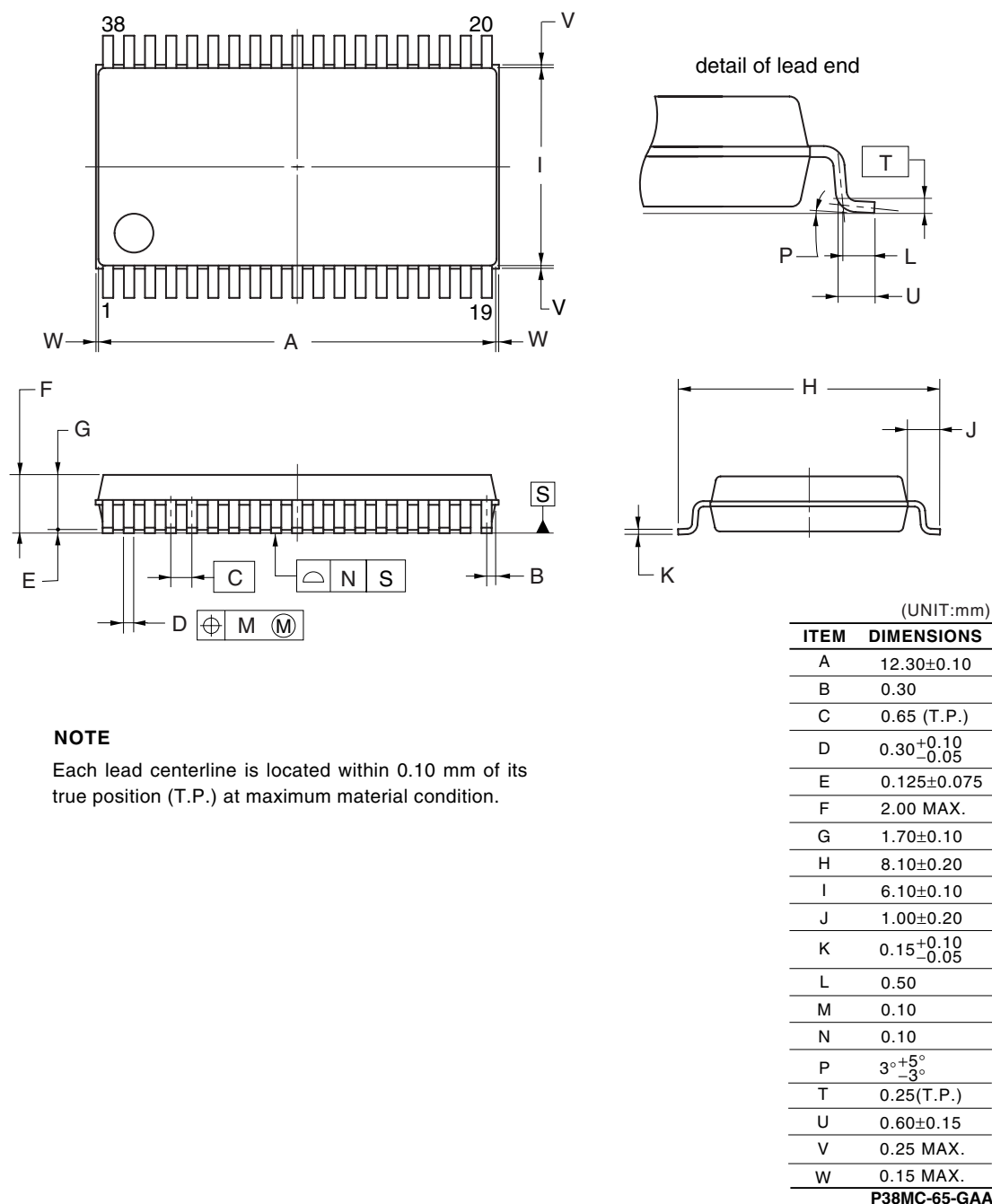
36-PIN PLASTIC FLGA (4x4)



34.2 78K0/KC2

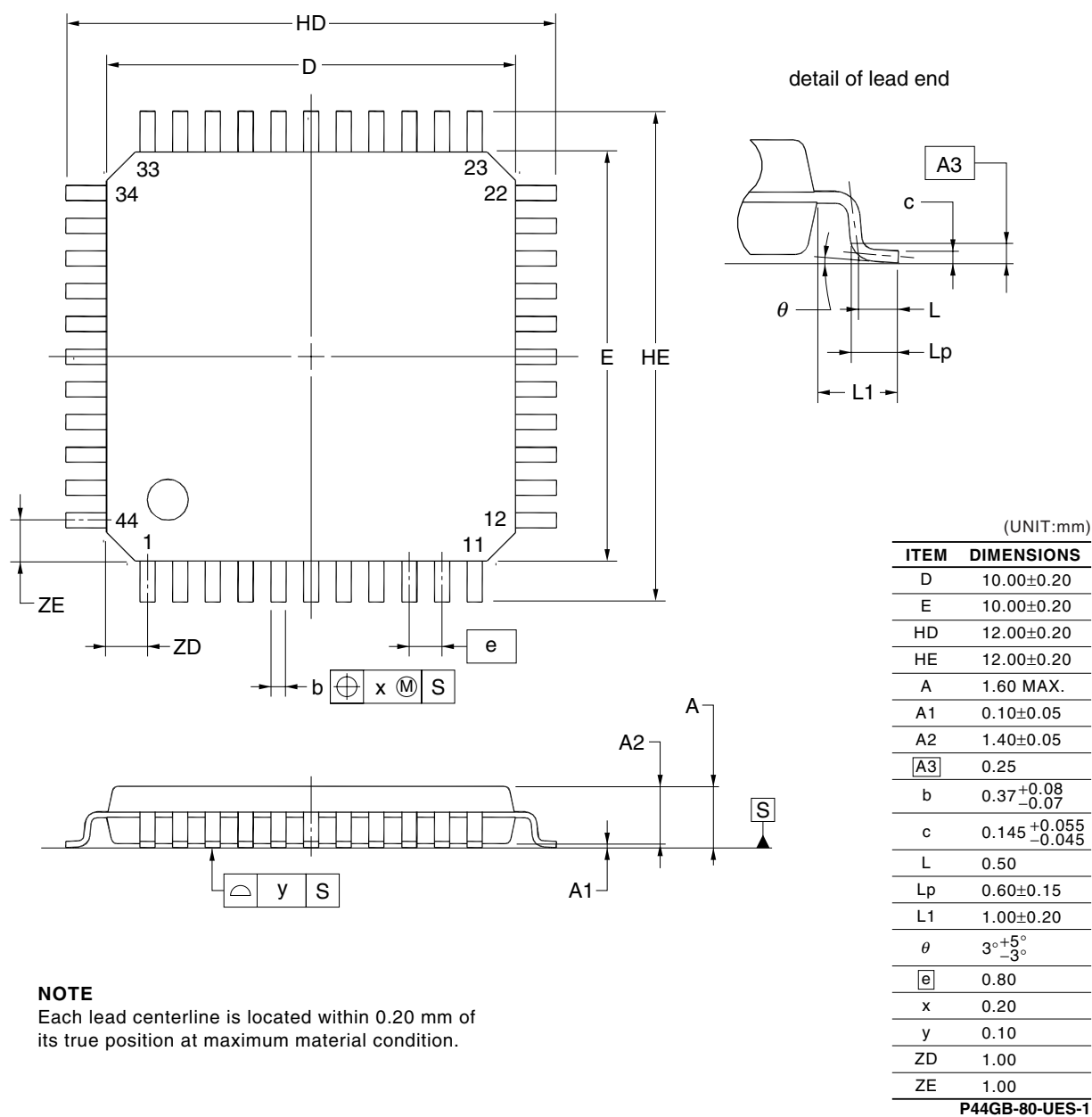
- μ PD78F0511AMC-GAA-AX, 78F0512AMC-GAA-AX, 78F0513AMC-GAA-AX, 78F0513DAMC-GAA-AX
- μ PD78F0511AMCA-GAA-G, 78F0512AMCA-GAA-G, 78F0513AMCA-GAA-G
- μ PD78F0511AMCA2-GAA-G, 78F0512AMCA2-GAA-G, 78F0513AMCA2-GAA-G

38-PIN PLASTIC SSOP (7.62mm (300))



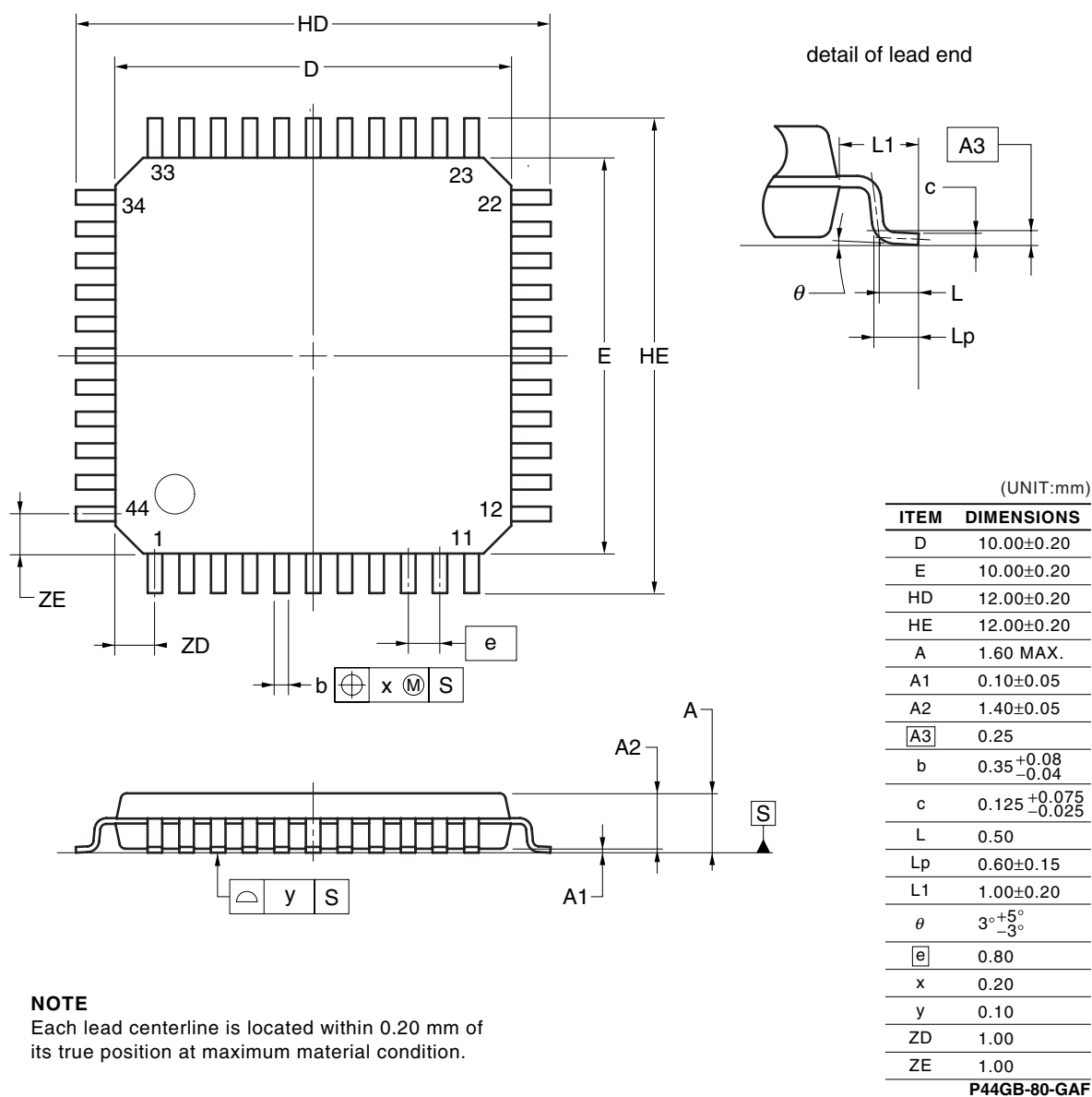
• μ PD78F0511GB-UES-A, 78F0512GB-UES-A, 78F0513GB-UES-A, 78F0513DGB-UES-A

44-PIN PLASTIC LQFP(10x10)



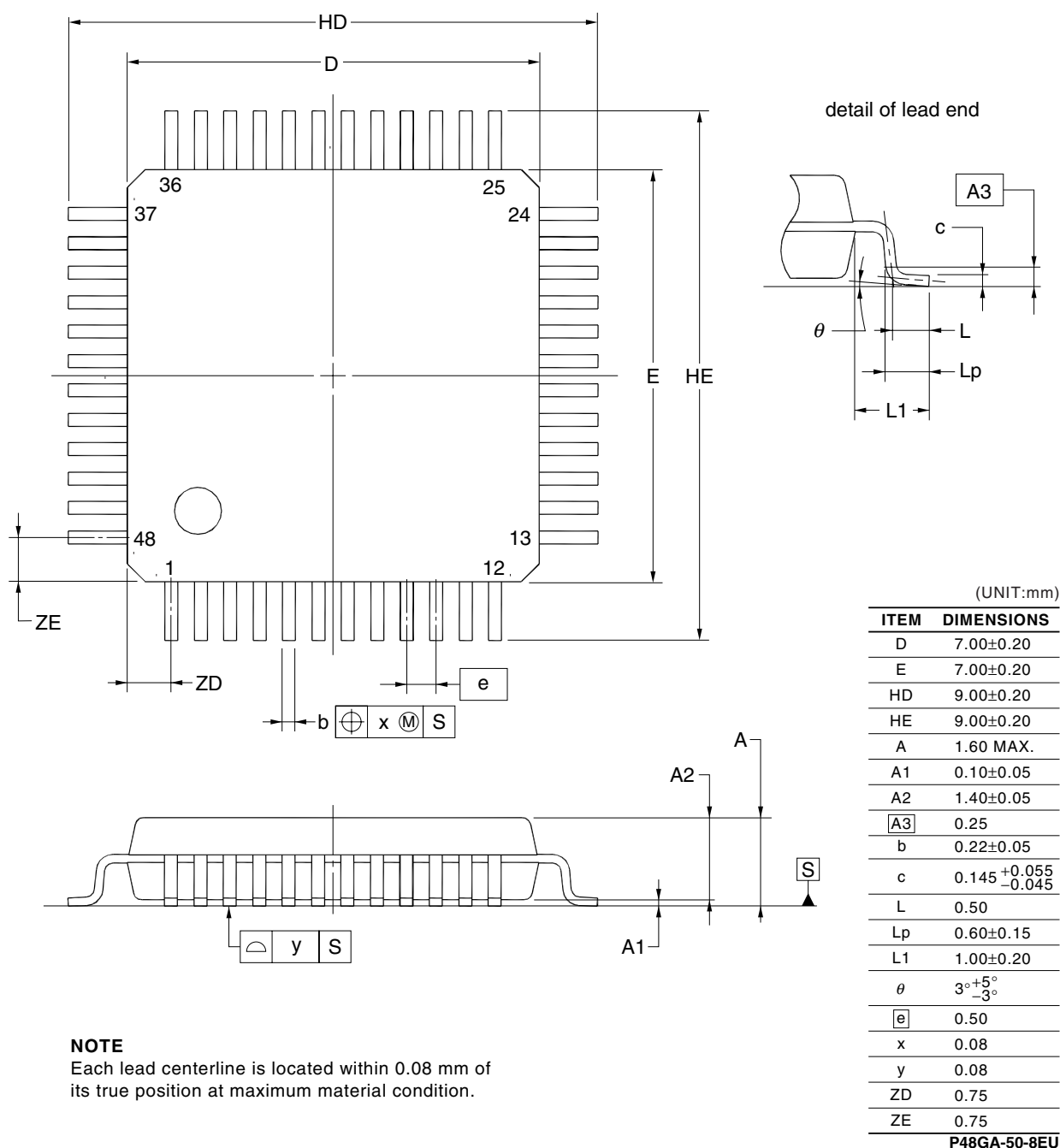
- μ PD78F0511GB(A)-GAF-AX, 78F0512GB(A)-GAF-AX, 78F0513GB(A)-GAF-AX
- μ PD78F0511GB(A2)-GAF-AX, 78F0512GB(A2)-GAF-AX, 78F0513GB(A2)-GAF-AX
- μ PD78F0511AGB-GAF-AX, 78F0512AGB-GAF-AX, 78F0513AGB-GAF-AX, 78F0513DAGB-GAF-AX
- μ PD78F0511AGBA-GAF-G, 78F0512AGBA-GAF-G, 78F0513AGBA-GAF-G
- μ PD78F0511AGBA2-GAF-G, 78F0512AGBA2-GAF-G, 78F0513AGBA2-GAF-G

44-PIN PLASTIC LQFP (10x10)



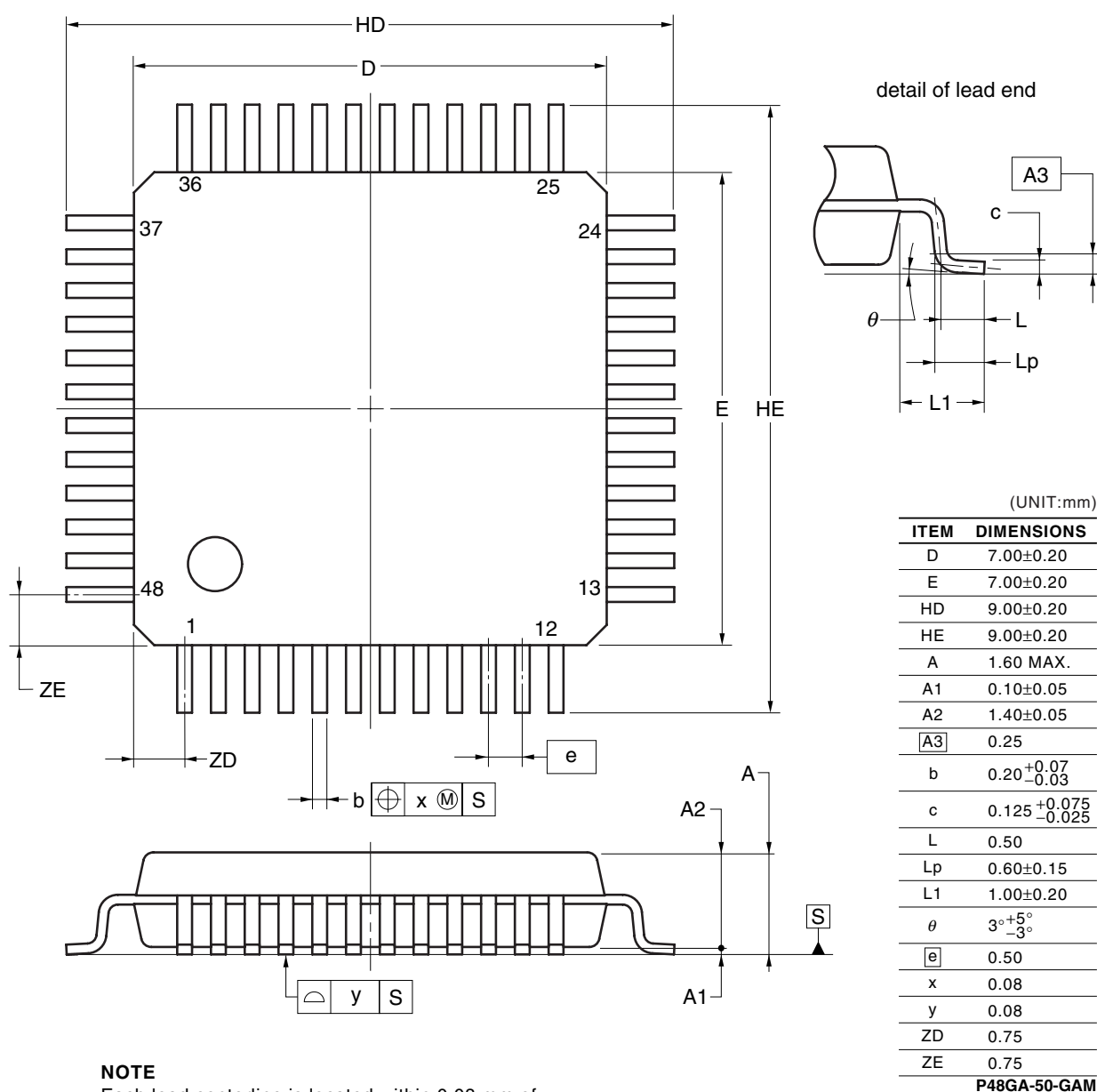
• μ PD78F0511GA-8EU-A, 78F0512GA-8EU-A, 78F0513GA-8EU-A, 78F0514GA-8EU-A, 78F0515GA-8EU-A,
78F0515DGA-8EU-A

48ピン・プラスチック LQFP (ファインピッチ) (7x7) 外形図



- μ PD78F0511GA(A)-GAM-AX, 78F0512GA(A)-GAM-AX, 78F0513GA(A)-GAM-AX, 78F0514GA(A)-GAM-AX, 78F0515GA(A)-GAM-AX
- μ PD78F0511GA(A2)-GAM-AX, 78F0512GA(A2)-GAM-AX, 78F0513GA(A2)-GAM-AX, 78F0514GA(A2)-GAM-AX, 78F0515GA(A2)-GAM-AX
- μ PD78F0511AGA-GAM-AX, 78F0512AGA-GAM-AX, 78F0513AGA-GAM-AX, 78F0514AGA-GAM-AX, 78F0515AGA-GAM-AX, 78F0515DAGA-GAM-AX
- μ PD78F0511AGAA-GAM-G, 78F0512AGAA-GAM-G, 78F0513AGAA-GAM-G, 78F0514AGAA-GAM-G, 78F0515AGAA-GAM-G
- μ PD78F0511AGAA2-GAM-G, 78F0512AGAA2-GAM-G, 78F0513AGAA2-GAM-G, 78F0514AGAA2-GAM-G, 78F0515AGAA2-GAM-G

48-PIN PLASTIC LQFP (FINE PITCH) (7x7)



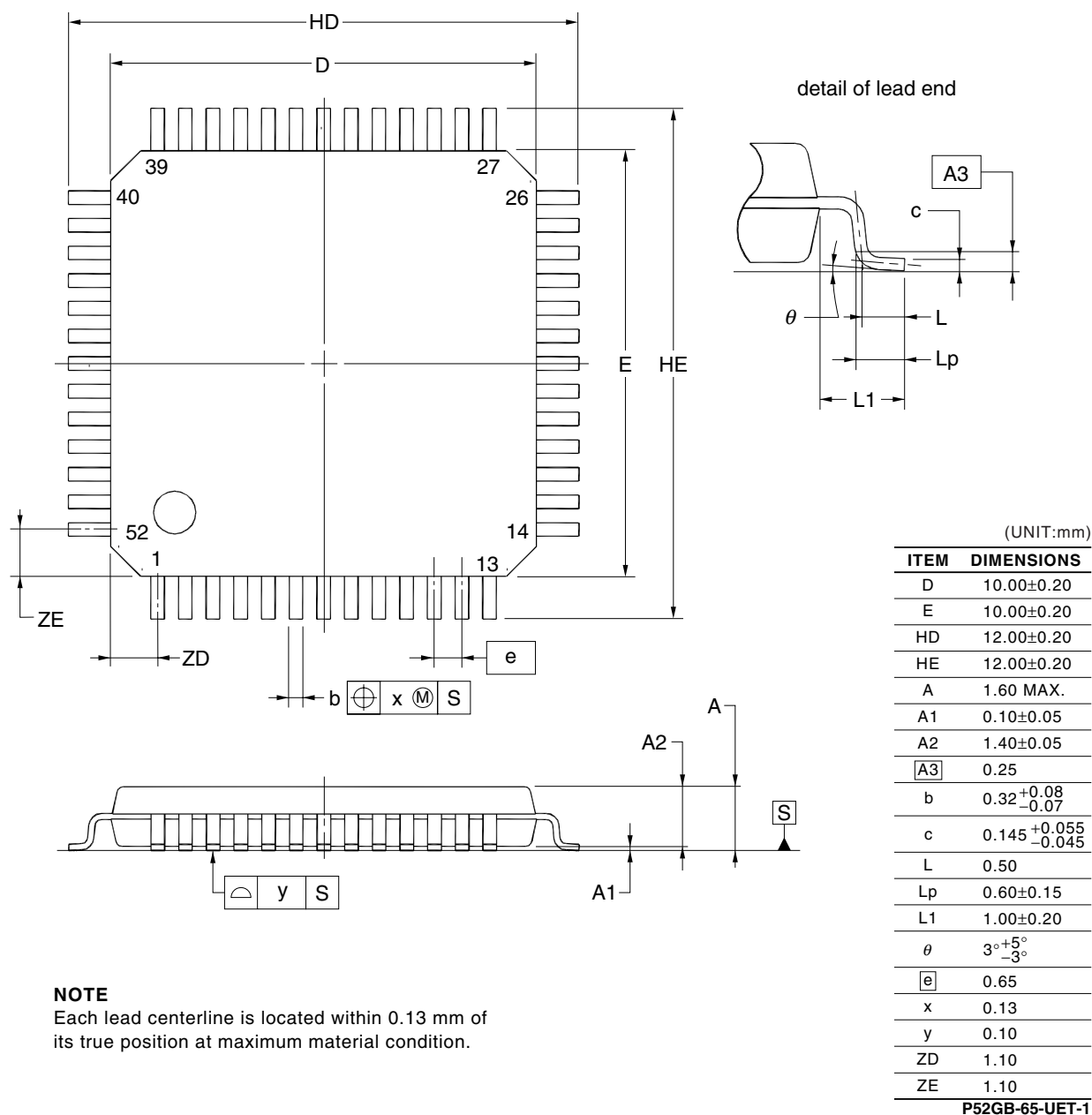
NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

34.3 78K0/KD2

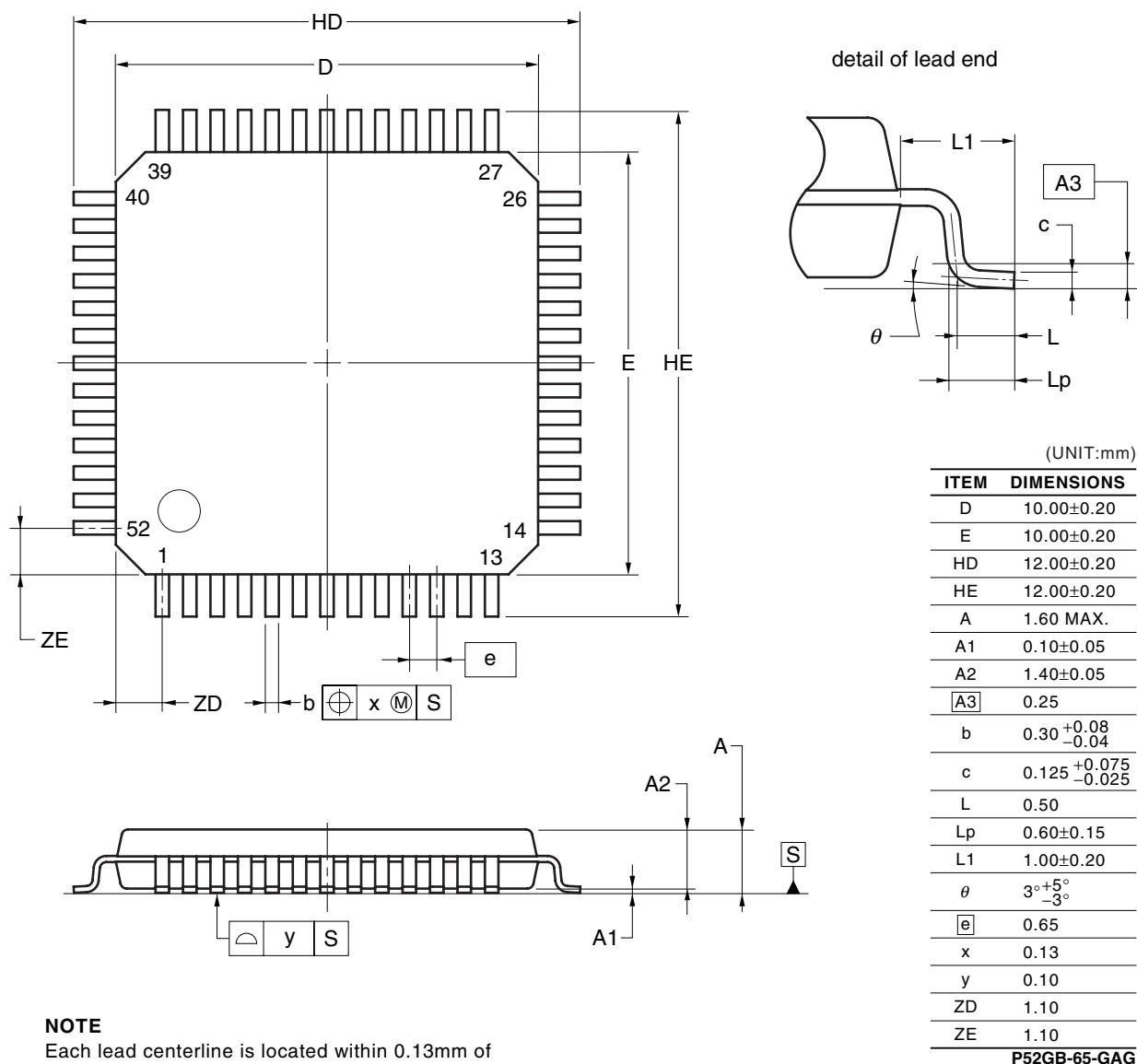
- μ PD78F0521GB-UET-A, 78F0522GB-UET-A, 78F0523GB-UET-A, 78F0524GB-UET-A, 78F0525GB-UET-A, 78F0526GB-UET-A, 78F0527GB-UET-A, 78F0527DGB-UET-A

52ピン・プラスチック LQFP (10x10) 外形図



- μ PD78F0521GB(A)-GAG-AX, 78F0522GB(A)-GAG-AX, 78F0523GB(A)-GAG-AX, 78F0524GB(A)-GAG-AX, 78F0525GB(A)-GAG-AX, 78F0526GB(A)-GAG-AX, 78F0527GB(A)-GAG-AX
- μ PD78F0521GB(A2)-GAG-AX, 78F0522GB(A2)-GAG-AX, 78F0523GB(A2)-GAG-AX, 78F0524GB(A2)-GAG-AX, 78F0525GB(A2)-GAG-AX, 78F0526GB(A2)-GAG-AX, 78F0527GB(A2)-GAG-AX
- μ PD78F0521AGB-GAG-AX, 78F0522AGB-GAG-AX, 78F0523AGB-GAG-AX, 78F0524AGB-GAG-AX, 78F0525AGB-GAG-AX, 78F0526AGB-GAG-AX, 78F0527AGB-GAG-AX, 78F0527DAGB-GAG-AX
- μ PD78F0521AGBA-GAG-G, 78F0522AGBA-GAG-G, 78F0523AGBA-GAG-G, 78F0524AGBA-GAG-G, 78F0525AGBA-GAG-G, 78F0526AGBA-GAG-G, 78F0527AGBA-GAG-G
- μ PD78F0521AGBA2-GAG-G, 78F0522AGBA2-GAG-G, 78F0523AGBA2-GAG-G, 78F0524AGBA2-GAG-G, 78F0525AGBA2-GAG-G, 78F0526AGBA2-GAG-G, 78F0527AGBA2-GAG-G

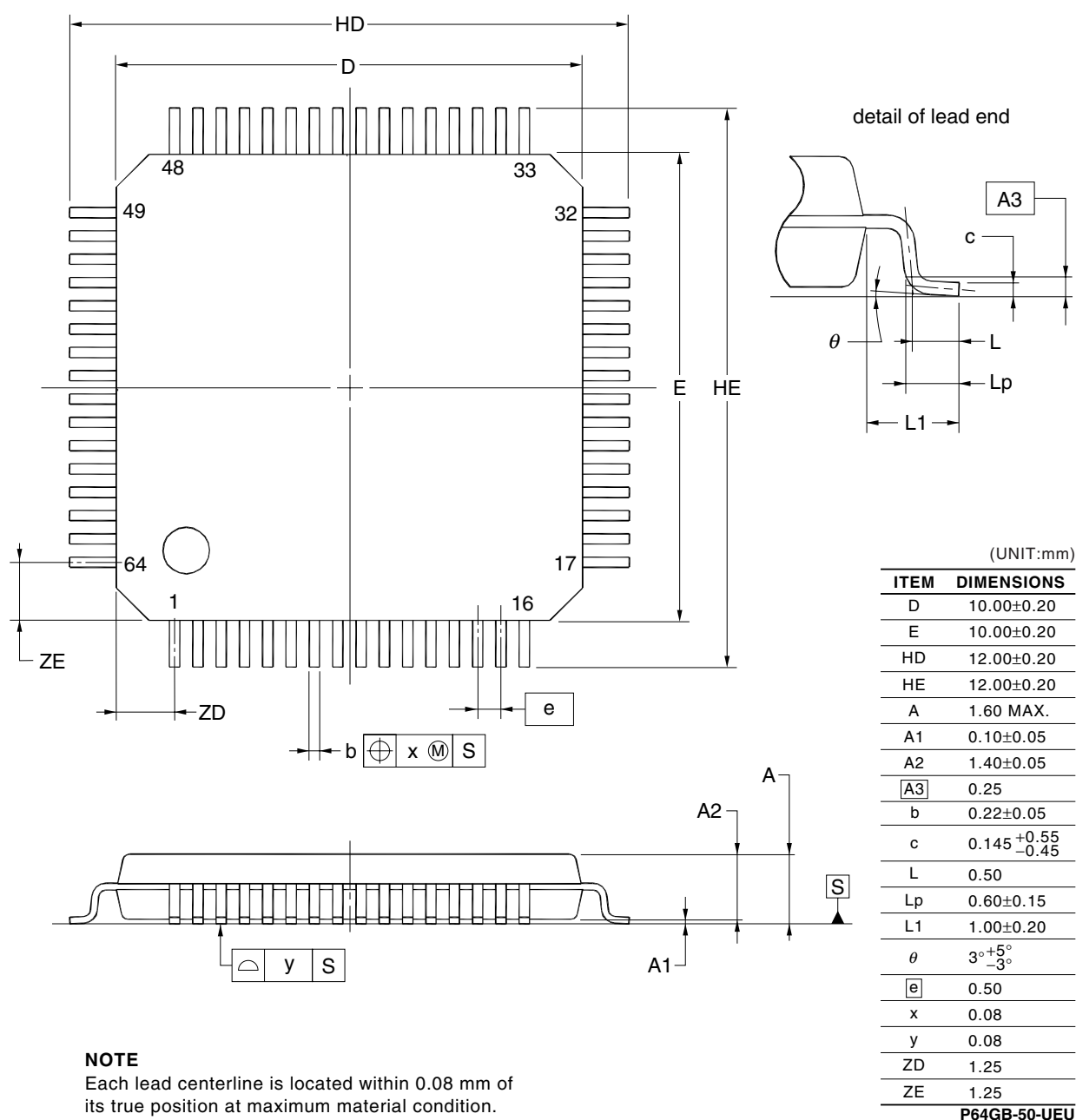
52-PIN PLASTIC LQFP (10x10)



34.4 78K0/KE2

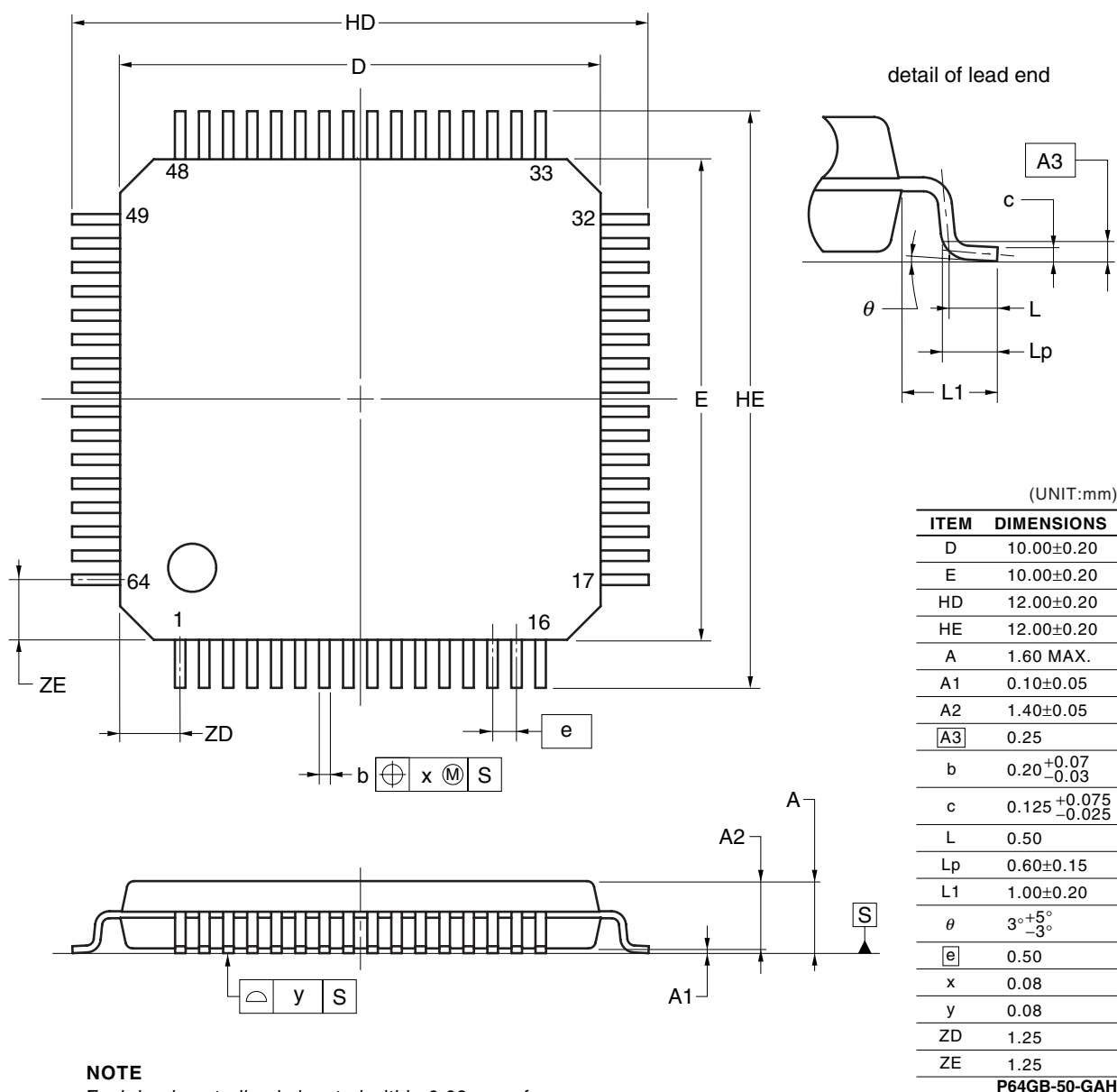
- μ PD78F0531GB-UEU-A, 78F0532GB-UEU-A, 78F0533GB-UEU-A, 78F0534GB-UEU-A, 78F0535GB-UEU-A, 78F0536GB-UEU-A, 78F0537GB-UEU-A, 78F0537DGB-UEU-A

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



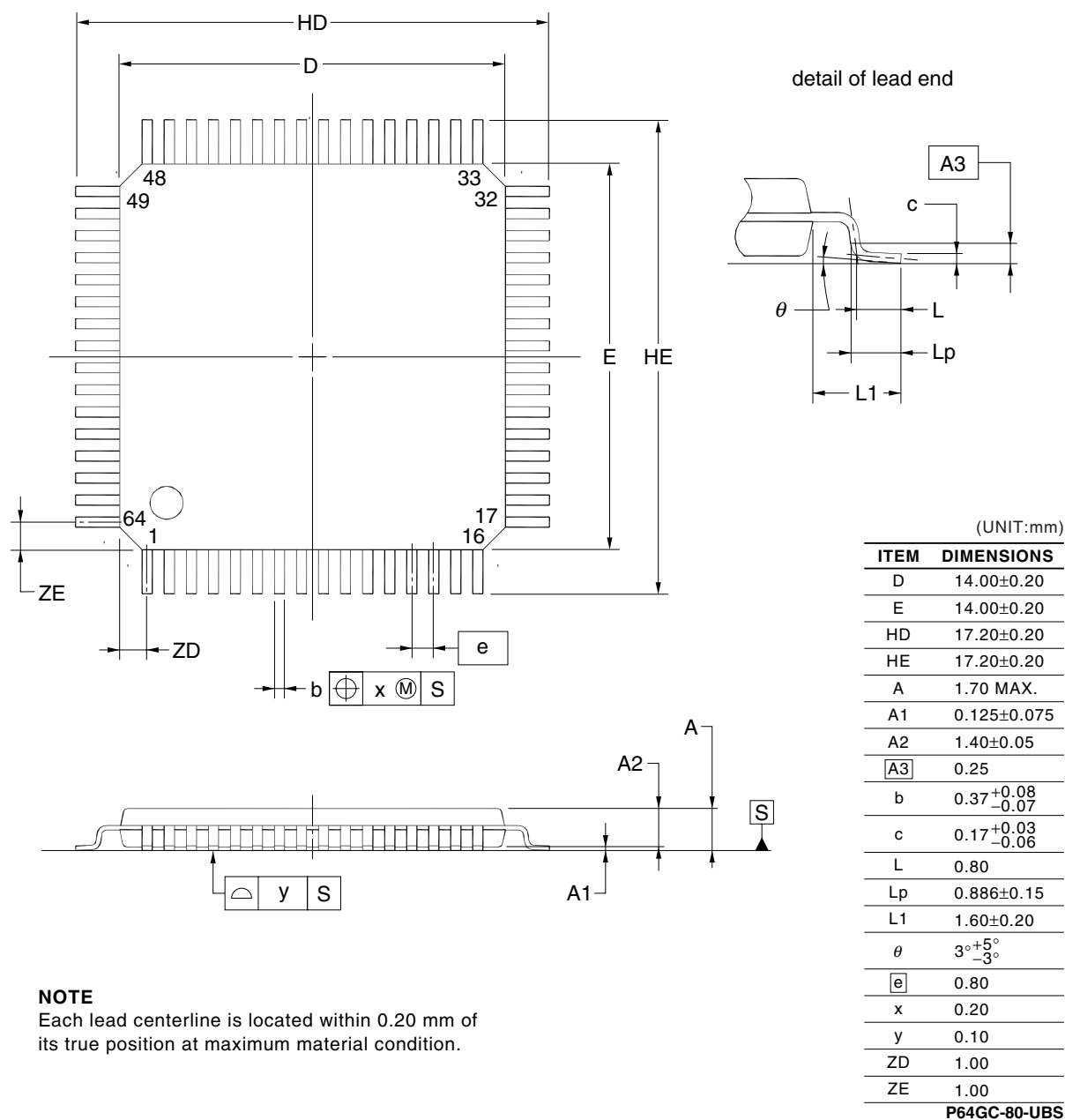
- μ PD78F0531GB(A)-GAH-AX, 78F0532GB(A)-GAH-AX, 78F0533GB(A)-GAH-AX, 78F0534GB(A)-GAH-AX, 78F0535GB(A)-GAH-AX, 78F0536GB(A)-GAH-AX, 78F0537GB(A)-GAH-AX
- μ PD78F0531GB(A2)-GAH-AX, 78F0532GB(A2)-GAH-AX, 78F0533GB(A2)-GAH-AX, 78F0534GB(A2)-GAH-AX, 78F0535GB(A2)-GAH-AX, 78F0536GB(A2)-GAH-AX, 78F0537GB(A2)-GAH-AX
- μ PD78F0531AGB-GAH-AX, 78F0532AGB-GAH-AX, 78F0533AGB-GAH-AX, 78F0534AGB-GAH-AX, 78F0535AGB-GAH-AX, 78F0536AGB-GAH-AX, 78F0537AGB-GAH-AX, 78F0537DAGB-GAH-AX
- μ PD78F0531AGBA-GAH-G, 78F0532AGBA-GAH-G, 78F0533AGBA-GAH-G, 78F0534AGBA-GAH-G, 78F0535AGBA-GAH-G, 78F0536AGBA-GAH-G, 78F0537AGBA-GAH-G
- μ PD78F0531AGBA2-GAH-G, 78F0532AGBA2-GAH-G, 78F0533AGBA2-GAH-G, 78F0534AGBA2-GAH-G, 78F0535AGBA2-GAH-G, 78F0536AGBA2-GAH-G, 78F0537AGBA2-GAH-G

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



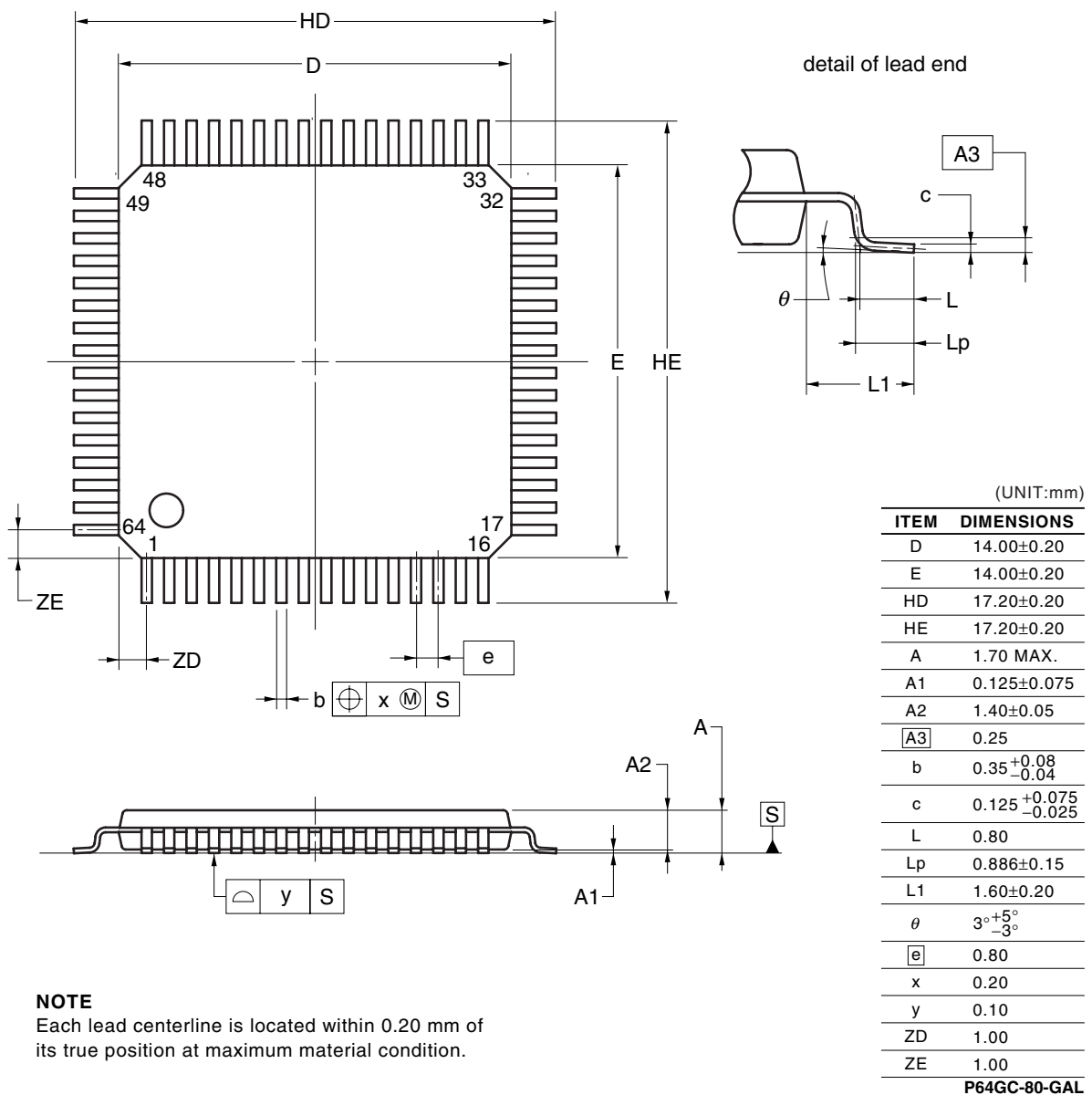
• μ PD78F0531GC-UBS-A, 78F0532GC-UBS-A, 78F0533GC-UBS-A, 78F0534GC-UBS-A, 78F0535GC-UBS-A,
78F0536GC-UBS-A, 78F0537GC-UBS-A, 78F0537DGC-UBS-A

64ピン・プラスチック LQFP (14x14) 外形図



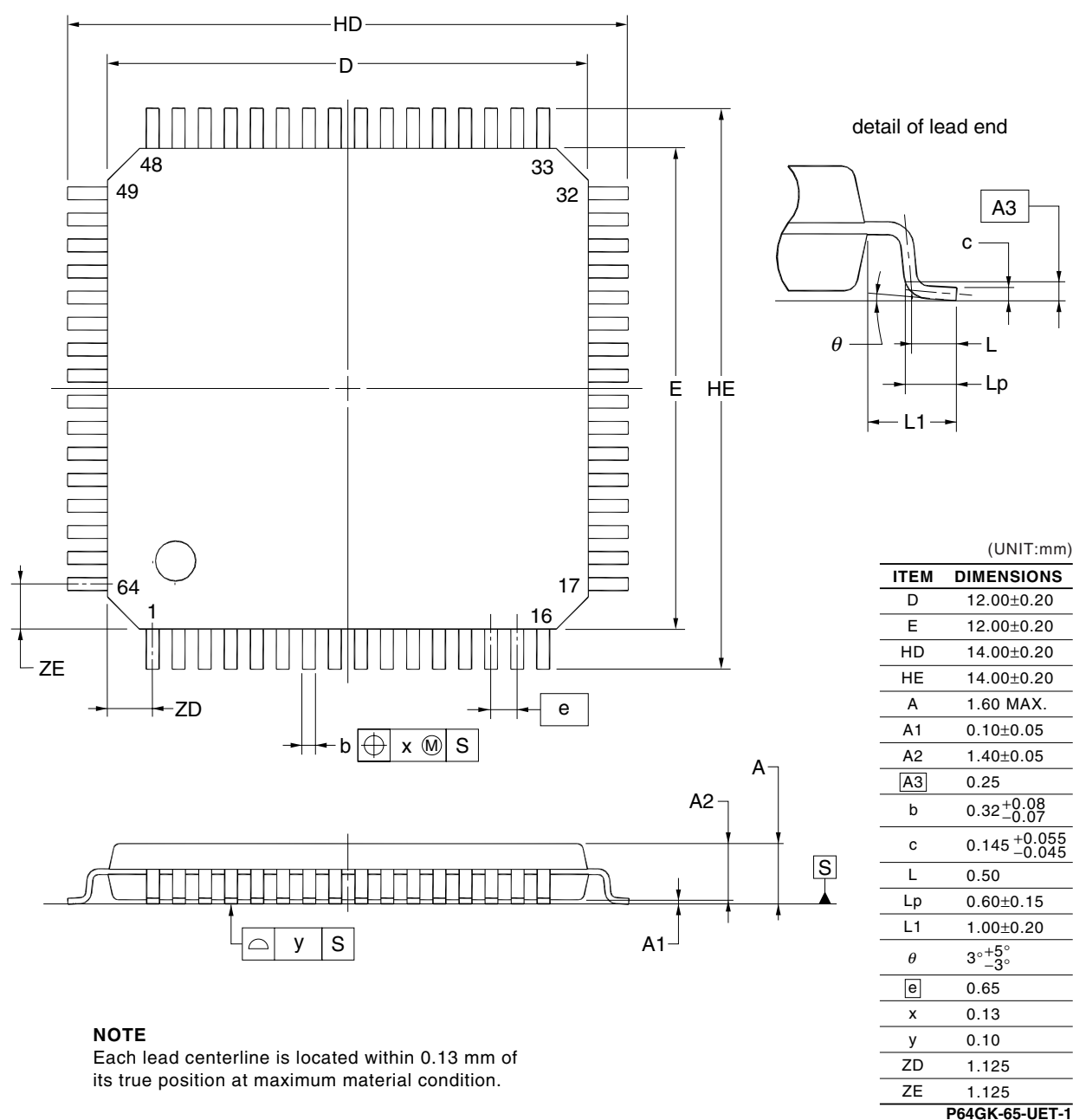
- μ PD78F0531GC(A)-GAL-AX, 78F0532GC(A)-GAL-AX, 78F0533GC(A)-GAL-AX, 78F0534GC(A)-GAL-AX, 78F0535GC(A)-GAL-AX, 78F0536GC(A)-GAL-AX, 78F0537GC(A)-GAL-AX
- μ PD78F0531GC(A2)-GAL-AX, 78F0532GC(A2)-GAL-AX, 78F0533GC(A2)-GAL-AX, 78F0534GC(A2)-GAL-AX, 78F0535GC(A2)-GAL-AX, 78F0536GC(A2)-GAL-AX, 78F0537GC(A2)-GAL-AX
- μ PD78F0531AGC-GAL-AX, 78F0532AGC-GAL-AX, 78F0533AGC-GAL-AX, 78F0534AGC-GAL-AX, 78F0535AGC-GAL-AX, 78F0536AGC-GAL-AX, 78F0537AGC-GAL-AX, 78F0537DAGC-GAL-AX
- μ PD78F0531AGCA-GAL-G, 78F0532AGCA-GAL-G, 78F0533AGCA-GAL-G, 78F0534AGCA-GAL-G, 78F0535AGCA-GAL-G, 78F0536AGCA-GAL-G, 78F0537AGCA-GAL-G
- μ PD78F0531AGCA2-GAL-G, 78F0532AGCA2-GAL-G, 78F0533AGCA2-GAL-G, 78F0534AGCA2-GAL-G, 78F0535AGCA2-GAL-G, 78F0536AGCA2-GAL-G, 78F0537AGCA2-GAL-G

64-PIN PLASTIC LQFP (14x14)



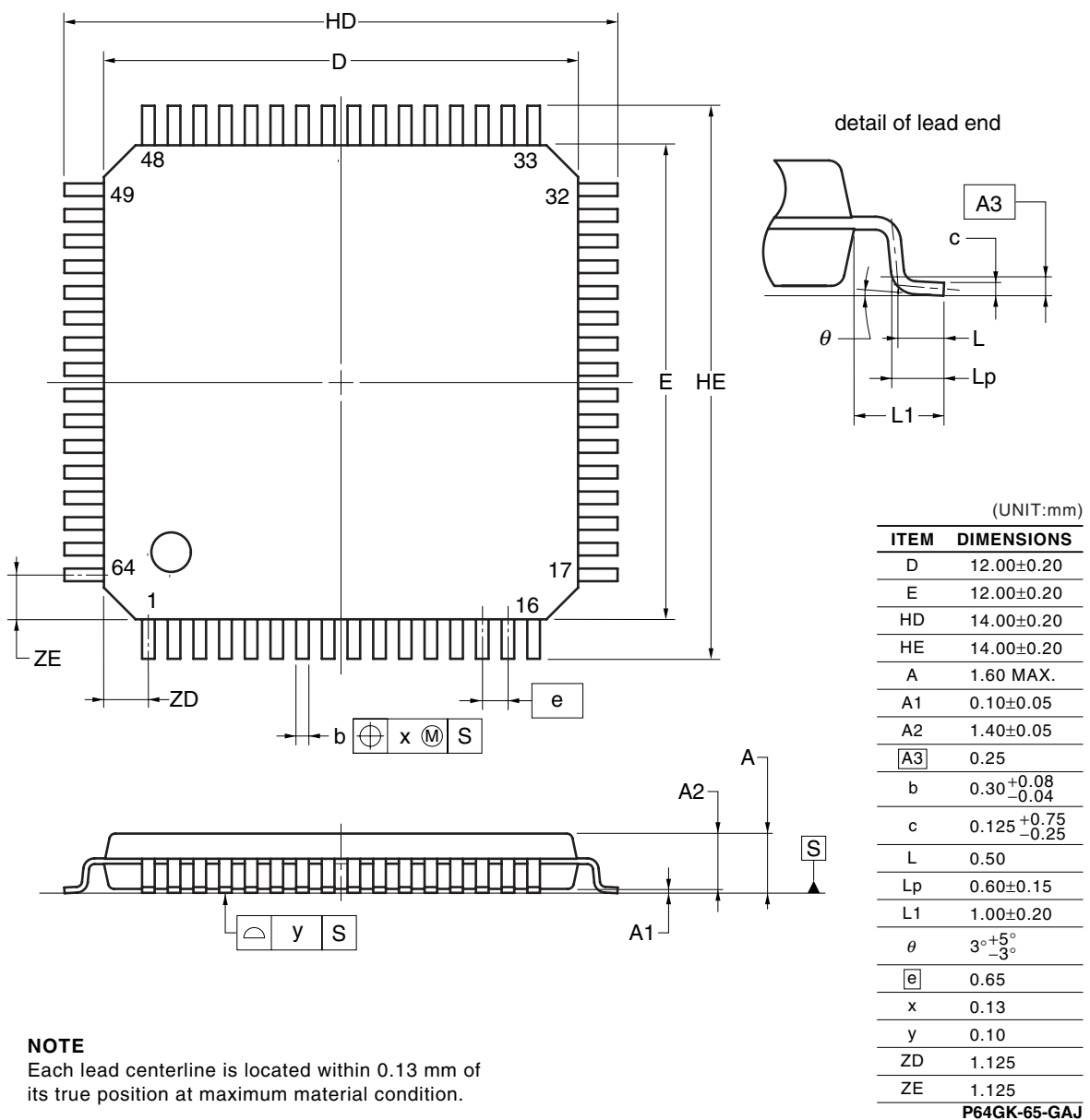
• μ PD78F0531GK-UET-A, 78F0532GK-UET-A, 78F0533GK-UET-A, 78F0534GK-UET-A, 78F0535GK-UET-A, 78F0536GK-UET-A, 78F0537GK-UET-A, 78F0537DGK-UET-A

64ピン・プラスチック LQFP (12x12) 外形図



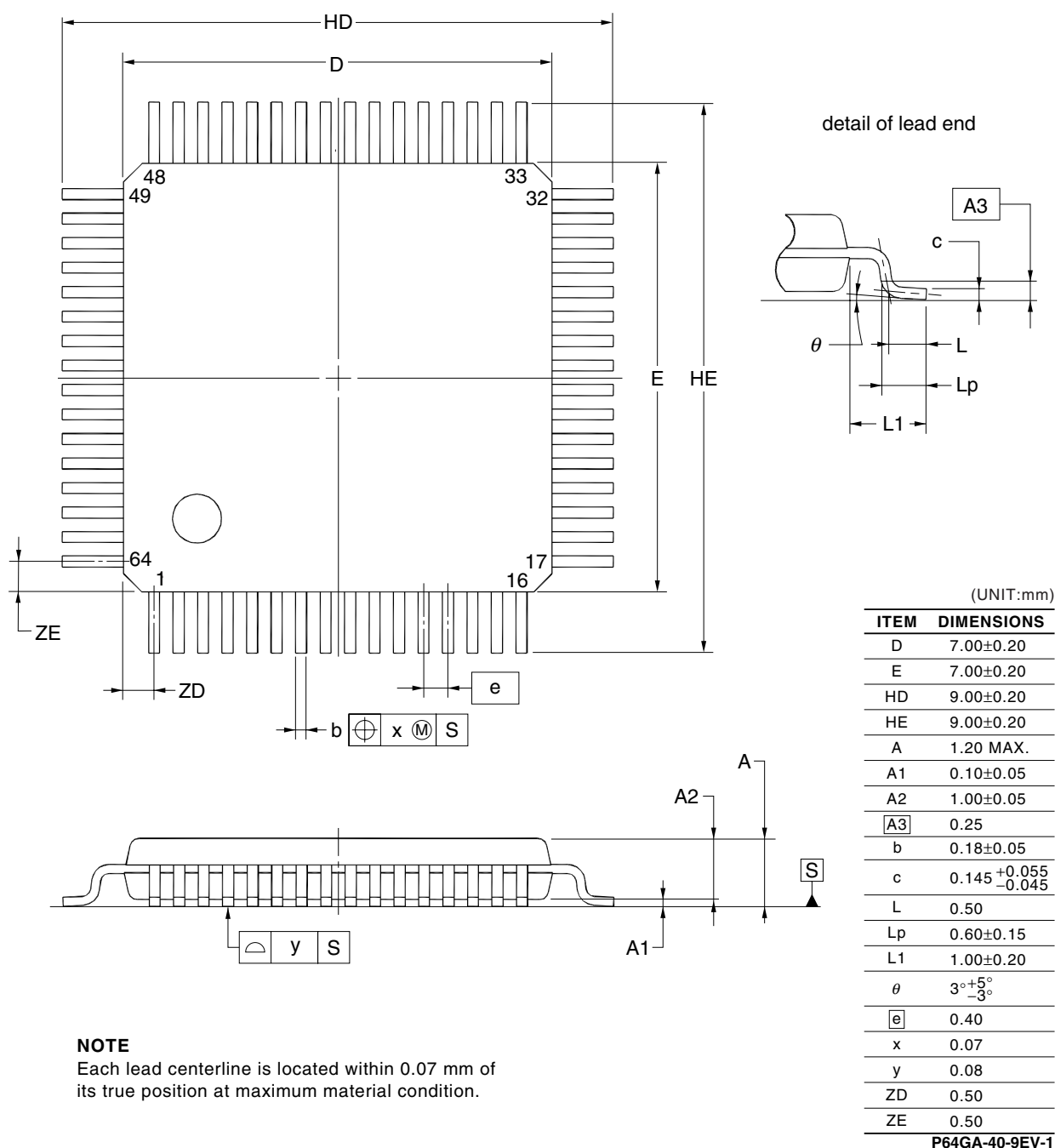
- μ PD78F0531GK(A)-GAJ-AX, 78F0532GK(A)-GAJ-AX, 78F0533GK(A)-GAJ-AX, 78F0534GK(A)-GAJ-AX, 78F0535GK(A)-GAJ-AX, 78F0536GK(A)-GAJ-AX, 78F0537GK(A)-GAJ-AX
- μ PD78F0531GK(A2)-GAJ-AX, 78F0532GK(A2)-GAJ-AX, 78F0533GK(A2)-GAJ-AX, 78F0534GK(A2)-GAJ-AX, 78F0535GK(A2)-GAJ-AX, 78F0536GK(A2)-GAJ-AX, 78F0537GK(A2)-GAJ-AX
- μ PD78F0531AGK-GAJ-AX, 78F0532AGK-GAJ-AX, 78F0533AGK-GAJ-AX, 78F0534AGK-GAJ-AX, 78F0535AGK-GAJ-AX, 78F0536AGK-GAJ-AX, 78F0537AGK-GAJ-AX, 78F0537DAGK-GAJ-AX
- μ PD78F0531AGKA-GAJ-G, 78F0532AGKA-GAJ-G, 78F0533AGKA-GAJ-G, 78F0534AGKA-GAJ-G, 78F0535AGKA-GAJ-G, 78F0536AGKA-GAJ-G, 78F0537AGKA-GAJ-G
- μ PD78F0531AGKA2-GAJ-G, 78F0532AGKA2-GAJ-G, 78F0533AGKA2-GAJ-G, 78F0534AGKA2-GAJ-G, 78F0535AGKA2-GAJ-G, 78F0536AGKA2-GAJ-G, 78F0537AGKA2-GAJ-G

64-PIN PLASTIC LQFP (12x12)



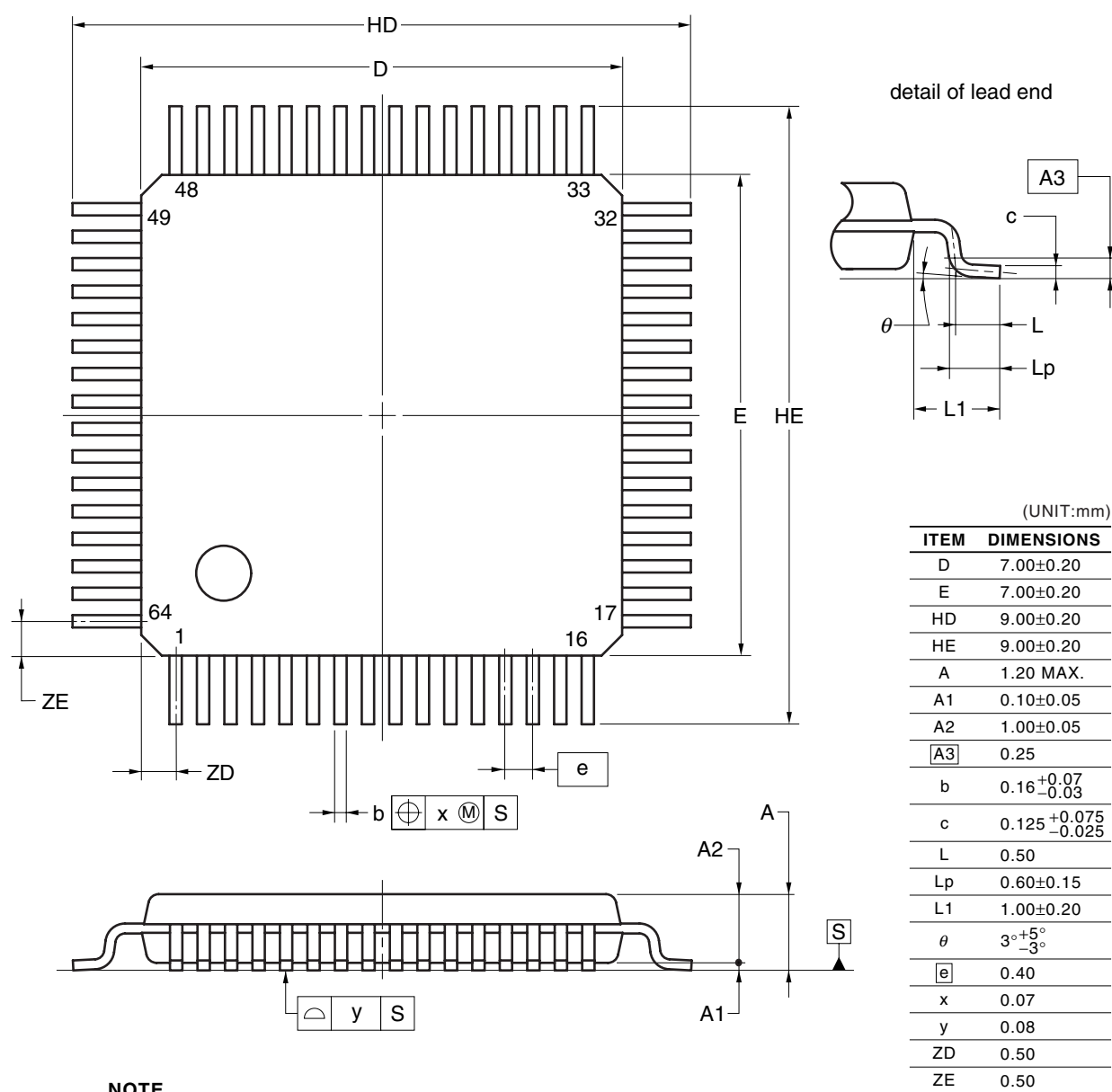
• μ PD78F0531GA-9EV-A, 78F0532GA-9EV-A, 78F0533GA-9EV-A, 78F0534GA-9EV-A, 78F0535GA-9EV-A,
78F0536GA-9EV-A, 78F0537GA-9EV-A, 78F0537DGA-9EV-A

64ピン・プラスチック TQFP (ファインピッチ) (7x7) 外形図



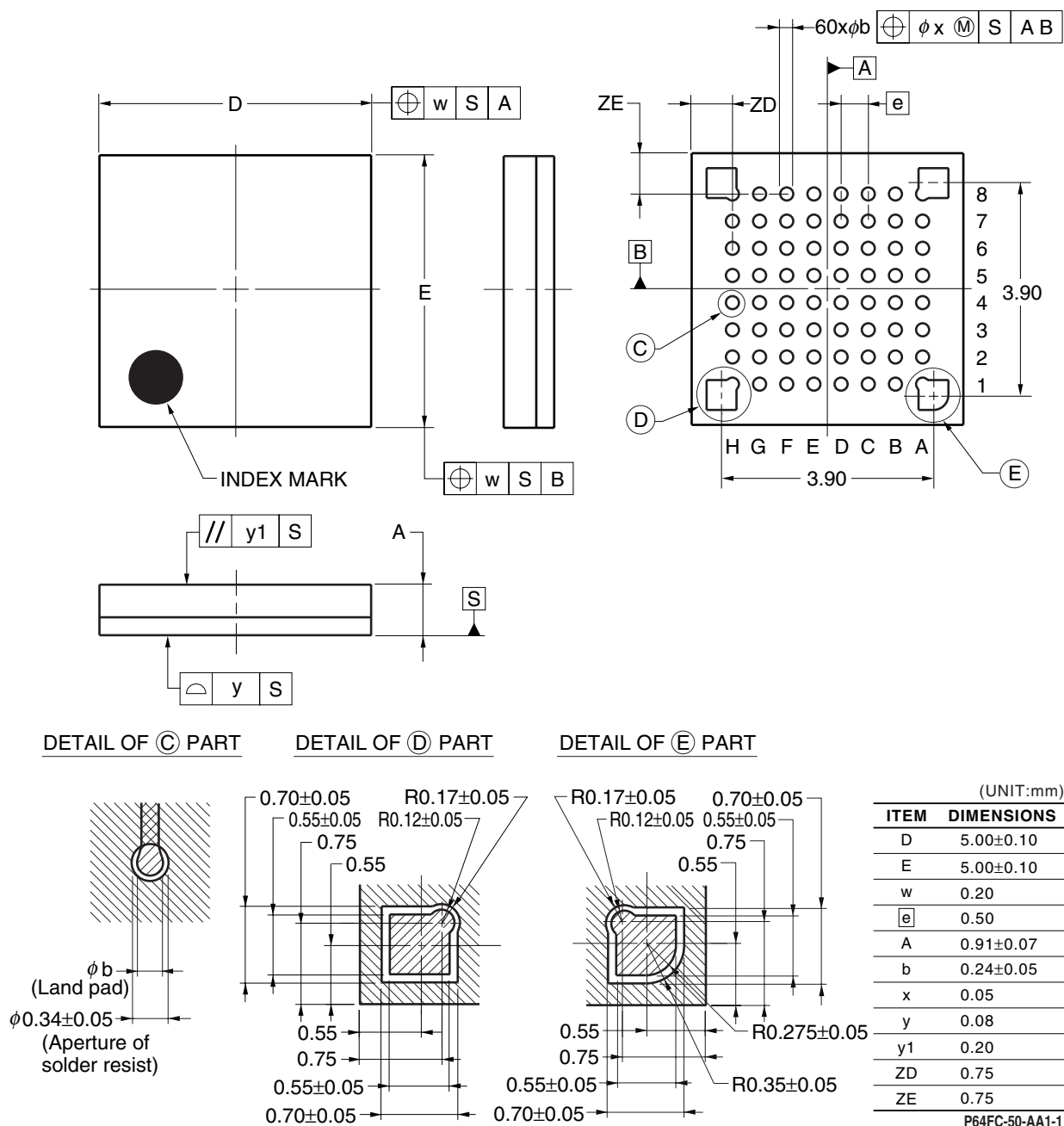
• μ PD78F0531AGA-HAB-AX, 78F0532AGA-HAB-AX, 78F0533AGA-HAB-AX, 78F0534AGA-HAB-AX,
78F0535AGA-HAB-AX, 78F0536AGA-HAB-AX, 78F0537AGA-HAB-AX, 78F0537DAGA-HAB-AX

64-PIN PLASTIC TQFP (FINE PITCH) (7x7)



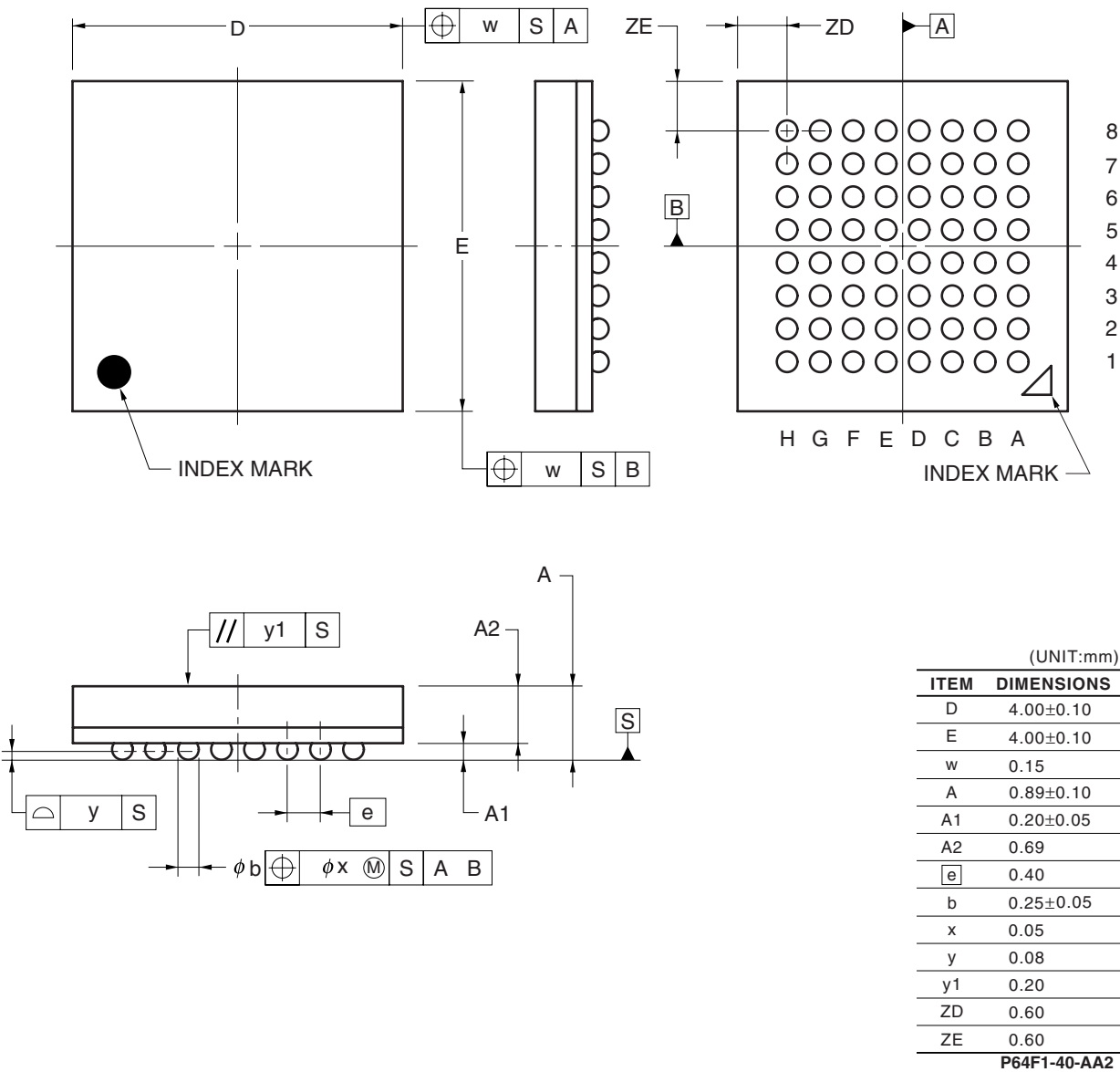
- μ PD78F0531FC-AA1-A, 78F0532FC-AA1-A, 78F0533FC-AA1-A, 78F0534FC-AA1-A, 78F0535FC-AA1-A, 78F0536FC-AA1-A, 78F0537FC-AA1-A, 78F0537DFC-AA1-A
- μ PD78F0531AFC-AA1-A, 78F0532AFC-AA1-A, 78F0533AFC-AA1-A, 78F0534AFC-AA1-A, 78F0535AFC-AA1-A, 78F0536AFC-AA1-A, 78F0537AFC-AA1-A, 78F0537DAFC-AA1-A

64ピン・プラスチック FLGA (5x5) 外形図



• μ PD78F0531AF1-AA2-A, 78F0532AF1-AA2-A, 78F0533AF1-AA2-A, 78F0534AF1-AA2-A, 78F0535AF1-AA2-A, 78F0536AF1-AA2-A, 78F0537AF1-AA2-A, 78F0537DAF1-AA2-A

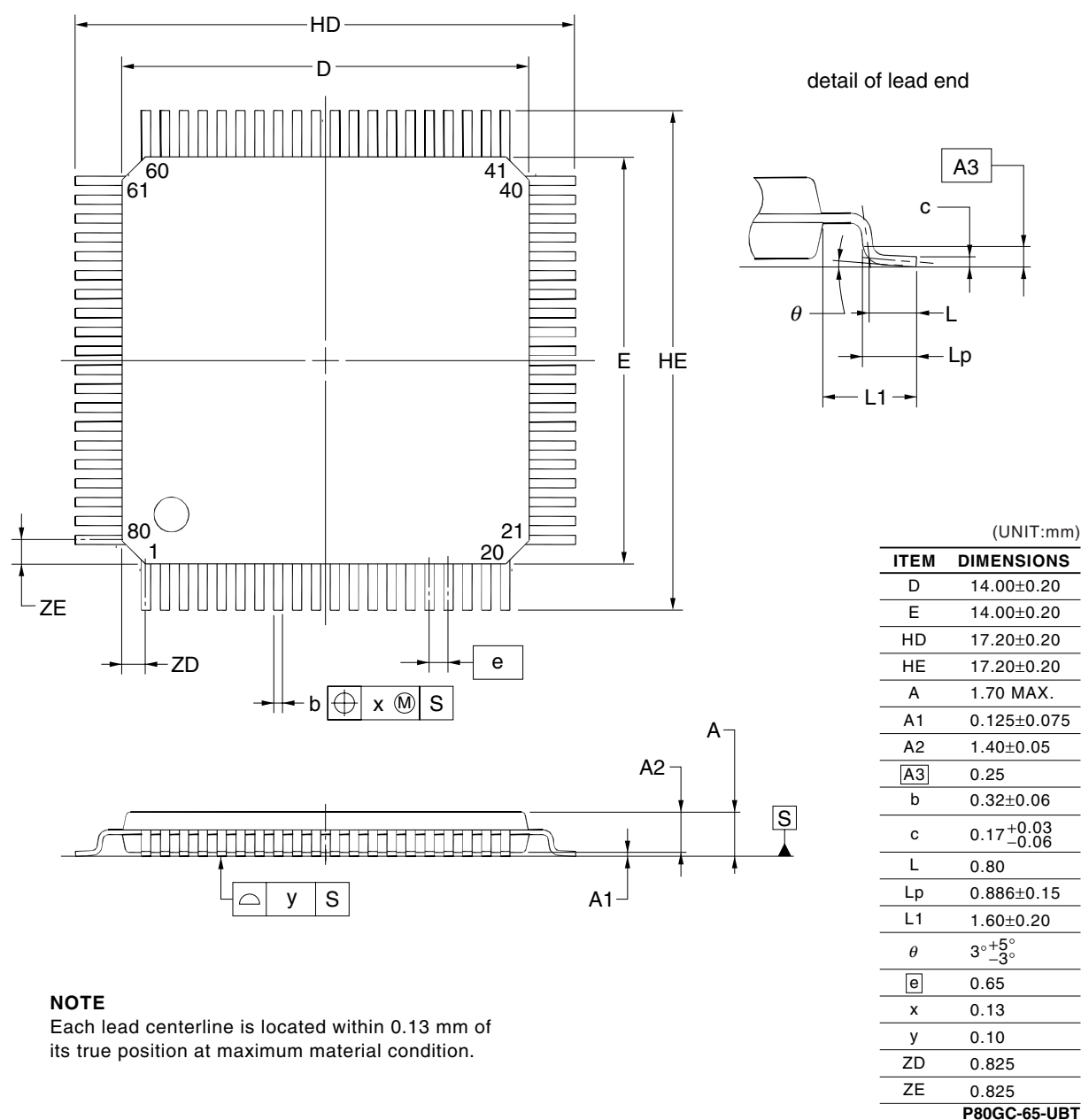
64-PIN PLASTIC FBGA (4x4)



34.5 78K0/KF2

• μ PD78F0544GC-UBT-A, 78F0545GC-UBT-A, 78F0546GC-UBT-A, 78F0547GC-UBT-A, 78F0547DGC-UBT-A

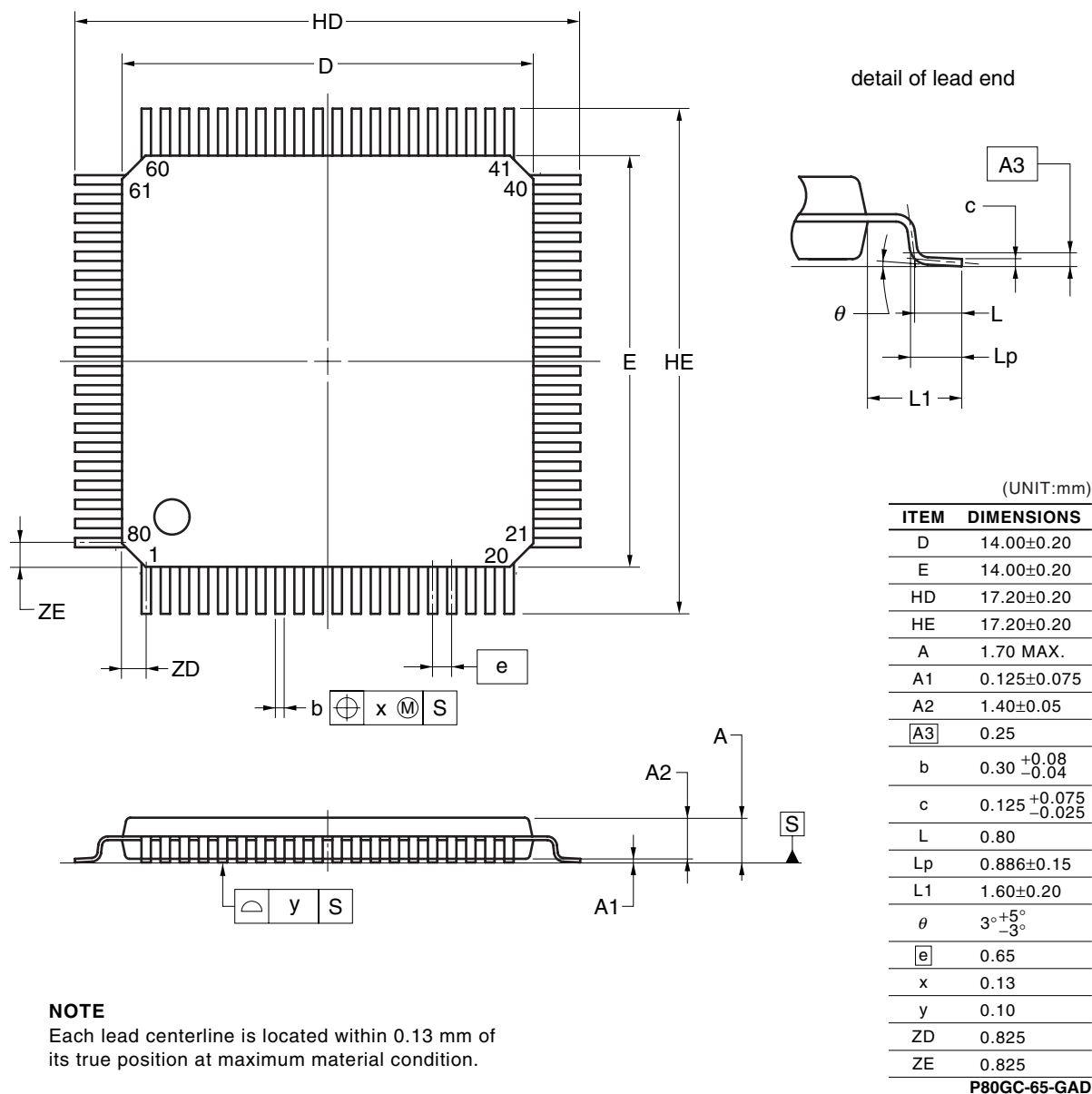
80ピン・プラスチック LQFP (14x14) 外形図

**NOTE**

Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

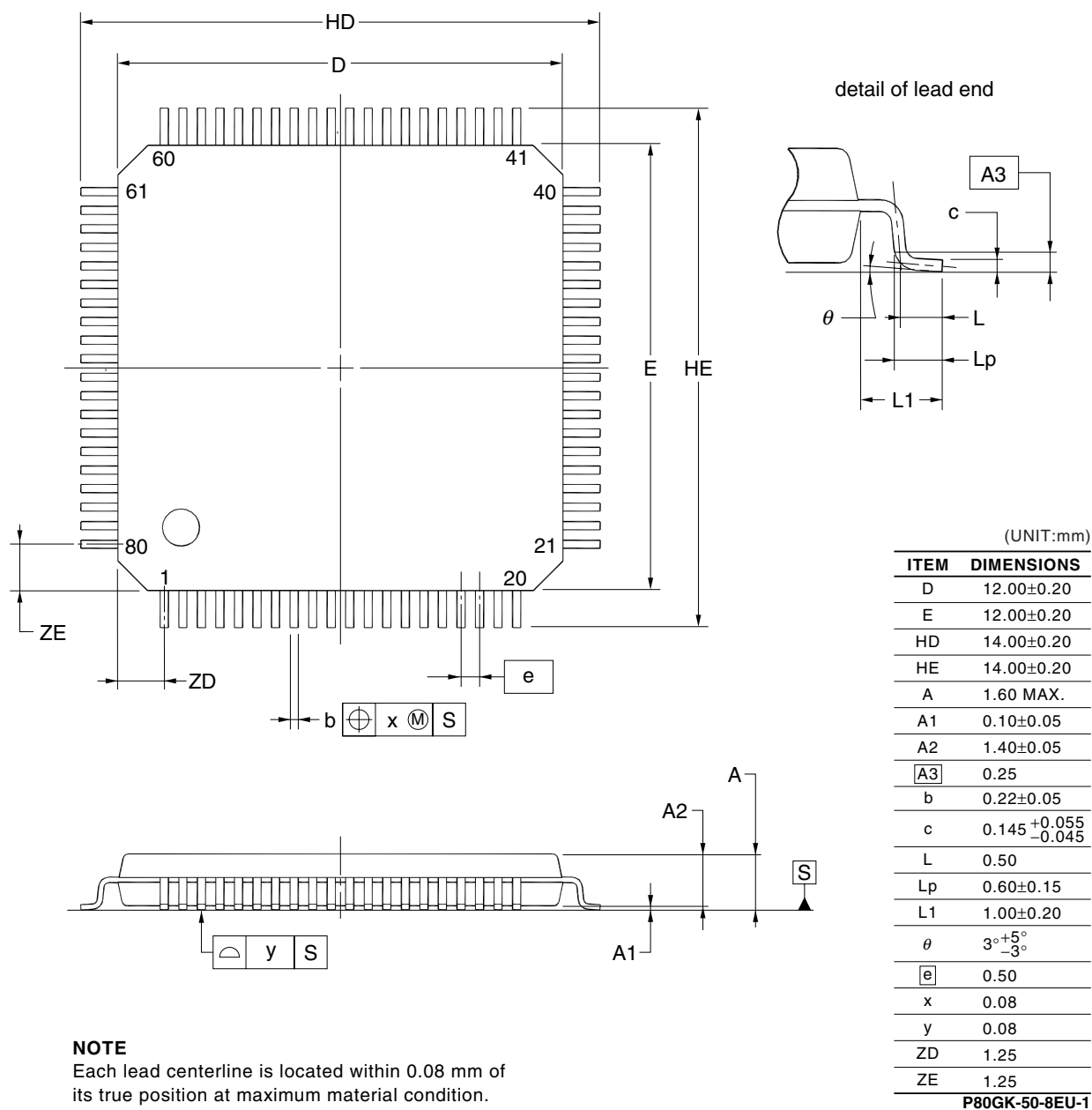
- μ PD78F0544GC(A)-GAD-AX, 78F0545GC(A)-GAD-AX, 78F0546GC(A)-GAD-AX, 78F0547GC(A)-GAD-AX
- μ PD78F0544GC(A2)-GAD-AX, 78F0545GC(A2)-GAD-AX, 78F0546GC(A2)-GAD-AX, 78F0547GC(A2)-GAD-AX
- μ PD78F0544AGC-GAD-AX, 78F0545AGC-GAD-AX, 78F0546AGC-GAD-AX, 78F0547AGC-GAD-AX,
78F0547DAGC-GAD-AX
- μ PD78F0544AGCA-GAD-G, 78F0545AGCA-GAD-G, 78F0546AGCA-GAD-G, 78F0547AGCA-GAD-G
- μ PD78F0544AGCA2-GAD-G, 78F0545AGCA2-GAD-G, 78F0546AGCA2-GAD-G, 78F0547AGCA2-GAD-G

80ピン・プラスチック LQFP (14x14) 外形図



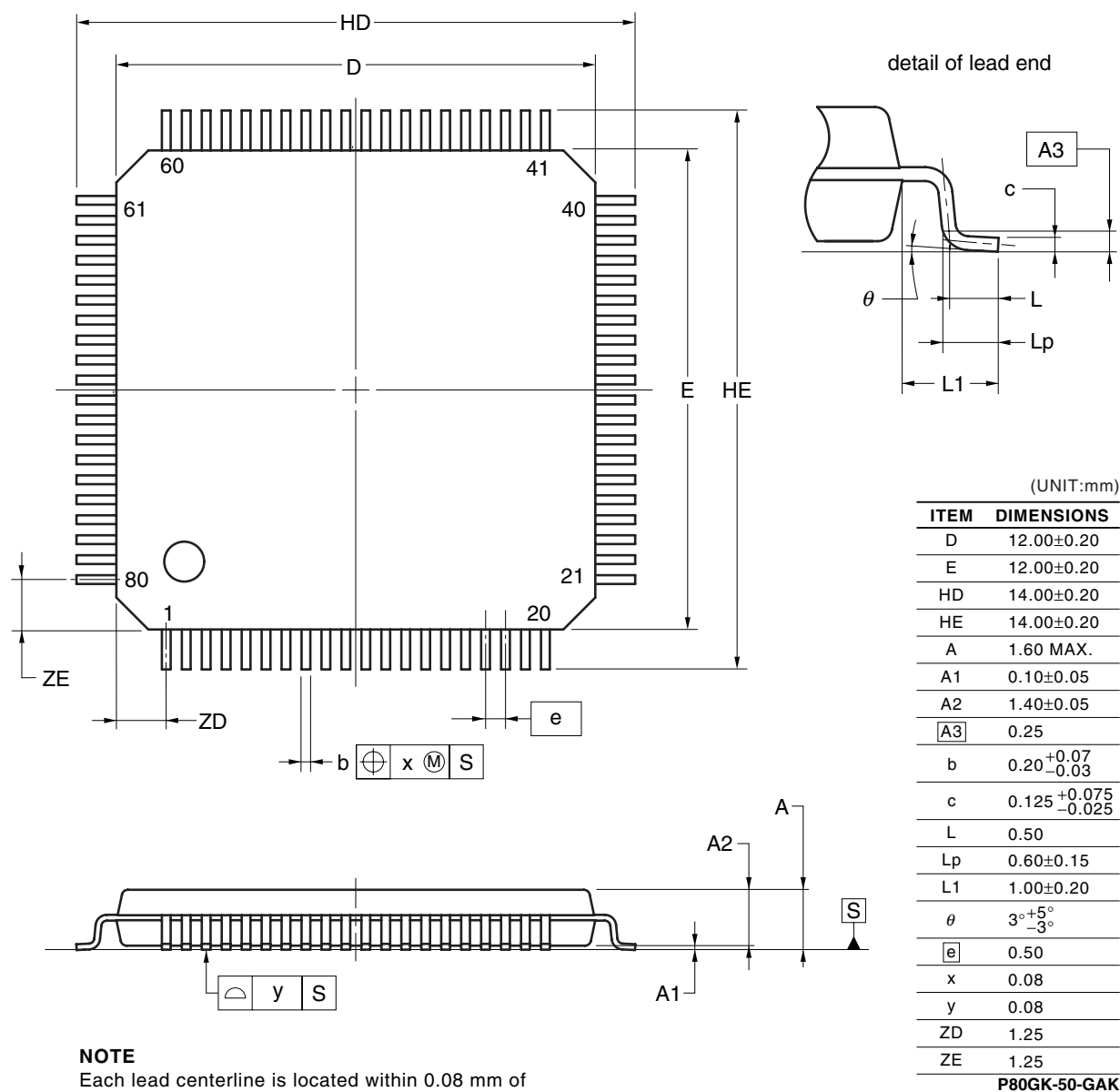
• μ PD78F0544GK-8EU-A, 78F0545GK-8EU-A, 78F0546GK-8EU-A, 78F0547GK-8EU-A, 78F0547DGK-8EU-A

80ピン・プラスチックLQFP（ファインピッチ）（12x12）外形図



- μ PD78F0544GK(A)-GAK-AX, 78F0545GK(A)-GAK-AX, 78F0546GK(A)-GAK-AX, 78F0547GK(A)-GAK-AX
- μ PD78F0544GK(A2)-GAK-AX, 78F0545GK(A2)-GAK-AX, 78F0546GK(A2)-GAK-AX, 78F0547GK(A2)-GAK-AX
- μ PD78F0544AGK-GAK-AX, 78F0545AGK-GAK-AX, 78F0546AGK-GAK-AX, 78F0547AGK-GAK-AX, 78F0547DAGK-GAK-AX
- μ PD78F0544AGKA-GAK-G, 78F0545AGKA-GAK-G, 78F0546AGKA-GAK-G, 78F0547AGKA-GAK-G
- μ PD78F0544AGKA2-GAK-G, 78F0545AGKA2-GAK-G, 78F0546AGKA2-GAK-G, 78F0547AGKA2-GAK-G

80-PIN PLASTIC LQFP (FINE PITCH) (12x12)



第35章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www2.renesas.com/pkg/ja/jissou/index.html>)

表35-1 従来規格品 (μ PD78F05xx, 78F05xxD) の半田付け条件 (1/3)

(1) 36 ピン・プラスチック FLGA (4x4)

μ PD78F050xFC-AA3-A (x = 0-3), 78F0503DFC-AA3-A

64 ピン・プラスチック FLGA (5x5)

μ PD78F053xFC-AA1-A (x = 1-7), 78F0537DFC-AA1-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内，制限日数：7日間[※]（以降は125 °Cプリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3

注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 μ PD78F05xxDには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

表35-1 従来規格品 (μ PD78F05xx, 78F05xxD) の半田付け条件 (2/3)

(2) 30 ピン・プラスチック SSOP (7.62 mm (300))

μ PD78F050xMC-5A4-A (x = 0-3) 78F0503DMC-5A4-A

44 ピン・プラスチック LQFP (10x10)

μ PD78F051xGB-UES-A (x = 1-3) , 78F0513DGB-UES-A

48 ピン・プラスチック LQFP (ファインピッチ) (7x7)

μ PD78F051xGA-8EU-A (x = 1-5) , 78F0515DGA-8EU-A

μ PD78F051xGA(A)-GAM-AX (x = 1-5) , 78F051xGA(A2)-GAM-AX (x = 1-5)

52 ピン・プラスチック LQFP (10x10)

μ PD78F052xGB-UET-A (x = 1-7) , 78F0527DGB-UET-A

64 ピン・プラスチック LQFP (ファインピッチ) (10x10)

μ PD78F0531GB-UEU-A (x = 1-7) , 78F0537DGB-UEU-A

μ PD78F053xGB(A)-GAH-AX (x = 1-7) , μ PD78F053xGB(A2)-GAH-AX (x = 1-7)

64 ピン・プラスチック LQFP (14x14)

μ PD78F053xGC-UBS-A (x = 1-7) , 78F0537DGC-UBS-A

64 ピン・プラスチック LQFP (12x12)

μ PD78F053xGK-UET-A (x = 1-7) , 78F0537DGK-UET-A

64 ピン・プラスチック TQFP (ファインピッチ) (7x7)

μ PD78F053xGA-9EV-A (x = 1-7) , 78F0537DGA-9EV-A

80 ピン・プラスチック LQFP (14x14)

μ PD78F054xGC-UBT-A (x = 4-7) , 78F0547DGC-UBT-A

80 ピン・プラスチック LQFP (ファインピッチ) (12x12)

μ PD78F054xGK-8EU-A (x = 4-7) , 78F0547DGK-8EU-A

μ PD78F054xGK(A)-GAK-AX (x = 4-7) , 78F054xGK(A2)-GAK-AX (x = 4-7)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内， 制限日数：7日間 [※] （以降は125 °Cプリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライバック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 μ PD78F05xxDには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

表35-1 従来規格品 (μ PD78F05xx, 78F05xxD) の半田付け条件 (3/3)

(3) 30 ピン・プラスチック SSOP (7.62 mm (300))

 μ PD78F050xMC(A)-CAB-AX (x = 0-3) , 78F050xMC(A2)-CAB-AX (x = 0-3)

44 ピン・プラスチック LQFP (10x10)

 μ PD78F051xGB(A)-GAF-AX (x = 1-3) , 78F051xGB(A2)-GAF-AX (x = 1-3)

52 ピン・プラスチック LQFP (10x10)

 μ PD78F052xGB(A)-GAG-AX (x = 1-7) , 78F052xGB(A2)-GAG-AX (x = 1-7)

64 ピン・プラスチック LQFP (14x14)

 μ PD78F053xGC(A)-GAL-AX (x = 1-7) , 78F053xGC(A2)-GAL-AX (x = 1-7)

64 ピン・プラスチック LQFP (12x12)

 μ PD78F053xGK(A)-GAJ-AX (x = 1-7) , 78F053xGK(A2)-GAJ-AX (x = 1-7)

80 ピン・プラスチック LQFP (14x14)

 μ PD78F054xGC(A)-GAD-AX (x = 4-7) , 78F054xGC(A2)-GAD-AX (x = 4-7)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内， 制限日数：7日間 [※] （以降は125 °Cプリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ ソルダリング	半田槽温度：260 °C以下，時間：10秒以内，回数：1回， 予備加熱温度：120 °C MAX.（パッケージ表面温度） 制限日数：7日間 [※] （以降は125 °Cプリベーク 20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-207-1
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表35-2 拡張規格品 (μ PD78F05xxA, 78F05xxDA) の半田付け条件 (1/2)

(1) 36 ピン・プラスチック FLGA (4x4)

 μ PD78F050xAFC-AA3-A ($x = 0-3$), 78F0503DAFC-AA3-A

64 ピン・プラスチック FLGA (5x5)

 μ PD78F053xAFC-AA1-A ($x = 1-7$), 78F0537DAFC-AA1-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125 °Cプリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3

(2) 48 ピン・プラスチック LQFP（ファインピッチ）（7x7）

 μ PD78F051xAGA-GAM-AX ($x = 1-5$) 78F0515DAGA-GAM-AX μ PD78F051xAGAA-GAM-G ($x = 1-5$), 78F051xAGAA2-GAM-G ($x = 1-5$)

64 ピン・プラスチック LQFP（ファインピッチ）（10x10）

 μ PD78F053xAGB-GAH-AX ($x = 1-7$), 78F0537DAGB-GAH-AX μ PD78F053xAGBA-GAH-G ($x = 1-7$), 78F053xAGBA2-GAH-G ($x = 1-7$)

80 ピン・プラスチック LQFP（ファインピッチ）（12x12）

 μ PD78F054xAGK-GAK-AX ($x = 4-7$), 78F0547DAGK-GAK-AX μ PD78F054xAGKA-GAK-G ($x = 4-7$), 78F054xAGKA2-GAK-G ($x = 4-7$)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125 °Cプリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 μ PD78F05xxDAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

表35-2 拡張規格品 (μ PD78F05xxA, 78F05xxDA) の半田付け条件 (2/2)

(3) 30 ピン・プラスチック SSOP (7.62 mm (300))

 μ PD78F050xAMC-CAB-AX (x = 0-3) , 78F0503DAMC-CAB-AX μ PD78F050xAMCA-CAB-G (x = 0-3) , 78F050xAMCA2-CAB-G (x = 0-3)

38 ピン・プラスチック SSOP (7.62 mm (300))

 μ PD78F051xAMC-GAA-AX (x = 1-3) , 78F0513DAMC-GAA-AX μ PD78F051xAMCA-GAA-G (x = 1-3) , 78F051xAMCA2-GAA-G (x = 1-3)

44 ピン・プラスチック LQFP (10x10)

 μ PD78F051xAGB-GAF-AX (x = 1-3) , 78F0513DAGB-GAF-AX μ PD78F051xAGBA-GAF-G (x = 1-3) , 78F051xAGBA2-GAF-G (x = 1-3)

52 ピン・プラスチック LQFP (10x10)

 μ PD78F052xAGB-GAG-AX (x = 1-7) , 78F0527DAGB-GAG-AX μ PD78F052xAGBA-GAG-G (x = 1-7) , 78F052xAGBA2-GAG-G (x = 1-7)

64 ピン・プラスチック LQFP (14x14)

 μ PD78F053xAGC-GAL-AX (x = 1-7) , 78F0537DAGC-GAL-AX μ PD78F053xAGCA-GAL-G (x = 1-7) , 78F053xAGCA2-GAL-G (x = 1-7)

64 ピン・プラスチック LQFP (12x12)

 μ PD78F053xAGK-GAJ-AX (x = 1-7) , 78F0537DAGK-GAJ-AX μ PD78F053xAGKA-GAJ-G (x = 1-7) , 78F053xAGKA2-GAJ-G (x = 1-7)

80 ピン・プラスチック LQFP (14x14)

 μ PD78F054xAGC-GAD-AX (x = 4-7) , 78F0547DAGC-GAD-AX μ PD78F054xAGCA-GAD-G (x = 4-7) , 78F054xAGCA2-GAD-G (x = 4-7)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度: 260 °C, 時間: 60秒以内 (220 °C以上) , 回数: 3回以内, 制限日数: 7日間 ^注 (以降は125 °Cブリベーク10~72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ソルダリング	半田槽温度: 260 °C以下, 時間: 10秒以内, 回数: 1回, 予備加熱温度: 120 °C MAX. (パッケージ表面温度) 制限日数: 7日間 ^注 (以降は125 °Cブリベーク 10~72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度: 350 °C以下, 時間: 3秒以内 (デバイスの一辺当たり)	—

注 ドライバック開封後の保管日数で, 保管条件は25 °C, 65 %RH以下。

注意1. 半田付け方式の併用はお避けください (ただし, 端子部分加熱方式は除く)。

2. μ PD78F05xxDAには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合, フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり, 製品の信頼性が保証できませんので, 量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については, クレーム受け付け対象外となります。

第36章 ウェイトに関する注意事項

36. 1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表36-1、表36-2を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

36.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表36-1に、ウェイト要求が発生するRAMアクセスとCPUのウェイト・クロック数を表36-2に示します。

表36-1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
シリアル・インタフェース UART0	ASIS0	リード	1クロック (固定)
シリアル・インタフェース UART6	ASIS6	リード	1クロック (固定)
シリアル・インタフェース IIC0	IICS0	リード	1クロック (固定)
A/Dコンバータ	ADM	ライト	1～5クロック ($f_{AD} = f_{PRS}/2$ 選択時)
	ADS	ライト	1～7クロック ($f_{AD} = f_{PRS}/3$ 選択時)
	ADPC	ライト	1～9クロック ($f_{AD} = f_{PRS}/4$ 選択時) 2～13クロック ($f_{AD} = f_{PRS}/6$ 選択時)
	ADCR	リード	2～17クロック ($f_{AD} = f_{PRS}/8$ 選択時) 2～25クロック ($f_{AD} = f_{PRS}/12$ 選択時)
	上記のクロック数は、f_{CPU}とf_{PRS}に同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。 〈ウェイト・クロック数算出式〉 $\text{ウェイト・クロック数} = \frac{2 f_{CPU}}{f_{AD}} + 1$ ※ 小数点以下は、ウェイト・クロック数≤ 0.5の場合は切り捨て、ウェイト・クロック数> 0.5の場合は切り上げる。 f_{AD} : A/D変換クロック周波数 ($f_{PRS}/2$–$f_{PRS}/12$) f_{CPU} : CPUクロック周波数 f_{PRS} : 周辺ハードウェア・クロック周波数 f_{XP} : メイン・システム・クロック周波数 〈最大／最小ウェイト・クロック数条件〉 ・最大回数：CPU最高速 (f_{XP}) , A/D変換クロック最低速 ($f_{PRS}/12$) ・最小回数：CPU最低速 ($f_{SUB}/2$) , A/D変換クロック最高速 ($f_{PRS}/2$)		

注意 周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

備考 クロックは、CPUクロック (f_{CPU}) を示します。

表36-2 ウェイトが発生するRAMアクセスとCPUのウェイト・クロック数 (78K0/KF2のみ)

対象エリア	対象アクセス	ウェイト・クロック数
バッファRAM	ライト	1～81クロック ^注
<最大ウェイト・クロック数算出式> ・最大ウェイト・クロック数 = $\frac{5 f_{CPU}}{f_W} + 1$ ※小数点以下は、$(1/f_{CPU})$ をかけて t_{CPUL} 以下であれば切り捨て、t_{CPUL} を越える場合には切り上げる。 f_W : CSIS0レジスタのCKS00ビットで選択した基本クロックの周波数 (CKS00 = 0 : f_{PRS}, CKS00 = 1 : $f_{PRS}/2$) f_{CPU} : CPUクロック周波数 t_{CPUL} : CPUクロックのロウ・レベル幅 f_{PRS} : 周辺ハードウェア・クロック周波数		

注 CSIA0からのRAMへの書き込みと、CPUからのバッファRAMへの書き込みとの間に、CSIA0の動作クロック5クロック分以上挿入すれば、ウェイトは発生しません。

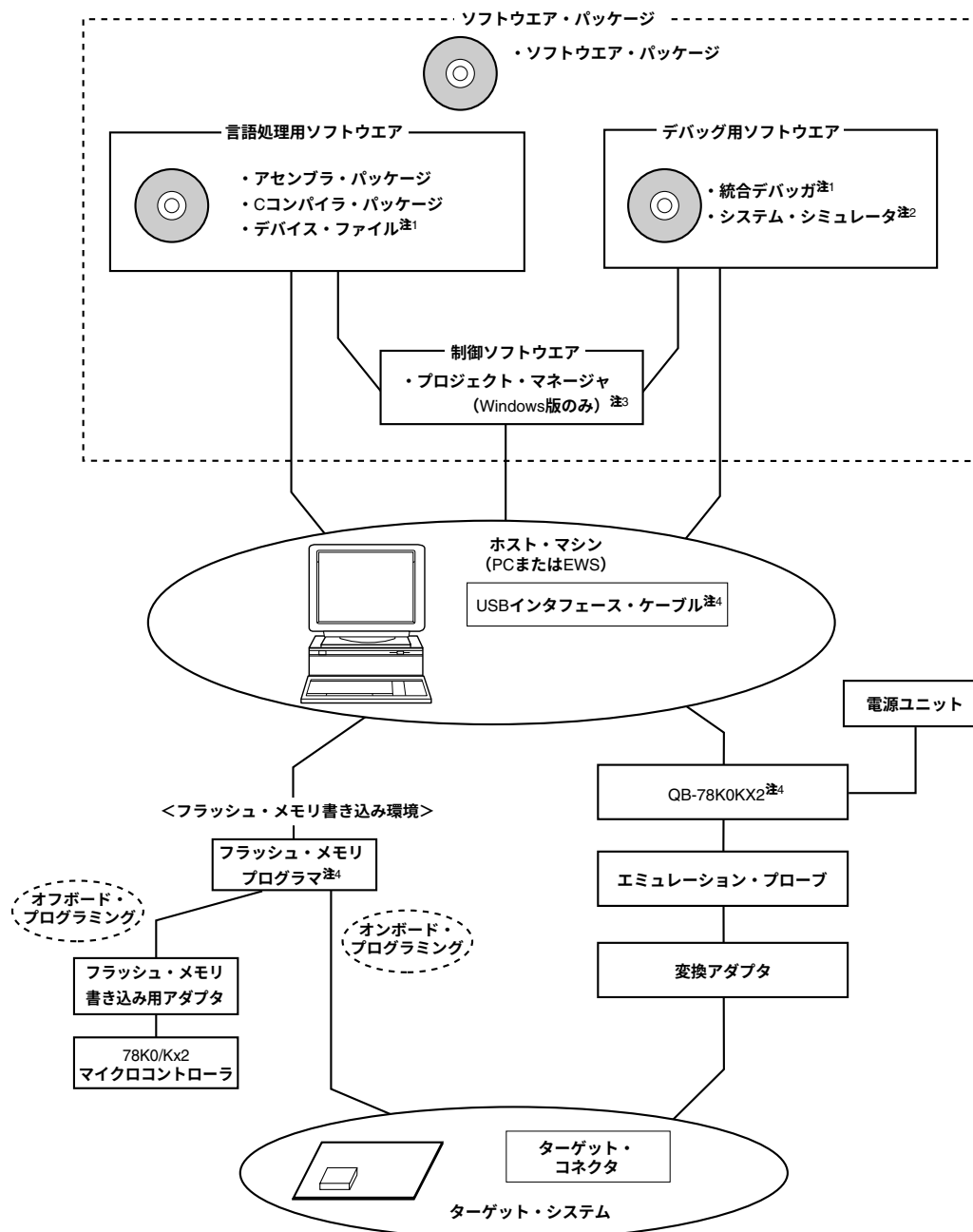
付録A 開発ツール

78K0/Kx2マイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。

図A-1に開発ツール構成を示します。

図A-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0KX2を使用する場合

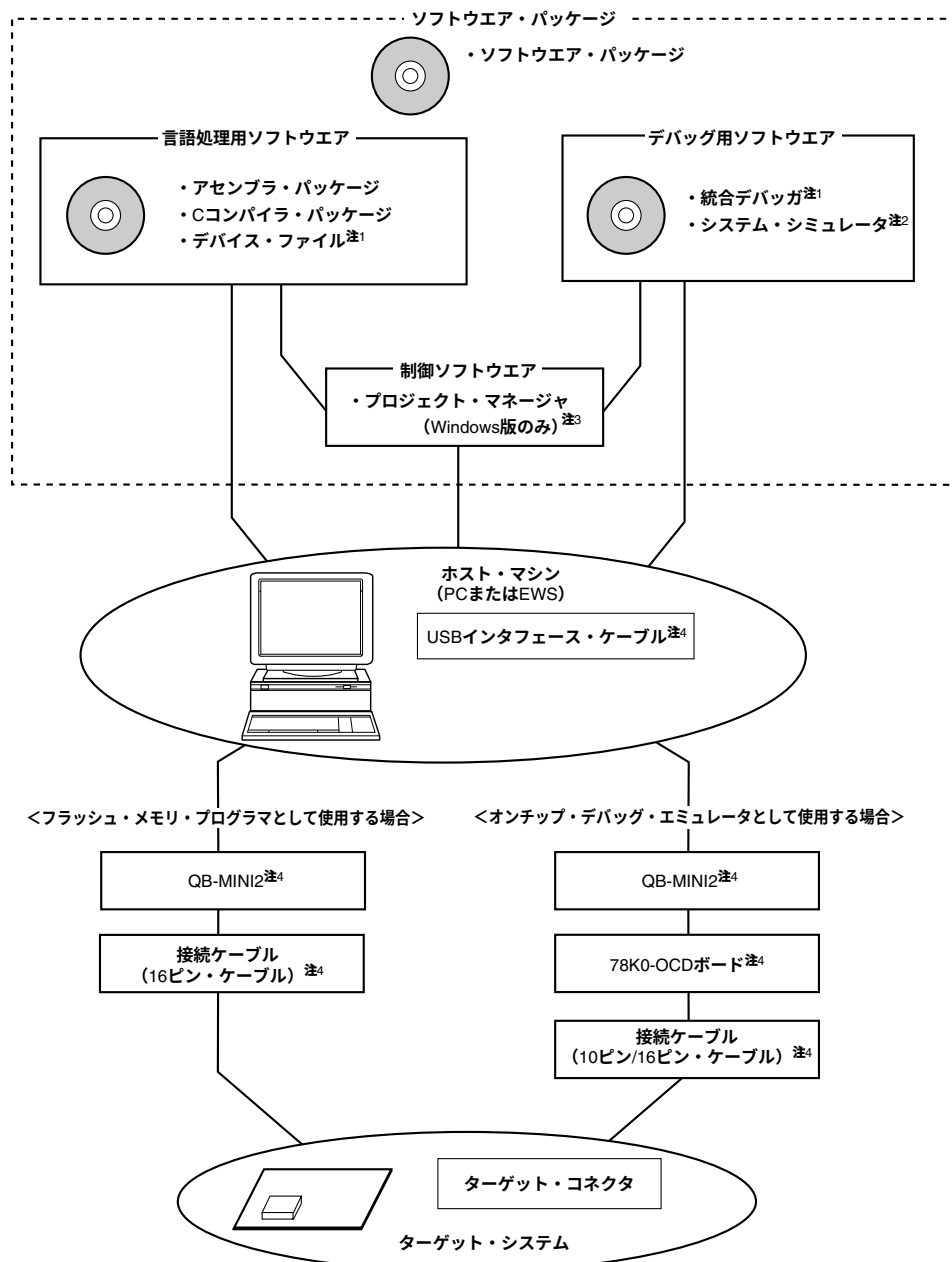


注1. 78K0/Kx2マイクロコントローラ用のデバイス・ファイル (DF780547) , および統合デバッガ ID78K0-QBは、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

- SM+ for 78K0 (命令シミュレーション版) は、ソフトウェア・パッケージに含まれています。SM+ for 78K0/Kx2 (命令+周辺シミュレーション版) は、含まれていません。
- プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows[®] 以外ではPM+は使用できません。
- QB-78K0KX2は、統合デバッガ ID78K0-QB, USBインタフェース・ケーブル, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル) , 78K0-OCDボードを添付しています。それ以外の製品はオプションです。

図A-1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. 78K0/Kx2マイクロコントローラ用のデバイス・ファイル (DF780547) , および統合デバッガ ID78K0-QBは、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2. SM+ for 78K0 (命令シミュレーション版) は、ソフトウェア・パッケージに含まれています。SM+ for 78K0/Kx2 (命令+周辺シミュレーション版) は、含まれていません。

3. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用できません。

4. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル、16ピン・ケーブル) , 78K0-OCDボードを添付しています。それ以外の製品はオプションです。また、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A. 1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。

A. 2 言語処理用ソフトウェア

RA78K0 ^{※1} アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 デバイス・ファイル（DF780547）と組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（PM+）を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。
CC78K0 ^{※1} Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（PM+）を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。
DF780547 ^{※2} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（RA78K0, CC78K0, ID78K0-QB, システム・シミュレータ）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。

- 注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。
2. DF780547は、RA78K0, CC78K0, ID78K0-QB, システム・シミュレータのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

A. 3 フラッシュ・メモリ書き込み用ツール

A. 3. 1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合

FL-PR5, PG-FP5, FL-PR4, PG-FP4 ^{注1} フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-xxxx ^{注2} フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注1. 保守品

2. フラッシュ・メモリ書き込み用アダプタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		フラッシュ・メモリ書き込み用 アダプタ
78K0/KB2	30ピン・プラスチックSSOP (MC-5A4, MC-CABタイプ)	FA-30MC-CAB-B, FA-78F0503MC-5A4-RX
	36ピン・プラスチックFLGA (FC-AA3タイプ)	FA-36FC-AA3-B, FA-78F0503FC-AA3-RX
78K0/KC2	38ピン・プラスチックSSOP (MC-GAAタイプ)	FA-38MC-GAA-B
	44ピン・プラスチックLQFP (GB-UES, GB-GAFタイプ)	FA-44GB-GAF-B, FA-78F0513GB-UES-RX
	48ピン・プラスチックLQFP (GA-8EU, GA-GAMタイプ)	FA-48GA-GAM-B, FA-78F0515GA-8EU-RX
78K0/KD2	52ピン・プラスチックLQFP (GB-UET, GB-GAGタイプ)	FA-52GB-GAG-B, FA-78F0527GB-UET-RX
78K0/KE2	64ピン・プラスチックLQFP (GB-UEU, GB-GAHタイプ)	FA-64GB-GAH-B, FA-78F0537GB-UEU-RX
	64ピン・プラスチックLQFP (GC-UBS, GC-GALタイプ)	FA-64GC-GAL-B, FA-78F0537GC-UBS-RX
	64ピン・プラスチックLQFP (GK-UET, GK-GAJタイプ)	FA-64GK-GAJ-B, FA-78F0537GK-UET-RX
	64ピン・プラスチックTQFP (GA-9EV, GA-HABタイプ)	FA-64GA-8EV-B, FA-64GA-HAB-B, FA-78F0537GA-9EV-RX
	64ピン・プラスチックFLGA (FC-AA1タイプ)	FA-78F0537FC-AA1-RX
78K0/KF2	80ピン・プラスチックLQFP (GC-UBT, GC-GADタイプ)	FA-80GC-GAD-B, FA-78F0547GC-UBT-RX
	80ピン・プラスチックLQFP (GK-8EU, GK-GAKタイプ)	FA-80GK-GAK-B, FA-78F0547GK-8EU-RX

備考1. FL-PR5, FL-PR4, FA-xxxxは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト
(<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A. 4 デバッグ用ツール（ハードウェア）

A. 4.1 インサーキット・エミュレータ QB-78K0KX2を使用する場合

QB-78K0KX2 インサーキット・エミュレータ	78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ（ID78K0-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-xxxx-EA-xxx ^注 エクスチェンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-xxxx-YS-xxx ^注 スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。
QB-xxxx-YQ-xxx ^注 YQコネクタ	ターゲット・コネクタとエクスチェンジ・アダプタを接続するコネクタです。
QB-xxxx-HQ-xxx ^注 マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。
QB-xxxx-NQ-xxx ^注 ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

（注、備考は次ページ以降にあります）

注 エクスチェンジ・アダプタ, スペース・アダプタ, YQコネクタ, マウント・アダプタ, ターゲット・コネクタの製品名と対象デバイスのパッケージは, 次のとおりです。

対象デバイスのパッケージ		エクスチェンジ・アダプタ	スペース・アダプタ	YQコネクタ	マウント・アダプタ	ターゲット・コネクタ
78K0/KB2	30ピン・プラスチックSSOP (MC-5A4, MC-CABタイプ)	QB-30MC-EA-02T	QB-30MC-YS-01T	QB-30MC-YQ-01T	QB-30MC-HQ-01T	QB-30MC-NQ-01T
	36ピン・プラスチックFLGA (FC-AA3タイプ)	QB-36FC-EA-01T	なし	なし	なし	QB-36FC-NQ-01T
78K0/KC2	38ピン・プラスチックSSOP (MC-GAAタイプ)	QB-38MC-EA-01T	QB-38MC-YQ-01T	QB-38MC-YQ-01T	QB-38MC-HQ-01T	QB-38MC-NQ-01T
	44ピン・プラスチックLQFP (GB-UES, GB-GAFタイプ)	QB-44GB-EA-03T	QB-44GB-YS-01T	QB-44GB-YQ-01T	QB-44GB-HQ-01T	QB-44GB-NQ-01T
	48ピン・プラスチックLQFP (GA-8EU, GA-GAMタイプ)	QB-48GA-EA-02T	QB-48GA-YS-01T	QB-48GA-YQ-01T	QB-48GA-HQ-01T	QB-48GA-NQ-01T
78K0/KD2	52ピン・プラスチックLQFP (GB-UET, GB-GAGタイプ)	QB-52GB-EA-02T	QB-52GB-YS-01T	QB-52GB-YQ-01T	QB-52GB-HQ-01T	QB-52GB-NQ-01T
78K0/KE2	64ピン・プラスチックLQFP (GB-UEU, GB-GAHタイプ)	QB-64GB-EA-04T	QB-64GB-YS-01T	QB-64GB-YQ-01T	QB-64GB-HQ-01T	QB-64GB-NQ-01T
	64ピン・プラスチックLQFP (GC-UBS, GC-GALタイプ)	QB-64GC-EA-03T	QB-64GC-YS-01T	QB-64GC-YQ-01T	QB-64GC-HQ-01T	QB-64GC-NQ-01T
	64ピン・プラスチックLQFP (GK-UET, GK-GAJタイプ)	QB-64GK-EA-04T	QB-64GK-YS-01T	QB-64GK-YQ-01T	QB-64GK-HQ-01T	QB-64GK-NQ-01T
	64ピン・プラスチックTQFP (GA-9EV, GA-HABタイプ)	QB-64GA-EA-01T	QB-64GA-YS-01T	QB-64GA-YQ-01T	QB-64GA-HQ-01T	QB-64GA-NQ-01T
	64ピン・プラスチックFLGA (FC-AA1タイプ)	QB-64FC-EA-01T	なし	なし	なし	QB-64FC-NQ-01T
78K0/KF2	80ピン・プラスチックLQFP (GC-UBT, GC-GADタイプ)	QB-80GC-EA-01T	QB-80GC-YS-01T	QB-80GC-YQ-01T	QB-80GC-HQ-01T	QB-80GC-NQ-01T
	80ピン・プラスチックLQFP (GK-8EU, GK-GAKタイプ)	QB-80GK-EA-01T	QB-80GK-YS-01T	QB-80GK-YQ-01T	QB-80GK-HQ-01T	QB-80GK-NQ-01T

備考1. QB-78K0KX2は、統合デバッガ ID78K0-QB、USBインタフェース・ケーブル、オンチップ・デバッグ・エミュレータ QB-MINI2、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。

QB-MINI2を使用する場合、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

2. オーダ名称により、QB-78K0KX2の梱包内容は次のように異なります。

梱包内容 オーダ名称	インサーキット・ エミュレータ	エミュレーショ ン・プローブ	エクステンジ・ アダプタ	YQコネクタ	ターゲット・ コネクタ
QB-78K0KX2-ZZZ	QB-78K0KX2	なし			
QB-78K0KX2-T30MC		QB-80-EP-01T	QB-30MC-EA-02T	QB-30MC-YQ-01T	QB-30MC-NQ-01T
QB-78K0KX2-T36FC			QB-36FC-EA-01T	なし	QB-36FC-NQ-01T
QB-78K0KX2-T38MC			QB-38MC-EA-01T	QB-38MC-YQ-01T	QB-38MC-NQ-01T
QB-78K0KX2-T44GB			QB-44GB-EA-03T	QB-44GB-YQ-01T	QB-44GB-NQ-01T
QB-78K0KX2-T48GA			QB-48GA-EA-02T	QB-48GA-YQ-01T	QB-48GA-NQ-01T
QB-78K0KX2-T52GB			QB-52GB-EA-02T	QB-52GB-YQ-01T	QB-52GB-NQ-01T
QB-78K0KX2-T64GB			QB-64GB-EA-04T	QB-64GB-YQ-01T	QB-64GB-NQ-01T
QB-78K0KX2-T64GC			QB-64GC-EA-03T	QB-64GC-YQ-01T	QB-64GC-NQ-01T
QB-78K0KX2-T64GK			QB-64GK-EA-04T	QB-64GK-YQ-01T	QB-64GK-NQ-01T
QB-78K0KX2-T64GA			QB-64GA-EA-01T	QB-64GA-YQ-01T	QB-64GA-NQ-01T
QB-78K0KX2-T64FC			QB-64FC-EA-01T	なし	QB-64FC-NQ-01T
QB-78K0KX2-T80GC			QB-80GC-EA-01T	QB-80GC-YQ-01T	QB-80GC-NQ-01T
QB-78K0KX2-T80GK			QB-80GK-EA-01T	QB-80GK-YQ-01T	QB-80GK-NQ-01T

A. 4. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

A. 5 デバッグ用ツール（ソフトウェア）

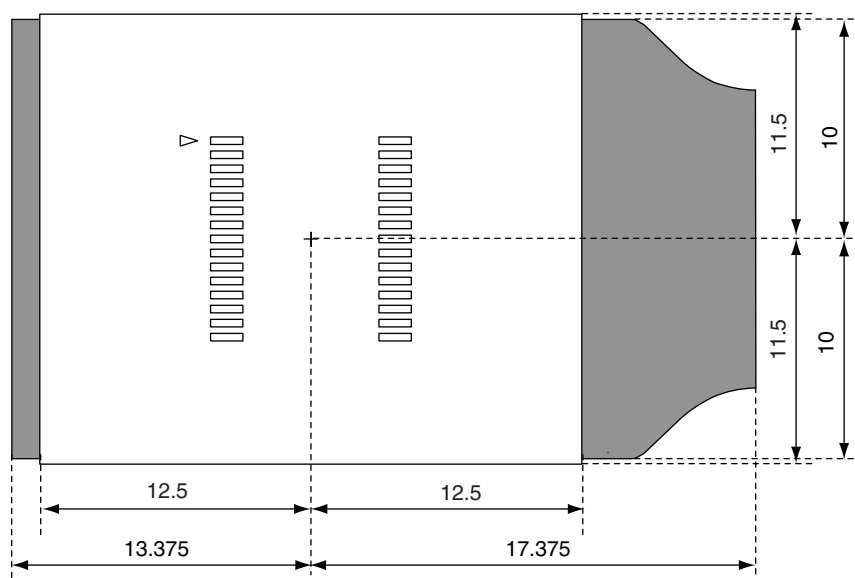
ID78K0-QB [※] 統合デバッガ	78K0 マイクロコントローラ用のインサーキット・エミュレータに対応したデバッグです。 ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF780547）と組み合わせて使用します。
SM+ for 78K0 SM+ for 78K0/Kx2 システム・シミュレータ	システム・シミュレータは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 システム・シミュレータを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル（DF780547）と組み合わせて使用します。 78K0/Kx2 マイクロコントローラをサポートするシステム・シミュレータには、次の2種類があります。 • SM+ for 78K0（命令シミュレーション版） CPUのみシミュレーション可能です。ソフトウェア・パッケージに同梱されています。 • SM+ for 78K0/Kx2（命令+周辺シミュレーション版） CPUと周辺ハードウェア（ポート、タイマ、シリアル・インタフェースなど）のシミュレーション可能です。ソフトウェア・パッケージとは別売です。

注 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

付録B ターゲット・システム設計上の注意

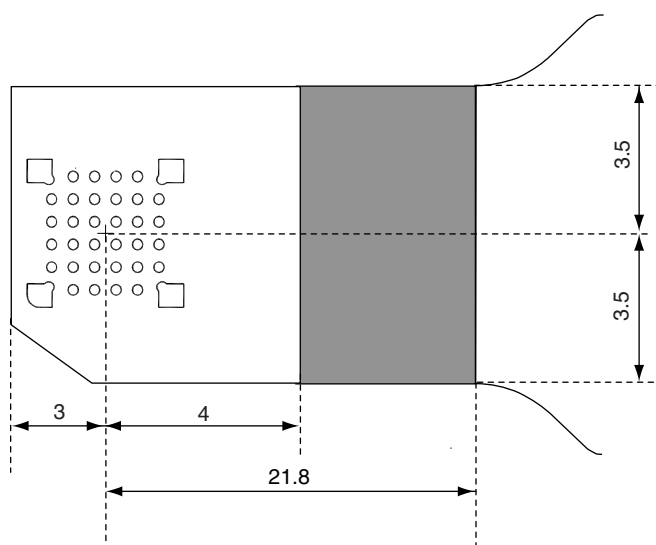
この章ではQB-78K0KX2を使用する場合のターゲット・システム設計上の注意として、ターゲット・システム上の部品実装禁止領域、部品実装高さの制限がある領域を示します。

図B-1 30ピンMCパッケージの場合



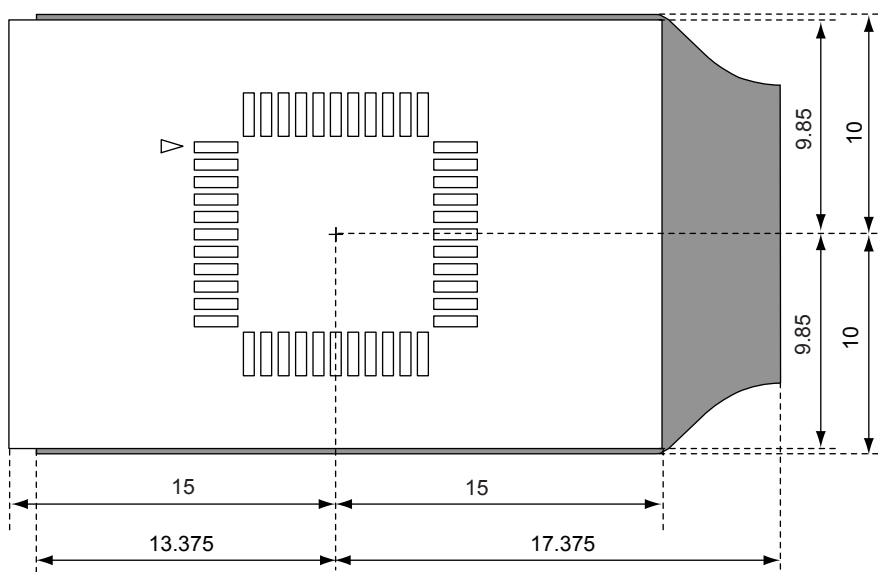
□ : エクスチェンジ・アダプタ領域	: 高さ17.45 mmまでの部品を実装可能 [※]
■ : エミュレーション・プローブ先端部領域	: 高さ24.45 mmまでの部品を実装可能 [※]
注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)	

図B-2 36ピンFCパッケージの場合



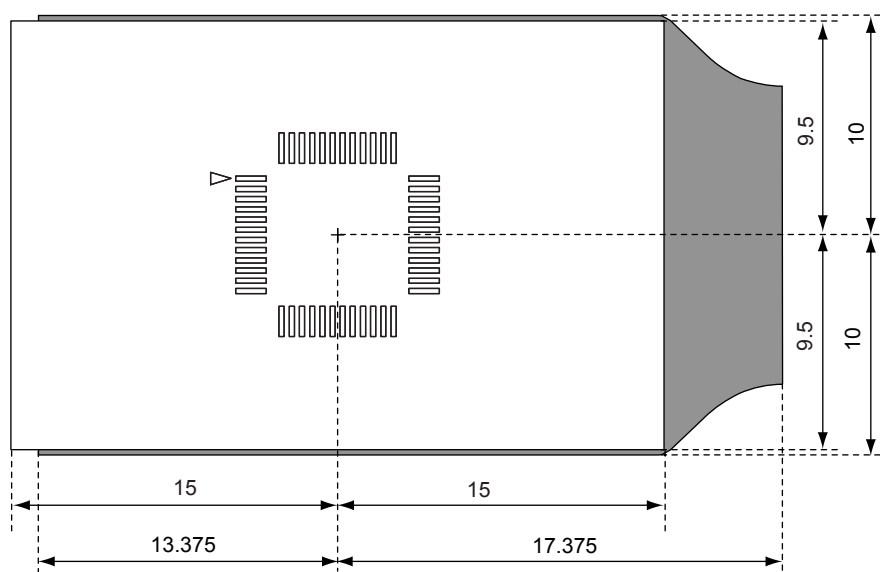
□ : エクステンジ・アダプタ領域	: 高さ2.5 mmまでの部品を実装可能
■ : エミュレーション・プローブ先端部領域	: 高さ4.5 mmまでの部品を実装可能

図B-3 44ピンGBパッケージの場合



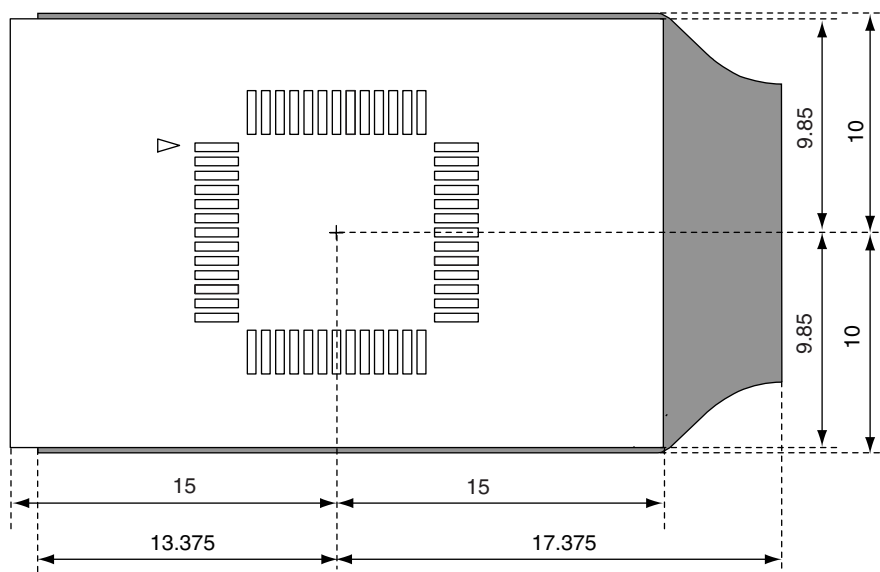
□ : エクステンジ・アダプタ領域	: 高さ17.45 mmまでの部品を実装可能 [※]
■ : エミュレーション・プローブ先端部領域	: 高さ24.45 mmまでの部品を実装可能 [※]
注: スペーサ・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)	

図B-4 48ピンGAパッケージの場合



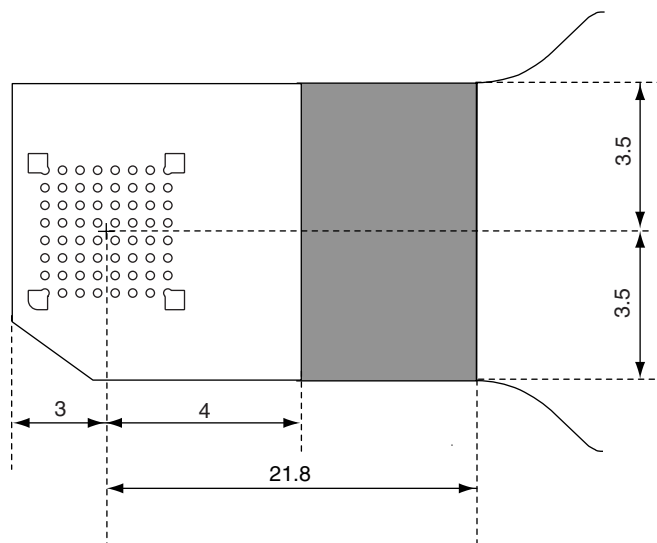
- ☐ : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能^注
☒ : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能^注
注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

図B-5 52ピンGBパッケージの場合



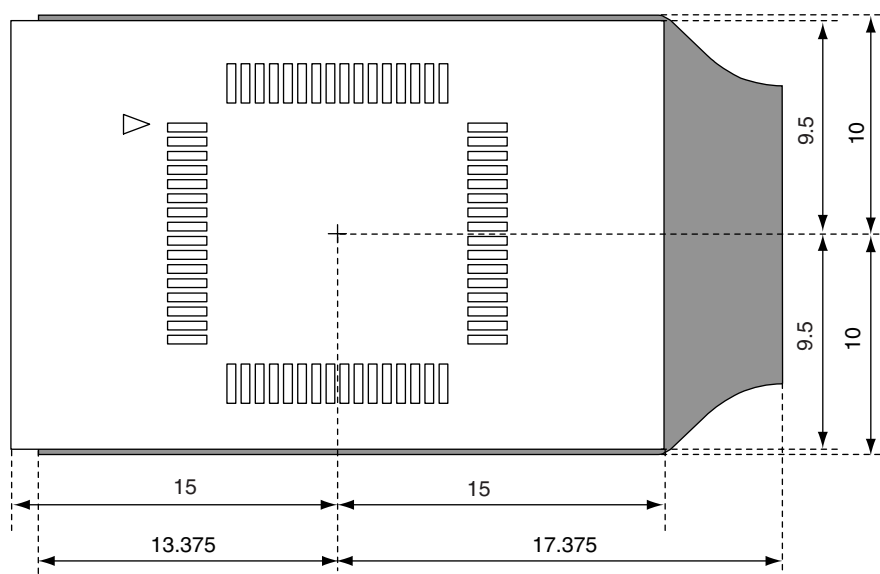
- ☐ : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能^注
☒ : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能^注
注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

図B-6 64ピンFCパッケージの場合



□ : エクステンジ・アダプタ領域 (コネクタ部)	: 高さ2.5 mmまでの部品を実装可能
■ : エクステンジ・アダプタ領域 (プローブ部)	: 高さ4.5 mmまでの部品を実装可能

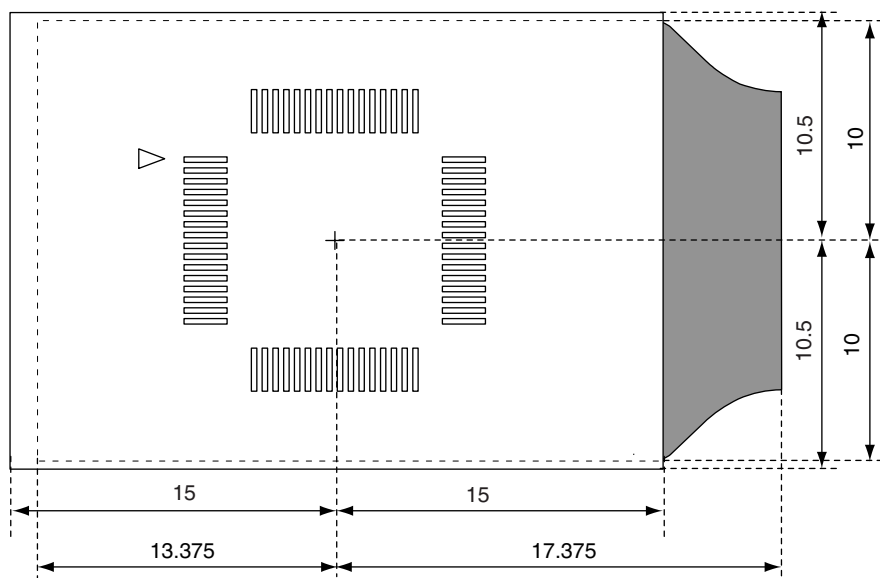
図B-7 64ピンGAパッケージの場合



□ : エクステンジ・アダプタ領域	: 高さ17.45 mmまでの部品を実装可能 [※]
■ : エミュレーション・プローブ先端部領域	: 高さ24.45 mmまでの部品を実装可能 [※]

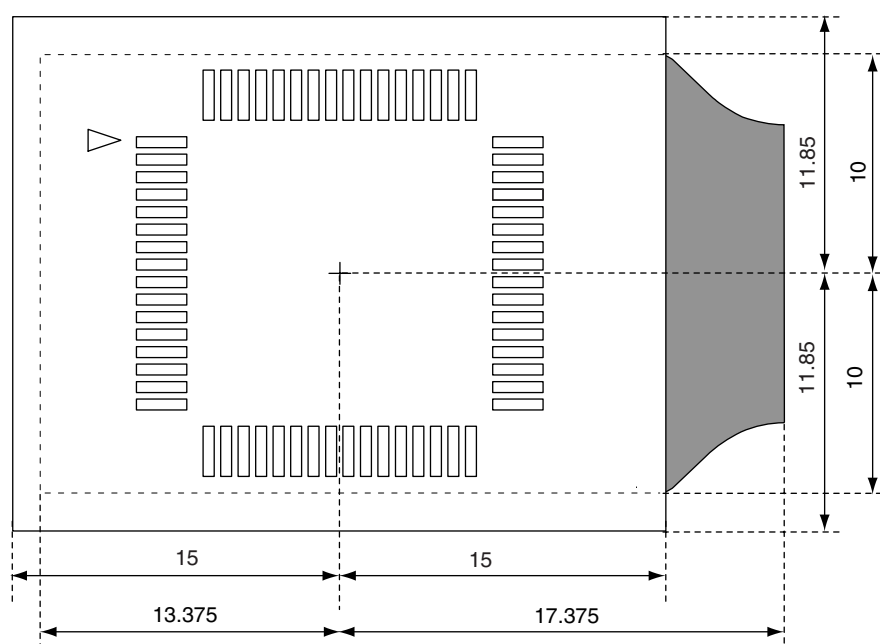
注: スペーサ・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

図B-8 64ピンGBパッケージの場合



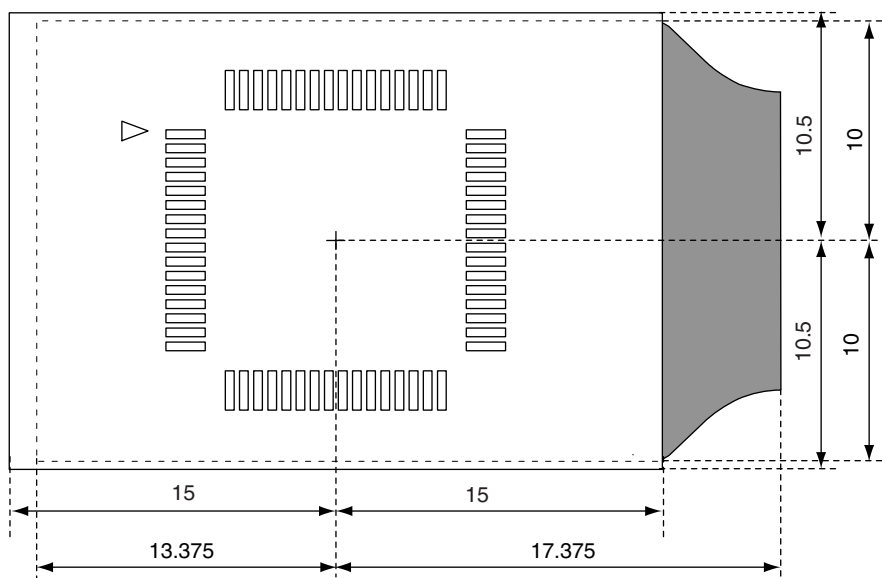
- ☐ : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能^注
☒ : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能^注
注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

図B-9 64ピンGCパッケージの場合



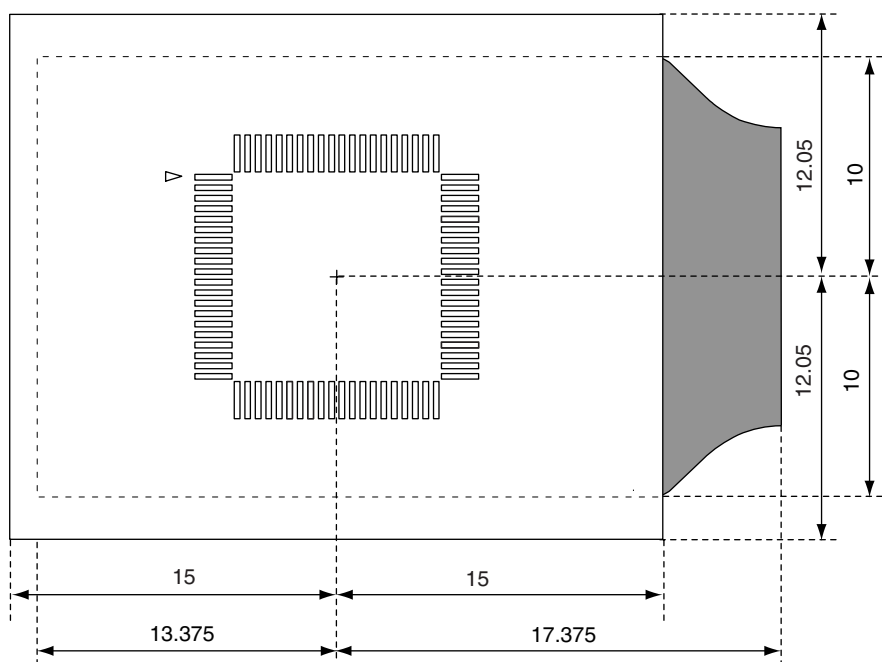
- ☐ : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能^注
☒ : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能^注
注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

図B-10 64ピンGKパッケージの場合



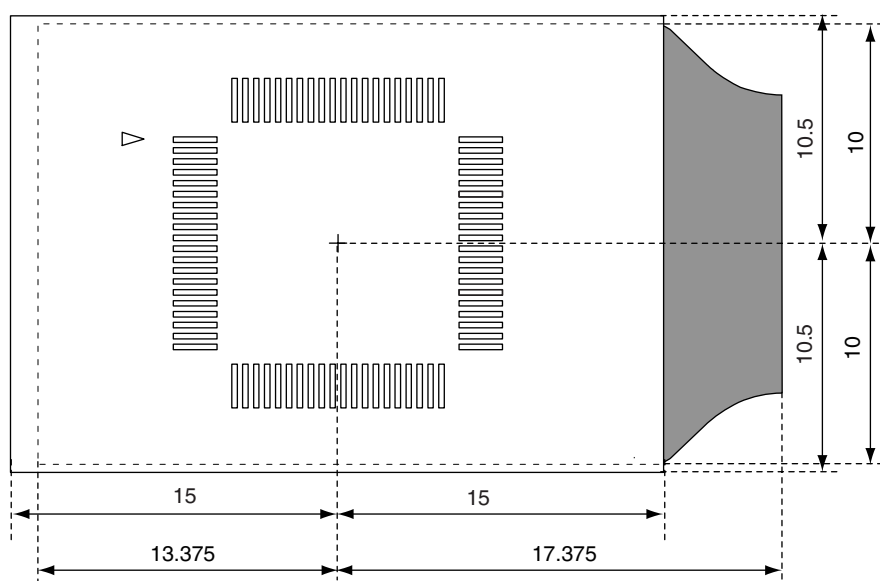
- : エクステンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能[※]
 ■ : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能[※]
 注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

図B-11 80ピンGCパッケージの場合



- : エクステンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能[※]
 ■ : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能[※]
 注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

図B-12 80ピンGKパッケージの場合



- : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能[※]
 ■ : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能[※]
 注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

付録C レジスタ索引

C. 1 レジスタ索引 (50音順)

【あ行】

- IIC機能拡張レジスタ0 (IICX0) … 579
- IICクロック選択レジスタ0 (IICCL0) … 578
- IICコントロール・レジスタ0 (IICC0) … 569
- IICシフト・レジスタ0 (IIC0) … 566
- IIC状態レジスタ0 (IICS0) … 573
- IICフラグ・レジスタ0 (IICF0) … 576
- アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) … 474
- アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) … 443
- アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) … 470
- アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) … 471
- アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) … 441
- アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) … 467
- アナログ入力チャネル指定レジスタ (ADS) … 422
- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) … 402
- A/Dコンバータ・モード・レジスタ (ADM) … 416
- A/Dポート・コンフィギュレーション・レジスタ (ADPC) … 218, 423

【か行】

- 外部割り込み立ち上がりエッジ許可レジスタ (EGP) … 668
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN) … 668
- キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) … 278
- キャプチャ／コンペア・コントロール・レジスタ01 (CRC01) … 278
- キー・リターン・モード・レジスタ (KRM) … 681
- クロック出力選択レジスタ (CKS) … 408
- クロック選択レジスタ6 (CKSR6) … 471
- クロック動作モード選択レジスタ (OSCCTL) … 228

【さ行】

- 10ビットA/D変換結果レジスタ (ADCR) … 420
- 16ビット・タイマ・カウンタ00 (TM00) … 271
- 16ビット・タイマ・カウンタ01 (TM01) … 271
- 16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) … 272
- 16ビット・タイマ・キャプチャ／コンペア・レジスタ001 (CR001) … 272
- 16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) … 272
- 16ビット・タイマ・キャプチャ／コンペア・レジスタ011 (CR011) … 272
- 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) … 280
- 16ビット・タイマ出力コントロール・レジスタ01 (TOC01) … 280
- 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) … 276

16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) … 276
自動データ転送アドレス・カウンタ・レジスタ0 (ADTC0) … 534
自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) … 532
自動データ転送間隔指定レジスタ0 (ADTI0) … 533
受信シフト・レジスタ0 (RXS0) … 440
受信シフト・レジスタ6 (RXS6) … 466
受信バッファ・レジスタ0 (RXB0) … 440
受信バッファ・レジスタ6 (RXB6) … 466
乗除算器コントロール・レジスタ0 (DMUC0) … 641
乗除算データ・レジスタA0 (MDA0H, MDA0L) … 639
乗除算データ・レジスタB0 (MDB0) … 640
剰余データ・レジスタ0 (SDR0) … 638
シリアルI/Oシフト・レジスタ0 (SIOA0) … 526
シリアルI/Oシフト・レジスタ10 (SIO10) … 501
シリアルI/Oシフト・レジスタ11 (SIO11) … 501
シリアル・クロック選択レジスタ10 (CSIC10) … 505
シリアル・クロック選択レジスタ11 (CSIC11) … 505
シリアル・ステータス・レジスタ0 (CSIS0) … 528
シリアル動作モード指定レジスタ0 (CSIMA0) … 526
シリアル動作モード・レジスタ10 (CSIM10) … 502
シリアル動作モード・レジスタ11 (CSIM11) … 502
シリアル・トリガ・レジスタ0 (CSIT0) … 530
スレーブ・アドレス・レジスタ0 (SVA0) … 567
送信シフト・レジスタ0 (TXS0) … 440
送信シフト・レジスタ6 (TXS6) … 466
送信バッファ・レジスタ6 (TXB6) … 466
送信バッファ・レジスタ10 (SOTB10) … 501
送信バッファ・レジスタ11 (SOTB11) … 501

[た行]

タイマ・クロック選択レジスタ50 (TCL50) … 352
タイマ・クロック選択レジスタ51 (TCL51) … 352
低電圧検出レジスタ (LVIM) … 714
低電圧検出レベル選択レジスタ (LVIS) … 716
時計用タイマ動作モード・レジスタ (WTM) … 395

[な行]

内蔵発振モード・レジスタ (RCM) … 234
内部拡張RAMサイズ切り替えレジスタ (IXS) … 737
入力切り替え制御レジスタ (ISC) … 476

[は行]

8ビットA/D変換結果レジスタ (ADCRH) … 421
8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) … 375

8ビット・タイマHコンペア・レジスタ00 (CMP00) ...	370
8ビット・タイマHコンペア・レジスタ01 (CMP01) ...	370
8ビット・タイマHコンペア・レジスタ10 (CMP10) ...	370
8ビット・タイマHコンペア・レジスタ11 (CMP11) ...	370
8ビット・タイマHモード・レジスタ0 (TMHMD0) ...	371
8ビット・タイマHモード・レジスタ1 (TMHMD1) ...	371
8ビット・タイマ・カウンタ50 (TM50) ...	351
8ビット・タイマ・カウンタ51 (TM51) ...	351
8ビット・タイマ・コンペア・レジスタ50 (CR50) ...	351
8ビット・タイマ・コンペア・レジスタ51 (CR51) ...	351
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	355
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ...	355
発振安定時間カウンタ状態レジスタ (OSTC) ...	236, 683
発振安定時間選択レジスタ (OSTS) ...	237, 684
プリスケアラ・モード・レジスタ00 (PRM00) ...	283
プリスケアラ・モード・レジスタ01 (PRM01) ...	283
プルアップ抵抗オプション・レジスタ0 (PU0) ...	214
プルアップ抵抗オプション・レジスタ1 (PU1) ...	214
プルアップ抵抗オプション・レジスタ3 (PU3) ...	214
プルアップ抵抗オプション・レジスタ4 (PU4) ...	214
プルアップ抵抗オプション・レジスタ5 (PU5) ...	214
プルアップ抵抗オプション・レジスタ6 (PU6) ...	214
プルアップ抵抗オプション・レジスタ7 (PU7) ...	214
プルアップ抵抗オプション・レジスタ12 (PU12) ...	214
プルアップ抵抗オプション・レジスタ14 (PU14) ...	214
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	231
分周値選択レジスタ0 (BRGCA0) ...	531
ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ...	444
ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) ...	473
ポート・モード・レジスタ0 (PM0) ...	204, 286, 508
ポート・モード・レジスタ1 (PM1) ...	204, 357, 376, 445, 476, 508
ポート・モード・レジスタ2 (PM2) ...	204, 424
ポート・モード・レジスタ3 (PM3) ...	204, 357
ポート・モード・レジスタ4 (PM4) ...	204
ポート・モード・レジスタ5 (PM5) ...	204
ポート・モード・レジスタ6 (PM6) ...	204, 581
ポート・モード・レジスタ7 (PM7) ...	204
ポート・モード・レジスタ12 (PM12) ...	204, 717
ポート・モード・レジスタ14 (PM14) ...	204, 411, 534
ポート・レジスタ0 (P0) ...	209
ポート・レジスタ1 (P1) ...	209
ポート・レジスタ2 (P2) ...	209
ポート・レジスタ3 (P3) ...	209

ポート・レジスタ4 (P4) … 209
ポート・レジスタ5 (P5) … 209
ポート・レジスタ6 (P6) … 209
ポート・レジスタ7 (P7) … 209
ポート・レジスタ12 (P12) … 209
ポート・レジスタ13 (P13) … 209
ポート・レジスタ14 (P14) … 209

[ま行]

メインOSCコントロール・レジスタ (MOC) … 234
メイン・クロック・モード・レジスタ (MCM) … 235
メモリ・サイズ切り替えレジスタ (IMS) … 736
メモリ・バンク選択レジスタ (BANK) … 150

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) … 664
優先順位指定フラグ・レジスタ0L (PR0L) … 664
優先順位指定フラグ・レジスタ1H (PR1H) … 664
優先順位指定フラグ・レジスタ1L (PR1L) … 664

[ら行]

リセット・コントロール・フラグ・レジスタ (RESF) … 706

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) … 659
割り込みマスク・フラグ・レジスタ0L (MK0L) … 659
割り込みマスク・フラグ・レジスタ1H (MK1H) … 659
割り込みマスク・フラグ・レジスタ1L (MK1L) … 659
割り込み要求フラグ・レジスタ0H (IF0H) … 653
割り込み要求フラグ・レジスタ0L (IF0L) … 653
割り込み要求フラグ・レジスタ1H (IF1H) … 653
割り込み要求フラグ・レジスタ1L (IF1L) … 653

C.2 レジスタ索引（アルファベット順）

[A]

ADCR	: 10ビットA/D変換結果レジスタ ... 420
ADCRH	: 8ビットA/D変換結果レジスタ ... 421
ADM	: A/Dコンバータ・モード・レジスタ ... 416
ADPC	: A/Dポート・コンフィギュレーション・レジスタ ... 218, 423
ADS	: アナログ入力チャネル指定レジスタ ... 422
ADTC0	: 自動データ転送アドレス・カウント・レジスタ0 ... 534
ADTI0	: 自動データ転送間隔指定レジスタ0 ... 533
ADTP0	: 自動データ転送アドレス・ポイント指定レジスタ0 ... 532
ASICL6	: アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 ... 474
ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 ... 471
ASIM0	: アシクロナス・シリアル・インタフェース動作モード・レジスタ0 ... 441
ASIM6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ6 ... 467
ASIS0	: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 ... 443
ASIS6	: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 ... 470

[B]

BANK	: メモリ・バンク選択レジスタ ... 150
BRGCA0	: 分周値選択レジスタ0 ... 531
BRGC0	: ボー・レート・ジェネレータ・コントロール・レジスタ0 ... 444
BRGC6	: ボー・レート・ジェネレータ・コントロール・レジスタ6 ... 473

[C]

CKS	: クロック出力選択レジスタ ... 408
CKSR6	: クロック選択レジスタ6 ... 471
CMP00	: 8ビット・タイマHコンペア・レジスタ00 ... 370
CMP01	: 8ビット・タイマHコンペア・レジスタ01 ... 370
CMP10	: 8ビット・タイマHコンペア・レジスタ10 ... 370
CMP11	: 8ビット・タイマHコンペア・レジスタ11 ... 370
CR000	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ000 ... 272
CR001	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ001 ... 272
CR010	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ010 ... 272
CR011	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ011 ... 272
CR50	: 8ビット・タイマ・コンペア・レジスタ50 ... 351
CR51	: 8ビット・タイマ・コンペア・レジスタ51 ... 351
CRC00	: キャプチャ／コンペア・コントロール・レジスタ00 ... 278
CRC01	: キャプチャ／コンペア・コントロール・レジスタ01 ... 278
CSIC10	: シリアル・クロック選択レジスタ10 ... 505
CSIC11	: シリアル・クロック選択レジスタ11 ... 505
CSIMA0	: シリアル動作モード指定レジスタ0 ... 526
CSIM10	: シリアル動作モード・レジスタ10 ... 502

CSIM11 : シリアル動作モード・レジスタ11 … 502
CSIS0 : シリアル・ステータス・レジスタ0 … 528
CSIT0 : シリアル・トリガ・レジスタ0 … 530

[D]

DMUC0 : 乗除算器コントロール・レジスタ0 … 641

[E]

EGN : 外部割り込み立ち下がりエッジ許可レジスタ … 668
EGP : 外部割り込み立ち上がりエッジ許可レジスタ … 668

[I]

IIC0 : IICシフト・レジスタ0 … 566
IICC0 : IICコントロール・レジスタ0 … 569
IICCL0 : IICクロック選択レジスタ0 … 578
IICF0 : IICフラグ・レジスタ0 … 576
IICS0 : IIC状態レジスタ0 … 573
IICX0 : IIC機能拡張レジスタ0 … 579
IF0H : 割り込み要求フラグ・レジスタ0H … 653
IF0L : 割り込み要求フラグ・レジスタ0L … 653
IF1H : 割り込み要求フラグ・レジスタ1H … 653
IF1L : 割り込み要求フラグ・レジスタ1L … 653
IMS : メモリ・サイズ切り替えレジスタ … 736
ISC : 入力切り替え制御レジスタ … 476
IXS : 内部拡張RAMサイズ切り替えレジスタ … 737

[K]

KRM : キー・リターン・モード・レジスタ … 681

[L]

LVIM : 低電圧検出レジスタ … 714
LVIS : 低電圧検出レベル選択レジスタ … 716

[M]

MCM : メイン・クロック・モード・レジスタ … 235
MDA0H : 乗除算データ・レジスタA0 … 639
MDA0L : 乗除算データ・レジスタA0 … 639
MDB0 : 乗除算データ・レジスタB0 … 640
MK0H : 割り込みマスク・フラグ・レジスタ0H … 659
MK0L : 割り込みマスク・フラグ・レジスタ0L … 659
MK1H : 割り込みマスク・フラグ・レジスタ1H … 659
MK1L : 割り込みマスク・フラグ・レジスタ1L … 659
MOC : メインOSCコントロール・レジスタ … 234

【O】

- OSCCTL : クロック動作モード選択レジスタ … 228
OSTC : 発振安定時間カウンタ状態レジスタ … 236, 683
OSTS : 発振安定時間選択レジスタ … 237, 684

【P】

- P0 : ポート・レジスタ0 … 209
P1 : ポート・レジスタ1 … 209
P2 : ポート・レジスタ2 … 209
P3 : ポート・レジスタ3 … 209
P4 : ポート・レジスタ4 … 209
P5 : ポート・レジスタ5 … 209
P6 : ポート・レジスタ6 … 209
P7 : ポート・レジスタ7 … 209
P12 : ポート・レジスタ12 … 209
P13 : ポート・レジスタ13 … 209
P14 : ポート・レジスタ14 … 209
PCC : プロセッサ・クロック・コントロール・レジスタ … 231
PM0 : ポート・モード・レジスタ0 … 204, 286, 508
PM1 : ポート・モード・レジスタ1 … 204, 357, 376, 445, 476, 508
PM2 : ポート・モード・レジスタ2 … 204, 424
PM3 : ポート・モード・レジスタ3 … 204, 357
PM4 : ポート・モード・レジスタ4 … 204
PM5 : ポート・モード・レジスタ5 … 204
PM6 : ポート・モード・レジスタ6 … 204, 581
PM7 : ポート・モード・レジスタ7 … 204
PM12 : ポート・モード・レジスタ12 … 204, 717
PM14 : ポート・モード・レジスタ14 … 204, 411, 534
PR0H : 優先順位指定フラグ・レジスタ0H … 664
PR0L : 優先順位指定フラグ・レジスタ0L … 664
PR1H : 優先順位指定フラグ・レジスタ1H … 664
PR1L : 優先順位指定フラグ・レジスタ1L … 664
PRM00 : プリスケアラ・モード・レジスタ00 … 283
PRM01 : プリスケアラ・モード・レジスタ01 … 283
PU0 : プルアップ抵抗オプション・レジスタ0 … 214
PU1 : プルアップ抵抗オプション・レジスタ1 … 214
PU3 : プルアップ抵抗オプション・レジスタ3 … 214
PU4 : プルアップ抵抗オプション・レジスタ4 … 214
PU5 : プルアップ抵抗オプション・レジスタ5 … 214
PU6 : プルアップ抵抗オプション・レジスタ6 … 214
PU7 : プルアップ抵抗オプション・レジスタ7 … 214
PU12 : プルアップ抵抗オプション・レジスタ12 … 214
PU14 : プルアップ抵抗オプション・レジスタ14 … 214

[R]

RCM	: 内蔵発振モード・レジスタ ... 234
RESF	: リセット・コントロール・フラグ・レジスタ ... 706
RXB0	: 受信バッファ・レジスタ0 ... 440
RXB6	: 受信バッファ・レジスタ6 ... 466
RXS0	: 受信シフト・レジスタ0 ... 440
RXS6	: 受信シフト・レジスタ6 ... 466

[S]

SDR0	: 剰余データ・レジスタ0 ... 638
SIO10	: シリアルI/Oシフト・レジスタ10 ... 501
SIO11	: シリアルI/Oシフト・レジスタ11 ... 501
SIOA0	: シリアルI/Oシフト・レジスタ0 ... 526
SOTB10	: 送信バッファ・レジスタ10 ... 501
SOTB11	: 送信バッファ・レジスタ11 ... 501
SVA0	: スレーブ・アドレス・レジスタ0 ... 567

[T]

TCL50	: タイマ・クロック選択レジスタ50 ... 352
TCL51	: タイマ・クロック選択レジスタ51 ... 352
TM00	: 16ビット・タイマ・カウンタ00 ... 271
TM01	: 16ビット・タイマ・カウンタ01 ... 271
TM50	: 8ビット・タイマ・カウンタ50 ... 351
TM51	: 8ビット・タイマ・カウンタ51 ... 351
TMC00	: 16ビット・タイマ・モード・コントロール・レジスタ00 ... 276
TMC01	: 16ビット・タイマ・モード・コントロール・レジスタ01 ... 276
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50 ... 355
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51 ... 355
TMCYC1	: 8ビット・タイマHキャリア・コントロール・レジスタ1 ... 375
TMHMD0	: 8ビット・タイマHモード・レジスタ0 ... 371
TMHMD1	: 8ビット・タイマHモード・レジスタ1 ... 371
TOC00	: 16ビット・タイマ出力コントロール・レジスタ00 ... 280
TOC01	: 16ビット・タイマ出力コントロール・レジスタ01 ... 280
TXB6	: 送信バッファ・レジスタ6 ... 466
TXS0	: 送信シフト・レジスタ0 ... 440
TXS6	: 送信シフト・レジスタ6 ... 466

[W]

WDTE	: ウォッチドッグ・タイマ・イネーブル・レジスタ ... 402
WTM	: 時計用タイマ動作モード・レジスタ ... 395

付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード／ソフト）」の区別は、次のとおりです。

ハード：マイコン内部／外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/27)

章	分類	機能	機能の詳細	注意事項	頁
第1章	ハード	端子機能	AV _{SS}	AV _{SS} はV _{SS} と同電位にしてください。	p.42, 44-47
			AV _{SS} , EV _{SS}	AV _{SS} とEV _{SS} は、V _{SS} と同電位にしてください。	p.43, 48-50
			EV _{DD}	EV _{DD} は、V _{DD} と同電位にしてください。	p.43, 48-50
			REGC	REGCはコンデンサ (0.47~1 μ F) を介し、V _{SS} に接続してください。	p.42-50
			ANI0/P20-ANIn/P2n	ANI0/P20-ANIn/P2nは、リセット解除後にアナログ入力モードになります。	p.42-50
第2章	ハード	端子機能	ANI0/P20-ANI7/P27	ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。	p.81
			P31/INTP2/OCD1A	オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) は、誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。	p.82
				オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のP31/INTP2/OCD1A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください (p.83の表を参照)。	p.83
			P121/X1/OCD0A	オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) のP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください (p.87の表を参照)。	p.87
			REGC端子	上図の破線部分の配線を極力短くしてください。	p.91
第3章	ソフト	メモリ空間	IMS, IXS: メモリ・サイズ切り替えレジスタ, 内部拡張RAMサイズ切り替えレジスタ	メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2マイクロコントローラのすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。 メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。	p.96
					p.96
		メモリ・バンク		異なるメモリ・バンク間で命令フェッチはできません。	p.113
				異なるメモリ・バンク間での分岐、アクセスは直接実行できません。異なるメモリ・バンク間で分岐、アクセスをする場合は、コモン・エリアを経由してください。	p.113
				割り込み処理はコモン・エリアに配置してください。	p.113
				7FFFHから8000Hにまたがる命令は、メモリ・バンク0のみ実行可能です。	p.113
		SFR:特殊機能レジスタ	SFRが割り付けられていないアドレスにアクセスしないでください。	p.116	
SP: スタック・ポインタ	SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。	p.126			

(2/27)

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	メモリ・バンク切り替え機能 (フラッシュ・メモリが96 Kバイト以上の製品のみ)	BANK：メモリ・バンク選択レジスタ	BANKレジスタの書き換えは、必ずコモン・エリア (0000H-7FFFH) 内で行ってください。バンク・エリア (8000H-BFFFH) 内でBANKレジスタを切り替えると、CPUが暴走してしまうため、バンク・エリア内でのBANKレジスタの書き換えは、絶対に行わないでください。	p.150 ☐
			メモリ・バンク	異なるメモリ・バンク間で命令フェッチはできません。	p.151 ☐
				異なるメモリ・バンク間での分岐、アクセスは直接実行できません。異なるメモリ・バンク間で分岐、アクセスをする場合は、コモン・エリアを経由してください。	p.151 ☐
				割り込み処理はコモン・エリアに配置してください。	p.151 ☐
				7FFFHから8000Hにまたがる命令は、メモリ・バンク0のみ実行可能です。	p.151 ☐
第5章	ソフト	ポート機能	P02/SO11, P04/SCK11	P02/SO11, P04/SCK11を汎用ポートとして使用する場合、シリアル動作モード・レジスタ11 (CSIM11) とシリアル・クロック選択レジスタ11 (CSIC11) は初期状態と同じ設定 (00H) にしてください。	p.164 ☐
			P10/SCK10/TxD0, P12/SO10	P10/SCK10/TxD0, P12/SO10を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。	p.175 ☐
			P13/TxD6	P13/TxD6を汎用ポートとして使用場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット0 (TXDLV6) を0 (TxD6通常出力) に設定してください。	p.175 ☐
	ハード	ポート2		ポート2をデジタル・ポートとして使用場合は、AVREFをVDDと同電位にしてください。	p.181 ☐
	ソフト			78K0/KC2の38ピン製品の場合、PM2のビット6, 7には1を、P2のビット6, 7には0を必ず設定してください。	p.182 ☐
	ハード	P31/INTP2/OCD1A		オンチップ・デバッグ機能搭載品 (μPD78F05xxD, 78F05xxDA) は、誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。	p.183 ☐
				オンチップ・デバッグ機能搭載品 (μPD78F05xxD, 78F05xxDA) のP31/INTP2/OCD1A端子は、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください (p.183の表を参照)。	p.183 ☐
	ソフト	ポート4		78K0/KC2の38ピン製品の場合、PM4のビット0, 1とP4のビット0, 1には0を必ず設定してください。	p.187 ☐
	ハード	P60, P61		P60, P61は出力モード時においても、入力バッファがオンになっているため、中間電位を入れた場合、貫通電流が流れます。したがって、P60, P61が出力モードの場合には、中間電位を入れないでください。	p.190 ☐
		P62		P62は出力モード時においても、入力バッファがオンになっているため、中間電位を入れた場合、貫通電流が流れます。したがって、P62が出力モードの場合には、中間電位を入れないでください。	p.191 ☐
	ソフト	ポート7		78K0/KC2の38ピン製品の場合、PM7のビット2, 3とP7のビット2, 3には必ず0を設定してください。	p.194 ☐
			P121/X1/OCD0A, P122/X2/EXCLK/OCD0B, P123/XT1, P124/XT2/EXCLKS	P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2), サブシステム・クロック発振子接続 (XT1, XT2), メイン・システム・クロック用外部クロック入力 (EXCLK), サブシステム・クロック用外部クロック入力 (EXCLKS) として使用場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定してください (詳細は、6.3 (1) クロック動作モード選択レジスタ (OSCCTL), (3) サブシステム・クロック端子の動作モードの設定方法を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入出力ポート) となります。このとき、PM121-PM124, P121-P124の設定は不要です。	p.195 ☐
				オンチップ・デバッグ機能搭載品 (μPD78F05xxD, 78F05xxDA) のP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、を次のように処理してください (p.196の表を参照)。	p.196 ☐

(3/27)

章	分類	機能	機能の詳細	注意事項	頁
第5章	ソフト	ポート機能	ポート・モード・レジスタ	PM0のビット2-7, PM2のビット4-7, PM3のビット4-7, PM6のビット2-7, PM12のビット3-7には必ず1を設定してください。(78K0/KB2)	p.204 ☐
				38ピン製品の場合, PM0のビット2-7, PM2のビット6, 7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM7のビット4-7, PM12のビット5-7には必ず1を設定してください。また, PM4のビット0, 1, PM7のビット2, 3には必ず0を設定してください。	p.205 ☐
				44ピン製品の場合, PM0のビット2-7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM7のビット4-7, PM12のビット5-7には必ず1を設定してください。	
				48ピン製品の場合, PM0のビット2-7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM7のビット6, 7, PM12のビット5-7, PM14のビット1-7には必ず1を設定してください。(78K0/KC2)	
				PM0のビット4-7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM12のビット5-7, PM14のビット1-7には必ず1を設定してください。(78K0/KD2)	p.206 ☐
				PM0のビット7, PM3のビット4-7, PM4のビット4-7, PM5のビット4-7, PM6のビット4-7, PM12のビット5-7, PM14のビット2-7には必ず1を設定してください。(78K0/KE2)	p.207 ☐
				PM0のビット7, PM3のビット4-7, PM12のビット5-7, PM14のビット6, 7には必ず1を設定してください。(78K0/KF2)	p.208 ☐
			ポート・レジスタ (78K0/KC2)	38ピン製品の場合, P2のビット6, 7, P4のビット0, 1, P7のビット2, 3には必ず0を設定してください。	p.210 ☐
			ADPC : A/Dポート・コンフィギュレーション・レジスタ	A/D変換で使用するチャネルは, ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。 ADPCにデータを書き込むと, ウェイトが発生します。また周辺ハードウェア・クロックが停止しているときに, ADPCにデータを書き込まないでください。詳細は第36章ウェイトに関する注意事項を参照してください。	p.219 ☐ p.219 ☐
			ポート・レジスタ _n (P _n) に対する1ビット・メモリ操作命令	入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合, 操作対象のビットだけでなく, 操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。 そのため, 任意のポートを入力モードから出力モードに切り替える前には, 出力ラッチの値を書き直すことを推奨します。	p.223 ☐
第6章	ソフト	クロック発生回路	OSCSTL: クロック動作モード選択レジスタ	高速システム・クロック周波数が10MHzを越える場合は, 必ずAMPHに1を設定してください。	p.229, ☐ 230
				AMPHは, メイン・クロック・モード・レジスタ (MCM) を設定する前に設定してください。	p.229, ☐ 230
				AMPHは, リセット解除後, 周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック (X1発振) を選択する場合は, AMPHに1を設定してから4.06~16.12 μ s間, CPUクロックに高速システム・クロック (外部クロック入力) を選択する場合は, AMPHに1を設定してから外部クロックの160クロック分, CPUクロックの供給が停止されます。	p.229, ☐ 230
				AMPH = 1設定時にSTOP命令を実行した場合, CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06~16.12 μ s間, CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分, CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック (X1発振) のときは, STOPモード解除後に発振安定時間をカウントします。	p.229, ☐ 230
				EXCLKとOSCSELを別の値に書き換える場合, メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効) であることを必ず確認してください。	p.229, ☐ 230
				ビット1-5には, 必ず0を設定してください。(78K0/KB2)	p.229 ☐
				ビット1-3には, 必ず0を設定してください。(78K0/KC2-78K0/KF2)	p.230 ☐
			PCC: プロセッサ・クロック・コントロール・レジスタ	ビット3-7には, 必ず0を設定してください。(78K0/KB2)	p.231 ☐
				ビット3, 7には, 必ず0を設定してください。(78K0/KC2-78K0/KF2)	p.232 ☐
				PCCの分周比の設定では, 周辺ハードウェア・クロック (f _{PRS}) は分周されません。	p.231, ☐ 232
				XTSTART, EXCLKSとOSCSELSを別の値に書き換える場合, プロセッサ・クロック・コントロール・レジスタ (PCC) のビット5 (CLS) が0 (メイン・システム・クロックでCPU動作) であることを確認してください。	p.233 ☐

(4/27)

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	クロック発生回路	RCM：内蔵発振モード・レジスタ	RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。 ①78K0/KB2の場合 ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作) ②78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2の場合 ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作) ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作) また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。	p.234
			MOC：メインOSCコントロール・レジスタ	MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。 ①78K0/KB2の場合 ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作) ②78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2の場合 ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作) ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作) また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。	p.235
				クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき (入出力ポート・モード), MSTOPに0を設定しないでください。	p.235
				周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。	p.235
			MCM：メイン・クロック・モード・レジスタ	XSELはリセット解除後、1回だけ設定が可能です。	p.236
	ハード			CPUクロックがサブシステム・クロックで動作しているとき、MCM0を書き換えしないでください。	p.236
				次の周辺機能には、XSELとMCM0の設定によらず、fPRS以外のクロックが供給されます。 ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作) ・8ビット・タイマH1のカウント・クロックに「fRL」, 「fRL/2 ⁷ 」または「fRL/2 ⁹ 」を選択時 (低速内蔵発振クロックで動作) ・クロック・ソースに外部クロックを選択している周辺ハードウェア (ただし、TM0n (n = 0, 1) の外部カウント・クロック選択時 (TI00n端子の有効エッジは除く))	p.236
	ソフト		OSTC：発振安定時間カウンタ状態レジスタ	上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 ≤ OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。	p.237
				X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。	p.237
	ソフト		OSTS：発振安定時間選択レジスタ	CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。	p.238
				X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p.238
				発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 ≤ OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。	p.238
	ハード			X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。	p.238

(5/27)

章	分類	機能	機能の詳細	注意事項	頁
第6章	ハード	X1/XT1 発振回路	—	X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-12、6-13の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。 特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。	p.240 ☐
		—	—	X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。	p.241 ☐
		電源電圧 投入時の クロック 発生回路 動作	—	EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。 電源電圧が1.59 V (TYP.) に達したあと、1.93~5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0~5.39 msの電源安定待ち時間が自動的に発生します。	p.245, 246 ☐ p.246 ☐
	ソフト	高速システム・クロックの制御	X1/P121, X2/EXCLK/P122	X1/P121, X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。	p.247 ☐
			X1クロック	X1クロック動作中にEXCLK, OSCSELを書き換えないでください 電源電圧が、使用するクロックの動作可能電圧（第30章 電気的特性（標準品）～第33章 電気的特性 ((A2) 水準品: T _A = -40~+125 °C) を参照) に達してから、X1クロックの設定を行ってください。	p.248 ☐ p.248 ☐
			外部メイン・システム・クロック	外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えないでください。 電源電圧が、使用するクロックの動作可能電圧（第30章 電気的特性（標準品）～第33章 電気的特性 ((A2) 水準品: T _A = -40~+125 °C) を参照) に達してから、X1クロックの設定を行ってください。	p.248 ☐ p.248 ☐
			メイン・システム・クロック	メイン・システム・クロックに高速システム・クロックを選択した場合、周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。	p.249 ☐
			高速システム・クロック	MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。	p.250 ☐
		高速内蔵発振クロックの制御	高速内蔵発振クロック	RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。	p.252 ☐
		サブシステム・クロックの制御	XT1/P123, XT2/EXCLKS/P124	XT1/P123, XT2/EXCLKS/P124端子のリセット解除時は、入出力ポート・モードです。	p.253 ☐
			周辺ハードウェア端子からの外部クロック	CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。	p.253 ☐
			XT1クロック, 外部サブシステム・クロック	サブシステム・クロック動作中にXTSTART, EXCLKS, OSCSELSを書き換えないでください。	p.253, 254 ☐
			サブシステム・クロック	OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで時計用タイマが動作している場合は、時計用タイマの動作を停止してください。	p.255 ☐
			—	STOP命令でサブシステム・クロックの発振を停止することはできません。	p.255 ☐
		低速内蔵発振クロックの制御	低速内蔵発振クロック	オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。	p.255 ☐
		CPU クロ	—	設定するクロックの動作可能電圧（第30章 電気的特性（標準品）～第33章 電気的特性 ((A2) 水準品: T _A = -40~+125 °C) を参照) に電源電圧が達してから、クロックを設定してください。	p.259, 260, 262 ☐

(6/27)

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	CPUクロック	—	メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0→1) を同時に設定しないでください。ただし、メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1→0) は同時に設定可能です。	p.265 ☐
			—	高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。	p.266 ☐
			—	CPUクロックがサブシステム・クロックで動作しているとき、MCM0を書き換えないでください。	p.266 ☐
第7章	ハード	16ビット・タイマ／イベント・カウンタ00, 01	—	P01端子はTi010有効エッジとタイマ出力 (TO00) を、P06端子はTi011有効エッジとタイマ出力 (TO01) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。	p.271 ☐
			—	16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。	p.271 ☐
	ソフト		—	キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC0n3, TMC0n2ビット = 00にしてから、設定を変更してください。なお、一度キャプチャした値は、リセットしないかぎりCR00nに格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。	p.271 ☐
			TM0n : 16ビット・タイマ・カウンタ0n	TM0nをリードしても、CR01nにはキャプチャしません。	p.272 ☐
		CR00n, CR01n : 16ビット・タイマ・キャプチャ／コンペア・レジスタ00n, 01n	—	コンペア・モードに設定したCR00nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。	p.273 ☐
			—	コンペア・モードに設定したCR01nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。	p.273 ☐
			—	Ti00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM00n) は発生しません。この動作中に、Ti01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。	p.275 ☐
			—	TMC0n : 16ビット・タイマ・モード・コントロール・レジスタ0n	p.276 ☐
	ハード	CRC0n : キャプチャ／コンペア・コントロール・レジスタ0n	—	キャプチャを確実にを行うためのキャプチャ・トリガには、プリスケアラ・モード・レジスタ0n (PRM0n) で選択したカウント・クロックの2周期分より長いパルスが必要です。	p.279, 280 ☐
			—	TOC0n : 16ビット・タイマ出力コントロール・レジスタ0n	p.280 ☐
	ソフト	PRM0n : プリスケアラ・モード・レジスタ0n	—	TOC0nを設定するときは、必ず次の順序で設定してください。 ①TOC0n4, TOC0n1のセット (1) ②TOE0nだけを単独でセット (1) ③LVS0nまたはLVR0nのどちらか片方だけをセット (1)	p.280 ☐
			—	PRM0n1, PRM0n0ビット = 11 (カウント・クロックをTi00n端子の有効エッジに指定) に設定する場合、次の設定は禁止です。 ・Ti00n端子の有効エッジでクリア&スタート・モード ・Ti00n端子をキャプチャ・トリガに設定	p.283 ☐
			—	リセット後、Ti00n端子またはTi01n端子がハイ・レベルの状態では、Ti00n端子またはTi01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。Ti00n端子またはTi01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。	p.283 ☐

(7/27)

章	分類	機能	機能の詳細	注意事項	頁
第7章	ハード	16ビット・タイマ／イベント・カウンタ00, 01	PRM0n: プリスケアラ・モード・レジスタ0n	P01端子はTI010有効エッジとタイマ出力 (TO00) を, P06端子はTI011有効エッジとタイマ出力 (TO01) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。	p.283 ☐
			TI00n 端子の有効エッジ入力によるクリア&スタート・モード	カウント・クロックをTI00n端子の有効エッジ (PRM0n1, PRM0n0 = 11) に設定しないでください。PRM0n1, PRM0n0 = 11に設定すると, TM0nがクリアされる可能性があります。	p.298 ☐
			PPG出力	動作中にデューティの値 (CR01n) を変更したい場合は, 7.5.1 CR01nのTM0n動作中の書き換えを参照してください。 CR00n, CR01nには, 0000H ≤ CR01n < CR00n ≤ FFFFHの値を設定してください。	p.324 ☐ p.326 ☐
			ワンショット・パルス出力	ワンショット・パルスを出力中に, さらにトリガ (OSPT0nのセット (1)), またはTI00n端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。 OSPT0nのセット (1) のみをワンショット・パルス出力のトリガとする場合, TI00n端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。 CR00nとCR01nには同値を設定しないでください。	p.328 ☐ p.328 ☐ p.330 ☐
			LVS0n, LVRn0	LVS0n, LVRn0は必ず上記①, ②, ③の手順で設定してください。 ①の設定をしてから, ③の設定をするまでの間であれば, ②の設定ができます。	p.343 ☐
			—	表7-3に各チャンネルの制限事項を示します。	p.344 ☐
		ハード	タイマ・スタート時の誤差	タイマ・スタート後, 一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは, カウント・パルスに対してTM0nのカウント・スタートが非同期で行われるためです。	p.344 ☐
	ソフト	CR00n, CR01n: 16ビット・タイマ・キャプチャ／コンペア・レジスタ00n, 01n	TM0nとCR00nの一致でクリア&スタート・モードの場合, CR00n, CR01nには, 0000H以外の値を設定してください (外部イベント・カウンタとして使用する場合, 1パルスのカウント動作はできません)。	TM0nとCR00nの一致でクリア&スタート・モードの場合, CR00n, CR01nには, 0000H以外の値を設定してください (外部イベント・カウンタとして使用する場合, 1パルスのカウント動作はできません)。	p.344 ☐
			CR00n/CR01nの読み出し中にTI00n/TI01n端子の有効エッジ入力, TI00n端子の逆相のエッジを検出したとき, CR01nはキャプチャ動作を行いますが, CR00n/CR01nの読み出し値は保証されません。このとき, TI00n/TI01n端子の有効エッジの検出による割り込み信号 (INTTM00n/INTTM01n) は発生します (TI00n端子の逆相のエッジ検出時は, 割り込み信号を発生しません)。 TI00n/TI01n端子の有効エッジの検出によるキャプチャ時に, CR00n/CR01nの値を読み出す場合は, INTTM00n/INTTM01n発生後に行ってください。	CR00n/CR01nの読み出し中にTI00n/TI01n端子の有効エッジ入力, TI00n端子の逆相のエッジを検出したとき, CR01nはキャプチャ動作を行いますが, CR00n/CR01nの読み出し値は保証されません。このとき, TI00n/TI01n端子の有効エッジの検出による割り込み信号 (INTTM00n/INTTM01n) は発生します (TI00n端子の逆相のエッジ検出時は, 割り込み信号を発生しません)。 TI00n/TI01n端子の有効エッジの検出によるキャプチャ時に, CR00n/CR01nの値を読み出す場合は, INTTM00n/INTTM01n発生後に行ってください。	p.345 ☐
			16ビット・タイマ／イベント・カウンタ0n停止後のCR00n, CR01nの値は保証されません。	16ビット・タイマ／イベント・カウンタ0n停止後のCR00n, CR01nの値は保証されません。	p.345 ☐
		ES0n0, ES0n1	TI00n端子の有効エッジの設定は, タイマ動作が停止 (TMC0n3, TMC0n2 = 00) しているときに行ってください。有効エッジの設定は, ES0n0, ES0n1で行います。	TI00n端子の有効エッジの設定は, タイマ動作が停止 (TMC0n3, TMC0n2 = 00) しているときに行ってください。有効エッジの設定は, ES0n0, ES0n1で行います。	p.345 ☐
		ワンショット・パルスの再トリガ	ワンショット・パルス出力モードで, アクティブ・レベルを出力中に, トリガが発生しないようにしてください。次のトリガ入力は, 必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。	ワンショット・パルス出力モードで, アクティブ・レベルを出力中に, トリガが発生しないようにしてください。次のトリガ入力は, 必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。	p.345 ☐
		OVF0n	OVF0nフラグは, TM0nがオーバフローしたとき以外に, 次のときにもセット (1) されます。 TM0nとCR00nの一致でクリア&スタート・モードを選択 →CR00nをFFFFHに設定 →TM0nがCR00nとの一致によりFFFFHから0000Hにクリアされるとき TM0nがオーバフロー後, 次のカウント・クロックがカウントされる (TM0nが0001Hになる) 前にOVF0nフラグをクリア (0) しても, 再度セット (1) されクリアは無効となります。	OVF0nフラグは, TM0nがオーバフローしたとき以外に, 次のときにもセット (1) されます。 TM0nとCR00nの一致でクリア&スタート・モードを選択 →CR00nをFFFFHに設定 →TM0nがCR00nとの一致によりFFFFHから0000Hにクリアされるとき TM0nがオーバフロー後, 次のカウント・クロックがカウントされる (TM0nが0001Hになる) 前にOVF0nフラグをクリア (0) しても, 再度セット (1) されクリアは無効となります。	p.346 ☐ p.346 ☐
		ワンショット・パルス出力	ワンショット・パルス出力は, フリー・ランニング・タイマ・モードまたはTI00n端子の有効エッジでクリア&スタート・モードのときに, 正常に動作します。TM0nとCR00nの一致でクリア&スタート・モードでは, ワンショット・パルスを出力できません。	ワンショット・パルス出力は, フリー・ランニング・タイマ・モードまたはTI00n端子の有効エッジでクリア&スタート・モードのときに, 正常に動作します。TM0nとCR00nの一致でクリア&スタート・モードでは, ワンショット・パルスを出力できません。	p.346 ☐
		TI00n	カウント・クロックにTI00nの有効エッジを指定した場合, TI00nをトリガに指定したキャプチャ・レジスタは正常に動作しません。	カウント・クロックにTI00nの有効エッジを指定した場合, TI00nをトリガに指定したキャプチャ・レジスタは正常に動作しません。	p.346 ☐

(8/27)

章	分類	機 能	機能の詳細	注意事項	頁
第7章	ハード	16 ビット・タイマ／イベント・カウンタ00, 01	TI00n, TI01n	確実にキャプチャするためのキャプチャ・トリガとして、TI00n, TI01n端子に入力するパルスには、PRM0nで選択したカウント・クロックの2回分より長いパルス幅が必要です（図7-9を参照）。	p.346 ☐
			INTTM00n, INTTM01n	キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号（INTTM00n, INTTM01n）は次のカウント・クロックの立ち上がりで発生します（図7-9を参照）。	p.347 ☐
	ソフト	CRC0n1=1	TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号（INTTM00n）は発生しません。この動作中に、TI01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。	p.347 ☐	
	ハード	リセット後の有効エッジ指定	リセット後、TI00n端子またはTI01n端子がハイ・レベルの状態、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。	p.347 ☐	
		ノイズ除去のためのサンプリング・クロック	TI00nの有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者はfPRS固定で、後者はPRM0nで選択したカウント・クロックでサンプリングします。TI00n端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます（図7-9を参照）。	p.347 ☐	
		TI00n/ TI01n	CPUの動作モードに関係なく、タイマが停止していると、TI00n/ TI01n端子への入力信号は受け付けられません。	p.347 ☐	
		TM0nのリード	TM0nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウントを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。	p.348 ☐	
第8章	ソフト	8ビット・タイマ／イベント・カウンタ50, 51	CR5n : 8ビット・タイマ・コンペア・レジスタ5n	TM5nとCR5nの一致でクリア&スタート・モード（TMC5n6 = 0）時は、動作中にCR5nに異なる値を書き込まないでください。	p.351 ☐
				PWMモード時は、CR5nの書き換え間隔をカウント・クロック（TCL5nで選択したクロック）の3カウント・クロック以上にしてください。	p.351 ☐
			TCL50 : タイマ・クロック選択レジスタ50	TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。	p.353 ☐
				ビット3-7には必ず“0”を設定してください。	p.353 ☐
			TCL51 : タイマ・クロック選択レジスタ51	TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。	p.354 ☐
				ビット3-7には必ず“0”を設定してください。	p.354 ☐
			TMC5n : 8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）	LVS5nとLVR5nの設定は、PWMモード時以外で有効になります。	p.356 ☐
				次の①～④の設定は同時に行わないでください。また設定は次の手順で行ってください。 ① TMC5n1, TMC5n6を設定	

(9/27)

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	8ビット・タイマ／イベント・カウンタ50, 51	PWM出力	図8-15の①から②の間でCR5nからリードする場合、実際に動作する値と異なります (リード値: M, 実際のCR5nの値: N)。	p.365 ☐
			タイマ・スタート時の誤差	タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。	p.366 ☐
			TM5nのリード	TM5nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。	p.366 ☐
第9章	ソフト	8ビット・タイマH0, H1	CMP0n: 8ビット・タイマHコンペア・レジスタ0n (CMP0n)	CMP0nは、タイマ・カウント動作中に値を書き換えないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。	p.370 ☐
			CMP1n: 8ビット・タイマHコンペア・レジスタ1n (CMP1n)	PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。	p.370 ☐
			TMHMD0: 8ビット・タイマHモード・レジスタ0	TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。	p.373 ☐
				PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する (TMHE0 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも、必ず再設定してください)。	p.373 ☐
				実際のTOH0/P15端子の出力は、TOH0出力のほかにPM15とP15によって決まります。	p.373 ☐
			TMHMD1: 8ビット・タイマHモード・レジスタ1	TMHE1 = 1のとき、TMHMD1の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。	p.375 ☐
				PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。	p.375 ☐
				キャリア・ジェネレータ・モードを使用する場合、TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。	p.375 ☐
				実際のTOH1/INTP5/P16端子の出力は、TOH1出力のほかにPM16とP16によって決まります。	p.375 ☐
			TMCYC1: 8ビット・タイマHキャリア・レジスタ1	TMHE1 = 1のとき、RMC1を書き換えないでください。ただし、TMCYC1にリフレッシュ (同値書き込み) することは可能です。	p.375 ☐
	ハード	PWM出力		タイマ・カウント動作中に、CMP1nレジスタの設定値を変更することができます。ただし、CMP1nレジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号) の3クロック分以上かかります。	p.381 ☐
				タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。	p.381 ☐
ソフト		キャリア・ジェネレータ (8ビット・タイマHのみ)		CMP1nレジスタの設定値 (M), CMP0nレジスタの設定値 (N) は、必ず次の範囲内にしてください。 $00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq \text{FFH}$	p.381 ☐
				NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。	p.387 ☐
				8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、①のタイミングで割り込みが発生します。8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生時のタイミングが異なります。	p.387 ☐
				タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ずCMP11レジスタを設定してください (CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。	p.389 ☐

(10/27)

章	分類	機能	機能の詳細	注意事項	頁
第9章	ソフト	8ビット・タイマH0, H1	キャリア・ジェネレータ (8ビット・タイマH1のみ)	TMH1のカウンタ・クロック周波数をTM51のカウンタ・クロック周波数の6倍以上になるように設定してください。	p.389 ☐
				CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。	p.389 ☐
				タイマ・カウンタ動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMD1レジスタのCKS12-CKS10ビットで選択された信号) の3クロック分以上かかります。	p.389 ☐
				RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。	p.389 ☐
第10章	ソフト	時計用タイマ	WTM: 時計用タイマ動作モード・レジスタ	時計用タイマ動作中に、カウンタ・クロック、インターバル時間の変更 (WTMのビット4-7 (WTM4-WTM7) で設定) をしないでください。	p.396 ☐
	ハード		割り込み要求	時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTMのビット0 (WTM0) およびビット1 (WTM1) を1にセット) したとき、設定後の最初の割り込み要求 (INTWT) までの時間は、正確にWTMのビット2, 3 (WTM2, WTM3) の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。	p.399 ☐
第11章	ソフト	ウォッチドッグ・タイマ	WDTE: ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号が発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号が発生します。	p.402 ☐
				WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号が発生します。	p.402 ☐
				WDTEのリード値は、“9AH/1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。	p.402 ☐
			動作制御	リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。	p.403 ☐
				WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大2/f _{RL} 秒の誤差が生じる場合があります。	p.403 ☐
				ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフロー直前 (FFFFH) まで有効です。	p.403 ☐
				オプション・バイトのビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります (p.406の表を参照)。LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウンタ開始します。また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。	p.404 ☐
			オーバフロー時間の設定、ウィンドウ・オープン期間の設定	WDSC2 = WDSC1 = WDSC0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。	p.404, ☐ 405
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.404, ☐ 405
			ウィンドウ・オープン期間の設定	1.8 V ≤ V _{DD} < 2.7 Vで使用する場合、WINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。	p.405 ☐
				リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。	p.405 ☐
第12章	ソフト	クロック出力 / ブザー出力制御回路	CKS: クロック出力選択レジスタ	CCS3-CCS0の設定は、クロック出力動作停止時 (CLOE = 0) に行ってください。	p.409, ☐ 411
				BCS1, BCS0の設定は、ブザー出力動作停止時 (BZOE = 0) に行ってください。	p.411 ☐

(11/27)

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	ADCR:10ビット A/D 変換レジスタ, ADCRH:8ビット A/D 変換レジスタ	ADCR, ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.415 □
			ADM: A/Dコンバータ・モード・レジスタ	FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。	p.417 □
				ADMにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、ADMにデータを書き込まないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.417 □
			A/D 変換時間の選択	変換時間は、次の条件で設定してください。 (p.418, 419を参照)	p.418, □ 419
				FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。	p.418, □ 419
				2.3 V ≤ AV _{REF} < 2.7 V の場合、LV0をデフォルト値から変更してください。	p.418, □ 419
				前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。	p.418, □ 419
			ADCR:10ビット A/D 変換レジスタ	A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p.420 □
				ADCRからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、ADCRからデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.420 □
			ADCRH:8ビット A/D 変換レジスタ	A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p.421 □
				ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、ADCRHからデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.421 □
			ADS:アナログ入力チャネル指定レジスタ	ビット3-7には必ず0を設定してください。	p.422 □
				ADSにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、ADSにデータを書き込まないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.422 □
			ADS:アナログ入力チャネル指定レジスタ, ADPC: A/Dポート・コンフィギュレーション・レジスタ (ADPC)	A/D変換で使用するチャネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。	p.422, □ 423
			ADPC: A/Dポート・コンフィギュレーション・レジスタ (ADPC)	ADPCにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、ADPCにデータを書き込まないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.423 □
			ポート・モード・レジスタ2 (PM2)	78K0/KC2の38ピン製品の場合、PM2のビット6, 7には1を、P2のビット6, 7には0を必ず設定してください。	p.424 □
			A/D 変換の基本動作	①から⑤までの間は1 μs以上空けてください。	p.425 □

(12/27)

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	A/D変換動作	①から⑤までの間は1 μ s以上空けてください。	p.429 ☐
				①は、②から④までの間に行っても、問題ありません。	p.429 ☐
				①は省略可能です。ただし、この場合には⑤のあと、最初の変換データは無視してください。	p.429 ☐
				⑥から⑨までの時間は、ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。⑧から⑨までの時間が、FR2-FR0, LV1, LV0で設定した変換時間となります。	p.429 ☐
		STOP モード時の動作電流	A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。	p.433 ☐	
	ハード	ANIO-ANI7 入力範囲	ANIO-ANI7入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。	p.433 ☐	
	ソフト	競合動作	変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードが競合した場合、ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。	p.433 ☐	
			変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトが競合した場合、ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。	p.433 ☐	
	ハード	ノイズ対策	10ビット分解能を保つためには、AVREF, ANIO-ANI7端子へのノイズに注意する必要があります。 ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。 ② アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13-20のようにCを外付けすることを推奨します。 ③ 変換中においては、他の端子とスイッチングしないようにしてください。 ④ 変換開始直後にHALTモードに設定すると、精度が向上します。	p.433 ☐	
			ANIO/P20-ANI7/P27	アナログ入力 (ANIO-ANI7) 端子は入力ポート (P20-P27) 端子と兼用になっています。ANIO-ANI7のいずれかを選択してA/D変換をする場合、変換中にP20-P27に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27として使用する端子の選択は、AVREFから最も遠いANIO/P20より行うことを推奨します。 A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。	p.434 ☐ p.434 ☐
		ANIO-ANI7 端子の入カインピーダンス	このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。 ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを10 k Ω 以下にし、出カインピーダンスが高いときはANIO-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図13-20参照)。	p.434 ☐	
		AVREF端子の入カインピーダンス	AVREF端子とAVSS端子の間には数十k Ω の直列抵抗ストリングが接続されています。したがって、基準電圧源の出カインピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。	p.434 ☐	
		ソフト	割り込み要求フラグ (ADIF)	アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。	p.435 ☐

(13/27)

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	A/D変換スタート直後の変換結果	ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。	p.435 ☐
			A/D変換結果レジスタ(ADCR, ADCRH)の読み出し	A/Dコンバータ・モード・レジスタ(ADM)、アナログ入力チャネル指定レジスタ(ADS)、A/Dポート・コンフィギュレーション・レジスタ(ADPC)に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。	p.435 ☐
第14章	ソフト	シリアル・インタフェース UART0	UARTモード	シリアル・インタフェースUART0への供給クロックが停止しない場合(例: HALTモード)では、正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合(例: STOPモード)では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0として、回路をリセットしてください。	p.437 ☐
				通信開始する場合、POWER0 = 1に設定後、TXE0 = 1(送信)またはRXE0 = 1(受信)に設定してください。	p.437 ☐
				TXE0とRXE0は、BRGC0で設定した基本クロック(f _{CLK0})により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。	p.438 ☐
				TXE0 = 1に設定したあと、基本クロック(f _{CLK0})1クロック以上待ってから、TXS0に送信データを設定してください。	p.438, 440 ☐
				TXS0: 送信シフト・レジスタ0	p.440 ☐
			ASIMO: アシクロナス・シリアル・インタフェース動作モード・レジスタ0	送信開始するときはPOWER0 = 1にしてから、TXE0 = 1としてください。送信停止するときにはTXE0 = 0にしてから、POWER0 = 0としてください。	p.442 ☐
				受信開始するときはPOWER0 = 1にしてから、RXE0 = 1としてください。受信停止するときにはRXE0 = 0にしてから、POWER0 = 0としてください。	p.442 ☐
				RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1→RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1→RXE0 = 1と設定すると、受信を開始してしまいます。	p.442 ☐
				TXE0とRXE0は、BRGC0で設定した基本クロック(f _{CLK0})により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。	p.442 ☐
				TXE0 = 1に設定したあと、基本クロック(f _{CLK0})1クロック以上待ってから、TXS0に送信データを設定してください。	p.442 ☐
				PS01, PS00, CL0ビットを書き換えるときは、TXE0, RXE0ビットをクリア(0)してから行ってください。	p.442 ☐
				SL0ビットを書き換えるときは、TXE0をクリア(0)してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL0ビットの設定値の影響は受けません。	p.442 ☐
				ビット0には必ず1を設定してください。	p.442 ☐
			ASIS0: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	PE0ビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ0(ASIMO)のPS01, PS00ビットの設定値により異なります。	p.443 ☐
				受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p.443 ☐
				オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ0(RXB0)には書き込まれず、データは破棄されます。	p.443 ☐

(14/27)

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	シリアル・インタフェース UART0	ASIS0: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	ASIS0からデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、ASIS0からデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.443 ☐
			BRGC0: ボー・レート・ジェネレータ・コントロール・レジスタ0	MDL04-MDL00ビットを書き換える場合は、ASIM0レジスタのビット6 (TXE0) = 0, ビット5 (RXE0) = 0にしてから行ってください。	p.445 ☐
				TPS01, TPS00ビットを書き換える場合は、ASIM0レジスタのビット7 (POWER0) = 0にしてから行ってください。	p.445 ☐
	ハード			5ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値となります。	p.445 ☐
	ソフト		POWER0, TXE0, RXE0 : ASIM0 のビット 7, 6, 5	動作停止するときはTXE0 = 0, RXE0 = 0にしてから、POWER0 = 0 にしてください。通信開始するときはPOWER0 = 1にしてから、TXE0 = 1, RXE0 = 1にしてください。	p.446 ☐
			UARTモード	ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。	p.447 ☐
			UART送信	TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。	p.450 ☐
			UART受信	受信エラーが発生した場合は、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) を読み出したあと、受信バッファ・レジスタ0 (RXB0) を読み出し、エラー・フラグをクリアしてください。RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。	p.451 ☐
				受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。	p.451 ☐
			ボー・レートの誤差	送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。	p.456 ☐
				受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。	p.456 ☐
			受信時の許容ボー・レート範囲	受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。	p.457 ☐
第15章	ソフト	シリアル・インタフェース UART6	UARTモード	TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。	p.459 ☐
				シリアル・インタフェースUART6への供給クロックが停止しない場合 (例: HALTモード) では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合 (例: STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0として、回路をリセットしてください。	p.460 ☐
				通信開始する場合、POWER6 = 1に設定後、TXE6 = 1 (送信) またはRXE6 = 1 (受信) に設定してください。	p.460 ☐
				TXE6とRXE6は、CKSR6で設定した基本クロック (f _{XCLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると送信回路または受信回路を初期化できない場合があります。	p.460 ☐
				TXE6 = 1に設定したあと、基本クロック (f _{XCLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。	p.460 ☐
				連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。	p.460 ☐

(15/27)

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	シリアル・インタフェース UART6	TXB6:送信バッファ・レジスタ6	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。	p.466 ☐
				通信動作中 (アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。	p.466 ☐
				TXE6 = 1に設定したあと、基本クロック (fxCLK6) 1クロック以上待ってから、TXB6に送信データを設定してください。	p.466 ☐
			ASIM6: アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	送信開始するときはPOWER6 = 1にしてから、TXE6 = 1としてください。送信停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。	p.469 ☐
				受信開始するときはPOWER6 = 1にしてから、RXE6 = 1としてください。受信停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。	p.469 ☐
				RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1→RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1→RXE6 = 1 と設定すると、受信を開始してしまいます。	p.469 ☐
				TXE6とRXE6は、CKSR6で設定した基本クロック (fxCLK6) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。	p.469 ☐
				TXE6 = 1に設定したあと、基本クロック (fxCLK6) 1クロック以上待ってから、TXB6に送信データを設定してください。	p.469 ☐
				PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) してから行ってください。	p.469 ☐
				LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。	p.469 ☐
				SL6ビットを書き換えるときは、TXE6をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6ビットの設定値の影響は受けません。	p.469 ☐
				ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。	p.469 ☐
			ASIS6: アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	PE6ビットの動作は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。	p.470 ☐
				受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p.470 ☐
				オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず、データは破棄されます。	p.470 ☐
				ASIS6からデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (fPRS) が停止しているときに、ASIS6からデータを読み出さないでください。詳細は、第36章 ウェイトに関する注意事項を参照してください。	p.470 ☐
			ASIF6: アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。	p.471 ☐
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。	p.471 ☐
			CKSR6: クロック選択レジスタ6	TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。	p.473 ☐
			BRGC6: ボー・レート・ジェネレータ・コントロール・レジスタ6	MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。	p.473 ☐
	ハード			8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値となります。	p.473 ☐

(16/27)

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	シリアル・インタフェース・コントローラ・レジスタ6 UART6	ASICL6: アシクロナス・シリアル・インタフェース・コントローラ・レジスタ6	通信動作中 (アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでASICL6へのリフレッシュ動作 (同値書き込み) を行うことができます。ただし、SBF受信 (SBRF6 = 1) またはSBF送信 (SBTT6をセット (1) 後からINTST6発生までの間) に、リフレッシュ動作でSBRT6 = 1, SBTT6 = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。	p.474 ☐
				SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持 (1) されます。	p.475 ☐
				SBRT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF受信が終了 (割り込み要求信号が発生) する前に、SBRT6ビットをクリア (0) しないでください。	p.475 ☐
				SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア (0) されます。	p.475 ☐
				SBTT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF送信が終了 (割り込み要求信号が発生) する前に、SBTT6ビットをクリア (0) しないでください。	p.475 ☐
				SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア (0) されます。	p.475 ☐
				SBRT6ビットは受信動作中に、SBTT6ビットは送信動作中に、セット (1) しないでください。	p.475 ☐
				DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) にしてから行ってください。	p.475 ☐
				TXDLV6ビットを1 (TxD6反転出力) に設定している場合、POWER6, TXE6の設定に関係なく、TxD6/P13端子を汎用ポートとして使用することはできません。TxD6/P13端子を汎用ポートとして使用する場合は、TXDLV6ビットを0 (TxD6通常出力) に設定してください。	p.475 ☐
			POWER6, TXE6, RXE6 : ASIM6 のビット7, 6, 5	動作停止するときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。通信開始するときは、POWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。	p.477 ☐
			UARTモード	ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。	p.478 ☐
			パリティの種類と動作	LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。	p.481 ☐
			連続送信	連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」→「11」→「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出して下さい。	p.483 ☐
				LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。	p.483 ☐
				連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが「0」であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが「1」のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。	p.484 ☐
				連続送信完了時に送信ユニットを初期化する場合、送信完了割り込み発生後に、必ずTXSF6フラグが「0」であることを確認してから初期化を実行してください。TXSF6フラグが「1」のときに初期化を実行した場合の送信データは保証できません。	p.484 ☐
				連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。	p.484 ☐
			通常受信	受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。	p.488 ☐
				受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。	p.488 ☐

(17/27)

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	シリアル・インタフェース UART6	通常受信	RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。	p.488 ☐
			ボー・レートの誤差	送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。	p.495 ☐
				受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。	p.495 ☐
			受信時の許容ボー・レート範囲	受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。	p.496 ☐
第16章	ソフト	シリアル・インタフェース CSI10, CSI11	SOTB1n: 送信バッファ・レジスタ1n	CSOT1n = 1 (シリアル通信中) のとき、SOTB1nへのアクセスは行わないでください。	p.501 ☐
				スレープ・モードでは、SSI11端子にロウ・レベルが入力された状態で、SOTB11にデータを書き込むと送受信が開始されます。送受信動作の詳細については、16.4.2 (2) 通信動作を参照してください。	p.501 ☐
			SIO1n: シリアルI/Oシフト・レジスタ1n	CSOT1n = 1 (シリアル通信中) のとき、SIO1nへのアクセスは行わないでください。	p.502 ☐
				スレープ・モードでは、SSI11端子にロウ・レベルが入力された状態で、SIO11からデータを読み出すと受信が開始されます。受信動作の詳細については、16.4.2 (2) 通信動作を参照してください。	p.502 ☐
			CSIM10: シリアル動作モード・レジスタ10	ビット5には必ず0を設定してください。	p.503 ☐
			CSIC10: シリアル・クロック選択レジスタ10	CSIE10 = 1 (動作許可) のとき、CSIC10への書き込みを行わないでください。	p.506 ☐
				P10/SCK10/TxD0, P12/SO10を汎用ポートとして使用する場合は、CSIC10を初期状態と同じ状態 (00H) にしてください。	p.506 ☐
				リセット後のデータ・クロックの位相タイプは、タイプ1になります。	p.506 ☐
			CSIC11: シリアル・クロック選択レジスタ11	CSIE11 = 1 (動作許可) のとき、CSIC11への書き込みを行わないでください。	p.508 ☐
				P02/SO11, P04/SCK11を汎用ポートとして使用する場合は、CSIC11を初期状態と同じ設定 (00H) にしてください。	p.508 ☐
				リセット後のデータ・クロックの位相タイプは、タイプ1になります。	p.508 ☐
			3線式シリアルI/Oモード	ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。	p.511 ☐
第17章	ソフト	シリアル・インタフェース CSIA0	SIOA0: シリアルI/Oシフト・レジスタ0	通信動作の起動は、SIOA0への書き込みで行われるため、送信禁止 (CSIMA0のビット3 (TXEA0) = 0) のときも、ダミー・データをSIOA0レジスタに書き込み、通信動作を起動してから受信動作を行ってください。	p.526 ☐
				自動送受信機能が動作しているとき、SIOA0にデータを書き込まないでください。	p.526 ☐
			CSIMA0: シリアル動作モード指定レジスタ0	CSIAE0が0の場合、バッファRAMにアクセスできません。	p.527 ☐
				CSIAE0を1から0にした場合は、上記注記のレジスタおよびビットが非同期で初期化されます。再度CSIAE0 = 1にする場合には、必ず初期化されたレジスタを再設定してください。	p.527 ☐
				CSIAE0を1から0にしたあとに、再度CSIAE0を1にした場合、バッファRAMの値の保持は保証されません。	p.527 ☐
			CSIS0: シリアル・ステータス・レジスタ0	ビット7には必ず“0”を設定してください。	p.528 ☐
				転送動作中 (TSF0 = 1) のとき、シリアル動作モード指定レジスタ0 (CSIMA0)、シリアル・ステータス・レジスタ0 (CSIS0)、分周値選択レジスタ0 (BRGCA0)、自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)、自動データ転送間隔指定レジスタ0 (ADTI0)、シリアルI/Oシフト・レジスタ0 (SIOA0) への書き換えは禁止です。ただしレジスタのリードおよび同値の再書き込みは可能です。またバッファRAMも転送動作中の書き換えは可能です。	p.529 ☐

(18/27)

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	シリアル・インタフェース CSIA0	CSIT0：シリアル・トリガ・レジスタ0	ATSTP0またはATSTA0に1を設定しても、1バイトの転送が終了するまで停止または開始されません。	p.530 ☐
				ATSTP0とATSTA0は、割り込み信号INTACSI発生後自動的に0になります。	p.530 ☐
				自動データ転送中断後、自動データ転送アドレス・カウント・レジスタ0 (ADTC0) には中断したときのデータ・アドレスが格納されています。ただし、自動データ転送の再開機能を有していないため、ATSTP0 = 1により転送を中断した場合は、各レジスタを再設定後、ATSTA0をセット (1) して、自動データ転送をスタートしてください。	p.530 ☐
			ADTP0：自動データ転送アドレス・ポイント指定レジスタ0	ビット7-ビット5には、必ず0を設定してください。	p.532 ☐
			ADTI0：自動データ転送間隔指定レジスタ0	ADTI0の設定よりも、シリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0)、ビット4 (BUSYE0) の設定が優先されるため、ADTI0に00Hを設定している場合でも、STBE0、BUSYE0の設定によるインターバル時間が発生します。	p.533 ☐
			3線式シリアルI/Oモード	ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。	p.536 ☐
			1バイト送受信	SIOA0ライトにより、SOA0端子はロウ・レベルになります。	p.538 ☐
			通信スタート	SIOA0にデータを書き込んだあと、CSIAE0を“1”にしても、通信はスタートしません。	p.540 ☐
			自動送受信機能付き3線式シリアルI/Oモード	バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第36章 ウエイトに関する注意事項を参照してください。	p.541 ☐
				ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。	p.543 ☐
			自動送受信	自動送受信モードでは、1バイト送受信後、内部バッファRAMへの書き込み／読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み／読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) とシリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0)、ビット4 (BUSYE0) の設定値に依存します ((5) 自動送受信のインターバル時間参照)。	p.545 ☐
				インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。	p.545 ☐
			自動送信	自動送信モードでは、1バイト送信後、内部バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) とシリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0)、ビット4 (BUSYE0) の設定値に依存します ((5) 自動送受信のインターバル時間参照)。	p.550 ☐
				インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。	p.550 ☐
			繰り返し送信	繰り返し送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) とシリアル・ステータス・レジスタ0 (CSIS0) のビット5 (STBE0)、ビット4 (BUSYE0) の設定値に依存します ((5) 自動送受信のインターバル時間参照)。	p.552 ☐
				インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。	p.552 ☐
			自動送受信の中断と再開	自動送受信中にHALT命令を実行すると、8ビット・データ通信の途中でも通信を中断し、HALTモードになります。また、HALTモードを解除すると、自動送受信動作を中断箇所より再開します。	p.555 ☐
				自動送受信動作を中断したとき、TSF0 = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。	p.555 ☐

(19/27)

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	シリアル・インタフェース CSIA0	ビジー制御オプション	ビジー制御は、自動データ転送間隔指定レジスタ0 (ADTI0) によるインターバル時間の制御とは同時に使用できません。	p.557 ☐
			ビジー&ストローブ制御オプション	TSF0がクリアされると、SOA0端子はロウ・レベルになります。	p.559 ☐
第18章	ソフト	シリアル・インタフェース IIC0	—	シリアル・インタフェースIIC0と乗除算器は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。	p.563 ☐
			IIC0 : IIC シフト・レジスタ0	データ転送中はIIC0にデータを書き込まないでください。	p.566 ☐
				IIC0には、ウェイト期間中にだけ、書き込み／読み出しをしてください。ウェイト期間中を除く通信状態でのIIC0へのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。	p.566 ☐
				通信予約時は、ストップ・コンディションによる割り込み検出のあとにIIC0にデータを書き込んでください。	p.566 ☐
			IICC0 : IICコントロール・レジスタ0	SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態、I ² Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I ² Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LREL0をセット (1) してください。	p.570 ☐
				IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1のとき、9クロック目にWREL0をセット (1) してウェイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。	p.573 ☐
			IICS0 : IIC状態レジスタ0	IICS0からデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f _{PRS}) が停止しているときに、IICS0からデータを読み出さないでください。詳細は第36章 ウェイトに関する注意事項を参照してください。	p.574 ☐
			IICF0 : IICフラグ・レジスタ0	STCENへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。	p.577 ☐
				STCEN = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。	p.577 ☐
				IICRSVへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。	p.577 ☐
			選択クロックの設定	動作許可 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 1) する前に、CLX0, SMC0, CL01, CL00でI ² Cの転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (0) してください。	p.580 ☐
			STCEN = 0の場合	I ² C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY (IICF0のビット6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。 ストップ・コンディションの生成は次の順番で行ってください。 ① IICクロック選択レジスタ0 (IICCL0) を設定する ② IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) をセット (1) する ③ IICC0のビット0 (SPT0) をセット (1) する	p.599 ☐
			STCEN = 1の場合	I ² C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT0 (IICコントロール・レジスタ0 (IICC0) のビット1) = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。	p.599 ☐
			すでに他者との間でI ² C通信が行われている場合	SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I ² C動作を許可して通信に途中参加すると、I ² CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI ² C通信を妨害してしまいます。これを回避するために、次の順番でI ² Cを起動してください。 ① IICC0のビット4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIIC0) 発生を禁止する ② IICC0のビット7 (IICE0) をセット (1) し、I ² Cの動作を許可する ③ スタート・コンディションを検出するまで待つ ④ アクノリッジを返すまで (IICE0をセット (1) してから、4~80クロック中) に、IICC0のビット6 (LREL0) をセット (1) にし、強制的に検出を無効とする	p.599 ☐

(20/27)

章	分類	機能	機能の詳細	注意事項	頁
第18章	ソフト	シリアル・インタフェース IIC0	転送クロック周波数の設定	動作許可 (IICE0 = 1) する前に、SMC0, CL01, CL00 (IICL0のビット3, 1, 0), CLX0 (IICX0のビット0) で転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (1) してください。	p.599 ☐
			STT0, SPT0: IICコントロール・レジスタ0 (IICC0)のビット1, 0	STT0, SPT0 (IICC0のビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。	p.599 ☐
			送信予約	送信予約をした場合には、SPIE0 (IICL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IIC0に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0 (IICS0のビット7) を検出する場合には、SPIE0をセット (1) する必要はありません。	p.600 ☐
第19章	ソフト	乗除算器	—	シリアル・インタフェースIIC0と乗除算器は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。	p.636 ☐
			SDR0: 剰余データ・レジスタ0	演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) にSDR0の値を読み出した場合、その値は保証されません。	p.638 ☐
				演算開始時 (DMUEを1に設定するとき)、SDR0はリセットされます。	p.638 ☐
			MDA0H, MDA0L: 乗除算データ・レジスタA0	乗算モードでの演算開始時 (乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき)、MDA0Hはクリア (0) されます。	p.639 ☐
				演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) に、MDA0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。	p.639 ☐
				演算処理中 (DMUEが1のとき) にMDA0の値を読み出した場合、その値は保証しません。	p.639 ☐
			MDB0: 乗除算データ・レジスタB0	演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) に、MDB0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。	p.640 ☐
				除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。	p.640 ☐
			DMUC0: 乗除算器コントロール・レジスタ0	演算処理中 (DMUEが1のとき) にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。	p.641 ☐
				演算処理中 (DMUEが1のとき) に、DMUSEL0を書き換えしないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0 (MDA0), 剰余データ・レジスタ0 (SDR0) に格納されます。	p.641 ☐
				演算処理中 (DMUEが1のとき) にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0 (MDA0), 乗除算データ・レジスタB0 (MDB0), 乗除算器コントロール・レジスタ0 (DMUC0) を設定し、演算動作を開始 (DMUE = 1) してください。	p.641 ☐
第20章	ソフト	割り込み機能	1F0L, 1F0L, 1F1L, 1F1H: 割り込み要求フラグ・レジスタ	タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。	p.653 ☐
				割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。 <pre> mov a, IF0L and a, #0FEH mov IF0L, a </pre> この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です	p.653 ☐

(21/27)

章	分類	機能	機能の詳細	注意事項	頁
第20章	ソフト	割り込み機能	1F0L, 1F0L, 1F1L, 1F1H: 割り込み要求フラグ・レジスタ	IF1Lのビット2, 4-7, IF1Hのビット1-7には必ず0を設定してください。(78K0/KB2)	p.654 ☐
				38ピン製品と44ピン製品は, IF1Lのビット6, 7には必ず0を設定してください。	p.655 ☐
				48ピン製品は, IF1Lのビット7には必ず0を設定してください。	
				IF1Hのビット1-7には, 必ず0を設定してください。(78K0/KC2)	
				IF1Lのビット7とIF1Hのビット1-7には, 必ず0を設定してください。(78K0/KD2)	p.656 ☐
				フラッシュ・メモリが32 Kバイト以下の製品は, IF1Hのビット1-7には必ず0を設定してください。フラッシュ・メモリが48 Kバイト以上の製品は, IF1Hのビット4-7には必ず0を設定してください。(78K0/KE2)	p.657 ☐
				IF1Hのビット5-7には, 必ず0を設定してください。(78K0/KF2)	p.658 ☐
			MK0L, MK0H, MK1L, MK1H: 割り込みマスク・フラグ・レジスタ	MK1Lのビット2, 4-7, MK1Hのビット1-7には必ず1を設定してください。(78K0/KB2)	p.659 ☐
				38ピン製品と44ピン製品は, MK1Lのビット6, 7には必ず1を設定してください。	p.660 ☐
				48ピン製品は, MK1Lのビット7には必ず1を設定してください。	
				MK1Hのビット1-7には, 必ず1を設定してください。(78K0/KC2)	
				MK1Lのビット7とMK1Hのビット1-7には, 必ず1を設定してください。(78K0/KD2)	p.661 ☐
				フラッシュ・メモリが32 Kバイト以下の製品は, MK1Hのビット1-7には必ず1を設定してください。フラッシュ・メモリが48 Kバイト以上の製品は, MK1Hのビット4-7には必ず1を設定してください。(78K0/KE2)	p.662 ☐
				MK1Hのビット5-7には, 必ず1を設定してください。(78K0/KF2)	p.663 ☐
			PR0L, PR0H, PR1L, PR1H: 優先順位指定フラグ・レジスタ	PR1Lのビット2, 4-7, PR1Hのビット1-7には必ず1を設定してください。(78K0/KB2)	p.664 ☐
				38ピン製品と44ピン製品は, PR1Lのビット6, 7には必ず1を設定してください。	p.665 ☐
				48ピン製品は, PR1Lのビット7には必ず1を設定してください。	
				PR1Hのビット1-7には, 必ず1を設定してください。(78K0/KC2)	
				PR1Lのビット7とPR1Hのビット1-7には, 必ず1を設定してください。(78K0/KD2)	p.666 ☐
				フラッシュ・メモリが32 Kバイト以下の製品は, PR1Hのビット1-7には必ず1を設定してください。フラッシュ・メモリが48 Kバイト以上の製品は, PR1Hのビット4-7には必ず1を設定してください。(78K0/KE2)	p.667 ☐
				PR1Hのビット5-7には, 必ず1を設定してください。(78K0/KF2)	p.668 ☐
			EGP, EGN: 外部割り込み立ち上がり, 立ち下がりエッジ許可レジスタ	78K0/KC2の38ピン製品, 44ピン製品と78K0/KB2は, EGPとEGNのビット6, 7には必ず0を設定してください。	p.669 ☐
				78K0/KC2の48ピン製品と78K0/KD2は, EGPとEGNのビット7には必ず0を設定してください。	
			ソフトウェア割り込み要求	外部割り込み機能からポート機能に切り替える場合に, エッジ検出を行う可能性があるため, EGPnとEGNnを0に設定してからポート・モードに切り替えてください。	p.670 ☐
				ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。	p.675 ☐
			BRK命令	BRK命令は, 上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは, IEフラグが0にクリアされます。したがって, BRK命令実行中にマスカブル割り込み要求が発生しても, 割り込み要求を受け付けません。	p.678 ☐
第21章	ソフト	キー割り込み機能	KRM: キー・リターン・モード・レジスタ	KRMnのうち使用するビットに1を設定する場合, それに対応するプルアップ抵抗レジスタ7 (PU7) のビットn (PU7n) に1を設定してください。	p.681 ☐
				KRMを変更すると, 割り込み要求フラグがセットされる場合があります。したがって, あらかじめ割り込みを禁止してからKRMレジスタを変更し, 割り込み要求フラグをクリアしてから, 割り込みを許可してください。	p.681 ☐
				キー割り込みモードで使用していないビットは通常ポートとして使用可能です。	p.681 ☐
				78K0/KC2の38ピン製品は, KRMのビット2-7には必ず0を設定してください。78K0/KC2の44ピン製品, 48ピン製品は, KRMのビット4-7には必ず0を設定してください。	p.681 ☐

(22/27)

章	分類	機能	機能の詳細	注意事項	頁	
第22章	ソフト	スタンバイ機能	スタンバイ機能	STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。	p.682	☐
				STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。	p.682	☐
				A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。	p.682	☐
			ハード	OSTC: 発振安定時間カウンタ状態レジスタ	上記時間経過後、MOST11から順番に“1”となっていき、そのまま“1”を保持します。	p.684
	発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 ≤ OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのので注意してください。	p.684			☐	
	X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。	p.684			☐	
	ソフト	OSTS: 発振安定時間選択レジスタ	CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。	p.685	☐	
			X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p.685	☐	
			発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 ≤ OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのので注意してください。	p.685	☐	
	ハード		X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。	p.685	☐	
			ソフト	STOPモード	スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウェイトしたあと動作モードに戻ります。	p.690
	STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。	p.692			☐	
	オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても、STOPモード時では低速内蔵発振クロックは、STOPモード設定前の状態を継続します。STOPモード中に停止したい場合はソフトウェアにて、低速内蔵発振器の発振を停止してから、STOP命令を実行してください。	p.692			☐	
	高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に次の手順で高速内蔵発振クロックに切り替えることで実現できます。 ① RSTOPを0に設定 (高速内蔵発振器の発振開始) → ② MCM0を0に設定 (CPUをX1発振から高速内蔵発振に切り替え) → ③ MCS = 0であることを確認 (CPUクロックの確認) → ④ RSTS = 1であることを確認 (高速内蔵発振動作の確認) → ⑤ STOP命令実行 STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから、行ってください。	p.692			☐	
	AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06~16.12 μs間、CPUクロックに高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。	p.692			☐	

(23/27)

章	分類	機 能	機能の詳細	注意事項	頁
第22章	ソフト	スタンバイ機能	STOPモード	STOP命令は、必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。	p.692 ☐
第23章	ハード	リセット機能	—	外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。 リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。 リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、P130はロウ・レベル出力に、それ以外はハイ・インピーダンスとなります。	p.696 ☐ p.696 ☐ p.696 ☐
			リセット機能のブロック図	LVI回路の内部リセットの場合、LVI回路はリセットされません。	p.697 ☐
			ウォッチドッグ・タイマのオーバフロー	ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。	p.699 ☐
			RESF：リセット・コントロール・フラグ・レジスタ	1ビット・メモリ操作命令でデータを読み出さないでください。	p.706 ☐
			ソフト		
	第24章	ソフト	パワーオン・クリア回路	—	POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第25章 低電圧検出回路を参照)。 2.7 V/1.59 V POCモード設定時 電源電圧が1.59 V (TYP.) に達したあと、1.93~5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0~5.39 msの電源安定待ち時間が自動的に発生します。 パワーオン・クリア回路の注意事項 電源電圧 (V _{DD}) がPOC検出電圧 (V _{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。
第25章	ソフト	低電圧検出回路	LVIM：低電圧検出レジスタ	LVIを停止する場合は、次のいずれかの手順を行ってください。 ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む ・1ビット・メモリ操作命令の場合：LVIONをクリア (0)	p.715 ☐
	ハード		外部入力端子からの入力電圧 (EXLVI) は、EXLVI < V _{DD} でなければなりません。	p.715 ☐	
		ソフト		LVIを割り込みとして使用する場合、LVI検出電圧未満の状態ではLVIONをクリア (0) すると、INTLVI信号が発生し、LVIIFが1になります。	p.715 ☐
		LVIM：低電圧検出レジスタ、LVIS：低電圧検出レベル選択レジスタ	従来規格品 (μ PD78F05xx, 78F05xxD) では、LVIリセット発生後、LVION = 1のときは、LVISとLVIMに値を書き込まないでください。	p.716 ☐	
		LVIS：低電圧検出レベル選択レジスタ	ビット4-7には必ず“0”を設定してください。	p.716 ☐	
			LVI動作中に、LVISの値を変更しないでください。	p.716 ☐	
			外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V _{EXLVI} = 1.21 V(TYP.)) です。したがって、LVISの設定は不要です。	p.716 ☐	
		リセットとして使用 (電源電圧 (V _{DD}) のレベルを検出の場合)	①は必ず行ってください。LVIMK = 0になっている場合、④の処理を行った時点で割り込みが発生する場合があります。 LVIMD = 1とした時点で、「電源電圧 (V _{DD}) $\geq$ 検出電圧 (V _{LVI})」であれば内部リセット信号は発生しません。	p.718 ☐ p.718 ☐	

(24/27)

章	分類	機能	機能の詳細	注意事項	頁
第25章	ソフト	低電圧検出回路	リセットとして使用(外部入力端子からの入力電圧 (EXLVI) のレベルを検出の場合)	①は必ず行ってください。LVIMK = 0になっている場合、③の処理を行った時点で割り込みが発生する場合があります。 LVIMD = 1とした時点で、「外部入力端子からの入力電圧 (EXLVI) ≥ 検出電圧 (VEXLVI = 1.21 V (TYP.))」であれば内部リセット信号は発生しません。 外部入力端子からの入力電圧 (EXLVI) は、EXLVI < VDDでなければなりません。	p.721 ☐
			割り込みとして使用(外部入力端子からの入力電圧 (EXLVI) のレベルを検出の場合)	外部入力端子からの入力電圧 (EXLVI) は、EXLVI < VDDでなければなりません。	p.721 ☐
	ハード		割り込みとして使用(外部入力端子からの入力電圧 (EXLVI) のレベルを検出の場合)	外部入力端子からの入力電圧 (EXLVI) は、EXLVI < VDDでなければなりません。	p.726 ☐
	ソフト	低電圧検出回路の注意事項	電源電圧 (VDD) がLVI検出電圧 (VLVI) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。 (1) リセットとして使用する場合 リセット状態／リセット解除状態を繰り返すことがあります。 後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。 (2) 割り込みとして使用する場合 割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。	p.728 ☐	
第26章	ソフト	オプション・バイト	0082H, 0083H/1082H, 1083H	0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。	p.731 ☐
			0080H/1080H	ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください	p.731 ☐
			0081H/1081H	POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。	p.732 ☐
			0084H/1084H	オンチップ・デバッグ機能を搭載していない製品 (μ PD78F05xx, 78F05xxA) は、必ず0084Hに00H (オンチップ・デバッグ動作禁止) を設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも00Hを設定してください。	p.732 ☐
				オンチップ・デバッグ機能を搭載している製品 (μ PD78F05xxD, 78F05xxDA) で、オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。	p.732 ☐
			0080H/1080H	WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。	p.733 ☐
				1.8 V ≤ VDD < 2.7 Vで使用する場合、WINDOW1 = WINDOW0 = 0は設定禁止です。	p.733 ☐
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.733 ☐
				LSROSC = 0 (ソフトウェアにより停止可能) の場合、内蔵発振モード・レジスタ (RCM) のビット0 (LSRSTOP) の設定に関係なく、HALT/STOPモード時では、ウォッチドッグ・タイマにカウント・クロックは供給されません。ただし、低速内蔵発振クロックで8ビット・タイマH1が動作している場合は、HALT/STOPモード時でも、8ビット・タイマH1にカウント・クロックが供給されます。	p.733 ☐
				ビット7には必ず0を書き込んでください。	p.733 ☐
			0081H/1081H	ビット7-1には必ず0を書き込んでください。	p.734 ☐

(25/27)

章	分類	機能	機能の詳細	注意事項	頁
第27章	ソフト	フラッシュ・メモリ	IMS:メモリ・サイズ切り替えレジスタ, IXS:内部拡張RAMサイズ切り替えレジスタ	リセット解除後に各製品ごとに表27-1に示す値を設定してください。 リセット解除後に各製品ごとに表27-2に示す値を設定してください。 メモリ・サイズを設定する場合, IMSを設定したあとに, IXSを設定してください。また, 内部ROM領域と内部拡張RAM領域が重ならないように, メモリ・サイズを設定してください。	p.736 ☐ p.737 ☐ p.736, 738 ☐
			動作クロック	CSI10使用時は, 高速内蔵発振クロック (f _{RH}) のみ使用できます。 UART6使用時は, X1クロック (f _X) または外部メイン・システム・クロック (f _{EXCLK}) のみ使用できます。	p.745 ☐ p.745 ☐
			X1, P31端子の処理	オンチップ・デバッグ機能搭載品 (μ PD78F05xxD, 78F05xxDA) は, フラッシュ・メモリ・プログラマによる書き込みをする場合, P31/INTP2/OCD1A, P121/X1/OCD0Aを次のように処理してください。 ・P31/INTP2/OCD1A: 抵抗を介してEV _{SS} に接続してください。 ・P121/X1/OCD0A: 抵抗を介してV _{SS} に接続してください。	p.745 ☐
			通信方式の選択	UART6選択時, 受信クロックは, FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。	p.748 ☐
			セキュリティの設定	一括消去のセキュリティの設定をした場合, 以降, そのデバイスに対し消去はできなくなります。また, 書き込みコマンドを実行しても, 消去コマンドが無効になるため, すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。 ブート・クラスタ0の書き換えのセキュリティの設定をした場合, 以降, そのデバイスに対し, ブート・クラスタ0の書き換え, および一括消去 (チップ消去) はできなくなります。	p.750 ☐ p.750 ☐
			E.P.Vコマンドの使用	ブート・スワップを行う場合, 専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。	p.752, 753, 766 ☐
	ハード	セキュリティの設定	セルフ書き込みによるフラッシュ・メモリ・プログラミング	CPUがサブシステム・クロック動作時の場合, セルフ・プログラミング機能は使用できません。 セルフ・プログラミング時は, RSTOPフラグ (内蔵発振モード・レジスタ (RCM) のビット0) の設定に関わらず, 高速内蔵発振器の発振が開始されます。STOP命令を実行しても, 高速内蔵発振器の発振を停止することはできません。 セルフ・プログラミング時は, FLMD0端子にハイ・レベルを入力してください。	p.754 ☐ p.754 ☐ p.754 ☐
			セルフ書き込みによるフラッシュ・メモリ・プログラミング	セルフ・プログラミング開始前に必ずDI命令を実行してください。 セルフ・プログラミング機能は割り込み要求フラグ (IF0L, IF0H, IF1L, IF1H) を確認しており, 割り込み要求が発生した場合, セルフ・プログラミングを中断します。 セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は, 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) で割り込みをマスクしてください。 セルフ・プログラミングのエントリ・プログラムは, 0000H-7FFFHのコモン・エリアに配置してください。	p.754 ☐ p.754 ☐ p.755 ☐
			セルフ書き込みによるフラッシュ・メモリ・プログラミング	セルフ・プログラミング開始前に必ずDI命令を実行してください。 セルフ・プログラミング機能は割り込み要求フラグ (IF0L, IF0H, IF1L, IF1H) を確認しており, 割り込み要求が発生した場合, セルフ・プログラミングを中断します。 セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は, 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) で割り込みをマスクしてください。 セルフ・プログラミングのエントリ・プログラムは, 0000H-7FFFHのコモン・エリアに配置してください。	p.754 ☐ p.754 ☐ p.755 ☐
			セルフ書き込みによるフラッシュ・メモリ・プログラミング	セルフ・プログラミング開始前に必ずDI命令を実行してください。 セルフ・プログラミング機能は割り込み要求フラグ (IF0L, IF0H, IF1L, IF1H) を確認しており, 割り込み要求が発生した場合, セルフ・プログラミングを中断します。 セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は, 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) で割り込みをマスクしてください。 セルフ・プログラミングのエントリ・プログラムは, 0000H-7FFFHのコモン・エリアに配置してください。	p.754 ☐ p.754 ☐ p.755 ☐
			セルフ書き込みによるフラッシュ・メモリ・プログラミング	セルフ・プログラミング開始前に必ずDI命令を実行してください。 セルフ・プログラミング機能は割り込み要求フラグ (IF0L, IF0H, IF1L, IF1H) を確認しており, 割り込み要求が発生した場合, セルフ・プログラミングを中断します。 セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は, 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) で割り込みをマスクしてください。 セルフ・プログラミングのエントリ・プログラムは, 0000H-7FFFHのコモン・エリアに配置してください。	p.754 ☐ p.754 ☐ p.755 ☐
			セルフ書き込みによるフラッシュ・メモリ・プログラミング	セルフ・プログラミング開始前に必ずDI命令を実行してください。 セルフ・プログラミング機能は割り込み要求フラグ (IF0L, IF0H, IF1L, IF1H) を確認しており, 割り込み要求が発生した場合, セルフ・プログラミングを中断します。 セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は, 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) で割り込みをマスクしてください。 セルフ・プログラミングのエントリ・プログラムは, 0000H-7FFFHのコモン・エリアに配置してください。	p.754 ☐ p.754 ☐ p.755 ☐
第28章	ハード	オンチップ・デバッグ機能 (μ PD78F05xxD, 78F05xxDAのみ)	μ PD78F05xxD, 78F05xxDA	μ PD78F05xxD, 78F05xxDAには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合, フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり, 製品の信頼性が保証できませんので, 量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については, クレーム受け付け対象外となります。	p.769 ☐
			OCD0A/X1, OCD0B/X2 使用時	オンチップ・デバッグ時は, OCD0A/X1端子よりクロック入力します。 OCD0A/X1, OCD0B/X2端子を使用する場合, OCD1A/P31端子を外部でプルダウンするか, またはP130端子 (リセットがかかるとロウ・レベルを出力) を使用した外付け回路で制御してください。	p.769 ☐ p.769 ☐
			FLMD0端子を制御するポート	FLMD0端子を制御するポートは, 第30章 電気的特性 (標準品) ~第33章 電気的特性 ((A2) 水準品: T _A = -40~+125 °C) に記載されているハイ・レベル出力電流とFLMD0電源電圧 (MIN.値: 0.8V _{DD}) の値を満たすように, 十分注意してご使用ください。	p.770 ☐

(26/27)

章	分類	機能	機能の詳細	注意事項	頁
第30章 ハードウェア 31 32 33	電気的特性		μ PD78F05xxD, 78F05xxDA	μ PD78F05xxD, 78F05xxDAには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.787 □
			—	製品により、搭載している端子が異なります。	p.787, □ 789-792, 797-817, 819-845, 847-873, 875-900
			絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p.789, □ 790, 819, 820, 847, 848, 875, 876
			電流値	1端子当たりに流すことができる電流値は、1端子当たりの電流値と端子合計の電流値の両方の値を満たす必要があります。	p.790, □ 820, 848, 876
			X1発振回路特性	X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.791, □ 821, 849, 877
				リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。	p.791 □ 821, 849, 877
			XT1発振回路特性	XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.792, □ 822, 850, 878
			推奨発振回路定数	XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上で評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/Kx2マイクロコントローラの内部動作条件についてはDC、AC特性の規格内で使用してください	p.792 □ 822, 850, 878 p.793, □ 794

(27/27)

章	分類	機能	機能の詳細	注意事項	頁
第35章	ハード	半田付け推奨条件	μ PD78F05xxD	μ PD78F05xxDには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.925, ☐ 926
			μ PD78F05xxDA	μ PD78F05xxDAには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.928, ☐ 929
			—	半田付け方式の併用は避けください（ただし、端子部分加熱方式は除く）。	p.927, ☐ 929
第36章	ソフト	ウェイト	—	周辺ハードウェア・クロック（f _{PRS} ）が停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。	p.931 ☐

付録E 改版履歴

E. 1 本版で改訂された主な箇所

(1/1)

箇所	内 容	分類
修正版 (R01UH0008JJ0401) で改訂された主な箇所		
pp.97, 400, 403, 737, 738	注釈文を削除	(c)
p.94	表2-3 各端子の入出力回路タイプのFLMD0端子の未使用時の推奨接続方法を修正	(a)
p.135	表3-8 特殊機能レジスタ一覧 (5/5) の注2を修正	(c)
U18598JJ3V0UD00 → R01UH0008JJ0400で改訂された主な箇所		
全般	REGCはコンデンサ (0.47~1 μ F : 推奨) を介し, V_{SS} に接続してくださいの注意から推奨を削除	(c)
このマニュアルの使い方		
p.8	関連資料を変更	(e)
第1章 概 説		
p.41	78K0/KE2の64ピン・プラスチックFBGA (4x4) のオーダ名称から開発中を削除	(b)
第2章 端子機能		
p.69	2. 1. 3 78K0/KD2 (2) ポート以外の機能: 78K0/KD2を変更	(c)
pp.72, 73	2. 1. 4 78K0/KE2 (2) ポート以外の機能: 78K0/KE2を変更	(c)
p.94	表2-3 各端子の入出力回路タイプを変更	(c)
第6章 クロック発生回路		
p.229	図6-3 クロック動作モード選択レジスタ (OSCCTL) のフォーマット (78K0/KB2) の注意2を変更	(a)
p.230	図6-4 クロック動作モード選択レジスタ (OSCCTL) のフォーマット (78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2) の注意2を変更	(a)
p.258	図6-18 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0), 78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2) を変更	(c)
第7章 16ビット・タイマ/イベント・カウンタ00, 01		
p.298	7. 4. 4 TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作の注意を変更	(c)
第18章 シリアル・インタフェースIIC0		
p.566	図18-3 IICシフト・レジスタ0 (IIC0) のフォーマットに注意を追加	(c)
p.567	18. 2 (2) スレーブ・アドレス・レジスタ0 (SVA0) の説明を変更	(c)
p.570	図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (1/4) に注を追加, 注意を変更	(c)
p.572	図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (3/4) を変更	(c)
p.573	図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (4/4) を変更	(c)
p.575	図18-6 IIC状態レジスタ0 (IICS0) のフォーマット (2/3) を変更	(c)
第20章 割り込み機能		
p.650	図20-1 割り込み機能の基本構成 (2/2) の (C) 外部マスカブル割り込み (INTKR) を変更	(c)
第22章 スタンバイ機能		
p.690	図22-4 HALTモードのリセットによる解除 (2/2) に注を追加	(c)
p.695	図22-7 STOPモードのリセットによる解除に注を追加	(c)
第27章 フラッシュ・メモリ		
p.745	27. 6. 5 REGC端子の説明を変更	(c)
p.768	27. 11 書き込み済み品発注用ROMコードの作成方法を追加	(c)
付録E 改版履歴		
p.985	E. 2 前版までの改版履歴を追加	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

★ E.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/3)

版 数	内 容	適用箇所
第3版	従来規格品 (μ PD78F05xx, 78F05xx (A), 78F05xx (A2)) を追加	全般
	拡張規格品の (A2) 水準品 (μ PD78F05xxA (A2)) を追加	
	64ピン・プラスチックFBGA (4x4) パッケージを追加	
	SM+ for 78K0を追加	
	QB-78K0MINI, PG-FPL3, FP-LITE3を削除 (廃品種のため)	
	従来規格品と拡張規格品の違いを追加	はじめに
	関連資料を変更	
	1. 1 従来規格品 (μ PD78F05xx, 78F05xxD) と拡張規格品 (μ PD78F05xxA, 78F05xxDA) の違いを追加	第1章 概 説
	1. 2 特徴の注を変更	
	1. 4 オーダ情報を変更	
	1. 8 機能概要を変更	
	表3-1 メモリ・サイズ切り替えレジスタ (IMS) の設定値 (78K0/KC2の38ピン, 44ピン製品, 78K0/KB2) と表3-2 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値 (78K0/KC2の48ピン製品, 78K0/KD2, 78K0/KE2, 78K0/KF2) を変更	第3章 CPUアーキテクチャ
	3. 2. 1 (2) プログラム・ステータス・ワード (PSW) の記述を変更	
	表3-8 特殊機能レジスタ一覧 (5/5) の注2~4を変更	
	5. 2. 2 ポート1に注意2を追加	第5章 ポート機能
	図5-17 P60, P61のブロック図と図5-18 P62のブロック図に注意を追加	
	図6-3 クロック動作モード選択レジスタ (OSCCTL) のフォーマット (78K0/KB2) と図6-4 クロック動作モード選択レジスタ (OSCCTL) のフォーマット (78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2) に注意2を追加	第6章 クロック発生回路
	図6-15 電源電圧投入時のクロック発生回路の動作 (1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0)) の注1を変更, 注2を追加	
	図6-17 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0) , 78K0/KB2) と図6-18 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0) , 78K0/KC2, 78K0/KD2, 78K0/KE2, 78K0/KF2) に注を追加	
	図7-13 プリスケラ・モード・レジスタ00 (PRM00) のフォーマットと図7-14 プリスケラ・モード・レジスタ01 (PRM01) のフォーマットの注1を変更, 注3を追加	第7章 16ビット・タイマ/イベント・カウンタ00, 01
	図7-46 PPG出力動作時のレジスタ設定内容例 (2/2) の (f) 16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) の記述を変更	
	図8-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマットと図8-6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマットの注1を変更, 注4を追加	第8章 8ビット・タイマ/イベント・カウンタ50, 51
	図9-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマットと図9-6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマットの注1を変更, 注3を追加	第9章 8ビット・タイマ/イベント・カウンタH0, H1
	図10-2 時計用タイマ動作モード・レジスタ (WTM) のフォーマットに注を追加	第10章 時計用タイマ

(2/3)

版 数	内 容	適用箇所
第3版	11.1 ウォッチドッグ・タイマの機能の記述と注を変更	第11章 ウォッチドッグ・タイマ
	11.4.1 ウォッチドッグ・タイマの動作制御の記述と注を変更	
	11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考を変更	
	図12-3 クロック出力選択レジスタ (CKS) のフォーマット (78K0/KC2の48ピン製品, 78K0/KD2) と図12-4 クロック出力選択レジスタ (CKS) のフォーマット (78K0/KE2, 78K0/KF2) の注1を変更	第12章 クロック出力／ブザー出力制御回路
	表13-2 A/D変換時間の選択 (従来規格品 (μ PD78F05xx, 78F05xxD)) を追加	第13章 A/Dコンバータ
	表13-3 A/D変換時間の選択 (拡張規格品 (μ PD78F05xxA, 78F05xxDA)) を変更	
	図13-6 10ビットA/D変換結果レジスタ (ADCR) のフォーマットを変更	
	表13-5 等価回路の各抵抗と容量値 (参考値) を変更	第14章 シリアル・インタフェースUART0
	図14-4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマットの注1を変更	
	表14-4 TPS01, TPS00の設定値の注1を変更	
	表14-5 ボー・レート・ジェネレータ設定データを変更	第15章 シリアル・インタフェースUART6
	図15-5 アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2) の注1を変更	
	図15-8 クロック選択レジスタ6 (CKSR6) のフォーマットの注1を変更, 注3を追加	
	図15-10 アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット (2/2) クロック選択レジスタ6 (CKSR6) のフォーマットの注意8を追加	
	15.4.1 (1) 使用するレジスタの注1を変更	
	表15-4 TPS63-TPS60の設定値の注1を変更, 注3を追加	第16章 シリアル・インタフェースCSI10, CSI11
	図16-5 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマットと16-6 シリアル・クロック選択レジスタ11 (CSIC11) のフォーマットの注1, 2を変更	
	表16-2 レジスタの設定と端子の関係を変更, 注2を追加	
	16.4.2 (5) SO1n出力についてを変更	第17章 シリアル・インタフェースCSIA0
	図17-3 シリアル・ステータス・レジスタ0 (CSIS0) のフォーマット (1/2) に注2, 5を追加, 注3を変更	
	図17-5 分周値選択レジスタ0 (BRGCA0) のフォーマットの注を変更	
	表18-2 選択クロックの設定の注1を追加	第18章 シリアル・インタフェースIIC0
	表18-4 主な拡張コードのビットの定義を変更	
	図18-27 マスタ→スレーブ通信例と図18-28 スレーブ→マスタ通信例を変更	第20章 割り込み機能
	図20-8 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/KC2) を変更	
	図22-3 HALTモードの割り込み要求発生による解除の注を変更	第22章 スタンバイ機能
	表22-3 STOPモード時の動作状態の注意5を追加	
	図22-5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合) の注2を変更	
	図22-6 STOPモードの割り込み要求発生による解除の注を変更	第23章 リセット回路
	図23-1 リセット機能のブロック図を変更	
	表23-2 各ハードウェアのリセット受け付け後の状態 (1/4) の注3と注4を変更	

(3/3)

版 数	内 容	適用箇所
第3版	図24-1 パワーオン・クリア回路のブロック図を変更	第24章 パワーオン・クリア回路
	図24-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (1/2) の注1, 2を変更, 注3を追加	
	図24-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (2/2) の注1を変更	
	25. 1 低電圧検出回路に注を追加	第25章 低電圧検出回路
	図25-2 低電圧検出レジスタ (LVIM) のフォーマットの注4を変更, 注意4を追加	
	図25-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットに注2と注意4を追加	
	図25-9 リセット解除後のソフト処理例を変更	
	26. 1 (2) 0081H/1081の注意を変更	第26章 オプション・バイト
	図26-1 オプション・バイトとのフォーマット (2/2) の「アドレス: 0081/1081」の注1を変更	
	表27-1 メモリ・サイズ切り替えレジスタ (IMS) の設定値を変更	第27章 フラッシュ・メモリ
	27. 2 内部拡張RAMサイズ切り替えレジスタの注意2を変更	
	表27-2 内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値を変更	
	27. 8 セキュリティ設定のブート・クラスタ0の書き換え禁止の注意を変更	
	表27-13 セルフ・プログラミング・ライブラリの処理時間 (従来規格品 (μ PD78F05xx, 78F05xxD)) を追加	
	表27-15 セルフ・プログラミング・ライブラリの割り込み応答時間 (従来規格品 (μ PD78F05xx, 78F05xxD)) を追加	
	28.1 QB-MINI2とμ PD78F05xxD, 78F05xxDAの接続の注意を変更	第28章 オンチップ・デバッグ機能 (μ PD78F05xxD, 78F05xxDAのみ)
	図28-3 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理に注意を追加	
	章を改訂	第30章 電気的特性 (標準品)
	章を改訂	第31章 電気的特性 ((A) 水準品)
	章を追加	第32章 電気的特性 ((A2) 水準品: T _A = -40~+110 °C)
	章を追加	第33章 電気的特性 ((A2) 水準品: T _A = -40~+125 °C)
	章を改訂	第35章 半田付け推奨条件
	章を改訂	付録A 開発ツール
	章を追加	付録E 改版履歴

78K0/Kx2 ユーザーズマニュアル
ハードウェア編

発行年月日 2007 年 9 月 19 日 Rev.0.01

2010 年 7 月 15 日 Rev.4.01

発行 **ルネサス エレクトロニクス株式会社**

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口： <http://japan.renesas.com/inquiry>

78K0/Kx2