
目 录

1. 产品概述	2
2. 主要特性	2
3. 封装及引脚说明	2
4. 功能介绍	3
5. 应用电路	3
6. 电气参数	4
6.1 电气特性极限参数	4
6.2 直流特性	4
7. 封装尺寸图	5
8. 历史记录	6

单触控锁存型输出 IC

1. 产品概述

2021S 是一款电容式触摸控制 ASIC，支持 1 通道触摸输入，1 通道锁存型开关输出。具有低功耗、高抗干扰、宽工作电压范围、高穿透力的突出优势。

2. 主要特性

- ★ 工作电压范围：2.4~5.5V
- ★ 待机电流约 9uA@V_{DD}=5V&CSEL=10nF
- ★ 单通道触摸输入
- ★ 单路锁存型开关输出，可引脚配置同步输出的有效电平
- ★ 内置稳压源、上电复位和低压复位等硬件模块
- ★ 内置实时环境自适应、高效数字滤波等软件算法
- ★ 抗电源纹波能力强，可抵抗<0.5V 的电源纹波，不影响芯片正常工作，不误动
- ★ 抗 RF 干扰能力强，同类型产品中，抗对讲机等大功率 RF 发射设备的干扰时具有优异表现
- ★ HBM ESD 优于 4KV

3. 封装及引脚说明

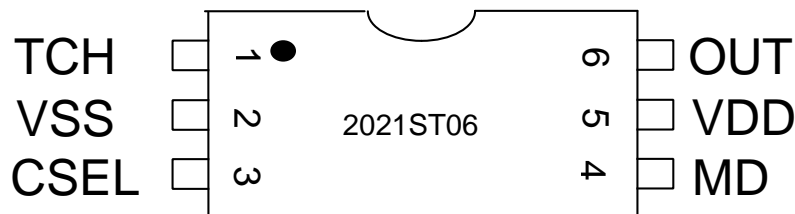


图 1 管脚示

意表 1 引脚说明

NO.	管脚名称	I/O	描述
1	TCH	I/O	触摸输入脚
2	VSS	P	电源负

3	CSEL	I/O	采样电容输入脚
4	MD	I/O	输出脚初始状态设置，悬空为高
5	VDD	P	电源正
6	OUT	I/O	输出脚

4. 功能介绍

- OUT 脚在上电后的初始输出状态由上电前 OSC 的输入状态决定。
 - MD 管脚接 VDD（高电平）上电，上电后 OUT 输出高电平。
 - MD 管脚接 GND（低电平）上电，上电后 OUT 输出低电平。
- 触摸有效一次 OUT 脚输出状态翻转一次，实现锁存开关。

5. 应用电路

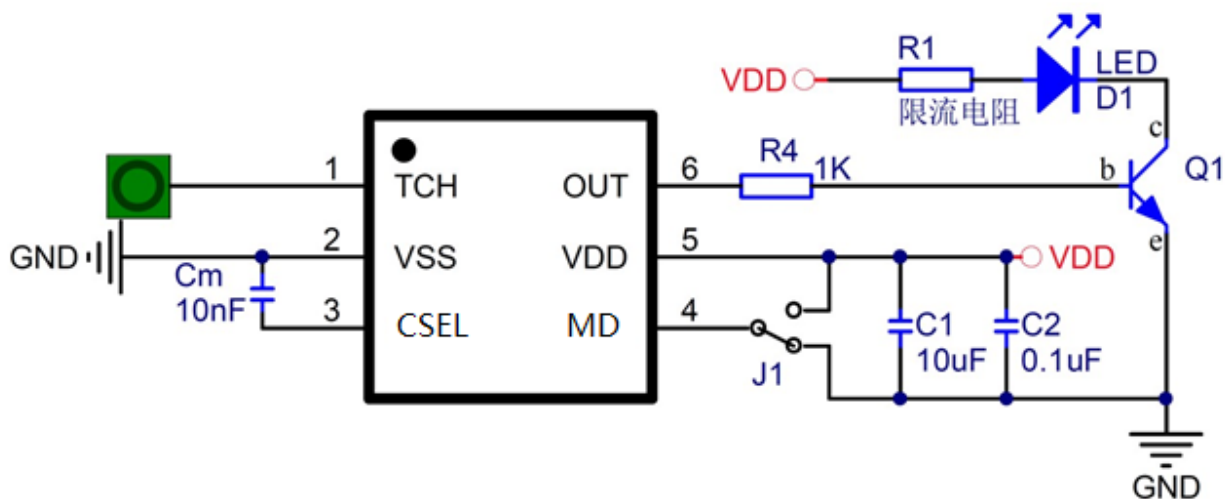


图 1 典型应用电路

注意：

当介质材料及厚度等差异较大时，可通过调整 CSEL 与 GND 之间的 Cm 电容来调节触摸灵敏度。电容容值越大，灵敏度越高；电容容值越小，灵敏度越低。以下数据仅供参考，具体以实际为准。

表 2 CSEL 采样电容

介质类型	CSEL 采样电容	
	器件类型	器件参数
直接接触金属外壳	333 NPO 电容	33nF/25V
3mm 以内亚克力玻璃	103 NPO 电容	10nF/25V
3-6mm 亚克力玻璃	203 NPO 电容	20nF/25V
6-10mm 亚克力玻璃	473 NPO 电容	47nF/25V

6. 电气参数

6.1 电气特性极限参数

表 3 极限参数

参数	标号	条件	范围	单位
供电电压	V _{DD}	-	-0 to +6.0	V
输入电压	V _I	所有 I/O 口	-0.3 to V _{DD} + 0.3	V
工作温度	T _A	-	-20 to + 70	°C
储藏温度	T _{STG}	-	-40 to + 125	°C

6.2 直流特性

表 4 直流特性（如无特殊说明 V_{DD} = 2.4V~5.5V, Temp = 25°C）

参数	标号	条件	最小值	典型值	最大值	单位
工作电压	V _{DD}		2.4		5.5	V
输入高电压阈值	V _{IH}		0.75V _{DD}			V
输入低电压阈值	V _{IL}				0.25 V _{DD}	V
输出 Source 电流	I _{OH_SO}	V _{DD} =5V, V _{OH} =9/10V _{DD}		-4.5		mA
		V _{DD} =5V, V _{OH} =2/3V _{DD}		-12		mA
输出 Sink 电流	I _{OH_SO}	V _{DD} =5V, V _{OL} =1/10V _{DD}		12		mA
		V _{DD} =5V, V _{OL} =1/3V _{DD}		28		mA
待机电流	I _{SB}	V _{DD} =5V, CSEL=10nF		9		uA

		V _{DD} =3V,CSEL=10nF		6.5	
--	--	-------------------------------	--	-----	--

7. 封装尺寸图

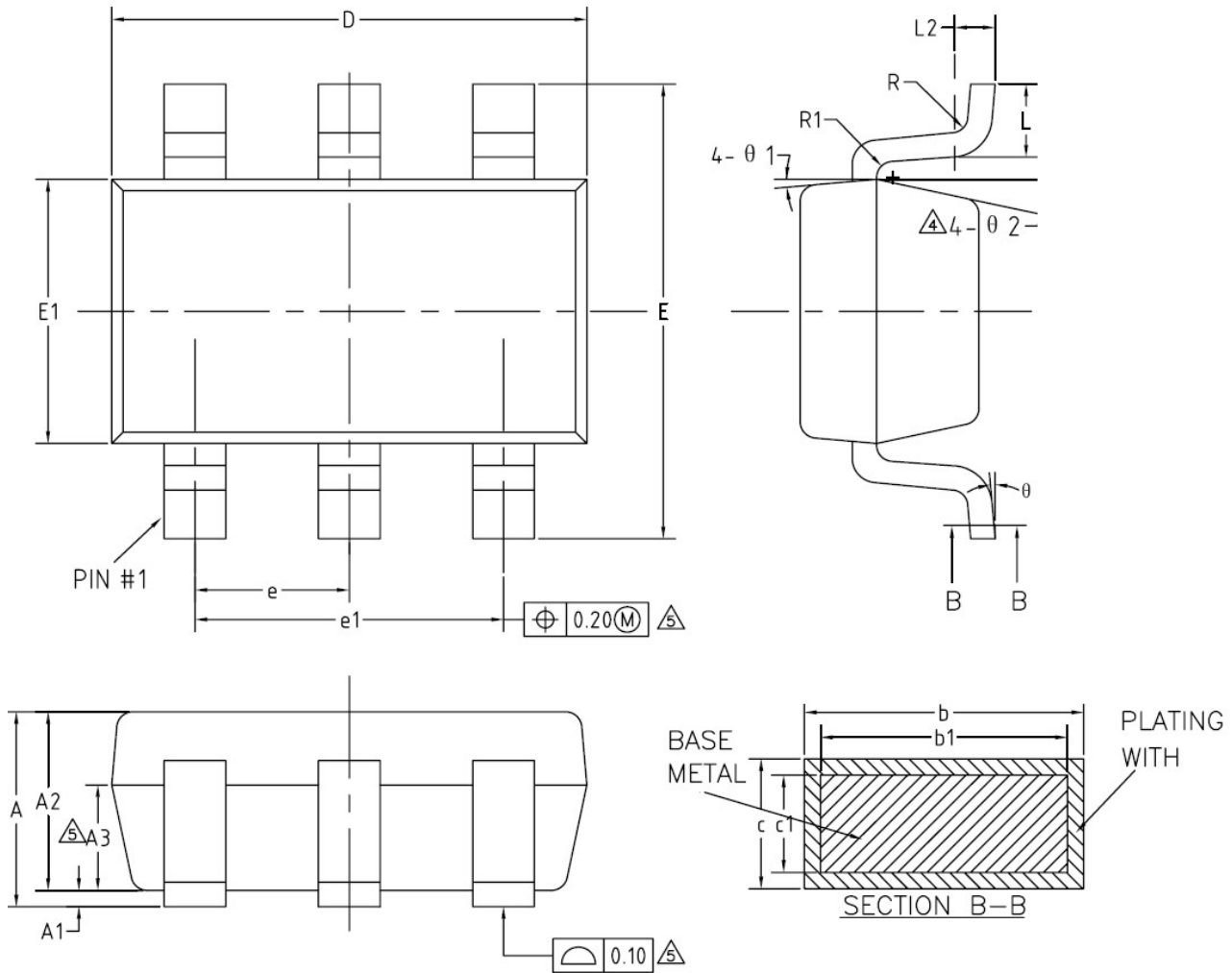


图 2 SOT23-6 封装图

表 5 SOT23-6 封装尺寸

				Unit: mm			
Symbol	Min	Typ	Max	Symbol	Min	Typ	Max
A	-	-	1.25	e	0.90	0.95	1.00
A1	0	-	0.15	e1	1.80	1.90	2.00
A2	1.00	1.10	1.20	L	0.35	0.45	0.60
A3	0.60	0.65	0.70	L1	0.59RET		
b	0.36	-	0.50	L2	0.25BSC		

b1	0.36	0.38	0.45	R	0.10	-	-
c	0.14	-	0.20	R1	0.10	-	0.20
c1	0.14	0.15	0.16	θ	0	-	8°
D	2.826	2.926	3.026	θ_1	3°	5°	7°
E	2.60	2.80	3.00	θ_2	6°	-	14°
E1	1.526	1.626	1.726				

8. 历史记录

版本号	修改记录	发布日期
V1.0	初版	2018-03-20
V1.1	更新文件编号	2018-08-23
V1.2	更新文字笔误	2019-01-24
V1.3	增加芯片抗干扰能力描述	2019-06-21
V1.4	更改 ESD 参数	2020-11-10