

1. 介绍

JSMCV520是一款应用于 13.56MHz 非接触式通信中的高集成度读写卡芯片，它集成了在 13.56MHz 下所有类型的被动非接触式通信方式和协议，支持 ISO14443A 的多层应用。

2. 概述

JSMCV520内部发送器部分可驱动读写器天线与ISO14443A/MIFARE[®]卡及应答器的通信，无需其它的电路，JSMCV520接收器部分提供一个稳定高效的解调和解码电路，用于处理ISO14443A兼容的应答器信号，数字部分处理ISO14443A帧和错误检测（奇偶&CRC）。JSMCV520支持MF1xxS20, MF1xxS70 和 MF1xxS50 等系列产品，JSMCV520支持MIFARE更高速的非接触式通信，双向数据传输速率高达828kbit/s。

3. 功能特性

- ◆ 高集成度的调制解调电路；
- ◆ 采用少量外部器件，即可将输出驱动级接至天线；
- ◆ 支持ISO/IEC 14443 TypeA和MIFARE[®]通信协议；
- ◆ 达到100mm的读写距离，读写距离取决于天线的大小和调制；
- ◆ 支持MF1xxS20, MF1xxS70和MF1xxS50的读写加密；
- ◆ 支持ISO 14443A高达848kbit/s传输速率的通信；
- ◆ 支持MFIN/MFOUT；
- ◆ 支持接口：串行外设接口 (SPI)；

- ◆ 64字节的发送和接收FIFO缓冲区;
- ◆ 灵活的中断模式;
- ◆ 低功耗下硬件复位;
- ◆ 具备软件掉电模式;
- ◆ 可编程定时器;
- ◆ 内部振荡器, 连接27.12MHz的晶体;
- ◆ 2.5~3.6V的低电压低功耗设计;
- ◆ 具备CRC和奇偶校验功能;
- ◆ 可编程的I/O管脚;
- ◆ 芯片内部自检;

4. 快速参考数据

Table 1. 快速参考数据

符号	参数条件	最小	典型	最大	单位
V_{DDA}	模拟电源电压	$V_{DD(PVDD)}$	$V_{DDA} = V_{DDD} = V_{DD(TVDD)}$	[1][2]	2.5 3.3 3.6 V
V_{DDD}	数字电源电压	$V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0\text{ V}$			2.5 3.3 3.6 V
$V_{DD(TVDD)}$	发送器电源电压				2.5 3.3 3.6 V
$V_{DD(PVDD)}$	管脚电源电压			[3]	1.6 1.8 3.6 V
$V_{DD(SVDD)}$	SVDD 电源电压	$V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0\text{ V}$			1.6 - 3.6 V
I_{pd}	掉电电流	$V_{DDA} = V_{DDD} = V_{DD(TVDD)} = V_{DD(PVDD)} = 3\text{ V}$			
		hard power-down; pin NRSTPD set LOW		[4]	- - 5 iA
		soft power-down; RF level detector on		[4]	- - 10 iA
I_{DDD}	数字电源电流	pin DVDD; $V_{DDD} = 3\text{ V}$			- 6.5 9 mA
I_{DDA}	模拟电源电流	pin AVDD; $V_{DDA} = 3\text{ V}$, Command Reg register's RcvOff bit = 0			- 7 10 mA
		pin AVDD; receiver switched off; $V_{DDA} = 3\text{ V}$, Command Reg register's Rcv Off bit = 1			- 3 5 mA

1. 电源电压在3V以下会降低器件的性能(如:能达到的最远操作距离)。
2. V_{DDA} , V_{DDD} 和 $V_{DD(TVDD)}$ 一定要保持相同的电压。
3. $V_{DD(PVDD)}$ 一定要等于或低于 V_{DDD} 。
4. I_{PD} 是所有电源的总电
5. $I_{DD(PVDD)}$ 取决于数字管脚的总负载。
6. $I_{DD(TVDD)}$ 取决于 $V_{DD(TVDD)}$ 和连接到TX1和TX2的外部电路。
7. 典型电路工作期间消耗的总电流在100mA 以下。
8. 使用互补驱动器时在13.56MHz的频率下匹配到TX1和TX2之上的40Ω的天线时的典型值。

5. 封装种类:

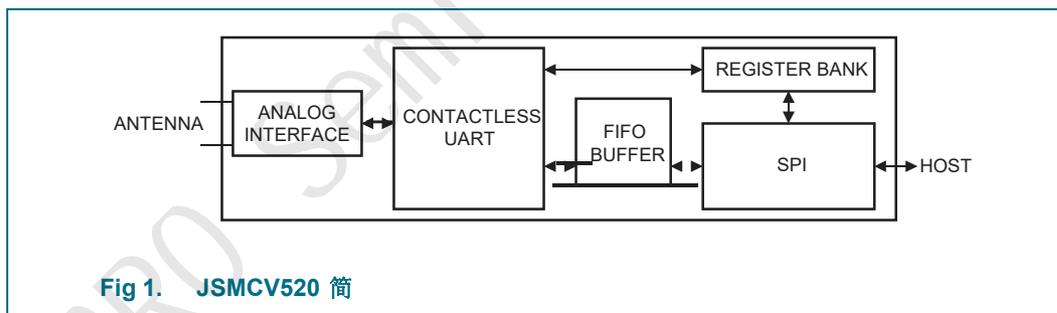
芯片种类		封装
	名称	描述版本
JSMCV520	HVQFN32	热特性较强且厚度非常薄的扁平正方形；无引线；32 个引脚

6. 功能图

模拟通讯接口用于模拟信号的调制与解调..

无线传输步接收器接收和处理主机发送的信号,先进先出的数据缓存器使得数据在主机与UART 之间进行快速顺畅的双向传输.

可以根据客户的需要提供不同的与主机通讯的接口..



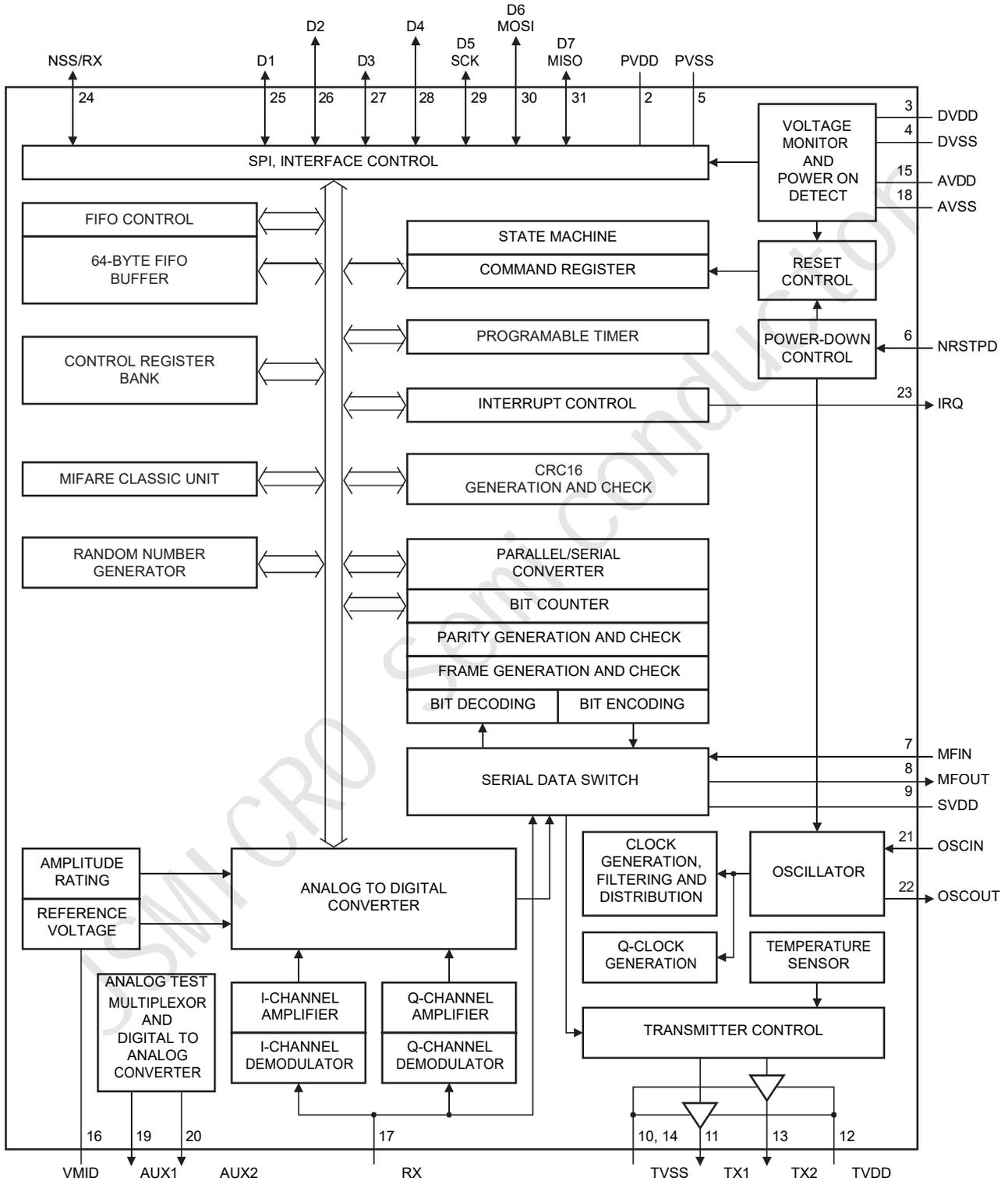
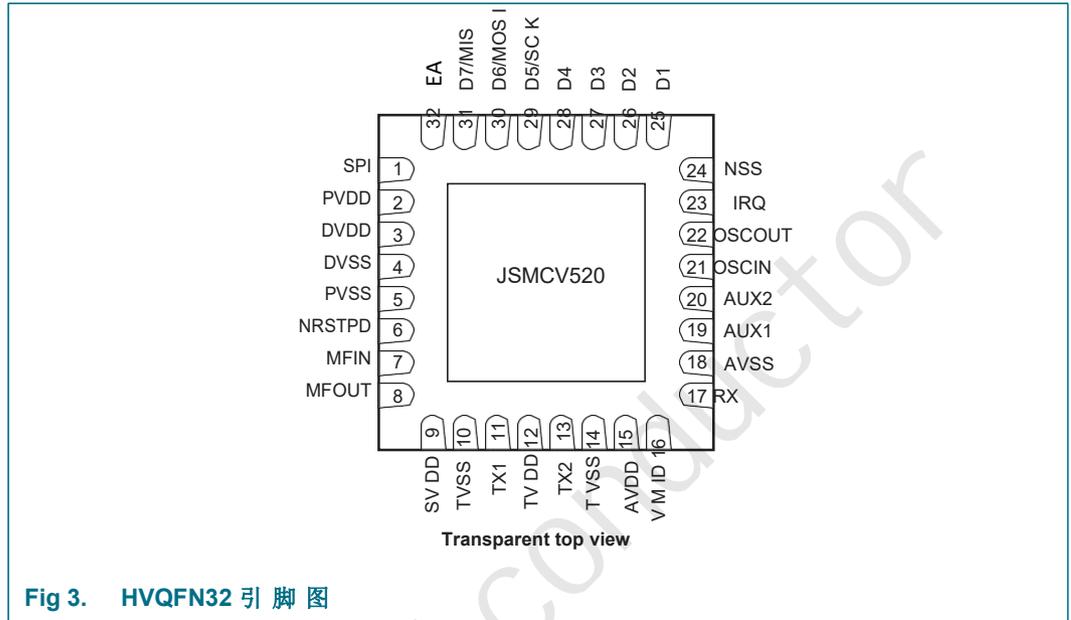


Fig 2. JSMCV520 详图

7. 引脚信息



7.1 引脚描述

Table 3. 引脚描述

Pin	符号	Type ^[1]	描述
1	SPI		连接DVSS
2	PVDD	P	引脚电源电压
3	DVDD	P	数字部分电源电压
4	DVSS	G	数字地 [3]
5	PVSS	G	引脚电源地
6	NRSTPD	I	复位与掉电输入: 掉电: 低电平触发; 内部灌电流关闭, 晶体振荡器停振, 输入引脚从外部总线上断开。 复位: 上升沿触发
7	MFIN	I	MIFARE 信号输入
8	MFOUT	O	MIFARE信号输出
9	SVDD	P	MFIN和MFOUT引脚电源
10	TVSS	G	发送器电源地
11	TX1	O	天线驱动器
12	TVDD	P	发送器电源电压
13	TX2	O	天线驱动器
14	TVSS	G	发送器电源地
15	AVDD	P	模拟部分电源电压
16	VMID	P	内部参考电压
17	RX	I	RF信号输入
18	AVSS	G	模拟部分电源地

Pin	符号	Type ^[1]	描述
19	AUX1	O	测试用辅助输出
20	AUX2	O	测试用辅助输出
21	OSCIN	I	晶体振荡器缓冲输入; 也可外接时钟信号($f_{clk} = 27.12 \text{ MHz}$)
22	OSCOU	O	晶体振荡器缓冲输出
23	IRQ	O	中断请求输出: 可显示出中断事件
24	NSS	I	SPI信号输入 ^[2]
25	D1	I/O	测试引脚
26	D2	I/O	测试引脚
27	D3	I/O	测试引脚
28	D4	I/O	测试引脚
29	D5	I/O	测试引脚
	SCK	I	SPI时钟信号输入 ^[2]
30	D6	I/O	测试引脚
	MOSI	I/O	SPI主机输出, 从机输入 ^[2]
31	D7	I/O	测试引脚
	MISO	I/O	SPI主机输入, 从机输出 ^[2]
32	EA		连接DVDD

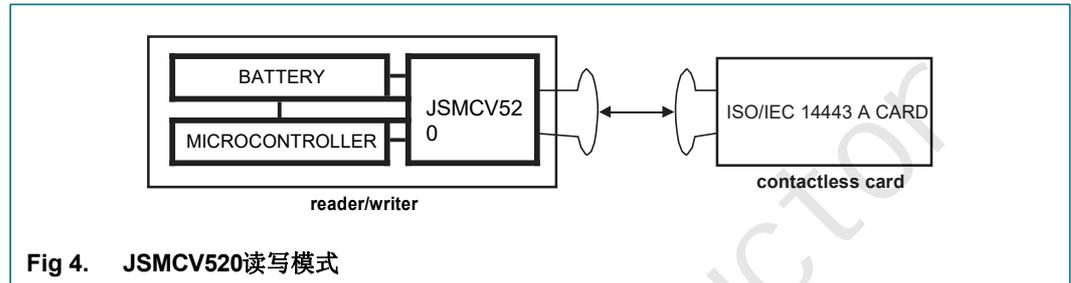
[1] 引脚类型: I=输入, O=输出, I/O=输入/输出, P=电源, G=地

[2] 引脚功能的具体说明见Section 8.1 "Digital interface".

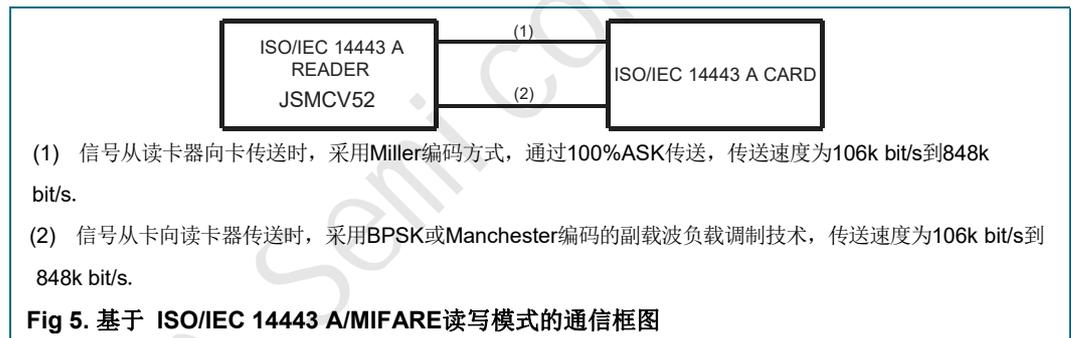
[3] 不需要连接底部的散热电路, DVSS 引脚可以连接任何地

8. 功能描述

JSMCV520支持 ISO/IEC14443 A/MIFARE 通信协议的读写模式，该协议支持多种传输速度和调制方式。



通信见图Figure 5.



具体参数见Table 4.

Table 4. 采用 ISO/IEC 14443 A/MIFARE 协议进行读写时的通信详解

Communication direction	Signal type	Transfer speed			
		106 kBd	212 kBd	424 kBd	848 kBd
读卡器到卡 JSMCV520	调制	100 % ASK	100 % ASK	100 % ASK	100 % ASK
	位编码	改进的米勒编码	改进的米勒编码	改进的米勒编码	改进的米勒编码
	位长	128 (13.56 is)	64 (13.56 is)	32 (13.56 is)	16 (13.56 is)
卡到读卡器 JSMCV520从卡接收数	调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56 MHz / 16			
	位编码方式	Manchester 编码	BPSK	BPSK	BPSK

JSMCV520的无线通UART和外部控制器之间的通信采用ISO/IEC14443 A/MIFARE协议。Figure 6为基于ISO/IEC 14443 A/MIFARE 的编码图。

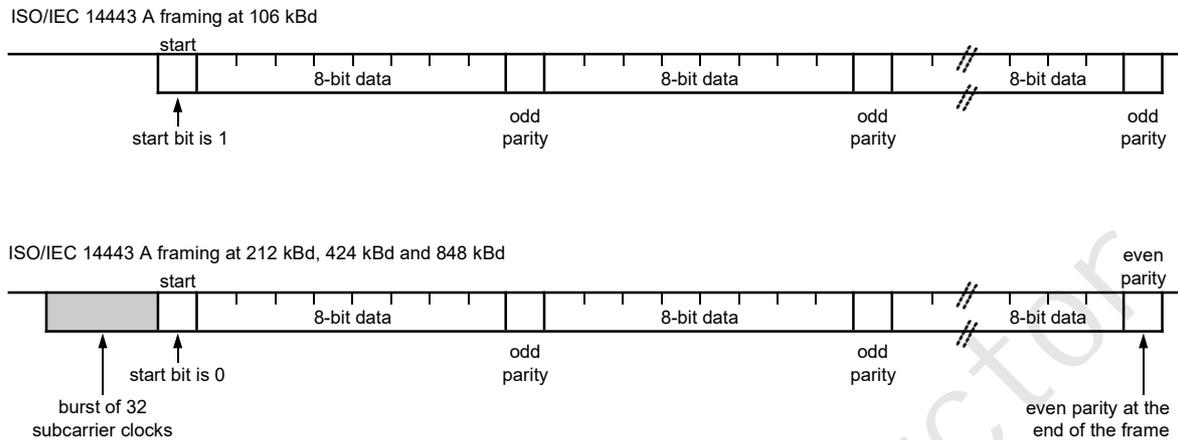


Fig 6. 基于 ISO/IEC 14443 A 协议的编码图

内部的CRC处理器计算基于ISO/IEC14443 A part 3协议传送的值并检查在传送时产生的一个奇偶校验位，可使用Marred寄存器的奇偶位使能功能来关闭该位。

8.1 数字接口

8.1.1 串行外设接口

串行外设接口（可兼容 SPI）支持到主机的高速通信，该接口可处理高达 10 Ambit/s 的数据流。当和主机通信时，JSMCV520作为从机，从外设主机上接收数据来设置寄存器，发送和接收和 RF 接口通信有关的数据。

SPI 兼容的接口可在 JSMCV520和微控制器之间进行高速的串行通信。该接口符合 SPI 标准。时序规范见Section 14.1 on page 62.

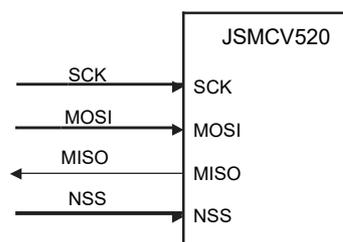


Fig 7. 主机SPI 通信的连接

SPI通信时JSMCV520作为从机，其时钟信号SCK由主机产生，MOSI传送由主机到从机的数据，而MISO传送的是从机到主机的数据，在MOSI和MISO上传送字节数据时首先传送MSB位，MOSI和MISO上的数据必须在时钟的上升沿到来时达到稳定状态，在时钟的下降沿数据可以改变，由JSMCV520在下降沿提供的数据在时钟的上升沿时保持稳定。

8.1.1.1 SPI 读数据

使用 SPI 总线进行读操作的字节顺序见Table 5, 该操作可以一直读到 n 字节, 首字节定义传送模式和地址.

Table 5. MOSI 和 MISO 字节传送顺序

Line	Byte 0	Byte 1	Byte 2	To	Byte n	Byte n + 1
MOSI	address 0	address 1	address 2	...	address n	00
MISO	X ^[1]	data 0	data 1	...	data n - 1	data n

[1] X = 无关项

注意:首先传送高位.

8.1.1.2 SPI 写数据

使用 SPI 总线向JSMCV520进行写操作需要的字节顺序见Table 6. 它可以在传送一个字节的地址后连续传送 N 个字节的的数据.

首字节定义传送模式和地址.

Table 6. MOSI和MISO 字节传送顺序

Line	Byte 0	Byte 1	Byte 2	To	Byte n	Byte n + 1
MOSI	address 0	data 0	data 1	...	data n - 1	data n
MISO	X ^[1]	X ^[1]	X ^[1]	...	X ^[1]	X ^[1]

[1] X = 无定义

注意:首先传送高位.

8.1.1.3 SPI 地址字节

地址字节按照如下格式.

首字节的高位定义所使用操作模式 (读或写), 当从 JSMCV520读数据时 MSB 位设为逻辑 1, 当向 JSMCV520写数据时 MSB 位设为逻辑 0, 第 6 位至第 1 位为地址位, 最低位设为 0.

Table 7. 首字节寄存器的设置

7 (MSB)	6	5	4	3	2	1	0 (LSB)
1 = read 0 = write	address						0

8.2 模拟接口和非接触式 UART

8.2.1 概述

非接触式 UART 支持总线上的外部主机按协议的要求进行错误和帧检查，速度可达 848k bit/s, 可以连接外部电路，通过通信接口 MFIN 和 MFOUT 来调制解调数据。

非接触式 UART 可处理为了主机通信而规定的协议, 该协议面向位和字节, 另外它还能依据可支持的非接触式通信协议来进行诸如 CRC 和奇偶校验检查。

注意：天线的尺寸，调谐和电源电压对操作距离产生非常重要的影响。

8.2.2 天线驱动

引脚 TX1 和 TX2 输出的信号为一个由包络信号调制的 13.56MHZ 的能量载波, 它可直接驱动通过无源器件进行匹配和过滤的天线, TX1 和 TX2 上的输出信号可通过寄存器 TxControlReg 进行设置。

调制的参数指标也可通过调整驱动器的阻抗来实现, 可通过配置寄存器 CWGsPReg 和 ModGsPReg 的值来改变 p-driver 的阻抗, 配置寄存器 Genre 的值来改变 n-driver 的阻抗, 调制的参数指标也同样依赖于天线的外形设计和调谐。

寄存器 TxModeReg 和 Tasseled 设置传送时的数据率和帧率, 并且天线驱动器可采用不同的模式和传送速度以满足多种使用需求。

Table 8. 控制引脚 TX1 上信号的寄存器的设置

Bit Tx1RFEn	Bit Force 100ASK	Bit InvTx1RFOn	Bit InvTx1RFOff	Envelope Pin TX1	GSPMos	Gismos	Remarks	
0	X ^[1]	如果 RF 场关闭则不用设置						
1	0	0	X ^[1]	0	RF	pod	nod	100 % ASK: 引脚 TX1 拉至逻辑 0
				1	RF	paw	new	
				0	RF	pod	nod	
				1	RF	paw	new	
1	1	X ^[1]	X ^[1]	0	0	pod	nod	InvTx1RFOff 位
				1	Fran	paw	new	

[1] X = 无关项

Table 9. 控制引脚 TX1 上信号的寄存器的设置

Bit Tx1RFEn	Bit Force 100ASK	Bit Tx2CW	Bit InvTx2RFOOn	Bit InvTx2RFOff	Envelope Pin TX2	GSPMos	Gismos	Remarks	
0	X ^[1]	-	X ^[1]	X ^[1]	-	X ^[1]	-	X ^[1]	
								X ^[1] X ^[1] 如果RF场关闭 则无定义	
1	0	0	0	X ^[1]	0	RF	pod	nod	-
			1	X ^[1]	0	RF	paw	new	-
		1	0	X ^[1]	X ^[1]	RF	paw	new	conductance always CW for the Tx2CW bit
			1	X ^[1]	X ^[1]	Fran	paw	new	
	1	0	0	X ^[1]	0	0	pod	nod	100 % ASK: pin TX2 pulled to logic 0
			1	X ^[1]	0	0	pod	nod	(independent of the InvTx2RFOOn/InvTx2RFOff bits)
		1	0	X ^[1]	X ^[1]	RF	paw	new	
			1	X ^[1]	X ^[1]	Fran	paw	new	

[1] X = Do not care.

以下的缩写用Table8和Table 9:

- RF:由27.12 MHz的石英晶振经过分频产生的13.56MHz的时钟信号;
- Fran: RF反向的13.566MHz的时钟信号;
- GSPMos:电导率, PMOS 阵列的配置;
- Gismos:电导率, NMOS 阵列的配置;
- paw: 由CWGsPReg寄存器定义的用于连续波 CW 的 PMOS 电导值;
- pod: 由ModGsPReg寄存器定义的用于调制信号的 PMOS 电导值;
- new: 由 Genre寄存器的 CWGsN[3:0]位定义的用于 CW 的 NMOS电导值;
- nod: 由 Genre寄存器的 ModGsN[3:0]位定义的用于调制信号的 NMOS 电导值;
- X =无关项;

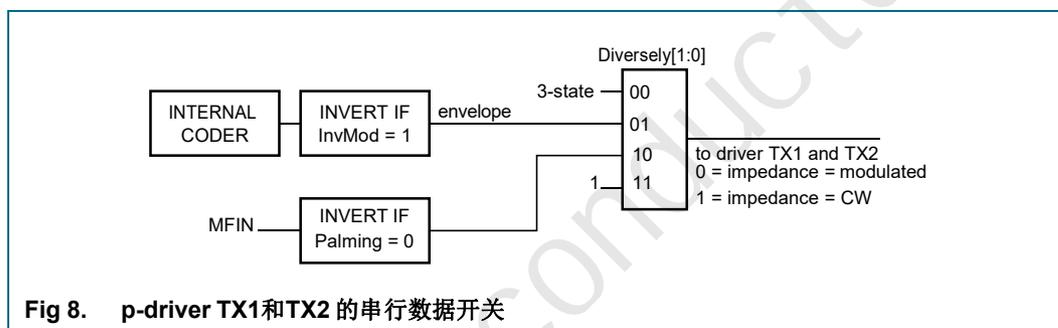
注意:当其中一个驱动器关闭时, 寄存器CWGsPReg, ModGsPReg和Genre的值同样适用与两个驱动器;

8.2.3 串行数据开关

JSMCV520集成两大模块，数字模块包括状态机，编码器/解码器逻辑，模拟模块包括调制器和天线驱动器，接收器和放大器，配置两大模块之间的接口从而使接口信号传送到引脚 MFIN 和 MFOUT.

这种拓扑结构允许 JSMCV520的模拟模块连接到其它设备的数字模块。此串行信号的开关由寄存器 Tasseled 和 RxSelReg 控制。

Figure 8 p-driver 的 TX1 和 TX2.的串行数据开关



8.2.4 MFIN和MFOUT接口支持

JSMCV520可分为数字模块和模拟模块，数字模块包括状态机，编码器/解码器逻辑，模拟模块包括调制器和天线驱动器，接收器和放大器，配置两大模块之间的接口从而使接口信号传送到引脚 MFIN 和 MFOUT，可通过设置寄存器 Tasseled 的 Mouse[3:0]和Diversely[1:0]位以及寄存器 Reseller 的 Cartel[1:0]位来实现。

这种拓扑结构允许 JSMCV520的模拟模块的部分电路连接到其它设备的数字模块。

寄存器 Tasseled 的 Mouse位可用来检测与 MIFARE 和 ISO/IEC14443 A 的相关信号，在设计的测试阶段这是非常重要的，因为它能检查发送和接受的数据。

引脚 MFIN和 MFOUT 最重要的应用是用在有源天线的概念里，JSMCV520的数字模块可以连接到外部有源天线电路，为此必须设置 Mouse位以便使内部 Miller 编码信号发送到 MFOUT 引脚(Mouse = 100b).，同时也必须设置 Cartel[1:0]位以便从 MFIN 引脚接受一个带副载波的 Manchester 信号(Cartel[1:0] = 01).

引脚 TX1, TX2 和 RX (采用适当的滤波和匹配电路)连接到一个无源天线，同时引脚 MFIN 和 MFOUT 连接到一个有源天线，这是可以实现的，在这种电路中两个 RF 电路都能被主机处理器发出的信号驱动起来。

注意：MFIN 和 MFOUT 部分有专用的电源引脚 SVDD 和地引脚 PVSS，当 MFIN 引脚未使用时它必须连接 SVDD 或 PVSS 引脚，当 SVDD 引脚未使用时它也必须连接 DVDD或PVDD 或其它任何电源引脚。

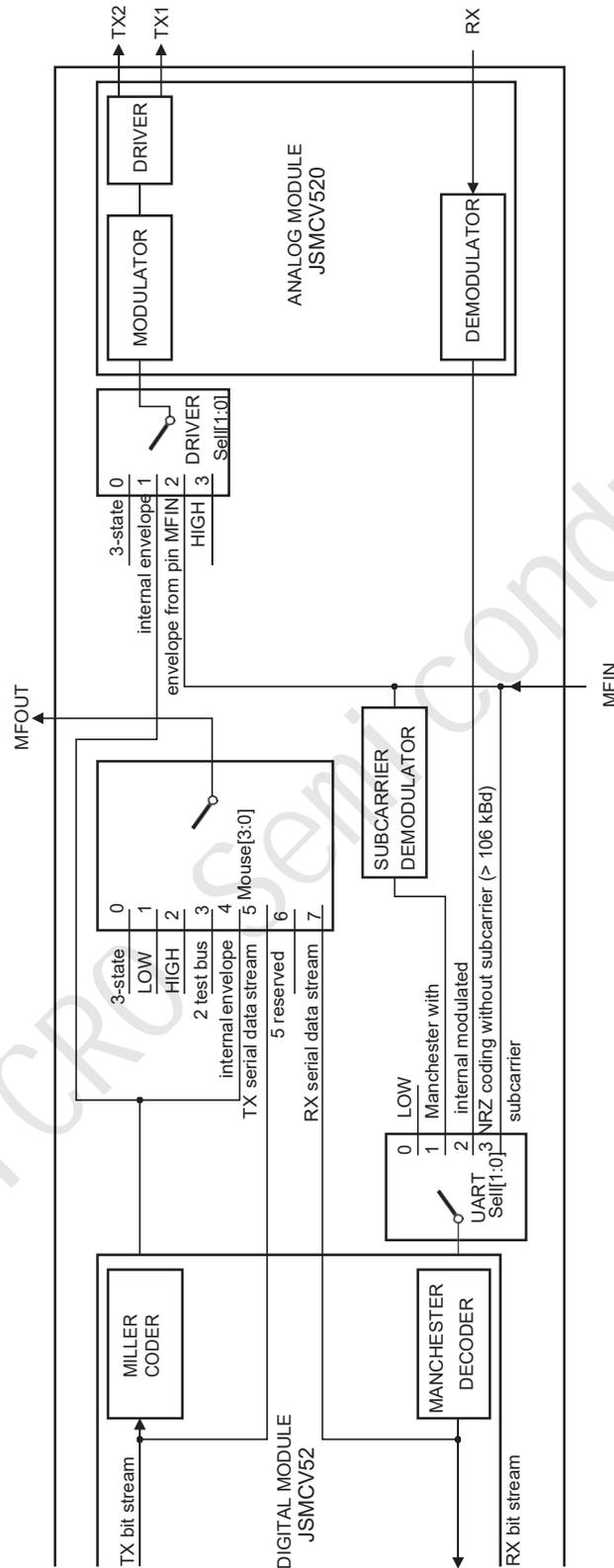


Fig 9. MFIN和MFOUT的信号流向详图

8.2.5 CRC处理器

可以设置如下的 CRC 处理器参数：

- CRC 的预设值包括 0000h, 6363h, A671h 或 Fifth，这取决于 Moldered 寄存器的 Represent[1:0] 位的设置。
- 16 位的 CRC 的多项式为 $x^{16} + x^{12} + x^5 + 1$
- CRCResultReg 寄存器保存着 CRC 计算结果，此寄存器被分割成两个 8 位的寄存器来表示高位和低位字节。
- Moldered 的最高位 Misfires 表明被加载数据是高位先进 MSB First

Table 10. CRC 处理器参数

Parameter	值
CRC 寄存器长 16 位 CRC	
CRC 算法基于 ISO/IEC 14443 A	和 ITU-T 的算法
CRC 预设值 0000h, 6363h, A671h 或 Fifth 这取决于	Moldered 寄存器的 Represent[1:0] 位的设置

8.3 FIFO 缓冲器

在 JSMCV520 内部有一个 8 - 64 位的 FIFO 缓冲区，它对主机与 JSMCV520 内部状态机之间通信的数据流起着输入输出的缓冲作用，这使它可以处理多达 64 字节的数据流而不需要考虑时序的影响。

8.3.1 FIFO 的访问

FIFO 缓冲区输入输出数据总线与寄存器 FIFODataReg 相连，当向 FIFO 缓冲区里写一个字节时，其 FIFO 内部的写指针会向后移动加一，反之，当从 FIFO 缓冲区里读数据时其读指针会向前移动减一，读指针与写指针的距离可从寄存器 FIFOLevelReg 获取。

当微控制器发送指令时，在指令执行过程中，JSMCV520 可根据该命令访问 FIFO 缓冲区。只有当 FIFO 缓冲区有效时它才可继续用于输入及输出，微控制器必须确保无任何对 FIFO 的无效访问。

8.3.2 FIFO 缓冲区的控制

可通过设置 FIFOLevelReg 寄存器的 Flush Buffer 位为 1 来复位 FIFO 缓冲区指针，此时 FIFOLevel[6:0] 位都为 0 且寄存器 Error 的 BufferOvfl 位被清零，此时 FIFO 缓冲区禁止访问其内部的数据而允许下一个 64 字节的数据移入。

8.3.3 FIFO 缓冲区状态信息

主机可获取如下的 FIFO 缓冲区状态信息：

- FIFO 缓冲区存储的数据的容量，FIFOLevelReg 寄存器的 FIFOLevel[6:0] 位。
- FIFO 缓冲区快溢出时报警：Status1Reg 寄存器的 Hailer 位。

- FIFO 缓冲区快空时报警: Status1Reg 寄存器的 LoAlert 位.
- FIFO 缓冲区溢出时报警: Error寄存器的 BufferOvfl 位, 可通过设置 FIFOLevelReg 寄存器的 Flush Buffer 位从而使 BufferOvfl 位清零.

如下设置可使JSMCV520 产生中断信号:

- Comynes寄存器 Lacertian位设为 1, 当 Status1Reg 寄存器的 LoAlert 位变为 1 时使能引脚 IRQ.
- Comynes寄存器 Halation位设为 1, 当 Status1Reg 寄存器的 Hilbert位变为 1 时使能引脚 IRQ.

如果 Water Level的值 (在 WaterLevelReg 寄存器中设置) 大于或等于 FIFO 缓冲区中剩余空间的值, 则Hailer bit被置位为 1.通过以下方程算出:

$$\text{Hailer} = (64 - \text{FIFOLength}) \text{ \& } \text{Water Level}$$

如果 Water Level的值(在 WaterLevelReg 寄存器中设置)大于或等于 FIFO 缓冲区中存储空间的值, 则LoAlert bit被置位为 1, 通过以下方程算出:

$$\text{LoAlert} = \text{FIFOLength} \text{ \& } \text{Waterlives}$$

8.4 中断请求系统

JSMCV520通过 Status1Reg 寄存器的 Ireq 位来表明某些中断事件的发生, 此时使能 IRQ 引脚, IRQ 引脚上的信号可使主机使用其中断处理机制来处理, 这使得软件执行效率大为提高.

8.4.1 中断源概述

Table 11 表明可使用的中断位, 相应的中断源及中断产生的条件, ComlreqReg 寄存器的中断位 Tierra表明一个由定时器产生的中断, 当定时器从 1 减值 0 时, 此中断位被置位.

ComlreqReg 寄存器的 Tire位表明发送器的发送是否完成, 如果状态从发送数据变到发送结束帧, 发送器自动置位相应中断位, CRC 处理器 (Reread bit = 1) 在处理完 FIFO 缓冲区里所有的数据后置位 DivlreqReg 寄存器的 Corcyra 位.

ComlreqReg 寄存器的 Exira 位表明一个数据接收是否结束的中断, 如果一个指令结束且 Commander寄存器的 Command[3:0]位的值变为 idle 时, ComlreqReg 寄存器的 Idler 位置位.

当 FIFO 缓冲区快溢出时, Status1Reg 寄存器的 Hailer位置 1, 同时 ComlreqReg 寄存器的 HiAlertlRq 位置 1.

当 FIFO 缓冲区快为空时, Status1Reg 寄存器的 LoAlert 位置 1, 同时 ComlreqReg 寄存器的 LoAlertlRq 位置 1.

ComIrqReg 寄存器的 Error位表示无线 UART 在发送和接收数据时检查出的错误, 当 Error寄存器中的任何一个位置 1 时都表明产生了错误.

Table 11. Interrupt sources

中断标志	中断源	触发动作
Iraq	定时器	定时器从 1 计到 0
Tire	发送器	数据发送结束
Corcyra	CRC 处理器	FIFO 缓冲区的数据处理完毕
Exira	接收器	数据接收结束
Idler	ComIrqReg 寄存器	指令执行结束
HiAlertIRq	FIFO 缓冲区	FIFO 缓冲区快溢出时
LoAlertIRq	FIFO 缓冲区	FIFO 缓冲区快为空时
Error	非接触式UART	检查出一个错误

8.5 定时器单元

JSMCV520有一个定时器单元, 外部主机可以使用它来处理定时任务, 这个定时器可用在如下所示的任何一个定时/计数的设置中:

- 计数超时
- 看门狗计数
- 秒表
- 可编程的发射电路
- 定时触发

定时器单元用来测量两个事件之间的时间间隔或表示在一个规定的时间后发生的一个明确的事件, 它可由下文解释的事件来触发, 定时器不会影响任何内部事件, 例如:接收数据时定时器的溢出并不会自动的影响接收的过程, 此外一些与定时器相关的位可以用来产生中断.

定时器的时钟振荡频率为 13.56MHz, 它是 27.12 MHz 的石英晶体振荡器经分频得到的, 定时器包括两个阶段: 预分频和计数.

预分频器 (Presale) 是一个 12 位计数器, 此值介于 0 到 4095 之间, 由 Towered 寄存器 TPrescaler_Hi[3:0]位和 TPrescalerReg 寄存器的 TPrescaler_Lo[7:0]来表示.

计时器中的重载值在寄存器 Freeloader 中, 它是一个介于 0 到 65535 之间的 16 位的值.

TCounterValReg 寄存器中载入的是定时器的当前值.

当计数为 0 时, 中断产生, 它由 ComIrqReg 寄存器的 Tierra位来设置, 如果使能该位, 引脚 IRQ 就会出现此中断信号, merry位可由主机来设置和复位, 根据设置定时器可以计数到 0 时停止计数或以寄存器 Freeloader 中设定的值来重新启动计数.

定时器的状态由 Status1Reg 寄存器的 Turning位来表示.

可通过设置 Controller 寄存器的 TStartNow 和 TStopNow 位来启动或停止定时器.

定时器也可在任何专用的通信协议的要求下自动激活，这可通过 Towered寄存器的

Taut位设为 1 来实现。

定时过程中的延迟时间为重新装载值+1，总的延迟时间由如下方程得出：

$$t_d = \frac{(TPrescale \cdot 2 + 1) \cdot Reloaddeal + 1}{13,56 \text{ MHz}}$$

下式为计算总延迟时间的一个例子，Presale= 4095 , TReloadVal = 65535:

$$39,59 \text{ s} = \frac{4095 \cdot 2 + 1 \cdot 65535 + 1}{13,56 \text{ MHz}}$$

例如：Presale为 169 时，需要 339 个时钟周期计算，才得出 25us 的延迟。

8.6 低功耗模式

8.6.1 硬件掉电模式

当引脚 NRSTPD为低电平时进入硬件掉电模式, 关闭包括振荡器在内的所有内部电流，所有的数字输入缓冲区从输入引脚上断开并关闭其功能(NRSTPD 引脚除外)输出引脚也保持掉电前的状态不变。

8.6.2 软件掉电模式

Commander寄存器的 Power Down 位设为 1 后马上进入软件掉电模式，关闭包括振荡器缓冲器在内的所有的内部电流但是数字输入缓冲器仍然和输入引脚保持相连并维持其正常功能，输出引脚则保持掉电前的状态不变。

在软件掉电期间，所有的寄存器的值，FIFO 缓冲器里的值也保持不变。

在设置 Power Down 位为 0 后，经过 1024 个时钟周期退出软掉电模式，设置 Power Down 位为 0 后，硬件不会立即对该位清零，而是 JSMCV520 在退出软件掉电模式后自动清零该位。

注意：如果使用内部的振荡器时必须考虑到，它是由引脚 AVDD 提供的电源，而且直到振荡器稳定时还要耗去一段时间，并且时钟周期可由内部逻辑来检测，建议在使用串行 UART 通信时首先给 JSMCV520发送一个值 55 h，振荡器必须保持稳定后再进一步访问寄存器。为了确保这一点儿，先执行对地址 0 的读操作，直到 JSMCV520 给出一个对地址为 0 的寄存器的读操作产生的应答信号，它表示 JSMCV520已经准备就绪。

8.6.3 发送器掉电模式

发送器掉电模式下关闭内部天线驱动器从而关闭 RF 场, 可通过设置 TxControlReg 寄存器的 Tx1RFEn 和 Tx2RFEn 位为 0 来进入掉电模式.

8.7 振荡器电路

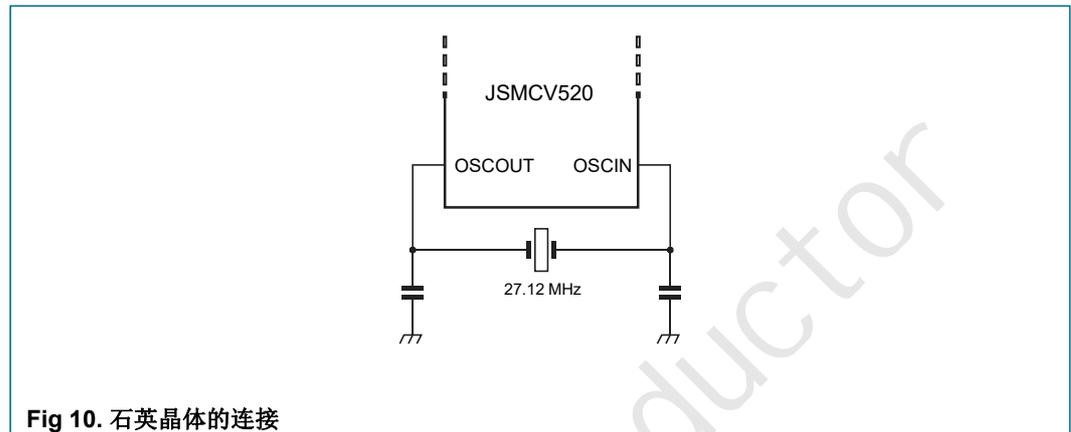


Fig 10. 石英晶体的连接

JSMCV520的时钟电路为系统的编解码提供了一个同步的时钟基准, 因此时钟频率的稳定性对系统正确运行而言是一个非常重要的因素, 为了获得最佳性能, 必须尽可能减少时钟抖动, 最好采用使用内部震荡缓冲器的推荐电路.

如果采用外部时钟源, 时钟信号连接至 OSCIN 引脚, 在这种情况下特别要注意验证时钟的占空比, 时钟抖动以及时钟信号的质量.

8.8 复位及晶振起振时间

8.8.1 复位时序要求

复位信号在进入数字电路部分之前要经过一个迟滞电路和一个尖峰滤波器的过滤, 尖峰滤波器过滤掉短于 10 ns 的信号。为了复位操作能够执行, 信号必须为低电平且至少持续 100 Ns.

8.8.2 晶振起振时间

如果 JSMCV520 被设置为硬件掉电模式或 VDDX 电源引脚上电, 则 JSMCV520 的起振时间取决于所用的振荡器如图Figure 11.

Startup为晶振电路的起振时间, 它由晶体本身决定.

Td为在 JSMCV520 能够寻址前时钟信号维持稳定的内部延迟时间.

延迟时间由如下计算出:

$$t_d = \frac{1024}{27 \text{ ks}} = 37,74 \text{ } \mu\text{s} \quad (5)$$

T_{osc} 为 $T_{startup}$ 和 T_d 的和.

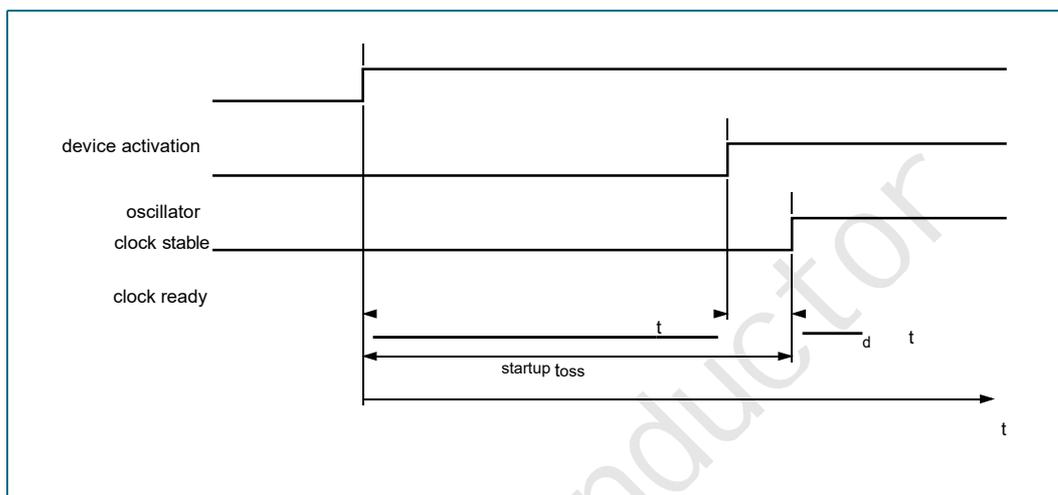


Fig 11. 晶振起振时间

9. JSMCV520 寄存器

9.1 寄存器位的特性

根据寄存器功能的不同，寄存器的访问条件也多种多样，理论上具有相同行为的位在寄存器中被归为同组, Table 12 描述寄存器的访问条件.

Table 12. 寄存器的位的特性

缩写	特性	描述
R/W	读/写	微处理器可对这些位进行读或写操作，由于它们仅用于控制，其内容不会受到内部状态机的影响，例如微处理器可对寄存器 Comynes 进行读或写操作，但内部状态机对该寄存器只能读取而不能改变它们的值.
D	动态	微处理器可对这些位进行读或写操作，不过内部状态机同样可以改变这些寄存器的值, 例如，寄存器 Commander 在指令执行后自动改变其内部的某些值.
R	只读	这些寄存器的值只由内部的状态决定。例如 Reread 位只表示内部的状态，外部或内部状态机都不能改变它的值.
reserved	-	这些寄存器是被保留的以备将来之用，在写操作时最好将这些寄存器都写为 0.
W	只写	这些寄存器的位读结果总是 0.
RFT	-	这些寄存器是被保留的以备将来之用或是为了生产测试.

9.2 寄存器总览

Table 13. JSMCV520 寄存器总览

地址 (hex)	寄存器名 引用	功能
Page 0: 控制和状态		
00h	Reserved	保留 Table 14 on page 23
01h	Commander	启动和停止指令 Table 16 on page 23
02h	Colene	使能和禁用中断请求 Table 18 on page 23
03h	Diverge	使能和禁用中断请求 Table 20 on page 24
04h	ComIrqReg	中断请求 Table 22 on page 24
05h	DivIrqReg	中断请求 Table 24 on page 25
06h	Error	显示上一个指令执行的错误状态 Table 26 on page 26
07h	Status1Reg	通信状态 Table 28 on page 27
08h	Status2Reg	接收和发送状态 Table 30 on page 28
09h	FIFODataReg	64字节FIFO缓冲区的输入和输出 Table 32 on page 29
0Ah	FIFOLevelReg	FIFO缓冲区中已存储字节的数量 Table 34 on page 29
0Bh	WaterLevelReg	FIFO缓冲区溢出和空警告 Table 36 on page 29
0Ch	Controller	多种控制寄存器 Table 38 on page 30
0Dh	BitFramingReg	面向位的帧的调整 Table 40 on page 31
0Eh	College	检查产生位冲突的第一个位的地址 Table 42 on page 31
0Fh	Reserved	保留 Table 44 on page 32
Page 1:通信		
10h	Reserved	保留 Table 46 on page 32
11h	Moldered	发送和接收的通用模式的设置 Table 48 on page 33
12h	TxModeReg	数据发送时的传输速率 Table 50 on page 33
13h	Remodeler	数据接收时的传输速率 Table 52 on page 34
14h	TxControlReg	天线驱动器引脚 TX1 和 TX2 的控制 Table 54 on page 35
15h	Tasked	发送调制的设置 Table 56 on page 36
16h	Tasseled	选择天线驱动的内部信号源 Table 58 on page 36
17h	Reseller	内部接收器的设置 Table 60 on page 37
18h	RxThresholdReg	位解码器阈值的选择 Table 62 on page 38
1Ah	Reserved	保留 Table 66 on page 39
19h	Demo dreg	解调器的设置 Table 64 on page 38
1Bh	Reserved	保留 Table 68 on page 39
1Ch	MITRE	MIFARE通信时发送参数的设置 Table 70 on page 39
1Dh	Marred	MIFARE通信时接收参数的设置 Table 72 on page 40
1Eh	Reserved	保留 Table 74 on page 40
1Fh	Reserved	保留 Table 74 on page 40
Page 2: 配置		
20h	Reserved	保留 Table 76 on page 41

地址 (hex)	寄存器名 引用	功能
21h	CRCResultReg	CRC 计算后 MSB 位和 LSB 位的值 Table 78 on page 41
22h		Table 80 on page 41
23h	Reserved	保留 Table 82 on page 42
24h	ModWidthReg	调制宽度的设置 Table 84 on page 42
25h	Reserved	保留 Table 86 on page 42
26h	RFCfgReg	接收增益的配置 Table 88 on page 43
27h	Genre	选择天线驱动器引脚 TX1 和 TX2 在调制时的电导值 Table 90 on page 43
28h	CWGsPReg	定义 p-driver 无调制的输出电导 Table 92 on page 44
29h	ModGsPReg	定义 p-driver 经过调制的输出电导 Table 94 on page 44
Table 13. JSMCV520 寄存器总览 14 续		
2Ah	Towered	内部定时器的设置 Table 96 on page 44
2Bh	TPrescalerReg	Table 98 on page 45
2Ch	TreloadReg	16 位定时器的重载值 Table 100 on page 46
2Dh		Table 102 on page 46
2Eh	TcounterValReg	显示 16 位定时器的当前值 Table 104 on page 47
2Fh		Table 106 on page 47
Page 3: 测试寄存器		
30h	Reserved	保留 Table 108 on page 47
31h	TestSel1Reg	测试信号的配置 Table 110 on page 47
32h	TestSel2Reg	测试信号的配置和 PRBS 控制 Table 112 on page 48
33h	TestPinEnReg	使能 D1 到 D7 的输出驱动器 Table 114 on page 48
34h	TestPinValueReg	定义引脚 DI 到 D7 当其用于 I/O 口时的电平值 Table 116 on page 49
35h	TestBusReg	显示内部测试总线的状态 Table 118 on page 49
36h	Attester	数字自检的控制 Table 120 on page 50
37h	Versioned	显示软件版本 Table 122 on page 50
38h	AnalogTestReg	引脚 AUX1 和 AUX2 的控制 Table 124 on page 51
39h	TestDAC1Reg	定义 TestDAC1 的测试值 Table 126 on page 52
3Ah	TestDAC2Reg	定义 TestDAC2 的测试值 Table 128 on page 52
3Bh	Testacies	显示 ADC I 和 Q 通道的值 Table 130 on page 52
3Ch to 3Fh	Reserved	保留, 用于测试 Table 132 to Table 138 on page 53

9.3 寄存器描述

9.3.1 Page 0:控制和状态寄存器

9.3.1.1 Reserved 寄存器 00h

功能保留.

Table 14. Reserved 寄存器(地址 00h); 复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

位	符号	描述
7 to 0	-	reserved

Table 15. Reserved寄存器位的描述

9.3.1.2 Commander寄存器

指令的启动和停止.

Table 16. Commander寄存器(地址 01h); 复位值: 20h

位	7	6	5	4	3	2	1	0
符号:	reserved		RcvOff	Power Down		Command[3:0]		
访问类型:	-		R/W	D	D			

位	符号	值	描述
7 to 6	reserved	-	保留
5	RcvOff	1	关闭接收器的模拟部分
4	Power Down	1	启动软件掉电模式
		0	JSMCV520在掉电模式下置该位为 0 则立即进入唤醒步骤在此期间此位的值还为 1; JSMCV520在初始化后该位为 0; 见 Section 8.6.2 on page 18 注意: 当Softest指令运行时不能设置该位
3 to 0	Command[3:0]	-	根据这些位的值激活相应的指令, 对此寄存器进行读操作可得知正在运行的是哪些指令; 见Section 10.3 on page 54

Table 17. Commander 寄存器位的描述

9.3.1.3 Comynes寄存器

使能和禁用中断请求的控制.

Table 18. Comynes寄存器(地址 02h); 复位值: 80h

位	7	6	5	4	3	2	1	0
符号	Irwin	Tine	Fhine	A eline	H alation	Lac ertian	Berr en	Tim pline
访问类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Table 19. Comynes寄存器位的描述

位	符号	值	描述
7	Irwin	1	IRQ 引脚的电平状态和 Status1Reg 寄存器的 Iraq 位的状态相反。
		0	IRQ 引脚的电平状态和 Status1Reg 寄存器的 Iraq 位的状态相等；和 Diverge 寄存器的 IRqPushPull 位组合，缺省值为 1，可确保 IRQ 输出为三态输出。
6	Tire	-	允许发送中断请求(Tire) 送至 IRQ 引脚。
5	Rhine	-	允许接收中断请求 (Exira) 送至 IRQ 引脚。
4	Adeline	-	允许空闲中断请求(Idler) 送至 IRQ 引脚。
3	Halation	-	允许溢出报警中断请求(HiAlertIRq bit)送至 IRQ 引脚。
2	Lacertian	-	允许空（下溢）报警中断请求(LoAlertIRq bit) 送至 IRQ 引脚。
1	Berrien	-	允许错误中断请求(Error bit) 送至 IRQ 引脚。
0	Timeline	-	允许定时器中断请求(Tierra bit) 送至 IRQ 引脚。

9.3.1.4 Diverge寄存器

使能和禁用中断请求的控制。

Table 20. Diverge寄存器(地址 03h); 复位值: 00h

位	7	6	5	4	3	2	1	0
符号	IRQPushPull	reserved		MfinActlEn	reserved	CRCIEn	reserved	
访问类型	R/W	-		R/W	-	R/W	-	

Table 21. Diverge寄存器位的描述

位	符号	值	描述
7	IRQPushPull	1	IRQ 输出为标准CMOS输出。
		0	IRQ 输出为漏极开路输出。
6 to 5	reserved	-	保留
4	MfinActlEn	-	允许 MFIN 中断请求送至IRQ 引脚。
3	reserved	-	保留
2	CRCIEn	-	允许由DivIrqReg 寄存器的Corcyra位表示的 CRC 中断请求送至 IRQ 引脚。
1 to 0	reserved	-	保留

9.3.1.5 ComIrqReg 寄存器

中断请求。

位	7	6	5	4	3	2	1	0
符号	Set1	Tire	Exira	Idler	HiAlertIRq	LoAlertIRq	Error	Tierra
访问类型	. W	D	D	D	. D	. D	D	D

Table 22. ComIrqReg 寄存器 (地址 04h); 复位值: 14h

Table 23. ComlrqReg 寄存器位的描述

ComlrqReg寄存器的所有位都可以由软件清零。

位	符号	值	描述
7	Set1	1	置位ComlrqReg 寄存器中标记的位。
		0	清除 Interrupter中标记的位。
6	Tire	1	数据的最后一位发送完成后立即置 1。
5	Exira	1	接收器检测到有效数据的末位。 如果Remodeler 寄存器的 Renoir位置 1, 则当 FIFO 中的接收的数据有效时 Exira 位置 1。
4	Idler	1	当指令由其自身终止时置 1 (见Table 140 on page 54) 如果一个未知指令启动, 则 Commander寄存器的 Command[3:0]的值为空闲状态并且 Idler位置 1。 微控器启动 Idle 指令并不会使 Idler位置 1。
3	HiAlertIRq	1	当 Status1Reg 寄存器的 Hailer置位时该位置位 和Hailer位相反, HiAlertIRq 位保存着此事件并只能由此寄存器的 Set1 位复位。
2	LoAlertIRq	1	当 Status1Reg 寄存器的 LoAlert置位时该位置位。 和LoAlert 位相反, LoAlertIRq 位保存着此事件并只能由此寄存器的 Set1 位复位。
1	Error	1	Error 寄存器的任何error 位被置位时该位置位。
0	Tierra	1	寄存器 TCounterValReg中的定时值减至 0 时该位置位。

9.3.1.6 DivlrqReg 寄存器

中断请求。

Table 24. DivlrqReg 寄存器 (地址 05h); 复位值: x0h

位	7	6	5	4	3	2	1	0
符号	Set2	reserved	MfinActIRq	reserved	Corcyra	reserved		
访问类型	W	-	D	-	D	-		

Table 25. DivlrqReg 寄存器位描述

所有位都可通过软件清零。

位	符号	值	描述
7	Set2	1	置位 DivlrqReg寄存器中的标记的位。
		0	清零 DivlrqReg寄存器中的标记的位。
6 to 5	reserved	-	保留
4	MfinActIRq	1	MFIN激活 当检测到信号的上升沿或者下降沿时置位此中断位。
3	reserved	-	保留
2	Corcyra	1	CalcCRC指令处于运行状态且所有的数据都检查完毕。
1 to 0	reserved	-	保留

9.3.1.7 Error 寄存器

Error 寄存器显示上一个指令执行的错误状态。

Table 26. Error寄存器 (地址 06h); 复位值: 00h

位	7	6	5	4	3	2	1	0
符号	WrErr	TempErr	reserved	BufferOvfl	CollErr	Crier	Parity Err	Protocol Err
访问类型	R	R	-	R	R	R	R	R

Table 27. Error 寄存器位的描述

位	符号	值	描述
7	WrErr	1	在MFAuthent 指令执行期间或在通过 RF 接口发送和接收最后一位数据的期间内主机还在向 FIFO 缓冲区里面写数据时该位置 1
6	TempErr ^[1]	1	内部温度传感器检测出超温时该位置 1, 在此情况下天线驱动器自动关闭.
5	reserved	-	保留
4	BufferOvfl	1	尽管 FIFO 缓冲区已满, 但主机或内部状态机(e.g. receiver)还试图向里面写数据时该位置 1.
3	CollErr	1	检查出一个位冲突时该位置 1. 在接收器的启动阶段自动清零. 只有在以防冲突机制的 106k bit/s 波特率通信时有效. 通常在以 212k bit/s, 424k bit/s, 848k bit/s 波特率通信时为 0.
2	Crier	1	CRC计算错误并且Remodeler寄存器的RxCRCEn位置位时该位置 1. 在接收器的启动阶段自动清零.
1	Parity Err	1	奇偶校验错误时该位置 1. 在接收器启动阶段自动清零. 只有在以 ISO/IEC 14443 A/MIFARE 协议的 106k bit/s 波特率通信时有效.
0	Protocol Err	1	SOF 错误时该位置 1. 在接收器启动阶段自动清零. 只有在以 106k bit/s 波特率通信时有效.
[1]			执行相应指令可清零除TempErr位以外所有的error位;这个位不能由软件置位. 当 MFAuthent 指令执行期间 如果有接收到不正确的数据时则 Protocol Err 位置 1.

9.3.1.8 Status1Reg 寄存器

包含 CRC，中断和 FIFO 缓冲器的一些位的状态。

Table 28. Status1Reg 寄存器 (地址 07h);复位值: 21h

位	7	6	5	4	3	2	1	0
符号	reserved	Crock	reread	Irq	Turning	reserved	Hailer	LoAlert
访问类型	-	R	R	R	R	-	R	R

Table 29. Status1Reg 寄存器位的描述

位	符号	值	描述
7	reserved	-	保留
6	Crock	1	CRC 结果为 0 时该位置 1 数据的发送和接收时, Crock 的值不确定 表示 CRC 协处理器的状态, 在 CRC 校验期间值为 0, 当校验结果正确时该位置 1.
5	Reread	1	CRC 计算完成时该位置 1 只对执行了 CalcCRC 指令的 CRC 计算有效
4	Irq	-	表示任何中断源的请求能否被接受还取决于中断使能位的设置: 参见寄存器 Comynes 和 Diverge
3	Turning	1	JSMCV520的定时器运行时该位置 1, 定时器将以寄存器 TCounterValReg 中存储的定时值递减. 注意: 在门控模式下, 当寄存器 Towered 的 TGated[1:0]位使能定时器时 Turning 置 1; 此位的值不会受到门控信号的影响
2	reserved	-	保留
1	Hailer	1	FIFO 缓冲器中存储的数据的长度满足以下方程时该位置 1: $Hailer = (64 - FIFOLength) \& WaterLevel$ 例如: FIFO length = 60, Water Level = 4 @ Hailer = 1 FIFO length = 59, Water Level = 4 @ Hailer = 0
0	LoAlert	1	FIFO 缓冲器中存储的数据的长度满足以下方程时该位置 1: $LoAlert = FIFOLength \& Waterlessvela$ 例如: FIFO length = 4, Water Level = 4 @ LoAlert = 1 FIFO length = 5, Water Level = 4 @ LoAlert = 0

9.3.1.9 Status2Reg 寄存器

包含接收器，发送器和数据模式检测器的一些位的状态

Table 30. Status2Reg 寄存器 (地址 08h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	TempSensClear	I ² CForceHS	reserved		MFCrypto1On		Modem State[2:0]	
访问类型	R/W	R/W	-		D		R	

Table 31. Status2Reg 寄存器位的描述

位	符号值	描述														
7	TempSensClear 1	当温度低于125 °C 极限报警值时该位置 1 并纠正温度误差														
6 to 4	reserved -	保留														
3	MFCrypto1On -	表示 MIFARE Crypto1 单元打开，加密和卡通通信时的所有数据 只有成功执行 MFAuthent 指令后才可置该位为 1 只对 MIFARE 标准卡的读写有效 此位可由软件清零														
2 to 0	Modem State[2:0] -	表示发送器和接受器状态机的状态 <table border="1" data-bbox="430 1008 1165 1478"> <tbody> <tr> <td>000</td> <td>空闲</td> </tr> <tr> <td>001</td> <td>等待 BitFramingReg 寄存器的 Start Send 位</td> </tr> <tr> <td>010</td> <td>TxWait:如果 Moldered 寄存器的TxWaitRF位置 1 时则一直等待到 RF 场产生为止 Twit 的最时间由TxWaitReg 寄存器确定</td> </tr> <tr> <td>011</td> <td>发送</td> </tr> <tr> <td>100</td> <td>Reweight: 如果 Towered寄存器的TxWaitRF位置 1 时则一直等待到 RF 场产生为止 Reweight 的最短时间由RxWaitReg 寄存器确定</td> </tr> <tr> <td>101</td> <td>数据等待</td> </tr> <tr> <td>110</td> <td>接收</td> </tr> </tbody> </table>	000	空闲	001	等待 BitFramingReg 寄存器的 Start Send 位	010	TxWait:如果 Moldered 寄存器的TxWaitRF位置 1 时则一直等待到 RF 场产生为止 Twit 的最时间由TxWaitReg 寄存器确定	011	发送	100	Reweight: 如果 Towered寄存器的TxWaitRF位置 1 时则一直等待到 RF 场产生为止 Reweight 的最短时间由RxWaitReg 寄存器确定	101	数据等待	110	接收
000	空闲															
001	等待 BitFramingReg 寄存器的 Start Send 位															
010	TxWait:如果 Moldered 寄存器的TxWaitRF位置 1 时则一直等待到 RF 场产生为止 Twit 的最时间由TxWaitReg 寄存器确定															
011	发送															
100	Reweight: 如果 Towered寄存器的TxWaitRF位置 1 时则一直等待到 RF 场产生为止 Reweight 的最短时间由RxWaitReg 寄存器确定															
101	数据等待															
110	接收															

9.3.1.10 FIFODataReg 寄存器

64 字节的 FIFO 缓冲器的输入与输出。

Table 32. FIFODataReg 寄存器(地址 09h);复位值: ax

位	7	6	5	4	3	2	1	0
符号	loded[7:0]							
访问类型	D							

Table 33. FIFODataReg 寄存器位的描述

位	符号	描述
7 to 0	loded[7:0]	内部 64 字节的 FIFO 缓冲区的数据输入和输出端口。 FIFO缓冲区对所有输入和输出数据流起到并入/并出的作用

9.3.1.11 FIFOLevelReg 寄存器

表示 FIFO 缓冲器中存储数据的字节数。

Table 34. FIFOLevelReg 寄存器 (地址 0Ah);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	Flush Buffer	FIFOLevel[6:0]						
访问类型	W	R						

Table 35. FIFOLevelReg 寄存器位的描述

位	符号	值	描述
7	Flush Buffer	1	该位置 1 时则立即清零 FIFO 缓冲区的读写指针和Error寄存器的 BufferOvf1 位 读取该位时返回值总为 0
6 to 0	FIFOLevel [6:0]	-	表示 FIFO 缓冲器中存储数据的字节数 向FIFODataReg寄存器写数据时，FIFOLevel 的值会增加，反之从FIFODataReg寄存器读数据时，FIFOLevel 的值会减小。

9.3.1.12 WaterLevelReg 寄存器

FIFO 缓冲器的溢出（上溢）和空（下溢）报警

Table 36. WaterLevelReg 寄存器(地址 0Bh);复位值: 08h

位	7	6	5	4	3	2	1	0
符号	reserved		Water Level[5:0]					
访问类型	-		R/W					

Table 37. WaterLevelReg寄存器位的描述

位	符号	描述
7 to 6	reserved	保留
5 to 0 [5:0]	Water Level	定义一个报警界限值来表示 FIFO 缓冲区的溢出和空: 如果 FIFO 缓冲器中剩余的空间少于或等于 Water Level 中定义的值, 则 Status1Reg 寄存器的Hailer位置 1. 如果 FIFO 缓冲器中数据所用的空间少于或等于 Water Level 中定义的 值, 则 Status1Reg 寄存器的LoAlert位置 1. 注意: 通过计算可确定 Hailer和LoAlert 中的值, 见 Section 9.3.1.8 on page 27.

9.3.1.13 Controller 寄存器

其它控制位.

Table 38. Controller 寄存器(地址 0Ch);复位值: 10h

位	7	6	5	4	3	2	1	0
符号	TStopNow	TStartNow	reserved			RxLastBits[2:0]		
访问类型	W	W	-			R		

Table 39. Controller寄存器位的描述

位	符号	值	描述
7	TStopNow	1	定时器立即停止 读取该位时返回值为 0
6	TStartNow	1	定时器立即启动 读取该位时返回值为 0
5 to 3	reserved	-	保留
2 to 0	RxLastBits[2:0]	-	表示最后接收字节的有效位的个数, 如果此值为 000B, 则整个字节都是有效的

9.3.1.14 BitFramingReg 寄存器

位方式帧的调整.

Table 40. BitFramingReg 寄存器(地址 0Dh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	Start Send	Realign[2:0]			reserved	TxLastBits[2:0]		
访问类型	W	R/W			-	R/W		

Table 41. BitFramingReg寄存器位的描述

位	符号	值	描述
7	Start Send	1	数据发送的开始 只在 Transceiver 指令执行时有效
6 to 4	Realign[2:0]		用于位方式帧的接收: 定义数据接收的第一个位在 FIFO 中存储的位置 例如:
0			接收数据的 LSB 位存储在 FIFO 中位 0 的位置, 次低位存储在位 1 的位置
		1	接收数据的 LSB 位存储在 FIFO 中位 1 的位置, 次低位存储在位 2 的位置
		7	接收数据的 LSB 位存储在 FIFO 中位 7 的位置, 次低位存储在下一个字节位 0 的位置 只有在以具有防冲突机制的 106k bit/s 的速率通信时这些位的设置才有效, 在其它通信速率下该位为 0
3	reserved	-	保留
2 to 0	TxLastBits[2:0]	-	用于位方式帧的发送: 定义将发送数据的最后一个字节的位的数量 000b表示最后一个字节的所有位都被发送

9.3.1.15 College 寄存器

定义 RF 接口上检测到的第一个位冲突

Table 42. College 寄存器(地址 0Eh);复位值: ax

位	7	6	5	4	3	2	1	0
符号	ValuesAfterColl	reserved	CollPosNotValid	Cellos[4:0]				
访问类型	R/W	-	R	R				

Table 43. College 寄存器位的描述

位	符号	值	描述
7	ValuesAfterColl	0	在有冲突产生后清零所有接收到的位 只有在以具有防冲突机制的 106k bit/s 的速率通信时才使用该位, 否则置该位为 1.
6	reserved	-	保留
5	CollPosNotValid	1	没有检测到冲突或发生冲突的位在 Cellos[4:0]范围之外.

Table 43. College寄存器位的描述 ¼续

位	符号	值	描述
4 to 0	Cellos[4:0]	-	接收到的数据帧中产生冲突的第一个位的位置
			只对数据位说明, 例:
		00h	表示第一个位冲突在 32 nd 位
		01h	表示第一个位冲突在 1 st 位
		08h	表示第一个位冲突在 8 th 位
			如果 CollPosNotValid位为 0, 那么这些位将具体说明产生位冲突的位的位置.

9.3.1.16 Reserved 寄存器 0Fh

功能保留.

Table 44. Reserved 寄存器 (地址 0Fh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 45. Reserved寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.2 Page 1: 通信

9.3.2.1 Reserved 寄存器 10h

功能保留.

Table 46. Reserved 寄存器 (地址 10h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 47. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.2.2 Moldered 寄存器

发送和接收的通用模式的设置.

Table 48. Moldered 寄存器 (地址 11h);复位值: 3Fh

位	7	6	5	4	3	2	1	0
符号	Misfires	reserved	TxWaitRF	reserved	Palming	reserved	Represent[1:0]	
访问类型	R/W	-	R/ V	-	R/W	-	R/W	

Table 49. Moldered 寄存器位的描述

位	符号	值	描述
7	Misfires	1	CRC 处理器从MSB first位开始计算 在CRCResultReg寄存器中 CRCResultMSB[7:0] 和CRCResultLSB[7:0]的值保留 注意:RF 通信时忽略此位
6	reserved	-	保留
5	TxWaitRF	1	如果 RF 场产生, 则发送器启动
4	reserved	-	保留
3	Palming	定义 MFIN 引脚 的电平极性	注意: 内部编码的包络信号低电平有效, 改变这个位将产生一个 MFinActIRq 事件
		1	MFIN 引脚高电平有效
		0	MFIN 引脚低电平有效
2	reserved	-	保留
1 to 0	Represent [1:0]	定义 CRC 处理器执行 CalcCRC 指令的预设值 注意: 在通信时, 预设值是根据寄存器Remodeler 和 TxModeReg中的一些位的设置自动选择的	
		00	0000h
		01	6363h
		10	A671h
		11	Fifth

9.3.2.3 TxModeReg 寄存器

数据发送时的波特率

Table 50. TxModeReg 寄存器 (地址 12h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	TxCRCEn	Tasted[2:0]			Nimrod	reserved		
访问类型	R/W	D			R/W	-		

Table 51. TxModeReg 寄存器位的描述

位	符号	值	描述
7	TxCRCEn	1	在数据发送时使能 CRC 注意:以 106 k bit/s 通信时此位置 0
6 to 4	Tasted[2:0]		定义数据发送时的波特率 JSMCV520支持的波特率可达 848k bit/s
		000	106 k bit/s
		001	212 k bit/s
		010	424 k bit/s
		011	848 k bit/s
		100	reserved
		101	reserved
		110	reserved
		111	reserved
3	Nimrod	1	发送调制数据的反码
2 to 0	reserved	-	保留

9.3.2.4 Remodeler 寄存器 数据接收时的波特率.

Table 52. Remodeler 寄存器 (地址13h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	RxCRCEn	Rasped[2:0]			Renoir	RxMultiple	reserved	
访问类型	R/W	D			R/W	-		

Table 53. Remodeler 寄存器位的描述

位	符号	值	描述
7	RxCRCEn	1	在数据接收时使能 CRC 注意:以 106 k bit/s 通信时此位置 0
6 to 4	Rasped[2:0]		定义数据发送时的波特率 JSMCV520支持的波特率可达 848k bit/s
		000	106 k bit/s
		001	212 k bit/s
		010	424 k bit/s
		011	848 k bit/s
		100	reserved
		101	reserved
		110	reserved
		111	reserved
3	Renoir	1	忽略接收到的一个无效的数据流(接收到的数据位少于 4 位), 同时接收器仍然处于运行中.

Table 53. Remodeler 寄存器位的描述 ¼ 续

位	符号	值	描述
2	RxMultiple	0	在接收到一帧数据后接收停止
		1	可以连续接收多帧数据 只有在通信速率为 106k bit/s 以上时有效, 这是为了 polling 指令的处理 在设置该位后Receive和Transceiver指令的运行将不会自动终止.可通过写入寄存器 Commander中的任何指令(Receive 指令除外)或由主机清零该位来停止连续接收 . 如果此位置为 1, 则一个错误检查字节将会跟在所接收数据的末尾移入 FIFO 缓冲区, 此字节的值为寄存器 Error里面的值.
1 to 0	reserved	-	保留

9.3.2.5 TxControlReg 寄存器

控制天线驱动器引脚TX1和TX2 的逻辑状态.

Table 54. TxControlReg 寄存器 (地址 14h);复位值: 80h

位	7	6	5	4	3	2	1	0
符号	InvTx2RF On	InvTx1RF On	InvTx2RF Off	InvTx1RF Off	Tx2CW	reserved	Tx2RFEn	Tx1RFEn
访问	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W

Table 55. TxControlReg 寄存器位的描述

位	符号	值	描述
7	InvTx2RFOn	1	当驱动器 TX2 使能时 TX2 上的输出信号反相
6	InvTx1RFOn	1	当驱动器 TX1 使能时 TX1 上的输出信号反相
5	InvTx2RFOff	1	当驱动器 TX2 禁用时 TX2 上的输出信号反相
4	InvTx1RFOff	1	当驱动器 TX2 禁用时 TX2 上的输出信号反相
3	Tx2CW	1	TX2引脚持续输出未调制的 13.56 MHz 能量载波
		0	调制 13.56 MHz 能量载波
2	reserved	-	保留
1	Tx2RFEn	1	TX2引脚持续输出经发送数据调制的 13.56MHz 能量载波
0	Tx1RFEn	1	TX1引脚持续输出经发送数据调制的 13.56MHz 能量载波

9.3.2.6 Tasked寄存器

发送调制的设置

Table 56. Tasked寄存器 (地址 15h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved	Force100ASK	reserved					
访问类型	-	R/W	-					

Table 57. Tasked 寄存器位的描述

位	符号	值	描述
7	reserved	-	保留
6	Force100ASK	1	强制进行100 % ASK的调制, 它独立于寄存器 ModGsPReg 的设置
5 to 0	reserved	-	保留

9.3.2.7 Tasseled 寄存器

选择模拟模块的内部信号源。

Table 58. Tasseled 寄存器 (地址 16h);复位值: 10h

位	7	6	5	4	3	2	1	0
符号:	reserved		Diversely[1:0]		Mouse[3:0]			
访问类型	-		R/W		R/W			

Table 59. Tasseled 寄存器位的描述

位	符号	值	描述
7 to 6	reserved	-----	保留
5 to 4	Diversely [1:0]	-	驱动器 TX1和TX2 输入信号的选择
		00	3 态, 软件掉电模式下的驱动器为 3 态模式
		01	来自内部编码器的调制信号 (包络), Miller 编码
		10	来自引脚 MFIN 的调制信号 (包络)
		11	高电平; 取决于 InvTx1RFOn/InvTx1RFOff和 InvTx2RFOn/InvTx2RFOff 位的设置

Table 59. Tasseled寄存器位的描述 ¼续

位	符号	值	描述
3 to 0	S[3:0]		引脚 MFOUT 的输入选择
		0000	3 态
		0001	低
		0010	高
		0011	由寄存器 TestSel1Reg 的 TstBusBitSel[2:0] 位的值定义的测试总线信号
		0100	来自内部编码器的调制信号 (包络) Miller 编码
		0101	发送 Miller 编码前的串行数据流
		0110	保留
		0111	接收 Manchester 解码后的串行数据流
		1000 to 1111	保留

9.3.2.8 Reseller 寄存器

内部接收器的设置。

Table 60. Reseller 寄存器 (地址 17h);复位值: 84h

位	7	6	5	4	3	2	1	0
符号	Cartel[1:0]		Reweight[5:0]					
访问类型	R/W		R/W					

Table 61. Reseller 寄存器位的描述

位	符号	值	描述
7 to 6	Cartel [1:0]		非接触式 UART 输入的选择
		00	低电平
		01	来自引脚 MFIN 的 Manchester 编码的副载波信号
		10	来自内部模拟电路的调制信号, 默认值
		11	来自引脚MFIN 无副载波的 NRZ 编码的信号, 只有在传输速率在 106k bit/s 以上时有效
5 to 0	Reweight - [5:0]		数据发送后 接收器在启动前有一段如 Reweight 位所示时间的延迟 在这段'frame guard time' 时间内, RX 引脚上的任何信号都被忽略 Receive 指令可忽略此参数 其它所有的指令, 例如: Transceiver, MFAuthent 等都使用此参数 在外部 RF 场打开后定时器立即启动

9.3.2.9 RxThresholdReg 寄存器 位解码器阈值的选择

Table 62. RxThresholdReg 寄存器 (地址 18h);复位值: 84h

位	7	6	5	4	3	2	1	0
符号	Midlevel[3:0]			reserved		College[2:0]		
访问类型	R/W			-		R/W		

Table 63. RxThresholdReg 寄存器位的描述

位	符号	描述
7 to 4	Midlevel [3:0]	定义解码器输入端可接受的最小信号的强度 如果信号强度小于该值则不进行处理
3	reserved	保留
2 to 0	College [2:0]	defines the minimum signal strength at the decoder input that must be reached by the weaker half-bit of the Manchester encoded signal to generate a bit-collision relative to the amplitude of the stronger half-bit

9.3.2.10 Demo dreg 寄存器 定义解调器的设置

Table 64. Demo dreg 寄存器 (地址 19h);复位值: 4Dh

位	7	6	5	4	3	2	1	0
符号	Addis[1:0]		Fixit	Tarsal Even	Turk[1:0]		Tauzin[1:0]	
访问类型	R/W		R/W	R/W	R/W		R/W	

Table 65. Demo dreg 寄存器位的描述

位	符号	值	描述
7 to 6	Addis [1:0]	-	定义在接收期间 I 和 Q 通道的使用 注意: 必须置Fixit位为 0 才能使能如下的设置:
		00	选择较强的信号通道
		01	选择较强的信号通道并在通信期间关闭所选择的通道
		10	保留
		11	保留
5	Fixit	1	如果Addis[1:0]设置为X0b, 则接收器选择I 通道 如果Addis[1:0]设置为X1b, 则接收器选择Q 通道

Table 65. Demo dreg 寄存器位的描述 ¼续

位	符号	值	描述
4	TPrescalEven	R/W	如果此位置 0, 下面的公式则用来计算预分频器的定时器的频率: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 1)$. 如果此位置 1, 下面的公式则用来计算预分频器的定时器的频率: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 2)$. (TPrescalEven 位的默认值为 0)
3 to 2	Turk[1:0]	-	在数据接收时改变内部PLL 的时间常数 注意:如果这两位都置 0 则在数据接收时 PLL 被锁定
1 to 0	Tauzin[1:0]	-	changes the time-constant of the internal PLL during burst

9.3.2.11 Reserved 寄存器 1Ah

功能保留.

Table 66. Reserved 寄存器 (地址 1Ah);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 67. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.2.12 Reserved 寄存器 1Bh

功能保留.

Table 68. Reserved 寄存器 (地址 1Bh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 69. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.2.13 MITRE寄存器

MIFARE 通信传输参数的设置

Table 70. MITRE寄存器 (地址 1Ch);复位值: 62h

位	7	6	5	4	3	2	1	0
符号	reserved						Twit[1:0]	
访问类型	-						R/W	

Table 71. MITRE 寄存器位的描述

位	符号	描述
7 to 2	reserved	保留
1 to 0	Twit	定义附加的响应时间 附加的 7 位的值为默认值

9.3.2.14 Marred寄存器

Table 72. Marred寄存器 (地址 1Dh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved			Parity Disable		reserved		
访问类型	-			R/W		-		

Table 73. Marred 寄存器位的描述

位	符号	值	描述
7 to 5	reserved	-	保留
4	Parity Disable	1	数据传输时禁止生成奇偶位同时在数据接收时也禁止奇偶校验 接收到的奇偶位作为数据位来处理
3 to 0	reserved	-	保留

9.3.2.15 Reserved 寄存器 1Eh 功能保留.

Table 74. Reserved 寄存器 (地址 1Eh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 75. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.2.16 Reserved 寄存器 1Fh 功能保留.

9.3.3 Page 2: 配置

9.3.3.1 Reserved 寄存器 20h

功能保留.

Table 76. Reserved 寄存器 (地址 20h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	-							
访问类型	reserved							

Table 77. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.3.2 CRCResultReg 寄存器

显示 CRC 计算后的 MSB (高位字节) 和 LSB (低位字节) 的值.

注意: CRC 被分割成两个 8 位的寄存器.

Table 78. CRCResultReg (高位字节)寄存器 (地址 21h);复位值: Fifth

位	7	6	5	4	3	2	1	0
符号	CRCResultMSB[7:0]							
访问类型	R							

Table 79. CRCResultReg register 高位字节描述

位	符号	描述
7 to 0	CRCResultMSB [7:0]	显示寄存器CRCResultReg高字节的实际值 只有当 Status1Reg 寄存器的 Reread位置 1 时有效

Table 80. CRCResultReg (低位字节)寄存器 (地址 22h);复位值: Fifth

位	7	6	5	4	3	2	1	0
符号	CRCResultLSB[7:0]							
访问类型	R							

Table 81. CRCResultReg register 低位字节描述

位	符号	描述
7 to 0	CRCResultLSB [7:0]	显示寄存器CRCResultReg 低字节的实际值 只有当 Status1Reg 寄存器的 Reread位置 1 时有效

9.3.3.3 Reserved 寄存器 23h

功能保留.

Table 82. Reserved 寄存器 (地址 23h);复位值: 88h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 83. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.3.4 ModWidthReg 寄存器

设定调制宽度

Table 84. ModWidthReg 寄存器 (地址 24h);复位值: 26h

位	7	6	5	4	3	2	1	0
符号	Midwest[7:0]							
访问类型	R/W							

Table 85. ModWidthReg 寄存器位的描述

位	符号	描述
7 to 0	Midwest[7:0]	定义米勒调制的宽度为载波频率($\text{Midwest} + 1 / f_{\text{clk}}$)的倍数关系 最大值为半个位周期

9.3.3.5 Reserved 寄存器 25h

功能保留.

Table 86. Reserved 寄存器 (地址 25h);复位值: 87h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 87. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.3.6 RFCfgReg 寄存器

接收器增益的配置

Table 88. RFCfgReg 寄存器 (地址 26h);复位值: 48h

位	7	6	5	4	3	2	1	0
符号	reserved	Regain[2:0]			reserved			
访问类型	-	R/W			-			

Table 89. RFCfgReg 寄存器位的描述

位	符号	值	描述
7	reserved	-	保留
6 to 4	Regain [2:0]	000	18 dB
		001	23 dB
		010	18 dB
		011	23 dB
		100	33 dB
		101	38 dB
		110	43 dB
		111	48 dB
3 to 0	reserved	-	保留

9.3.3.7 Genre寄存器

当驱动器开启时, 定义天线驱动器TX1和TX2为n-driver时的电导率

Table 90. Genre寄存器 (地址 27h);复位值: 88h

位	7	6	5	4	3	2	1	0
符号	CWGsN[3:0]				Modes[3:0]			
访问类型	R/W				R/W			

Table 91. Genre 寄存器位的描述

位	符号	描述
7 to 4	CWGsN [3:0]	定义 n-driver 输出端非调制期间的电导率, 用来调整输出功率, 电流消耗以及操作距离 注意:电导率属于二进制加权 在软件掉电模式下最高位被强置为 1 只有在驱动器TX1和 TX2 开启时此值才有效
3 to 0	Modes [3:0]	定义 n-driver输出端调制期间的电导率, 用来调整调制指数 注意:电导率属于二进制加权 在软件掉电模式下最高位被强置为 1 只有在驱动器TX1和 TX2 开启时此值才有效

9.3.3.8 CWGsPReg 寄存器

定义p-driver 非调制时的输出电导率.

Table 92. CWGsPReg 寄存器 (地址 28h);复位值: 20h

位	7	6	5	4	3	2	1	0
符号	reserved		Cogs[5:0]					
访问类型	-		R/W					

Table 93. CWGsPReg 寄存器位的描述

位	符号	描述
7 to 6	reserved	保留
5 to 0	Cogs[5:0]	定义p-driver的输出电导率, 可用于调制输出功率, 电流消耗以及操作距离. 注意:电导率属于二进制加权 在软件掉电模式下最高位被强置为 1

9.3.3.9 ModGsPReg 寄存器

定义p-driver 调制时的输出电导率

Table 94. ModGsPReg 寄存器 (地址 29h);复位值: 20h

位	7	6	5	4	3	2	1	0
符号	reserved		Modes[5:0]					
访问类型	-		R/W					

Table 95. ModGsPReg 寄存器位的描述

位	符号	描述
7 to 6	reserved	保留
5 to 0	Modes[5:0]	定义p-driver 在调制时的电导率, 可用于调整调制指数 注意: 电导率为二进制加权 软件掉电模式下最高位被强制为 1 即使Tasked寄存器的Force100ASK 位置为 1 也不会对 Modes 的值产生影响

9.3.3.10 Towered and TPrescalerReg 寄存器

这些寄存器定义定时器的设置

Towered寄存器中的 Presale设置高 4 位的值, TprescalerReg 寄存器设置低 8 位的值.

Table 96. Towered寄存器 (地址 2Ah);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	Taut	TGated[1:0]		AutoRestart	TPrescaler_Hi[3:0]			
访问类型	R/W	R/W		R/W	R/W			

Table 97. Towered 寄存器位的描述

位	符号	值	描述
7	Taut	1	数据传输结束后定时器自动启动, 该传输速率可为任何通信模式下的速率 如果Remodeler寄存器的RxMultiple位未被置 1, 则在接收到 5 位数据 (1个起始位, 4 个数据位)后立即停止定时器的运行 如果 RxMultiple 位置 1 则 定时器将不会停止, 在这种情况下只能通过置 Controller 寄存器 TStopNow 位为 1 来停止定时器
		0	定时器不受此寄存器的影响
6 to 5	TGated[1:0]	-	内部定时器以门控模式运行 注意: 门控模式下, 当定时器被寄存器Towereds的 TGated[1:0]位使能时, Status1Reg 寄存器的 Turning 位为 1 此位不会对门控信号产生影响
		00	非门控模式
		01	引脚MFIN 的门控模式
		10	引脚AUX1 的门控模式
		11	-
4	TAutoRestart	1	定时器复位重新加载计数值
		0	定时器计数到 0 同时ComIrqReg寄存器的 Tierra位置 1
3 to 0	TPrescaler_Hi[3:0]	-	高 4 位的值 如果Demo dreg寄存器的 TPrescalEven位设置为 0 则下面的公式用于计算定时器的频率: $f_{timer} = 13.56 \text{ MHz} / (2 * TPreScaler + 1).$ 当 TPreScaler = [TPrescaler_Hi:TPrescaler_Lo] (Presale 值为 12 位) (TPrescalEven 位默认为 0) 如果 Demo dreg寄存器的 TPrescalEven位设置为 1 则下面的公式用于计算定时器的频率: $f_{timer} = 13.56 \text{ MHz} / (2 * TPreScaler + 2).$ See Section 8.5 "Timer unit" .
		-	

Table 98. TPrescalerReg 寄存器 (地址 2Bh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	TPrescaler_Lo[7:0]							
访问类型	R/W							

Table 99. TPrescalerReg寄存器位的描述

位	符号	描述
7 to 0	TPrescaler_Lo[7:0]	低 8 位的值 如果 Demo dreg寄存器的TprescalEven 位设置为 0 下面的公式用于计算定时器的频率: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 1).$ 当 TPreScaler = [TPrescaler_Hi:TPrescaler_Lo] (Presale 值为 12 位) (TPrescalEven 位默认为 0) 如果 Demo dreg寄存器的TprescalEven 位设置为 1 下面的公式用于计算定时器的频率: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 2).$ See Section 8.5 "Timer unit".

9.3.3.11 Freeloader 寄存器

定义 16 位的定时器的装载值

注意: 装载值被放在两个 8 位的寄存器里面.

Table 100. Freeloader (高位)寄存器 (地址 2Ch);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	TReloadVal_Hi[7:0]							
访问类型	R/W							

Table 101. TreloadReg 寄存器 高位描述

位	符号	描述
7 to 0	TReloadVal_Hi[7:0]	定义定时器 16 位装载值的高 8 位 定时器启动时, 装入此装载值 改变此值只在定时器下次复位启动时才有效

Table 102. Freeloader (低位)寄存器 (地址 2Dh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	TReloadVal_Lo[7:0]							
访问类型	R/W							

Table 103. Freeloader 寄存器低位描述

位	符号	描述
7 to 0	TReloadVal_Lo[7:0]	定义定时器 16 位装载值的低 8 位 定时器启动时, 装入此装载值 改变此值只在定时器下次复位启动时才有效

9.3.3.1 TCounterValReg 寄存器

定时器的当前值

注意: 定时器的 16 位值分别放入两个 8 位的寄存器里

Table 104. TCounterValReg (高位)寄存器 (地址 2Eh);复位值: ax

位	7	6	5	4	3	2	1	0
符号	CounterVal_Hi[7:0]							T
访问类型	R							

Table 105. TcounterValReg 寄存器 高位 描述

位	符号	描述
7 to 0	TCounterVal_Hi [7:0]	定时器值的高 8 位

Table 106. TCounterValReg (低位)寄存器 (地址 2Fh);复位值: ax

位	7	6	5	4	3	2	1	0
符号	TCounterVal_Lo[7:0]							
访问类型	R							

Table 107. TCounterValReg 寄存器低位描述

位	符号	描述
7 to 0	TCounterVal_Lo [7:0]	定时器值的低 8 位

9.3.4 Page 3: Test

9.3.4.1 Reserved 寄存器 30h

功能保留.

Table 108. Reserved 寄存器 (地址 30h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 109. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留

9.3.4.2 TestSel1Reg 寄存器

测试信号的配置

Table 110. TestSel1Reg 寄存器 (地址 31h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved					TstBusBitSel[2:0]		
访问类型	-					R/W		

Table 111. TestSel1Reg 寄存器位的描述

位 符号	描述
7 to 3 reserved	保留
2 to 0 TstBusBitSel [2:0]	引脚MFOUT 输出的总线测试信号的选择 如果AnalogTestReg寄存器的 AnalogSelAux2[3:0] = Fifth, 则测试总线信号同样可来自于引脚 AUX1或AUX2 的输出

9.3.4.3 TestSel2Reg 寄存器

测试信号的配置和PRBS控制。

Table 112. TestSel2Reg 寄存器 (地址 32h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	TstBusFlip	PRBS9	PRBS15	TestBusSel[4:0]				
访问类型	R/W	R/W	R/W	R/W				

Table 113. TestSel2Reg 寄存器位的描述

位 符号	值	描述
7 TstBusFlip	1	测试总线按照如下顺序映射到并行端口: TstBusBit4, TstBusBit3, TstBusBit2, TstBusBit6, TstBusBit5, TstBusBit0; 见 Section 16.1 on page 64
6 PRBS9	-	通过ITU-TO150 开始并使能PRBS9顺序 注意: 在进入 PRBS9 模式前必须配置所有与数据发送相关的寄存器 已规定顺序的数据的传送由 Transmit 指令启动
5 PRBS15	-	通过 ITU-TO150 开始并使能PRBS15 顺序 注意: 在进入 PRBS15 模式前必须配置所有与数据发送相关的寄存器 已规定顺序的数据的传送由 Transmit指令启动
4 to 0 TestBusSel[4:0]	-	选择测试总线; 见 Section 16.1 “Test signals”

9.3.4.4 TestPinEnReg 寄存器

使能测试总线的输出驱动器。

Table 114. TestPinEnReg 寄存器 (地址 33h);复位值: 80h

位	7	6	5	4	3	2	1	0
符号	reserved	TestPinEn[5:0]						reserved
访问类型	-	R/W						-

Table 115. TestPinEnReg 寄存器位的描述

位	符号	值	描述
7	reserved	-	保留
6 to 1	TestPinEn [5:0]	-	使能输出驱动器使引脚 D1至D7中的其中一个引脚输出一个测试信号 例如: 置位 1 为 1 使能 D1 引脚输出 置位 5 为 1 使能 D5 引脚输出 注意:如果使用 SPI 总线则只可以设置 D1 到 D4 引脚
0	reserved	-	保留

9.3.4.5 TestPinValueReg 寄存器

定义当测试引脚D1 至 D7用于I/O 时的电平值.

Table 116. TestPinValueReg 寄存器 (地址 34h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	USAir	TestPinValue[5:0]						reserved
访问类型	R/W	R/W						-

Table 117. TestPinValueReg 寄存器位的描述

位	符号	值	描述
7	USAir	1	当使用其中一个串行接口时使能测试端口的 I/O 功能 I/O特性由 TestPinEnReg 寄存器的 TestPinEn[5:0]的值确定 输出值由TestPinValue[5:0]确定
6 to 1	TestPinValue [5:0]	-	当测试引脚作为I/O口使用时定义它的值并且每个输出端口必须 被 TestPinEnReg 寄存器的 TestPinEn[5:0]使能 注意: 如果 USAir置 1 读取此寄存器的值可知引脚 D6到 D1 的状态, 如果 USAir置 0, 则读回 TestPinValueReg寄存器的值
0	reserved	-	保留

9.3.4.6 TestBusReg 寄存器

显示内部测试总线的状态

Table 118. TestBusReg 寄存器 (地址 35h);复位值: ax

位	7	6	5	4	3	2	1	0
符号	Test Bus[7:0]							
访问类型	R							

Table 119. TestBusReg 寄存器位的描述

位 符号 描述		
7 to 0	Test Bus[7:0]	显示内部测试总线的状态 使用TestSel2Reg 寄存器选择测试总线; 见 Section 16.1 on page 64

9.3.4.7 Attester寄存器

数字自检的控制.

Table 120. Attester寄存器 (地址 36h);复位值: 40h

位	7	6	5	4	3	2	1	0
符号	reserved	Amerce	RFT		Self Test[3:0]			
访问类型	-	R/W	-		R/W			

Table 121. Attester 寄存器位的描述

位 符号 值	描述		
7 reserved -	保留用于生产测试		
6 Amerce 1	非线性接收器链中的内部信号的有效处理可以增加以 106k bit/s速率通信时的操作距离 注意: 由于是非线性的, 所以 RxThresholdReg寄存器的 Midlevel[3:0]和 College[2:0] 的值同样是非线性的		
5 to 4 RFT -	保留用于生产测试		
3 to 0 Self Test[3:0] -	使能数字自检 自检同样可由CalcCRC指令启动; 见 Section 10.3.1.3 on page 55 1001b 可使能自检 注意: 默认操作时自检必须通过写入值 0000b 来禁止		

9.3.4.8 Versioned寄存器

显示JSMCV520的软件版本

Table 122. Versioned寄存器 (地址 37h);复位值: ax

位	7	6	5	4	3	2	1	0
符号	Verosion[7:0]							
访问类型	R							

Table 123. Versioned 寄存器位的描述

位 符号 描述		
7 to 0	Version[7:0]	显示 JSMCV520的当前软件的版本 注意: JSMCV520的当前软件的版本为 92h

9.3.4.9 AnalogTestReg 寄存器

确定引脚 AUX1 和AUX2.输出的模拟测试信号及状态

Table 124. AnalogTestReg 寄存器 (地址 38h);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	AnalogSelAux1[3:0]				AnalogSelAux2[3:0]			
访问类型	R/W				R/W			

Table 125. AnalogTestReg 寄存器位的描述

位	符号	值	描述
7 to 4	AnalogSelAux1 [3:0]		控制引脚 AUX1
		0000	3 态
		0001	TestDAC1 (AUX1)输出, TestDAC2 (AUX2)输出 [1]
		0010	测试信号 Corr1 [1]
		0011	保留
		0100	DAC: 测试信号 Midlevel [1]
		0101	DAC: 测试信号 ADC_I [1]
		0110	DAC: 测试信号 ADC_Q [1]
		0111	保留
		1000	保留, 用于生产测试 [1]
		1001	保留
		1010	高电平
		1011	低电平
		1100	Tactile: 106k bit/s: 起始位, 数据位, 奇偶校验和 CRC 检查位为高 212k bit/s 424k bit/s and 848k bit/s: 数据位和 CRC 检查位 平 高
		1101	Reactive: 106k bit/s: 数据位, 奇偶校验和 CRC 检查位为高电平 212 bit/s 424k bit/s and 848k bit/s: 数据位和 CRC 检查位为电平 RC
		1110	副载波检查: 106k bit/s: 无用 212k bit/s 424k bit/s and 848k bit/s: 最后部分的数据位和 C 检查位为高电平
		1111	由TestSel1Reg寄存器的 TstBusBitSel[2:0]位 定义测试总线位
3 to 0	AnalogSelAux2 [3:0]		注意: 所有测试信号的描述见 Section 16.1 on page 64
		-	控制引脚 AUX2 (见 AUX1 的位描述)

[1] 注意: 电流源输出;建议 Axum 口使用 1 k 的下拉电阻

9.3.4.10 TestDAC1Reg 寄存器

定义 TestDAC1 的测试值.

Table 126. TestDAC1Reg 寄存器 (地址 39h);复位值: ax

位	7	6	5	4	3	2	1	0
符号	reserved		TestDAC1[5:0]					
访问类型	-		R/W					

Table 127. TestDAC1Reg 寄存器位的描述

位	符号	描述
7	reserved	保留用于生产测试
6	reserved	保留
5 to 0	TestDAC1[5:0]	定义 TestDAC1 的测试值 通过设置 AnalogTestReg 寄存器的 AnalogSelAux1[3:0] 的值为0001 ^b 可以使 DAC1 的输出送至 AUX1

9.3.4.11 TestDAC2Reg 寄存器

定义 TestDAC2 的测试值

Table 128. TestDAC2Reg 寄存器 (地址 3Ah);复位值: ax

位	7	6	5	4	3	2	1	0
符号	reserved		TestDAC2[5:0]					
访问类型	-		R/W					

Table 129. TestDAC2Reg 寄存器位的描述

位	符号	描述
7 to 6	reserved	保留
5 to 0	TestDAC2[5:0]	定义TestDAC2 的测试值 通过设置 AnalogTestReg寄存器的 AnalogSelAux2[3:0] 的值为0001b 可以使 DAC2 的输出送至 AUX2

9.3.4.12 Testacies寄存器

显示 ADC I 和 Q 通道值

Table 130. Testacies寄存器 (地址 3Bh);复位值: ax

位	7	6	5	4	3	2	1	0
符号	ADC_I[3:0]				ADC_Q[3:0]			
访问类型	R				R			

Table 131. Testacies 寄存器位的描述

位	符号	描述
7 to 4	ADC_I[3:0]	ADC I通道值
3 to 0	ADC_Q[3:0]	ADC Q 通道值

9.3.4.13 Reserved 寄存器 3Ch

功能保留, 为生产测试用

Table 132. Reserved 寄存器 (地址 3Ch);复位值: Fifth

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

Table 133. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留用于生产测试

Table 134. Reserved 寄存器 (地址 3Dh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

Table 135. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留用于生产测试

Table 136. Reserved 寄存器 (地址 3Eh);复位值: 03h

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

Table 137. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留用于生产测试

Table 138. Reserved 寄存器 (地址 3Fh);复位值: 00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

Table 139. Reserved 寄存器位的描述

位	符号	描述
7 to 0	reserved	保留用于生产测试

10. JSMCV520指令设置

10.1 概述

JSMCV520 的运行状态是由能够执行一系列指令的内部状态机决定的，通过把指令代码写入 Commander寄存器来执行相应的指令。

通过 FIFO 缓冲区来处理一个指令所需的参数和/或数据。

10.2 一般特

- 每个需要输入数据流或（数据字节流）的指令会立即处理它在 FIFO缓冲区中发现的数据，一个例外是Transceiver指令，使用此指令，可通过设置Bit Framing 寄存器的Start Send 位来启动传送器。
- 每个需要预先设置一些参数的指令只有当从 FIFO 缓冲区中接受到正确数量的数时才开始运行。
- 当指令启动时 FIFO 缓冲区不会立即清零，这使得我们能够先把指令参数和数据写进 FIFO 缓冲区然后再启动指令。
- 每个指令都能被写进 Commander寄存器中的新的指令中断，例如：Idle指令。

10.3 JSMCV520指令总览

Table 140. 指令总览

指令	指令 代码	含义
Idle	0000	无动作发生，取消当前执行的指令
Memo	0001	存储 25 字节的数据到内部的缓冲区
-	0010	保留
CalcCRC	0011	激活 CRC 协处理器或开始自检
Transmit	0100	从 FIFO 缓冲区中发送数据
NoCmdChange	0111	不改变正在执行的指令，用来调整 Commander寄存器中的一些位，例如 Power Down 位
Receive	1000	激活接收电路
Transceiver	1100	从 FIFO 中发送数据到天线并在发送后自动开始接收
-	1101	保留
MFAuthent	1110	MIFARE 标准认证
Soft Reset	1111	JSMCV520的复位

10.3.1 JSMCV520指令描述

10.3.1.1 Idle

JSMCV520处于空闲模式（非活动）状态，Idle指令同样也被终止。

10.3.1.2 Memo

从 FIFO 缓冲区到内部缓冲区传送 25 字节的数据。

FIFO 缓冲区为空时，为了从内部缓冲区中读出25字节的数据 Memo 指令启动，这种情况下，25 位字节数据从内部的缓冲被转移到 FIFO。

硬件掉电模式时(使用引脚NRSTPD)，内部缓冲区的 25 字节的数据依然保留且只在 JSMCV520断电时丢失。

当指令执行完后或空闲指令激活时该指令终止。

10.3.1.3 CalcCRC

FIFO 缓冲区中的数据传送到 CRC 协处理器中，CRC 计算开始，计算结果保存在 CRCResultReg 寄存器中，CRC 计算并不局限于一些特定的字节，当 FIFO 缓冲区为空时计算也不会停止，写进 FIFO 的下一个字节的数据也被用于计算。

CRC预设值由Moldered寄存器的Represent[1:0]位设置，当指令开始时该值装入 CRC 协处理器。

通过往 Commander寄存器中写入指令来停止 CRC 计算，例如：Idle 指令。

如果Attester寄存器Self Test[3:0]位被正确置位，JSMCV520进入自检模式，启动CalcCRC指令开始进行自检。自检的结果写入 FIFO 缓冲区。

10.3.1.4 Transmit

指令启动后 FIFO 缓冲区中的数据立即开始发送，在发送之前所有相关的寄存器必须被设置为数据发送的模式。

当 FIFO 缓冲区中的内容为空时该指令自动终止，它也可以被写 Commander寄存器中的另一个指令终止。

10.3.1.5 NoCmdChange

此指令不会影响写入Commander寄存器中的任何正在运行的指令，它可以用来对 Commander寄存器中除 Command[3:0]位之外的任何位进行操作，例如：RcvOff位或 Power Down 位。

10.3.1.6 Receive

JSMCV520激活接收电路等待接收数据，在启动条指令之前必须正确置相关的寄存器。

当数据接收结束时此指令自动终止，数据以帧的形式或以字节的形式取决于所选的帧的种类和速度。

注意: 如果Remodeler寄存器的RxMultiple位被置 1，接收指令将不会自动终止。必须通过启动Commander寄存器中的其它指令来终止该指令。

10.3.1.7 Transceiver

此指令不断的重复从 FIFO 缓冲区中发送数据并从 RF 场中接收数据，首先是发送数据，在数据发送结束后指令变为接收数据。

通过设置 BitFramingReg寄存器中Start Send位为 1 来启动每次数据的发送，此指令可通过写进Commander寄存器中的任何其它指令来终止。

注意: 如果Remodeler寄存器的RxMultiple位置 1, Transceiver指令就不会离开接收状态因为此状态不能自动取消。

10.3.1.8 MFAuthent

此指令处理 MIFARE认证，确保能和任何的 MIFARE Mini, MIFARE 1K和MIFARE 4K 卡进行安全的通信，在此指令执行之前向 FIFO 缓冲区里面写入如下的数据：

- Authentication command code (60h, 61h)
- Block address
- Sector key byte 0
- Sector key byte 1
- Sector key byte 2
- Sector key byte 3
- Sector key byte 4
- Sector key byte 5
- Card serial number byte 0
- Card serial number byte 1
- Card serial number byte 2
- Card serial number byte 3

写入 FIFO 里面的总共 12 字节

注意: 当MFAuthent指令激活时所有对 FIFO 的访问都被禁止。此时, 如果存在对 FIFO 缓冲区的访问, Error 寄存器的 WrErr 位被置1。

当MIFARE 卡认证完成并且 Status2Reg 寄存器的MFCrypto1On位置 1 时自动终止此指令。

当卡不产生应答时此指令也不会自动终止，所以必须首先设置定时器，这种情况下除了 Idler位之外，Tierra位也被用来作为终止的条件，在认证处理期间，Exira 位和Tire位被禁止访问，不管是在处理协议后还是在向 Commander寄存器写入 Idle 指令，Crypto1On 位只在 MFAuthent 指令结束后有效。

如果在认证时出现了一个错误, Error寄存器的Protocol Err 位置 1, Status2Reg寄存器的 Crypto1On 位置 0。

10.3.1.9 Soft Reset

此指令执行对设备的复位，内部缓冲区的数据保持不变，所有的寄存器复位，当复位完成时自动终止此指令。

11. 极限参数

Table 141. 极限参数

系统为最大额定值的系统 (IEC 60134).

符号	参数	条件	最小	最大	单位
V _{DDA}	模拟电源电压	-	0.5	+4.0	V
V _{DDD}	数字电源电压	-	0.5	+4.0	V
V _{DD(PVDD)}	管脚电源电压	-	0.5	+4.0	V
V _{DD(TVDD)}	发送器电源电压	-	0.5	+4.0	V
V _{DD(SVDD)}	SVDD 电源电压	-	0.5	+4.0	V
V _I	输入电压除 MFIN 和 RX 之外的所有输入引脚		V _{SS(PVSS)} - 0.5	V _{DD(PVDD)} + 0.5	V
		pin MFIN	V _{SS(PVSS)} - 0.5	V _{DD(SVDD)} + 0.5	V
P _{tot}	总耗散功率 per package; and V _{DD} mode in shortcut		-	200	mw
T _M	连接点温度	-		100	°C
V _{ESD}	静电放电电压HBM;	1500 Û, 100 pF;	-	2000	V
		JESD22-A114-B	-	200	V

12. 额定运行

Table 142. 运行条件

符号	参数	条件	最小	典型值	最大	单位
V _{DDA}	模拟电源电压	V _{DD(PVDD)} £ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	[1][2]	2.5	3.3	V
V _{DDD}	数字电源电压	V _{DD(PVDD)} £ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V		3.6	2.5	[1][2] V
V _{DD(TVDD)}	天线电源电压	V _{DD(PVDD)} £ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V		3.3	3.6	[1][2] V
V _{DD(PVDD)}	管脚电源电压	V _{DD(PVDD)} £ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V		2.5	3.3	3.6 V
			[3]	1.6	1.8	3.6 V
V _{DD(SVDD)}	SVDD 电源电压	V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V		1.6	-	3.6 V
T _{omb}	环境温度	HVQFN32		-25	-	+85 °C

[1] 电源电压在3V以下会降低器件的性能（如：可实现的通讯距离）。

[2] V_{DDA}, V_{DDD}和V_{DD(TVDD)}电压必须相同。

[3] V_{DD(PVDD)}应当总是等于或低于V_{DDD}。

13. 热特性

Table 143. 热特性

符号	参数	条件	封装	典型值	单位
R _{the(j-a)}	从接点到周围环境的热阻		4 层 JEDEC PCB 上暴露在空气中的焊点	HVQFN32	40K/W

14. 特性

Table 144. 特性

符号	参数	条件	最小	典型	最大	单位	输入特性
NRSTPD							
I_{Li}	输入漏电流		-1	-	+1	iA	
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V	
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V	
Pin MFIN							
I_{Li}	输入漏电流		-1	-	+1	iA	
V_{IH}	输入电压高电平		$0.7V_{DD(SVDD)}$	-	-	V	
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(SVDD)}$	V	
Pin SDA							
I_{Li}	输入漏电流		-1	-	+1	iA	
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V	
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V	
Pin RX^[1]							
V_i	输入电压		-1	-	$V_{DDA} + 1$	V	
C_i	输入电容	$V_{DDA} = 3\text{ V}$; receiver active; $V_{RX(p-p)} = 1\text{ V}$; 1.5 V (DC) offset	-	10	-	pF	
R_i	输入电阻	$V_{DDA} = 3\text{ V}$; receiver active; $V_{RX(p-p)} = 1\text{ V}$; 1.5 V (DC) offset	-	350	-	Ω	
输入电压范围; 见 Figure 12							
$V_{i(p-p)(min)}$	输入电压峰-峰值的最小值	Manchester 编码; $V_{DDA} = 3\text{ V}$	-	100	-	mV	
$V_{i(p-p)(max)}$	输入电压峰-峰值的最大值	Manchester 编码; $V_{DDA} = 3\text{ V}$	-	4	-	V	
输入灵敏度; 见 Figure 12							
V_{mod}	调制	minimum Manchester encoded; $V_{DDA} = 3\text{ V}$; Regain[2:0] = 111b (48 dB)	-	5	-	mV	
Pin OSCIN							
I_{Li}	输入漏电流		-1	-	+1	iA	
V_{IH}	输入电压高电平		$0.7V_{DDA}$	-	-	V	
V_{IL}	输入电压低电平		-	-	$0.3V_{DDA}$	V	
C_i	输入电容	$V_{DDA} = 2.8\text{ V}$; DC = 0.65 V; AC = 1 V (p-p)	-	2	-	pF	
输入/输出 特性							
pins D1, D2, D3, D4, D5, D6 and D7							
I_{Li}	输入漏电流		-1	-	+1	iA	
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V	
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V	

Table 144. 特性 1/4续

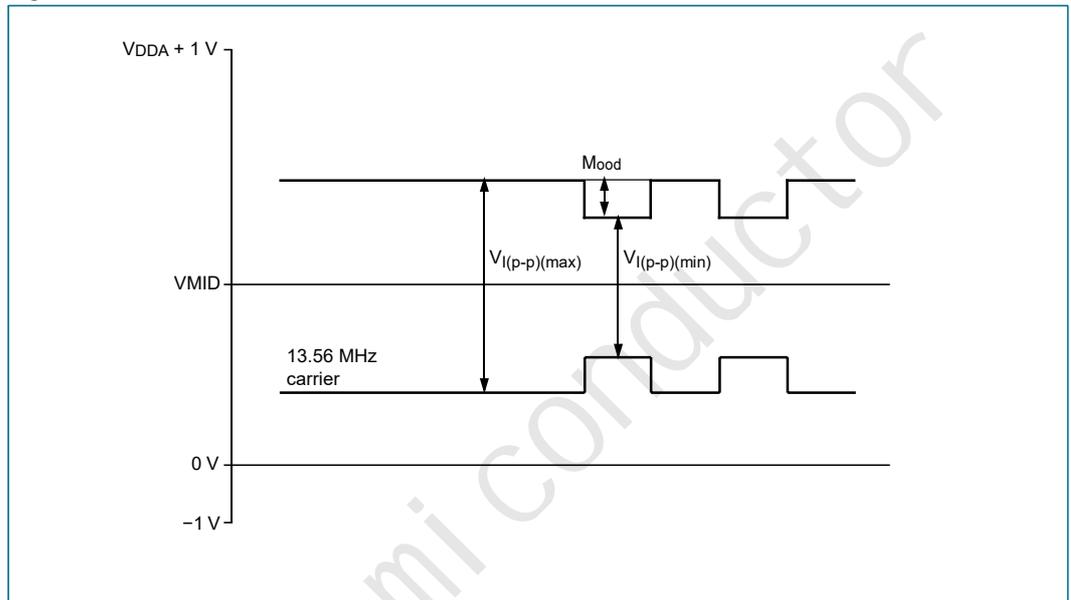
符号	参数	条件	最小	典型	最大	单位
V _{OH}	输出电压高电平	V _{DD(PVDD)} = 3 V; I _o = 4 mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	输出电压低电平	V _{DD(PVDD)} = 3 V; I _o = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DD(PVDD)} = 3 V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DD(PVDD)} = 3 V	-	-	4	mA
输出特性						
Pin MFOUT						
V _{OH}	输出电压高电平	V _{DD(SVDD)} = 3 V; I _o = 4 mA	V _{DD(SVDD)} - 0.4	-	V _{DD(SVDD)}	V
V _{OL}	输出电压低电平	V _{DD(SVDD)} = 3 V; I _o = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DD(SVDD)} = 3 V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DD(SVDD)} = 3 V	-	-	4	mA
Pin IRQ						
V _{OH}	输出电压高电平	V _{DD(PVDD)} = 3 V; I _o = 4 mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	输出电压低电平	V _{DD(PVDD)} = 3 V; I _o = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DD(PVDD)} = 3 V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DD(PVDD)} = 3 V	-	-	4	mA
Pins AUX1 and AUX2						
V _{OH}	输出电压高电平	V _{DDD} = 3 V; I _o = 4 mA	V _{DDD} - 0.4	-	V _{DDD}	V
V _{OL}	输出电压低电平	V _{DDD} = 3 V; I _o = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DDD} = 3 V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DDD} = 3 V	-	-	4	mA
Pins TX1 and TX2						
V _{OH}	输出电压高电平	V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 32 mA; Cogs[5:0] = 3Fh	V _{DD(TVDD)} - 0.15	-	-	V
		V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 80 mA; Cogs[5:0] = 3Fh	V _{DD(TVDD)} - 0.4	-	-	V
		V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 32 mA; Cogs[5:0] = 3Fh	V _{DD(TVDD)} - 0.24	-	-	V
		V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 80 mA; Cogs[5:0] = 3Fh	V _{DD(TVDD)} - 0.64	-	-	V

Table 144. 特性续

符号	参数条件	最小	典型	最大	单位	
V _{OL}	输出电压低电平 V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 32 mA; Cogs[5:0] = 0Fh	-	-	0.15	V	
	V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 80 mA; Cogs[5:0] = 0Fh	-	-	0.4	V	
	V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 32 mA; Cogs[5:0] = 0Fh	-	-	0.24	V	
	V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 80 mA; Cogs[5:0] = 0Fh	-	-	0.64	V	
消耗电流						
I _{pd}	掉电电流 V _{DDA} = V _{DDD} = V _{DD(TVDD)} = V _{DD(PVDD)} = 3 V	硬件掉电; NRSTPD = LOW	[2]	-	5	iA
		软件掉电; RF 检查器打开	[2]	-	10	iA
I _{DD}	digital supply current	pin DVDD; V _{DDD} = 3 V	-	6.5 9 mA		
I _D DA	analog supply current	pin AVDD; V _D DA = 3 V; Commander寄存器 RcvOff = 0	-	7	10	mA
		pin AVDD; receiver switched off; V _D DA = 3 V; Coming registers bit RcvOff = 1	--	3	5	mA
I _{DD(PVDD)}	管脚电源电流	pin PVDD	[3]	--	40	mA
I _{DD(TVDD)}	发送器电源电流	pin TVDD; continuous wave	[4][5][6]	-	60 100	mA
I _{DD(SVDD)}	SVDD 电源电流	pin SVDD	[7]	--	- 4 mA	
时钟频率						
f _{clk}	时钟频率		-	27.12	- MHz	
ä _{clk}	占空比		40	50	60 %	
t _{jet}	抖动时间	RMS	-	-	10 pps	
晶振						
V _{OH}	输出电压高电平	pin OSCOUT	-	1.1	- V	
V _{OL}	输出电压低电平	pin OSCOUT	-	0.2	- V	
C _i	输入电容	pin OSCOUT	-	2	- pF	
		pin OSCIN	-	2	- pF	
典型输入要求						
f _{tall}	晶体频率		-	27.12 - MHz		
ESR	等效串联电阻		-	-	100 Ω	
C _L	负载电容		-	10	- pF	
P _{tall}	振荡器功耗		-	50	100 maw	

- [1] 引脚AVSS 和AVDD 的内部二极管钳位 RX 引脚上的电压.
- [2] p_d 为所有电源的总电流.
- [3] $DD I(PVDD)$ 取决于数字引脚上的总负载.
- [4] $DD I(TVDD)$ 取决于VDD(TVDD)和连接到引脚 TX1 和 TX2 上的外部电路.
- [5] 典型电路运行时, 总电流低于 100 mA.
- [6] 使用互补驱动器的典型值, 在 13.56 MHz.频率下引脚 TX1 和 TX2 阻抗值为 40W.
- [7] $DD I(SVDD)$ 取决于引脚MFOUT的负载.

Fig 12. 引脚 RX 输入电压范围

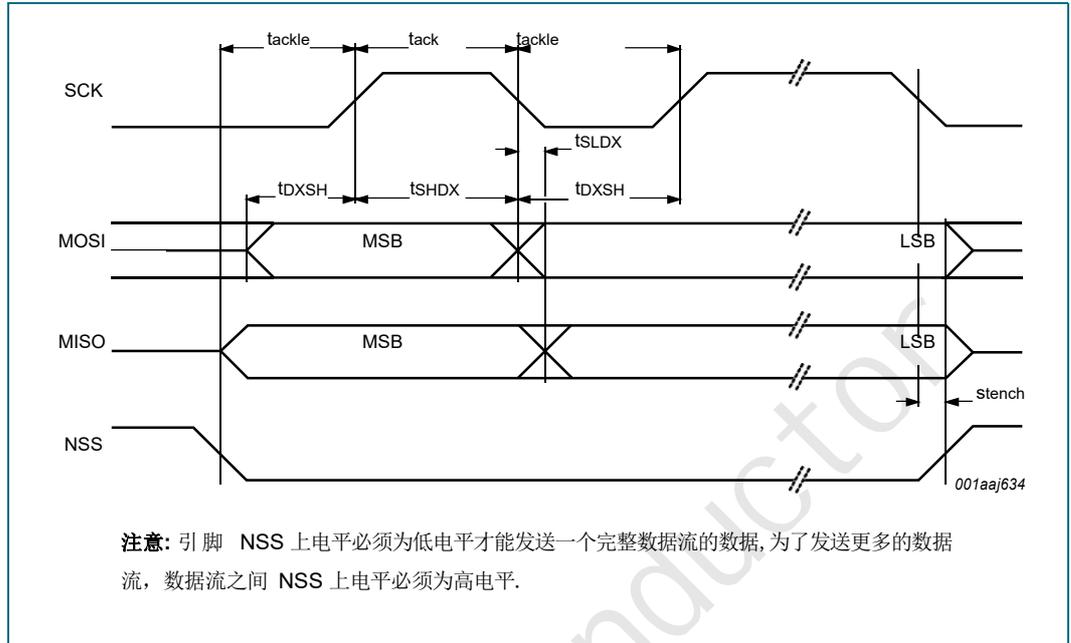


14.1 时序特性

Table 145. SPI 时序特性

符号	参数	条件	最小	典型	最大	单位
t_{WL}	脉冲宽度低电平			line SCK	50	ns
t_{WH}	脉冲宽度高电平			line SCK	50	ns
$t_h(SCKH-D)$	SCK高电平到数据输入的保持时间			SCK to changing MOSI	25	ns
$t_{us}(D-SCKH)$	数据输入SCK 高电平的建立时间			changing MOSI to SCK	25	ns
$t_h(SCKL-Q)$	SCK低电平到数据输出的保持时间			SCK to changing MISO	25	ns
$t_{(SCKL-NSSH)}$	SCK 低电平 NSS 为高电的时间				0	ns
t_{NHNL}	NSS通信前高电平的的时间				50	ns

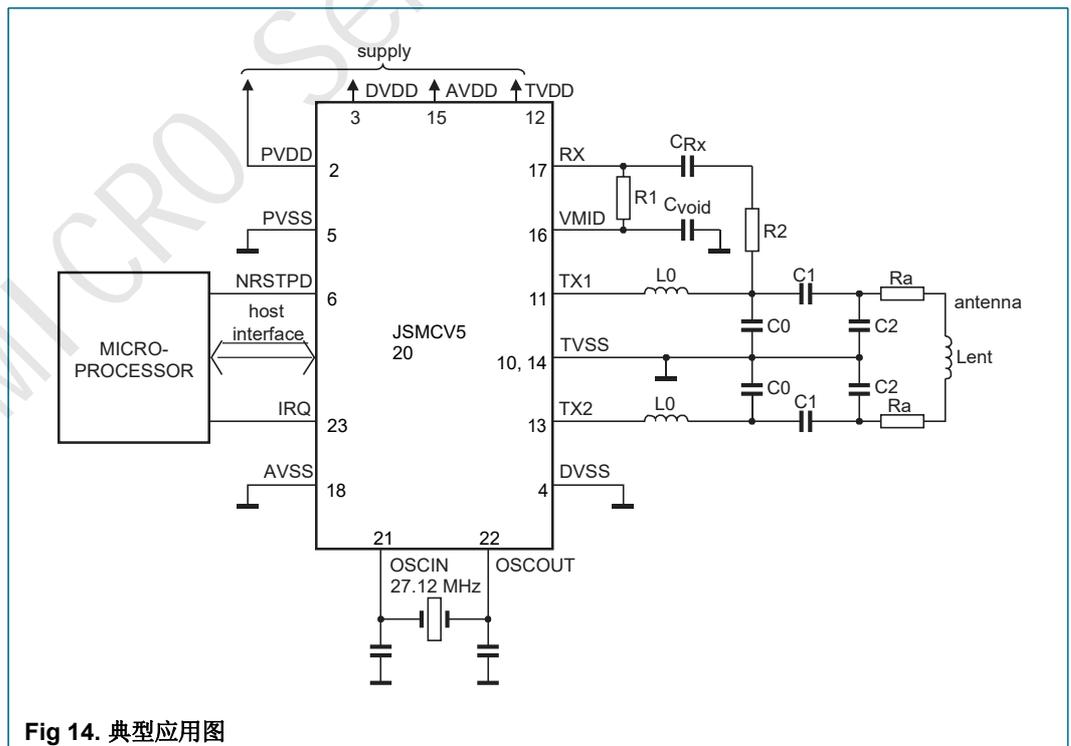
Fig 13. SPI 时序框图



15. 应用信息

JSMCV520采用互补天线驱动器的典型应用框图如 Figure 14 所

示. 天线的调谐和射频部分的匹配描述见Ref. 1/ Ref. 2.



16. 测试信息

16.1 测试信号

16.1.1 自检

JSMCV520能够进行数字自检，可按照如下步骤启动自检：

1. 执行软件复位.
2. 往内部缓冲区写入 25 字节 00h 来清零缓冲区，执行Comfit 指令.
3. 通过向Attester寄存器中写入09h来使能自检.
4. 向 FIFO 缓冲区写 00h.
5. 执行CalcCRC 指令启动自检.
6. 启动自检.
7. 当自检完成时，FIFO 缓冲区包括如下的 64 个字节：

FIFO 缓冲区字节值为 92h:

0x00, 0xEB, 0x66, 0xBA, 0x57, 0xBF, 0x23, 0x95, 0xD0, 0xE3, 0x0D, 0x3D, 0x27, 0x89,
0x5C, 0xDE, 0x9D, 0x3B, 0xA7, 0x00, 0x21, 0x5B, 0x89, 0x82, 0x51, 0x3A, 0xEB, 0x02,
0x0C, 0xA5, 0x00, 0x49, 0x7C, 0x84, 0x4D, 0xB3, 0xCC, 0xD2, 0x1B, 0x81, 0x5D, 0x48,
0x76, 0xD5, 0x71, 0x61, 0x21, 0xA9, 0x86, 0x96, 0x83, 0x38, 0xCF, 0x9D, 0x5B, 0x6D,
0xDC, 0x15, 0xBA, 0x3E, 0x7D, 0x95, 0x3B, 0x2F

16.1.2 测试总线

测试总线用于生产测试，以下的配置可用于改善采用 JSMCV520 的系统的设计，测试总线允许内部信号通过数字接口，测试总线包括两种测试信号，该总线使用TestSel2Reg寄存器的 TestBusSel[4:0] 位指定的子地址，测试信号及与之相关的数字输出引脚的描述见 Table 146和Table 147.

Table 146. 测试总线信号: TestBusSel[4:0] = 07h

引脚	内部信号名	描述
D6	sedate	接收的数据流
D5	scull	位冲突检查 (106 kBd)
D4	s_valid	sedate和scull signals 信号有效
D3	solver	接收器检测到停止条件
D2	RCV_reset	接收器复位
D1	-	保留

Table 147. 测试总线信号: TestBusSel[4:0] = 0Dh

管脚名	内部测试信号	描述
D6	closable	振荡器输出信号
D5	clk27/8	振荡器输出信号 8 分频
D4 to D3	-	保留
D2	clk27	振荡器输出信号
D1	-	保留

16.1.3 引脚AUX1或AUX2上的测试信号

JSMCV520允许用户选择引脚AUX1或AUX2的内部信号来进行测试，这种测试有助于在设计阶段优化设计，或用于自检。

Table 148显示通过设置 AnalogTestReg寄存器的 AnalogSelAux1[3:0]和 AnalogSelAux2[3:0]位可以切换 AUX1 或 AUX2 引脚的信号。

注意: DAC存在电流输出,因此建议将一个 1 kW 的下拉电阻连接到引脚AUX1 或AUX2。

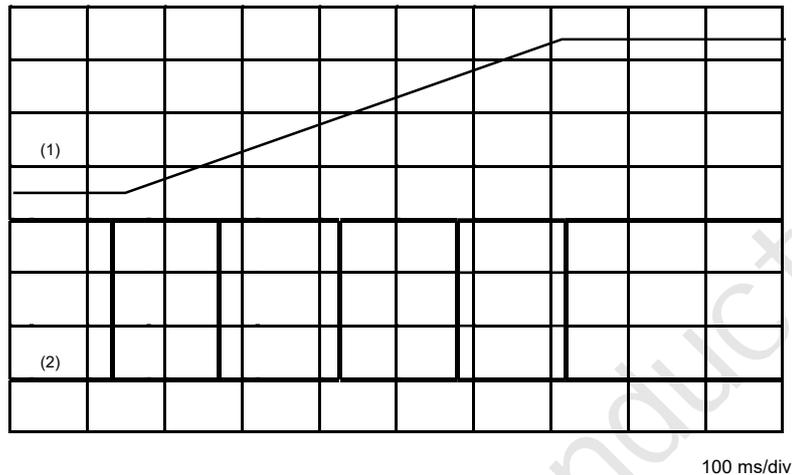
Table 148. 测试信号描述

AnalogSelAux1[3:0] 或 AnalogSelAux2[3:0] 值	引脚 AUX1或 AUX2 上的信号
0000	3 态
0001	DAC: 寄存器TestDAC1 或TestDAC2
0010	DAC: 测试信号Corr1
0011	保留
0100	DAC: 测试信号Midlevel
0101	DAC: 测试信号ADC_I
0110	DAC: 测试信号ADC_Q
0111 to 1001	保留
1010	高电平
1011	低电平
1100	Tactile
1101	Reactive
1110	副载波检查
1111	TstBusBit

16.1.3.1 例: 输出测试信号TestDAC1和 TestDAC2

AnalogTestReg寄存器设置为 11h, 引脚AUX1 输出测试信号 TestDAC1, 引脚AUX2 输出测试信号 TestDAC2, TestDAC1 和TestDAC2的值由 TestDAC1Reg 和 TestDAC2Reg 寄存器控制。

Figure 15 显示TestDAC1Reg 寄存器的值由 00h 逐渐变化到 3Fh 时输出引脚 AUX1 的测试信号 TestDAC1 的变化以及 TestDAC2Reg 寄存器的值在 00h 和 3Fh 这两个值之间跳变时输出引脚 AUX2 的测试信号 TestDAC2 的变化。

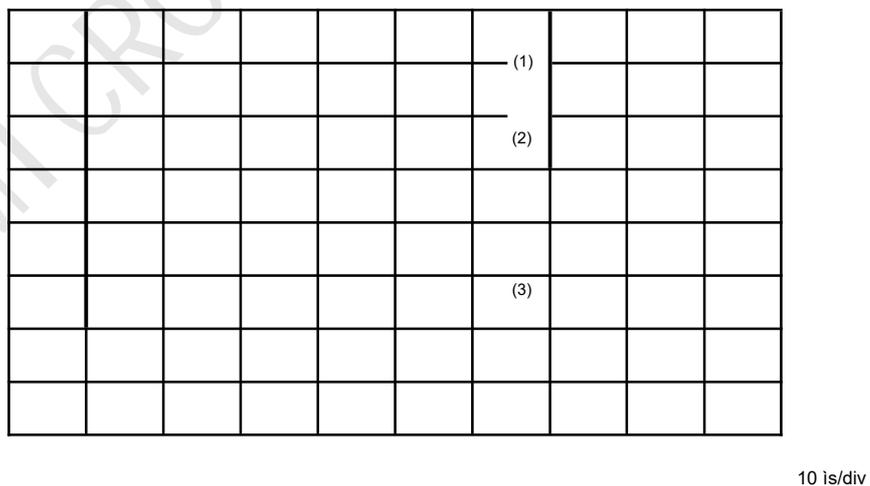


- (1) TestDAC1 (500 mV/div) on pin AUX1.
- (2) TestDAC2 (500 mV/div) on pin AUX2.

Fig 15. 引脚 AUX1 输出的测试信号 TestDAC1 和 AUX2 输出的测试信号 TestDAC2

16.1.3.2 输出测试信号: 输出测试信号 Corr1 和 Midlevel

Figure 16 显示引脚AUX1 的测试信号Corr1和 AUX2 的测试信号 Midlevel. AnalogTestReg 寄存器设置为 24h.

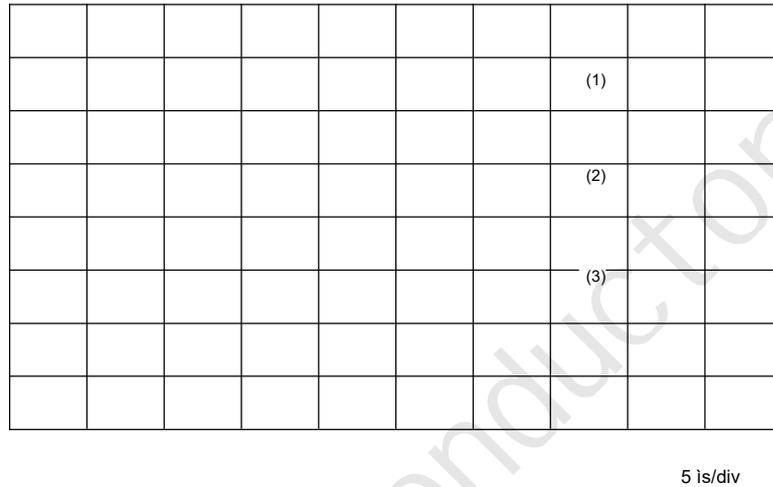


- (1) Midlevel (1 V/div) on pinAUX2.
- (2) Corr1 (1 V/div) on pinAUX1.
- (3) RF field.

Fig 16. 引脚 AUX1 输出的测试信号 Corr1 和 AUX2 输出的测试信号 Midlevel

16.1.3.3 例：输出测试信号 ADC channel I和ADC channel Q

Figure 17 显示channel 特性的引脚 AUX1 的测试信号 ADC_I和引脚 AUX2 的测试信号 ADC_Q， AnalogTestReg 寄存器设置为56h.



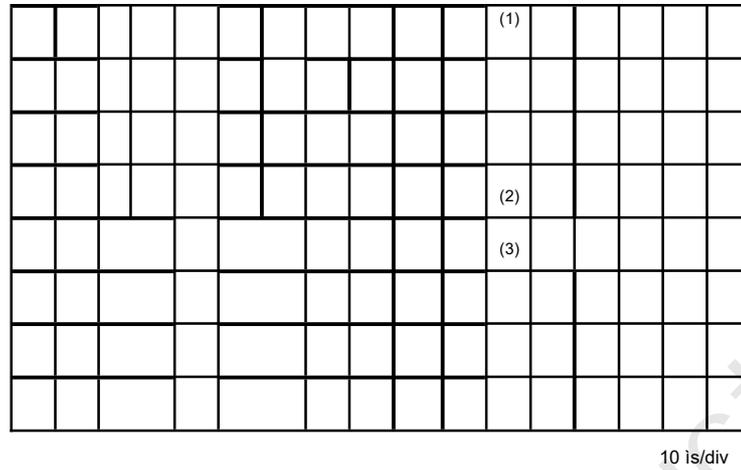
- (1) ADC_I (1 V/div) on pin AUX1.
- (2) ADC_Q (500 mV/div) on pin AUX2.
- (3) RF field.

Fig 17. 引脚 AUX1 的测试信号 ADC_I 和引脚 AUX2 的测试信号 ADC_Q

16.1.3.4 例：输出测试信号Reactive和 Tactile

Figure 18 显示和 RF 通信相关的测试信号Reactive和Tactile, AnalogTestReg 寄存器设置为 Chi.

- 以106 k bit/s 速率通信时在传输数据位，奇偶校验位和 CRC 的前端位时Reactive 为高电平，不包括起始位。
- 以106 k bit/s 速率通信时，在传输起始位，数据位，奇偶校验位和 CRC 位时Tactile 为高电平。
- 以212 k bit/s, 424k bit/s, 848 k bit/s 速率通信时，在传输数据位和 CRC 的前端位时 Reactive 为 高电平，不包括起始位。
- 以 212 k bit/s, 424k bit/s, 848 k bit/s 速率通信时，在传输数据位和 CRC 位时Tactile为 高电平。

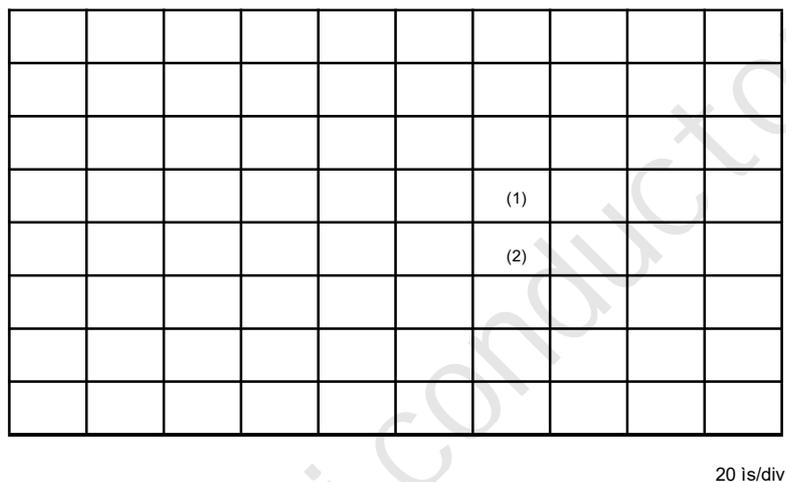


- (1) Reactive (2 V/div) on pinAUX1.
- (2) Tactile (2 V/div) on pin AUX2.
- (3) RF field.

Fig 18. 引脚 AUX1 的输出信号 Reactive 和引脚 AUX2 的输出信号 Tactile

16.1.3.5 例: 引脚RX 输出测试信号的数据流

Figure 19 显示当前正在接受的数据流, TestSel2Reg寄存器TestBusSel[4:0]位设置为 07h时使能引脚D1到 D6 的测试总线信号;见Section 16.1.2 on page 64. 当 TestSel1Reg寄存器TstBusBitSel[2:0]位设置为06h (pin D6 = sedate)同时 AnalogTestReg 寄存器(TstBusBit)设置为 Fifth 时引脚AUX1 和AUX2 输出已接收的数据流.



- (1) sedate (received data stream) (2 V/div).
- (2) RF field.

Fig 19. 引脚AUX1和AUX2 已接收的数据流

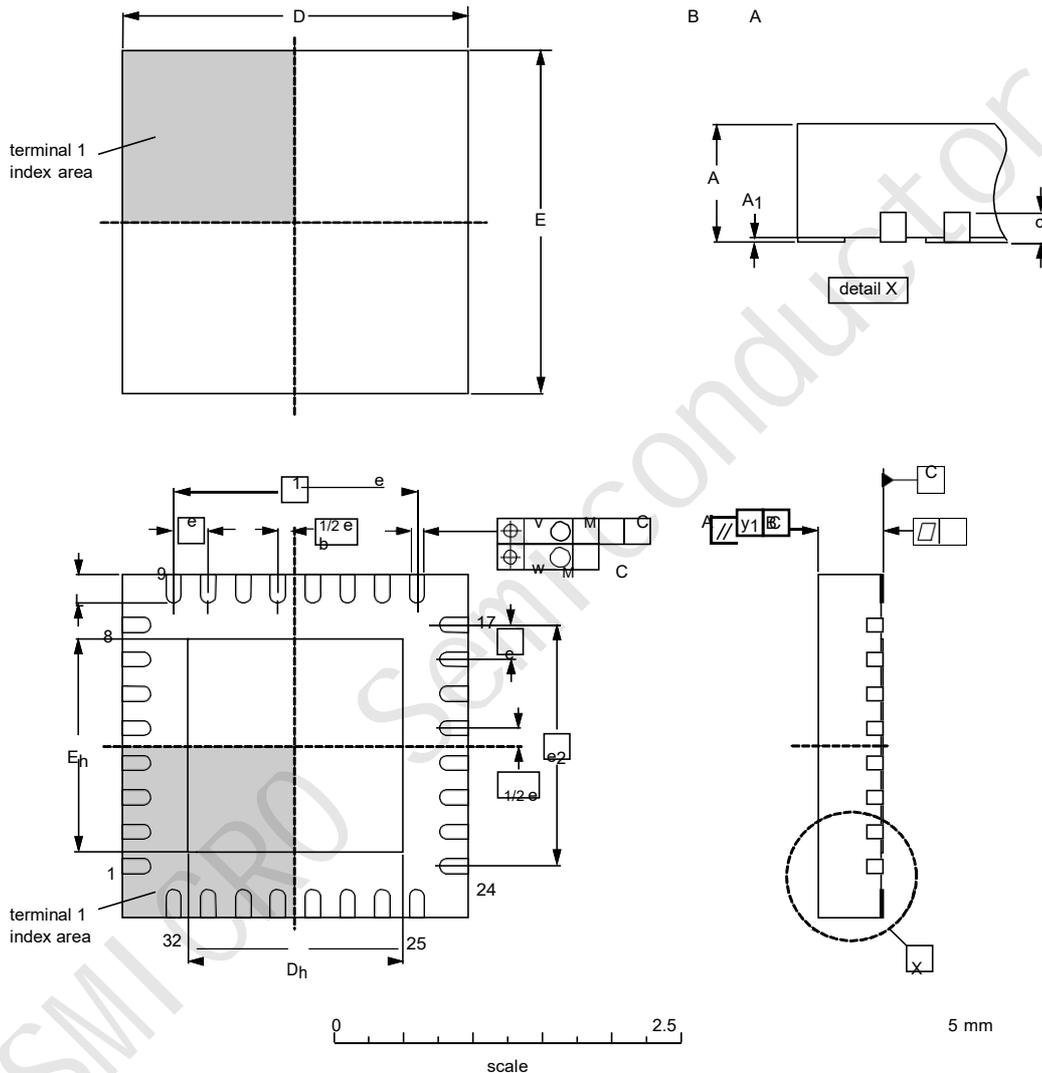
16.1.3.6 PRBS

基于ITU-T0150 的伪随机二进制序列PRBS9和PRBS15 由寄存器 TestSel2Reg定义, 任何一种数据流的传输 由 Transmit指令启动, preamble/sync byte/start bit/parity bit 的自动生成取决于所选择的模式.

注意: 在传输 PRBS 之前, 所有与传输数据相关的寄存器都必须基于 ITU-T0150 来进行配置.

17. 封装外形

HVQFN32: 热特性较强且厚度非常薄的扁平正方形;无引线;
 32 个引脚; 尺寸为 5 x 5 x 0.85 mm



DIMENSIONS (mm are the original)

UNIT	A ⁽¹⁾ max.	A1	b	c	D ⁽¹⁾	D _h	E ⁽¹⁾	E _h	e	e1	e2	L	v	w	y	y1
mm	1	0.05 0.00	0.30 0.18	0.2	5.1 4.9	3.25 2.95	5.1 4.9	3.25 2.95	0.5	3.5	3.5	0.5 0.3	0.1	0.05	0.05	0.1

Note

18. 简称与缩写

Table 149. 缩写

Acronym	描述
ADC	Analog-to-Digital Converter
BPSK	Binary Phase Shift Keying
CRC	Cyclic Redundancy Check
CW	Continuous Wave
DAC	Digital-to-Analog Converter
HBM	Human Body Model
LSB	Least Significant Bit
MISO	Master In Slave Out
MM	Machine Model
MOSI	Master Out Slave In
MSB	Most Significant Bit
NRZ	Not Return to Zero
NSS	Not Slave Select
PLL	Phase-Locked Loop
PRBS	Pseudo-Random Bit Sequence
RX	Receiver
SOF	Start Of Frame
SPI	Serial Peripheral Interface
TX	Transmitter
UART	Universal Asynchronous Receiver Transmitter