

8 位 MCU
HR7P193/194

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 产品规格

上海东软载波微电子有限公司

2021 年 9 月 27 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时,应先对 MCU 芯片上电,再对系统其他部件上电;反之,下电时,先对系统其他部件下电,再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流,从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统,内部上电复位电路可能失效,建议用户使用外部复位、下电复位、看门狗复位等,确保复位电路正常工作。在系统设计时,若使用外部复位电路,建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路,建议采用复位管脚接电阻到电源,或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移,可能会影响时钟源精度;外部时钟源采用陶瓷、晶体振荡器电路时,建议使能起振延时;使用 RC 振荡电路时,需考虑电容、电阻匹配;采用外部有源晶振或时钟输入时,需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统,有必要对芯片寄存器、内存、功能模块等进行初始化,尤其是 I/O 管脚复用功能进行初始化,避免由于芯片上电以后,I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平,建议用户输入高电平应在 V_{IHMIN} 之上,低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间,以免波动噪声进入芯片。对于未使用的输入/输出管脚,建议设置为输入状态,并通过电阻接至电源或地,或设置为输出状态,输出固定电平。对未使用的管脚处理因应用系统而异,具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度;建议避免使用容易产生静电的绝缘体;存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中;包括工作台在内的所有测试和测量工具必须保证接地;操作者应该佩戴静电消除手腕环手套,不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时,需要遵守 PCB 相关设计要求,包括电源、地走线(包括数字/模拟电源分离,单/多点接地等)、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

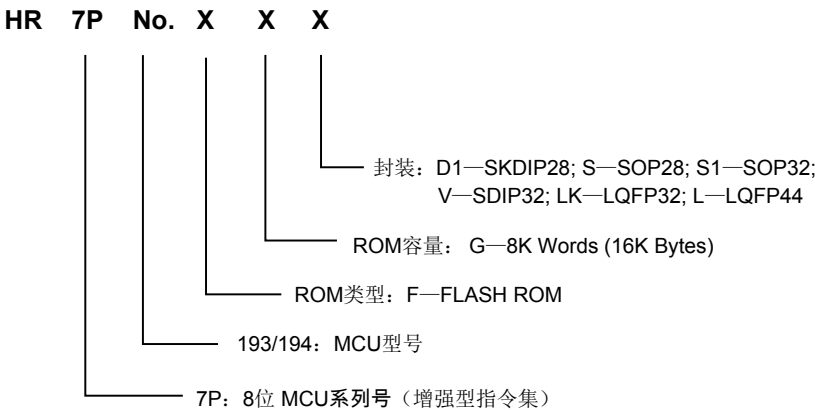
东软载波 MCU 芯片具有完整的软/硬件开发环境,并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境,必须遵循与芯片相关的规定和说明。

注:在产品开发时,如遇到不清楚的地方,请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型号	程序存储器	数据存储器	封装
HR7P193FGD1*	FLASH: 8K Words	SRAM: 496 Bytes	SKDIP28
HR7P193FGS			SOP28
HR7P193FGV *			SDIP32
HR7P193FGS1			SOP32
HR7P193FGLK			LQFP32
HR7P194FGL			LQFP44

注*: 此型号已停产



地 址: 中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成, 本资料中所记载的实例以正确的使用方法和标准操作为前提, 使用方在应用该等实例时请充分考虑外部诸条件, 上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性, 上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因, 上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息, 请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2012-2-14	初版
V1.1	2012-4-19	1. 删除 LCD 低功耗选择位 LCDSLPI 2. 新增关于 LCD 使用内部偏压时驱动能力限制的注解 3. 修正 SEG14~17 管脚位置错误
V1.2	2012-6-15	1. LCDWEN 为只读 2. 追加注释, 使用外部晶振时, PA6,PA7 禁止弱上拉 3. 修改注释, P53 页 T8P2 注释描述错误
V1.3	2012-7-10	1. ADC SEL58 与 SEL69 位错错误修正
V1.4	2012-10-29	1. 修改端口弱上拉控制寄存器地址描述错误 2. 去除 LCD 写使能位描述 3. 3.1.3.1 章节 FREN=1 修改为 FREN=0 4. 5.1.4.4 章节, 图 5-10, 注解 3 中 TE1PWMTE2/PWM 修改为 TE1PWM/TE2PWM 5. 修正附录 1.3/1.4 格式
V1.5	2012-11-15	1: 修改 3.1.3 节程序存储器访问操作的内容
V1.6	2014-6-23	优化 IICM 模块描述, 修改 HR7P194 的 LCD 模块不支持 8COM 模式
V1.7	2014-7-31	更新免责声明, 新增 LQFP32 产品型号, 修订程序存储器访问例程
V1.8		统一修改公司名称、logo 及网址等
V1.9	2019-3-4	1. 增加了对中断使能位 GIE_GIEH 和 PEIE_GIEL 写操作的补充说明; 2. 变更 Logo。
V1.10	2021-9-27	更新公司地址。

目 录

内容目录

第 1 章	芯片简介	12
1.1	概述	12
1.2	应用领域	14
1.3	结构框图	15
1.4	管脚分配图	16
1.4.1	HR7P194FGL	16
1.4.2	HR7P193FGV/HR7P193FGS1/HR7P193FGLK	17
1.4.3	HR7P193FGD1/HR7P193FGS	18
1.5	管脚说明	19
1.5.1	管脚封装对照表	19
1.5.2	管脚说明	21
第 2 章	内核特性	26
2.1	CPU 内核结构	26
2.2	系统时钟和工作周期.....	26
2.3	指令集概述	26
2.4	程序计数器（PC）和程序堆栈.....	26
2.4.1	程序计数器（PC）	26
2.4.2	程序堆栈	27
2.5	硬件除法器	27
2.6	特殊功能寄存器	28
第 3 章	存储资源	30
3.1	程序存储器	30
3.1.1	概述.....	30
3.1.2	程序指针 PC 直接寻址.....	30
3.1.3	程序存储器访问操作	31
3.1.4	特殊功能寄存器	34
3.2	数据存储器	36
3.2.1	数据存储空间地址映射	36
3.2.2	寻址方式	37
3.2.3	特殊功能寄存器空间	38
3.2.4	通用数据存储器	42
3.2.5	特殊功能寄存器	43
第 4 章	输入/输出端口	44
4.1	概述	44
4.2	结构框图	46
4.3	外部中断	47
4.3.1	外部端口中断（PINT）	47
4.3.2	外部按键中断（KINT）	47
4.4	特殊功能寄存器	48
第 5 章	外设	49
5.1	定时器/计数器（Timer/Counter）	49

5.1.1	8 位定时器/计数器 (T8N)	49
5.1.2	8 位 PWM 时基定时器 (T8P1/T8P2/T8P3)	51
5.1.3	16 位门控型定时器 (T16G)	56
5.1.4	定时器/计数器扩展模块 (TE1/TE2/TE3)	60
5.2	模/数转换器 (ADC)	67
5.2.1	概述	67
5.2.2	内部结构图	67
5.2.3	AD 通道选择	68
5.2.4	AD 转换时钟配置	69
5.2.5	AD 时序特征示意图	69
5.2.6	参考例程	69
5.2.7	特殊功能寄存器	70
5.3	通用异步接收/发送器 (UART)	73
5.3.1	概述	73
5.3.2	内部结构图	73
5.3.3	波特率配置	73
5.3.4	传输数据格式	73
5.3.5	异步发送器	74
5.3.6	异步接收器	74
5.3.7	特殊功能寄存器	75
5.4	IIC 总线主控器 (IICM)	77
5.4.1	概述	77
5.4.2	内部结构图	77
5.4.3	总线基本原理	78
5.4.4	波特率配置	80
5.4.5	特殊功能寄存器	81
5.5	液晶显示控制器 (LCDC)	83
5.5.1	管脚封装配置	83
5.5.2	内部结构图	84
5.5.3	公共端像素配置	85
5.5.4	偏压输入配置	85
5.5.5	对比度电压配置	86
5.5.6	帧频率配置	87
5.5.7	特殊功能寄存器	88
第 6 章	特殊功能及操作特性	92
6.1	系统时钟及振荡器	92
6.1.1	概述	92
6.1.2	内部结构图	92
6.1.3	系统时钟配置	93
6.1.4	外部振荡电路参考	94
6.1.5	特殊功能寄存器	96
6.2	系统复位	97
6.2.1	概述	97
6.2.2	内部结构图	97

6.2.3	复位时序图.....	97
6.2.4	低电压复位配置	98
6.2.5	N_MRST 复位参考.....	98
6.2.6	特殊功能寄存器	99
6.3	中断处理	100
6.3.1	概述.....	100
6.3.2	内部结构图.....	100
6.3.3	中断模式配置	101
6.3.4	默认中断模式	101
6.3.5	向量中断模式	102
6.3.6	中断现场保护	104
6.3.7	特殊功能寄存器	105
6.4	看门狗定时器.....	111
6.4.1	概述.....	111
6.4.2	内部结构图.....	111
6.5	低功耗操作	112
6.5.1	概述.....	112
6.5.2	低功耗模式配置	112
6.6	唤醒	113
6.6.1	概述.....	113
6.6.2	唤醒方式配置	114
6.6.3	唤醒时间计算	114
6.6.4	特殊功能寄存器	115
6.7	芯片配置字	116
第 7 章	芯片封装图	118
7.1	28-pin 封装图.....	118
7.2	32-pin 封装图.....	120
7.3	44-pin 封装图.....	123
附录 1.	指令集	124
附录 1.1	概述	124
附录 1.2	程序控制指令	125
附录 1.3	算术/逻辑运算指令	126
附录 1.4	寄存器操作指令.....	127
附录 2.	LCD 驱动波形	128
附录 2.1	概述	128
附录 3.	电气特性.....	136
附录 3.1	参数特性表	136
附录 3.2	参数特性图	139

图目录

图 1-1	HR7P193/194 结构框图.....	15
图 1-2	HR7P194FGL (LQFP44) 顶视图	16
图 1-3	HR7P193FGV/HR7P193FGS1 (SDIP32/SOP32) 顶视图.....	17
图 1-4	HR7P193FGLK (LQFP32) 顶视图	17
图 1-5	HR7P193FGD1/HR7P193FGS (SKDIP28/SOP28) 顶视图	18
图 2-1	硬件除法器内部结构图	27
图 3-1	FLASH 访问控制器结构图	30
图 3-2	程序指针 PC 直接寻址示意图	30
图 3-3	程序存储器查表操作示意图	31
图 3-4	数据区地址映射示意图	36
图 4-1	输入/输出端口结构图	46
图 5-1	T8N 内部结构图	49
图 5-2	T8P1/T8P2/T8P3 内部结构图.....	51
图 5-3	T16G 内部结构图.....	56
图 5-4	T16G 门控计数示意图	58
图 5-5	捕捉扩展功能的内部结构图	60
图 5-6	比较扩展功能的内部结构图	61
图 5-7	脉宽调制扩展功能的内部结构图 (TE1PWM)	62
图 5-8	脉宽调制扩展功能的内部结构图 (TE2PWM)	62
图 5-9	脉宽调制扩展功能的内部结构图 (TE3PWM)	63
图 5-10	TE1PWM/TE2PWM/TE3PMW 输出示意图.....	64
图 5-11	ADC 内部结构图	67
图 5-12	ADC 时序特征示意图	69
图 5-13	UART 内部结构图	73
图 5-14	UART 数据格式示意图.....	73
图 5-15	UART 发送器操作流程图	74
图 5-16	UART 接收器操作流程图	74
图 5-17	IICM 内部结构图	77
图 5-18	IIC 总线通讯协议示意图.....	78
图 5-19	主控器写入从动器数据示意图	79
图 5-20	IICM 读取从动器数据示意图	79
图 5-21	IICM 波特率时序参数示意图	80
图 5-22	LCDC 内部结构图	84
图 5-23	LCDC 帧频率配置示意图	87
图 6-1	系统时钟内部结构图	92
图 6-2	外部灌时钟参考图	94
图 6-3	外部 RC 振荡器参考图 1.....	94
图 6-4	外部 RC 振荡器参考图 2.....	94
图 6-5	外部 LP/XT/HS 振荡器参考图	95
图 6-6	系统复位内部结构图	97
图 6-7	上电复位时序示意图	97
图 6-8	低电压复位时序示意图	97
图 6-9	N_MRST 复位参考电路图 1.....	98

图 6-10 N_MRST 复位参考电路图 2.....	98
图 6-11 中断控制逻辑	100
图 6-12 看门狗定时器内部结构图.....	111
图 附录 2-1 静态驱动时的 A/B 波形图.....	128
图 附录 2-2 1/2 复用、1/2 偏置驱动时的 A 型波形图.....	129
图 附录 2-3 1/2 复用、1/2 偏置驱动时的 B 型波形图.....	129
图 附录 2-4 1/2 复用、1/3 偏置驱动时的 A 型波形图.....	130
图 附录 2-5 1/2 复用、1/3 偏置驱动时的 B 型波形图.....	130
图 附录 2-6 1/3 复用、1/2 偏置驱动时的 A 型波形图.....	131
图 附录 2-7 1/3 复用、1/2 偏置驱动时的 B 型波形图.....	131
图 附录 2-8 1/3 复用、1/3 偏置驱动时的 A 型波形图.....	132
图 附录 2-9 1/3 复用、1/3 偏置驱动时的 B 型波形图.....	132
图 附录 2-10 1/4 复用、1/3 偏置驱动时的 A 型波形图.....	133
图 附录 2-11 1/4 复用、1/3 偏置驱动时的 B 型波形图.....	134
图 附录 2-12 休眠模式停止显示波形图.....	135

表目录

表 1-1	管脚封装对照表	19
表 1-2	管脚封装对照表[续].....	20
表 1-3	PA 管脚说明	21
表 1-4	PB 管脚说明	22
表 1-5	PC 管脚说明	23
表 1-6	PD 管脚说明	24
表 1-7	PE 管脚说明	24
表 1-8	PF 管脚说明	25
表 1-9	其他管脚说明	25
表 3-1	特殊功能寄存器空间 0/4	38
表 3-2	特殊功能寄存器空间 1/5	39
表 3-3	特殊功能寄存器空间 2/6	40
表 3-4	特殊功能寄存器空间 3/7	41
表 3-5	特殊功能寄存器空间 3/7[续]	42
表 4-1	管脚封装输入输出端口配置表	44
表 4-2	管脚封装输入输出端口配置表[续]	45
表 4-3	外部端口中断	47
表 4-4	外部按键中断	47
表 5-1	T8N 工作模式配置表	49
表 5-2	T8N 预分频器配置表	50
表 5-3	T8P1 工作模式配置表	52
表 5-4	T8P2 工作模式配置表	53
表 5-5	T8P3 工作模式配置表	53
表 5-6	T8P1/T8P2/T8P3 预分频器配置表	54
表 5-7	T8P1/T8P2/T8P3 后分频器配置表	54
表 5-8	T16G 工作模式配置表	57
表 5-9	T16G 预分频器配置表	57
表 5-10	捕捉扩展功能配置表	60
表 5-11	捕捉扩展功能配置表	61
表 5-12	T8Px 时基配置表	63
表 5-13	AD 通道配置表	68
表 5-14	AD 转换时钟配置表	69
表 5-15	UART 波特率配置表	73
表 5-16	IICM 波特率配置表	80
表 5-17	LCD 管脚封装配置表	83
表 5-18	LCD 管脚封装配置表[续]	84
表 5-19	LCDC 公共端像素配置表	85
表 5-20	LCDC 偏压输入配置表	85
表 5-21	LCDC 对比度电压配置表	86
表 5-22	LCDC 时钟源配置表	87
表 5-23	LCDC 预分频器配置表	87
表 5-24	LCDC 帧频率配置表	87
表 6-1	系统时钟配置表	93

表 6-2	主晶振配置表	93
表 6-3	内部时钟分频配置表	93
表 6-4	外部 RC 模式推荐参数	94
表 6-5	外部 LP/XT/HS 振荡器参数参考表	95
表 6-6	低电压复位配置表	98
表 6-7	管脚封装中断处理配置表	100
表 6-8	中断处理模式配置表	101
表 6-9	默认中断模式使能配置表	101
表 6-10	向量表配置表	102
表 6-11	中断分组配置表	102
表 6-12	向量中断模式使能配置表	103
表 6-13	低功耗模式配置表	112
表 6-14	管脚封装唤醒方式配置表	113
表 6-15	唤醒方式配置表	114
表 6-16	唤醒时间计算表	114
附录表 1-1	程序控制指令表	125
附录表 1-2	算术/逻辑运算指令表	126
附录表 1-4	寄存器操作指令表	127

第 1 章 芯片简介

1.1 概述

◆ 内核

- ◇ 高性能哈佛型 RISC CPU 内核
- ◇ 66 条精简指令
- ◇ 工作频率最高为 16MHz
- ◇ 8 级程序堆栈（PC 硬件堆栈）
- ◇ 复位向量位于 0000H，默认中断向量位于 0004H，支持中断优先级和向量表
- ◇ 支持硬件除法器
- ◇ 支持中断处理，17 个中断源

◆ 存储资源

- ◇ 8K Words FLASH 程序存储器
- ◇ 496 Bytes SRAM 数据存储器
- ◇ 程序存储器支持直接寻址
- ◇ 数据存储器支持直接寻址和间接寻址

◆ I/O 端口

- ◇ HR7P194 支持 41 个 I/O 端口(HR7P194FGL)
 - PA 端口（PA0~PA4，PA6 和 PA7）
 - PB 端口（PB0~PB7）
 - PC 端口（PC0~PC7）
 - PD 端口（PD0~PD7）
 - PE 端口（PE0~PE5）
 - PF 端口（PF0~PF3）
 - 支持 4 个外部端口中断（PINT0~PINT3）
 - 支持 1 个 4 输入端外部按键中断 KINT（输入端为 KIN0~KIN3）
- ◇ HR7P193 支持 29 个 I/O 端口(HR7P193FGV/HR7P193FGS1/HR7P193FGLK)
 - PA 端口（PA0~PA3，PA6 和 PA7）
 - PB 端口（PB0~PB6）
 - PC 端口（PC0~PC7）
 - PD 端口（PD0~PD7）
 - 支持 4 个外部端口中断（PINT0~PINT3）
 - 支持 1 个 3 输入端外部按键中断 KINT（输入端为 KIN0~KIN2）
- ◇ HR7P193 支持 25 个 I/O 端口(HR7P193FGD1/HR7P193FGS)
 - PA 端口（PA0~PA3，PA6 和 PA7）
 - PB 端口（PB0~PB6）
 - PC 端口（PC0~PC7）
 - PD 端口（PD4~PD7）
 - 支持 4 个外部端口中断（PINT0~PINT3）
 - 支持 1 个 3 输入端外部按键中断 KINT（输入端为 KIN0~KIN2）

◆ 外设

◇ 一路 8 位定时器 T8N

- 定时器模式（时钟源为系统时钟 4 分频）
- 计数器模式（时钟源为 T8NCKI 输入）
- 支持可配置预分频器
- 支持中断产生

◇ 三路 8 位 PWM 时基定时器 T8P1/T8P2/T8P3

- 定时器模式（时钟源为系统时钟 4 分频）
- 支持可配置预分频器及可配后分频器
- 支持脉宽调制扩展功能
- 支持中断产生

◇ 一路 16 位门控型定时器 T16G

- 定时器模式（时钟源为系统时钟 4 分频）
- 计数器模式（时钟源为 T16GCKI 输入或者 LP 晶体振荡器）
- 支持可配置预分频器
- 支持外部门控定时/计数
- 支持比较器扩展功能
- 支持捕捉器扩展功能
- 支持脉宽调制扩展功能
- 支持中断产生

◇ 模拟数字转换器 ADC

- 支持 10 位数字转换精度
- 支持 10 通道模拟输入端（HR7P194FGL 支持）
- 支持 5 通道模拟输入端（HR7P193FGV/HR7P193FGS1/HR7P193FGLK 支持）
- 支持 5 通道模拟输入端（HR7P193FGD1/ HR7P193FGS 支持）
- 支持内部 ADC RC 时钟源
- 支持中断产生

◇ 一路高速异步收发器 UART

- 支持异步全双工收发
- 支持波特率发生器
- 支持 8 位/9 位数据格式
- 约定从最低位接收/发送
- 支持中断产生
- 支持发送脉宽调制模式

◇ 一路 IIC 总线主控器 IICM

- 只支持单主控制模式，不支持多主仲裁模式和从动模式
- 支持标准 IIC 总线协议，最高传输率 400Kbit/s
- 支持 IIC 通讯信号发生完成中断标志，必须软件清零。
- 由软件支持 7 位寻址方式。
- 时钟线（SCL）不支持等待请求操作（从动器下拉时钟线）。
- 数据线（SDA）使用开漏设计，必须使用内部弱上拉或外部上拉电阻。

◇ 液晶显示控制器 LCDC

- 支持 4COM x 24SEG 像素（HR7P194FGL 支持）

- 支持 4COM x 17SEG 像素
(HR7P193FGV/HR7P193FGS1/HR7P193FGLK 支持)
- 支持 4COM x 13SEG 像素 (HR7P193FGD1/ HR7P193FGS 支持)

◆ 特殊功能

- ◇ 内部 16MHz 振荡器
 - 可分频用于主系统时钟源
 - 在 25℃、3.0V~5V 条件下, 校准精度为±2%
- ◇ 支持两种低功耗模式, IDLE0 模式和 IDLE1 模式及唤醒操作
- ◇ 内嵌上电复位电路
- ◇ 内嵌低电压检测及复位电路
- ◇ 支持看门狗定时器
 - 支持预分频器
 - 支持内部看门狗 RC 时钟源
- ◇ 支持 IDLE0 模式或者 IDLE1 模式唤醒
- ◇ 支持自编程功能
- ◇ 支持在线编程 (ISP) 接口
- ◇ 支持在线调试 (ICD) 接口
- ◇ 支持编程代码保护

◆ 设计及工艺

- ◇ 低功耗、高速 FLASH CMOS 工艺
- ◇ 44 个管脚, 采用 LQFP 封装 (HR7P194FGL)
- ◇ 32 个管脚, 采用 SDIP/SOP 封装
(HR7P193FGV/HR7P193FGS1/HR7P193FGLK)
- ◇ 28 个管脚, 采用 SKDIP/SOP 封装 (HR7P193FGD1/HR7P193FGS)

◆ 工作条件

- ◇ 工作电压范围: 3.0V ~ 5.5V
- ◇ 工作温度范围: -40 ~ 85℃

1.2 应用领域

本芯片可用于白色家电、工业控制和汽车电子等领域。

1.3 结构框图

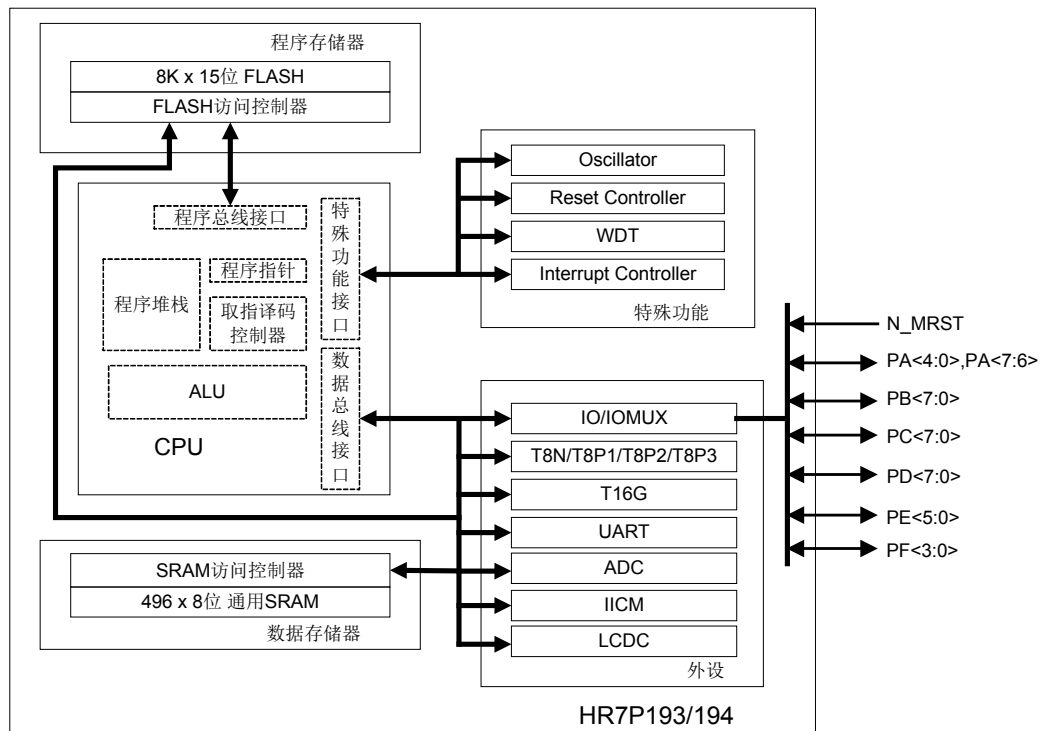


图 1-1 HR7P193/194 结构框图

注：N_MRST 表示低电平复位有效。

1.4 管脚分配图

1.4.1 HR7P194FGL

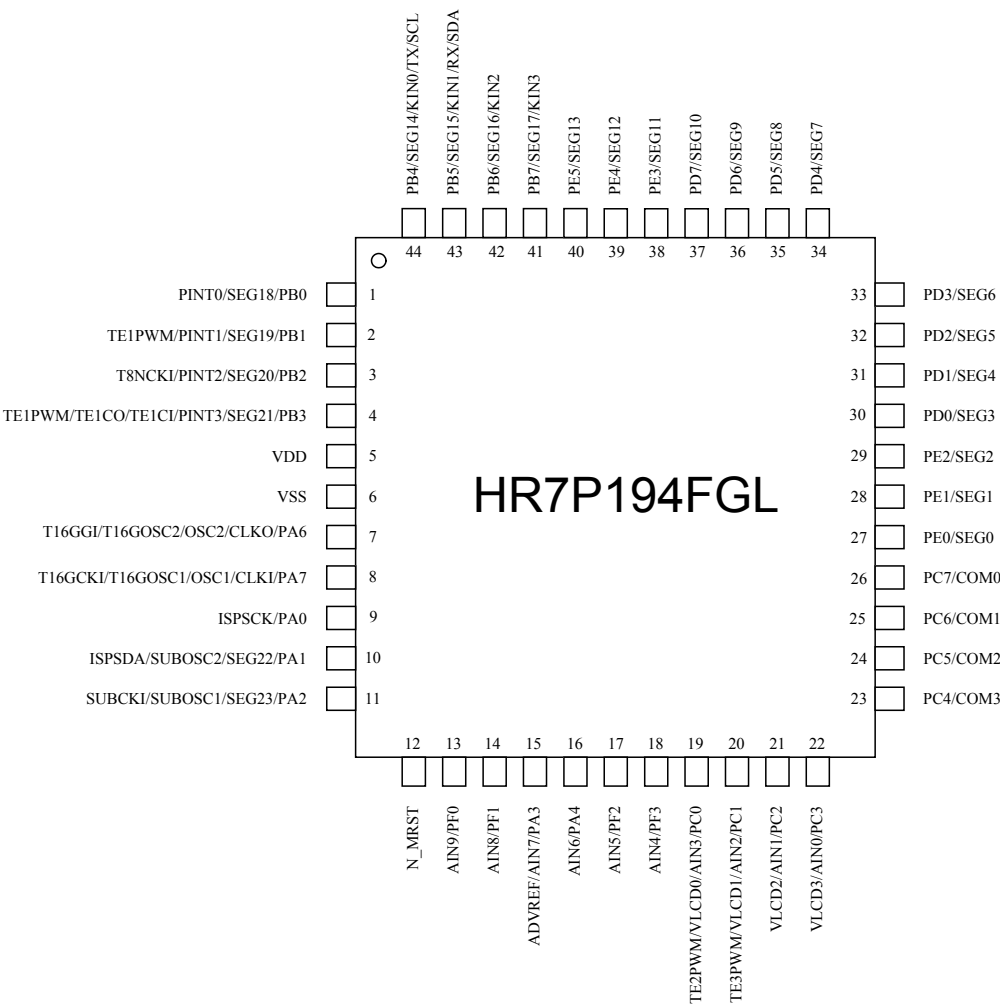


图 1-2 HR7P194FGL (LQFP44) 顶视图

1.4.2 HR7P193FGV/HR7P193FGS1/HR7P193FGLK

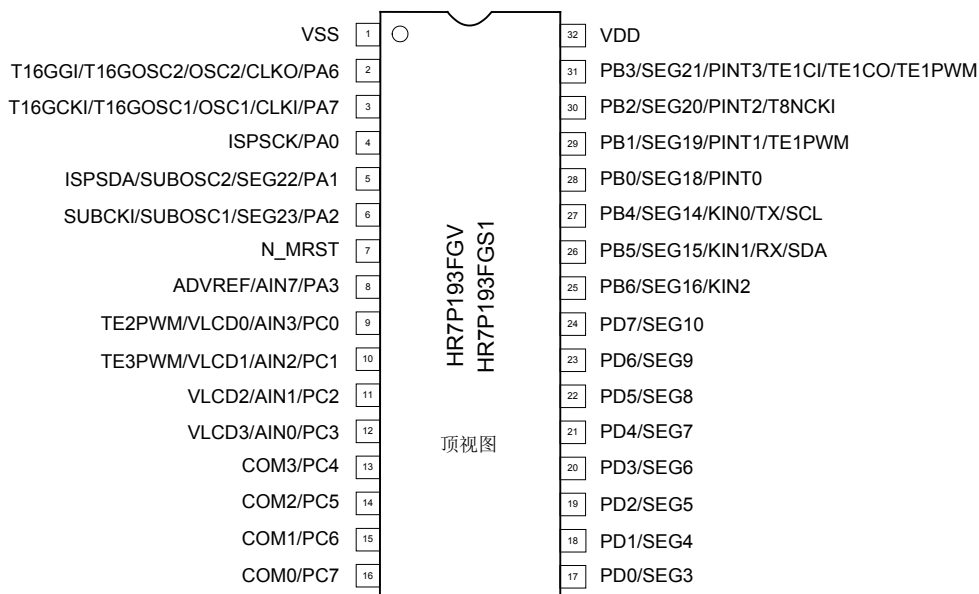


图 1-3 HR7P193FGV/HR7P193FGS1 (SDIP32/SOP32) 顶视图

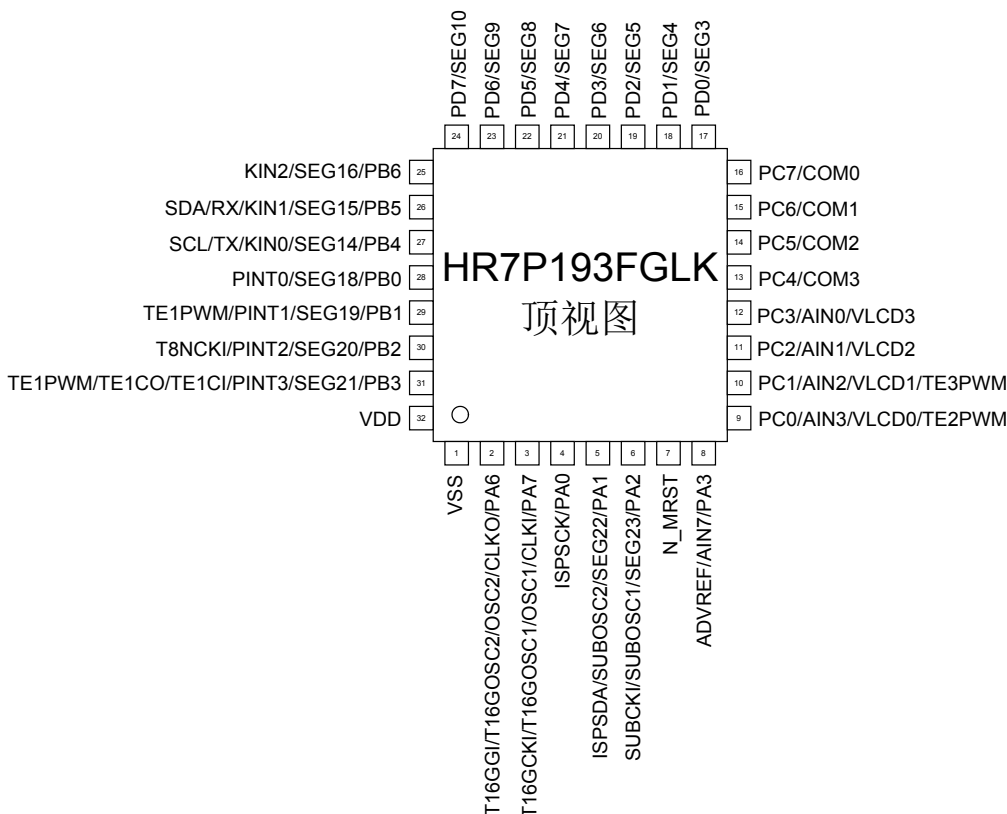


图 1-4 HR7P193FGLK (LQFP32) 顶视图

1.4.3 HR7P193FGD1/HR7P193FGS

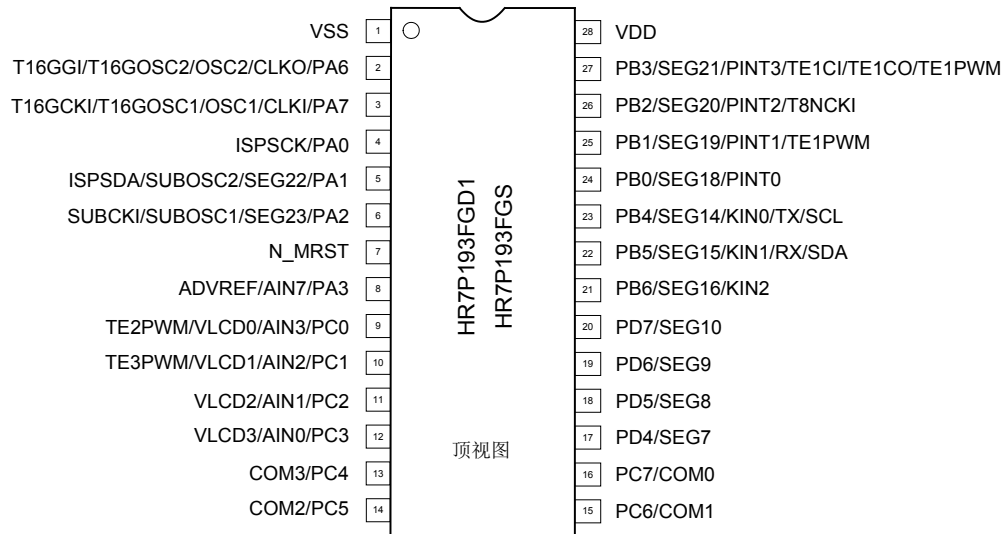


图 1-5 HR7P193FGD1/HR7P193FGS (SKDIP28/SOP28) 顶视图

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL
PA0/ISPSCK	4	4	9
PA1/SEG22/SUBOSC2/ISPSDA	5	5	10
PA2/SEG23/SUBOSC1/SUBCKI	6	6	11
PA3/AIN7/ADVREF	8	8	15
PA4/AIN6	-	-	16
PA6/CLKO/OSC2/T16GOSC2/T16GGI	2	2	7
PA7/CLKI/OSC1/T16GOSC1/T16GCKI	3	3	8
PB0/SEG18/PINT0	24	28	1
PB1/SEG19/PINT1/TE1PWM	25	29	2
PB2/SEG20/PINT2/T8NCKI	26	30	3
PB3/SEG21/PINT3/TE1CI/TE1CO /TE1PWM	27	31	4
PB4/SEG14/KIN0/TX/SCL	23	27	44
PB5/SEG15/KIN1/RX/SDA	22	26	43
PB6/SEG16/KIN2	21	25	42
PB7/SEG17/KIN3	-	-	41
PC0/AIN3/VLCD0/TE2PWM	9	9	19
PC1/AIN2/VLCD1/TE3PWM	10	10	20
PC2/AIN1/VLCD2	11	11	21
PC3/AIN0/VLCD3	12	12	22
PC4/COM3	13	13	23
PC5/COM2	14	14	24
PC6/COM1	15	15	25
PC7/COM0	16	16	26
PD0/SEG3	-	17	30
PD1/SEG4	-	18	31
PD2/SEG5	-	19	32
PD3/SEG6	-	20	33
PD4/SEG7	17	21	34
PD5/SEG8	18	22	35
PD6/SEG9	19	23	36
PD7/SEG10	20	24	37

表 1-1 管脚封装对照表

[续]

管脚名	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL
PE0/SEG0	-	-	27
PE1/SEG1	-	-	28
PE2/SEG2	-	-	29
PE3/SEG11	-	-	38
PE4/SEG12	-	-	39
PE5/SEG13	-	-	40
PF0/AIN9	-	-	13
PF1/AIN8	-	-	14
PF2/AIN5	-	-	17
PF3/AIN4	-	-	18
N_MRST	7	7	12
VDD	28	32	5
VSS	1	1	6

表 1-2 管脚封装对照表[续]

1.5.2 管脚说明

1.5.2.1 PA管脚说明

管脚名	管脚复用	A/D	端口说明	备注
PA0	PA0	D	通用 I/O	-
	ISPSCK	D	编程器/调试器时钟	-
PA1/SEG22/SUBOSC2	PA1	D	通用 I/O	-
	SEG22	A	LCD 驱动 SEG 端 22	-
	SUBOSC2	A	辅晶振输出	-
	ISPSDA	D	编程器/调试器数据	-
PA2/SEG23/SUBOSC1 /SUBCKI	PA2	D	通用 I/O	-
	SEG23	A	LCD 驱动 SEG 端 23	-
	SUBOSC1	A	辅晶振输入	ICD 禁止
	SUBCKI	A	辅晶振灌时钟输入	ICD 使能
PA3/AIN7/ADVREF	PA3	D	通用 I/O	-
	AIN7	A	ADC 模拟通道 7 输入	-
	ADVREF	A	ADC 参考电压输入	-
PA4/AIN6	PA4	D	通用 I/O	*1
	AIN6	A	ADC 模拟通道 6 输入	*2
PA6/CLKO/OSC2 /T16GOSC2 /T16GGI	PA6	D	通用 I/O	-
	CLKO	D	FOSC/4 输出	-
	OSC2	A	晶振/谐振器输出	-
	T16GOSC2	A	T16G 晶振输出	-
	T16GGI	D	T16G 门控输入	-
PA7/CLKI/OSC1 /T16GOSC1 /T16GCKI	PA7	D	通用 I/O	-
	CLKI	D/A	外部时钟输入	-
	OSC1	A	晶振/谐振器输入	-
	T16GOSC1	A	T16G 晶振输入	-
	T16GCKI	D	T16G 外部时钟输入	-

表 1-3 PA 管脚说明

注:

*1: HR7P193FGV/HR7P193FGS1/HR7P193FGLK 不支持

*2: HR7P193FGD1/HR7P193FGS 不支持

1.5.2.2 PB管脚说明

管脚名	管脚复用	A/D	端口说明	备注
PB0/SEG18/PINT0	PB0	D	通用 I/O	-
	SEG18	A	LCD 驱动 SEG 端 18	-
	PINT0	D	外部端口中断 0	-
PB1/SEG19/PINT1 /TE1PWM	PB1	D	通用 I/O	-
	SEG19	A	LCD 驱动 SEG 端 19	-
	PINT1	D	外部端口中断 1	-
	TE1PWM	D	TE1 脉宽调制输出	-
PB2/SEG20/PINT2 /T8NCKI	PB2	D	通用 I/O	-
	SEG20	A	LCD 驱动 SEG 端 20	-
	PINT2	D	外部端口中断 2	-
	T8NCKI	D	T8N 外部时钟输入	-
PB3/SEG21/PINT3 /TE1CI/TE1CO /TE1PWM	PB3	D	通用 I/O	-
	SEG21	A	LCD 驱动 SEG 端 21	-
	PINT3	D	外部端口中断 3	-
	TE1CI	D	TE1 捕捉器输入	-
	TE1CO	D	TE1 比较器输出	-
	TE1PWM	D	TE1 脉宽调制输出	-
PB4/SEG14/KIN0/TX /SCL	PB4	D	通用 I/O	-
	SEG14	A	LCD 驱动 SEG 端 14	-
	KIN0	D	外部按键中断输入 0	-
	TX	D	UART 发送输出	-
	SCL	D	IICM 时钟输出	-
PB5/SEG15/KIN1/RX /SDA	PB5	D	通用 I/O	-
	SEG15	A	LCD 驱动 SEG 端 15	-
	KIN1	D	外部按键中断输入 1	-
	RX	D	UART 接收输入	-
	SDA	D	IICM 数据输入输出	-
PB6/SEG16/KIN2	PB6	D	通用 I/O	-
	SEG16	A	LCD 驱动 SEG 端 16	-
	KIN2	D	外部按键中断输入 2	-
PB7/SEG17/KIN3	PB7	D	通用 I/O	*1 *2
	SEG17	A	LCD 驱动 SEG 端 17	
	KIN3	D	外部按键中断输入 3	

表 1-4 PB 管脚说明

注:

*1: HR7P193FGV/HR7P193FGS1/HR7P193FGLK 不支持

*2: HR7P193FGD1/HR7P193FGS 不支持

1.5.2.3 PC管脚说明

管脚名	管脚复用	A/D	端口说明	备注
PC0/AIN3/VLCD0 /TE2PWM	PC0	D	通用 I/O	-
	AIN3	A	ADC 模拟通道 3 输入	-
	VLCD0	A	LCD 偏置电压输入 0	-
	TE2PWM	D	TE2 脉宽调制输出	-
PC1/AIN2/VLCD1 /TE3PWM	PC1	D	通用 I/O	-
	AIN2	A	ADC 模拟通道 2 输入	-
	VLCD1	A	LCD 偏置电压输入 1	-
	TE3PWM	D	TE3 脉宽调制输出	-
PC2/AIN1/VLCD2	PC2	D	通用 I/O	-
	AIN1	A	ADC 模拟通道 1 输入	-
	VLCD2	A	LCD 偏置电压输入 2	-
PC3/AIN0/VLCD3	PC3	D	通用 I/O	-
	AIN0	A	ADC 模拟通道 0 输入	-
	VLCD3	A	LCD 偏置电压输入 3	-
PC4/COM3	PC4	D	通用 I/O	-
	COM3	A	LCD 驱动 COM 端 3	-
PC5/COM2	PC5	D	通用 I/O	-
	COM2	A	LCD 驱动 COM 端 2	-
PC6/COM1	PC6	D	通用 I/O	-
	COM1	A	LCD 驱动 COM 端 1	-
PC7/COM0	PC7	D	通用 I/O	-
	COM0	A	LCD 驱动 COM 端 0	-

表 1-5 PC 管脚说明

1.5.2.4 PD管脚说明

管脚名	管脚复用	A/D	端口说明	备注
PD0/SEG3	PD0	D	通用 I/O	*2
	SEG3	A	LCD 驱动 SEG 端 3	
PD1/SEG4	PD1	D	通用 I/O	*2
	SEG4	A	LCD 驱动 SEG 端 4	
PD2/SEG5	PD2	D	通用 I/O	*2
	SEG5	A	LCD 驱动 SEG 端 5	
PD3/SEG6	PD3	D	通用 I/O	*2
	SEG6	A	LCD 驱动 SEG 端 6	
PD4/SEG7	PD4	D	通用 I/O	-
	SEG7	A	LCD 驱动 SEG 端 7	-
PD5/SEG8	PD5	D	通用 I/O	-
	SEG8	A	LCD 驱动 SEG 端 8	-
PD6/SEG9	PD6	D	通用 I/O	-
	SEG9	A	LCD 驱动 SEG 端 9	-
PD7/SEG10	PD7	D	通用 I/O	-
	SEG10	A	LCD 驱动 SEG 端 10	-

表 1-6 PD 管脚说明

1.5.2.5 PE管脚说明

管脚名	管脚复用	A/D	端口说明	备注
PE0/SEG0	PE0	D	通用 I/O	*1
	SEG0	A	LCD 驱动 SEG 端 0	*2
PE1/SEG1	PE1	D	通用 I/O	*1
	SEG1	A	LCD 驱动 SEG 端 1	*2
PE2/SEG2	PE2	D	通用 I/O	*1
	SEG2	A	LCD 驱动 SEG 端 2	*2
PE3/SEG11	PE3	D	通用 I/O	*1
	SEG11	A	LCD 驱动 SEG 端 11	*2
PE4/SEG12	PE4	D	通用 I/O	*1
	SEG12	A	LCD 驱动 SEG 端 12	*2
PE5/SEG13	PE5	D	通用 I/O	*1
	SEG13	A	LCD 驱动 SEG 端 13	*2

表 1-7 PE 管脚说明

注:

*1: HR7P193FGV/HR7P193FGS1/HR7P193FGLK 不支持

*2: HR7P193FGD1/HR7P193FGS 不支持

1.5.2.6 PF管脚说明

管脚名	管脚复用	A/D	端口说明	备注
PF0/AIN9	PF0	D	通用 I/O	*1
	AIN9	A	ADC 模拟通道 9 输入	*2
PF1/AIN8	PF1	D	通用 I/O	*1
	AIN8	A	ADC 模拟通道 8 输入	*2
PF2/AIN5	PF2	D	通用 I/O	*1
	AIN5	A	ADC 模拟通道 5 输入	*2
PF3/AIN4	PF3	D	通用 I/O	*1
	AIN4	A	ADC 模拟通道 4 输入	*2

表 1-8 PF 管脚说明

注

*1: HR7P193FGV/HR7P193FGS1/HR7P193FGLK 不支持

*2: HR7P193FGD1/HR7P193FGS 不支持

1.5.2.7 其他管脚说明

管脚名	管脚复用	A/D	端口说明	备注
N_MRST	N_MRST	-	外部复位输入	-
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-9 其他管脚说明

注 1: A = 模拟, D = 数字;

注 2: N_MRST 表示低电平复位有效;

注 3: 所有通用数据 I/O 均为 TTL 施密特输入电平和 CMOS 输出驱动。

第 2 章 内核特性

2.1 CPU 内核结构

◆ 内核特性

- ◇ 高性能哈佛型 RISC CPU 内核
- ◇ 66 条精简指令
- ◇ 系统时钟工作频率最高为 16MHz
- ◇ 8 级程序堆栈（PC 硬件堆栈）
- ◇ 复位向量位于 0000H，默认中断向量位于 0004H，支持中断优先级和向量表
- ◇ 支持硬件除法器
- ◇ 支持中断处理，17 个中断源

2.2 系统时钟和工作周期

本芯片系统时钟频率最高支持 16MHz。通过片内时钟生成器产生四个不重叠的正交时钟 phase1 (p1)，phase2 (p2)，phase3 (p3) 和 phase4 (p4)。四个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 HR7P 系列 66 条精简指令集系统。所有指令都是单字指令。除了部分条件跳转与控制程序流程的指令需要两个机器周期来完成，其他指令的执行都是在一个机器周期中完成。4 个系统时钟周期为一个机器周期，若芯片运行在 4MHz 系统时钟时，一个机器周期的时间为 1μs。

具体指令集可参考《附录 指令集》。

2.4 程序计数器（PC）和程序堆栈

2.4.1 程序计数器（PC）

对应于芯片的程序存储空间 8K，本芯片支持 13 位程序计数器 PC<12:0>。最大可寻址 8K 程序存储空间，0000H ~ 1FFFH，超出地址范围会导致 PC 循环（又从 0000H 开始访问）。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高位 PC<12:8>不能直接读写，只能通过 PCRH 寄存器来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 寄存器的值。

下面是执行各种指令时，PC 值的变化情况：

- ◇ 通过指令直接修改 PC 值时，对 PCRL 的赋值操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<12:8>=PCRH<4:0>。因此，修改 PC 值时，应先修改 PCRH<4:0>，再修改 PCRL<7:0>。
- ◇ 执行 CALL，GOTO 指令时，PC<10:0>为指令中 11 位立即数（操作数），PC<12:11>为 PCRH<4:3>的值。
- ◇ 执行 PAGE 指令时，PCRH<4:3>的值将被该指令的立即数替换。
- ◇ 执行其他指令时，PC 值自动加 1。

2.4.2 程序堆栈

芯片内有 8 级程序堆栈（硬件堆栈），堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

程序堆栈只支持 8 级缓冲操作，即程序堆栈只保存最近的 8 次连续压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，使得程序流程不可控。

2.5 硬件除法器

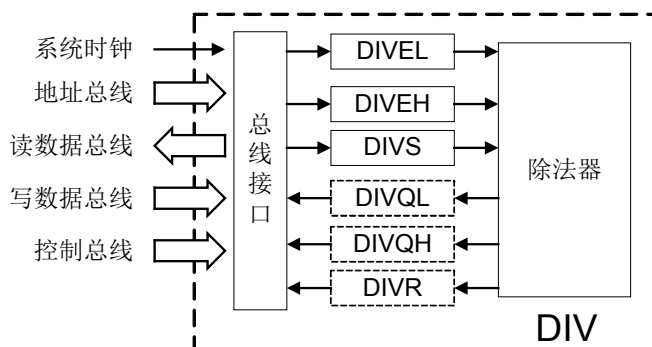


图 2-1 硬件除法器内部结构图

硬件除法器：16 位被除数 / 8 位除数 = 16 位商和 8 位余数。

通过 DIVEH 和 DIVEH 寄存器设置被除数，通过 DIVS 寄存器设置除数。这三个寄存器只能被写入，无法被读取。运算的商存入 DIVQH 和 DIVQL 寄存器中，余数存入 DIVR 寄存器中。这三个寄存器只能被读取，无法被写入。DIVEH 和 DIVQL 共用一个寄存器地址，DIVEH 和 DIVQH 共用一个寄存器地址，DIVS 和 DIVR 共用一个寄存器地址。被除数和除数设置完成后，需要插入 2 条 NOP 指令，才能读取商和余数。若除数为 0x00，则商为 0xFFFF，余数为 0xFF，表示结果溢出。

2.6 特殊功能寄存器

寄存器名称	程序计数器 (PCRL)		
地址	002H,082H,102H,182H,202H,282H,302H,382H		
复位值	0000 0000		
PCRL<7:0>	bit7-0	R/W	程序计数器<7:0>

寄存器名称	程序计数器 (PCRH)		
地址	00BH,08BH,10BH,18BH,20BH,28BH,30BH,38BH		
复位值	xxx0 0000		
PCRH<7:0>	bit4-0	R/W	程序计数器<12:8>
	bit7-5	-	-

寄存器名称	程序状态字寄存器 (PSW)		
地址	003H,083H,103H,183H,203H,283H,303H,383H		
复位值	xxxx xxxx		
C	bit0	R/W	全进位/全借位 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	半进位/半借位 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
-	bit4-3	-	-
OF	bit5	R	程序压栈溢出 0: 程序压栈未溢出 1: 程序压栈溢出
UF	bit6	R	程序出栈溢出 0: 程序出栈未溢出 1: 程序出栈溢出
-	bit7	-	-

寄存器名称	被除数寄存器 (DIVEL) / 商寄存器 (DIVQL)		
地址	1B0H,3B0H		
复位值	xxxx xxxx		
DIVEL <7:0>	bit7-0	W	被除数寄存器<7:0>
DIVQL <7:0>		R	商寄存器<7:0>

寄存器名称	被除数寄存器 (DIVEH) / 商寄存器 (DIVQH)		
地址	1B1H, 3B1H		
复位值	XXXX XXXX		
DIVEH <7:0>	bit7-0	W	被除数寄存器<15:8>
DIVQH <7:0>		R	商寄存器<15:8>

寄存器名称	除数寄存器 (DIVS) / 余数寄存器 (DIVR)		
地址	1B2H, 3B2H		
复位值	XXXX XXXX		
DIVS <7:0>	bit7-0	W	除数寄存器
DIVR <7:0>		R	余数寄存器

寄存器名称	选择寄存器 (BSET)		
地址	081H, 181H, 281H, 381H		
复位值	x111 1111		
PS<2:0>	bit2-0	R/W	T8N/WDT 分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
PSA	bit3	R/W	预分频器选择位 0: T8N 使用预分频器 1: WDT 使用预分频器
T8NSE	bit4	R/W	T8N 时钟沿选择位 0: T8NCKI 上升沿计数 1: T8NCKI 下降沿计数
T8NCS	bit5	R/W	T8N 模式选择位 0: 定时器模式 (时钟源为系统时钟 4 分频) 1: 计数器模式 (时钟源为 T8NCKI 输入)
PEG	bit6	R/W	PINT 中断信号触发边沿选择位 0: 下降沿触发 PINT 1: 上升沿触发 PINT
-	bit7	-	-

第 3 章 存储资源

3.1 程序存储器

3.1.1 概述

HR7P193/194 为 8K Words FLASH，实际地址范围 0000H ~1FFFFH。
寻址超出地址范围就会导致 PC 循环（又从 0000H 开始访问）。

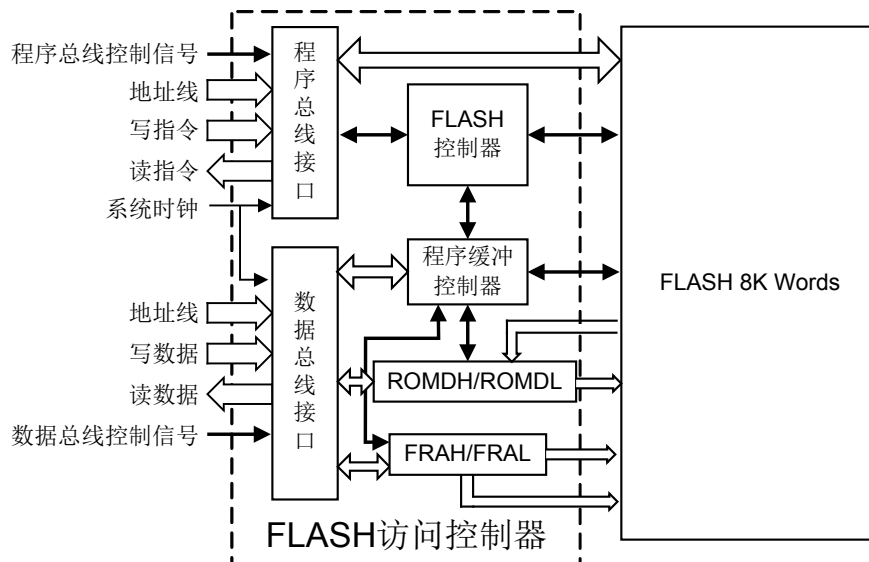


图 3-1 FLASH 访问控制器结构图

3.1.2 程序指针PC直接寻址

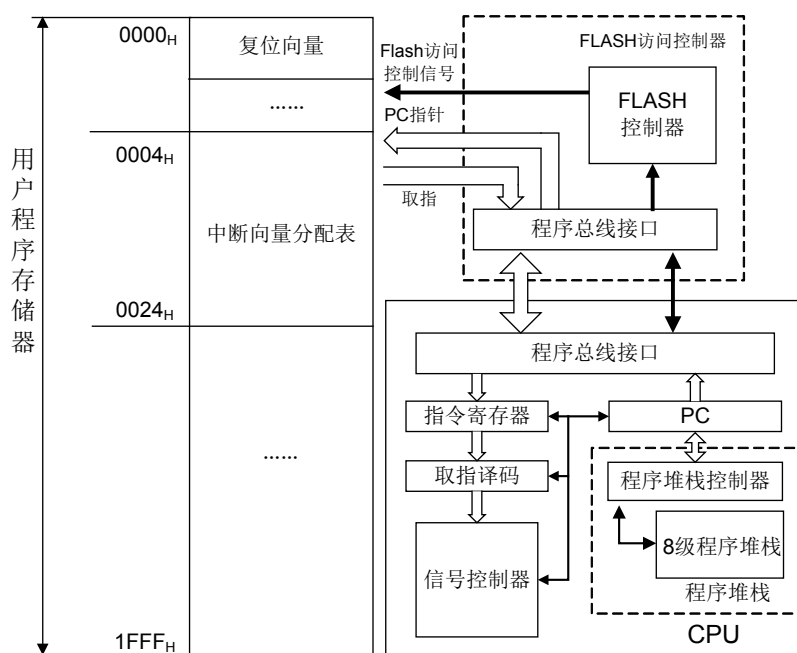


图 3-2 程序指针 PC 直接寻址示意图

3.1.3 程序存储器访问操作

3.1.3.1 概述

程序存储器访问功能适用于对 FLASH 存储数据进行自更新,可用于部分程序更新或者固定参数的修改。

程序存储器 Flash 具有掉电后数据不丢失存储特性,此功能同时可适用于在上电初始化(系统开始正常工作之前),或掉电保护(系统退出工作状态)时,进行数据的更新或保护,需注意的是,在对程序存储器写入和擦除的过程中,芯片工作处于暂停状态,所以对注重实时控制的应用系统,不推荐使用该功能,或谨慎使用该功能,以免影响芯片控制操作的实时性。

程序存储器 Flash 在进行擦除、写入时,整个芯片处于暂停状态,其中包括 CPU 工作暂停,指令执行暂停,外围模块工作暂停,中断响应暂停;暂停时外围模块以及 IO 工作等均保持暂停前的状态,直至存储器 Flash 擦除、写入完成后,芯片才会继续工作。

程序存储器 Flash 的页擦除时间为 $22\text{ms} \pm 8\%$ (全温度范围),即在对 Flash 其中一页的擦除过程中,芯片处于暂停状态的时间为 $22\text{ms} \pm 8\%$ (全温度范围),直至擦除操作完成后,芯片继续工作。

程序存储器 Flash 的写入(编程)时间为 $77.7\mu\text{s} \pm 8\%$,即在对 Flash 进行写入(编程)过程中,芯片处于暂停状态的时间为 $77.7\mu\text{s} \pm 8\%$ (全温度范围),直至写入操作完成后,芯片继续工作。其中每次写入(编程)操作,对 Flash 的一个 Word 进行写入(编程)。

若配置位 FREN=0,程序存储器 Flash 可以进行页擦除、单个数据(15 位)的写入和读取的访问操作。ROMCL/ROMCH 寄存器为 Flash 控制寄存器,其中 ROMCH 不是物理寄存器,读 ROMCH 将读到全零。FRAH/FRAL 寄存器为 FLASH 指针寄存器,用于存放 Flash 访问的地址信息。ROMDH/ROMDL 寄存器为 FLASH 数据缓冲寄存器,存放写入或读取的数值。程序存储器共分 64 页,由 FRAH[4:0]和 FRAL[7]进行选择;每页分 4 行,由 FRAL[6:5]进行选择;每行 32 个数据(15 位),由 FRAL[4:0]进行选择。

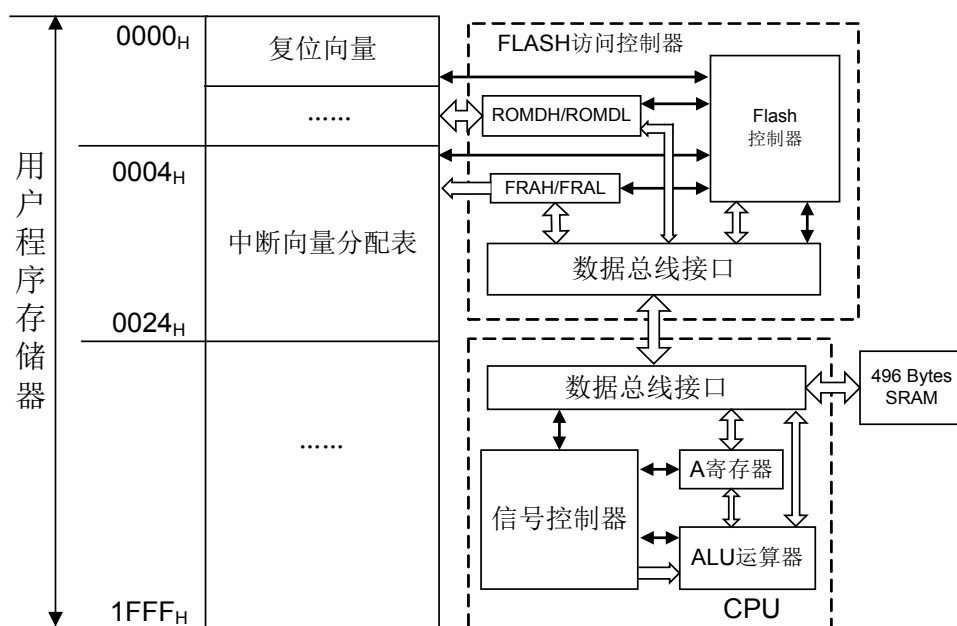


图 3-3 程序存储器查表操作示意图

3.1.3.2 程序存储器读取

应用例程：程序存储器读取。

```
    MOVI    0x00          ; 程序存储器读取[0x0000]
    MOVA    FRAL
    MOVI    0x00
    MOVA    FRAH
    BCC     INTC0, GIE_GIEH ; 关中断
    JBC     INTC0, GIE_GIEH ; 判断全局中断是否清零
    GOTO    $-2
    BSS     ROMCL, MRTRG
    NOP
    NOP
RD_WAIT
    JBC     ROMCL, MRTRG
    GOTO    RD_WAIT
    BSS     INTC0, GIE_GIEH ; 开中断
    MOV     ROMDH, 0       ; 读取 ROMDH
    MOV     ROMDL, 0       ; 读取 ROMDL
```

注：触发读取操作后必须在后面插入 2 条 NOP 指令

3.1.3.3 程序存储器擦除

应用例程：程序存储器擦除，只支持页擦除。

```
    BSS     FRAL, 7        ; 擦除第 1 页（页地址区间为 0080H~00FFH）
    CLR     FRAH
    BSS     ROMCL, MEWS
    BSS     ROMCL, MWEN
    BSS     ROMCL, MEN
    BCC     INTC0, GIE_GIEH ; 关中断
    JBC     INTC0, GIE_GIEH ; 判断全局中断是否清零
    GOTO    $-2
    MOVI    0x55
    MOVA    ROMCH
    NOP                                           ; 8 个 NOP 指令，等待 8 个指令周期
    .....
    MOVI    0xAA
    MOVA    ROMCH
    NOP                                           ; 8 个 NOP 指令，等待 8 个指令周期
    .....
    BSS     ROMCL, MTRG
ERASE_WAIT
    JBC     ROMCL, MTRG
    GOTO    ERASE_WAIT
```

BSS INTC0, GIE_GIEH ; 开中断

注:

1) 程序存储器页擦除时会使芯片工作状态暂停 $22\text{ms} \pm 8\%$ (全温度范围), 芯片暂停包括外围模块暂停, CPU 暂停, 指令执行暂停等。

2) 程序存储器擦除只支持页擦除, 请在擦除前将该页内有用的信息备份至通用数据存储器中, 一页 Flash 需要 256 Bytes, 请预留足够的备份空间; 或在 Flash 中预留一页空页作为临时备份页。

3.1.3.4 程序存储器写入

应用例程: 程序存储器写入。

```
MOVI    0X02                ; 将<ROMDH:ROMDL>的内容写入
                                ; 程序存储器 [0x0237]

MOVA    FRAH
MOVI    0X37
MOVA    FRAL
BCC     ROMCL, MEWS
BSS     ROMCL, MWEN
BSS     ROMCL, MEN
BCC     INTC0, GIE_GIEH ; 关中断
JBC     INTC0, GIE_GIEH ; 判断全局中断是否清零
GOTO    $-2
MOVI    0x55
MOVA    ROMCH
NOP                                ; 8 个 NOP 指令, 等待 8 个指令周期
.....
MOVI    0xAA
MOVA    ROMCH
NOP                                ; 8 个 NOP 指令, 等待 8 个指令周期
.....
BSS     ROMCL, MTRG
WR_WAIT
JBC     ROMCL, MTRG
GOTO    WR_WAIT
BSS     INTC0, GIE_GIEH ; 开中断
```

注: 程序存储器写入时会使芯片工作状态暂停 $77.7\mu\text{s} \pm 8\%$ (全温度范围), 芯片暂停包括外围模块暂停, CPU 暂停, 指令执行暂停等。

3.1.4 特殊功能寄存器

寄存器名称	程序存储器指针寄存器 (FRAL)		
地址	110H,310H		
复位值	0000 0000		
FRAL<7:0>	bit7-0	R/W	程序存储器地址指针<7:0>

寄存器名称	程序存储器指针寄存器 (FRAH)		
地址	111H,311H		
复位值	0000 0000		
FRAH<7:0>	bit4-0	R/W	程序存储器地址指针<12:8>
	bit7-5	-	-

寄存器名称	程序存储器缓冲寄存器 (ROMDL)		
地址	114H,314H		
复位值	0000 0000		
ROMDL<7:0>	bit7-0	R/W	程序存储器数据缓冲寄存器<7:0>

寄存器名称	程序存储器缓冲寄存器 (ROMDH)		
地址	115H,315H		
复位值	x000 0000		
ROMDH<7:0>	bit6-0	R/W	程序存储器数据缓冲寄存器<14:8>
	bit7	-	-

寄存器名称	程序存储器控制寄存器 (ROMCL)		
地址	11FH,31FH		
复位值	0000 0000		
MRTRG	bit0	-	读控制位 0: 未启动读操作, 或操作已完成 1: 启动读操作, 或正在进行操作 (用软件将 MRTRG 置 1 启动读操作, 硬件清零)
MTRG	bit1	R/W	写控制位 0: 未启动写/擦除操作, 或操作已完成 1: 启动写/擦除操作, 或者正在进行操作 (用软件将 MTRG 位置 1 启动写操作, 硬件清零)
MWEN	bit2	R/W	FLASH 写/擦除使能位 0: 禁止 1: 使能
MEWS	bit3	R/W	FLASH 写入/擦除选择位 0: FLASH 写入 1: FLASH 擦除
-	bit6-4	-	-
MEN	bit7	R/W	FLASH 操作使能位 0: 禁止 1: 使能

寄存器名称	程序存储器控制寄存器 (ROMCH)		
地址	10FH,30FH		
复位值	0000 0000		
ROMCH<7:0>	bit7-0	R/W	操作控制字

3.2 数据存储

3.2.1 数据存储空间地址映射

数据存储空间可分为 8 个存储体组（存储体组 0 ~ 7）。每个存储体组分别由特殊功能寄存器空间和通用数据寄存器空间构成。具体地址映射如下：

通用数据存储空间	000 _H	特殊功能寄存器空间0	存储体组 0	200 _H	特殊功能寄存器空间4	存储体组 4
	01F _H			21F _H		
	020 _H			220 _H		
	通用数据寄存器空间0	26F _H		通用数据寄存器空间4		
		270 _H			映射到070 _H ~ 07F _H	
		07F _H	27F _H			
	080 _H	特殊功能寄存器空间1	存储体组 1	280 _H	特殊功能寄存器空间5	存储体组 5
	09F _H			29F _H		
	0A0 _H			2A0 _H		
	通用数据寄存器空间1	2EF _H		通用数据寄存器空间5		
	0EF _H	2F0 _H			映射到070 _H ~ 07F _H	
	0F0 _H	映射到070 _H ~ 07F _H	2FF _H			
	0FF _H					
	100 _H	特殊功能寄存器空间2	存储体组 2	300 _H	特殊功能寄存器空间6	存储体组 6
	11F _H			31F _H		
	120 _H			320 _H		
	通用数据寄存器空间2	36F _H		通用数据寄存器空间6		
	16F _H	370 _H			映射到070 _H ~ 07F _H	
	170 _H	映射到070 _H ~ 07F _H	37F _H			
	17F _H		存储体组 3	380 _H	特殊功能寄存器空间7	存储体组 7
	180 _H	特殊功能寄存器空间3		3EF _H		
	1EF _H					
	1F0 _H			映射到070 _H ~ 07F _H	3FF _H	
1FF _H						

图 3-4 数据区地址映射示意图

注：0F0H ~ 0FFH（存储体组 1）、170H ~ 17FH（存储体组 2）、1F0H ~ 1FFH（存储体组 3）、270H ~ 27FH（存储体组 4）、2F0H ~ 2FFH（存储体组 5）、370H ~ 37FH（存储体组 6）、3F0H ~ 3FFH（存储体组 7）的地址空间，被映射到与 070H ~ 07FH（存储体组 0）相同的物理存储空间

3.2.2 寻址方式

数据存储器的寻址方式支持直接寻址和间接寻址。

3.2.2.1 直接寻址

存储体组选择寄存器（BKSR）的 RP<2:0>位为直接寻址的高位地址，用于在存储体组 0~7 中进行选择；使用直接寻址指令对数据存储器进行访问，指令中的操作数为 7 位地址信息，用于在所选的存储体组内直接寻址。

应用例程：采用直接寻址访问存储体组 3（0x1A0H）的通用数据寄存器。

```
SECTION 3
MOVI    0X55
MOVA    0X20                ; 0x55 写入[0x1A0H]
MOV     0X20, 0             ; [0x1A0H]读入 A 寄存器
```

3.2.2.2 间接寻址

存储体选择寄存器（BKSR）的 IRP<1:0>位和间接寻址地址寄存器（IAA）组成间接寻址的 10 位地址，对整个数据存储空间进行间接寻址。其中，IRP 为高 2 位地址，IAA 为低 8 位地址。

间接寻址是通过对 IAD 寄存器的读/写来完成的。IAD 寄存器不是一个物理寄存器，当对 IAD 寄存器进行读/写时，实际上是访问 IAA 内容所指向的单元，即 IAA 作为间接寻址的地址寄存器使用，IAD 作为间接寻址的数据寄存器使用。如果将 IAD 寄存器本身作为目标地址进行间接寻址，读取的结果为 00H，写入将视为空操作（可能会影响状态位）。

应用例程：采用间接寻址将存储体组 3（0x1A0H）的通用数据寄存器。

```
BSS     BKSR, IRP0
MOVI    0XA0
MOVA    IAA
MOI     0X55                ; 0x55 写入[0x1A0H]
MOVA    IAD
MOV     IAD, 0              ; [0x1A0H]读入 A 寄存器
```

3.2.3 特殊功能寄存器空间

3.2.3.1 特殊功能寄存器空间 0/4

地址	寄存器名称	功能说明	备注
000H/200H	IAD	间接寻址数据寄存器	-
001H/201H	T8N	T8N 寄存器	-
002H/202H	PCRL	程序计数器<7:0>	-
003H/203H	PSW	程序状态字寄存器	-
004H/204H	IAA	间接寻址地址寄存器	-
005H/205H	PA	PA 端口电平状态寄存器	-
006H/206H	PB	PB 端口电平状态寄存器	-
007H/207H	PC	PC 端口电平状态寄存器	-
008H/208H	PD	PD 端口电平状态寄存器	-
009H/209H	PE	PE 端口电平状态寄存器	-
00AH/20AH	PF	PF 端口电平状态寄存器	-
00BH/20BH	PCRH	程序计数器<15:8>	-
00CH/20CH	INTC0	中断控制寄存器 0	-
00DH/20DH	BKSR	存储体组选择寄存器	-
00EH/20EH	INTF0	中断标志寄存器 0	-
00FH/20FH	T16GL	T16G 计数器<7:0>	-
010H/210H	T16GH	T16G 计数器<15:8>	-
011H/211H	T16GC	T16G 控制器	-
012H/212H	T8P1	T8P1 寄存器	-
013H/213H	T8P1C	T8P1 控制寄存器	-
014H/214H	CALR	内部时钟校准寄存器	-
015H/215H	INTF1	中断标志寄存器 1	-
016H/216H	TE1L	TE1 寄存器<7:0>	-
017H/217H	TE1H	TE1 寄存器<15:8>	-
018H/218H	TE1C	TE1 控制寄存器	-
019H/219H	T8P1P	T8P1 周期寄存器	-
01AH/21AH	N_PAPU	PA 弱上拉控制寄存器	-
01BH/21BH	N_PBPU	PB 弱上拉控制寄存器	-
01CH/21CH	N_PCPU	PC 弱上拉控制寄存器	-
01DH/21DH	ADCRL	ADC 转换值寄存器<7:0>	-
01EH/21EH	ADCRH	ADC 转换值寄存器<15:8>	-
01FH/21FH	ADCC0	ADC 控制寄存器 0	-

表 3-1 特殊功能寄存器空间 0/4

3.2.3.2 特殊功能寄存器空间 1/5

地址	寄存器名称	功能说明	备注
080H/280H	IAD	间接寻址数据寄存器	-
081H/281H	BSET	选择寄存器	-
082H/282H	PCRL	程序计数器<7:0>	-
083H/283H	PSW	程序状态字寄存器	-
084H/284H	IAA	间接寻址地址寄存器	-
085H/285H	PAT	PA 端口输入输出控制寄存器	-
086H/286H	PBT	PB 端口输入输出控制寄存器	-
087H/287H	PCT	PC 端口输入输出控制寄存器	-
088H/288H	PDT	PD 端口输入输出控制寄存器	-
089H/289H	PET	PE 端口输入输出控制寄存器	-
08AH/28AH	PFT	PF 端口输入输出控制寄存器	-
08BH/28BH	PCRH	程序计数器<15:8>	-
08CH/28CH	INTC0	中断控制寄存器 0	-
08DH/28DH	BKSR	存储体组选择寄存器	-
08EH/28EH	INTE0	中断使能寄存器 0	-
08FH/28FH	PWRC	电源状态寄存器	-
090H/290H	INTC1	中断控制寄存器 1	-
091H/291H	INTP	中断优先级寄存器	-
092H/292H	T8P2	T8P2 寄存器	-
093H/293H	T8P2C	T8P2 控制寄存器	-
094H/294H	OSCC	内部时钟控制寄存器	-
095H/295H	INTE1	中断使能寄存器 1	-
096H/296H	TE2L	TE2 寄存器<7:0>	-
097H/297H	TE2H	TE2 寄存器<15:8>	-
098H/298H	TE2C	TE2 控制寄存器	-
099H/299H	T8P2P	T8P2 周期寄存器	-
09AH/29AH	N_PDPU	PD 弱上拉控制寄存器	-
09BH/29BH	WKDC	唤醒延时控制寄存器	-
09CH/29CH	N_PEPUP	PE 弱上拉控制寄存器	-
09DH/29DH	N_PFPUP	PF 弱上拉控制寄存器	-
09EH/29EH	ANSEL	ADC 端口控制寄存器	-
09FH/29FH	ADCC1	ADC 控制寄存器 1	-

表 3-2 特殊功能寄存器空间 1/5

3.2.3.3 特殊功能寄存器空间 2/6

地址	寄存器名称	功能说明	备注
100H/300H	IAD	间接寻址数据寄存器	-
101H/301H	T8N	T8N 寄存器	-
102H/302H	PCRL	程序计数器<7:0>	-
103H/303H	PSW	程序状态字寄存器	-
104H/304H	IAA	间接寻址地址寄存器	-
105H/305H	PA	PA 端口电平状态	-
106H/306H	PB	PB 端口电平状态	-
107H/307H	PC	PC 端口电平状态	-
108H/308H	PD	PD 端口电平状态寄存器	-
109H/309H	PE	PE 端口电平状态寄存器	-
10AH/30AH	PF	PF 端口电平状态寄存器	-
10BH/30BH	PCRH	程序计数器<15:8>	-
10CH/30CH	INTC0	中断控制寄存器 0	-
10DH/30DH	BKSR	存储体组选择寄存器	-
10EH/30EH	INTF0	中断标志寄存器 0	-
10FH/30FH	ROMCH	程序存储器控制寄存器<15:8>	-
110H/310H	FRAL	程序存储器指针寄存器<7:0>	-
111H/311H	FRAH	程序存储器指针寄存器<15:8>	-
112H/312H	T8P3	T8P3 寄存器	-
113H/313H	T8P3C	T8P3 控制寄存器	-
114H/314H	ROMDL	程序存储器缓冲寄存器<7:0>	-
115H/315H	ROMDH	程序存储器缓冲寄存器<15:8>	-
116H/316H	IICBUF	IIC 缓冲寄存器	-
117H/317H	IICC	IIC 控制寄存器	-
118H/318H	IICBRR	IIC 波特率寄存器	-
119H/319H	T8P3P	T8P3 周期寄存器	-
11AH/31AH	RXB	UART 接收数据寄存器	-
11BH/31BH	RXC	UART 接收控制寄存器	-
11CH/31CH	TXB	UART 发送数据寄存器	-
11DH/31DH	TXC	UART 发送状态寄存器	-
11EH/31EH	BRR	UART 波特率寄存器	-
11FH/31FH	ROMCL	程序存储器控制寄存器<7:0>	-

表 3-3 特殊功能寄存器空间 2/6

3.2.3.4 特殊功能寄存器空间 3/7

地址	寄存器名称	功能说明	备注
180H/380H	IAD	间接寻址数据寄存器	-
181H/381H	BSET	选择寄存器	-
182H/382H	PCRL	程序计数器<7:0>	-
183H/383H	PSW	CPU 状态	-
184H/384H	IAA	间接寻址地址寄存器	-
185H/385H	PAT	PA 端口输入输出控制寄存器	-
186H/386H	PBT	PB 端口输入输出控制寄存器	-
187H/387H	PCT	PC 端口输入输出控制寄存器	-
188H/388H	PDT	PD 端口输入输出控制寄存器	-
189H/389H	PET	PE 端口输入输出控制寄存器	-
18AH/38AH	PFT	PF 端口输入输出控制寄存器	-
18BH/38BH	PCRH	程序计数器<15:8>	-
18CH/38CH	INTC0	中断控制寄存器 0	-
18DH/38DH	BKSR	存储体组选择寄存器	-
18EH/38EH	INTE0	中断使能寄存器 0	-
18FH/38FH	TE3L	TE3 寄存器<7:0>	-
190H/390H	TE3H	TE3 寄存器<15:8>	-
191H/391H	TE3C	TE3 控制寄存器	-
192H/392H	LCDC0	LCD 控制寄存器 0	-
193H/393H	LCDC1	LCD 控制寄存器 1	-
194H/394H	LCDD0	LCD 显示数据寄存器 0	-
195H/395H	LCDD1	LCD 显示数据寄存器 1	-
196H/396H	LCDD2	LCD 显示数据寄存器 2	-
197H/397H	LCDD3	LCD 显示数据寄存器 3	-
198H/398H	LCDD4	LCD 显示数据寄存器 4	-
199H/399H	LCDD5	LCD 显示数据寄存器 5	-
19AH/39AH	LCDD6	LCD 显示数据寄存器 6	-
19BH/39BH	LCDD7	LCD 显示数据寄存器 7	-
19CH/39CH	LCDD8	LCD 显示数据寄存器 8	-
19DH/39DH	LCDD9	LCD 显示数据寄存器 9	-
19EH/39EH	LCDD10	LCD 显示数据寄存器 10	-
19FH/39FH	LCDD11	LCD 显示数据寄存器 11	-
1A0H~1ABH /3A0H~3ABH	保留	-	-

表 3-4 特殊功能寄存器空间 3/7

[续]

地址	寄存器名称	功能说明	备注
1ACH/3ACH	LCDSEN0	LCD 段使能寄存器 0	-
1ADH/3ADH	LCDSEN1	LCD 段使能寄存器 1	-
1AEH/3AEH	LCDSEN2	LCD 段使能寄存器 2	-
1AFH/3AFH	LCDVR	LCD 偏压控制寄存器	-
1B0H/3B0H	DIVEL/DIVQL	被除数/商寄存器<7:0>	-
1B1H/3B1H	DIVEH/DIVQH	被除数/商寄存器<15:8>	-
1B2H/3B2H	DIVS/DIVR	除数/余数寄存器	-
1B3H-1EFH /3B3H-3EFH	保留	-	-

表 3-5 特殊功能寄存器空间 3/7[续]

3.2.4 通用数据存储器

通用数据存储器所在物理地址范围为 020H ~ 07FH (存储体组 0)、0A0H ~ 0FFH (存储体组 1)、120H ~ 17FH (存储体组 2)、1F0H ~ 1FFH (存储体组 3)、220H ~ 27FH (存储体组 4)、2A0H ~ 2FFH (存储体组 5) 和 320H ~ 37FH (存储体组 6) 和 3F0H ~ 3FFH (存储体组 7)。其中, 0F0H ~ 0FFH、170H ~ 17FH、1F0H ~ 1FFH、270H ~ 27FH、2F0H ~ 2FFH、370H ~ 37FH 和 3F0H ~ 3FFH 映射到地址 070H ~ 07FH 作为公用数据存储器区。通用数据存储器物理空间共 496 Bytes。

通用数据存储器用于指令运行中, 存放数据或控制信息, 其内容在上电复位后是不确定的, 未掉电的其他复位后, 将保存复位前的内容。

通用数据存储器能够直接寻址, 也可通过索引寄存器 IAA 间接寻址。

3.2.5 特殊功能寄存器

寄存器名称	间接寻址数据寄存器 (IAD)		
地址	000H,080H, 100H,180H, 200H,280H, 300H,380H		
复位值	0000 0000		
IAD<7:0>	bit7-0	R/W	间接寻址数据

寄存器名称	间接寻址索引寄存器 (IAA)		
地址	004H,084H, 104H,184H, 204H,284H, 304H,384H		
复位值	0000 0000		
IAA<7:0>	bit7-0	R/W	间接寻址索引

寄存器名称	存储体组选择寄存器 (BKSR)		
地址	00DH,08DH, 10DH,18DH, 20DH,28DH, 30DH,38DH		
复位值	xx00 x000		
RP<2:0>	bit2-0	R/W	存储体选择位 (直接寻址) 000: SECTION0 001: SECTION1 010: SECTION2 011: SECTION3 100: SECTION4 101: SECTION5 110: SECTION6 111: SECTION7
-	bit3	-	-
IRP<1:0>	bit5-4	R/W	存储体选择位 (间接寻址) 00: SECTION0/1 01: SECTION2/3 10: SECTION4/5 11: SECTION6/7
-	bit7-6	-	-

注：执行 SECTION 指令会改变 RP 的值，但不影响 IRP。

第 4 章 输入/输出端口

4.1 概述

芯片管脚	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL	备注
PA0	支持	支持	支持	支持弱上拉 N_PAPU0
PA1	支持	支持	支持	支持弱上拉 N_PAPU1
PA2	支持	支持	支持	支持弱上拉 N_PAPU2
PA3	支持	支持	支持	支持弱上拉 N_PAPU3
PA4	-	-	支持	支持弱上拉 N_PAPU4
PA6	支持	支持	支持	支持弱上拉 N_PAPU6
PA7	支持	支持	支持	支持弱上拉 N_PAPU7
PB0	支持	支持	支持	支持弱上拉 N_PBPU0
PB1	支持	支持	支持	支持弱上拉 N_PBPU1
PB2	支持	支持	支持	支持弱上拉 N_PBPU2
PB3	支持	支持	支持	支持弱上拉 N_PBPU3
PB4	支持	支持	支持	支持弱上拉 N_PBPU4
PB5	支持	支持	支持	支持弱上拉 N_PBPU5
PB6	支持	支持	支持	支持弱上拉 N_PBPU6
PB7	-	-	支持	支持弱上拉 N_PBPU7
PC0	支持	支持	支持	支持弱上拉 N_PCPU0
PC1	支持	支持	支持	支持弱上拉 N_PCPU1
PC2	支持	支持	支持	支持弱上拉 N_PCPU2
PC3	支持	支持	支持	支持弱上拉 N_PCPU3
PC4	支持	支持	支持	支持弱上拉 N_PCPU4
PC5	支持	支持	支持	支持弱上拉 N_PCPU5
PC6	支持	支持	支持	支持弱上拉 N_PCPU6
PC7	支持	支持	支持	支持弱上拉 N_PCPU7

表 4-1 管脚封装输入输出端口配置表

[续]

芯片管脚	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL	备注
PD0	-	支持	支持	支持弱上拉 N_PDP0
PD1	-	支持	支持	支持弱上拉 N_PDP1
PD2	-	支持	支持	支持弱上拉 N_PDP2
PD3	-	支持	支持	支持弱上拉 N_PDP3
PD4	支持	支持	支持	支持弱上拉 N_PDP4
PD5	支持	支持	支持	支持弱上拉 N_PDP5
PD6	支持	支持	支持	支持弱上拉 N_PDP6
PD7	支持	支持	支持	支持弱上拉 N_PDP7
PE0	-	-	支持	支持弱上拉 N_PEP0
PE1	-	-	支持	支持弱上拉 N_PEP1
PE2	-	-	支持	支持弱上拉 N_PEP2
PE3	-	-	支持	支持弱上拉 N_PEP3
PE4	-	-	支持	支持弱上拉 N_PEP4
PE5	-	-	支持	支持弱上拉 N_PEP5
PF0	-	-	支持	支持弱上拉 N_PFP0
PF1	-	-	支持	支持弱上拉 N_PFP1
PF2	-	-	支持	支持弱上拉 N_PFP2
PF3	-	-	支持	支持弱上拉 N_PFP3

表 4-2 管脚封装输入输出端口配置表[续]

注：各 I/O 端口特性

1. 所有 I/O 端口都是 TTL SMT 输入电平和 CMOS 输出驱动，支持弱上拉控制。
2. 每个端口都有相应的控制寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。
3. 当 I/O 管脚处于输出状态时，管脚电平由 Px 寄存器决定。1 为高电平，0 为低电平。
4. 当 I/O 管脚处于输入状态时，管脚电平状态可由 Px 寄存器读取。
5. 支持管脚复用，具体说明及设置请参考《管脚说明》章节。

4.2 结构框图

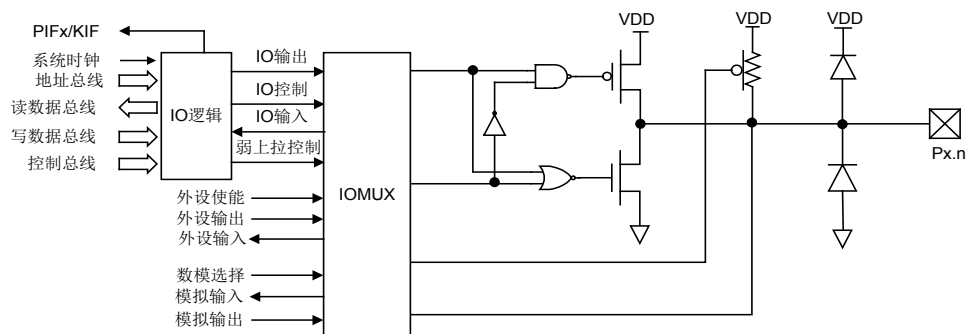


图 4-1 输入/输出端口结构图

4.3 外部中断

4.3.1 外部端口中断 (PINT)

I/O 端口支持外部端口中断。当外部输入端口信号发生变化，并且变化边沿满足触发条件是，将产生外部端口中断 PINT_x。触发条件可由 PEG (BSET<6>) 选择为上升沿触发或者下降沿触发。外部端口中断可由 PIE_x 使能。中断产生将影响相应的中断标志 PIF_x。

管脚名	I/O MUX	中断名	中断使能	边沿选择	中断标志
PB0	PINT0	PINT0	PIE0	PEG	PIF0
PB1	PINT1	PINT1	PIE1	PEG	PIF1
PB2	PINT2	PINT2	PIE2	PEG	PIF2
PB3	PINT3	PINT3	PIE3	PEG	PIF3

表 4-3 外部端口中断

4.3.2 外部按键中断 (KINT)

I/O 端口支持外部按键中断。当外部按键输入端口 KIN_x 中，任何一路按键输入信号发生电平变化时，将产生外部按键中断 KINT。外部按键中断可由 KIE 使能。中断产生将影响中断标志 KIF。清除中断标志位前，必须对 PB 端口进行一次读写访问，否则标志位无法被清除。

管脚名	I/O MUX	中断名	中断使能	中断标志
PB4	KIN0	KINT	KIE	KIF
PB5	KIN1			
PB6	KIN2			
PB7	KIN3			

表 4-4 外部按键中断

注：

HR7P193FGV/HR7P193FGS1/HR7P193FGLK 不支持 KIN3

HR7P193FGD1/HR7P193FGS 不支持 KIN3

4.4 特殊功能寄存器

寄存器名称	Px 端口电平状态寄存器 (PA/PB/PC/PD/PE/PF)		
地址	PA: 005H,105H,205H,305H PB: 006H,106H,206H,306H PC: 007H,107H,207H,307H PD: 008H,108H,208H,308H PE: 009H,109H,209H,309H PF: 00AH,10AH,20AH,30AH		
复位值	xxxx xxxx		
Px<7:0>	bit7-0	R/W	Px 口电平状态 0: 低电平 1: 高电平

寄存器名称	Px 端口输入输出控制寄存器 (PAT/PBT/PCT/PDT/PET/PFT)		
地址	PAT: 085H,185H,285H,385H PBT: 086H,186H,286H,386H PCT: 087H,187H,287H,387H PDT: 088H,188H,288H,388H PET: 089H,189H,289H,389H PFT: 08AH,18AH,28AH,38AH		
复位值	1111 1111		
PxT<7:0>	bit7-0	R/W	Px 口输入输出状态 0: 输出状态 1: 输入状态

寄存器名称	Px 端口弱上拉使能控制寄存器 (N_PAPU/N_PBPU/N_PCPU/N_PDPU/N_PEPU/N_PFPU)		
地址	N_PAPU: 01AH,21AH N_PBPU: 01BH,21BH N_PCPU: 01CH,21CH N_PDPU: 09AH,29AH N_PEPU: 09CH,29CH N_PFPU: 09DH,29DH		
复位值	1111 1111		
N_PxPU <7:0>	bit7-0	R/W	Px 口弱上拉使能位 0: 弱上拉使能 1: 弱上拉禁止

注：当使用外部晶振时，PA6,PA7 端口必须禁止弱上拉，即 N_PAPU 的 bit7 和 bit6 必须置为 1。

第 5 章 外设

5.1 定时器/计数器 (Timer/Counter)

5.1.1 8 位定时器/计数器 (T8N)

5.1.1.1 概述

支持定时器模式 (时钟源为系统时钟 4 分频 $F_{osc}/4$)

支持计数器模式 (时钟源为外部计数时钟 T8NCKI)

支持可配置预分频器

支持溢出中断

T8N 在休眠模式下不工作

5.1.1.2 内部结构图

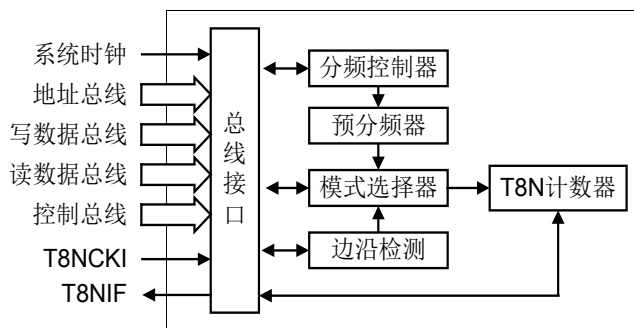


图 5-1 T8N 内部结构图

5.1.1.3 工作模式

工作模式	T8NCS
定时器模式	0
同步计数模式	1

表 5-1 T8N 工作模式配置表

注：T8N 工作模式配置

1. 当 T8N 配置为定时器模式时，若不使用预分频器时，T8N 计数器的时钟为系统时钟 4 分频($F_{osc}/4$)；若使用预分频器时，T8N 计数器的时钟为 $F_{osc}/4$ 分频后的输出信号频率。
2. 当 T8N 配置为计数器模式时，T8N 计数器的时钟为外部输入时钟 T8NCKI，系统相位时钟 p2 和 p4 将对 T8NCKI 进行时钟同步。所以 T8NCKI 必须保持高电平或者低电平时间至少一个机器周期。通过 T8NSE (BSET<4>)选择 T8N 计数器，对外部时钟的上升沿或下降沿进行计数。另外，T8NCKI 所在 IO 端口必须配置为输入状态。

5.1.1.4 预分频器

T8N 定时器频率	PSA	PS<2:0>
Fosc/4	1	-
(Fosc/4)/2	0	000
(Fosc/4)/4	0	001
(Fosc/4)/8	0	010
(Fosc/4)/16	0	011
(Fosc/4)/32	0	100
(Fosc/4)/64	0	101
(Fosc/4)/128	0	110
(Fosc/4)/256	0	111

表 5-2 T8N 预分频器配置表

注：当 PSA=0(BSET<3>)时，预分频器被分配给 T8N 使用。此时，任何对 T8N 计数器的写操作都会清零预分频器，但不影响预分频器的分频比。预分频器的计数值无法读写，分频比可由 PS<2:0>(BSET<2:0>)进行设置。

5.1.1.5 中断标志

T8N 提供了一个溢出中断标志。当 T8N 寄存器递增计数，计数值由 FFH 变为 00H 时，T8N 寄存器发生溢出，T8NIF 位 (INTC0<2>)置 1，如果 T8NIE 位 (INTC0<5>)使能，并且全局中断 GIE 位使能，则产生 T8N 溢出中断。否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8NIF 位必须软件清零。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

5.1.1.6 特殊功能寄存器

寄存器名称	T8N 计数器 (T8N)		
地址	001H,101H,201H,301H		
复位值	0000 0000		
T8N<7:0>	bit7-0	R/W	T8N 计数器 00 H ~ FF H

注：T8N 功能配置位请参考《BSET 选择寄存器》

5.1.2 8 位PWM时基定时器 (T8P1/T8P2/T8P3)

5.1.2.1 概述

时钟源为系统时钟 4 分频($F_{osc}/4$)

支持定时器模式

支持可配置预分频器和可配置后分频器

支持周期寄存器，当计数器与周期寄存器比较匹配时，产生匹配信号，并清零计数器

支持 PWM 脉宽调制扩展功能

休眠模式下不工作

5.1.2.2 内部结构图

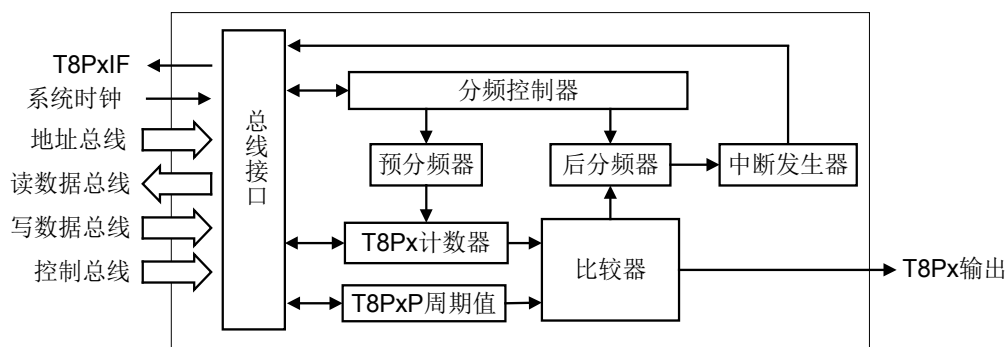


图 5-2 T8P1/T8P2/T8P3 内部结构图

5.1.2.3 工作模式

工作模式	TE1M<3:0>	TE1TBS	TE2E	TE2TBS	TE3E	TE3TBS
定时器模式	-	-	-	-	-	-
TE1PWM 扩展功能	11xx	0	-	-	-	-
TE2PWM 扩展功能	-	-	1	0	-	-
TE3PWM 扩展功能	-	-	-	-	1	0
TE1PWM 与 TE2PWM	11xx	0	1	0	-	-
TE1PWM 与 TE3PWM	11xx	0	-	-	1	0
TE1PWM,TE2PMW 与 TE3PMW	11xx	0	1	0	1	0

表 5-3 T8P1 工作模式配置表

注：T8P1 工作模式配置

1. T8P1 支持定时器模式，若不使用预分频器，T8P1 计数器的时钟为系统时钟 4 分频($F_{osc}/4$)；若使用预分频器时，T8P1 计数器的时钟为 $F_{osc}/4$ 分频后的输出信号频率。当计数器的计数值与周期寄存器内的值匹配时，T8P1 将产生匹配中断，并清零计数器。
2. T8P1 支持脉宽调制扩展功能，配置 TE1M(TE1C<3:0>)和 TE1TBS(TE1C<7>)，T8P1 将作为 TE1PWM 的时基计数器；配置 TE2E(TE2C<3>)和 TE2TBS(TE2C<7>)，T8P1 将作为 TE2PWM 的时基计数器；配置 TE3E(TE3C<3>)和 TE3TBS(TE3C<7>)，T8P1 将作为 TE3PWM 的时基计数器。
3. T8P1 可以同时支持多个脉宽调制扩展功能，此时 TE1PWM,TE2PWM 和 TE3PWM 将共享 T8P1 作为时基计数器。

工作模式	TE1M<3:0>	TE1TBS	TE2E	TE2TBS
定时器模式	-	-	-	-
TE1PWM 扩展功能	11xx	1	-	-
TE2PWM 扩展功能	-	-	1	1
TE1PWM 与 TE2PWM	11xx	1	1	1

表 5-4 T8P2 工作模式配置表

注：T8P2 工作模式配置

1. T8P2 支持定时器模式，若不使用预分频器，T8P2 计数器的时钟为系统时钟 4 分频($F_{osc}/4$)；若使用预分频器时，T8P2 计数器的时钟为 $F_{osc}/4$ 分频后的输出信号频率。当计数器的计数值与周期寄存器内的值匹配时，T8P2 将产生匹配中断，并清零计数器。
2. T8P2 支持脉宽调制扩展功能，配置 TE1M(TE1C<3:0>)和 TE1TBS(TE1C<7>)，T8P2 将作为 TE1PWM 的时基计数器；配置 TE2E(TE2C<3>)和 TE2TBS(TE2C<7>)，T8P2 将作为 TE2PWM 的时基计数器。
3. T8P2 可以同时支持多个脉宽调制扩展功能，此时 TE1PWM 和 TE2PWM 将共享 T8P2 作为时基计数器。

工作模式	TE1M<3:0>	TE1TBS	TE3E	TE3TBS
定时器模式	-	-	-	-
TE3PWM 扩展功能	-	-	1	1

表 5-5 T8P3 工作模式配置表

注：T8P3 工作模式配置

1. T8P3 支持定时器模式，若不使用预分频器，T8P3 计数器的时钟为系统时钟 4 分频($F_{osc}/4$)；若使用预分频器时，T8P3 计数器的时钟为 $F_{osc}/4$ 分频后的输出信号频率。当计数器的计数值与周期寄存器内的值匹配时，T8P3 将产生匹配中断，并清零计数器。
2. T8P3 支持脉宽调制扩展功能，配置 TE3E(TE3C<3>)和 TE3TBS(TE3C<7>)，T8P3 将作为 TE3PWM 的时基计数器。

5.1.2.4 预分频器和后分频器

T8Px 定时器频率	T8PxPRS<1:0>
Fosc/4	00
(Fosc/4)/4	01
(Fosc/4)/16	1x

表 5-6 T8P1/T8P2/T8P3 预分频器配置表

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 1 次	0000
计数器与周期寄存器匹配 2 次	0001
计数器与周期寄存器匹配 3 次	0010
计数器与周期寄存器匹配 4 次	0011
计数器与周期寄存器匹配 5 次	0100
计数器与周期寄存器匹配 6 次	0101
计数器与周期寄存器匹配 7 次	0110
计数器与周期寄存器匹配 8 次	0111
计数器与周期寄存器匹配 9 次	1000
计数器与周期寄存器匹配 10 次	1001
计数器与周期寄存器匹配 11 次	1010
计数器与周期寄存器匹配 12 次	1011
计数器与周期寄存器匹配 13 次	1100
计数器与周期寄存器匹配 14 次	1101
计数器与周期寄存器匹配 15 次	1110
计数器与周期寄存器匹配 16 次	1111

表 5-7 T8P1/T8P2/T8P3 后分频器配置表

注：T8Px 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Px 的控制寄存器或计数器，都会把预分频器和后分频器清零。

5.1.2.5 中断标志

T8Px 支持 1 组周期寄存器和 1 组计数器，都可以由用户配置。当 T8Px 计数器的计数值递增到与周期寄存器的值相等时，产生一次匹配信号。后分频器会对这一匹配信号进行计数，当满足后分频器的设定值时，T8PxIF 置 1，如果 T8PxIE 使能，且外设中断 PEIE 和全局中断 GIE 使能，则产生 T8Px 中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8PxIF 位必须软件清零。在 CPU 进入休眠模式后，T8Px 不工作，因此不产生中断。

5.1.2.6 特殊功能寄存器

寄存器名称	T8P 控制寄存器 (T8P1C/T8P2C/T8P3C)		
地址	T8P1C: 013H 213H T8P2C: 093H 293H T8P3C: 113H 313H		
复位值	0000 0000		
T8PxPRS <1:0>	bit1-0	R/W	T8Px 预分频器分频比选择位 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16
T8PxON	bit2	R/W	T8Px 使能位 0: 关闭 T8Px 1: 使能 T8Px
T8PxPOS <3:0>	bit6-3	R/W	T8Px 后分频器分频比选择位 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16
-	bit7	-	-

寄存器名称	T8P 计数器 (T8P1/T8P2/T8P3)		
地址	T8P1: 012H,211H T8P2: 092H,292H T8P3: 112H,312H		
复位值	xxxx xxxx		
T8Px<7:0>	bit7-0	R/W	T8Px 计数器 00 H ~ FF H

寄存器名称	T8P 周期寄存器 (T8P1P/T8P2P/T8P3P)		
地址	T8P1P: 019H 219H T8P2P: 099H 299H T8P3P: 119H 319H		
复位值	1111 1111		
T8PxP<7:0>	bit7-0	R/W	T8Px 周期寄存器 00 H ~ FF H

5.1.3 16 位门控型定时器 (T16G)

5.1.3.1 概述

支持定时器模式 (时钟源为系统时钟 4 分频 $F_{osc}/4$)

支持同步计数器模式和异步计数器模式 (时钟源为外部计数时钟 T16GCKI 或外部 LP 振荡器 T16GOSC)

支持门控设计, 通过门控信号控制 T16G 定时/计数

支持可配置预分频器

支持溢出中断。异步计数器模式, 休眠状态下, 中断可唤醒 CPU

通过定时器/计数器扩展模块, 支持捕捉功能

通过定时器/计数器扩展模块, 支持比较器功能

5.1.3.2 内部结构图

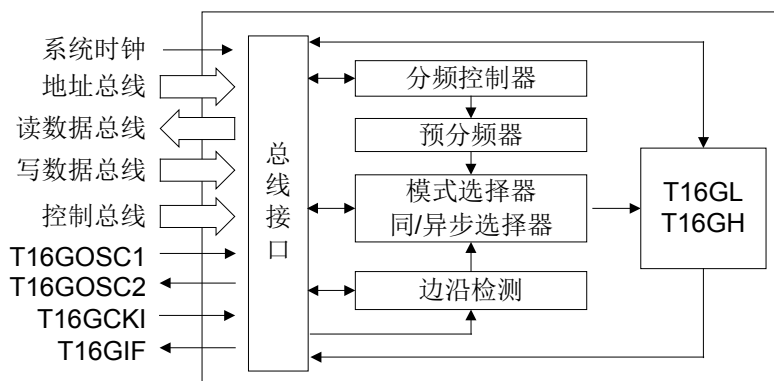


图 5-3 T16G 内部结构图

5.1.3.3 工作模式

工作模式	T16GCS	T16GSYN	T16GOSCEN	TE1M<3:0>
定时器模式	0	-	-	0000
T16GCKI 同步计数模式	1	0	0	0000
T16GCKI 异步计数模式	1	1	0	0000
T16GOSC 同步计数模式	1	0	1	0000
T16GOSC 异步计数模式	1	1	1	0000
捕捉扩展功能	-	-	-	0100-0111
比较扩展功能	-	-	-	1000-1011

表 5-8 T16G 工作模式配置表

T16G 预分频器	T16GPRS<1:0>
(Fosc/4 或 T16GCKI 或 T16GOSC) /1	00
(Fosc/4 或 T16GCKI 或 T16GOSC) /2	01
(Fosc/4 或 T16GCKI 或 T16GOSC) /4	10
(Fosc/4 或 T16GCKI 或 T16GOSC) /8	11

表 5-9 T16G 预分频器配置表

注：T16G 工作模式配置

1. 当 T16G 配置为定时器模式时，T16G 计数器的时钟为系统时钟 4 分频(Fosc/4)。
2. 当 T16G 配置为同步计数器模式(T16GCKI 或 T16GOSC)时，系统时钟 4 分频 p4 将对外部时钟进行时钟同步。外部时钟必须满足一定的要求，当预分频比是 1:1 时，外部时钟的输入与预分频器的输出相同，所以要求外部时钟信号的高或低脉冲时间，至少保持一个机器周期，小于 1 个机器周期的脉冲可能会丢失。另外，进入休眠模式后，由于无法对外部时钟进行时钟同步，所以 T16G 无法工作。
3. 当 T16G 配置为异步计数器模式(T16GCKI 或 T16GOSC)时，T16G 异步计数器在进入休眠模式后，能继续工作并在溢出时产生中断，该中断能够唤醒 CPU。
4. 当使能 T16GOSC 时，可外接频率为 32KHz 的 LP 振荡器。
5. 当 T16G 配置为定时器模式，同步计数模式或异步计数模式时，都可以支持捕捉扩展功能和比较扩展功能，T16G 计数器的时钟由该模式决定。

5.1.3.4 门控计数示意图

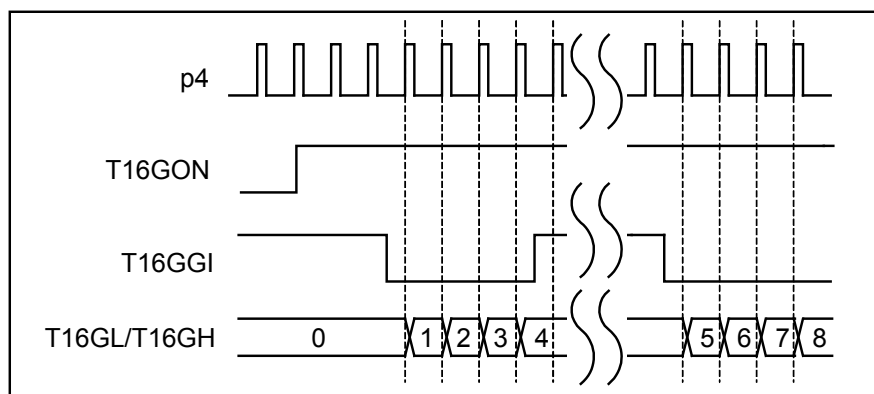


图 5-4 T16G 门控计数示意图

5.1.3.5 特殊功能寄存器

寄存器名称	T16G 计数器 (T16GL)		
地址	00FH,20FH		
复位值	XXXX XXXX		
T16GL<7:0>	bit7-0	R/W	T16G 计数器<7:0> 00 H ~ FF H

寄存器名称	T16G 计数器 (T16GH)		
地址	010H,210H		
复位值	XXXX XXXX		
T16GH<7:0>	bit7-0	R/W	T16G 计数器<15:8> 00 H ~ FF H

寄存器名称	T16G 控制寄存器 (T16GC)		
地址	011H,211H		
复位值	0000 0000		
T16GEN	bit0	R/W	T16G 使能位 0: 禁止 T16G 1: 使能 T16G
T16GCS	bit1	R/W	T16G 模式选择位 0: 定时器模式 (Fosc/4) 1: 计数器模式 (T16GCKI 或 T16GOSC)
T16GSYN	bit2	R/W	T16G 外部时钟同步选择位(计数器模式有效) 0: 同步外部时钟输入 1: 不同步外部时钟输入
T16GOSCEN	bit3	R/W	T16G 振荡器使能位 (计数器模式有效) 0: 禁止 T16G 振荡器 (使用 T16GCKI) 1: 使能 T16G 振荡器 (使用 T16GOSC)
T16GPRS <1:0>	bit5-4	R/W	T16G 预分频选择位 00 = 1:1 01 = 1:2 10 = 1:4 11 = 1:8
T16GGEN	bit6	R/W	T16G 门控使能位 0: 禁止 T16G 门控 1: 使能 T16G 门控
T16GGINV	bit7	R/W	T16G 门控信号电平选择位 0: T16GGI 为低电平时计数 1: T16GGI 为高电平时计数

5.1.4 定时器/计数器扩展模块 (TE1/TE2/TE3)

5.1.4.1 概述

支持 1 组定时器/计数器扩展模块 TE1

- 支持 T16G 捕捉扩展功能
- 支持 T16G 比较扩展功能
- 支持 T8Px 脉宽调制扩展功能

支持 2 组独立的 T8Px 脉宽调制扩展模块 TE2/TE3

5.1.4.2 T16G捕捉扩展功能

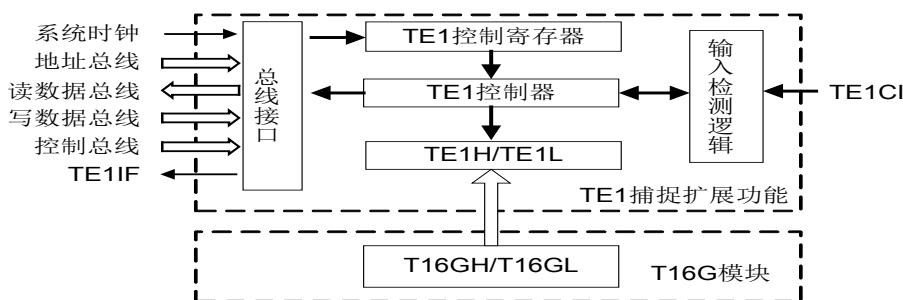


图 5-5 捕捉扩展功能的内部结构图

捕捉扩展功能	TE1M<3:0>
捕捉 TE1CI 每 1 个脉冲下降沿	0100
捕捉 TE1CI 每 1 个脉冲上升沿	0101
捕捉 TE1CI 每 4 个脉冲上升沿	0110
捕捉 TE1CI 每 16 个脉冲上升沿	0111

表 5-10 捕捉扩展功能配置表

注：捕捉扩展功能配置

1. 当 TE1M<3:0>=0100~0111 时，TE1 配置为捕捉扩展功能。TE1 对 TE1CI 输入信号进行实时监测。当 TE1CI 的状态变化符合捕捉条件时，TE1 将 T16G 计数器(T16GL 和 T16GH)的计数值捕捉到 16 位 TE1 寄存器(TE1H 和 TE1L)中，此时 TE1 寄存器将作为捕捉缓冲寄存器。若 TE1 寄存器内的捕捉值没有被及时读取，那么在下次捕捉条件满足时，新的捕捉值会覆盖原来的值。
2. TE1 支持 4 种捕捉条件：捕捉每 1 个下降沿脉冲、捕捉每 1 个上升沿脉冲、捕捉每 4 个上升沿脉冲以及捕捉每 16 个上升沿脉冲。
3. TE1 支持一个边沿计数器，在非捕捉模式时，边沿计数器不工作；在禁止捕捉扩展功能时，边沿计数器会被清零，但在 4 种捕捉扩展功能间相互切换时，边沿计数器不会被清零。因此，若在捕捉扩展功能间相互切换后，首次捕捉可能与捕捉条件不符。
4. 当捕捉条件满足时，TE1IF 将置“1”，若 TE1IE 使能将产生中断，中断标志位必须由软件清除。在切换 TE1 扩展功能时，可能误将 TE1IF 置“1”，因此需要先禁止 TE1IE，并将 TE1IF 清零。
5. 配置捕捉扩展功能时，必须将 TE1CI 所在管脚设置成输入状态。在初始化 T16G 时，必须将其设置成定时器模式或者同步计数模式。

5. 1. 4. 3 T16G比较扩展功能

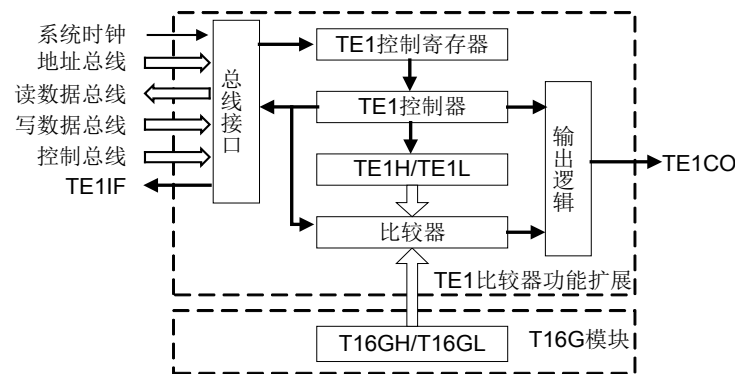


图 5-6 比较扩展功能的内部结构图

比较扩展功能	TE1M<3:0>
比较匹配 TE1CO 置 “1”	1000
比较匹配 TE1CO 清 “0”	1001
比较匹配对 TE1CO 不影响	1010
比较匹配，触发特殊事件	1011

表 5-11 捕捉扩展功能配置表

- 注：比较扩展功能配置
- 当 TE1M<3:0>=1000~1011 时,TE1 配置为比较扩展功能。TE1 将对 T16G 计数器(T16GL 和 T16GH) 的计数值与 TE1 寄存器(TE1L 和 TE1H)内的值进行 16 位实时比较。若两值相等则对 TE1CO 进行比较匹配操作或触发特殊事件。
 - TE1 支持 4 种比较匹配操作：比较匹配将 TE1CO 置 “1”、比较匹配将 TE1CO 清 “0”、比较匹配不影响 TE1CO（只产生中断标志）和触发特殊事件。
 - 当比较匹配时，将影响中断标志 TE1IF，中断标志必须由软件清除。若使能 TE1IE，则产生中断。
 - 当 TE1 配置为触发特殊事件模式时，若比较匹配，则硬件清零 T16G；若使能 ADC，则同时触发 ADC 转换。此模式对 TE1CO 无操作。
 - 若需要对 TE1CO 进行比较匹配操作时，必须将 TE1CO 所在管脚设置成输出状态。

5.1.4.4 T8P脉宽调制扩展功能(TE1/TE2/TE3)

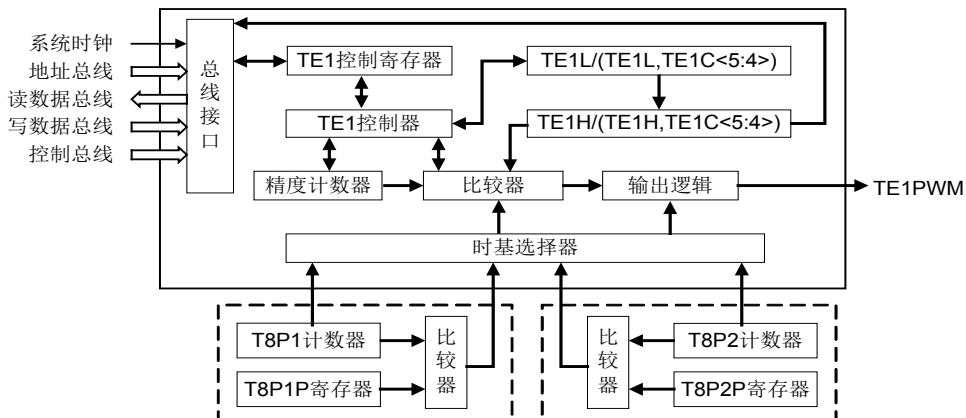


图 5-7 脉宽调制扩展功能的内部结构图 (TE1PWM)

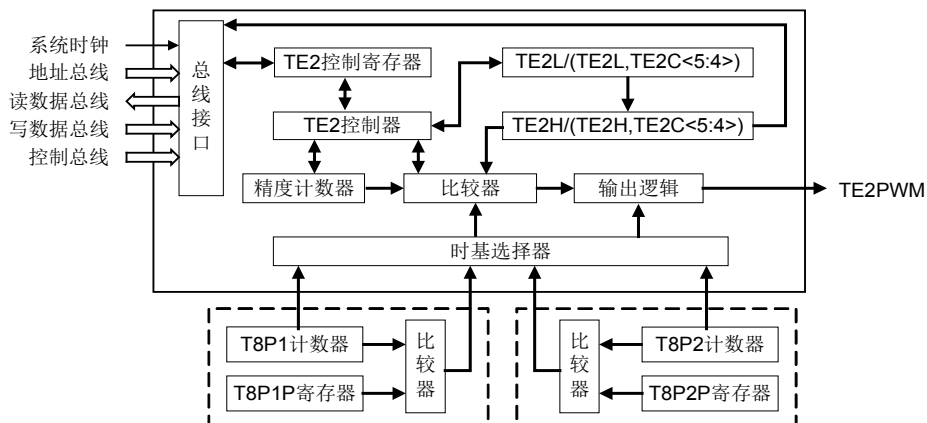


图 5-8 脉宽调制扩展功能的内部结构图 (TE2PWM)

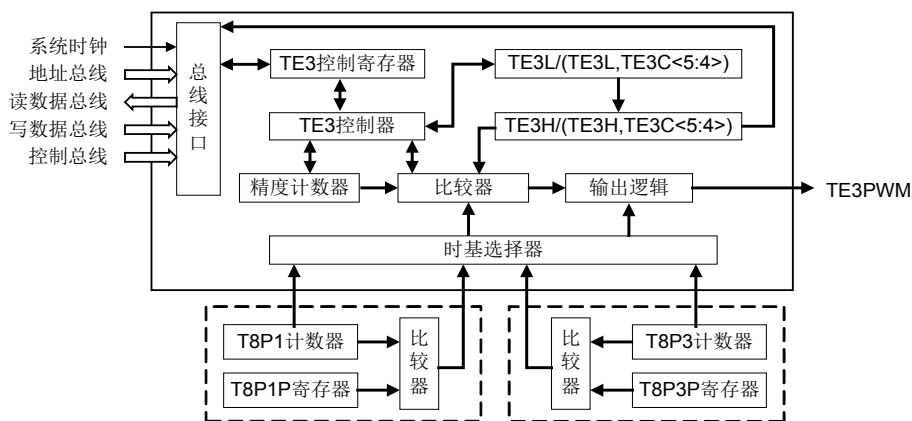


图 5-9 脉宽调制扩展功能的内部结构图 (TE3PWM)

注：脉宽调制扩展功能寄存器介绍

1. TE_xL 为高 8 位占空比缓冲器，临时存放占空比值，可以随时修改。
2. TE_xH 为高 8 位占空比寄存器，参与占空比的比较。每当完成 1 个周期的 PWM 输出后，将 TE_xL 内的占空比值移入 TE_xH 内，该值将决定下个 PWM 的高 8 位占空比精度。
3. TE_xC<5:4>为低 2 位占空比寄存器（不支持缓冲器），修改后将立即变更更低 2 位 PWM 精度。
4. T8P1P/T8P2P/T8P3P 为 PWM 周期寄存器，只支持 8 位精度。
5. T8P1/T8P2/T8P3 为 PWM 波形输出计数器，计数频率必须为 $F_{osc}/4$
6. TE1/ TE2/ TE3 都内置 2 位精度计数器，计数频率为 F_{osc} 。该精度计数器不可见。

TE3PWM	TE2PWM	TE1PWM	TE3TBS	TE2TBS	TE1TBS
T8P1	T8P1	T8P1	0	0	0
T8P1	T8P1	T8P2	0	0	1
T8P1	T8P2	T8P1	0	1	0
T8P1	T8P2	T8P2	0	1	1
T8P3	T8P1	T8P1	1	0	0
T8P3	T8P1	T8P2	1	0	1
T8P3	T8P2	T8P1	1	1	0
T8P3	T8P2	T8P2	1	1	1

表 5-12 T8Px 时基配置表

注：脉宽调制扩展功能时基选择

1. TE1TBS/TE2TBS/TE3TBS 分别选择各自的时基计数器。
2. 当 TE1/TE2/TE3 选择相同的时基计数器时，将共享时基。此时 PWM 输出周期相同，但占空比将由各自的 TE1L/TE2L/TE3L 和 TE1C<5:4>/TE2C<5:4>/TE3C<5:4>决定。

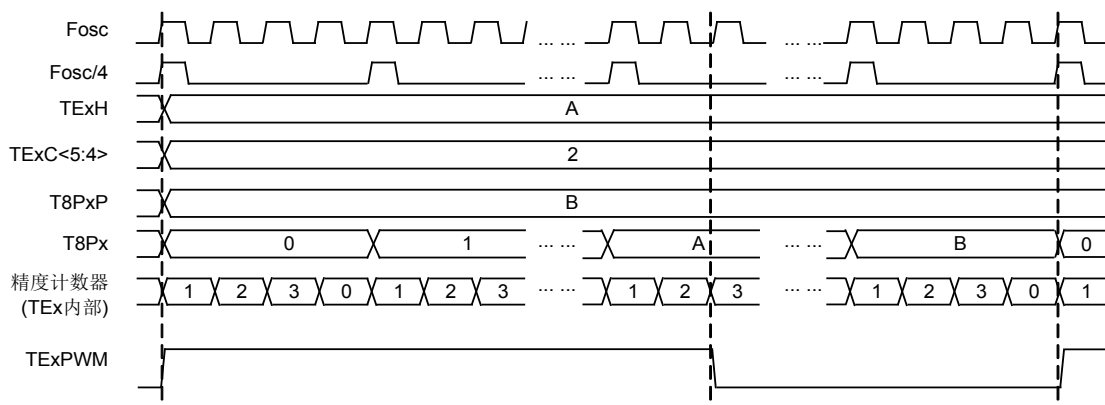


图 5-10 TE1PWM/TE2PWM/TE3PMW 输出示意图

注：脉宽调制扩展功能波形输出

1. PWM 输出波形支持 8 位精度的周期和 10 位精度的占空比。
2. TE1PO(TE1C<6>)选择 PB1 或 PB3 作为 TE1PWM 输出端。
3. TE1PWM/TE2PWM/TE3PWM 输出 PWM 波形，必须将 TE1PWM/TE2PWM/TE3PWM 所在端口设置为输出状态。
4. PWM 脉宽 = (TE_{XL}:TE_C<5:4>) × T_{osc} × (T8Px 分频比)
5. PWM 周期 = [(T8PxP)+1] × (4 × T_{osc}) × (T8Px 分频比)
6. PWM 占空比 = [TE_{XL}:TE_C<5:4>] / [(T8PxP+1) × 4]

5.1.4.5 特殊功能寄存器

寄存器名称	TE1 控制寄存器 (TE1C)		
地址	018H,218H		
复位值	0000 0000		
TE1M<3:0>	bit3-0	R/W	TE1 扩展模式选择位 0000: 禁止 TE1 模块 0100: 捕捉每 1 个 TE1CI 脉冲下降沿 0101: 捕捉每 1 个 TE1CI 脉冲上升沿 0110: 捕捉每 4 个 TE1CI 脉冲上升沿 0111: 捕捉每 16 个 TE1CI 脉冲上升沿 1000: 比较匹配, TE1CO 置 “1” 1001: 比较匹配, TE1CO 清 “0” 1010: 比较匹配, 不影响 TE1CO 1011: 比较匹配, 触发特别事件 11xx: 脉宽调制 TE1PWM 输出
TE1PWML <1:0>	bit5-4	R/W	低 2 位 TE1PWM 占空比精度
TE1PO	bit6	-	TE1PWM 输出端口选择位 0: PB3 作为 TE1PWM 输出 1: PB1 作为 TE1PWM 输出
TE1TBS	bit7	R/W	TE1PWM 时基选择位 0: TE1PWM 时基为 T8P1 1: TE1PWM 时基为 T8P2

寄存器名称	TE2/TE3 控制寄存器 (TE2C/TE3C)		
地址	TE2C: 098H,298H TE3C: 191H,391H		
复位值	0x00 0000		
-	bit2-0	-	-
TExE	bit3	R/W	TE2PWM/TE3PWM 扩展功能使能位 0: 禁止 TE2PWM/TE3PWM 扩展功能 1: 使能 TE2PWM/TE3PWM 扩展功能
TExPWML <1:0>	bit5-4	R/W	低 2 位 TE2PWM/TE3PWM 占空比精度
-	bit6	-	-
TExTBS	bit7	R/W	TE2PWM/TE3PWM 时基选择位 0: TE2PWM/TE3PWM 时基为 T8P1 1: TE2PWM/TE3PWM 时基为 T8P2(TE2PWM)/T8P3(TE3PWM)

寄存器名称	TE _x 寄存器 (TE1L/TE2L/TE3L)		
地址	TE1L: 016H,216H TE2L: 096H,296H TE3L: 18FH,38FH		
复位值	0000 0000		
TE _x L<7:0>	bit7-0	R/W	TE _x 寄存器<7:0> 00 H ~ FF H

寄存器名称	TE _x 寄存器 (TE1H/TE2H/TE3H)		
地址	TE1H: 017H,217H TE2H: 097H,297H TE3H: 190H,390H		
复位值	0000 0000		
TE _x H<7:0>	bit7-0	R/W	TE _x 寄存器<15:8> 00 H ~ FF H

5.2 模/数转换器（ADC）

5.2.1 概述

支持 10 位 AD 采样精度。

支持 10 个模拟输入端。(HR7P194FGL)

支持 5 个模拟输入端。(HR7P193FGV/HR7P193FGS1/HR7P193FGLK)

支持 5 个模拟输入端。(HR7P193FGD1/HR7P193FGS)

支持 10 位转换结果，高位对齐放置或低位对齐放置。

支持 ADC 中断标志 ADIF，可唤醒 IDLE 模式。

支持可配置参考电压，可选择 VDD 或外部参考电压 ADVREF。

支持可配置 AD 转换时钟。

5.2.2 内部结构图

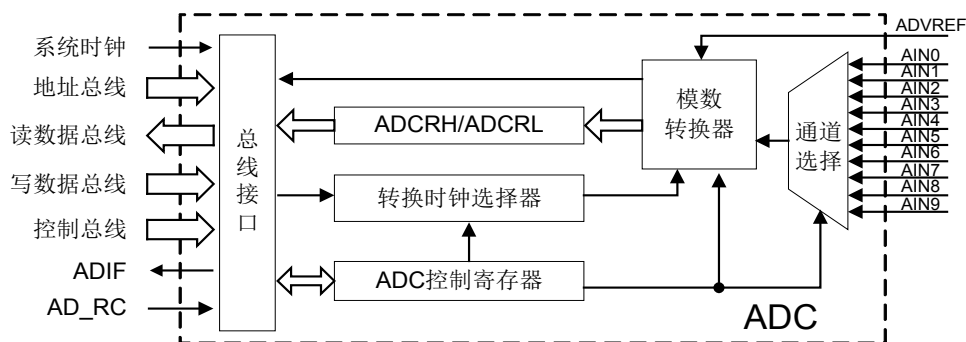


图 5-11 ADC 内部结构图

5.2.3 AD通道选择

模拟输入端	ADCHS	SEL58	SEL69	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL
AIN0	000	-	-	支持	支持	支持
AIN1	001	-	-	支持	支持	支持
AIN2	010	-	-	支持	支持	支持
AIN3	011	-	-	支持	支持	支持
AIN4	100	-	-	-	-	支持
AIN5	101	0	-	-	-	支持
AIN6	110	-	0	-	-	支持
AIN7	111	-	-	支持	支持	支持
AIN8	101	1	-	-	-	支持
AIN9	110	-	1	-	-	支持

表 5-13 AD 通道配置表

注：配置 AD 输入通道前，必须将 AINx 所在管脚设置为模拟端口。

5.2.4 AD转换时钟配置

AD 转换时钟	ADCS
Fosc/2	00
Fosc/8	01
Fosc/32	10
AD_RC 时钟(250KHz)	11

表 5-14 AD 转换时钟配置表

5.2.5 AD时序特征示意图

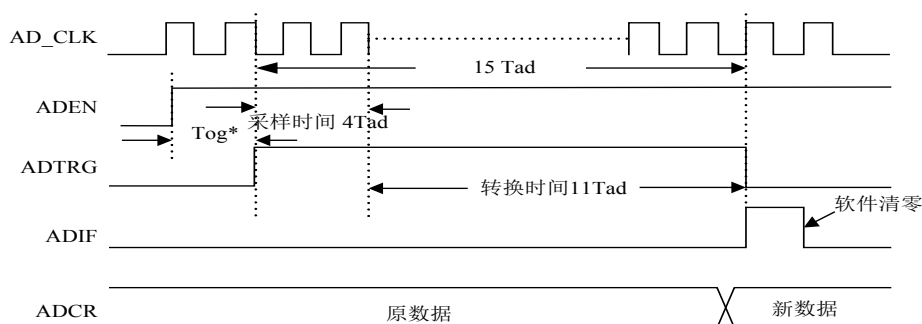


图 5-12 ADC 时序特征示意图

5.2.6 参考例程

应用例程：对模拟输入通道 0(AIN0)进行模数转换

```
SECTION 1
BCC     ANSEL, 0           ; AIN0 所在端口配置为模拟端口
BCC     ADCC1, ADFM        ; 转换结果低位对齐放置
SECTION 0
MOVI    0X01
MOVA    ADCC0              ; 使能 ADC 转换器，选中通道 0
BSS     ADCC0, ADTRG       ; 触发 ADC 转换
AD_WAIT
JBC     ADCC0, ADTRG       ; 等待 ADC 转换完成
GOTO    AD_WAIT
MOV     ADCRH, 0           ; 读取高 2 位转换结果
.....
MOV     ADCRL, 0          ; 读取低 8 位转换结果
```

注：ADC 中断可以唤醒 IDLE 模式。但在启动 ADC (ADTRG) 和执行 IDLE 指令之间必须保证 2 条指令的时间，可以使用 2 条 NOP 指令。

5.2.7 特殊功能寄存器

寄存器名称	ADC 转换值寄存器 (ADCRL)		
地址	01DH,21DH		
复位值	xxxx xxxx		
ADCRL <7:0>	bit7-0	R/W	ADCR<7:0> 00H ~ FFH

寄存器名称	ADC 转换值寄存器 (ADCRH)		
地址	01EH,21EH		
复位值	xxxx xxxx		
ADCRH <7:0>	bit7-0	R/W	ADCR<15:8> 00H ~ FFH

寄存器名称	ADC 控制寄存器 0 (ADCC0)		
地址	01FH,21FH		
复位值	0000 0000		
ADEN	bit0	R/W	A/D 转换使能位 0: 关闭 A/D 转换器 1: 使能 A/D 转换器
-	bit1	-	-
ADTRG	bit2	R/W	A/D 转换状态位 0: A/D 未进行转换, 或 A/D 转换已完成 1: A/D 转换正在进行, 该位置 1 启动 A/D 转换
ADCHS <2:0>	bit5-3	R/W	A/D 模拟通道选择位 000 = 通道 0 (AIN0) 001 = 通道 1 (AIN1) 010 = 通道 2 (AIN2) 011 = 通道 3 (AIN3) 100 = 通道 4 (AIN4) 101 = 通道 5 (AIN5/AIN8) 110 = 通道 6 (AIN6/AIN9) 111 = 通道 7 (AIN7)
ADCS <1:0>	bit7-6	R/W	A/D 时钟选择位 00 = Fosc/2 01 = Fosc/8 10 = Fosc/32 11 = AD_RC 时钟 (250KHz)

注: 只有当 ADEN 使能后, 才能触发 ADTRG, 可参考上述例程的设置方法。

寄存器名称	ADC 端口控制寄存器 (ANSEL)		
地址	09EH,29EH		
复位值	0000 0000		
ANSEL0	bit0	R/W	AIN0 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL1	bit1	R/W	AIN1 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL2	bit2	R/W	AIN2 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL3	bit3	R/W	AIN3 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL4	bit4	R/W	AIN4 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL5	bit5	R/W	AIN5 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL6	bit6	R/W	AIN6 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL7	bit7	R/W	AIN7 端口数模选择位 0: 模拟端口 1: 数字端口

寄存器名称	ADC 控制寄存器 1 (ADCC1)		
地址	09FH,29FH		
复位值	0000 0000		
ANSEL8	bit0	R/W	AIN8 端口数模选择位 0: 模拟端口 1: 数字端口
ANSEL9	bit1	R/W	AIN9 端口数模选择位 0: 模拟端口 1: 数字端口
-	bit3-2	-	-
SEL58	bit4	R/W	AIN5/AIN8 选择位 0: AIN5 1: AIN8
SEL69	bit5	R/W	AIN6/AIN9 选择位 0: AIN6 1: AIN9
ADVREF	bit6	R/W	A/D 参考电压选择位 0: 内部电源电压 VDD 1: 外部参考电压 ADVREF
ADFM	bit7	R/W	A/D 转换值格式选择位 0: 转换结果存放在 ADCR<15:6> 1: 转换结果存放在 ADCR<9:0>

5.3 通用异步接收/发送器 (UART)

5.3.1 概述

支持异步接收器和异步发送器。

支持 8/9 位数据格式。

支持全双工模式。

支持高速模式和低速模式，传输波特率可配置。

支持接收中断标志，必须软件清零。

支持发送中断标志，必须软件清零。

兼容 RS-232/RS-442/RS-485 的通讯接口。

5.3.2 内部结构图

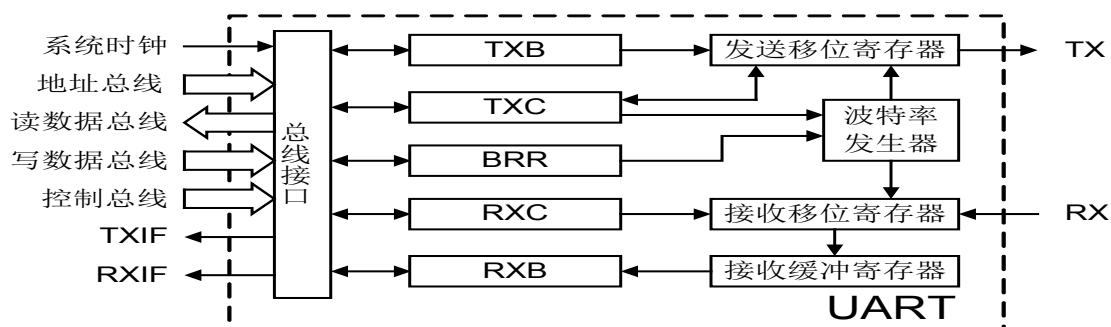


图 5-13 UART 内部结构图

5.3.3 波特率配置

波特率	计算公式	BRGH
低速模式	$F_{osc}/(64 \times (BRR<7:0>+1))$	0
高速模式	$F_{osc}/(16 \times (BRR<7:0>+1))$	1

表 5-15 UART 波特率配置表

5.3.4 传输数据格式

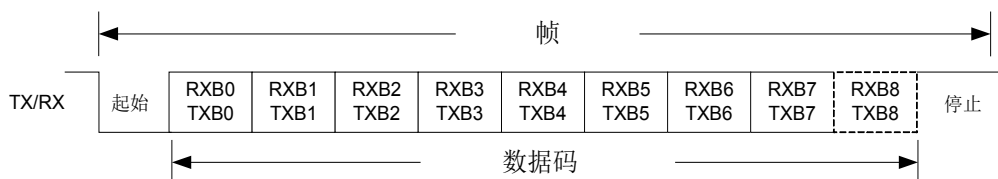


图 5-14 UART 数据格式示意图

5.3.5 异步发送器

异步发送器发送数据时，起始位(Start)和结束位(Stop)由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 TXB 和 TXR8 内，就能实现异步发送，异步发送器还可以实现数据连续发送。操作流程如图如下：

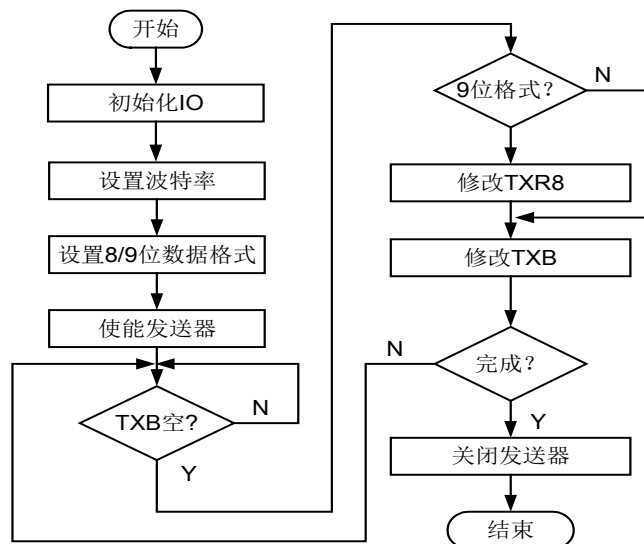


图 5-15 UART 发送器操作流程

5.3.6 异步接收器

异步接收器接收数据时，用户可以查询 RXIF 中断标志位，来判断是否收到完整的一帧数据，并通过读取 RXB 和 RXR8 获得数据。芯片内部提供 2 级 9 位 FIFO 作为 RXB，若用户在第三个数据接收完毕前，未读取 RXB，则溢出标志位 OERR 将置 1。FERR 在用户未接收到结束位 Stop 时置 1。操作流程如图如下：

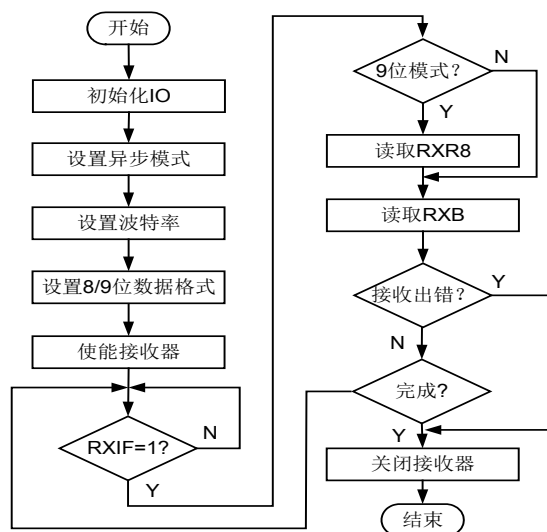


图 5-16 UART 接收器操作流程

5.3.7 特殊功能寄存器

寄存器名称	UART 接收数据寄存器 (RXB)		
地址	11AH,31AH		
复位值	0000 0000		
RXB<7:0>	bit7-0	R/W	接收数据寄存器 00H ~ FFH

寄存器名称	UART 接收控制寄存器 (RXC)		
地址	11BH,31BH		
复位值	0000 000x		
RXR8	bit0	R	第 9 位接收数据位 0: 第 9 位数据为 0 1: 第 9 位数据为 1
FERR	bit1	R	帧格式错标志位 0: 无帧格式错误 1: 帧格式错 (读 RXB, 该位被刷新)
OERR	bit2	R	接收溢出标志位 0: 无溢出错误 1: 有溢出错误 (清 RXEN 位可将此位清除)
-	bit5-3	-	-
RXM	bit6	R/W	接收器数据格式选择位 0: 8 位数据接收格式 1: 9 位数据接收格式
RXEN	bit7	R/W	接收器使能位 0: 禁止 1: 使能

寄存器名称	UART 发送数据寄存器 (TXB)		
地址	11CH,31CH		
复位值	0000 0000		
TXB<7:0>	bit7-0	R/W	发送数据寄存器 00H ~ FFH

寄存器名称	UART 发送状态寄存器 (TXC)		
地址	11DH,31DH		
复位值	0000 0010		
TXR8	bit0	R/W	第 9 位发送数据 0: 第 9 位数据为 0 1: 第 9 位数据为 1
TRMT	bit1	R	发送移位寄存器 (TXR) 空标志位 0: TXR 不空 1: TXR 空
-	bit4-2	-	-
BRGH	bit5	R/W	波特率模式选择位 0: 低速模式 1: 高速模式
TXM	bit6	R/W	发送器数据格式选择位 0: 8 位数据格式 1: 9 位数据格式
TXEN	bit7	R/W	发送器使能位 0: 禁止 1: 使能

寄存器名称	UART 波特率寄存器 (BRR)		
地址	11EH,31EH		
复位值	0000 0000		
BRR	bit7-0	R/W	UART 波特率设置 00H ~ FFH

5.4 IIC总线主控器（IICM）

5.4.1 概述

支持单主控制模式，不支持多主仲裁模式和从动模式。

支持标准 IIC 协议，工作速率最高 400Kbit/s。

支持 IIC 通讯信号发生完成中断标志，必须软件清零。

由软件支持 7 位寻址方式。

时钟线（SCL）不支持时钟线等待请求操作（从动器下拉时钟线）。

数据线（SDA）使用开漏设计，必须使用内部弱上拉或外部上拉电阻。

5.4.2 内部结构图

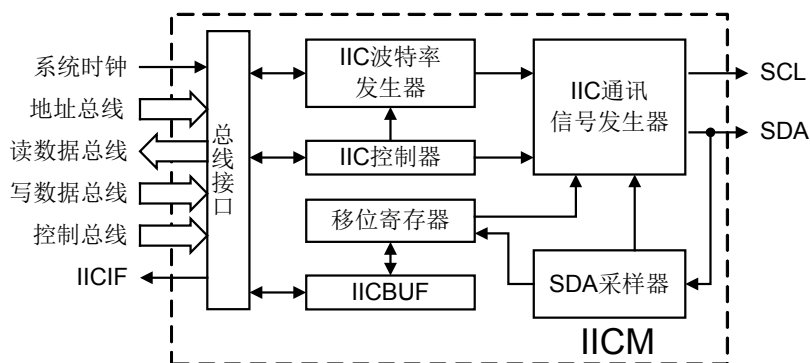


图 5-17 IICM 内部结构图

5.4.3 总线基本原理

5.4.3.1 通讯协议

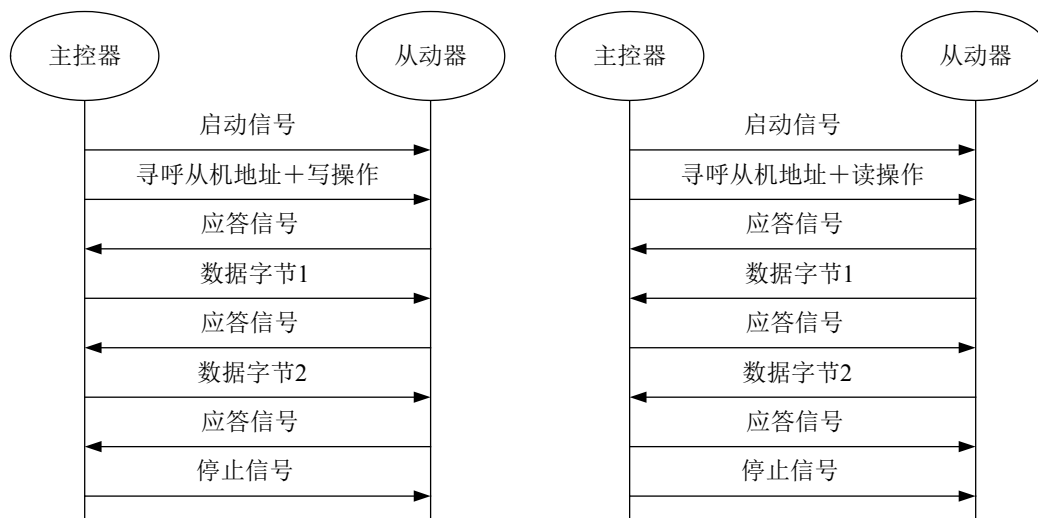


图 5-18 IIC 总线通讯协议示意图

注：IIC 通讯中，必须遵循以下协议

1. 通讯由主控器发起，发送启动信号 **S**（开始）控制总线，发送停止信号 **P**（结束）释放总线；
2. 总线上只支持单主控器，且每一个从动器都必须有一个独立且唯一的寻呼地址。
3. 主控器在发送启动信号后，紧接着寻呼从动器地址以及发送读写方式位；通讯协议支持 7 位地址。
4. 读写控制位 **R/W**（称为方向位）用于通知从动器数据传送的方向，“0”表示这次通讯是由主控器向从动器“写”数据，“1”表示这次通讯是由主控器向从动器“读”数据；
5. IIC 通讯协议支持应答机制，即发送方每传送一个字节的数（包括寻呼地址），接收方必须回答一个应答信号(**ACK** 或者 **NACK**)，发送方再根据应答信号进行下一步的操作。
6. 如果主控器和从动器的时钟线（**SCL**）都使用开漏设计，且主控器支持时钟线等待请求操作，那么从动器可以在时钟线为低电平时下拉时钟线，使主动器等待从动器，直到从动器释放时钟线；
7. 每个数据字节在传送时都是高位在前。

5.4.3.2 数据传输格式参考

IIC 主控器的数据传输格式如下所示：

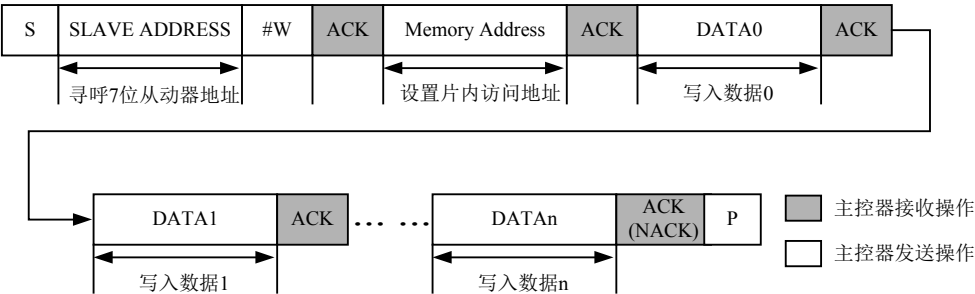


图 5-19 主控器写入从动器数据示意图

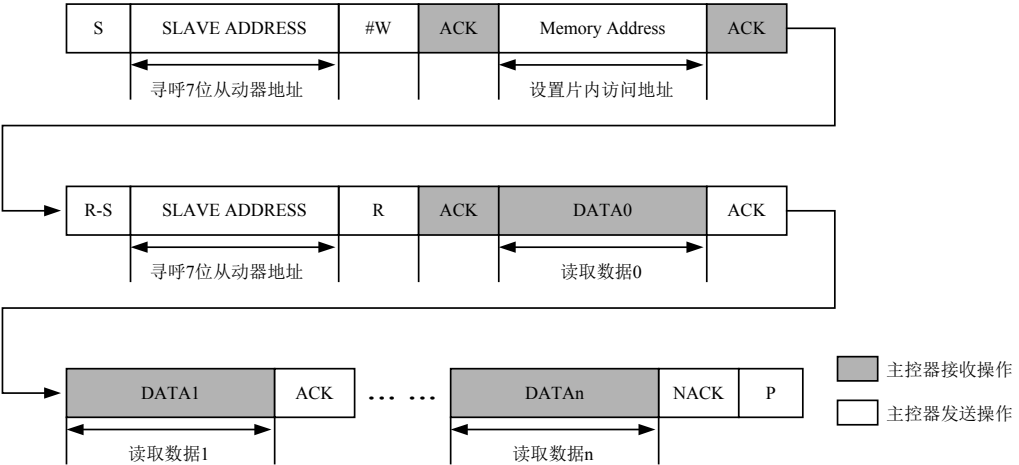


图 5-20 IICM 读取从动器数据示意图

5.4.4 波特率配置

参数名称	参数符号	参数公式
启动/重新启动建立时间	TSU:S	$T_{osc} \times (IICBRR+1) \times 8$
启动/重新启动保持时间	THD:S	$T_{osc} \times (IICBRR+1) \times 8$
停止建立时间	TSU:P	$T_{osc} \times (IICBRR+1) \times 8$
停止保持时间	THD:P	$T_{osc} \times (IICBRR+1) \times 8$
发送数据/应答建立时间	TSU:DA	$T_{osc} \times (IICBRR+1) \times 3$
发送数据/应答保持时间	THD:DA	$T_{osc} \times (IICBRR+1) \times 1$
接收数据/应答建立时间	TSU:DA	0
接收数据/应答保持时间	THD:DA	0
时钟高电平脉宽	THIGH	$T_{osc} \times (IICBRR+1) \times 4$
时钟低电平脉宽	TLOW	$T_{osc} \times (IICBRR+1) \times 4$

表 5-16 IICM 波特率配置表

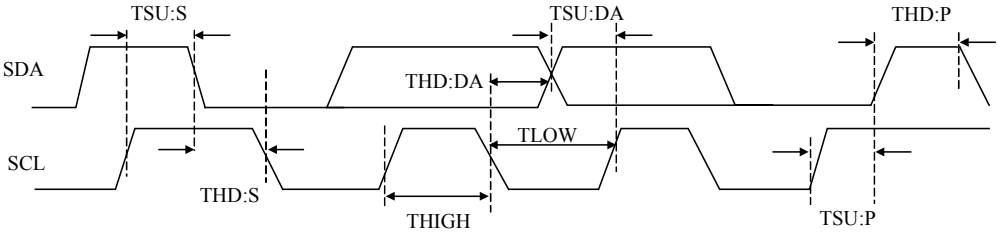


图 5-21 IICM 波特率时序参数示意图

注：IICM 主控时钟传输率
 $F_{SCL} = F_{OSC} / ((IICBRR+1) \times 8)$

5.4.5 特殊功能寄存器

寄存器名称	IICM 数据缓冲寄存器 (IICBUF)		
地址	116H,316H		
复位值	0000 0000		
IICBUF	bit7-0	R/W	IICM 发送/接收数据缓冲器 00H ~ FFH

寄存器名称	IICM 波特率寄存器 (IICBRR)		
地址	118H,318H		
复位值	1111 1111		
IICBRR	bit7-0	R/W	IICM 波特率设置 00H ~ FFH

寄存器名称	IICM 控制寄存器 (IICC)		
地址	117H,317H		
复位值	0000 000x		
-	bit0	-	-
IICA	bit1	R	IICM 应答标志位 0: 接收到 ACK 1: 接收到 NACK 发送完数据后, 自动接收“应答位”
		W	IICM 应答触发位 0: 发送 ACK 1: 发送 NACK 数据接收前, 需预先设置该位
IICEN	bit2	R/W	IICM 使能位 0: 禁止 1: 使能
-	bit3	-	-
IICP	bit4	R/W	IICM 停止触发位 0: - 1: 当 IICIF 清零后, 自动触发停止位发送操作, 发送完成后, 硬件清零。
IICS	bit5	R/W	IICM 启动/重新启动触发位 0: - 1: 当 IICIF 清零后, 自动触发启动位/重新启动位发送操作, 发送完成后, 硬件清零。(优先级高于 IICP)
-	bit7-6	-	-

注：IICC 设置相关说明

1. IICIF(INTF0<3>)为 IICM 的中断标志位，当 IICM 完成发送启动/重启动、停止、发送和接收数据后将置 1，需要软件清除。当 IICIF=1 时，IICM 将处于等待状态，即使触发 IICS 或者 IICP，仍将保持该状态直到 IICIF 被软件清零。当发送停止位后，清除 IICIF，IICM 仍将保持等待状态，直到触发新的启动位。
2. IICS 为 IICM 启动/重启动触发位，当设置 IICS=1 时，将触发发送启动/重启动信号，完成发送后硬件自动清零。IICP 为 IICM 停止触发位，当设置 IICP=1 时，将触发发送停止信号，完成发送后硬件自动清零。当 IICS 与 IICP 同时为 1，IICS 优先级高于 IICP，将触发发送启动/重启动信号。
3. 若 IICS 与 IICP 都没有被触发，IICBUF 已经被写入发送的数据，那么当 IICIF 被清除后 IICM 会执行发送数据的操作。将 IICBUF 的值移入移位寄存器中，从高位开始移位发送。当完成 8 位数据发送后，IICM 将自动接收从机的应答信号，影响 IICA 位。
4. 若 IICS 与 IICP 都没被触发，IICBUF 也没写入数据，清除 IICIF 后 IICM 会接收从动器的数据。IICM，将从动器发送的数据移入移位寄存器中，当 8 位数据都被接收后，IICM 将移位寄存器的值移入 IICBUF 中，并自动发送应答信号 IICA。
5. IICM 的启动/重启动、停止、接收和发送的时序由 IICBRR 决定，请参考相关章节。

5.5 液晶显示控制器 (LCDC)

5.5.1 管脚封装配置

LCD 管脚	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL
VLCD0	支持	支持	支持
VLCD1	支持	支持	支持
VLCD2	支持	支持	支持
VLCD3	支持	支持	支持
COM0	支持	支持	支持
COM1	支持	支持	支持
COM2	支持	支持	支持
COM3	支持	支持	支持
SEG0	-	-	支持
SEG1	-	-	支持
SEG2	-	-	支持
SEG3	-	支持	支持
SEG4	-	支持	支持
SEG5	-	支持	支持
SEG6	-	支持	支持
SEG7	支持	支持	支持
SEG8	支持	支持	支持
SEG9	支持	支持	支持
SEG10	支持	支持	支持
SEG11	-	-	支持
SEG12	-	-	支持
SEG13	-	-	支持
SEG14	支持	支持	支持
SEG15	支持	支持	支持

表 5-17 LCD 管脚封装配置表

[续]

LCD 管脚	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL
SEG16	支持	支持	支持
SEG17	-	-	支持
SEG18	支持	支持	支持
SEG19	支持	支持	支持
SEG20	支持	支持	支持
SEG21	支持	支持	支持
SEG22	支持	支持	支持
SEG23	支持	支持	支持

表 5-18 LCD 管脚封装配置表[续]

5.5.2 内部结构图

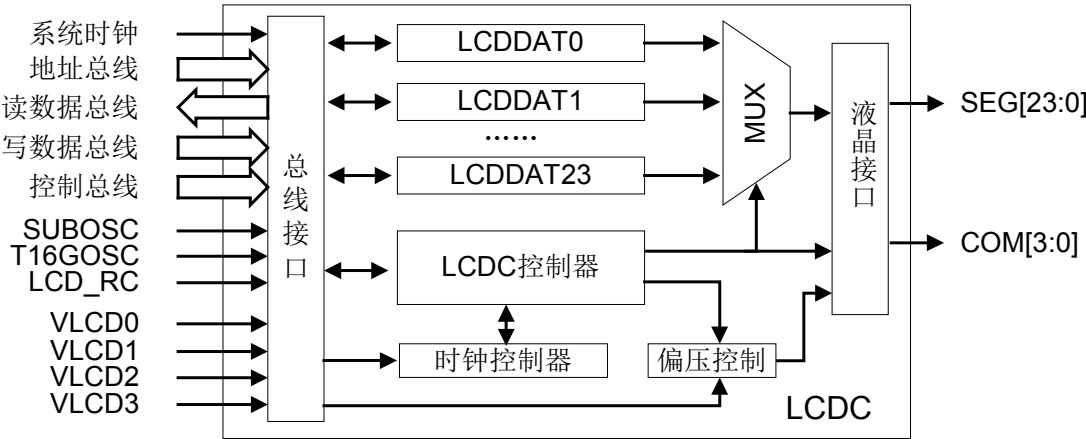


图 5-22 LCDC 内部结构图

5.5.3 公共端像素配置

LDCOMS	COM<7:0>	SEG<23:0>
000	COM<0>	SEG23 ~ SEG0
001	COM<1:0>	SEG23 ~ SEG0
010	COM<2:0>	SEG23 ~ SEG0
011	COM<3:0>	SEG23 ~ SEG0

表 5-19 LCDC 公共端像素配置表

5.5.4 偏压输入配置

LCDBSS	LDCOMS	VLCD0	VLCD1	VLCD2	VLCD3
0	000	-	-	VDD	-
0	001	1/3 VDD	2/3 VDD	VDD	-
0	010	1/3 VDD	2/3 VDD	VDD	-
0	011	1/3 VDD	2/3 VDD	VDD	-
0	1xx	不支持	不支持	不支持	不支持
1	000	不支持	不支持	不支持	不支持
1	001	1/2 VDD	1/2 VDD	VDD	-
1	010	1/2 VDD	1/2 VDD	VDD	-
1	011	不支持	不支持	不支持	不支持
1	1xx	不支持	不支持	不支持	不支持

表 5-20 LCDC 偏压输入配置表

注：内部偏压时，LCD 管脚驱动电流为 20uA。

5.5.5 对比度电压配置

LCDVR	对比度电压
0000	VDD/2
0001	VDD*16/30
0010	VDD*17/30
0011	VDD*18/30
0100	VDD*19/30
0101	VDD*20/30
0110	VDD*21/30
0111	VDD*22/30
1000	VDD*23/30
1001	VDD*24/30
1010	VDD*25/30
1011	VDD*26/30
1100	VDD*27/30
1101	VDD*28/30
1110	VDD*29/30
1111	VDD

表 5-21 LCDC 对比度电压配置表

5.5.6 帧频率配置

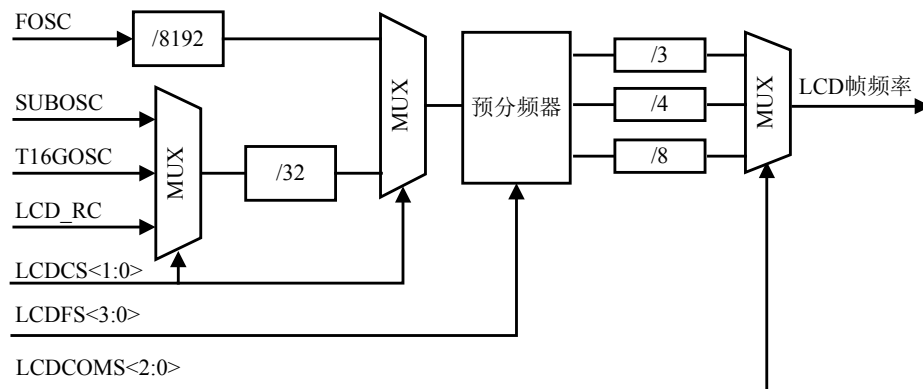


图 5-23 LCDC 帧频率配置示意图

LCDCS<1:0>	时钟源配置
00	FOSC/8192
01	SUBOSC/32
10	LCD_RC/32
11	T16GOSC/32

表 5-22 LCDC 时钟源配置表

LCDFS	预分频器
0000	1/1
0001	1/2
0010	1/3
...	...
1111	1/16

表 5-23 LCDC 预分频器配置表

LCDCOMS	LCD 帧频率
000	预分频器输出频率/4
001	预分频器输出频率/4
010	预分频器输出频率/3
011	预分频器输出频率/4
1xx	预分频器输出频率/8

表 5-24 LCDC 帧频率配置表

5.5.7 特殊功能寄存器

寄存器名称	像素寄存器 (LCDDx)		
地址	LCDD0~LCDD23: 194H -1ABH,394H – 3ABH		
复位值	0000 0000		
LCDDx <7:0>	bit7-0	R/W	像素点亮位 0: 不点亮像素 (透明) 1: 点亮像素 (不透明)

地址	LCDDx	SEGx_COMy
194H/394H	LCDD0	SEG7_COM0 ~ SEG0_COM0
195H/395H	LCDD1	SEG15_COM0 ~ SEG8_COM0
196H/396H	LCDD2	SEG23_COM0 ~ SEG16_COM0
197H/397H	LCDD3	SEG7_COM1 ~ SEG0_COM1
198H/398H	LCDD4	SEG15_COM1 ~ SEG8_COM1
199H/399H	LCDD5	SEG23_COM1 ~ SEG16_COM1
19AH/39AH	LCDD6	SEG7_COM2 ~ SEG0_COM2
19BH/39BH	LCDD7	SEG15_COM2 ~ SEG8_COM2
19CH/39CH	LCDD8	SEG23_COM2 ~ SEG16_COM2
19DH/39DH	LCDD9	SEG7_COM3 ~ SEG0_COM3
19EH/39EH	LCDD10	SEG15_COM3 ~ SEG8_COM3
19FH/39FH	LCDD11	SEG23_COM3 ~ SEG16_COM3

寄存器名称	LCD 段使能寄存器 (LCDSSEN0/LCDSSEN1/LCDSSEN2)		
地址	LCDSSEN0: 1ACH 3ACH LCDSSEN1: 1ADH 3ADH LCDSSEN2: 1AEH 3AEH		
复位值	0000 0000		
LCDSSENx <7:0>	bit7-0	R/W	段使能位<7:0> 0: 端口作 I/O 功能 1: 端口作 LCD 段功能

寄存器名称	LCD 控制寄存器 (LCDC0)		
地址	192H,392H		
复位值	0000 0000		
LCDCS<1:0>	bit1-0	R/W	时钟源选择位 00: FOSC/8192 01: SUBOSC/32 10: LCD_RC/32 11: T16GOSC/32
VLCDEN	bit2	R/W	外部偏压使能位 0: 禁止 1: 使能
LCDCOMS <2:0>	bit5-3	R/W	COM 端复用选择位 000: 静态 COM<0> 001: 1/2 复用 COM<1:0> 010: 1/3 复用 COM<2:0> 011: 1/4 复用 COM<3:0> 1xx: 保留
-	bit6	-	-
LCDCEN	bit7	R/W	LCDC 使能位 0: 禁止 1: 使能

寄存器名称	LCD 预分频比选择寄存器 (LCDC1)		
地址	193H 393H		
复位值	0001 0000		
LCDFS<3:0>	bit3-0	R/W	预分频器选择位 0000: 1/1 0001: 1/2 0010: 1/3 ... 1111: 1/16
-	bit5-4	-	-
LCDBSS	bit6	R/W	偏压模式选择位, 参考下表
WFT	bit7	R/W	波形类型选择位 0: A 型波形 1: B 型波形

LCDBSS	LCDCOMS	VLCD0	VLCD1	VLCD2	VLCD3
0	000	-	-	VDD	-
0	001	1/3 VDD	2/3 VDD	VDD	-
0	010	1/3 VDD	2/3 VDD	VDD	-
0	011	1/3 VDD	2/3 VDD	VDD	-
0	1xx	不支持	不支持	不支持	不支持
1	000	不支持	不支持	不支持	不支持
1	001	1/2 VDD	1/2 VDD	VDD	-
1	010	1/2 VDD	1/2 VDD	VDD	-
1	011	不支持	不支持	不支持	不支持
1	1xx	不支持	不支持	不支持	不支持

寄存器名称	LCD 对比度寄存器 (LCDVR)		
地址	1AFH,3AFH		
复位值	0000 0000		
LCDVR<3:0>	bit3-0	R/W	对比度选择位, 参考下表
-	bit7-4	-	-

LCDVR	对比度电压
0000	VDD/2
0001	VDD*16/30
0010	VDD*17/30
0011	VDD*18/30
0100	VDD*19/30
0101	VDD*20/30
0110	VDD*21/30
0111	VDD*22/30
1000	VDD*23/30
1001	VDD*24/30
1010	VDD*25/30
1011	VDD*26/30
1100	VDD*27/30
1101	VDD*28/30
1110	VDD*29/30
1111	VDD

第 6 章 特殊功能及操作特性

6.1 系统时钟及振荡器

6.1.1 概述

- ◆ 主晶振
 - 内部 RC 时钟 (16MHz)
 - 外部 EXTCLK 时钟输入
 - 外部 RC 时钟
 - 外部 HS 晶体振荡器
 - 外部 XT 晶体振荡器
 - 外部 LP 晶体振荡器
- ◆ 辅晶振
 - 外部灌时钟输入 (使能 ICD 模式)
 - 外部晶体振荡器 (禁止 ICD 模式)
- ◆ 内部 RC 时钟 (32KHz)
 - WDT_RC 时钟源
 - LCD_RC 时钟源
- ◆ 内部 RC 时钟 (250KHz)
 - ADC_RC 时钟源

6.1.2 内部结构图

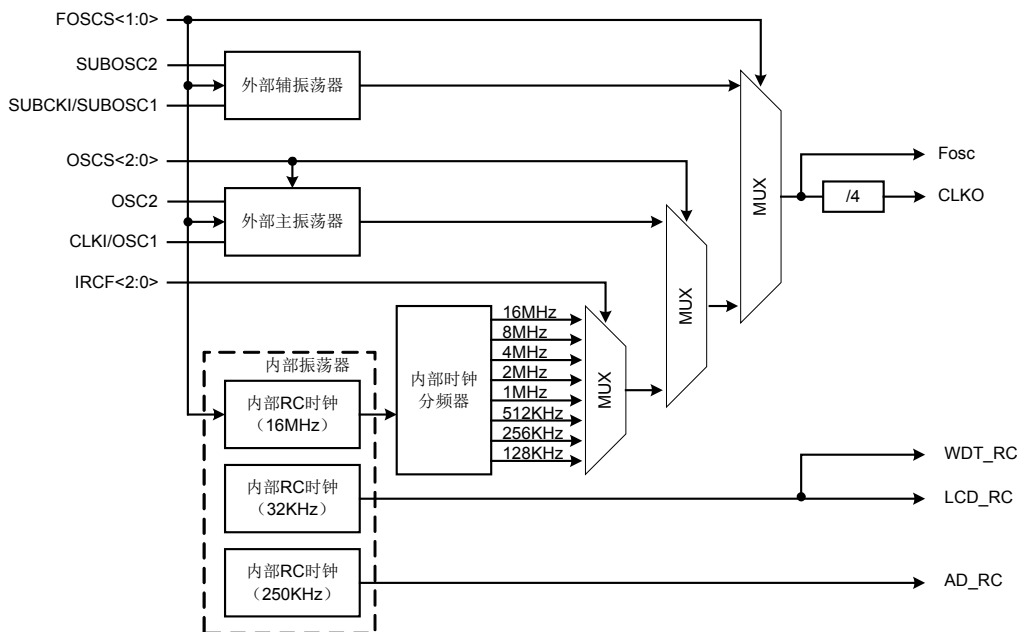


图 6-1 系统时钟内部结构图

6.1.3 系统时钟配置

FOSCS<1:0>	系统时钟配置
00	Fosc 使用主晶振并关闭辅晶振
01	Fosc 使用主晶振并使能辅晶振
10	Fosc 使用辅晶振并关闭主晶振
11	Fosc 使用辅晶振并使能主晶振

表 6-1 系统时钟配置表

OSCS<2:0>	主晶振配置	PA6	PA7
000	外部 LP 振荡器	OSC2	OSC1
001	外部 RC 振荡器	CLKO	OSC1
010	外部 HS 振荡器	OSC2	OSC1
011	外部灌时钟	I/O	CLKI
100	内部时钟	CLKO	I/O
101	内部时钟	I/O	I/O
110	外部 RC 振荡器	I/O	OSC1
111	外部 XT 振荡器	OSC2	OSC1

表 6-2 主晶振配置表

IRCPRS<2:0>	内部时钟分频配置
000	128KHz
001	256KHz
010	512KHz
011	1MHz
100	2MHz
101	4MHz
110	8MHz
111	16MHz

表 6-3 内部时钟分频配置表

6.1.4 外部振荡电路参考

6.1.4.1 外部灌时钟

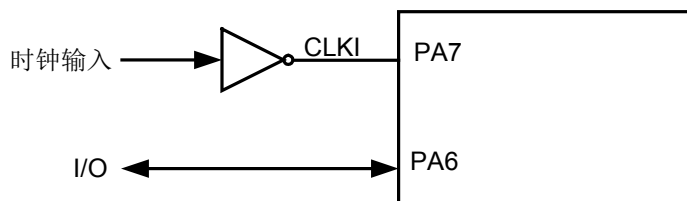


图 6-2 外部灌时钟参考图

6.1.4.2 外部RC振荡器

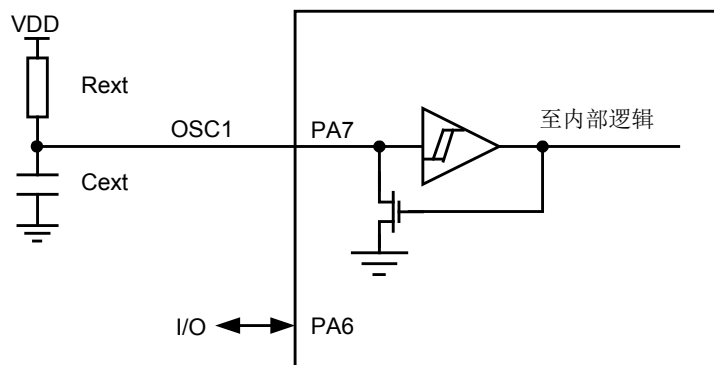


图 6-3 外部 RC 振荡器参考图 1

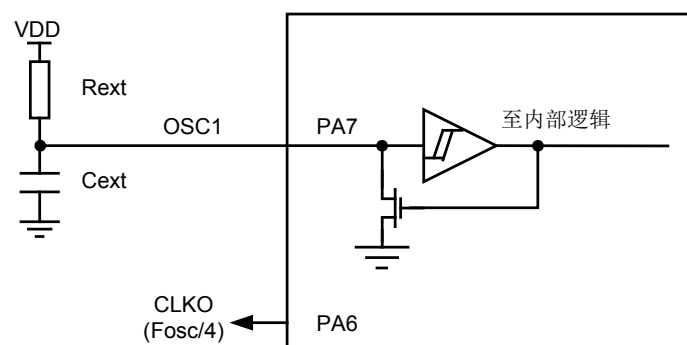


图 6-4 外部 RC 振荡器参考图 2

	工作条件: -40~85°C 2.5~5.5v
推荐外部电阻范围	$15K \leq R_{ext} \leq 100K$
推荐外部电容范围	$20pf \leq C_{ext} \leq 300pf$
推荐振荡频率范围	$10KHz \leq f \leq 4MHz$

表 6-4 外部 RC 模式推荐参数

6. 1. 4. 3 外部LP/XT/HS振荡器

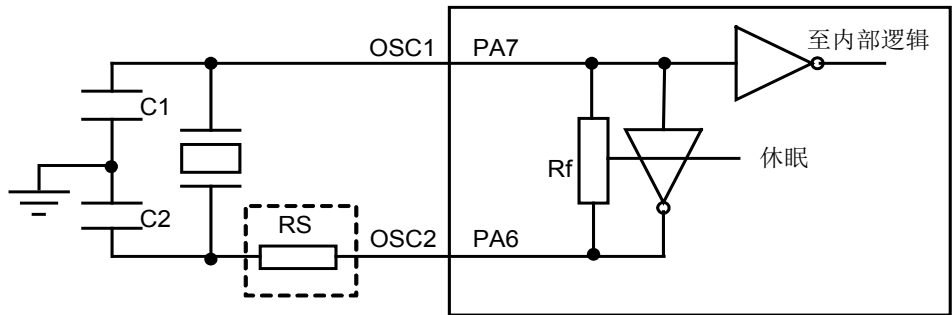


图 6-5 外部 LP/XT/HS 振荡器参考图

注：RS 为可选配置。

Osc Type	晶振频率	C1	C2
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 6-5 外部 LP/XT/HS 振荡器参数参考表

注：电容数据可根据晶振频率大小、外围电路的不同作微调。

6.1.5 特殊功能寄存器

寄存器名称	内部时钟校准寄存器 (CALR)		
地址	014H,214H		
复位值	XXXX XXXX		
CALR <7:0>	bit7-0	R/W	内部时钟分频比选择位 00 H ~ FF H

注：CALR 为内部时钟校准寄存器，修改该寄存器的值会影响内部 RC（16MHz）时钟的频率。在芯片复位后，该寄存器会恢复到初始值，保证内部 RC 为 16MHz 的频率。操作该寄存器时请慎重。

寄存器名称	时钟控制寄存器 (OSCC)		
地址	094H,294H		
复位值	0110 0000		
-	bit3-0	-	-
IRCPRS <2:0>	bit6-4	R/W	内部时钟分频比选择位 000 = 128KHz 001 = 256KHz 010 = 512KHz 011 = 1MHz 100 = 2MHz 101 = 4MHz 110 = 8MHz 111 = 16MHz
-	bit7	-	-

6.2 系统复位

6.2.1 概述

支持 POR 上电复位
支持 BOR 低电压复位
支持 N_MRST 外部管脚复位
支持 WDT 看门狗溢出复位

6.2.2 内部结构图

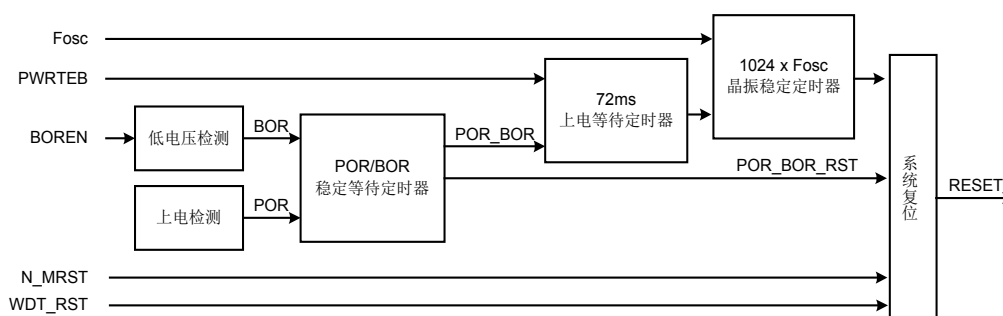


图 6-6 系统复位内部结构图

6.2.3 复位时序图

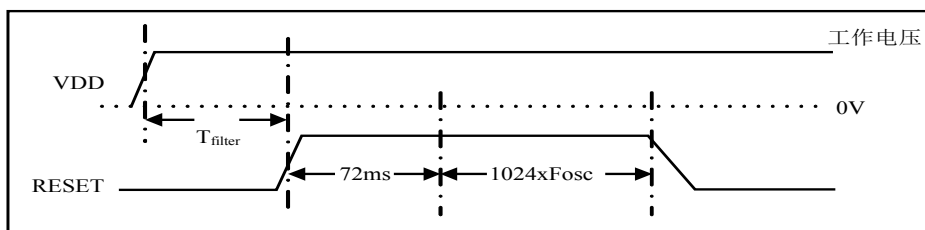


图 6-7 上电复位时序示意图

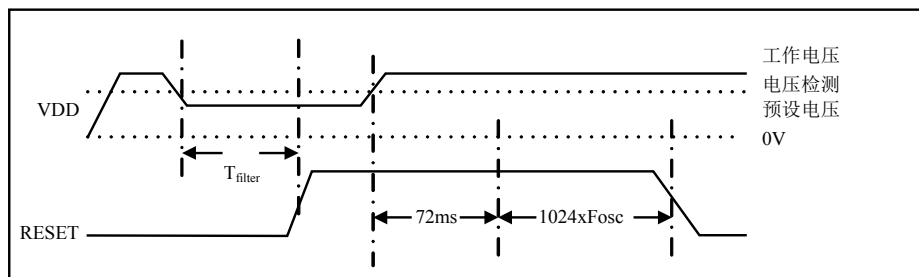


图 6-8 低电压复位时序示意图

注：72ms 上电等待时间可以通过 PWRTEB 屏蔽。

6.2.4 低电压复位配置

BORVS<1:0>	低电压复位配置
11	低于 2.1V 时芯片复位
10	低于 3.5V 时芯片复位
01	低于 3.8V 时芯片复位
00	低于 4.2V 时芯片复位

表 6-6 低电压复位配置表

6.2.5 N_MRST复位参考

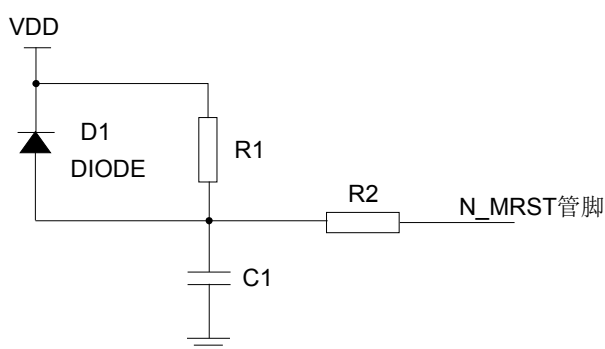


图 6-9 N_MRST 复位参考电路图 1

注：采样 RC 复位，其中 $47K\Omega \leq R1 \leq 100K\Omega$ ，电容 C1 (0.1 μ F)，R2 为限流电阻， $0.1K\Omega \leq R2 \leq 1K\Omega$ 。

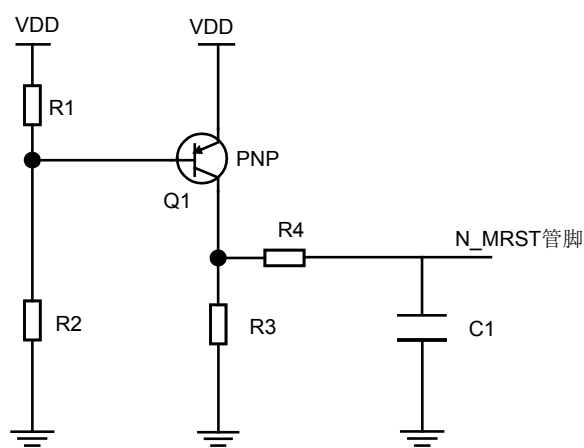


图 6-10 N_MRST 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μ F) 接地，C1 另一端作为 N_MRST 输入。

6.2.6 特殊功能寄存器

寄存器名称	电源控制寄存器 (PWRC)		
地址	08FH, 28FH		
复位值	1000 1101		
N_BOR	bit0	R/W	低电压复位状态位 0: 低电压复位发生 (低电压复位后, 必须软件置位) 1: 无低电压复位发生
N_POR	bit1	R/W	上电复位状态位 0: 上电复位发生 (上电复位后, 必须软件置位) 1: 无上电复位发生
N_PD	bit2	R/W	低功耗标志位 0: 执行 IDLE 指令后清零 1: 上电复位或执行 CWDT 指令后置 1
N_TO	bit3	R/W	定时时间标志位 0: WDT 定时时间被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
FOSCS<1:0>	bit5-4	R/W	系统时钟选择位 00: Fosc 使用主晶振并关闭辅晶振 01: Fosc 使用主晶振并使能辅晶振 10: Fosc 使用辅晶振并关闭主晶振 11: Fosc 使用辅晶振并使能主晶振
-	bit6	-	-
LPM	bit7	R/W	休眠模式选择位 0: IDLE1 模式 1: IDLE0 模式

6.3 中断处理

6.3.1 概述

序号	中断名	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL
1	软中断	支持	支持	支持
2	PINT0	支持	支持	支持
3	PINT1	支持	支持	支持
4	PINT2	支持	支持	支持
5	PINT3	支持	支持	支持
6	KINT	支持	支持	支持
7	T8NINT	支持	支持	支持
8	T8P1INT	支持	支持	支持
9	T8P2INT	支持	支持	支持
10	T8P3INT	支持	支持	支持
11	T16GINT	支持	支持	支持
12	TE1INT	支持	支持	支持
13	IICINT	支持	支持	支持
14	TXINT	支持	支持	支持
15	RXINT	支持	支持	支持
16	ADINT	支持	支持	支持
17	ROMINT	支持	支持	支持

表 6-7 管脚封装中断处理配置表

6.3.2 内部结构图

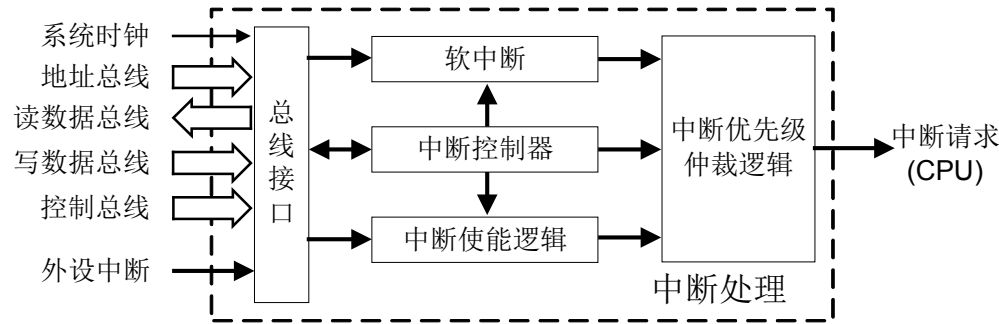


图 6-11 中断控制逻辑

6.3.3 中断模式配置

中断模式	INTVEN0(INTC1<4>)	INTVEN1(CFG1<11>)
默认中断模式	-	-
向量中断模式	1	1

表 6-8 中断处理模式配置表

注：INTC1 控制寄存器 INTVEN0 位与配置字 INTVEN1 位必须同时为 1 才能使用向量中断模式。

6.3.4 默认中断模式

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	软中断	SOFTIF	-	-	GIE	SOFTIF 软件置 1
2	PINT0	PIF0	PIE0	-	GIE	-
3	PINT1	PIF1	PIE1	PEIE	GIE	-
4	PINT2	PIF2	PIE2	PEIE	GIE	-
5	PINT3	PIF3	PIE3	PEIE	GIE	-
6	KINT	KIF	KIE	-	GIE	-
7	T8NINT	T8NIF	T8NIE	-	GIE	-
8	T8P1INT	T8P1IF	T8P1IE	PEIE	GIE	-
9	T8P2INT	T8P2IF	T8P2IE	PEIE	GIE	-
10	T8P3INT	T8P3IF	T8P3IE	PEIE	GIE	-
11	T16GINT	T16GIF	T16GIE	PEIE	GIE	-
12	TE1INT	TE1IF	TE1IE	PEIE	GIE	-
13	IICINT	IICIF	IICIE	PEIE	GIE	-
14	TXINT	TXIF	TXIE	PEIE	GIE	-
15	RXINT	RXIF	RXIE	PEIE	GIE	-
16	ADINT	ADIF	ADIE	PEIE	GIE	-
17	ROMINT	ROMIF	ROMIE	PEIE	GIE	-

表 6-9 默认中断模式使能配置表

注：当配置为默认中断模式时，所有中断向量的入口地址均位于 0004H。用户需通过中断服务程序对各中断标志及中断使能进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

6.3.5 向量中断模式

6.3.5.1 向量表配置

优先级		0（高）	1	2	3	4	5	6	7	8（低）
入口地址		0004 H	0008 H	000C H	0010 H	0014 H	0018 H	001C H	0020 H	0024 H
INT V	0 0	软中 断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	0 1		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	1 0		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 6-10 向量表配置表

注：当配置为向量中断模式时，系统支持中断向量表。此时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004H，优先级最高；其他硬件中断分 8 组(IG0~IG7)，配置 INTV<1:0> 支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过配置 IGPx 将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0> 的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由 GIEH 和 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

6.3.5.2 中断分组配置

中断组号	优先级设置	中断名	备注
IG0	IGP0	KINT	-
		PINT0	-
IG1	IGP1	T8NINT	-
IG2	IGP2	PINT1	-
		PINT2	-
		PINT3	-
IG3	IGP3	T8P1INT	-
		T8P2INT	-
		T8P3INT	-
		T16GINT	-
IG4	IGP4	TE1INT	-
IG5	IGP5	TXINT	-
		RXINT	-
IG6	IGP6	ADINT	-
		IICINT	-
IG7	IGP7	ROMINT	-

表 6-11 中断分组配置表

6.3.5.3 中断使能配置

序号	中断名	中断标志	中断使能	IGPx	全局使能	备注
1	软中断	SOFTIF	-	-	GIEH	SOFTIF 软件置 1
2	PINT0	PIF0	PIE0	0	GIEL	-
				1	GIEH	-
3	PINT1	PIF1	PIE1	0	GIEL	-
				1	GIEH	-
4	PINT2	PIF2	PIE2	0	GIEL	-
				1	GIEH	-
5	PINT3	PIF3	PIE3	0	GIEL	-
				1	GIEH	-
6	KINT	KIF	KIE	0	GIEL	-
				1	GIEH	-
7	T8NINT	T8NIF	T8NIE	0	GIEL	-
				1	GIEH	-
8	T8P1INT	T8P1IF	T8P1IE	0	GIEL	-
				1	GIEH	-
9	T8P2INT	T8P2IF	T8P2IE	0	GIEL	-
				1	GIEH	-
10	T8P3INT	T8P3IF	T8P3IE	0	GIEL	-
				1	GIEH	-
11	T16GINT	T16GIF	T16GIE	0	GIEL	-
				1	GIEH	-
12	TE1INT	TE1IF	TE1IE	0	GIEL	-
				1	GIEH	-
13	IICINT	IICIF	IICIE	0	GIEL	-
				1	GIEH	-
14	TXINT	TXIF	TXIE	0	GIEL	-
				1	GIEH	-
15	RXINT	RXIF	RXIE	0	GIEL	-
				1	GIEH	-
16	ADINT	ADIF	ADIE	0	GIEL	-
				1	GIEH	-
17	ROMINT	ROMIF	ROMIE	0	GIEL	-
				1	GIEH	-

表 6-12 向量中断模式使能配置表

6.3.6 中断现场保护

中断现场保护是中断程序中一个很重要的组成部分。

指令系统中有 **PUSH**（压栈）和 **POP**（出栈）指令，可以方便的实现当前工作状态的保存和恢复。**A**、**B**、**PSW**、**PCRH** 和 **BKSR** 寄存器，分别有各自的两级镜像寄存器 **AS1**、**BS1**、**PSWS1**、**PCRHS1**、**BKSR1** 和 **AS0**、**BS0**、**PSWS0**、**PCRHS0**、**BKSR0**，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 **PUSH** 和 **POP** 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

6.3.7 特殊功能寄存器

寄存器名称	中断控制寄存器 0 (INTC0)		
地址	00CH,08CH,10CH,18CH,20CH,28CH,30CH,38CH,		
复位值	0000 0000		
KIF	bit0	R/W	外部按键中断标志位 0: 外部按键端口无电平变化 1: 外部按键端口有电平变化 (必须用软件清零)
PIF0	bit1	R/W	外部端口中断 0 标志位 0: 外部端口 0 上无电平变化 1: 外部端口 0 上有中断信号 (必须用软件清零)
T8NIF	bit2	R/W	T8N 溢出中断标志位 0: T8N 计数未溢出 1: T8N 计数溢出 (必须用软件清零)
KIE	bit3	R/W	外部按键中断使能位 0: 禁止 1: 使能
PIE0	bit4	R/W	外部端口中断 0 使能位 0: 禁止 1: 使能
T8NIE	bit5	R/W	T8N 溢出中断使能位 0: 禁止 1: 使能
PEIE_GIEL	bit6	R/W	外设中断使能位/低优先级中断使能位 0: 禁止外设中断/禁止低优先级中断 1: 使能外设中断/使能低优先级中断
GIE_GIEH	bit7	R/W	全局中断使能位/高优先级中断使能位 0: 禁止所有的中断 1: 使能所有未屏蔽的中断/使能高优先级中断

注: 软件清零 GIE_GIEH 或 PEIE_GIEL 位时, 需判断 GIE_GIEH 或 PEIE_GIEL 是否清零成功, 如未被清零, 则需再次执行软件清零操作, 直到清零成功。软件置位 GIE_GIEH 和 PEIE_GIEL 时, 需先置位 PEIE_GIEL, 再置位 GIE_GIEH, 或同时置位 GIE_GIEH 和 PEIE_GIEL。

寄存器名称	中断控制寄存器 1（INTC1）		
地址	090H,290H		
复位值	xxx0 0x00		
INTV<1:0>	bit1-0	R/W	中断向量表选择位，参考下表
-	bit2	-	-
SOFTIF	bit3	R/W	软中断标志位 0：无软中断 1：有软中断
INTVEN0	bit4	R/W	中断向量表 0：默认中断模式 1：向量中断模式（INTVEN1 必须为 1）
-	bit7-5	-	-

优先级		0 (高)	1	2	3	4	5	6	7	8 (低)
入口地址		0004 H	0008 H	000C H	0010 H	0014 H	0018 H	001C H	0020 H	0024 H
INT V	0 0	软中 断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	0 1		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	1 0		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

寄存器名称	中断优先级寄存器（INTP）		
地址	091H,291H		
复位值	0000 0000		
IGP<7:0>	bit7-0	R/W	IG7-IG0 中断优先级设置 0：低优先级 1：高优先级

寄存器名称	中断标志寄存器 0 (INTF0)		
地址	00EH,10EH,20EH,30EH		
复位值	0000 0000		
T16GIF	bit0	R/W	T16G 中断标志位 0: T16G 未产生中断 1: T16G 产生中断 (必须软件清零)
T8P1IF	bit1	R/W	T8P1 中断标志位 0: T8P1 未产生中断 1: T8P1 产生中断 (必须软件清零)
TE1IF	bit2	R/W	TE1 中断标志位 0: TE1 未产生中断 1: TE1 产生中断 (必须软件清零)
IICIF	bit3	R/W	IIC 中断标志位 0: IIC 未产生中断 1: IIC 产生中断 (必须软件清零)
TXIF	bit4	R	UART 发送中断标志位 0: 发送缓冲区满 (发送未完成) 1: 发送缓冲区空 (发送完成), 写 TXR 清零
RXIF	bit5	R	UART 接收中断标志位 0: 接收缓冲区空 (接收未完成) 1: 接收缓冲区满 (接收完成), 读 RXB 清零
ADIF	bit6	R/W	ADC 中断标志位 0: 正在进行 A/D 转换 1: A/D 转换已完成 (必须用软件清零)
ROMIF	bit7	R/W	FLASH 擦写完成中断标志位 0: FLASH 擦写未完成 1: FLASH 擦写完成 (必须用软件清零)

寄存器名称	中断使能寄存器 0 (INTE0)		
地址	08EH,18EH,28EH,38EH		
复位值	0000 0000		
T16GIE	bit0	R/W	T16G 中断使能位 0: 禁止 1: 使能
T8P1IE	bit1	R/W	T8P1 中断使能位 0: 禁止 1: 使能
TE1IE	bit2	R/W	TE1 中断使能位 0: 禁止 1: 使能
IICIE	bit3	R/W	IIC 中断使能位 0: 禁止 1: 使能
TXIE	bit4	R/W	UART 发送中断使能位 0: 禁止 1: 使能
RXIE	bit5	R/W	UART 接收中断使能位 0: 禁止 1: 使能
ADIE	bit6	R/W	ADC 中断使能位 0: 禁止 1: 使能
ROMIE	bit7	R/W	FLASH 擦写完成中断使能位 0: 禁止 1: 使能

寄存器名称	中断标志寄存器 1 (INTF1)		
地址	015H,215H		
复位值	x00x 000x		
-	bit0	-	-
PIF1	bit1	R/W	外部端口中断 1 标志位 0: 外部端口 1 上无电平变化 1: 外部端口 1 上有中断信号 (必须用软件清零)
PIF2	bit2	R/W	外部端口中断 2 标志位 0: 外部端口 2 上无电平变化 1: 外部端口 2 上有中断信号 (必须用软件清零)
PIF3	bit3	R/W	外部端口中断 3 标志位 0: 外部端口 3 上无电平变化 1: 外部端口 3 上有中断信号 (必须用软件清零)
-	bit4	-	-
T8P2IF	bit5	R/W	T8P2 中断标志位 0: T8P2 未产生中断 1: T8P2 产生中断 (必须软件清零)
T8P3IF	bit6	R/W	T8P3 中断标志位 0: T8P3 未产生中断 1: T8P3 产生中断 (必须软件清零)
-	bit7	-	-

寄存器名称	中断使能寄存器 1 (INTE1)		
地址	095H,295H		
复位值	x00x 000x		
-	bit0	-	-
PIE1	bit1	R/W	外部端口中断 1 使能位 0: 禁止 1: 使能
PIE2	bit2	R/W	外部端口中断 2 使能位 0: 禁止 1: 使能
PIE3	bit3	R/W	外部端口中断 3 使能位 0: 禁止 1: 使能
-	bit4	-	-
T8P2IE	bit5	R/W	T8P2 中断使能位 0: 禁止 1: 使能
T8P3IE	bit6	R/W	T8P3 中断使能位 0: 禁止 1: 使能
-	bit7	-	-

6.4 看门狗定时器

6.4.1 概述

当芯片配置字看门狗使能位 $WDTEN=1$ 时，看门狗使能； $WDTEN=0$ 时，禁止。

当看门狗超时溢出时，芯片复位或者唤醒 IDLE 模式。使用 $CWDT$ 指令将 WDT 计数器清零。WDT 支持一个预分频器，对 WDT 时钟源进行预分频，再将分频后的时钟信号作为 WDT 定时器的计数时钟。WDT 时钟源为内部 WDT RC 时钟的二分频，WDT RC 时钟约为 32KHz。

在预分频器分频比为 1:1 时，常温下（25℃）WDT 计数溢出时间约为 16ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

6.4.2 内部结构图

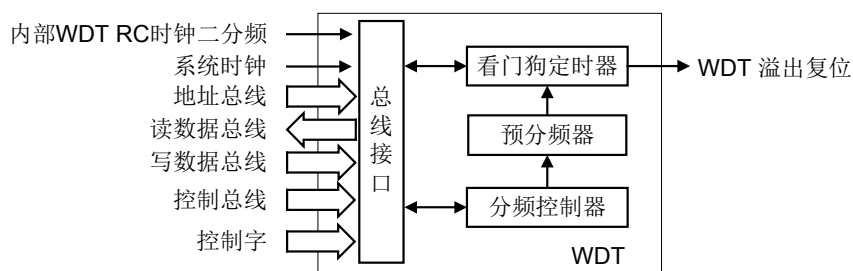


图 6-12 看门狗定时器内部结构图

注：WDT 配置位请参考《BSET 选择寄存器》

6.5 低功耗操作

6.5.1 概述

支持 IDLE0 模式

- 配置 LPM=1 时，执行 IDLE 指令，芯片进入 IDLE0 模式
- 芯片时钟源停振，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，需计算主时钟源稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

支持 IDLE1 模式

- 配置 LPM=0 时，执行 IDLE 指令，芯片进入 IDLE1 模式
- 芯片时钟源不停振，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

注：IDLE 模式不影响内部 RC（32KHz）和内部 ADC_RC（250KHz）时钟源

6.5.2 低功耗模式配置

低功耗模式	LPM
IDLE0 模式	1
IDLE1 模式	0

表 6-13 低功耗模式配置表

注：配置 LPM（PWRC<7>）选择低功耗模式，执行 IDLE 指令进入低功耗模式。为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，N_MRST 管脚必须处于逻辑高电平。

6.6 唤醒

6.6.1 概述

序号	唤醒方式	HR7P193FGD1 HR7P193FGS	HR7P193FGV HR7P193FGS1 HR7P193FGLK	HR7P194FGL
1	N_MRST	支持	支持	支持
2	WDT	支持	支持	支持
3	KINT	支持	支持	支持
4	PINT0	支持	支持	支持
5	PINT1	支持	支持	支持
6	PINT2	支持	支持	支持
7	PINT3	支持	支持	支持
8	T16GINT	支持	支持	支持
9	ADINT	支持	支持	支持

表 6-14管脚封装唤醒方式配置表

6.6.2 唤醒方式配置

序号	唤醒方式	中断使能	外设使能	中断模式	备注
1	N_MRST	-	-	-	-
2	WDT	-	-	-	WDT 溢出
3	KINT	KIE	-	默认/向量	-
4	PINT0	PIE0	-	默认/向量	-
5	PINT1	PIE1	PEIE	默认	-
				向量	-
6	PINT2	PIE2	PEIE	默认	-
				向量	-
7	PINT3	PIE3	PEIE	默认	-
				向量	-
8	T16GINT	T16GIE	PEIE	默认	异步计数模式-
				向量	
9	ADINT	ADIE	PEIE	默认	使用 AD_RC 时钟-
				向量	

表 6-15 唤醒方式配置表

注：低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使默认中断模式下，全局中断使能 GIE 为 0，或向量中断模式下，高优先级中断使能 GIEH 和低优先级中断使能 GIEL 均为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

6.6.3 唤醒时间计算

低功耗模式	计算公式
IDLE0 模式	当 WKDC ≤ 0x0F 时， $16 \times 4 \times T_{osc}$ 当 WKDC > 0x0F 时， $(WKDC[7:0]+1) \times 4 \times T_{osc}$
IDLE1 模式	$(WKDC[7:0]+1) \times 4 \times T_{osc}$

表 6-16 唤醒时间计算表

注：当唤醒事件发生后，需要在主时钟运行 n 个周期后才执行 IDLE 下一条指令。n 可以通过 WKDC 进行设置；在 IDLE0 模式下，必须要等待大于 16 个机器周期的时间；在 IDLE1 模式下，支持最小 1 个机器周期的唤醒时间。

6.6.4 特殊功能寄存器

寄存器名称	唤醒延时控制寄存器 (WKDC)		
地址	09BH,29BH		
复位值	1111 1111		
WKDC<7:0>	bit7-0	R/W	唤醒延时时钟设置位 当 WKDC<7:0> = FFH 时，延时最长 当 WKDC<7:0> = 00H 时，延时最短

6.7 芯片配置字

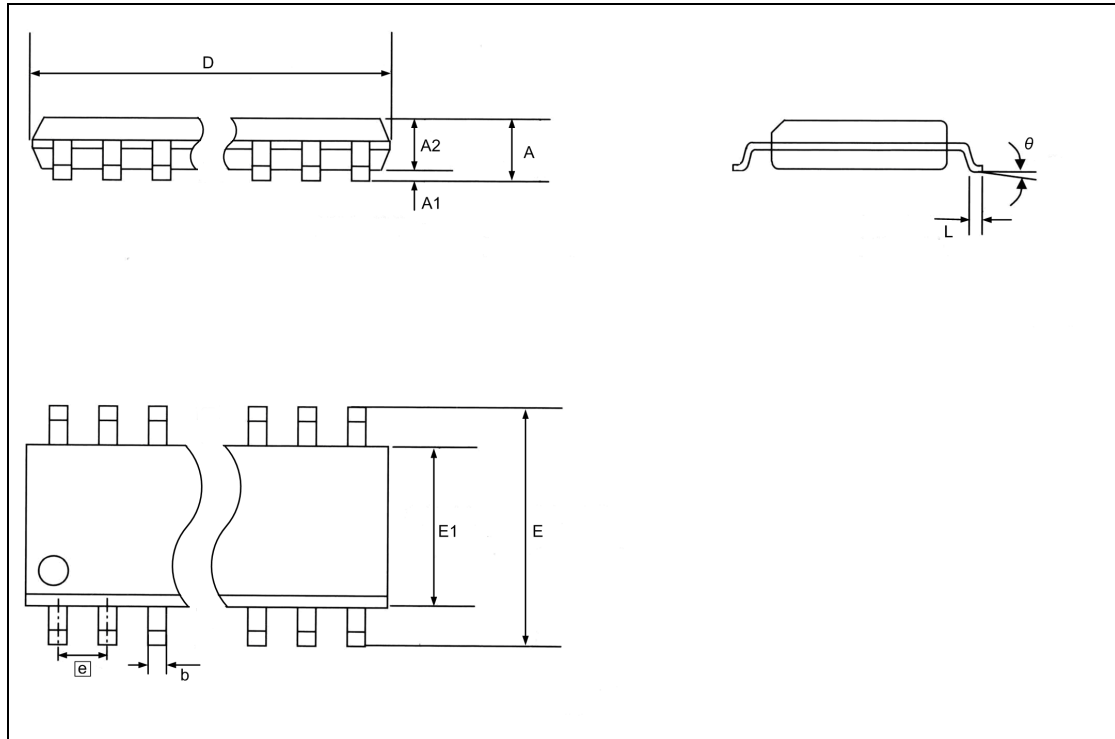
寄存器名称	芯片配置字 1 (CFG1)	
地址	8001H	
OSCS	bit2-0	主振荡器选择位，参考下表
WDTEN	bit3	硬件看门狗使能位 0: 不使能硬件看门狗 1: 使能硬件看门狗
PWRTEB	bit4	上电定时器使能位 0: 使能上电定时器 1: 不使能上电定时器
BOREN	bit5	低电压检测使能位 0: 禁止 1: 使能
-	bit6	-
BORVS	bit8-7	检测电压选择位 00: BORV = 4.2V 01: BORV = 3.8V 10: BORV = 3.5V 11: BORV = 2.1V
FREN	bit9	FLASH 擦/写/读操作使能位 0: 使能 1: 禁止
-	bit10	-
INTVEN1	bit11	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (INVEN0 也必须为 1)
PCES	bit12	PC 大电流驱动使能位 0: 大电流端口 1: 普通 I/O 端口
PDES	bit13	PD 大电流驱动使能位 0: 大电流端口 1: 普通 I/O 端口
-	bit15-14	-

OSCS<2:0>	主晶振配置	PA6	PA7
000	外部 LP 振荡器	OSC2	OSC1
001	外部 RC 振荡器	CLKO	OSC1
010	外部 HS 振荡器	OSC2	OSC1
011	外部灌时钟	I/O	CLKI
100	内部时钟	CLKO	I/O
101	内部时钟	I/O	I/O
110	外部 RC 振荡器	I/O	OSC1
111	外部 XT 振荡器	OSC2	OSC1

第 7 章 芯片封装图

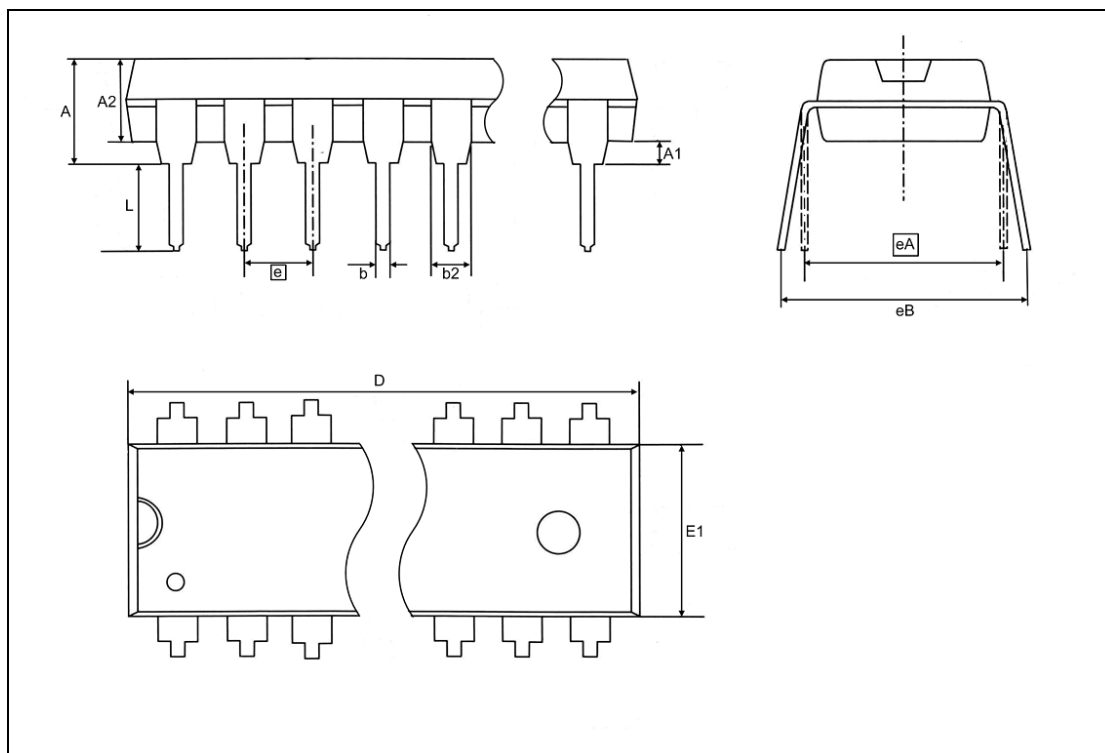
7.1 28-pin 封装图

SOP28



封装: SOP28						
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.30	2.50	2.70	0.090	0.098	0.107
A1	0.10	0.20	0.30	0.003	0.007	0.012
A2	2.10	2.30	2.50	0.082	0.090	0.099
D	17.89	18.09	18.29	0.704	0.712	0.721
E	10.10	10.30	10.50	0.397	0.405	0.414
E1	7.30	7.50	7.70	0.287	0.295	0.304
b	-	0.40	-	-	0.016	-
e	-	1.27	-	-	0.05	-
L	0.75	0.85	0.95	0.029	0.033	0.038
θ	0°	-	8°	0°	-	8°

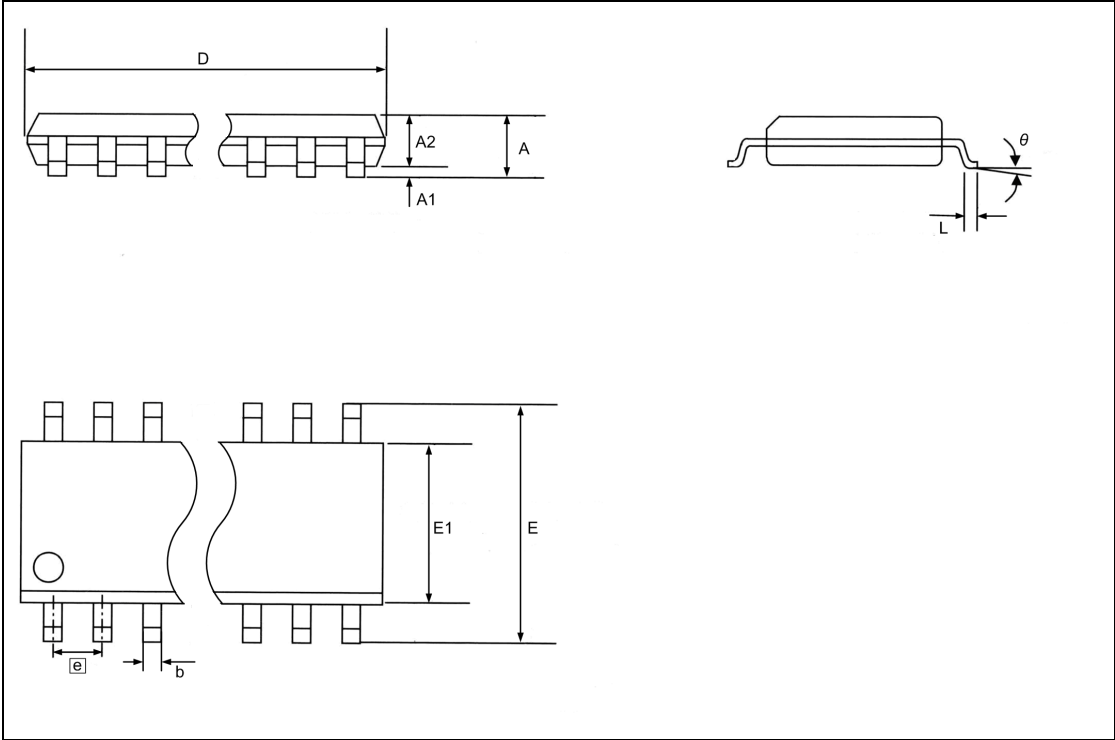
SKDIP28



封装: SKDIP28						
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	3.50	3.70	3.90	0.137	0.146	0.154
A1	0.42	-	-	0.016	-	-
A2	3.10	3.30	3.50	0.122	0.130	0.138
b	0.44	-	0.53	0.017	-	0.021
b2	-	1.52	-	-	0.060	-
D	35.10	35.30	35.50	1.382	1.391	1.399
E1	7.10	7.30	7.50	0.279	0.287	0.300
e	-	2.54	-	-	0.100	-
eA	7.67	7.87	8.07	0.302	0.310	0.318
eB	7.67	-	9.00	0.302	-	0.355
L	2.40	-	-	0.126	-	-

7.2 32-pin 封装图

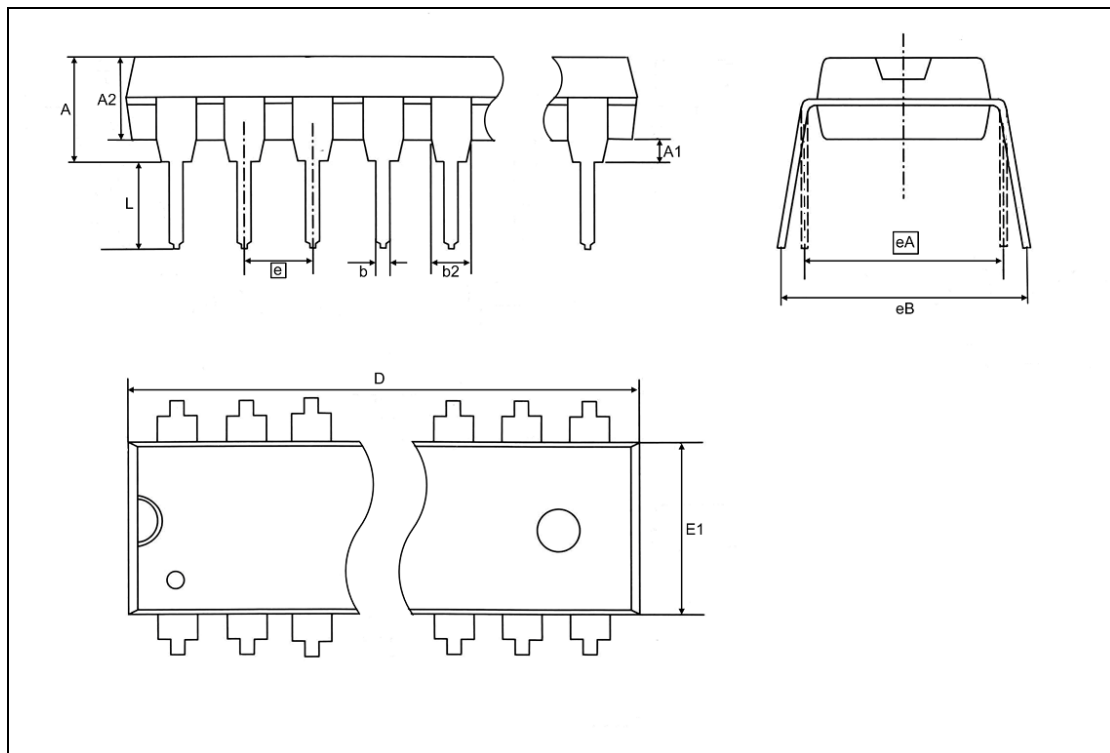
SOP32



封装: SOP32

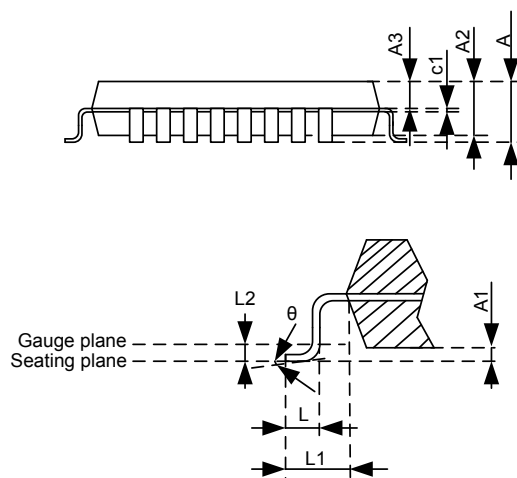
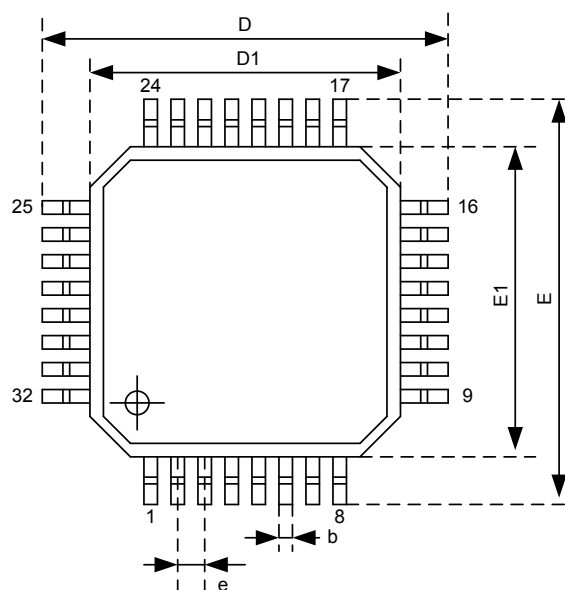
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.14	2.24	2.34	0.084	0.088	0.093
A1	0.10	0.17	0.25	0.004	0.006	0.010
A2	1.89	2.06	2.24	0.074	0.081	0.089
D	20.88	20.98	21.08	0.822	0.826	0.831
E	10.20	10.40	10.60	0.401	0.410	0.418
E1	7.42	7.52	7.62	0.292	0.296	0.301
b	0.3	0.4	0.5	0.011	0.015	0.020
e	-	1.27	-	-	0.050	-
L	0.55	0.75	0.95	0.021	0.030	0.038
θ	-	4°	-	-	4°	-

SDIP32



封装: SDIP32						
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	4.20	4.40	4.60	0.165	0.173	0.182
A1	1.10	-	-	0.043	-	-
A2	3.20	3.30	3.40	0.126	0.130	0.134
b	0.44	-	0.53	0.017	-	0.021
b2	-	1.00	-	-	0.039	-
D	27.80	28.00	28.20	1.095	1.103	1.111
E1	8.70	8.90	9.10	0.342	0.351	0.359
e	-	1.778	-	-	0.070	-
eA	-	10.16	-	-	0.400	-
eB	10.16	-	11.84	0.400	-	0.467
L	3.00	-	-	0.118	-	-

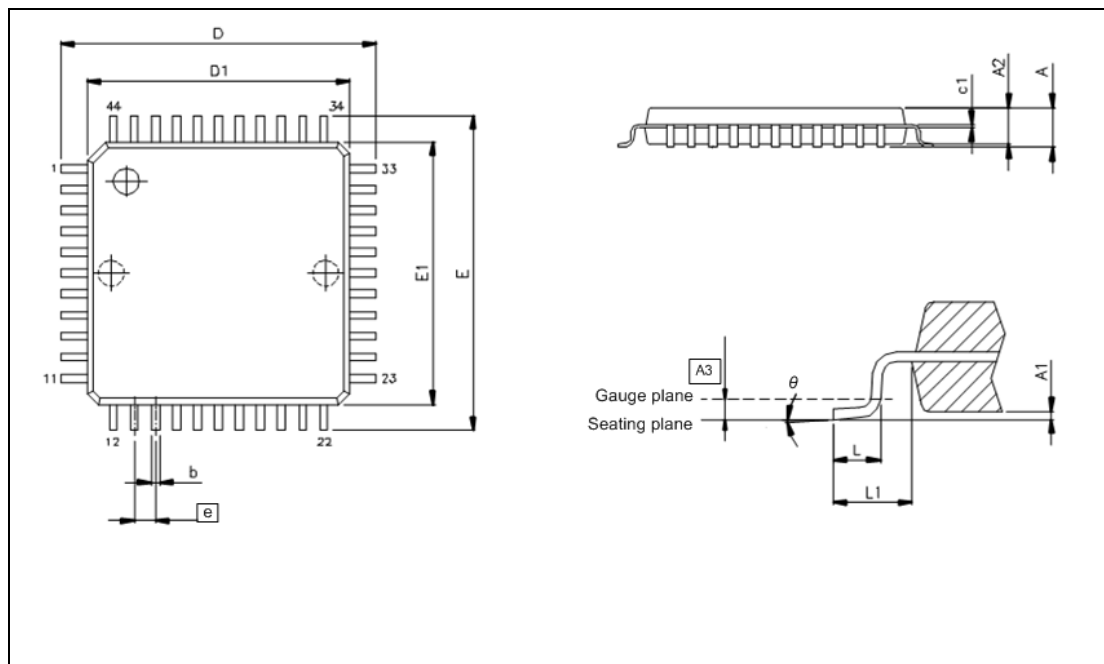
LQFP32



标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	—	—	1.60	—	—	0.063
A1	0.05	—	0.15	0.002	-	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
A3	0.59	0.64	0.69	0.023	0.025	0.027
c1	—	0.127	—	—	0.005	—
D	8.80	9.00	9.20	0.346	0.354	0.362
D1	6.90	7.00	7.10	0.272	0.276	0.280
E	8.80	9.00	9.20	0.346	0.354	0.362
E1	6.90	7.00	7.10	0.272	0.276	0.280
b	0.32	—	0.43	0.013	—	0.017
e	—	0.80 BSC	—	—	0.031	—
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	—	1.00 REF	—	—	0.039 REF	—
L2	—	0.25 BSC	—	—	0.010 BSC	—
θ	0°	3.5°	7°	0°	3.5°	7°

7.3 44-pin 封装图

LQFP44



封装: LQFP44

标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.45	1.55	1.65	0.057	0.061	0.065
A1	0.015	-	0.21	0.0005	-	0.0083
A2	1.30	1.40	1.50	0.050	0.055	0.060
A3	-	0.254	-	-	0.010	-
c1	-	0.127	-	-	0.005	-
D	11.75	12.52	13.30	0.462	0.493	0.524
D1	9.85	9.95	10.10	0.388	0.392	0.398
E	11.75	12.52	13.30	0.462	0.493	0.524
E1	9.85	9.95	10.10	0.388	0.392	0.398
b	0.25	0.30	0.44	0.009	0.012	0.017
e	-	0.8	-	-	0.032	-
L	0.42	-	0.75	0.016	-	0.030
L1	0.95	1.32	1.70	0.037	0.052	0.067
θ	0°	-	10°	0°	-	10°

附录1. 指令集

附录1.1 概述

本芯片提供了 66 条精简指令。

按照指令执行的机器周期数，可将指令分为双周期指令和单周期指令，其中 CALL/GOTO/RET/RETIA/RETIE 为双周期指令；当满足跳转条件时，JBC/JBS/JDEC/JINC/JCAIE/JCAIG/JCAIL/JCRAE/JCRAG/JCRAL 指令为双周期指令，否则为单周期指令；其它指令均为单周期指令。

对 R 寄存器操作的指令，其中 MOVAR、MOVRA 指令，R 为 10 位寄存器地址（对 7P193/7P194 芯片实际为 9 位），不受数据存储器分组影响；其它对 R 寄存器操作的指令，R 为 7 位寄存器地址，操作时需要选择数据存储体组。

附录1.2 程序控制指令

序号	指令		状态位	机器周期	操作
1	GOTO	I<10:0>	-	2	I<10:0>->PC<10:0>, PCRH<4:3>->PC<12:11>
2	CALL	I<10:0>	-	2	PC+1->TOS,I<10:0>->PC<10:0> PCRH<4:3>->PC<12:11>
3	JBC	R<7:0>,B<2:0>	-	1/2	Skip if R = 0
4	JBS	R<7:0>,B<2:0>	-	1/2	Skip if R = 1
5	JDEC	R<7:0>,F	-	1/2	(R-1)->(目标), Skip if (目标) = 0
6	JINC	R<7:0>,F	-	1/2	(R+1)->(目标), Skip if (目标) = 0
7	JCAIE	I<7:0>	-	1/2	skip if (A) = I
8	JCAIG	I<7:0>	-	1/2	skip if (A) > I
9	JCAIL	I<7:0>	-	1/2	skip if (A) < I
10	JCRAE	R<7:0>	-	1/2	skip if (A) = (R)
11	JCRAG	R<7:0>	-	1/2	skip if (R) > (A)
12	JCRAL	R<7:0>	-	1/2	skip if (R) < (A)
13	POP	-	-	1	自动从相应的镜像寄存器,恢复 A, B, PSW, BKSR, PCRH 寄存器值
14	PUSH	-	-	1	自动将 A, B, PSW, BKSR, PCRH 寄存器值, 保存到相应的镜像寄存器
15	NOP	-	-	1	空操作
16	NOP2	-	-	1	空操作
17	RET		-	2	TOS->PC
18	RETIA	I<7:0>	-	2	I->(A),TOS->PC
19	RETIE		-	2	TOS->PC,1->GIE
20	CWDT	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1->N_TO, 1->N_PD
21	IDLE	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1->N_TO, 0->N_PD

附录表 1-1 程序控制指令表

附录1.3 算术/逻辑运算指令

序号	指令	状态位	机器周期	操作
22	ADD	R<7:0>,F	C, DC, Z	(R)+(A)->(目标)
23	ADDC	R<7:0>,F	C, DC, Z	(R)+(A)+C->(目标)
24	ADDCI	I<7:0>	C, DC, Z	I+(A)+C->(A)
25	ADDI	I<7:0>	C, DC, Z	I+(A)->(A)
26	AND	R<7:0>,F	Z	(A).AND.(R)->(目标)
27	ANDI	I<7:0>	Z	I.AND.(A)->(A)
28	BCC	R<7:0>,B<2:0>	-	0->R
29	BSS	R<7:0>,B<2:0>	-	1->R
30	BTT	R<7:0>,B<2:0>	-	(~R)->R
31	CLR	R<7:0>	Z	(R)=0
32	CLRA	-	Z	(A)=0
33	CLRB	-	Z	(B)=0
34	SETR	R<7:0>	-	FFH->(R)
35	COM	R<7:0>,F	Z	(~R)->(目标)
36	DAR	R<7:0>,F	C	对(R)十进制调整->(目标)
37	DAW	-	C	对(A)十进制调整->(A)
38	DEC	R<7:0>,F	C, DC, Z	(R-1)->(目标)
39	INC	R<7:0>,F	C, DC, Z	(R+1)->(目标)
40	IOR	R<7:0>,F	Z	(A).OR.(R)->(目标)
41	IORI	I<7:0>	Z	I.OR.(A)->(A)
42	RL	R<7:0>,F	C,Z	C<< R<7:0> <<C
43	RLNC	R<7:0>,F	Z	R<7:0> << R<7>
44	RR	R<7:0>,F	C,Z	C>> R<7:0> >>C
45	RRNC	R<7:0>,F	Z	R<0> >> R<7:0>
46	SUB	R<7:0>,F	C, DC, Z	(R)-(A)->(目标)
47	SUBC	R<7:0>,F	C, DC, Z	(R)-(A)- (~C)->(目标)
48	SUBCI	I<7:0>	C, DC, Z	I-(A)- (~C)->(A)
49	SUBI	I<7:0>	C, DC, Z	I-(A)->(A)
50	SSUB	R<7:0>,F	C, DC, Z	(A)-(R)->(目标)
51	SSUBC	R<7:0>,F	C, DC, Z	(A)-(R)- (~C)->(目标)
52	SSUBCI	I<7:0>	C, DC, Z	(A)-I- (~C)->(A)
53	SSUBI	I<7:0>	C, DC, Z	(A)-I->(A)
54	MUL	R<7:0>,F	-	(R).MUL.(A)-> {B,目标}
55	MULI	I<7:0>	-	I.MUL.(A)-> {B, A}
56	SWAP	R<7:0>,F	-	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
57	XOR	R<7:0>, F	Z	(A).XOR.(R)->(目标)
58	XORI	I<7:0>	Z	I.XOR.(A)->(A)

附录表 1-2 算术/逻辑运算指令表

附录1.4 寄存器操作指令

序号	指令		状态位	机器周期	操作
59	SECTION	I<3:0>	-	1	I<2:0>->BKSR<2:0>
60	PAGE	I<3:0>	-	1	I<1:0>->PCR<4:3>
61	MOV	R<7:0>,F	Z	1	F=0,(R)->(A) F=1,(R)->(R)
62	MOVI	I<7:0>	-	1	I<7:0>->(A)
63	MOVA	R<7:0>	-	1	(A)->(R)
64	MOVAB	F	-	1	F=0,(B)->(A) F=1,(A)->(B)
65	MOVAR	R<9:0>	-	1	(A)->(R)
66	MOVRA	R<9:0>	-	1	(R)->(A)

附录表 1-3 寄存器操作指令表

注：指令集说明

1. i—立即数，F—标志位，A—寄存器 A，R—寄存器 R，
B—在位操作指令中，表示寄存器 R 的第 B 位；在指令 MUL，MULI，MOVAB 中，表示寄存器 B。
2. C—进位/借位，DC—半进位/半借位，Z—零标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
5. SECTION 指令中，立即数 I 的位数，视实际芯片而定。对 HR7P193/194 芯片，数据存储空间分为 8 个存储体组，所以立即数 I 的位数是 3。
6. PAGE 指令中，立即数 I 的位数，视实际芯片而定。对 HR7P193/194 芯片，只使用 PCR<4:3>进行 page 的选择，所以立即数 I 的位数是 2。
7. 部分指令中，PC 的位数，视实际芯片而定。对 HR7P193/194 芯片，PC 的位数是 13 位。

附录2. LCD驱动波形

附录2.1 概述

因为要产生 LCD 波形，所以不透明像素上的净 AC 电压应该是最大值，而透明像素上的净 AC 电压应该是最小值。任何像素上的净 DC 电压应该为零。COM 信号表示每个公共端的时间片，而 SEG 中包含像素数据。

像素信号（COM-SEG）中将不包含 DC 分量，并且只可取两个 rms 值中的一个。高 rms 值会产生不透明像素，而低 rms 值会产生透明像素。随着公共端数量的增加，两个 rms 值间的差值逐渐减小。这个差值表示显示器可具有的最大对比度。

可以用两种波形驱动 LCD：A 型和 B 型。在 A 型波形中，相位在每个公共端类型中改变，在 B 型波形中，相位在每个帧边界上改变。这样，A 型波形在单帧中维持 0V DC，而 B 型波形则需要两个帧。

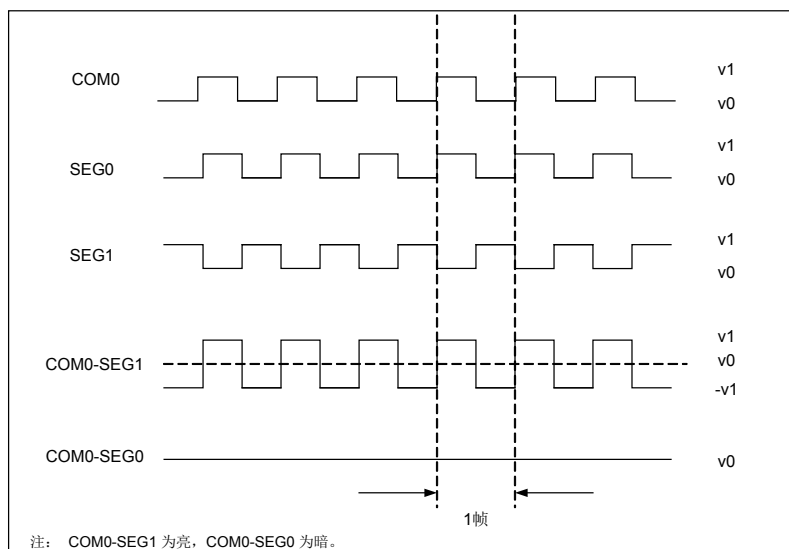


图 附录 2-1 静态驱动时的 A/B 波形图

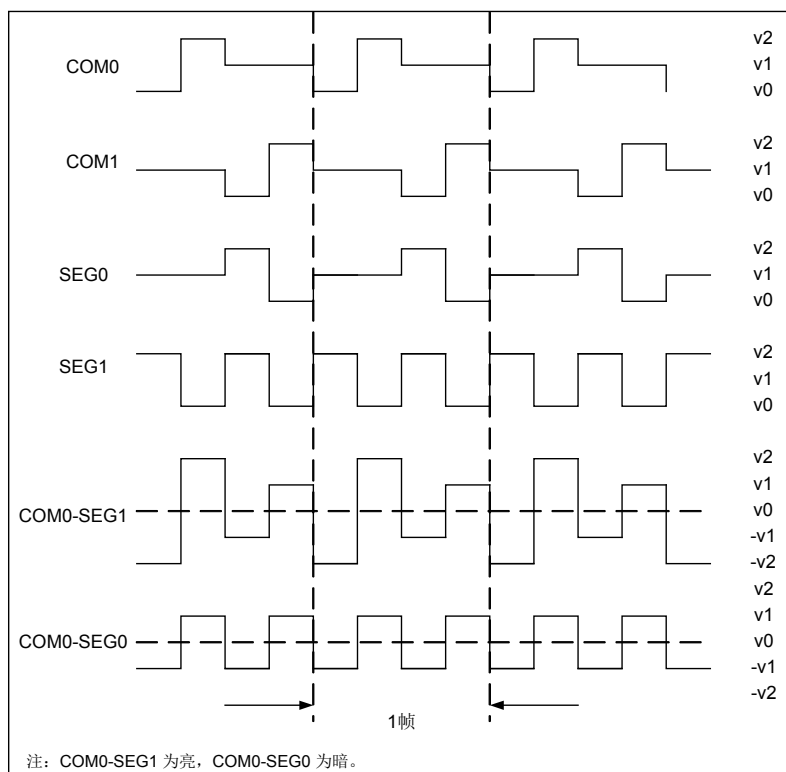


图 附录 2-2 1/2 复用、1/2 偏置驱动时的 A 型波形图

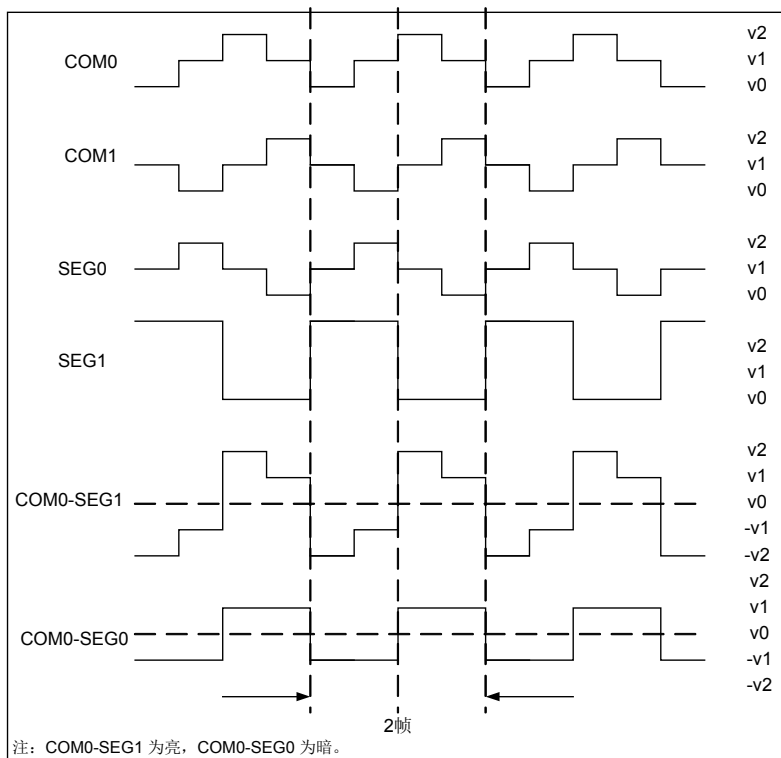


图 附录 2-3 1/2 复用、1/2 偏置驱动时的 B 型波形图

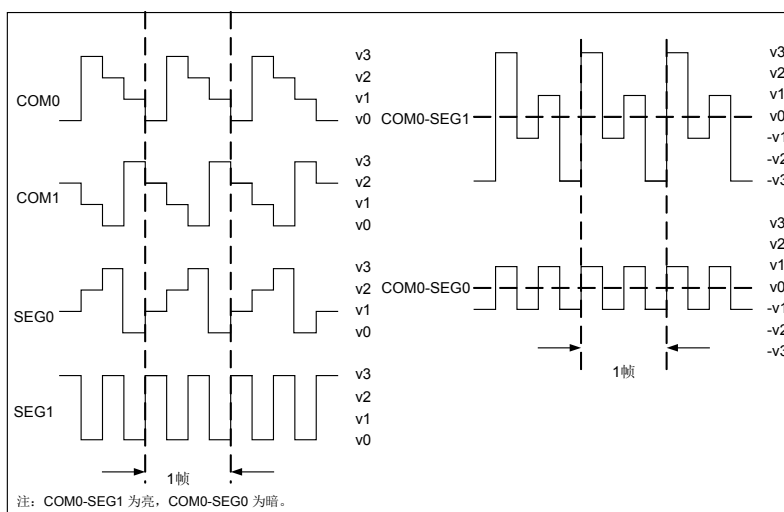


图 附录 2-4 1/2 复用、1/3 偏置驱动时的 A 型波形图

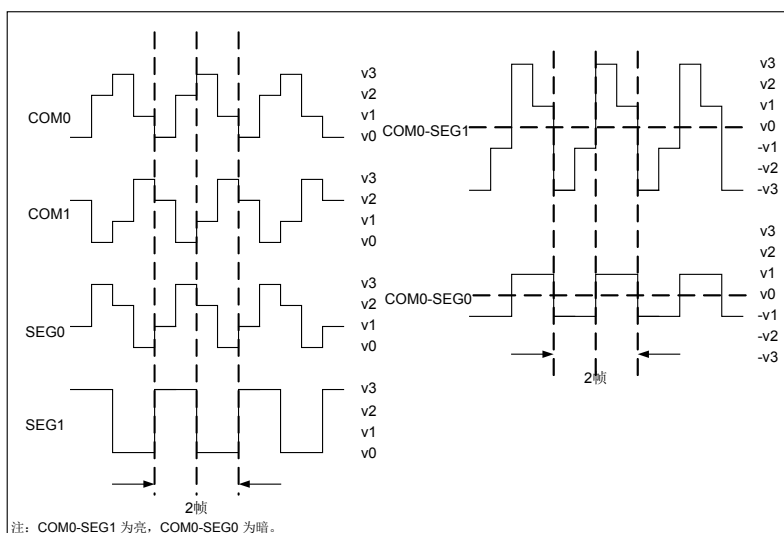


图 附录 2-5 1/2 复用、1/3 偏置驱动时的 B 型波形图

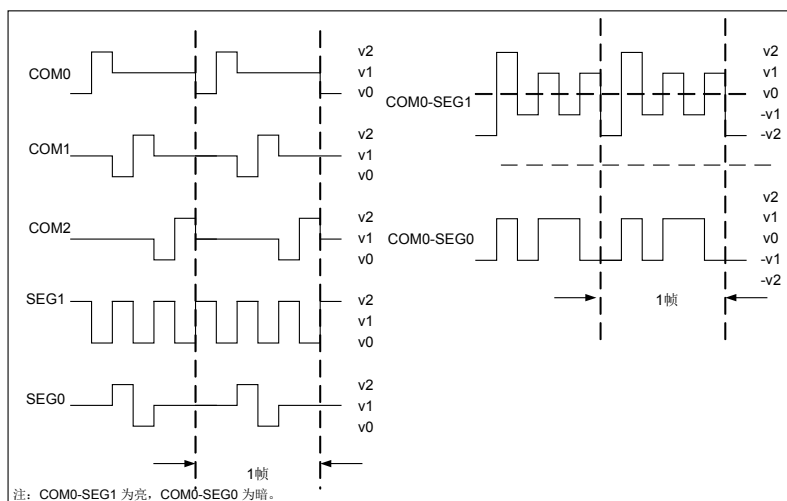


图 附录 2-6 1/3 复用、1/2 偏置驱动时的 A 型波形图

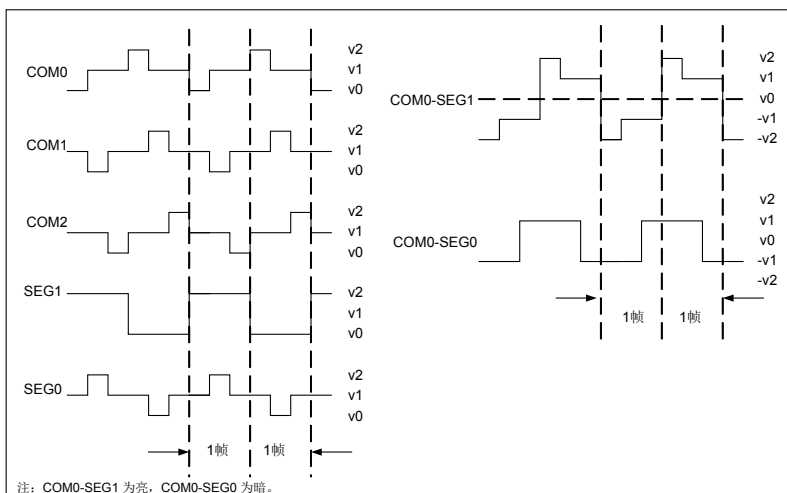


图 附录 2-7 1/3 复用、1/2 偏置驱动时的 B 型波形图

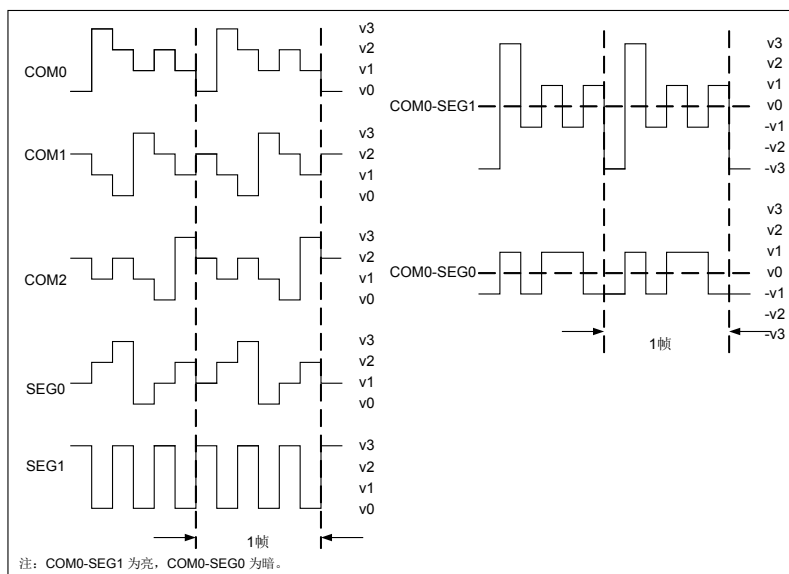


图 附录 2-8 1/3 复用、1/3 偏置驱动时的 A 型波形图

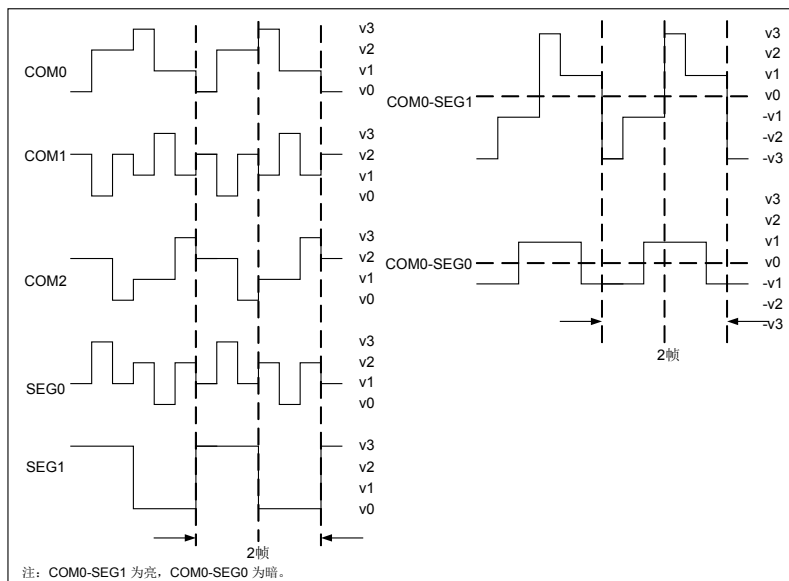


图 附录 2-9 1/3 复用、1/3 偏置驱动时的 B 型波形图

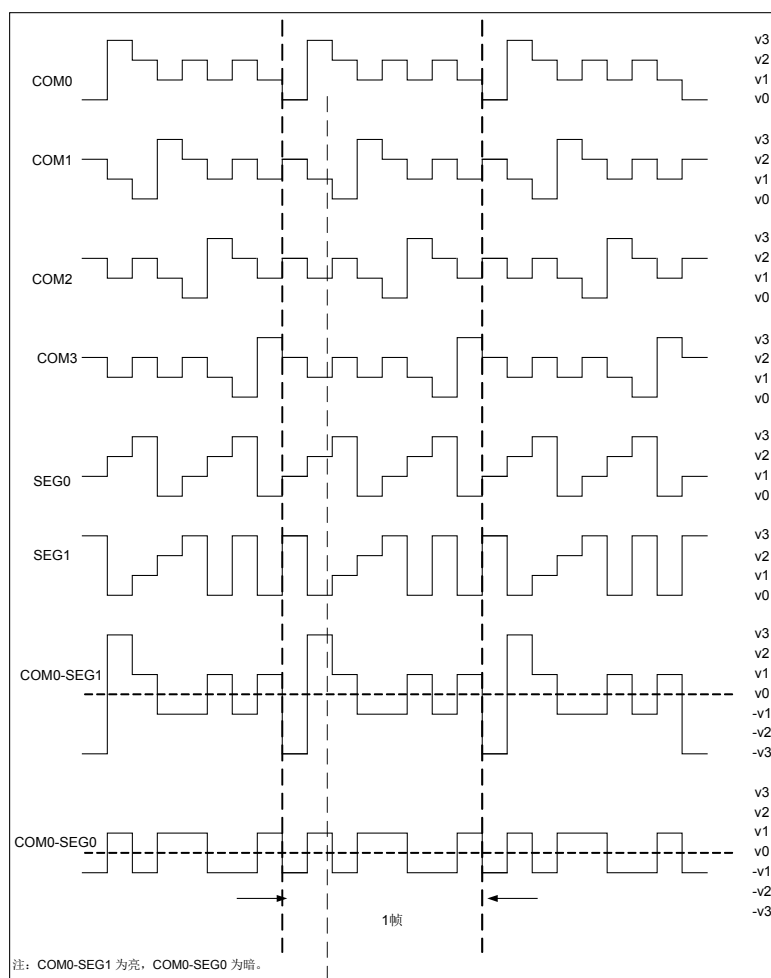


图 附录 2-10 1/4 复用、1/3 偏置驱动时的 A 型波形图

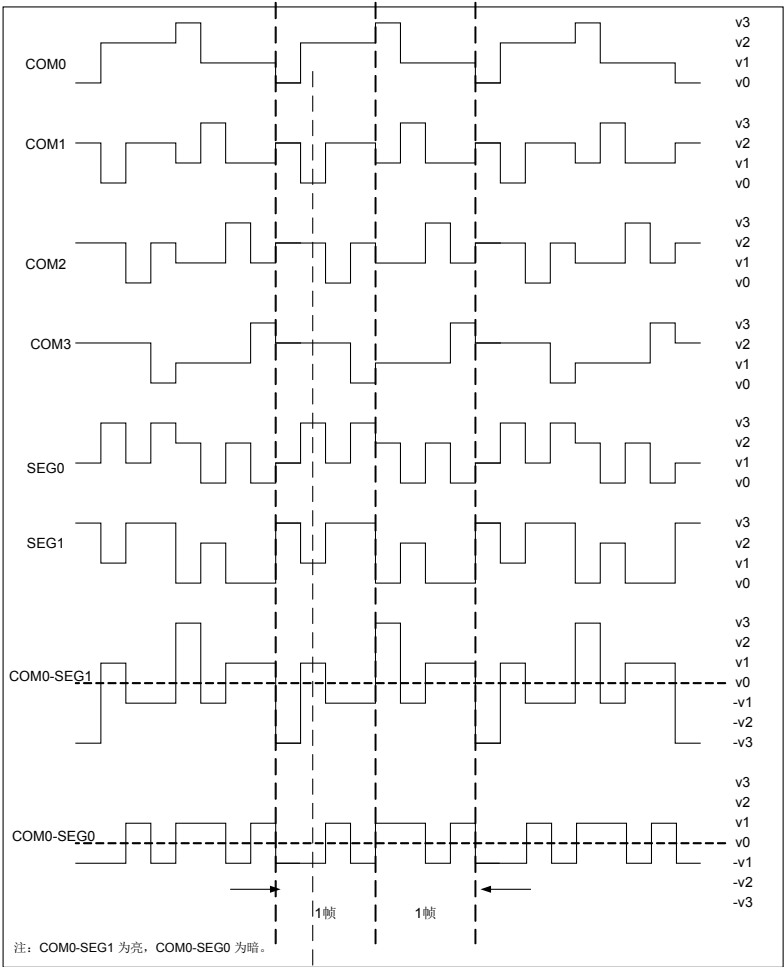


图 附录 2-11 1/4 复用、1/3 偏置驱动时的 B 型波形图

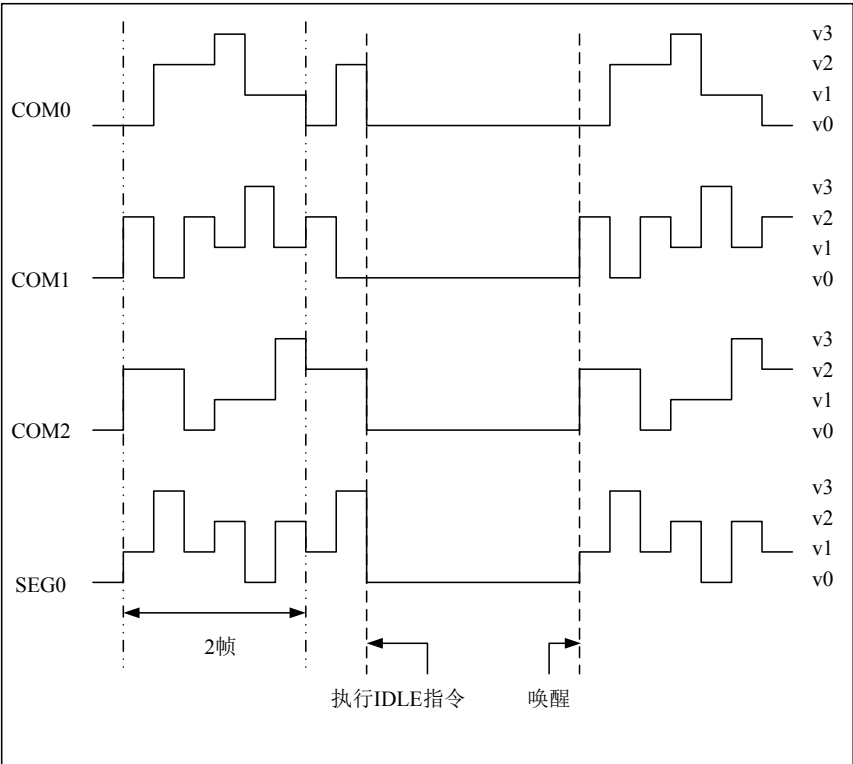


图 附录 2-12 休眠模式停止显示波形图

附录3. 电气特性

附录3.1 参数特性表

最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	—	-0.3 ~ 7.5	V
输入电压	V _{IN}	—	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	—	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	—	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 3.0 ~ 5.5V	-40 ~ 85	°C

芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	3.0	-	5.5	V	-40 ~ 85°C
芯片静态电流	I _{DD}	-	230	-	uA	25°C, VDD = 5V, 所有的 I/O 输入低电平, N_MRST = 0, OSC1 = 0, OSC2 悬空。
休眠模式下 芯片电流	I _{PD}	-	160	-	uA	25°C, VDD = 5V, BOR 不使能, WDT 不使能。
		-	160	-	uA	25°C, VDD = 5V, BOR 不使能, WDT 使能, 时钟源 256 分频。
正常运行模式 芯片电流	I _{OP}	-	5	-	mA	25°C, VDD = 5V, 正常运行模式, 8MHz 时钟输入, I/O 端口输出固定电平, 无负载。
VDD 管脚的 最大输入电流	I _{MDD}	-	80	-	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I _{MSS}	-	120	-	mA	25°C, VDD = 5V
非大电流驱动 I/O 端口灌电流	I _{OL}	-	17	-	mA	25°C, VDD = 5V, V _{OL} = 0.6V
非大电流驱动 I/O 端口拉电流	I _{OH}	-	9	-	mA	25°C, VDD = 5V, V _{OH} = 4.4V
大电流驱动 I/O 端口灌电流	I _{OL}	-	30	-	mA	25°C, VDD = 5V, V _{OL} = 0.6V
大电流驱动 I/O 端口拉电流	I _{OH}	-	10	-	mA	25°C, VDD = 5V, V _{OH} = 4.4V

芯片输入端口特性表

芯片工作温度范围：-40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输入高电平（有 施密特输入特 性）	V_{IH}	0.8VDD	—	VDD	V	$3.0V \leq VDD \leq 5.5V$
主复位信号 N_MRST 输入高 电平（有施密特 输入特性）		0.8VDD	—	VDD	V	
I/O 端口 输入低电平	V_{IL}	VSS	—	0.18VDD	V	
主复位信号 N_MRST 输入低 电平		VSS	—	0.2VDD	V	
I/O 端口 输入漏电流	I_{IL}	—	—	± 1	μA	$3.0V \leq VDD \leq 5.5V$ (端口处于高阻状态)
主复位信号 N_MRST 输入漏 电流		—	—	5	μA	$VSS \leq V_{PIN} \leq VDD$
I/O 端口输入 弱上拉电流	I_{WPU}	10	40	60	μA	$3.0V \leq VDD \leq 5.5V$ $V_{PIN} = VSS$

芯片输出端口特性表

芯片工作温度范围：-40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	VDD-0.7	—	—	V	$3.0V \leq VDD \leq 5.5V$ $I_{OH} = 4.0mA$
I/O 端口 输出低电平	V_{OL}	—	—	0.6	V	$3.0V \leq VDD \leq 5.5V$ $I_{OL} = 8.5mA$

系统时钟特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	Fosc	—	—	16	MHz	$3.0V \leq VDD \leq 5.5V$
系统时钟周期	Tosc	62.5	—	—	ns	$3.0V \leq VDD \leq 5.5V$
机器周期	T _{INST}	250	—	—	ns	$3.0V \leq VDD \leq 5.5V$
外部时钟高电平 和低电平时间	T _{OSL} , T _{OSH}	15	—	—	ns	—
外部时钟上升 和下降时间	T _{OSR} , T _{OSF}	—	—	15	ns	—
WDT 溢出时间	T _{WDT}	13 (40K)	16 (33K)	19 (27K)	ms	不分频, VDD=5V

ADC 交流特性表

参数名	数值	单位
信号输入范围	0 ~ VDD	V
非微分线性误差	±1	LSB
微分线性误差	±1	LSB
采样转换时间	15* Tad	-
偏移误差	±2	LSB
推荐输入电阻	<10	KΩ
输入电容	40	pF

AD 转换时间对照表

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc/2	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*	Tad = 2us
Fosc/8	不推荐使用 1*	不推荐使用 1*	Tad = 2us	Tad = 8us
Fosc/32	Tad = 2us	Tad = 4us	Tad = 8us	不推荐使用 2*
Frc	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us

注 1*: Tad 值不满足设计要求不推荐使用

注 2*: 转换时间太慢, 推荐选择其它分频设置

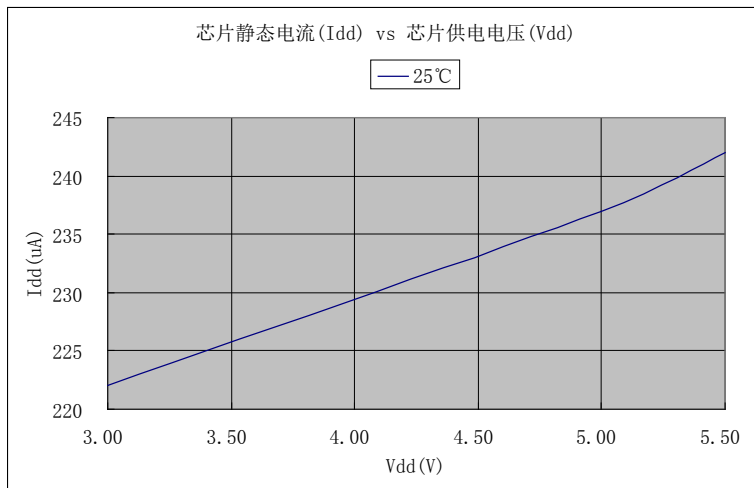
内部 16MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
25℃ 将频率校准至 16MHz	25℃, VDD = 3.0V ~ 5.5V	15.92	16	16.08	MHz
	-40℃ ~ 85℃, VDD = 3.0V ~ 5.5V	14.5	16	16.7	MHz

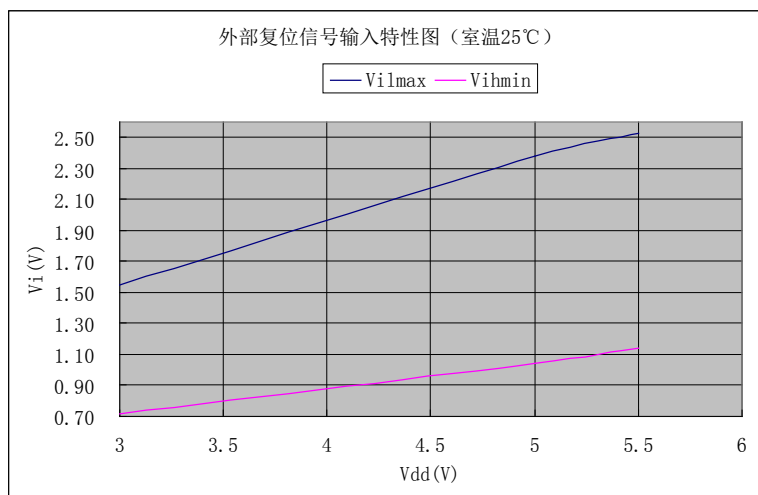
附录3.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

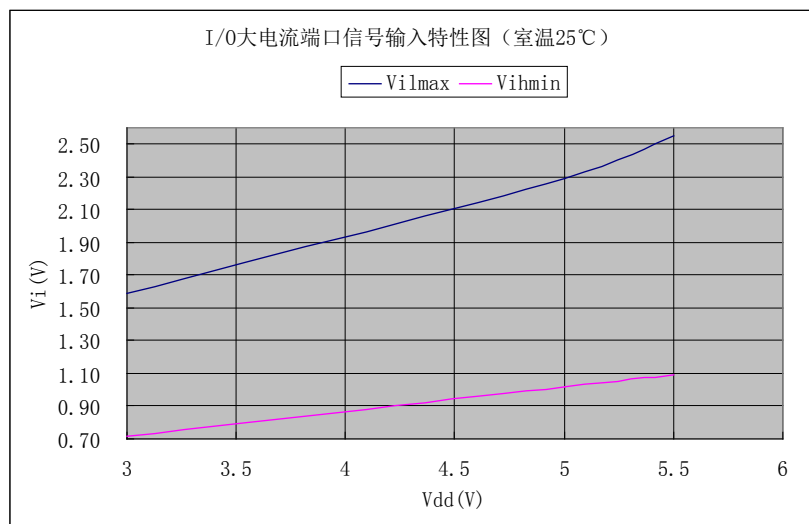
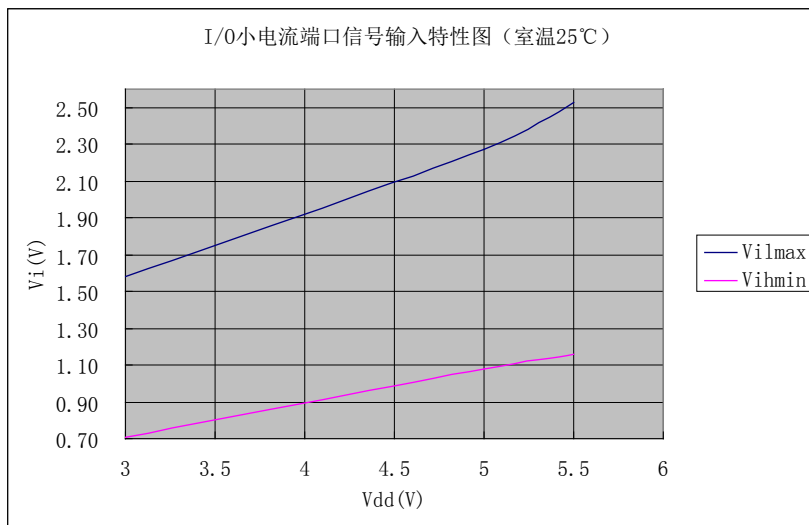
芯片静态电流随芯片电压变化特性图（室温 25℃）



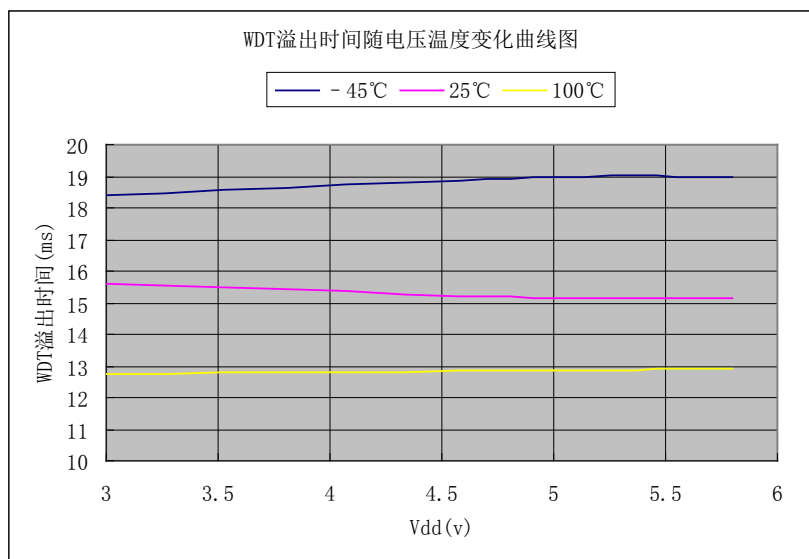
外部复位信号输入特性图（室温 25℃）



I/O 端口信号输入特性图（室温 25℃）

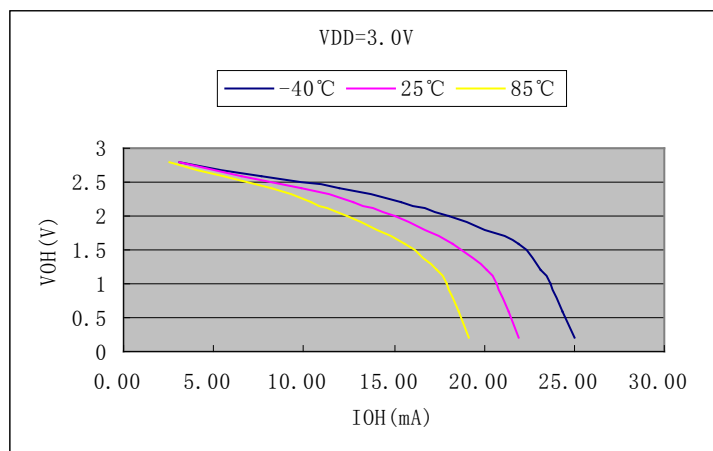


WDT 溢出时间随电压温度变化曲线图

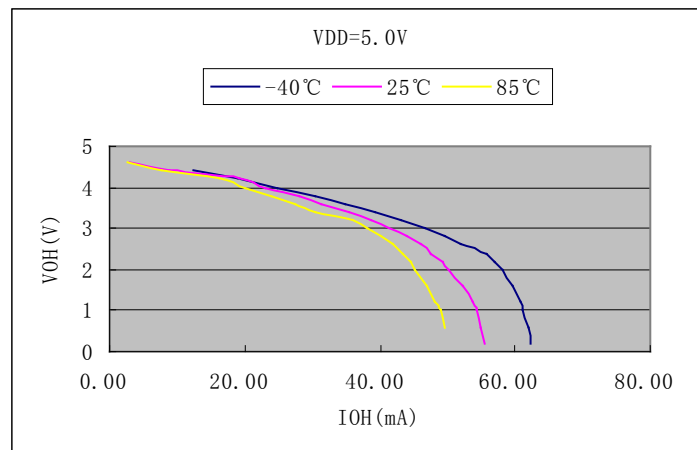


I/O 端口（非大电流驱动）信号输出特性图

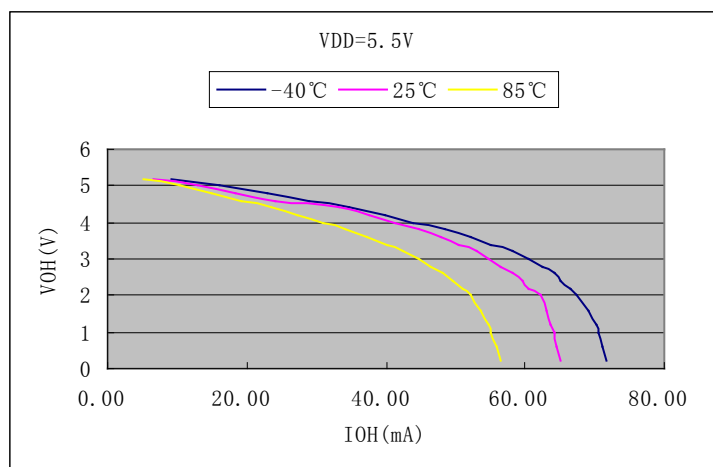
A: V_{OH} vs. I_{OH} @VDD = 3.0V（非大电流驱动）



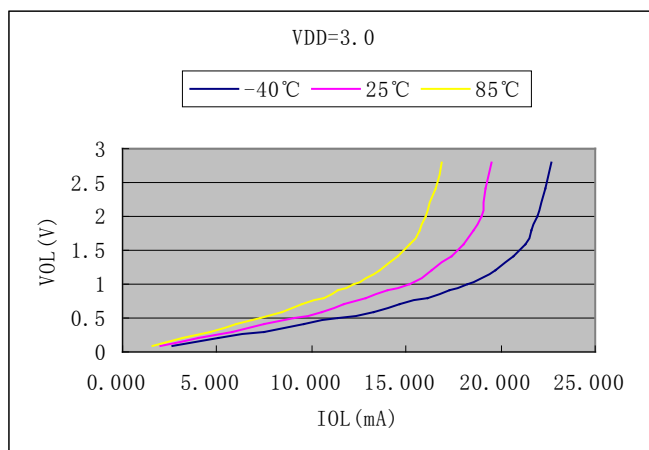
B: V_{OH} vs. I_{OH} @VDD = 5.0V（非大电流驱动）



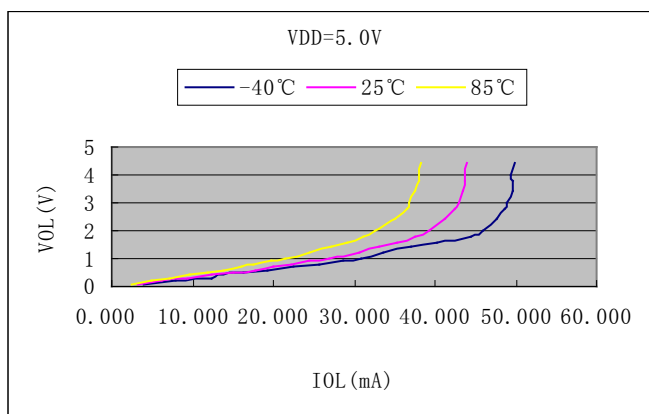
C: V_{OH} vs. I_{OH} @VDD = 5.5V（非大电流驱动）



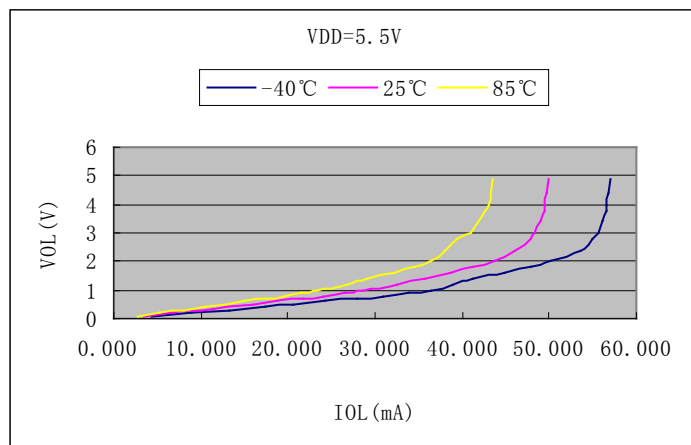
D: V_{OL} vs. I_{OL} @VDD = 3.0V (非大电流驱动)



E: V_{OL} vs. I_{OL} @VDD = 5.0V (非大电流驱动)

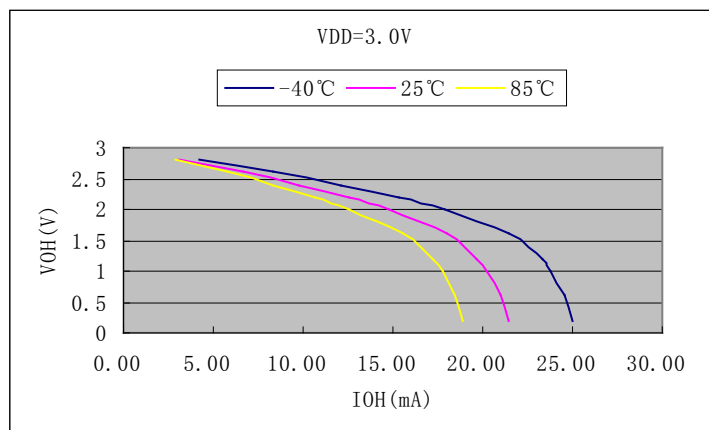


F: V_{OL} vs. I_{OL} @VDD = 5.5V (非大电流驱动)

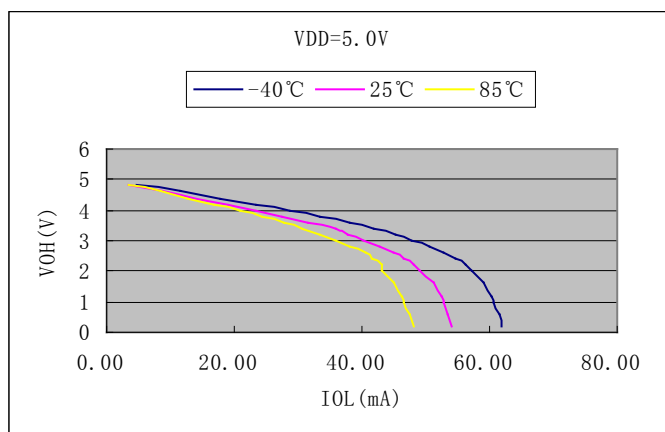


I/O 端口（大电流驱动）信号输出特性图

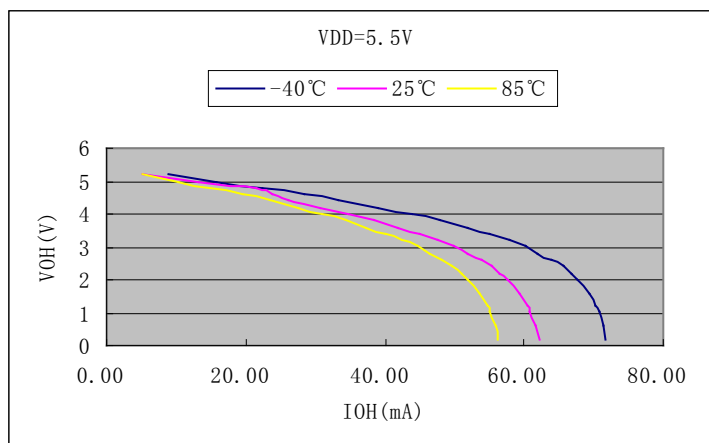
G: V_{OH} vs. I_{OH} @VDD = 3.0V（大电流驱动）



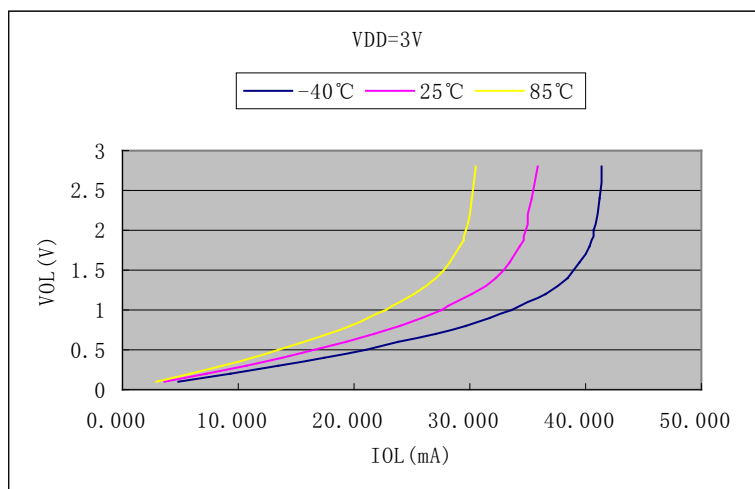
H: V_{OH} vs. I_{OH} @VDD = 5.0V（大电流驱动）



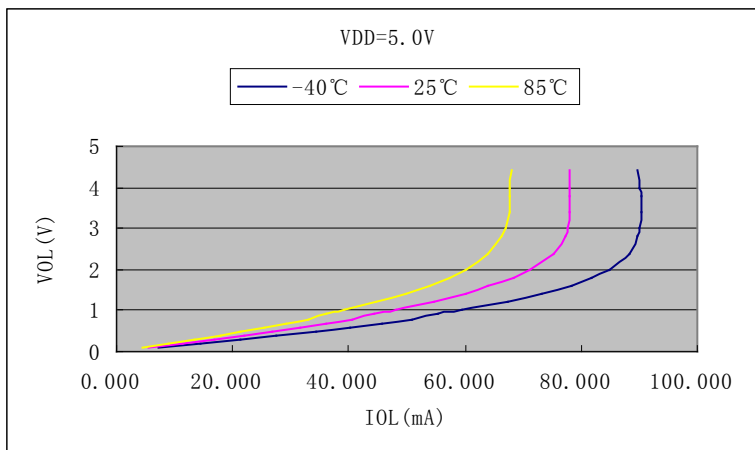
I: V_{OH} vs. I_{OH} @VDD = 5.5V（大电流驱动）



J: V_{OL} vs. I_{OL} @VDD = 3.0V (大电流驱动)



K: V_{OL} vs. I_{OL} @VDD = 5.0V (大电流驱动)



L: V_{OL} vs. I_{OL} @VDD = 5.5V (大电流驱动)

