

内置国密算法的低功耗安全 MCU

特性

■ 操作条件

- 工作电压范围：2.0V ~ 5.0V
- 工作温度范围：-40°C ~ 85°C

■ 低功耗特性

- HALT (0.6uA)
- ACTIVE_HALT (0.85uA)
- LOW_POWER_WAIT (80uA@32KHz)
- LOW_POWER_RUN (85uA@32KHz)
- WAIT (0.55mA@16MHz)
- 正常工作功耗：<4mA
- HALT 模式快速唤醒时间：10us

■ 8 位增强型 8051 内核

- 系统时钟最高为 16MHz, 可进行 1/2/4/32 分频, 默认为 HSI 的二分频 (8MHz)
- 支持 30 路中断源
- 16bit 乘法运算和 32/16bit 除法运算

■ 复位和电源管理

- 低功耗 POR/PDR/BOR
- 支持 7 档可编程电压检测单元 (PVD)

■ 时钟管理

- 外部高速时钟 HSE: 4~24MHz 无源晶振
- 外部高速时钟 HSO: 1~16MHz 有源晶振
- 内部高速时钟 HSI: 16MHz RC 振荡器
- 外部低速时钟 LSE: 32.768KHz 无源晶振
- 内部低速时钟 LSI: 32KHz RC 振荡器

■ 低功耗 RTC

- 带有报警中断的日历

■ 存储器

- 多达 8KB 的 SRAM
- 程序存储器: 64KB
- 灵活的读写保护模式

■ 12 位 ADC

- 7 通道 12 位 ADC
- 采样转换率高达 1MSPS
- 支持外部 IO 与定时触发
- 支持 Vref 内部基准电压, 也可输至片外

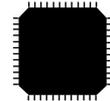
■ 封装



TSSOP20



QFN32



LQFP48

■ 两路比较器

- 1 路固定阈值和 1 路轨到轨
- 带有唤醒功能

■ 定时器

- 2 个 16 位基本定时器
- 1 个 16 位通用定时器, 带 3 个通道, 支持输出比较/PWM 生成
- 2 个 16 位高级定时器, 分别带 3 个通道, 支持输入捕获/输出比较/PWM 生成/互补输出/死区和刹车
- 1 个 16 位低功耗定时器
- 内置 1 个看门狗定时器, 支持中断/复位模式

■ 通信接口

- 2 路 I²C 主从机接口
- 4 路 SPI 主从机接口
- 4 路 UART 接口
- 1 路 LPUART 接口

■ 安全特性

- 加密算法: SM4/AES-128/DES/3DES
- 1 路硬件真随机数发生器
- CRC8 校验

■ 多达 40 个 I/O, 都可以映射到中断向量

■ 32bit UID

■ 两线调试接口 RJSWD

■ 软件支持

- Keil realview MDK

目录

| | |
|----------------------------|----|
| 1. 说明..... | 4 |
| 2. 简介..... | 5 |
| 2.1 概述..... | 5 |
| 2.2 功能框图..... | 5 |
| 3. 规格说明..... | 6 |
| 3.1 低功耗模式..... | 6 |
| 3.2 处理器..... | 6 |
| 3.3 存储单元..... | 7 |
| 3.4 复位和电源管理..... | 7 |
| 3.4.1 供电规则..... | 7 |
| 3.4.2 电源监控..... | 8 |
| 3.4.3 复位..... | 8 |
| 3.5 时钟管理..... | 8 |
| 3.6 实时时钟（RTC）..... | 9 |
| 3.7 模数转换器（ADC）..... | 9 |
| 3.8 低功耗比较器..... | 9 |
| 3.9 定时器（TIMER）..... | 10 |
| 3.9.1 基本定时器（TIMER0/1）..... | 10 |
| 3.9.2 通用定时器（TIMER2）..... | 10 |
| 3.9.3 高级定时器（TIMER3/4）..... | 11 |
| 3.9.4 低功耗定时器（LPTIMER）..... | 11 |
| 3.10 看门狗定时器（WDT）..... | 12 |
| 3.11 通信接口..... | 12 |
| 3.11.1 SPI 接口..... | 12 |
| 3.11.2 I2C 接口..... | 12 |
| 3.11.3 UART..... | 13 |
| 3.11.4 LPUART..... | 13 |
| 3.11.5 通用 I/O 口..... | 13 |
| 3.12 安全特性及物理防护..... | 14 |
| 3.12.1 加密算法..... | 14 |
| 3.12.2 RNG 真随机数发生器..... | 14 |
| 3.12.3 循环冗余校验（CRC8）..... | 14 |
| 3.12.4 物理防护..... | 15 |
| 4. 引脚定义..... | 16 |
| 4.1 引脚定义图：QFN32..... | 16 |
| 4.2 引脚定义图：LQFP48..... | 17 |
| 4.3 引脚定义图：TSSOP20..... | 17 |
| 4.4 引脚描述..... | 18 |
| 5. 存储映射..... | 22 |

| | |
|-------------------------|-----------|
| 5.1 地址映射 | 22 |
| 5.2 存储器保护 | 22 |
| 6. 中断服务单元..... | 23 |
| 6.1 中断源 | 23 |
| 6.2 中断优先级 | 24 |
| 7. 电气参数 | 26 |
| 7.1 测试条件 | 26 |
| 7.1.1 最小和最大数值..... | 26 |
| 7.1.2 典型数值..... | 26 |
| 7.1.3 典型曲线图..... | 26 |
| 7.2 最大额定参数 | 26 |
| 7.3 操作条件 | 27 |
| 7.4 通用 IO 特性参数..... | 27 |
| 7.5 ADC 特性参数 | 28 |
| 7.6 上电特性..... | 29 |
| 7.7 低功耗特性..... | 30 |
| 8. 芯片封装信息..... | 31 |
| 8.1 封装形式: QFN32..... | 31 |
| 8.2 封装形式: LQFP48..... | 31 |
| 8.3 封装形式: TSSOP20 | 32 |
| 9. 订货信息 | 33 |
| 10. 版本修订 | 34 |

1. 说明

本文档为 RJM8L151S 系列的数据手册，主要用于客户初期的选型使用，后期的开发请参考 RJM8L151S 系列的用户手册。在本文档中会详细的介绍 RJM8L151S 系列的内部存储资源、外设资源、电气特性、引脚定义、器件的机械特性和订购信息。

2. 简介

2.1 概述

RJM8L151S 系列是一款 8051 增强型单片机。芯片内置 256B 内部数据存储器, 8KB 的 SRAM, 64KB 的 FLASH, 具备快速中断响应, 高效低功耗设计, 多种休眠模式。片内集成多种安全密码模块, 包括 SM4/DES/3DES/AES 安全算法, 支持真随机数发生器, 集成 CRC8 校验模块。芯片提供了多种外围接口: SPI、I2C、UART、LPUART、GPIO。

2.2 功能框图

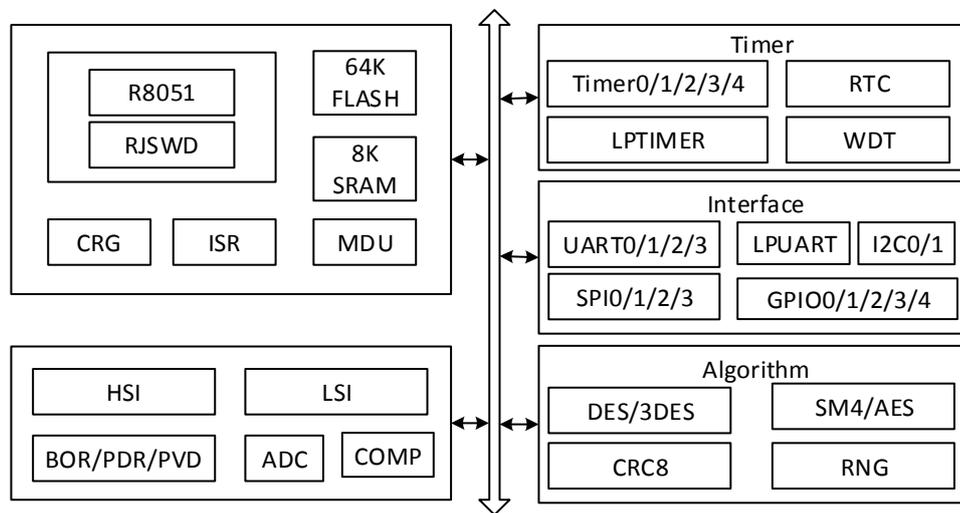


图 2-1 芯片功能框图

3. 规格说明

3.1 低功耗模式

芯片支持 5 种低功耗模式，以使用户在低功耗、唤醒时间以及唤醒源之间选择最优的解决方案。在系统复位撤销以后芯片默认处于正常工作模式，此时系统时钟为 HSI 的二分频。

- **HALT 模式：**系统所有时钟停止，系统不掉电，RAM 处于保持状态。HALT 模式下，可以配置多个外设作为唤醒源。唤醒过程中不涉及重新上下电，唤醒后 CPU 从上次进入 HALT 低功耗处接着运行。
- **ACTIVE_HALT 模式：**CPU 和外设时钟停止，但低速时钟 LSI 或 LSE 开启，除 HALT 模式下列出的唤醒源外，RTC、LPTIMER、LPUART 也可将系统从 ACTIVE_HALT 模式唤醒到正常工作模式。
- **WAIT 模式：**除 CPU 时钟停止外，其他模块均正常工作，系统工作在高速时钟 HSI 或 HSE 或 HSO 下。外设中断可将系统从 WAIT 模式唤醒到正常工作模式。与 HALT 模式相比，WAIT 模式唤醒时间非常短，唤醒源有效后，只需 3 个系统时钟周期可切换到正常工作模式。
- **LOW_POWER_WAIT 模式：**与 WAIT 模式相比，LOW_POWER_WAIT 模式下系统工作在低速时钟 LSI 或 LSE、或高速时钟 HSI 的 16 分频下。
- **LOW_POWER_RUN 模式：**使能并选择低频时钟 LSI 或 LSE 作为系统时钟，同时关闭高频时钟，系统进入该模式。

3.2 处理器

基于 8051 设计而成的处理器核，它是一个简洁的，一体化模块，集成了下列功能：

- 采用哈佛结构，具有独立的程序和数据空间；
- 程序存储器的读写能力和外部等待状态共享程序和外部数据存储器接口；
- 片上存储器（256B 的 IRAM）接口；
- 内部和外部的（对于整个 8051）特殊功能寄存器接口；
- 紧凑的指令解码器和指令执行机；
- 8 位 ALU，可进行加法、减法、逻辑运算、位操作；
- 16x16bit 乘法、16/16bit 除法和 32/16bit 除法、移位；
- 16 位程序计数器；
- 1 或 2 级数据指针；
- SFR 总线多路复用器接口；
- 看门狗定时器接口；

- 调试接口；

3.3 存储单元

- FLASH 非易失性存储器：64KB 的存储器
 - FLASH 非易失性存储器
 1. 扇区：128B/扇区，共 512 个扇区；
 2. 擦除方式：DMA 擦除（擦除一扇区），擦除字节为 0xFF；
 3. 编程方式：DMA 编程，在每次编程之前进行擦除操作；
 4. 保护特性：使能存储器保护，芯片上电启动后进入保护模式，保护等级分为三级（高级别保护优先）：
 - 一级：正常运行模式，擦、写 FLASH 前需先解锁；
 - 二级：可以连接仿真器和在 BOOT_RAM 模式运行，但是禁止仿真器和在 BOOT_RAM 模式读 FLASH；
 - 三级：禁止仿真器连接和在 BOOT_RAM 模式运行；
 5. 在系统设置为低功耗等待（LOW_POWER_WAIT）或低功耗运行（LOW_POWER_RUN）模式时，存储器可配置为低功耗模式。
 - 最小擦写次数 10 万次@100° C；
 - 最短数据保持时间 100 年@室温；
 - 可灵活用作代码区和数据区；
- 片上集成 8KB SRAM；
- 256 字节内部数据存储器，包含 128 字节特殊功能寄存器。

3.4 复位和电源管理

3.4.1 供电规则

芯片要求供电范围为 2.0V ~ 5.0V 的工作电压（VDD）。外部供电引脚必须连接如下：

- VSS/VDD = 2.0V ~ 5.0V：用于 IO 以及芯片整体工作的外部电源。通过 VDD 引脚接入，对应的接地引脚为 VSS；
- VREFPE/VREFNE：ADC 模块的外部参考电压输入，可通过外部提供给 VREFPE/VREFNE 引脚，详见 ADC 电气特性；

3.4.2 电源监控

芯片集成了 PDR 模块，可实现上电复位（POR）和掉电复位（PDR）功能。

芯片集成了欠压复位电路（BOR）模块。5 个 BOR 阈值通过相应寄存器设置，从 1.7V 到 2.8V。当 VDD 低于规定阈值时，芯片处于复位状态，不需要任何的外部复位电路。

芯片集成了一个可编程电压检测器（PVD），监控 VDD 电源，并将其与 PVD 设置阈值进行比较。该 PVD 从 1.8V~3.0V 之间提供了 7 个不同的阈值，通过软件设置。当 VDD 低于阈值时，可引起状态标志位改变。PVD 中断极性可选，当中断使能且满足极性条件时，可触发中断进行及时处理。

3.4.3 复位

系统复位将复位所有寄存器至它们的复位状态。当发生以下事件时，将产生一个系统复位：

- NRST 引脚上的低电平（外部复位）
- 上/掉电复位
- 欠压复位
- 看门狗复位
- 模块软件复位
- 系统软复位

3.5 时钟管理

时钟控制器将来自不同振荡器的系统时钟分配给内核和外围设备。

- 时钟分频器：为了在速度和功耗之间得到最优的折衷，CPU 和外设的时钟频率可以通过软件设置分频进行调整；
- 时钟管理：为了降低功耗，时钟控制器可以停止 51 核、个别外设或存储器的时钟
- 系统时钟源：以下 5 个不同的时钟源可以被用作系统时钟：
 - 外部高速时钟 HSE：4~24MHz 无源晶振
 - 外部高速时钟 HSO：1~16MHz 有源晶振
 - 内部高速时钟 HSI：16MHz RC 振荡器
 - 外部低速时钟 LSE：32.768KHz 无源晶振
 - 内部低速时钟 LSI：32KHz RC 振荡器
- RTC 时钟源：
 - 外部低速时钟 LSE：32.768KHz 无源晶振
 - 内部低速时钟 LSI：32KHz RC 振荡器
- 启动时钟：复位后，系统默认以内部高速时钟 HSI 的二分频启动。只要代码开始执行，应用程序可以更改时钟源以及分频比。

3.6 实时时钟（RTC）

芯片有一个独立的实时时钟（RTC），它提供了一个时钟和可编程的闹钟。RTC 还包括一个用于唤醒低功耗的单元。

RTC 包含了对世纪/年/月/日/小时（24 小时制）/分/秒的二进制编码，对 28 天、29 天（闰年）、30 天和 31 天的月份自动执行调整。

- 时钟源可为 LSE 或 LSI；
- 日历功能：世纪、年、月、日、时、分、秒，支持月份天数自动调整；
- 周期定时功能：支持 1s、1min、1h、1d 产生周期 TICK 中断；
- 闹钟功能：当日历时间与设置的闹钟时间匹配时，产生 ALARM 中断。

3.7 模数转换器（ADC）

芯片有一个高速的 12 位逐次比较模拟数字转换器。提供 7 个多功能的输入通道。A/D 转换的各个通道可以执行单次和有缓存功能的连续转换模式。

- 12 位分辨率，提供 7 个功能通道；
- 转换速率高达 1MSPS（16M 时钟下）；
- 单端输入和差分对输入方式；
- 单次转换和连续转换模式；
- 触发转换源：外部 IO 输入信号、TIMER2/3/4 和 LPTIMER 定时；
- 外部触发转换模式：上升沿触发、下降沿触发、双沿触发；
- VREF 模块，支持内部 2.4V 参考电压，也可输出至片外供其他器件使用；
- 转换结束时可以产生中断；
- 内置校准单元。

注：当芯片 VDD 供电高于 2.4V 时，VREF 输出为 2.4V；当 VDD 供电低于 2.4V 时，VREF 输出则跟随 VDD 值，且较 VDD 小几十 mV。若 VREF 输出至片外供其他器件使用，驱动能力可能不足，需外挂跟随电路。

3.8 低功耗比较器

芯片有两路比较器：COMP1 和 COMP2，它们共享相同的偏置电流。

- COMP1：反相输入端是固定阈值，为内部参考电压（电压值为 1.0V）；正相输入端为外部 IO 输入；
- COMP2：反相输入端阈值可选，可以是内部参考电压或外部 IO 输入参考电压；正相输入端为外部 IO 输入；
- 两路比较器可以组合成窗口比较器；

- 两路比较器具有 Halt 模式下唤醒功能，高电平唤醒；
- 两路比较器都可产生中断；
- 两路比较器输出极性可控；
- COMP2 的反相输入端阈值可选，内部参考电压有 4 个档位；
- COMP2 的输出可重定向为 TIMER4 的刹车输入或者 TIMER3 的重载模式 1 下的外部重载信号和 TIMER2 的外部重载信号；
- COMP2 的工作模式可选：快速模式下，比较器翻转速度快，功耗高；低速模式下，比较器翻转速度慢，功耗低。

3.9 定时器 (TIMER)

3.9.1 基本定时器 (TIMER0/1)

芯片有 2 个独立的、向上计数的基本定时器：TIMER0 和 TIMER1。每个定时器都可以用来作为时基发生器，具有溢出中断功能。

- 最大 16 位递增定时器；
- 计数分频固定为系统时钟的 12 分频；
- TIMER0 有 4 种工作模式：13 位定时器、16 位定时器、8 位自动重载定时器、拆成两个 8 位定时器；
- TIMER1 有 3 种工作模式：13 位定时器、16 位定时器、8 位自动重载定时器；
- 从初值计数至溢出时产生中断。

3.9.2 通用定时器 (TIMER2)

芯片内置了 1 个带有可编程分频器、向上计数的 16 位通用定时器：TIMER2。适用于多个场合，包括基本的定时，测量输入信号脉冲宽度，产生输出波形（输出比较，PWM）。

- 16 位向上计数和自动重载计数器
- 2 种工作模式：
 - 基本定时模式
 - 门控定时模式
- 可更改的计数分频（系统时钟的 12 分频/24 分频）
- 3 个独立通道
 - 输出比较
 - PWM 生成（无互补输出）
- 如下事件发生时可产生中断

- 从初值向上计数至溢出
- 外部重载
- 输出比较

3.9.3 高级定时器 (TIMER3/4)

芯片有 2 个 16 位高级定时器：TIMER3、TIMER4。适用于多个用途，包括基本的定时、测量输入信号脉冲宽度、产生输出波形（输出比较，PWM），以及对应不同事件（溢出、捕获、比较、刹车）的中断。可对刹车的输入信号进行滤波。

- 16 位的向上、向下、向上/向下交替计数的自动重载计数器
- 可配置的计数分频：系统时钟的 1~655356 分频
- 多达 3 个独立通道，可以配置成：
 - 输入捕获
 - 输出比较
 - PWM 生成（边沿对齐和中央对齐）支持互补输出，并且死区时间可编程
- 刹车输入信号可以将定时器输出信号置于已知状态
- 刹车输入信号可进行数字滤波
- 产生中断的事件包括：
 - 溢出：从 0 向上计数至重载值溢出、从重载值向下计数至 0 溢出
 - 外部重载
 - 输入捕获
 - 输出比较
 - 刹车信号输入

3.9.4 低功耗定时器 (LPTIMER)

芯片有 1 个 16 位的低功耗定时/计数器：LPTIMER。作定时器使用时，每个低速时钟周期，计数器加 1；作计数器使用时，检测到外部管脚的沿事件，计数器加 1。

- 16 位递增自动重载定时/计数器；
- 工作时钟为低速时钟 LSE 或 LSI；
- 作为计数器使用时，计数事件可选上升沿、下降沿或者双沿；
- 具有 HALT 模式下唤醒功能；
- 中断在 UEV (Update Event) 事件时产生：计数器从 0 向上计数到自动重载值，重新从 0 开始并产生一个计数溢出事件。

3.10 看门狗定时器 (WDT)

看门狗定时器 (WDT) 采用 15 位的递增计数器，从可编程的加载值计数到溢出值。当计数器计数到溢出值时，如果看门狗动作设为复位，则看门狗模块输出复位信号，复位系统；如果看门狗动作设为中断，则触发看门狗中断，如果在中断中未及时进行喂狗操作(重新设置加载值)，则产生复位信号复位系统。用户可以通过设置看门狗使能位来停止/启动计数器。

- 15 位的递增计数器；
- 可选的计数时钟周期：24 或 3072 个系统时钟周期计数递增 1 次；
- 可编程装载值；
- 看门狗中断和复位请求都有相应屏蔽位，默认关闭（即不能产生中断和复位请求）。

3.11 通信接口

3.11.1 SPI 接口

芯片有 4 路 SPI 接口：SPI0、SPI1、SPI2 和 SPI3，用于与 SPI 外设之间进行全双工、全同步、串行通讯。SPI 接口支持主/从模式，可以工作在查询或中断方式下。

- 可选择主/从模式；
- 可配置的传输速率，支持主时钟的 1、2、4、8、16、32、64、128 分频；
- 主机支持 Mode0/1/2 /3 四种传输协议；
- 从机仅支持 Mode0；
- 支持 SPI 四线传输；
- 支持 8 位的串行传输，高位先出；

3.11.2 I2C 接口

芯片有 2 路 I2C 接口：I2C0 与 I2C1，通过数据引脚 SDA 和时钟引脚 SCL 与 I2C 外设进行通信。本模块支持主模式和从模式。

- I2C 主/从设备功能；
- 可编程的 I2C 从设备地址；
- 可编程的 ACK/NACK 应答；
- 主机模式支持 100Kbps、400Kbps 两种速率；
- 从机模式支持 100Kbps 速率；
- 支持 7bit 设备地址；
- 独立的发送 FIFO 和接收 FIFO，深度均为 4 字节；

3.11.3 UART

芯片有 4 路 UART 接口：UART0、UART1、UART2 和 UART3。UART 是一种通用串行数据总线，用于异步通信。该总线双向通信，可以实现全双工传输。UART 接口可以工作在查询或中断方式下。

- 16 位的波特率分频因子；
- 两种工作模式：模式 1、模式 3；
- 可编程数据位宽（8/9bit）；
- 模式 3 下支持多机通信；
- 模式 3 下支持校验控制；
- 支持接收与发送中断；

3.11.4 LPUART

芯片有 1 路 LPUART 接口。LPUART 是一种低功耗的通用异步收发器，允许以低功耗进行半双工通信。在低速时钟下，允许最高的通信速率为 9600 波特率。切换到高速时钟，可进行全双工和实现更高的波特率通信。

- 工作频率可选（高速时钟：HSI 或 HSE 或 HSO 作系统时钟的 1/2/4/16 分频、低速时钟：LSI 或 LSE）；
- 高速时钟下支持全双工通信，低速时钟下支持半双工通信；
- 32 位的可编程波特率；
- 可产生接收完成中断；
- 具有 HALT 模式下唤醒功能；
- 奇偶校验可选。

3.11.5 通用 I/O 口

芯片有 5 组 GPIO 通用输入/输出接口：GPIO0、GPIO1、GPIO2、GPIO3 和 GPIO4。GPIO 引脚多达 40 个，具体视封装而定，每个引脚都可以被独立编程作为数字输入或数字输出口。另外部分端口还可以作为模拟输入、外部中断、片上外设的输入/输出等复用功能。在同一时刻仅有一个复用功能可以映射到引脚上。复用功能可通过相关寄存器进行控制。此外，每个端口都可作为外部中断信号输入。

每个端口都分配有一个输出/输入数据寄存器，一个数据方向寄存器。

- GPIO 端口支持浮空输入、上拉输入、模拟输入、推挽输出；
- 片上外设的 IO 功能复用；

- 外部中断可以单独使能和关闭（支持边沿触发和电平触发）；
- 管脚输出驱动能力： 4.5mA(3.3V)/6mA(5V)。

3.12 安全特性及物理防护

3.12.1 加密算法

- DES/3DES 加密算法
 - 符合 FIPS 46-3 的加解密标准
 - 支持 DES 和 3DES 加解密运算
 - 支持 DES 算法 64 位密钥
 - 支持 3DES 算法 192 位密钥
 - 支持 ECB（Electronic Code Book）模式
- AES-128 加密算法
 - 支持 AES 加密和解密运算
 - 支持 128 bit 密钥长度
- SM4 加密算法
 - 符合国家密码标准
 - 支持 SM4 加密和解密运算
 - 支持 128 bit 密钥长度

3.12.2 RNG 真随机数发生器

- 内嵌一个 8 位真随机数发生器，以满足某些应用中的安全交易流程需要
- 随机数发生器是数字振荡环方式真随机数发生器（DTRNG）
- 符合国际 FIPS-140-2 和 NIST SP800-22 测试标准
- 符合国密局《随机数检测规范》测试标准

3.12.3 循环冗余校验（CRC8）

CRC8 是一个以 $G(x) = x^8 + x^2 + x + 1$ 为计算式的硬件 8 位 CRC 循环冗余校验计算电路。可以根据用户预设的 CRC 初值，通讯数据计算出 CRC 结果，并且支持设置输入数据与结果的反射操作。

3.12.4 物理防护

提供芯片级 ESD 防护水平和高可靠性安全防护算法，有效防止抄板，以及代码反向分析。

- 芯片级安全系统级防护策略；
- 片内 FLASH、RAM 等存储单元数据高强度加密及串扰防护。

4. 引脚定义

4.1 引脚定义图：QFN32

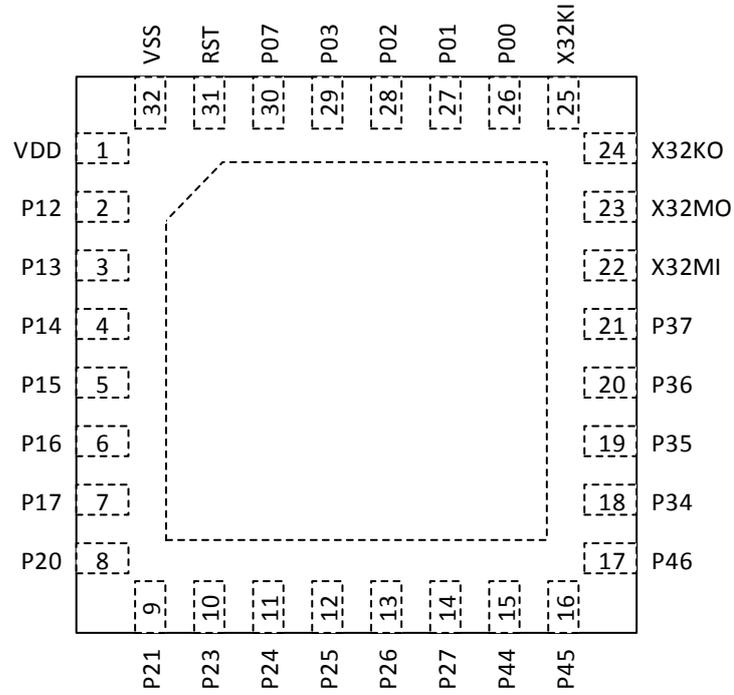


图 4-1 QFN32 引脚封装

4.2 引脚定义图：LQFP48

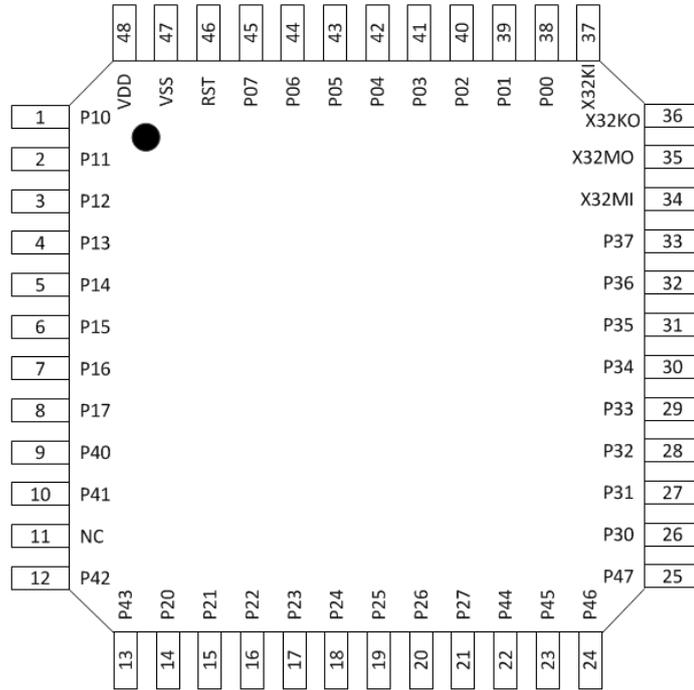


图 4-2 LQFP48 引脚封装

4.3 引脚定义图：TSSOP20

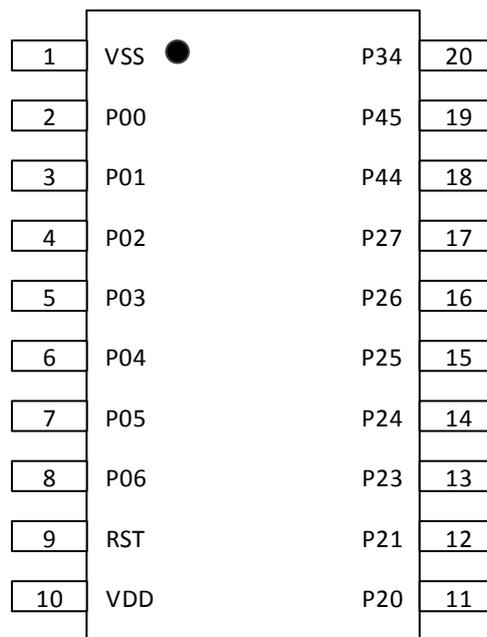


图 4-3 TSSOP20 引脚封装

4.4 引脚描述

4-1 RJM8L151S 引脚描述

| TSSOP20 | QFN32 | LQFP48 | 引脚名称 | 复用功能寄存器配置 | | | | | | | |
|---------|-------|--------|------|---|------------------------|-------------|-----------------------|----------|--------------|--------|------------------|
| | | | | 模拟/数字功能选择 (AD_SEL) : 1: 管脚模拟功能 (AF) ; 0: 管脚数字功能 (DF0-DF3) ; | | | | | | | |
| | | | | 数字功能复用控制 (DF_SEL) : 0: DF0; 1: DF1; 2: DF2; 3: DF3; | | | | | | | |
| | | | | DF0 | DF1 | DF2 | DF3 | AF | AD_SEL | DF_SEL | |
| - | - | 1 | P10 | GPI010 | UART2_RX /LPUART_RX | | | | | | IOCFG_CTRL1[7] |
| - | - | 2 | P11 | GPI011 | UART2_TX | LPUART_TX | TIM3_CAPO | | | | IOCFG_CTRL2[1:0] |
| - | 2 | 3 | P12 | GPI012 | SPI2_CLK_M | SPI2_CLK_S | TIM3_CC0 比较通道 0 | | | | IOCFG_CTRL2[3:2] |
| - | 3 | 4 | P13 | GPI013 | SPI2_MISO_S | SPI2_MISO_M | TIM3_CCON 比较互补通道 0 | | | | IOCFG_CTRL2[5:4] |
| - | 4 | 5 | P14 | GPI014 | SPI2_MOSI_M | SPI2_MOSI_S | TIM3_CC1 比较通道 1 | | | | IOCFG_CTRL2[7:6] |
| - | 5 | 6 | P15 | GPI015 | SPI2_CS | | TIM3_CC1N 比较互补通道 1 | | | | IOCFG_CTRL3[1:0] |
| - | 6 | 7 | P16 | GPI016 | TIM3_CC2 比较通道 2 | | | | | | IOCFG_CTRL3[2] |
| - | 7 | 8 | P17 | GPI017 | IIC0_SCL | | TIM3_CC2N 比较互补通道 2 | | | | IOCFG_CTRL3[5:4] |
| - | - | 9 | P40 | GPI040 | IIC0_SDA | | TIM3_ERT 外部重载触发 | | | | IOCFG_CTRL3[7:6] |
| - | - | 10 | P41 | GPI041 | TIM3_ETR 外部事件触发 | | | | | | IOCFG_CTRL3[3] |
| - | - | 11 | NC | | | | | | | | |
| - | - | 12 | P42 | GPI042 | TIM3_CAP1 | | | | | | IOCFG_CTRL8[7] |
| - | - | 13 | P43 | GPI043 | TIM3_CAP2 | | | | | | IOCFG_CTRL8[7] |
| 11 | 8 | 14 | P20 | GPI020 | SPI0_CLK_M | SPI0_CLK_S | TIM4_CAP1 | ADC_REFN | ADC_IO_EN[9] | | IOCFG_CTRL4[1:0] |
| 12 | 9 | 15 | P21 | GPI021 | SPI0_MISO_M | SPI0_MISO_S | TIM4_CAP2 | ADC_REFP | ADC_IO_EN[8] | | IOCFG_CTRL4[3:2] |
| - | - | 16 | P22 | GPI022 | SPI0_MOSI_M | SPI0_MOSI_S | ADC_ETR 外部触发通道 | | | | IOCFG_CTRL4[5:4] |
| 13 | 10 | 17 | P23 | GPI023 | SPI0_CS | | | ADC_IN7 | ADC_IO_EN[7] | | IOCFG_CTRL4[6] |
| 14 | 11 | 18 | P24 | GPI024 | SPI1_CLK_M | SPI1_CLK_S | TIM4_CC0 比较通道 0 | ADC_IN6 | ADC_IO_EN[6] | | IOCFG_CTRL5[1:0] |
| 15 | 12 | 19 | P25 | GPI025 | SPI1_MISO_M | SPI1_MISO_S | TIM4_CCON 比较互补通道 0 | ADC_IN5 | ADC_IO_EN[5] | | IOCFG_CTRL5[3:2] |
| 16 | 13 | 20 | P26 | GPI026 | SPI1_MOSI_M | SPI1_MOSI_S | TIM4_CC1 比较通道 1 | ADC_IN4 | ADC_IO_EN[4] | | IOCFG_CTRL5[5:4] |
| 17 | 14 | 21 | P27 | GPI027 | SPI1_CS | | TIM4_CC1N 比较互补通道 1 | ADC_IN3 | ADC_IO_EN[3] | | IOCFG_CTRL5[7:6] |
| 18 | 15 | 22 | P44 | GPI044 | | | TIM4_CC2 比较通道 2 | ADC_IN2 | ADC_IO_EN[2] | | IOCFG_CTRL6[1:0] |
| 19 | 16 | 23 | P45 | GPI045 | UART1_RX | | TIM4_CC2N 比较互补通道 2 | ADC_IN1 | ADC_IO_EN[1] | | IOCFG_CTRL6[3:2] |

| | | | | | | | | | | |
|----|----|----|-------|--------|-------------|-------------|---------------------|------------|--------------|------------------|
| - | 17 | 24 | P46 | GPI046 | UART1_TX | | | | | IOCFG_CTRL4[7] |
| - | - | 25 | P47 | GPI047 | | | | | | |
| - | - | 26 | P30 | GPI030 | IIC1_SCL | | TIM2_ETR 外部事件触发 | COMP2_IN_N | CMP_IO_EN[0] | IOCFG_CTRL7[1:0] |
| - | - | 27 | P31 | GPI031 | IIC1_SDA | | TIM4_ERT 外部重载触发 | COMP1_IN_P | CMP_IO_EN[1] | IOCFG_CTRL7[3:2] |
| - | - | 28 | P32 | GPI032 | UART3_RX | | TIM4_ETR 外部事件触发 | COMP2_IN_P | CMP_IO_EN[2] | IOCFG_CTRL7[5:4] |
| - | - | 29 | P33 | GPI033 | UART3_TX | | TIM3_BKIN 刹车输入 | | | IOCFG_CTRL7[7:6] |
| 20 | 18 | 30 | P34 | GPI034 | SPI3_CLK_M | SPI3_CLK_S | TIM4_BKIN 刹车输入 | | | IOCFG_CTRL8[1:0] |
| - | 19 | 31 | P35 | GPI035 | SPI3_MISO_M | SPI3_MISO_S | TIM4_CAPO | | | IOCFG_CTRL8[3:2] |
| - | 20 | 32 | P36 | GPI036 | SPI3_MOSI_M | SPI3_MOSI_S | LPTIM_ETR 外部事件触发 | | | IOCFG_CTRL8[5:4] |
| - | 21 | 33 | P37 | GPI037 | SPI3_CS | | | | | IOCFG_CTRL8[6] |
| - | 22 | 34 | HSE_I | | | | | | | |
| - | 23 | 35 | HSE_0 | | | | | | | |
| - | 24 | 36 | LSE_0 | | | | | | | |
| - | 25 | 37 | LSE_I | | | | | | | |
| 2 | 26 | 38 | P00 | RJ_SDA | | GPI000 | TIM2_ERT 外部重载触发 | | | IOCFG_CTRL0[1:0] |
| 3 | 27 | 39 | P01 | RJ_SCK | | GPI001 | TIM2_CC0 比较通道 0 | | | IOCFG_CTRL0[3:2] |
| 4 | 28 | 40 | P02 | GPI002 | IIC0_SDA | | TIM2_CC1 比较通道 1 | | | IOCFG_CTRL0[5:4] |
| 5 | 29 | 41 | P03 | GPI003 | UART0_TX | LF_CLK_OUT | TIM2_CC2 比较通道 2 | | | IOCFG_CTRL0[7:6] |
| 6 | | 42 | P04 | GPI004 | UART0_RX | HF_CLK_OUT | | | | IOCFG_CTRL1[1:0] |
| 7 | | 43 | P05 | GPI005 | | | | | | IOCFG_CTRL1[3:2] |
| 8 | | 44 | P06 | GPI006 | IIC0_SCL | | | | | IOCFG_CTRL1[6] |
| - | 30 | 45 | P07 | GPI007 | HSO_IN | | | | | IOCFG_CTRL1[5:4] |
| 9 | 31 | 46 | RST | | | | | | | |
| 1 | 32 | 47 | VSS | | | | | | | |
| 10 | 1 | 48 | VDD | | | | | | | |

注:

1. I2C0/1 接口分别对应不同组 IO 引脚, 但同一 I2C 接口的主/从模式下共用同一组 IO 引脚。同时 I2C0 接口可以复用到两组不同 IO 引脚, I2C1 接口仅可以复用到一组固定的 IO 引脚。
2. SPI0/1/2/3 接口分别对应不同组 IO 引脚, 但同一 SPI 接口的主/从模式下共用同一组 IO 引脚, 却对应不同的复用功能。
3. UART0/1/2/3 接口分别对应不同组 IO 引脚, 其中 UART2 与 LPUART 共用同一组 IO 引脚, 而且

UART2_RX 与 LPUART_RX 对应同一 IO 的相同复用功能，UART2_TX 与 LPUART_TX 对应同一 IO 的不同复用功能。

4. *TIMER3 的输入捕获通道 1/2：TIM3_CAP1、TIM3_CAP2，分别对应 GPIO42、GPIO43 引脚的复用功能，却由 IOCFG_CTRL8[7] 进行共同控制。*
5. *“LF_CLK_OUT”即低频时钟输出，通过使能并选择低频时钟源 LSE 或 LSI，同时将 P03 功能复用为 DF2 即可输出。“HF_CLK_OUT”即高频时钟输出，通过使能并选择高频时钟源 HSE 或 HSI 或 HSO，同时将 P03 功能复用为 DF2 而后经固定 16 分频后即可输出。*

5. 存储映射

5.1 地址映射

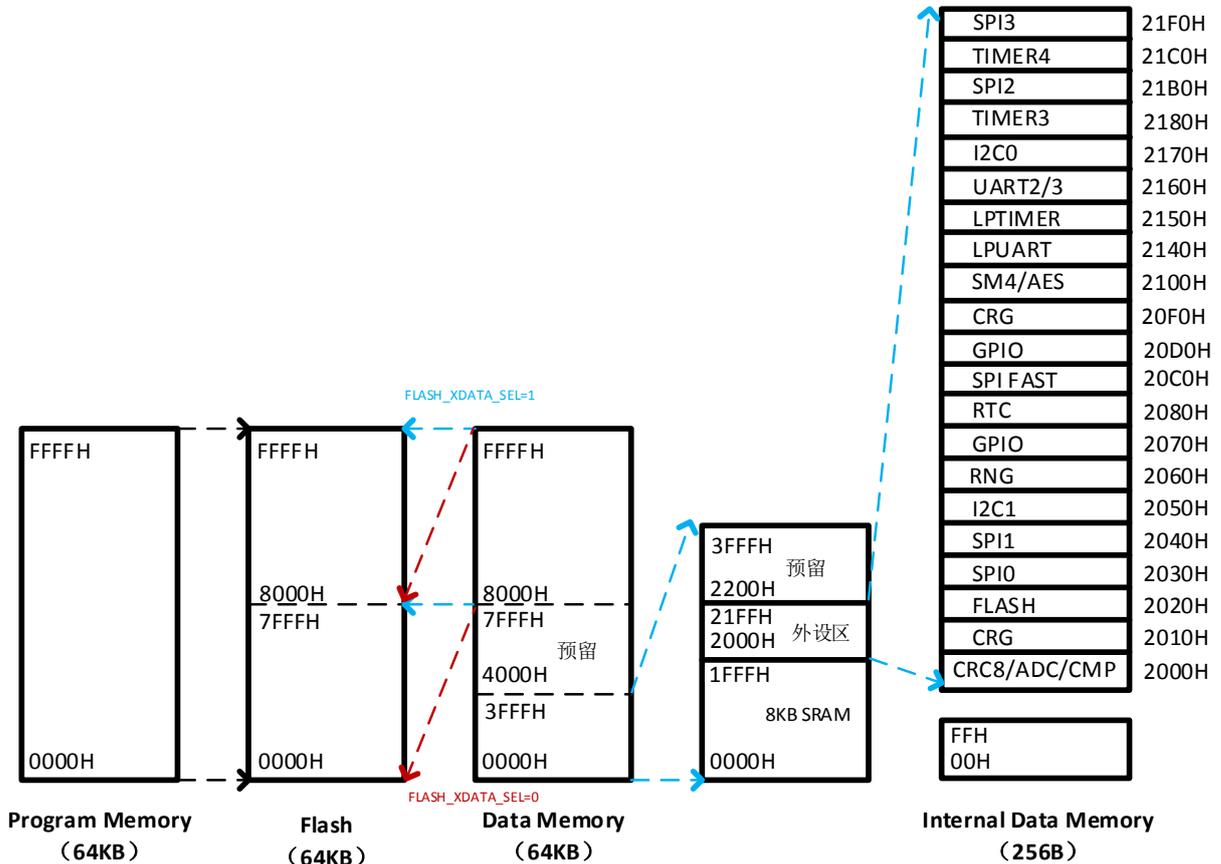


图 5-1 存储器地址映射

5.2 存储器保护

芯片支持 Memory 存储器保护功能。使能存储器保护功能后 (PROTECT_MOD)，芯片上电启动后会进入保护模式，根据保护数据来使能保护级别，分三级（高级别保护优先）：

- 一级：正常运行模式，擦、写 FLASH 前需先解锁；
- 二级：可以连接仿真器和在 BOOT_RAM 运行，但是禁止仿真器和 BOOT_RAM 读 FLASH；
- 三级：禁止仿真器连接和 BOOT_RAM 模式运行；

Memory 保护机制如下：在 Memory 保护模式下，FLASH 数据不可读；若想通过改变保护权限来读取 FLASH 数据，则在改写 Memory 保护权限位时，硬件会擦除主 FLASH 区 (MAIN 区)，再擦除 NVR 区 (PROTECT_MOD 所在的 NVR 区)，这样确保在 Memory 保护模式下，FLASH 数据不被读出。

存储器保护位 PROTECT_MOD 需要使用提供的写函数写入，在下次上电时生效。

6. 中断服务单元

中断服务程序单元(ISR)是 8051 的一个重要组成部分，它与 CPU 处理器内核紧密耦合，实现低中断延迟以及对新到中断的有效处理，外部中断信号连接到 ISR，ISR 将对这些中断进行优先级排序。

- 支持 30 路向量中断；
- 4 级可编程中断优先级；
- 支持中断嵌套；
- 中断可屏蔽。

6.1 中断源

每个中断源都有自己的请求标志，它位于中断源的设备中。没有中断请求标志是直接位于 ISR。所有中断请求是通过相应高电平输入到 ISR。通过相应的使能标志位（在“IEN0”、“IEN1”和“IEN2”“IEN3”“IEN4”SFR 寄存器中），每个中断源都可以单独启用或禁用。此外，所有的中断可以在全局范围内启用或禁用的“EAL”的标志位（在“IEN0”SFR 寄存器中）。

所有中断源被分成 6 个中断组。每个中断组可以有 1 到 4 个中断优先级分配。中断优先级的定义是由位于“IP0”和“IP1”SFR 寄存器的标志决定。

表 6-1 中断源

| 中断号 | 中断源 | 备注 | 使能位 | 中断入口地址 |
|-------|-------------|---------------------|--------|--------|
| Int0 | PVD | PVD 中断 | IEN0.0 | 03H |
| Int1 | TIMER0 | 定时器 0 中断 | IEN0.1 | 0BH |
| Int2 | GPIO1 | GPIO1 模块中断 | IEN0.2 | 13H |
| Int3 | TIMER1 | 定时器 1 中断 | IEN0.3 | 1BH |
| Int4 | UART0 | 串口 0 模块中断 | IEN0.4 | 23H |
| Int5 | TIMER2 | 定时器 2 中断 | IEN0.5 | 2BH |
| Int6 | GPIO3 | GPIO3 模块中断 | IEN1.0 | 33H |
| Int7 | GPIO2 | GPIO2 模块中断 | IEN1.1 | 3BH |
| Int8 | SPI0 | SPI0 模块中断 | IEN1.2 | 43H |
| Int9 | LPTIMER | LPTIMER 模块中断 | IEN1.3 | 4BH |
| Int10 | GPIO4 | GPIO4 模块中断 | IEN1.4 | 53H |
| Int11 | SM4/DES/AES | SM4/DES/AES 加解密模块中断 | IEN1.5 | 5BH |
| Int12 | UART1 | 串口 1 模块中断 | IEN2.0 | 63H |

| | | | | |
|-------|--------|-------------|--------|-----|
| Int13 | RSV | RSV | IEN2.1 | 6BH |
| Int14 | SPI1 | SPI1 模块中断 | IEN2.2 | 73H |
| Int15 | SPI2 | SPI2 模块中断 | IEN2.3 | 7BH |
| Int16 | SPI3 | SPI3 模块中断 | IEN2.4 | 83H |
| Int17 | I2C0 | I2C0 模块中断 | IEN2.5 | 8BH |
| Int18 | RTC | RTC 模块中断 | IEN3.0 | 93H |
| Int19 | WDT | 看门狗模块中断 | IEN3.1 | 9BH |
| Int20 | GPIO0 | GPIO0 模块中断 | IEN3.2 | A3H |
| Int21 | ADC | ADC 模块中断 | IEN3.3 | ABH |
| Int22 | I2C1 | I2C1 模块中断 | IEN3.4 | B3H |
| Int23 | LPUART | LPUART 模块中断 | IEN3.5 | BBH |
| Int24 | TIMER3 | 定时器 3 中断 | IEN4.0 | C3H |
| Int25 | TIMER4 | 定时器 4 中断 | IEN4.1 | CBH |
| Int26 | UART2 | 串口 2 模块中断 | IEN4.2 | D3H |
| Int27 | UART3 | 串口 3 模块中断 | IEN4.3 | DBH |
| Int28 | COMP1 | 比较器 1 模块中断 | IEN4.4 | E3H |
| Int29 | COMP2 | 比较器 2 模块中断 | IEN4.5 | EBH |

6.2 中断优先级

表 6-1 中断优先级组

| 中断组 | 组间自然优先级 | 最高优先级 | 较高优先级 | 中间优先级 | 次低优先级 | 最低优先级 |
|--------|---|-------|-------|-------|-------|-------|
| Group0 | 最高优先级  最低优先级 | Int0 | Int6 | Int12 | Int18 | Int24 |
| Group1 | | Int1 | Int7 | Int13 | Int19 | Int25 |
| Group2 | | Int2 | Int8 | Int14 | Int20 | Int26 |
| Group3 | | Int3 | Int9 | Int15 | Int21 | Int27 |
| Group4 | | Int4 | Int10 | Int16 | Int22 | Int28 |
| Group5 | | Int5 | Int11 | Int17 | Int23 | Int29 |

表 6-2 可配置组间中断优先级

| 可配置优先级组 | 组间优先级 | IP1.x bit | IP0.x bit |
|---------|-------|-----------|-----------|
| Level3 | | 1 | 1 |
| Level2 | | 1 | 0 |
| Level1 | | 0 | 1 |

| | | | |
|--------|---|---|---|
| Level0 | 最高优先级  最低优先级 | 0 | 0 |
|--------|---|---|---|

注:

1. 上表中 x 的值为 0, 1, 2, 3, 4, 5, 分别代表 Group0, Group1, Group2, Group3, Group4, Group5;

例如, 将 Group2 的中断优先级设为最高, 则 $IP1=0x04$, $IP0=0x04$;

2. 当请求多个中断时, 所有优先级类型都考虑在内。最重要的是由“IP0”和“IP1”寄存器决定的优先级, 然后组间自然优先, 最后在每个组组内的优先级;

3. 优先级高的中断可打断优先级低的中断, 反之则不行, 同一时间最多有 4 个中断服务。

7. 电气参数

7.1 测试条件

除非特别说明，所有电压的均参照 V_{SS} 。

7.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25^\circ\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试(T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

7.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}(2.0\text{V}\leq V_{DD}\leq 5\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

7.1.3 典型曲线图

除非另有规定，所有典型曲线只作为设计指导而未经测试。

7.2 最大额定参数

表 7-2-1：电压特性、表 7-2-2：电流特性和表 7-2-3：热特性中列出的绝对最大额定值以上的应力可能对设备造成永久性损坏。这些只是压力等级，不建议在这些条件下对设备进行功能操作。长时间暴露在最大额定值条件下可能会影响设备的可靠性。

表 7-2-1 电压特性

| 符号 | 指标 | 最小 | 最大 | 单位 |
|-----------------|---------------------|------------|-----|----|
| $V_{DD}-V_{SS}$ | 外部供电（包括 ADC 参考电压引脚） | -0.3 | 5.5 | V |
| V_{IN} | 引脚输入电压容忍值 | -0.3 | 5.5 | V |
| V_{ESD} | 静电放电电压（HBM） | ± 3000 | - | V |
| | 静电放电电压（MM） | ± 200 | - | V |

| | | | | |
|--|--------------|-------|---|---|
| | 静电放电电压 (CDM) | ±1000 | - | V |
|--|--------------|-------|---|---|

表 7-2-2 电流特性

| 符号 | 指标 | 最小 | 最大 | 单位 |
|------------------|---------------------|----|----|----|
| I _{VDD} | VDD 电源线总电流 (source) | - | 50 | mA |
| I _{VSS} | VSS 地线总电流 (sink) | - | 50 | mA |
| I _{IO} | 芯片单个引脚输出电流 | - | 6 | mA |

表 7-2-3 热特性

| 符号 | 指标 | 值 | 单位 |
|------------------|--------|-----------|----|
| T _{STG} | 保存温度范围 | -45 ~ 150 | °C |
| T _J | 最大结温 | 125 | |

7.3 操作条件

表 7-3-1 通用操作条件

| 符号 | 参数 | 条件 | 最小 | 最大 | 单位 |
|--------------------|--------|--|-----|-----|-----|
| f _{SYCLK} | 系统时钟频率 | $2.0V \leq VDD \leq 5.0V$ | 0 | 16 | MHz |
| V _{DD} | 标准操作电压 | - | 2.0 | 5.0 | V |
| T _A | 温度范围 | $2.0V \leq VDD \leq 5.0V$ | -40 | 85 | °C |
| T _J | 结温范围 | $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ | -40 | 125 | °C |

7.4 通用 IO 特性参数

表 7-4-1 IO 电气特性

| 符号 | 参数 | 条件 | 最小 | 典型 | 最大 | 单位 |
|-----------------|----------|----------------------------|--------|----|--------|----|
| V _{IL} | 输入低电平的电压 | $VSS \leq V_{IN} \leq VDD$ | 0 | - | 0.3VDD | V |
| V _{IH} | 输入高电平的电压 | | 0.7VDD | - | VDD | |
| V _{OL} | 输出低电平的电压 | $2.0 \leq V_{IN} \leq VDD$ | 0 | - | - | V |

| | | | | | | |
|----------|----------|-------------------|----|----|-----|------------|
| V_{OH} | 输出高电平的电压 | | - | - | VDD | |
| R_{PU} | 上拉等效电阻 | $V_{IN} = V_{SS}$ | 22 | 30 | 50 | K Ω |

7.5 ADC 特性参数

表 7-5-1 ADC 电气特性

| 符号 | 参数 | 条件 | 最小 | 典型值 | 最大 | 单位 |
|-----------|-----------|---------------------------------|------------|------|------------|--------------------|
| 供电及参考电压 | | | | | | |
| VDD | 模块供电 | | 2.0 | | 5.0 | V |
| VREFPE | 外部正参考电压 | | 1.5 | | 5.0 | V |
| VREFNE | 外部负参考电压 | | 0 | | 0.5 | |
| CLOAD | 数字输出负载电容 | | | | 0.1 | pF |
| TA | 环境温度 | | -40 | 25 | 105 | $^{\circ}\text{C}$ |
| 模拟输入 | | | | | | |
| V_{AIN} | 转换电压范围 | 单通道操作 | V_{REF-} | | V_{REF+} | V |
| CADC | 内部采样和保持电容 | | | 2.6 | | pF |
| R_{AIN} | 外部输入电阻 | | | | 2000 | Ω |
| R_{ADC} | 采样切换电阻 | $0V \leq V_{AIN} \leq V_{REF+}$ | | 300 | | Ω |
| ADC 时间参数 | | | | | | |
| Fmclk | 转换时钟频率 | | | | 16 | MHz |
| Fsamp | 采样速率 | | | | 2 | MHz |
| Tmclk | 转换时钟周期 | | 31.25 | | | ns |
| Tsamp | 采样和保持时间 | | 3.5 | | 10.5 | Tmclk |
| Tconv | 转换时间 | | | 12.5 | | Tmclk |
| Tsp | 单个采样和转换时间 | | 16 | | | Tmclk |
| Ton | ADC 上电时间 | | 5 | | | Tmclk |
| Teoc | 转换结束时间 | | | 1 | | Tmclk |
| Tcal | 校准时间 | | | 4096 | | Tmclk |
| ADC 直流精度 | | | | | | |
| RES | 分辨率 | 校准后的测量 | | 12 | | bits |

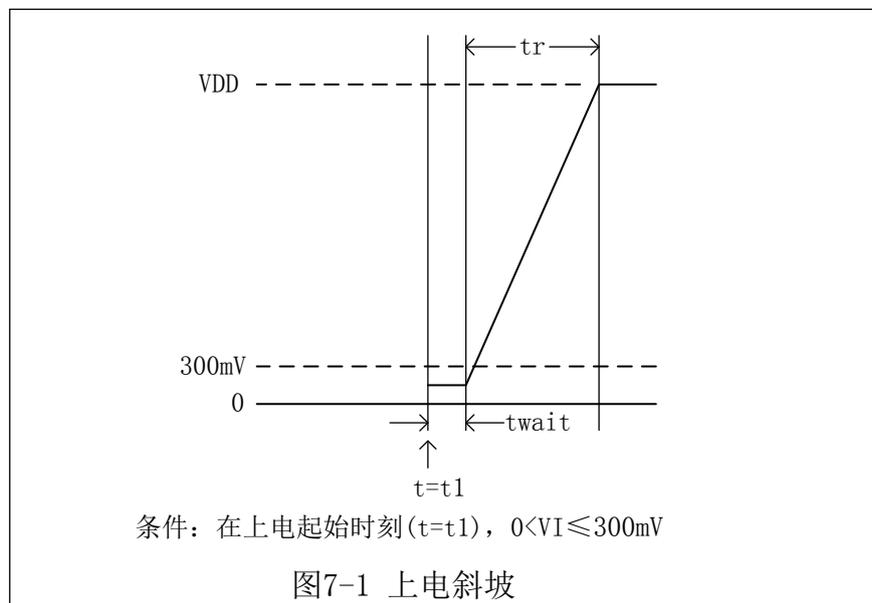
| | | | | | | |
|----------|---------|------------------------|----|-----|------|-----|
| ED | 微分线性误差 | 校准后的测量, 使用直 方图方法得到 | | | ±1 | LSB |
| EI | 积分线性误差 | | | | ±2 | LSB |
| EO | 偏移误差 | 校准后的测量, 利用最 佳拟合曲线得到 | | | ±1.5 | LSB |
| EG | 增益误差 | | | | ±1.5 | LSB |
| ET | 未经调整总误差 | 校准后的测量 | | | ±2 | LSB |
| ADC 动态参数 | | | | | | |
| SNDR | 信噪失真比 | 校准后的测量, 100K Hz | 65 | | | dB |
| THD | 总谐波失真 | 正弦波输入, 低于满量 | | -75 | | dB |
| SFDR | 无杂散动态范围 | 程 0 至 1db, 2MSps | | 80 | | dB |

注: 以下 ADC 参数由综合评估以及设计保证, 不在生产测试。

7.6 上电特性

表 7-6-1 上电特性参数

| 符号 | 参数 | 条件 | 最小 | 典型 | 最大 | 单位 |
|-------|------|---|----|----|-----|----|
| tr | 上升时间 | $0 < V_I \leq 300\text{mV}$ @ $t = t_1$ | 0 | - | 500 | ms |
| twait | 等待时间 | | 12 | - | - | us |
| VI | 输入电压 | VI on pin VDD @ $t = t_1$ | 0 | - | 300 | mV |



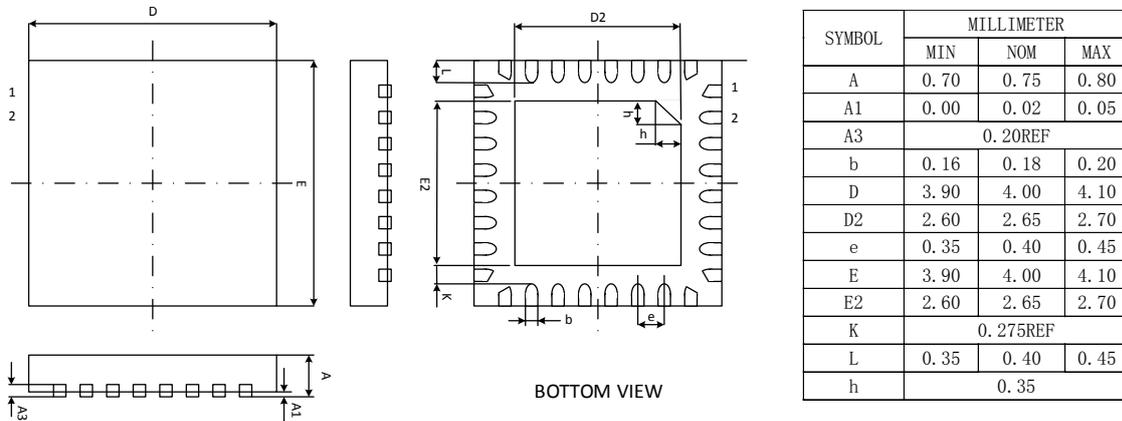
7.7 低功耗特性

表 7-7-1 低功耗特性

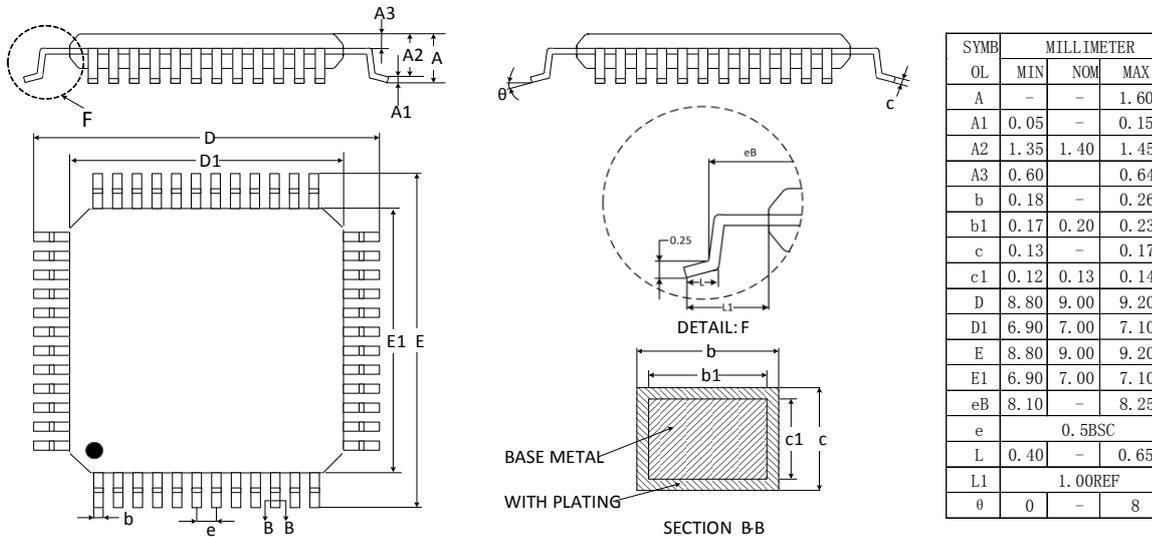
| 低功耗模式 | 唤醒时间 | 功耗 |
|----------------|-------|--------|
| HALT | 10us | 0.6uA |
| ACTIVE_HALT | 10us | 0.85uA |
| LOW_POWER_WAIT | 1.5ms | 80uA |
| WAIT | 3.5us | 0.55mA |
| LOW_POWER_RUN | - | 85uA |

8. 芯片封装信息

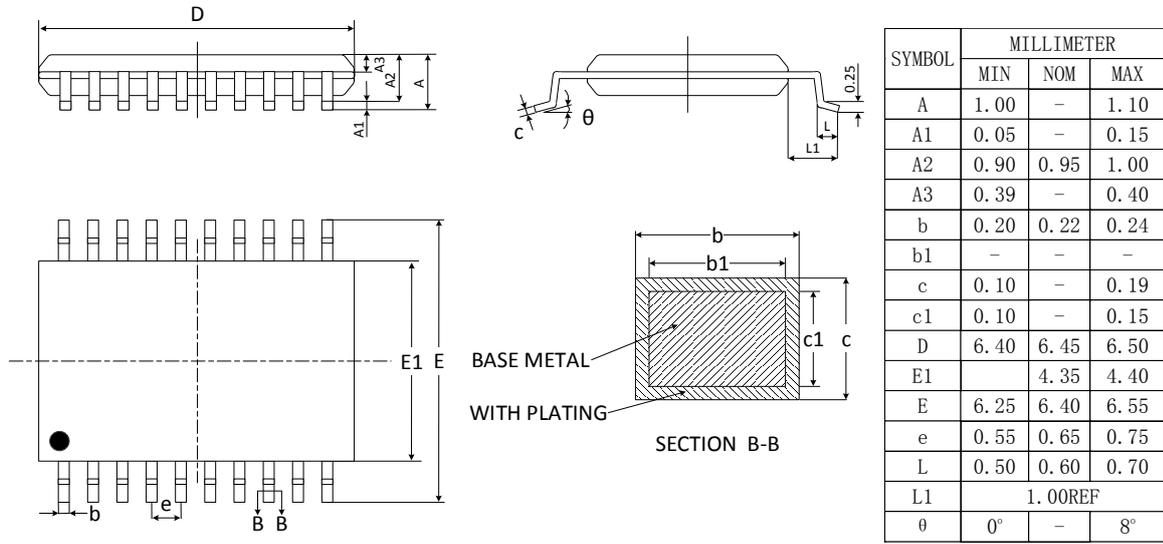
8.1 封装形式：QFN32



8.2 封装形式：LQFP48

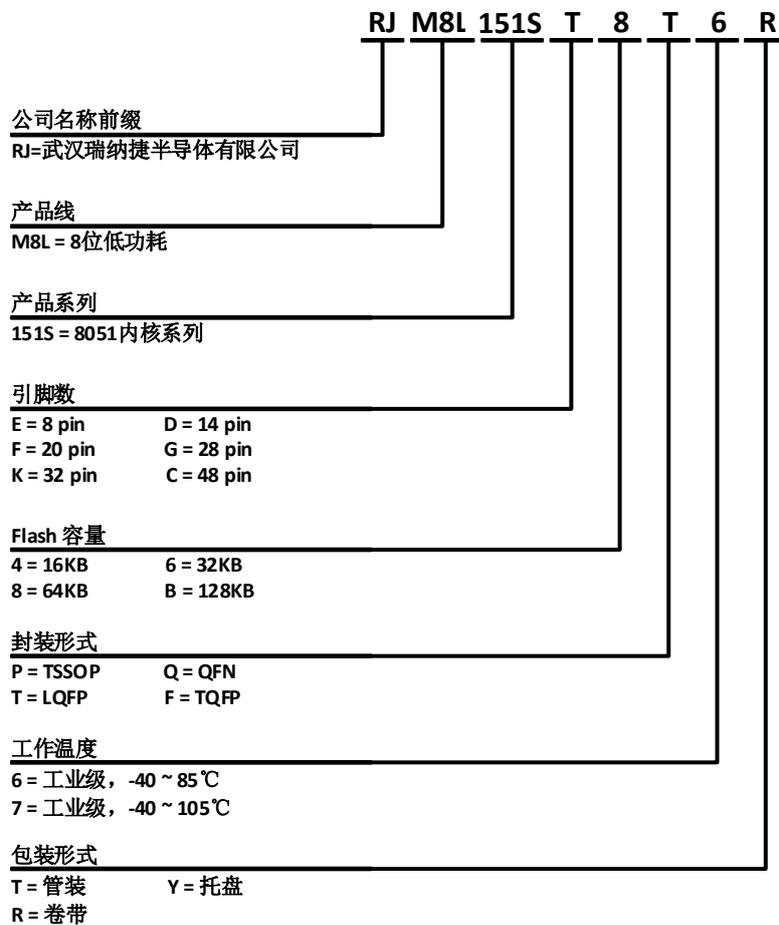


8.3 封装形式：TSSOP20



9. 订货信息

| 器件型号 | FLASH | SRAM | 封装形式 | 耐温 |
|----------------|-------|------|---------------------|------------|
| RJM8L151SF4P6R | 16KB | 2KB | TSSOP20L(6.5*4.4mm) | -40°C~85°C |
| RJM8L151SF6P6R | 32KB | 4KB | TSSOP20L(6.5*4.4mm) | -40°C~85°C |
| RJM8L151SK6Q6Y | 32KB | 4KB | QFN32(4.0*4.0mm) | -40°C~85°C |
| RJM8L151SK8Q6Y | 64KB | 8KB | QFN32(4.0*4.0mm) | -40°C~85°C |
| RJM8L151SC6T6Y | 32KB | 4KB | LQFP48(7.0*7.0mm) | -40°C~85°C |
| RJM8L151SC8T6Y | 64KB | 8KB | LQFP48(7.0*7.0mm) | -40°C~85°C |



10. 版本修订

| 版本 | 日期 | 作者 | 描述 |
|------|------------|----|--------|
| V1.0 | 2022.03.25 | 邓勇 | 数据手册初版 |
| | | | |
| | | | |