



AiP74LVC/LVCH2T45

双电源带三态控制的2路总线收发器

产品说明书

说明书发行履历:

版本	发行时间	新制/修订内容
2017-09-A1	2017-09	新制
2021-12-A2	2021-12	修改订购信息; 工作温度修改为-40℃~+105℃; 添加-40℃~+105℃参数表
2022-03-A3	2022-03	修改订购信息注 1



1、概述

AiP74LVC2T45和AiP74LVCH2T45是带三态输出的2路双电源转换收发器,可实现双向电平转换。它们具有两个2路输入输出端口(nA和nB),一个方向控制输入(DIR)和双电源引脚($V_{CC(A)}$ 和 $V_{CC(B)}$)。 $V_{CC(A)}$ 和 $V_{CC(B)}$ 均可在1.2V和5.5V之间的任何电压下供电,从而使该器件适合在任何低压节点之间转换(1.2V, 1.5V, 1.8V, 2.5V, 3.3V和5.0V)。引脚nA和DIR由 $V_{CC(A)}$ 供电,引脚nB由 $V_{CC(B)}$ 供电。DIR为高电平时,数据从nA到nB传输,DIR为低电平时,数据从nB到nA传输。

I_{OFF} 使得该电路完全适用于具有局部掉电的应用。 I_{OFF} 电路禁止输出,以防止在断电时有害电流回流电路。在挂起模式下,当 $V_{CC(A)}$ 或 $V_{CC(B)}$ 处于GND电平时,A端口和B端口都处于高阻态。

AiP74LVCH2T45中的总线保持电路使得未使用或悬空的数据输入口保持在有效逻辑电平。

其主要特点如下:

- 宽电源电压范围:
 - $V_{CC(A)}$: 1.2V~5.5V
 - $V_{CC(B)}$: 1.2V~5.5V
- 最大数据速率:
 - 420 Mbps (在输入端为 3.3V, 输出端为 5.0V 时)
 - 210 Mbps (在输入端为 1.2V~5.5V, 输出端为 3.3V 时)
 - 140 Mbps (在输入端为 1.2V~5.5V, 输出端为 2.5V 时)
 - 75 Mbps (在输入端为 1.2V~5.5V, 输出端为 1.8V 时)
 - 60 Mbps (在输入端为 1.2V~5.5V, 输出端为 1.5V 时)
- 挂起模式
- $\pm 24mA$ 输出驱动 ($V_{CC}=3.0V$)
- 输入端电压可达5.5V
- 低功耗: 最大 I_{CC} 为16uA
- I_{OFF} 电路可兼容局部掉电工作方式
- 工作环境温度范围: $-40^{\circ}C \sim +105^{\circ}C$
- 封装形式: VSSOP8/TSSOP8



订购信息:

管装:

产品料号	封装形式	打印标识	管装数	盒装管	盒装数	备注说明
AiP74LVC2T45TA8.TB	TSSOP8	CIXX	96 PCS/管	140 管/盒	13440 PCS/盒	塑封体尺寸: 3.0mm×3.0mm 引脚间距: 0.65mm
AiP74LVCH2T45TA8.TB	TSSOP8	CRXX	96 PCS/管	140 管/盒	13440 PCS/盒	塑封体尺寸: 3.0mm×3.0mm 引脚间距: 0.65mm

编带:

产品料号	封装形式	打印标识	编带盘装数	编带盒装数	备注说明
AiP74LVC2T45YA8.TR	VSSOP8	CIXX	3000 PCS/盘	3000 PCS/盒	塑封体尺寸: 2.0mm×2.3mm 引脚间距: 0.50mm
AiP74LVC2T45TA8.TR	TSSOP8 (1)	CIXX	3000 PCS/盘	6000 PCS/盒	塑封体尺寸: 3.0mm×3.0mm 引脚间距: 0.65mm
AiP74LVC2T45TA8.TR	TSSOP8 (2)	CIXX	3000 PCS/盘	3000 PCS/盒	塑封体尺寸: 3.0mm×3.0mm 引脚间距: 0.65mm
AiP74LVCH2T45YA8.TR	VSSOP8	CRXX	3000 PCS/盘	3000 PCS/盒	塑封体尺寸: 2.0mm×2.3mm 引脚间距: 0.50mm
AiP74LVCH2T45TA8.TR	TSSOP8 (1)	CRXX	3000 PCS/盘	6000 PCS/盒	塑封体尺寸: 3.0mm×3.0mm 引脚间距: 0.65mm
AiP74LVCH2T45TA8.TR	TSSOP8 (2)	CRXX	3000 PCS/盘	3000 PCS/盒	塑封体尺寸: 3.0mm×3.0mm 引脚间距: 0.65mm

注 1: “XX” 为可变内容, 表示年份和封装批次流水号。

注 2: 如实物与订购信息不一致, 请以实物为准。



2、功能框图及引脚说明

2.1、功能框图

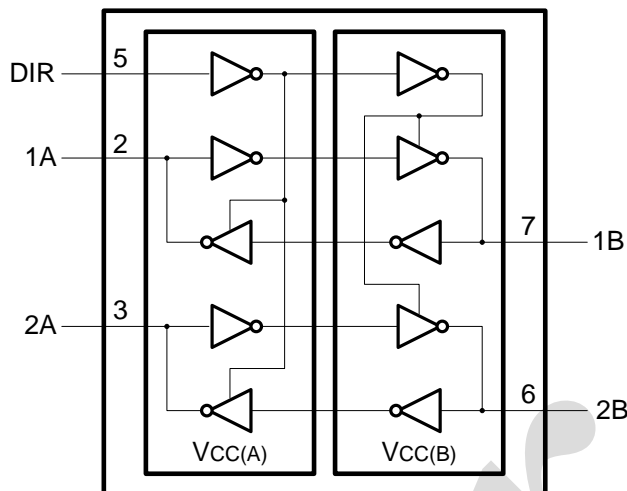


图 1 逻辑符号

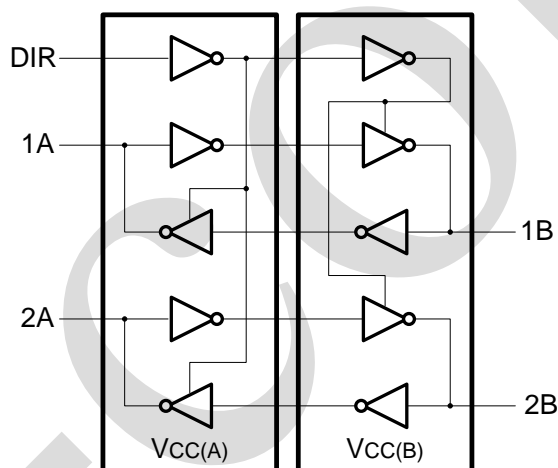
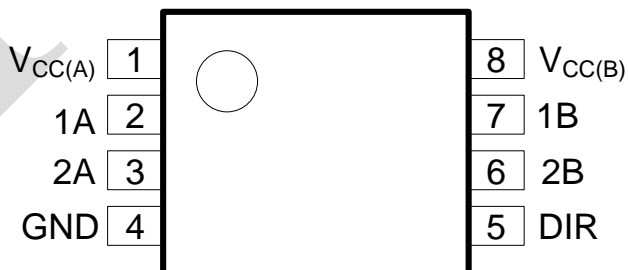


图 2 逻辑框图

2.2、引脚排列图





2.3、引脚说明

引脚	符 号	功 能
1	$V_{CC(A)}$	电源电压 A (端口 A 和 DIR)
2	1A	数据输入或输出
3	2A	数据输入或输出
4	GND	地 (0V)
5	DIR	方向控制
6	2B	数据输入或输出
7	1B	数据输入或输出
8	$V_{CC(B)}$	电源电压 B (端口 B)

2.4、功能表

H=高电平; L=低电平; X=无关; Z=高阻态

电源电压	输入	输入/输出 ^[1]	
$V_{CC(A)}$, $V_{CC(B)}$	DIR	nA	nB
1.2V~5.5V	L	nA=nB	输入
1.2V~5.5V	H	输入	nB=nA
GND ^[2]	X	Z	Z

注:

[1] 数据I/O的输入电路始终有效。

[2] 如果 $V_{CC(A)}$ 或 $V_{CC(B)}$ 中至少有一个处于 GND 电平, 则设备进入挂起模式。

3、电特性

3.1、极限参数

(除非另有规定, $T_{amb}=25^{\circ}\text{C}$, GND=0V)

参 数 名 称	符 号	条 件	最小	最大	单 位
电源电压 A	$V_{CC(A)}$	—	-0.5	+6.5	V
电源电压 B	$V_{CC(B)}$	—	-0.5	+6.5	V
输入钳位电流	I_{IK}	$V_I < 0V$	-50	—	mA
输入电压	V_I	— ^[1]	-0.5	+6.5	V
输出钳位电流	I_{OK}	$V_O < 0V$	-50	—	mA
输出电压	V_O	工作模式 ^{[1][2][3]}	-0.5	$V_{CCO}+0.5$	V
		挂起或三态模式 ^[1]	-0.5	+6.5	V
输出电流	I_O	$V_O=0V \sim V_{CCO}$ ^[2]	—	± 50	mA
电源电流	I_{CC}	$I_{CC(A)}$ 或 $I_{CC(B)}$	—	100	mA
地电流	I_{GND}	—	-100	—	mA
贮存温度	T_{stg}	—	-60	+150	$^{\circ}\text{C}$
总功耗	P_{tot}	$T_{amb}=-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ ^[4]	—	250	mW
焊接温度	T_L	10 秒	250		$^{\circ}\text{C}$

注:

[1] 如果遵守输入和输出电流额定值, 则可能超过最小输入电压额定值和输出电压额定值。

[2] V_{CCO} 是与输出端口关联的电源电压。



[3] $V_{CCO}+0.5V$ 不应超过 $6.5V$ 。

[4] VSSOP8封装: 高于 $110^{\circ}C$, P_{tot} 的值以 $8.0mW/K$ 线性降低。

3.2、推荐使用条件

参数名称	符号	条件	最小	最大	单位
电源电压 A	$V_{CC(A)}$	—	1.2	5.5	V
电源电压 B	$V_{CC(B)}$	—	1.2	5.5	V
输入电压	V_I	—	0	5.5	V
输出电压	V_O	工作模式 ^[1]	0	V_{CCO}	V
		挂起或三态模式	0	5.5	V
工作环境温度	T_{amb}	—	-40	+105	$^{\circ}C$
输入上升和下降转换速率	$\Delta t/\Delta V$	$V_{CCI}=1.2V^{[2]}$	—	20	ns/V
		$V_{CCI}=1.4V\sim 1.95V$	—	20	ns/V
		$V_{CCI}=2.3V\sim 2.7V$	—	20	ns/V
		$V_{CCI}=3V\sim 3.6V$	—	10	ns/V
		$V_{CCI}=4.5V\sim 5.5V$	—	5	ns/V

注: [1] V_{CCO} 是与输出端口关联的电源电压。

[2] V_{CCI} 是与输入端口关联的电源电压。

3.3、电气特性

3.3.1、直流参数 1

(除非另有规定, $T_{amb}=25^{\circ}C$, $GND=0V$)

参数名称	符号	测试条件	最小	典型	最大	单位
高电平输出电压	V_{OH}	$V_I=V_{IH}$ 或 V_{IL} ; $I_O=-3mA$; $V_{CCO}=1.2V^{[1]}$	—	1.09	—	V
低电平输出电压	V_{OL}	$V_I=V_{IH}$ 或 V_{IL} ; $I_O=3mA$; $V_{CCO}=1.2V^{[1]}$	—	0.07	—	V
输入漏电流	I_I	DIR 输入; $V_I=0V\sim 5.5V$; $V_{CCI}=1.2V\sim 5.5V^{[2]}$	—	—	± 1	μA
总线保持低电平电流	I_{BHL}	A 或 B 端口; $V_I=0.42V$; $V_{CCI}=1.2V^{[2]}$	—	19	—	μA
总线保持高电平电流	I_{BHH}	A 或 B 端口; $V_I=0.78V$; $V_{CCI}=1.2V^{[2]}$	—	-19	—	μA
总线保持低电平过载电流	I_{BHLO}	A 或 B 端口; $V_{CCI}=1.2V^{[2][3]}$	—	19	—	μA
总线保持高电平过载电流	I_{BHHO}	A 或 B 端口; $V_{CCI}=1.2V^{[2][3]}$	—	-19	—	μA
截止状态输出电流	I_{OZ}	A 或 B 端口; $V_O=0V$ 或 V_{CCO} ; $V_{CCO}=1.2V\sim 5.5V^{[1]}$	—	—	± 1	μA
掉电漏电流	I_{OFF}	A 端口; V_I 或 $V_O=0V\sim 5.5V$; $V_{CC(A)}=0V$; $V_{CC(B)}=1.2V\sim 5.5V$	—	—	± 1	μA
		B 端口; V_I 或 $V_O=0V\sim 5.5V$; $V_{CC(B)}=0V$; $V_{CC(A)}=1.2V\sim 5.5V$	—	—	± 1	μA



输入电容	C_I	DIR输入; $V_I=0V$ 或 $3.3V$; $V_{CC(A)}=V_{CC(B)}=3.3V$	—	2.2	—	pF
输入/输出电容	$C_{I/O}$	A和B端口; 挂起模式; $V_O=3.3V$ 或 $0V$; $V_{CC(A)}=V_{CC(B)}=3.3V$	—	6.0	—	pF

注:

[1] V_{CCO} 是与输出端口关联的电源电压。[2] V_{CCI} 是与数据输入端口关联的电源电压。[3] 为了保证电平切换, 当输入在 V_{IL} 至 V_{IH} 范围内时, 外部驱动必须至少灌/拉 I_{BHL0}/I_{BH0} 。

3.3.2、直流参数 2

(除非另有规定, $T_{amb}=-40^{\circ}C \sim +85^{\circ}C$, $GND=0V$)

参数名称	符号	测试条件	最小	典型	最大	单位
高电平输入电压	V_{IH}	数据输入 ^[1]	$V_{CCI}=1.2V$	$0.8V_{CCI}$	—	V
			$V_{CCI}=1.4V \sim 1.95V$	$0.65V_{CCI}$	—	V
			$V_{CCI}=2.3V \sim 2.7V$	1.7	—	V
			$V_{CCI}=3.0V \sim 3.6V$	2.0	—	V
			$V_{CCI}=4.5V \sim 5.5V$	$0.7V_{CCI}$	—	V
		DIR输入	$V_{CCI}=1.2V$	$0.8V_{CC(A)}$	—	V
			$V_{CCI}=1.4V \sim 1.95V$	$0.65V_{CC(A)}$	—	V
			$V_{CCI}=2.3V \sim 2.7V$	1.7	—	V
			$V_{CCI}=3.0V \sim 3.6V$	2.0	—	V
			$V_{CCI}=4.5V \sim 5.5V$	$0.7V_{CC(A)}$	—	V
低电平输入电压	V_{IL}	数据输入 ^[1]	$V_{CCI}=1.2V$	—	$0.2V_{CCI}$	V
			$V_{CCI}=1.4V \sim 1.95V$	—	$0.35V_{CCI}$	V
			$V_{CCI}=2.3V \sim 2.7V$	—	0.7	V
			$V_{CCI}=3.0V \sim 3.6V$	—	0.8	V
			$V_{CCI}=4.5V \sim 5.5V$	—	$0.3V_{CCI}$	V
		DIR输入	$V_{CCI}=1.2V$	—	$0.2V_{CC(A)}$	V
			$V_{CCI}=1.4V \sim 1.95V$	—	$0.35V_{CC(A)}$	V
			$V_{CCI}=2.3V \sim 2.7V$	—	0.7	V
			$V_{CCI}=3.0V \sim 3.6V$	—	0.8	V
			$V_{CCI}=4.5V \sim 5.5V$	—	$0.3V_{CC(A)}$	V
高电平输出电压	V_{OH}	$V_I=V_{IH}$	$I_O=-100\mu A$; $V_{CCO}=1.2V \sim 4.5V^{[2]}$	$V_{CCO}-0.1$	—	V
			$I_O=-6mA$; $V_{CCO}=1.4V$	1.0	—	V
			$I_O=-8mA$; $V_{CCO}=1.65V$	1.2	—	V
			$I_O=-12mA$; $V_{CCO}=2.3V$	1.9	—	V
			$I_O=-24mA$; $V_{CCO}=3.0V$	2.4	—	V
			$I_O=-32mA$; $V_{CCO}=4.5V$	3.8	—	V
低电平输出电压	V_{OL}	$V_I=V_{IH}^{[2]}$	$I_O=100\mu A$; $V_{CCO}=1.2V \sim 4.5V$	—	0.1	V
			$I_O=6mA$; $V_{CCO}=1.4V$	—	0.3	V
			$I_O=8mA$; $V_{CCO}=1.65V$	—	0.45	V
			$I_O=12mA$; $V_{CCO}=2.3V$	—	0.3	V
			$I_O=24mA$; $V_{CCO}=3.0V$	—	0.55	V
			$I_O=32mA$; $V_{CCO}=4.5V$	—	0.55	V



输入漏电流	I_I	DIR输入; $V_I=0V \sim 5.5V$; $V_{CCI}=1.2V \sim 5.5V$		—	—	± 2	μA
总线保持低电平电流	I_{BHL}	A或B端口 ^[1]	$V_I=0.49V$; $V_{CCI}=1.4V$	15	—	—	μA
			$V_I=0.58V$; $V_{CCI}=1.65V$	25	—	—	μA
			$V_I=1.60V$; $V_{CCI}=2.3V$	45	—	—	μA
			$V_I=2.00V$; $V_{CCI}=3.0V$	100	—	—	μA
			$V_I=3.15V$; $V_{CCI}=4.5V$	100	—	—	μA
总线保持高电平电流	I_{BHH}	A或B端口 ^[1]	$V_I=0.91V$; $V_{CCI}=1.4V$	-15	—	—	μA
			$V_I=1.07V$; $V_{CCI}=1.65V$	-25	—	—	μA
			$V_I=1.60V$; $V_{CCI}=2.3V$	-45	—	—	μA
			$V_I=2.00V$; $V_{CCI}=3.0V$	-100	—	—	μA
			$V_I=3.15V$; $V_{CCI}=4.5V$	-100	—	—	μA
总线保持低电平过载电流	I_{BHLO}	A或B端口 ^{[1][3]}	$V_{CCI}=1.6V$	125	—	—	μA
			$V_{CCI}=1.95V$	200	—	—	μA
			$V_{CCI}=2.7V$	300	—	—	μA
			$V_{CCI}=3.6V$	500	—	—	μA
			$V_{CCI}=5.5V$	900	—	—	μA
总线保持高电平过载电流	I_{BHHO}	A或B端口 ^{[1][3]}	$V_{CCI}=1.6V$	-125	—	—	μA
			$V_{CCI}=1.95V$	-200	—	—	μA
			$V_{CCI}=2.7V$	-300	—	—	μA
			$V_{CCI}=3.6V$	-500	—	—	μA
			$V_{CCI}=5.5V$	-900	—	—	μA
截止状态输出电流	I_{OZ}	A或B端口; $V_O=0V$ 或 V_{CCO} ; $V_{CCO}=1.2V \sim 5.5V$ ^[2]		—	—	± 2	μA
掉电漏电流	I_{OFF}	A端口; V_I 或 $V_O=0V \sim 5.5V$; $V_{CC(A)}=0V$; $V_{CC(B)}=1.2V \sim 5.5V$		—	—	± 2	μA
		B端口; V_I 或 $V_O=0V \sim 5.5V$; $V_{CC(B)}=0V$; $V_{CC(A)}=1.2V \sim 5.5V$		—	—	± 2	μA
静态电流	I_{CC}	A端口; $V_I=0V$ 或 V_{CCI} ; $I_O=0A$ ^[1]	$V_{CC(A)}, V_{CC(B)}=1.2V \sim 5.5V$	—	—	8	μA
			$V_{CC(A)}, V_{CC(B)}=1.65V \sim 5.5V$	—	—	3	μA
			$V_{CC(A)}=5.5V$; $V_{CC(B)}=0V$	—	—	2	μA
			$V_{CC(A)}=0V$; $V_{CC(B)}=5.5V$	-2	—	—	μA
		B端口; $V_I=0V$ 或 V_{CCI} ; $I_O=0A$	$V_{CC(A)}, V_{CC(B)}=1.2V \sim 5.5V$	—	—	8	μA
			$V_{CC(A)}, V_{CC(B)}=1.65V \sim 5.5V$	—	—	3	μA
			$V_{CC(B)}=0V$; $V_{CC(A)}=5.5V$	-2	—	—	μA
			$V_{CC(B)}=5.5V$; $V_{CC(A)}=0V$	—	—	2	μA
		A加B端口 ($I_{CC(A)}+I_{CC(B)}$); $I_O=0A$; $V_I=0V$ 或 V_{CCI}	$V_{CC(A)}, V_{CC(B)}=1.2V \sim 5.5V$	—	—	16	μA
			$V_{CC(A)}, V_{CC(B)}=1.65V \sim 5.5V$	—	—	4	μA
串通电流	ΔI_{CC}	每个输入; $V_{CC(A)}, V_{CC(B)}=3.0V \sim 5.5V$	A端口; A端口在 $V_{CC(A)}-0.6V$ 上; DIR在 $V_{CC(A)}$ 上; B端口=open ^[4]	—	—	50	μA
			DIR输入; DIR在 $V_{CC(A)}-0.6V$ 上; A端口在 $V_{CC(A)}$ 或GND上; B端口=open	—	—	50	μA



			B端口; B端口在 $V_{CC(B)}-0.6V$ 上; DIR在GND上; A端口=open ^[4]	—	—	50	uA
--	--	--	--	---	---	----	----

注:

[1] V_{CCI} 是与数据输入端口关联的电源电压。[2] V_{CCO} 是与输出端口关联的电源电压。[3] 为了保证电平切换, 当输入在 V_{IL} 至 V_{IH} 范围内时, 外部驱动必须至少灌/拉 I_{BHLO}/I_{BHHO} 。

[4] 仅适用于无总线保持的AiP74LVC2T45。

3.3.3、直流参数 3

(除非另有规定, $T_{amb}=-40^{\circ}C \sim +105^{\circ}C$, GND=0V)

参数名称	符号	测试条件	最小	典型	最大	单位
高电平输入电压	V_{IH}	数据输入 ^[1]	$V_{CCI}=1.2V$	$0.8V_{CCI}$	—	V
			$V_{CCI}=1.4V \sim 1.95V$	$0.65V_{CCI}$	—	V
			$V_{CCI}=2.3V \sim 2.7V$	1.7	—	V
			$V_{CCI}=3.0V \sim 3.6V$	2.0	—	V
			$V_{CCI}=4.5V \sim 5.5V$	$0.7V_{CCI}$	—	V
		DIR输入	$V_{CCI}=1.2V$	$0.8V_{CC(A)}$	—	V
			$V_{CCI}=1.4V \sim 1.95V$	$0.65V_{CC(A)}$	—	V
			$V_{CCI}=2.3V \sim 2.7V$	1.7	—	V
			$V_{CCI}=3.0V \sim 3.6V$	2.0	—	V
			$V_{CCI}=4.5V \sim 5.5V$	$0.7V_{CC(A)}$	—	V
低电平输入电压	V_{IL}	数据输入 ^[1]	$V_{CCI}=1.2V$	—	$0.2V_{CCI}$	V
			$V_{CCI}=1.4V \sim 1.95V$	—	$0.35V_{CCI}$	V
			$V_{CCI}=2.3V \sim 2.7V$	—	0.7	V
			$V_{CCI}=3.0V \sim 3.6V$	—	0.8	V
			$V_{CCI}=4.5V \sim 5.5V$	—	$0.3V_{CCI}$	V
		DIR输入	$V_{CCI}=1.2V$	—	$0.2V_{CC(A)}$	V
			$V_{CCI}=1.4V \sim 1.95V$	—	$0.35V_{CC(A)}$	V
			$V_{CCI}=2.3V \sim 2.7V$	—	0.7	V
			$V_{CCI}=3.0V \sim 3.6V$	—	0.8	V
			$V_{CCI}=4.5V \sim 5.5V$	—	$0.3V_{CC(A)}$	V
高电平输出电压	V_{OH}	$V_I=V_{IH}$	$I_O=-100\mu A$; $V_{CCO}=1.2V \sim 4.5V$ ^[2]	$V_{CCO}-0.1$	—	V
			$I_O=-6mA$; $V_{CCO}=1.4V$	1.0	—	V
			$I_O=-8mA$; $V_{CCO}=1.65V$	1.2	—	V
			$I_O=-12mA$; $V_{CCO}=2.3V$	1.9	—	V
			$I_O=-24mA$; $V_{CCO}=3.0V$	2.4	—	V
			$I_O=-32mA$; $V_{CCO}=4.5V$	3.8	—	V
低电平输出电压	V_{OL}	$V_I=V_{IH}$ ^[2]	$I_O=100\mu A$; $V_{CCO}=1.2V \sim 4.5V$	—	0.1	V
			$I_O=6mA$; $V_{CCO}=1.4V$	—	0.3	V
			$I_O=8mA$; $V_{CCO}=1.65V$	—	0.45	V
			$I_O=12mA$; $V_{CCO}=2.3V$	—	0.3	V
			$I_O=24mA$; $V_{CCO}=3.0V$	—	0.55	V
			$I_O=32mA$; $V_{CCO}=4.5V$	—	0.55	V
输入漏电流	I_I	DIR输入; $V_I=0V \sim 5.5V$; $V_{CCI}=1.2V \sim 5.5V$	—	—	± 10	uA



总线保持低电平电流	I_{BHL}	A或B端口 ^[1]	$V_I=0.49V$; $V_{CCI}=1.4V$	10	—	—	uA
			$V_I=0.58V$; $V_{CCI}=1.65V$	20	—	—	uA
			$V_I=1.60V$; $V_{CCI}=2.3V$	45	—	—	uA
			$V_I=2.00V$; $V_{CCI}=3.0V$	80	—	—	uA
			$V_I=3.15V$; $V_{CCI}=4.5V$	100	—	—	uA
总线保持高电平电流	I_{BHH}	A或B端口 ^[1]	$V_I=0.91V$; $V_{CCI}=1.4V$	-10	—	—	uA
			$V_I=1.07V$; $V_{CCI}=1.65V$	-20	—	—	uA
			$V_I=1.60V$; $V_{CCI}=2.3V$	-45	—	—	uA
			$V_I=2.00V$; $V_{CCI}=3.0V$	-80	—	—	uA
			$V_I=3.15V$; $V_{CCI}=4.5V$	-100	—	—	uA
总线保持低电平过载电流	I_{BHLO}	A或B端口 ^{[1][3]}	$V_{CCI}=1.6V$	125	—	—	uA
			$V_{CCI}=1.95V$	200	—	—	uA
			$V_{CCI}=2.7V$	300	—	—	uA
			$V_{CCI}=3.6V$	500	—	—	uA
			$V_{CCI}=5.5V$	900	—	—	uA
总线保持高电平过载电流	I_{BHHO}	A或B端口 ^{[1][3]}	$V_{CCI}=1.6V$	-125	—	—	uA
			$V_{CCI}=1.95V$	-200	—	—	uA
			$V_{CCI}=2.7V$	-300	—	—	uA
			$V_{CCI}=3.6V$	-500	—	—	uA
			$V_{CCI}=5.5V$	-900	—	—	uA
截止状态输出电流	I_{OZ}	A或B端口; $V_O=0V$ 或 V_{CCO} ; $V_{CCO}=1.2V\sim 5.5V$ ^[2]		—	—	± 10	uA
掉电漏电流	I_{OFF}	A端口; V_I 或 $V_O=0V\sim 5.5V$; $V_{CC(A)}=0V$; $V_{CC(B)}=1.2V\sim 5.5V$		—	—	± 10	uA
		B端口; V_I 或 $V_O=0V\sim 5.5V$; $V_{CC(B)}=0V$; $V_{CC(A)}=1.2V\sim 5.5V$		—	—	± 10	uA
静态电流	I_{CC}	A端口; $V_I=0V$ 或 V_{CCI} ; $I_O=0A$ ^[1]	$V_{CC(A)}$, $V_{CC(B)}=1.2V\sim 5.5V$	—	—	8	uA
			$V_{CC(A)}$, $V_{CC(B)}=1.65V\sim 5.5V$	—	—	3	uA
			$V_{CC(A)}=5.5V$; $V_{CC(B)}=0V$	—	—	2	uA
			$V_{CC(A)}=0V$; $V_{CC(B)}=5.5V$	-2	—	—	uA
		B端口; $V_I=0V$ 或 V_{CCI} ; $I_O=0A$	$V_{CC(A)}$, $V_{CC(B)}=1.2V\sim 5.5V$	—	—	8	uA
			$V_{CC(A)}$, $V_{CC(B)}=1.65V\sim 5.5V$	—	—	3	uA
			$V_{CC(B)}=0V$; $V_{CC(A)}=5.5V$	-2	—	—	uA
			$V_{CC(B)}=5.5V$; $V_{CC(A)}=0V$	—	—	2	uA
		A加B端口 ($I_{CC(A)}+I_{CC(B)}$); $I_O=0A$; $V_I=0V$ 或 V_{CCI}	$V_{CC(A)}$, $V_{CC(B)}=1.2V\sim 5.5V$	—	—	16	uA
			$V_{CC(A)}$, $V_{CC(B)}=1.65V\sim 5.5V$	—	—	4	uA
串通电流	ΔI_{CC}	每个输入; $V_{CC(A)}$, $V_{CC(B)}=3.0V\sim 5.5V$	A端口; A端口在 $V_{CC(A)}-0.6V$ 上; DIR在 $V_{CC(A)}$ 上; B端口=open ^[4]	—	—	75	uA
			DIR输入; DIR在 $V_{CC(A)}-0.6V$ 上; A端口在 $V_{CC(A)}$ 或GND上; B端口=open	—	—	75	uA



			B端口; B端口在 $V_{CC(B)}-0.6V$ 上; DIR在GND上; A端口=open ^[4]	—	—	75	uA
--	--	--	--	---	---	----	----

注:

[1] V_{CCI} 是与数据输入端口关联的电源电压。[2] V_{CCO} 是与输出端口关联的电源电压。[3] 为了保证电平切换, 当输入在 V_{IL} 至 V_{IH} 范围内时, 外部驱动必须至少灌/拉 I_{BHLO}/I_{BHHO} 。

[4] 仅适用于无总线保持的AiP74LVC2T45。

3.3.4、交流参数 1

(除非另有规定, $T_{amb}=25^{\circ}C$, $V_{CC(A)}=1.2V$, $GND=0V$)

参数名称	符号	测试条件	$V_{CC(B)}$						单位
			1.2V	1.5V	1.8V	2.5V	3.3V	5.0V	
低电平到高电平的传输延时	t_{PLH}	A到B	10.6	8.1	7.0	5.8	5.3	5.1	ns
		B到A	10.6	9.5	9.0	8.5	8.3	8.2	ns
高电平到低电平的传输延时	t_{PHL}	A到B	10.1	7.1	6.0	5.3	5.2	5.4	ns
		B到A	10.1	8.6	8.1	7.8	7.6	7.6	ns
高电平到截止状态的传输延时	t_{PHZ}	DIR到A	9.4	9.4	9.4	9.4	9.4	9.4	ns
		DIR到B	12.0	9.4	9.0	7.8	8.4	7.9	ns
低电平到截止状态的传输延时	t_{PLZ}	DIR到A	7.1	7.1	7.1	7.1	7.1	7.1	ns
		DIR到B	9.5	7.8	7.7	6.9	7.6	7.0	ns
截止状态到高电平的传输延时	t_{PZH}	DIR到A ^[1]	20.1	17.3	16.7	15.4	15.9	15.2	ns
		DIR到B ^[1]	17.7	15.2	14.1	12.9	12.4	12.2	ns
截止状态到低电平的传输延时	t_{PZL}	DIR到A ^[1]	22.1	18.0	17.1	15.6	16.0	15.5	ns
		DIR到B ^[1]	19.5	16.5	15.4	14.7	14.6	14.8	ns

注: [1] t_{PZH} 和 t_{PZL} 是使用第 6.4 节中所示的公式计算得出的值。

3.3.5、交流参数 2

(除非另有规定, $T_{amb}=25^{\circ}C$, $V_{CC(B)}=1.2V$, $GND=0V$)

参数名称	符号	测试条件	$V_{CC(A)}$						单位
			1.2V	1.5V	1.8V	2.5V	3.3V	5.0V	
低电平到高电平的传输延时	t_{PLH}	A到B	10.6	9.5	9.0	8.5	8.3	8.2	ns
		B到A	10.6	8.1	7.0	5.8	5.3	5.1	ns
高电平到低电平的传输延时	t_{PHL}	A到B	10.1	8.6	8.1	7.8	7.6	7.6	ns
		B到A	10.1	7.1	6.0	5.3	5.2	5.4	ns
高电平到截止状态的传输延时	t_{PHZ}	DIR到A	9.4	6.5	5.7	4.1	4.1	3.0	ns
		DIR到B	12.0	6.1	5.4	4.6	4.3	4.0	ns
低电平到截止状态的传输延时	t_{PLZ}	DIR到A	7.1	4.9	4.5	3.2	3.4	2.5	ns
		DIR到B	9.5	7.3	6.6	5.9	5.7	5.6	ns
截止状态到高电平的传输延时	t_{PZH}	DIR到A ^[1]	20.1	15.4	13.6	11.7	11.0	10.7	ns
		DIR到B ^[1]	17.7	14.4	13.5	11.7	11.7	10.7	ns
截止状态到低电平的传输延时	t_{PZL}	DIR到A ^[1]	22.1	13.2	11.4	9.9	9.5	9.4	ns
		DIR到B ^[1]	19.5	15.1	13.8	11.9	11.7	10.6	ns

注: [1] t_{PZH} 和 t_{PZL} 是使用第 6.4 节中所示的公式计算得出的值。



3.3.6、交流参数 3

(除非另有规定, $T_{amb}=25^{\circ}\text{C}$, $V_{CC(A)}=V_{CC(B)}$, $GND=0V$)

参数名称	符号	测试条件	$V_{CC(A)}$ 和 $V_{CC(B)}$				单位
			1.2V	2.5V	3.3V	5.0V	
功耗电容 ^{[1][2]}	C_{PD}	A端口: (方向A到B); B端口: (方向B到A)	2	3	3	4	pF
		A端口: (方向A到B); B端口: (方向B到A)	15	16	16	18	pF

注:

[1] C_{PD} 用于确定动态功耗(P_D 单位为 μW)。 $P_D=C_{PD}\times V_{CC}^2\times f_i\times N+\Sigma(C_L\times V_{CC}^2\times f_o)$, 其中: f_i =输入频率, 单位为 MHz; f_o =输出频率, 单位为 MHz; C_L =负载电容, 单位为 pF; V_{CC} =电源电压, 单位为 V; N =输入开关数; $\Sigma(C_L\times V_{CC}^2\times f_o)$ =输出总和。[2] $f_i=10\text{MHz}$; $V_i=GND$ to V_{CC} ; $t_r=t_f=1\text{ns}$; $C_L=0\text{pF}$; $R_L=\infty\Omega$ 。

3.3.7、交流参数 4

(除非另有规定, $T_{amb}=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$, $GND=0V$)

参 数 名 称	符 号	测 试 条 件	V _{CC(B)}										单 位
			1.5V±0.1V		1.8V±0.15V		2.5V±0.2V		3.3V±0.3V		5.0V±0.5V		
			最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
V _{CC(A)} =1.4V~1.6V													
低电平到高电平的传输延时	t _{PLH}	A到B	2.8	21.3	2.4	17.6	2.0	13.5	1.7	11.8	1.6	10.5	ns
		B到A	2.8	21.3	2.6	19.1	2.3	14.9	2.3	12.4	2.2	12.0	ns
高电平到低电平的传输延时	t _{PHL}	A到B	2.6	19.3	2.2	153	1.8	11.8	1.7	10.9	1.7	10.8	ns
		B到A	2.6	19.3	2.4	17.3	2.3	13.2	2.2	11.3	2.3	11.0	ns
高电平到截止状态的传输延时	t _{PHZ}	DIR到A	3.0	18.7	3.0	18.7	3.0	18.7	3.0	18.7	3.0	18.7	ns
		DIR到B	3.5	24.8	3.5	23.6	3.0	11.0	3.3	11.3	2.8	10.3	ns
低电平到截止状态的传输延时	t _{PLZ}	DIR到A	2.4	11.4	2.4	11.4	2.4	11.4	2.4	11.4	2.4	11.4	ns
		DIR到B	2.8	18.3	3.0	17.2	2.5	9.4	3.0	10.1	2.5	9.4	ns
截止状态到高电平的传输延时	t _{PZH}	DIR到A ^[1]	—	39.6	—	36.3	—	24.3	—	22.5	—	21.4	ns
		DIR到B ^[1]	—	32.7	—	29.0	—	24.9	—	23.2	—	21.9	ns
截止状态到	t _{PZL}	DIR到A ^[1]	—	44.1	—	40.9	—	24.2	—	22.6	—	21.3	ns



无锡中微爱芯电子有限公司

Wuxi I-CORE Electronics Co., Ltd.

表 835-11

版次: B3

编号: AiP74LVC/LVCH2T45-AX-LJ-B082

低电平到传输延时		DIR to B ^[1]	—	38.0	—	34.0	—	30.5	—	29.6	—	29.5	ns
V _{CC(A)} =1.65V~1.95V													
低电平到高电平的传输延时	t _{PLH}	A到B	2.6	19.1	2.2	17.7	2.2	9.3	1.7	7.2	1.4	6.8	ns
		B到A	2.4	17.6	2.2	17.7	2.3	16.0	2.1	15.5	1.9	15.1	ns
高电平到低电平的传输延时	t _{PHL}	A到B	2.4	17.3	2.0	14.3	1.6	8.5	1.8	7.1	1.7	7.0	ns
		B到A	2.2	15.3	2.0	14.3	2.1	12.9	2.0	12.6	1.8	12.2	ns
高电平到截止状态的传输延时	t _{PHZ}	DIR到A	2.9	17.1	2.9	17.1	2.9	17.1	2.9	17.1	2.9	17.1	ns
		DIR到B	3.2	24.1	3.2	21.9	2.7	11.5	3.0	10.3	2.5	8.2	ns
低电平到截止状态的传输延时	t _{PLZ}	DIR到A	2.4	10.5	2.4	10.5	2.4	10.5	2.4	10.5	2.4	10.5	ns
		DIR到B	2.5	17.6	2.6	16.0	2.2	9.2	2.7	8.4	2.4	7.1	ns
截止状态到高电平的传输延时	t _{PZH}	DIR到A ^[1]	—	35.2	—	33.7	—	25.2	—	23.9	—	22.2	ns
		DIR到B ^[1]	—	29.6	—	28.2	—	19.8	—	17.7	—	17.3	ns
截止状态到低电平的传输延时	t _{PZL}	DIR到A ^[1]	—	39.4	—	36.2	—	24.4	—	22.9	—	20.4	ns
		DIR到B ^[1]	—	34.4	—	31.4	—	25.6	—	25.6	—	24.1	ns
V _{CC(A)} =2.3V~2.7V													
低电平到高电平的传输延时	t _{PLH}	A到B	2.3	17.9	2.3	16.0	1.5	8.5	1.3	6.2	1.1	4.8	ns
		B到A	2.0	13.5	2.2	9.3	1.5	8.5	1.4	8.0	1.0	7.5	ns
高电平到低电平的传输延时	t _{PHL}	A到B	2.3	15.8	2.1	12.9	1.4	7.5	1.3	5.4	0.9	4.6	ns
		B到A	1.8	11.8	1.9	8.5	1.4	7.5	1.3	7.0	0.9	6.2	ns
高电平到截止状态的传输延时	t _{PHZ}	DIR到A	2.1	8.1	2.1	8.1	2.1	8.1	2.1	8.1	2.1	8.1	ns
		DIR到B	3.0	22.5	3.0	21.4	2.5	11.0	2.8	9.3	2.3	6.9	ns
低电平到截止状态的传输延时	t _{PLZ}	DIR到A	1.7	5.8	1.7	5.8	1.7	5.8	1.7	5.8	1.7	5.8	ns
		DIR到B	2.3	14.6	2.5	13.2	2.0	9.0	2.5	8.4	1.8	5.8	ns
截止状态到高电平的传输延时	t _{PZH}	DIR到A ^[1]	—	28.1	—	22.5	—	17.5	—	16.4	—	13.3	ns
		DIR到B ^[1]	—	23.7	—	21.8	—	14.3	—	12.0	—	10.6	ns
截止状态到低电平的传输延时	t _{PZL}	DIR到A ^[1]	—	34.3	—	29.9	—	18.5	—	16.3	—	13.1	ns
		DIR到B ^[1]	—	23.9	—	21.0	—	15.6	—	13.5	—	12.7	ns
V _{CC(A)} =3.0V~3.6V													
低电平到高电平的传输延时	t _{PLH}	A到B	2.3	17.1	2.1	15.5	1.4	8.0	0.8	5.6	0.7	4.4	ns
		B到A	1.7	11.8	1.7	7.2	1.3	6.2	0.7	5.6	0.6	5.4	ns



高电平到低电平的传输延时	t _{PHL}	A到B	2.2	15.6	2.0	12.6	1.3	7.0	0.8	5.0	0.7	4.0	ns
		B到A	1.7	10.9	1.8	7.1	1.3	5.4	0.8	5.0	0.7	4.5	ns
高电平到截止状态的传输延时	t _{PHZ}	DIR到A	2.3	7.3	2.3	7.3	2.3	7.3	2.3	7.3	2.7	7.3	ns
		DIR到B	2.9	18.0	2.9	16.5	2.3	10.1	2.7	8.6	2.2	6.3	ns
低电平到截止状态的传输延时	t _{PLZ}	DIR到A	2.0	5.6	2.0	5.6	2.0	5.6	2.0	5.6	2.0	5.6	ns
		DIR到B	2.3	13.6	2.4	12.5	1.9	7.8	2.3	7.1	1.7	4.9	ns
截止状态到高电平的传输延时	t _{PZH}	DIR到A ^[1]	—	25.4	—	19.7	—	14.0	—	12.7	—	10.3	ns
		DIR到B ^[1]	—	22.7	—	21.1	—	13.6	—	11.2	—	10.0	ns
截止状态到低电平的传输延时	t _{PZL}	DIR到A ^[1]	—	28.9	—	23.6	—	15.5	—	13.6	—	10.8	ns
		DIR到B ^[1]	—	22.9	—	19.9	—	14.3	—	12.3	—	11.3	ns
V _{CC(A)} =4.5V~5.5V													
低电平到高电平的传输延时	t _{PLH}	A到B	2.2	16.6	1.9	15.1	1.0	7.5	0.7	5.4	0.5	3.9	ns
		B到A	1.6	10.5	1.4	6.8	1.0	4.8	0.7	4.4	0.5	3.9	ns
高电平到低电平的传输延时	t _{PHL}	A到B	2.3	15.3	1.8	12.2	1.0	6.2	0.7	4.5	0.5	3.5	ns
		B到A	1.7	10.8	1.7	7.0	0.9	4.6	0.7	4.0	0.5	3.5	ns
高电平到截止状态的传输延时	t _{PHZ}	DIR到A	1.7	5.4	1.7	5.4	1.7	5.4	0.7	5.4	1.7	5.4	ns
		DIR到B	2.9	17.3	2.9	16.1	2.3	9.7	2.7	8.0	2.5	5.7	ns
低电平到截止状态的传输延时	t _{PLZ}	DIR到A	1.4	3.7	1.4	3.7	1.3	3.7	1.0	3.7	0.9	3.7	ns
		DIR到B	2.3	13.1	2.4	12.1	1.9	7.4	2.3	7.0	1.8	4.5	ns
截止状态到高电平的传输延时	t _{PZH}	DIR到A ^[1]	—	23.6	—	18.9	—	12.2	—	11.4	—	8.4	ns
		DIR到B ^[1]	—	20.3	—	18.8	—	11.2	—	9.1	—	7.6	ns
截止状态到低电平的传输延时	t _{PZL}	DIR到A ^[1]	—	28.1	—	23.1	—	14.3	—	12.0	—	9.2	ns
		DIR到B ^[1]	—	20.7	—	17.6	—	11.6	—	9.9	—	8.9	ns

注: [1] t_{PZH} 和 t_{PZL} 是使用第 6.4 节中所示的公式计算得出的值。



3.3.8、交流参数 5

(除非另有规定, $T_{amb}=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$, GND=0V)

参 数 名 称	符 号	测 试 条 件	V _{CC(B)}										单 位
			1.5V±0.1V		1.8V±0.15V		2.5V±0.2V		3.3V±0.3V		5.0V±0.5V		
			最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
V _{CC(A)} =1.4V~1.6V													
低电平到高电平的传输延时	t _{PLH}	A到B	2.5	23.5	2.1	19.4	1.8	14.9	1.5	13.0	1.4	11.6	ns
		B到A	2.5	23.5	2.3	21.1	2.0	16.4	2.0	13.7	1.9	13.2	ns
高电平到低电平的传输延时	t _{PHL}	A到B	2.3	21.3	1.9	16.9	1.6	13.0	1.5	12.0	1.5	11.9	ns
		B到A	2.3	21.3	2.1	19.1	2.0	14.6	1.9	12.5	2.0	12.1	ns
高电平到截止状态的传输延时	t _{PHZ}	DIR到A	2.7	20.6	2.7	20.6	2.7	20.6	2.7	20.6	2.7	20.6	ns
		DIR到B	3.1	27.3	3.1	26.0	2.7	12.1	2.9	12.5	2.5	11.4	ns
低电平到截止状态的传输延时	t _{PLZ}	DIR到A	2.1	12.6	2.1	12.6	2.1	12.6	2.1	12.6	2.1	12.6	ns
		DIR到B	2.5	20.2	2.7	19.0	2.2	10.4	2.7	11.2	2.2	10.4	ns
截止状态到高电平的传输延时	t _{PZH}	DIR到A ^[1]	—	43.7	—	40.1	—	26.8	—	24.9	—	23.6	ns
		DIR到B ^[1]	—	36.1	—	32.0	—	27.5	—	25.6	—	24.2	ns
截止状态到低电平的传输延时	t _{PZL}	DIR到A ^[1]	—	48.6	—	45.1	—	26.7	—	25.0	—	23.5	ns
		DIR to B ^[1]	—	41.9	—	37.5	—	33.6	—	32.6	—	32.5	ns
V _{CC(A)} =1.65V~1.95V													
低电平到高电平的传输延时	t _{PLH}	A到B	2.3	21.1	1.9	19.5	1.9	10.3	1.5	8.0	1.2	7.5	ns
		B到A	2.1	19.4	1.9	19.5	2.0	17.6	1.8	17.1	1.7	16.7	ns
高电平到低电平的传输延时	t _{PHL}	A到B	2.1	19.1	1.8	15.8	1.4	9.4	1.6	7.9	1.5	7.7	ns
		B到A	1.9	16.9	1.8	15.8	1.8	14.2	1.8	13.9	1.6	13.5	ns
高电平到截止状态的传输延时	t _{PHZ}	DIR到A	2.6	18.9	2.6	18.9	2.6	18.9	2.6	18.9	2.6	18.9	ns
		DIR到B	2.8	26.6	2.8	24.1	2.4	12.7	2.7	11.4	2.2	9.1	ns
低电平到截止状态的传输延时	t _{PLZ}	DIR到A	2.1	11.6	2.1	11.6	2.1	11.6	2.1	11.6	2.1	11.6	ns
		DIR到B	2.2	19.4	2.3	17.6	1.9	10.2	2.4	9.3	2.1	7.9	ns
截止状态到高电平的传输延时	t _{PZH}	DIR到A ^[1]	—	38.8	—	37.1	—	27.8	—	26.4	—	24.6	ns
		DIR到B ^[1]	—	32.7	—	31.1	—	21.9	—	19.6	—	19.1	ns
截止状态到低电平的传输延时	t _{PZL}	DIR到A ^[1]	—	43.5	—	39.9	—	26.9	—	25.3	—	22.6	ns
		DIR到B ^[1]	—	38.0	—	34.7	—	28.3	—	26.8	—	26.6	ns
V _{CC(A)} =2.3V~2.7V													



低电平到高 电平的传输 延时	t _{PLH}	A到B	2.0	19.7	2.0	17.6	1.3	9.4	1.1	6.9	0.9	5.3	ns
		B到A	1.8	14.9	1.9	10.3	1.3	9.4	1.2	8.8	0.9	8.3	ns
高电平到低 电平的传输 延时	t _{PHL}	A到B	2.0	17.4	1.8	14.2	1.2	8.3	1.1	6.0	0.8	5.1	ns
		B到A	1.6	13.0	1.7	9.4	1.2	8.3	1.1	7.7	0.8	6.9	ns
高电平到截 止状态的传 输延时	t _{PHZ}	DIR到A	1.8	9.0	1.8	9.0	1.8	9.0	1.8	9.0	1.8	9.0	ns
		DIR到B	2.7	24.8	2.7	23.6	2.2	12.1	2.5	10.3	2.0	7.6	ns
低电平到截 止状态的传 输延时	t _{PLZ}	DIR到A	1.5	6.4	1.5	6.4	1.5	6.4	1.5	6.4	1.5	6.4	ns
		DIR到B	2.0	16.1	2.2	14.6	1.8	9.9	2.2	9.3	1.6	6.4	ns
截止状态到 高电平的传 输延时	t _{PZH}	DIR到A ^[1]	—	31.0	—	24.9	—	19.3	—	18.1	—	14.7	ns
		DIR到B ^[1]	—	26.1	—	24.0	—	15.8	—	13.3	—	11.7	ns
截止状态到 低电平的传 输延时	t _{PZL}	DIR到A ^[1]	—	37.8	—	33.0	—	20.4	—	18.0	—	14.5	ns
		DIR到B ^[1]	—	26.4	—	23.2	—	17.3	—	15.0	—	14.1	ns
V _{CC(A)} =3.0V~3.6V													
低电平到高 电平的传输 延时	t _{PLH}	A到B	2.0	18.9	1.8	17.1	1.2	8.8	0.7	6.2	0.6	4.9	ns
		B到A	1.5	13.0	1.5	8.0	1.1	6.9	0.6	6.2	0.5	6.0	ns
高电平到低 电平的传输 延时	t _{PHL}	A到B	1.9	17.2	1.8	13.9	1.1	7.7	0.7	5.5	0.6	4.4	ns
		B到A	1.5	12.0	1.6	7.9	1.1	6.0	0.7	5.5	0.6	5.0	ns
高电平到截 止状态的传 输延时	t _{PHZ}	DIR到A	2.0	8.1	2.0	8.1	2.0	8.1	2.0	8.1	2.4	8.1	ns
		DIR到B	2.6	19.8	2.6	18.2	2.0	11.2	2.4	9.5	1.9	7.0	ns
低电平到截 止状态的传 输延时	t _{PLZ}	DIR到A	1.8	6.2	1.8	6.2	1.8	6.2	1.8	6.2	1.8	6.2	ns
		DIR到B	2.0	15.0	2.1	13.8	1.7	8.6	2.0	7.9	1.5	5.4	ns
截止状态到 高电平的传 输延时	t _{PZH}	DIR到A ^[1]	—	28.0	—	21.8	—	15.5	—	14.1	—	11.4	ns
		DIR到B ^[1]	—	25.1	—	23.3	—	15.0	—	12.4	—	11.1	ns
截止状态到 低电平的传 输延时	t _{PZL}	DIR到A ^[1]	—	31.8	—	26.1	—	17.2	—	15.0	—	12.0	ns
		DIR到B ^[1]	—	25.3	—	22.0	—	15.8	—	13.6	—	12.5	ns
V _{CC(A)} =4.5V~5.5V													
低电平到高 电平的传输 延时	t _{PLH}	A到B	1.9	18.3	1.7	16.7	0.9	8.3	0.6	6.0	0.4	4.3	ns
		B到A	1.4	11.6	1.2	7.5	0.9	5.3	0.6	4.9	0.4	4.3	ns
高电平到低 电平的传输 延时	t _{PHL}	A到B	2.0	16.9	1.6	13.5	0.9	6.9	0.6	5.0	0.4	3.9	ns
		B到A	1.5	11.9	1.5	7.7	0.8	5.1	0.6	4.4	0.4	3.9	ns



高电平到截止状态的传输延时	t_{PHZ}	DIR到A	1.5	6.0	1.5	6.0	1.5	6.0	1.5	6.0	1.5	6.0	ns
		DIR到B	2.6	19.1	2.6	17.8	2.0	10.7	2.4	8.8	2.2	6.3	ns
低电平到截止状态的传输延时	t_{PLZ}	DIR到A	1.2	4.1	1.2	4.1	1.1	4.1	0.9	4.1	0.8	4.1	ns
		DIR到B	2.0	14.5	2.1	13.4	1.7	8.2	2.0	7.7	1.6	5.0	ns
截止状态到高电平的传输延时	t_{PZH}	DIR到A ^[1]	—	26.1	—	20.9	—	13.5	—	12.6	—	9.3	ns
		DIR到B ^[1]	—	22.4	—	20.8	—	12.4	—	10.1	—	8.4	ns
截止状态到低电平的传输延时	t_{PZL}	DIR到A ^[1]	—	31.0	—	25.5	—	15.8	—	13.2	—	10.2	ns
		DIR到B ^[1]	—	22.9	—	19.5	—	12.9	—	11.0	—	9.9	ns

注: [1] t_{PZH} 和 t_{PZL} 是使用第 6.4 节中所示的公式计算得出的值。

4、测试线路

4.1、交流测试线路

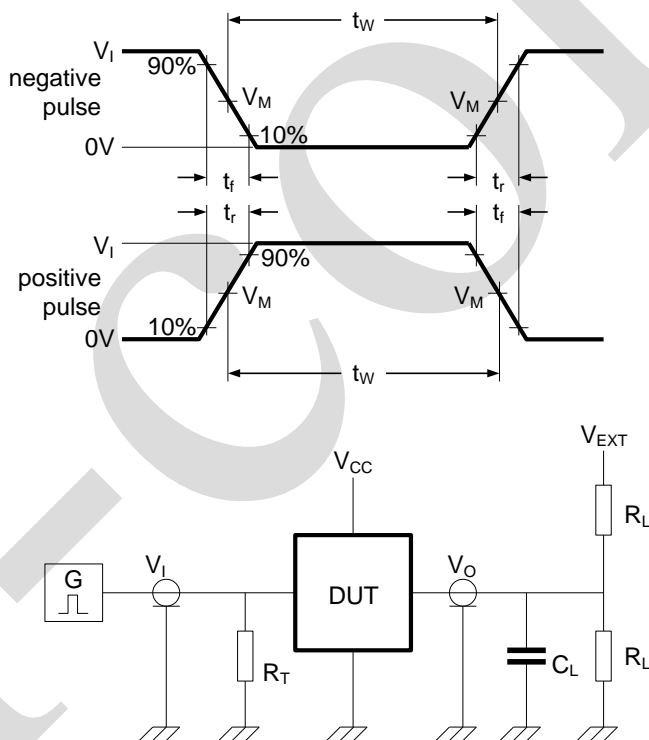


图 3 测试开关时间的测试电路

测试电路的定义:

R_L =负载电阻

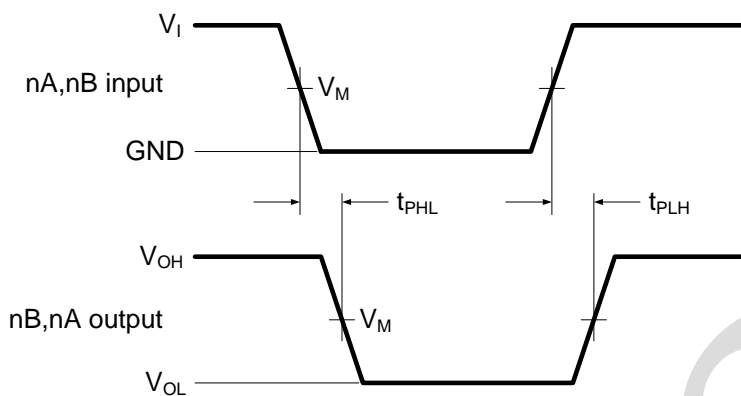
C_L =负载电容, 包括探针、夹子上的电容

R_T =终端电阻

V_{EXT} =外部电压, 用于测量开关时间

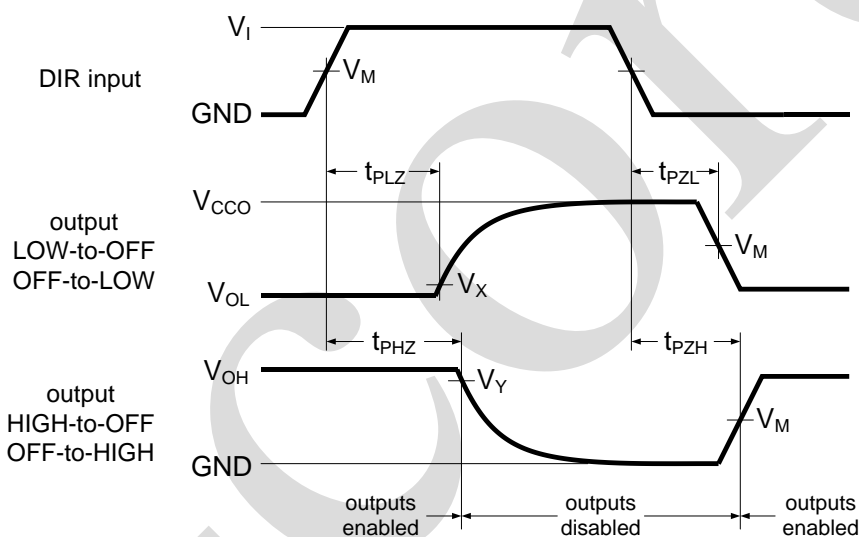


4.2、交流测试波形



V_{OL} 和 V_{OH} 是带负载时的输出电平电压。

图4 数据输入 (A, B) 到输出 (B, A) 传输延迟及输出转换时间



V_{OL} 和 V_{OH} 是带负载时的输出电平电压。

图5 使能和失能时间



4.3、测试数据

电源电压	输入		负载		V_{EXT}		
$V_{CC(A)}, V_{CC(B)}$	$V_I^{[1]}$	$\Delta t/\Delta V^{[2]}$	C_L	R_L	t_{PLH}, t_{PHL}	t_{PZH}, t_{PHZ}	$t_{PZL}, t_{PLZ}^{[3]}$
1.2V~5.5V	V_{CCI}	$\leq 1.0\text{ns/V}$	15pF	2k Ω	open	GND	$2V_{CCO}$

注:

[1] V_{CCI} 是与数据输入端口关联的电源电压。[2] $dV/dt \geq 1.0\text{V/ns}$ 。[3] V_{CCO} 是与输出端口关联的电源电压。

4.4、测试点

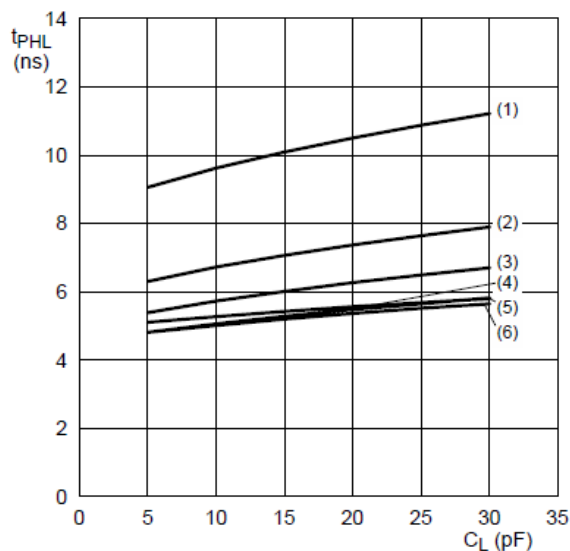
电源电压	输入 ^[1]	输出 ^[2]		
$V_{CC(A)}, V_{CC(B)}$	V_M	V_M	V_X	V_Y
1.2V~1.6V	$0.5V_{CCI}$	$0.5V_{CCO}$	$V_{OL}+0.1\text{V}$	$V_{OH}-0.1\text{V}$
1.65V~2.7V	$0.5V_{CCI}$	$0.5V_{CCO}$	$V_{OL}+0.15\text{V}$	$V_{OH}-0.15\text{V}$
3.0V~5.5V	$0.5V_{CCI}$	$0.5V_{CCO}$	$V_{OL}+0.3\text{V}$	$V_{OH}-0.3\text{V}$

注:

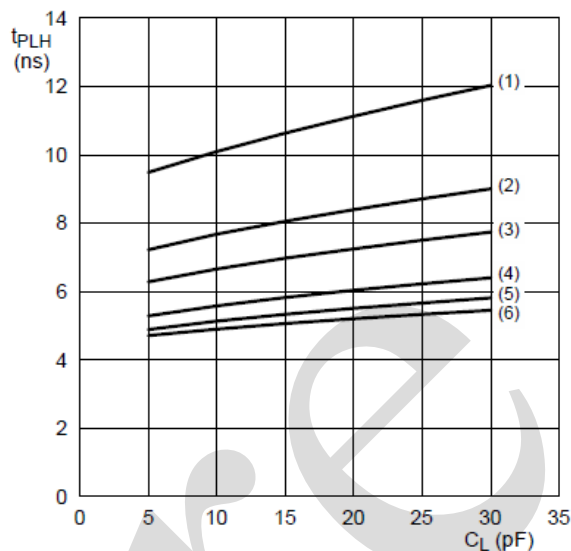
[1] V_{CCI} 是与数据输入端口关联的电源电压。[2] V_{CCO} 是与输出端口关联的电源电压。



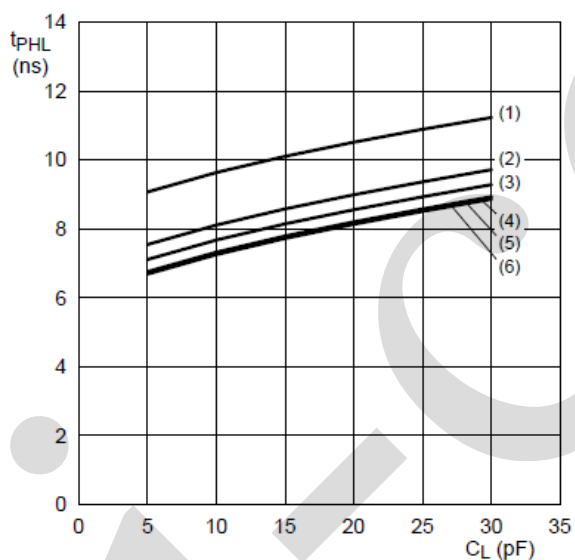
5、特性曲线



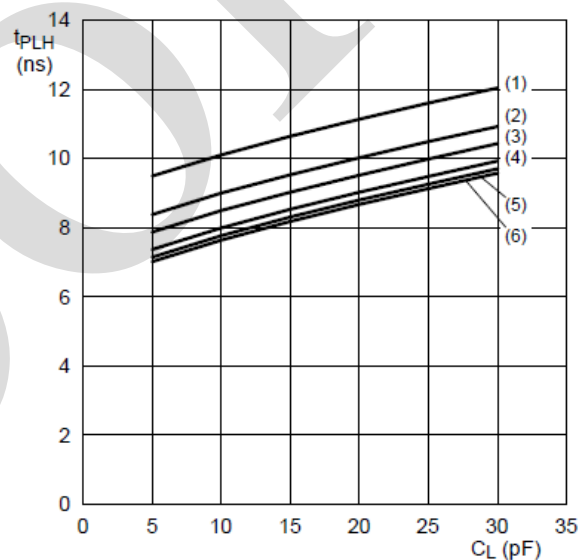
a. 高电平到低电平传输延迟 (A到B)



b. 低电平到高电平传输延迟 (A到B)

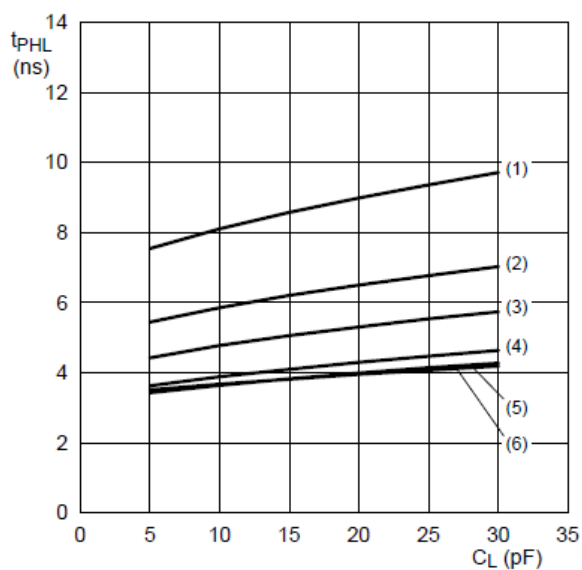


c. 高电平到低电平传输延迟 (B到A)

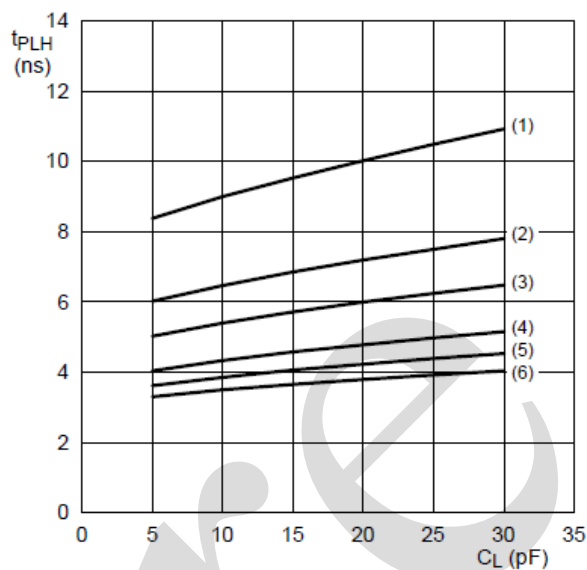


d. 低电平到高电平传输延迟 (B到A)

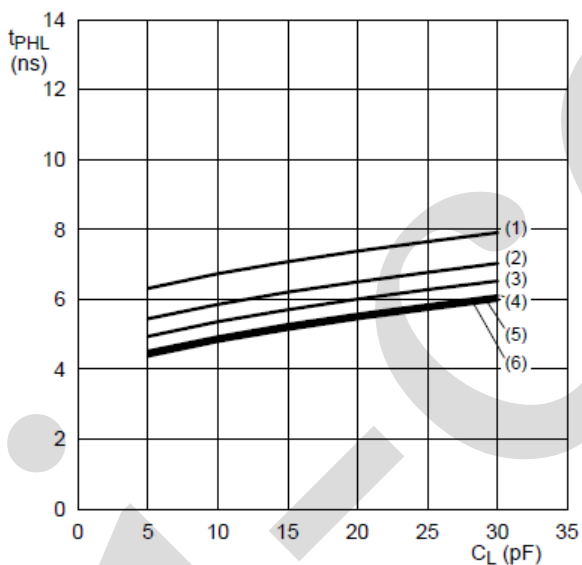
(1) $V_{CC(B)}=1.2V$ (2) $V_{CC(B)}=1.5V$ (3) $V_{CC(B)}=1.8V$ (4) $V_{CC(B)}=2.5V$ (5) $V_{CC(B)}=3.3V$ (6) $V_{CC(B)}=5.0V$ 图6 典型的传输延迟与负载电容的关系; $T_{amb}=25^{\circ}C$; $V_{CC(A)}=1.2V$



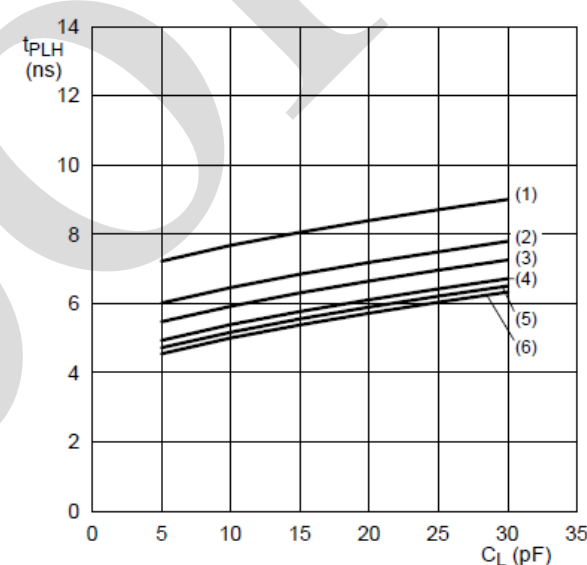
a. 高电平到低电平传输延迟 (A到B)



b. 低电平到高电平传输延迟 (A到B)

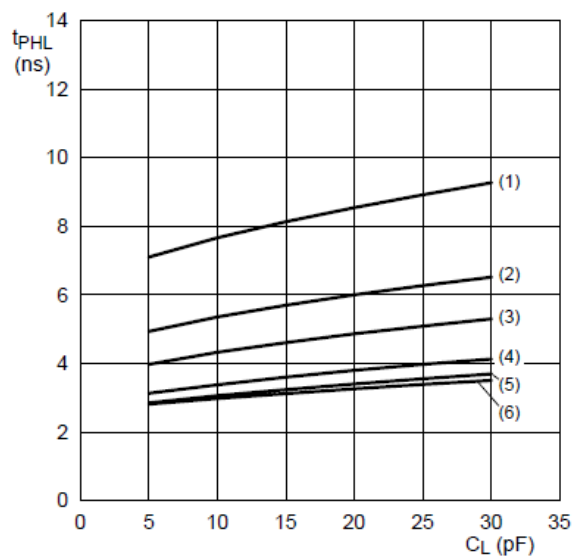


c. 高电平到低电平传输延迟 (B到A)

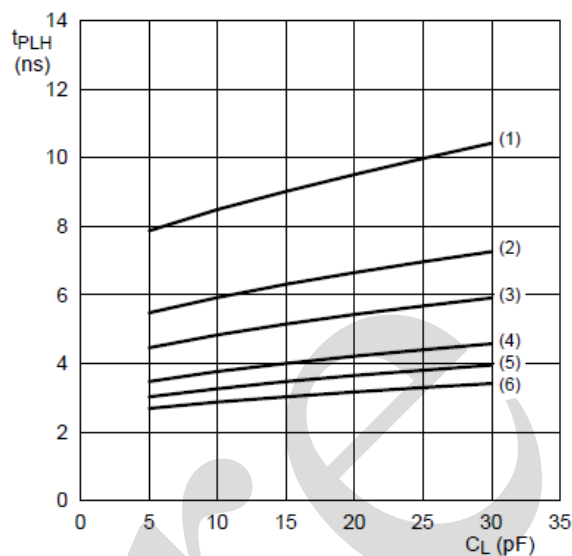


d. 低电平到高电平传输延迟 (B到A)

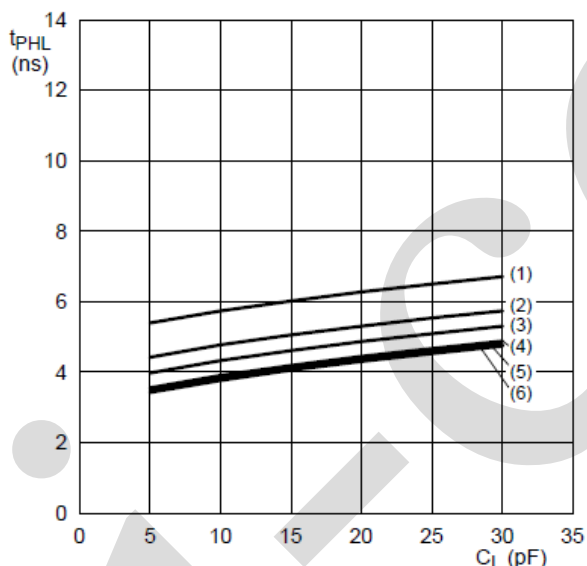
(1) $V_{CC(B)}=1.2V$ (2) $V_{CC(B)}=1.5V$ (3) $V_{CC(B)}=1.8V$ (4) $V_{CC(B)}=2.5V$ (5) $V_{CC(B)}=3.3V$ (6) $V_{CC(B)}=5.0V$ 图7 典型的传输延迟与负载电容的关系; $T_{amb}=25^{\circ}C$; $V_{CC(A)}=1.5V$



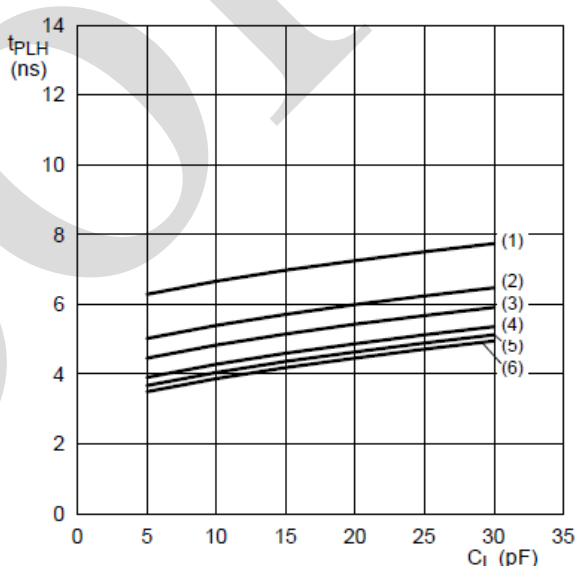
a. 高电平到低电平传输延迟 (A到B)



b. 低电平到高电平传输延迟 (A到B)

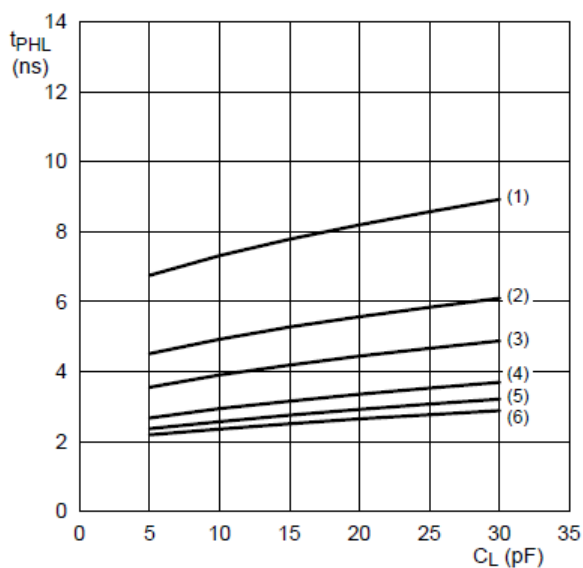


c. 高电平到低电平传输延迟 (B到A)

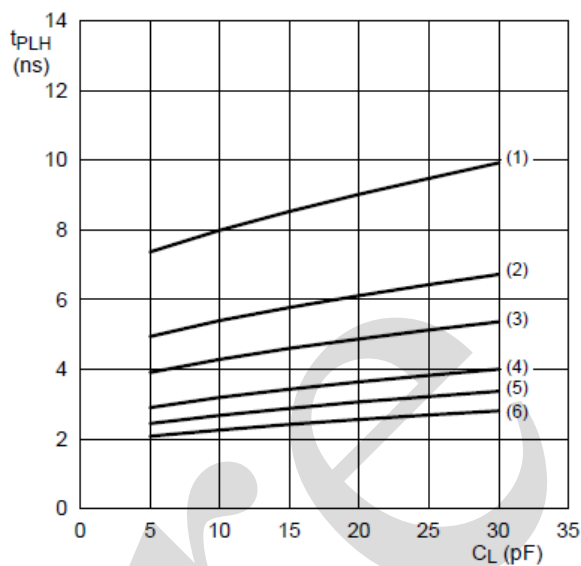


d. 低电平到高电平传输延迟 (B到A)

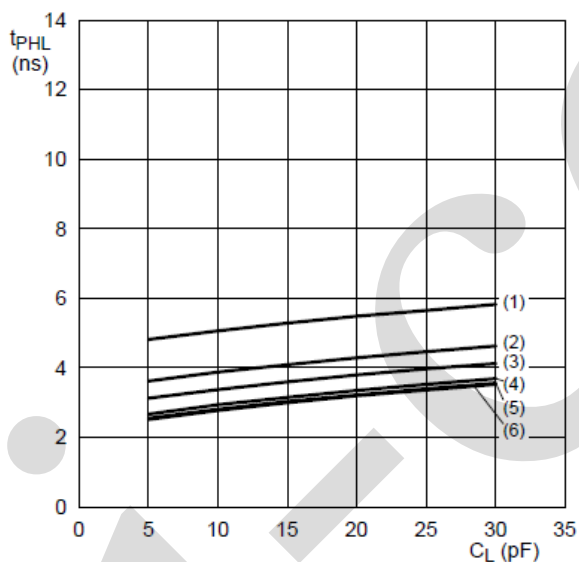
(1) $V_{CC(B)}=1.2V$ (2) $V_{CC(B)}=1.5V$ (3) $V_{CC(B)}=1.8V$ (4) $V_{CC(B)}=2.5V$ (5) $V_{CC(B)}=3.3V$ (6) $V_{CC(B)}=5.0V$ 图8 典型的传输延迟与负载电容的关系; $T_{amb}=25^{\circ}C$; $V_{CC(A)}=1.8V$



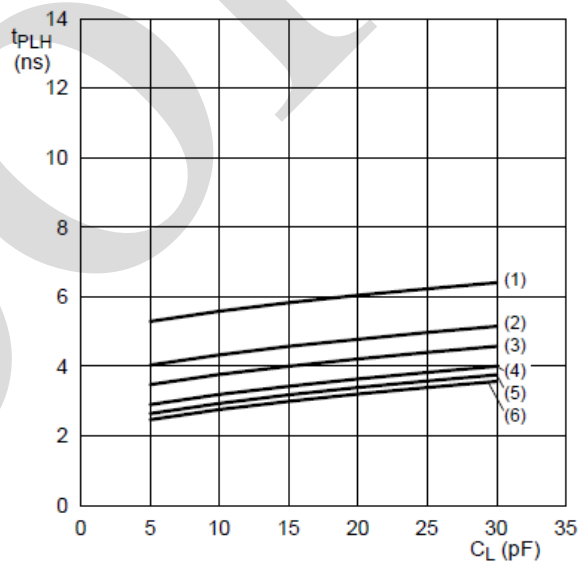
a. 高电平到低电平传输延迟 (A到B)



b. 低电平到高电平传输延迟 (A到B)

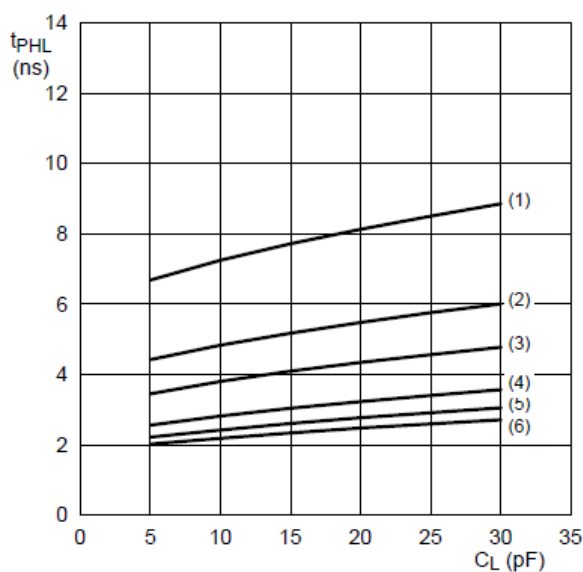


c. 高电平到低电平传输延迟 (B到A)

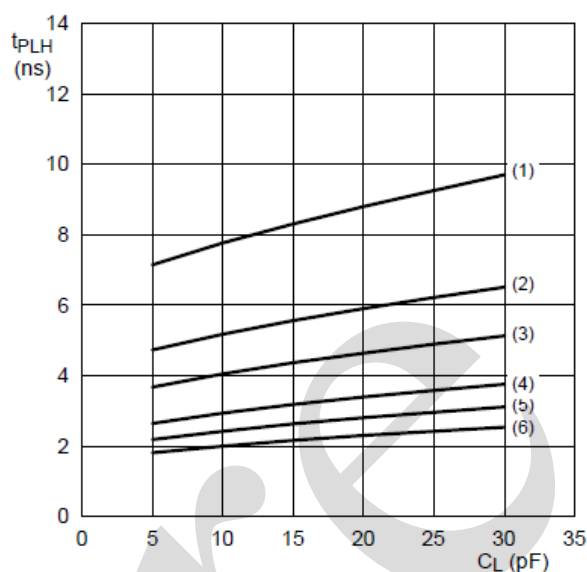


d. 低电平到高电平传输延迟 (B到A)

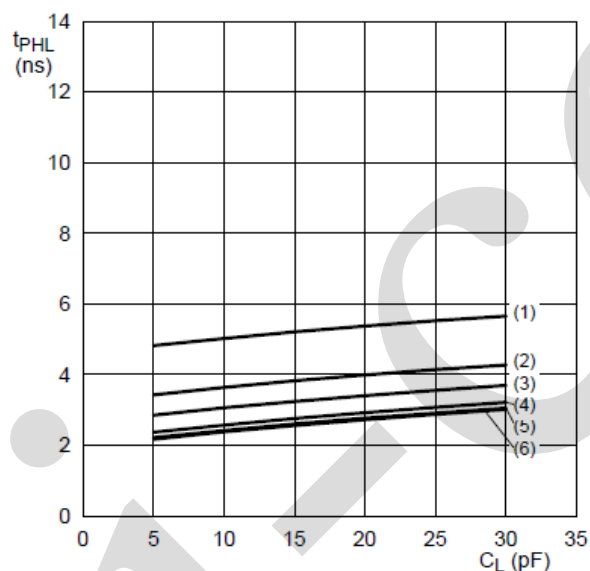
(1) $V_{CC(B)}=1.2V$ (2) $V_{CC(B)}=1.5V$ (3) $V_{CC(B)}=1.8V$ (4) $V_{CC(B)}=2.5V$ (5) $V_{CC(B)}=3.3V$ (6) $V_{CC(B)}=5.0V$ 图9 典型的传输延迟与负载电容的关系; $T_{amb}=25^{\circ}C$; $V_{CC(A)}=2.5V$



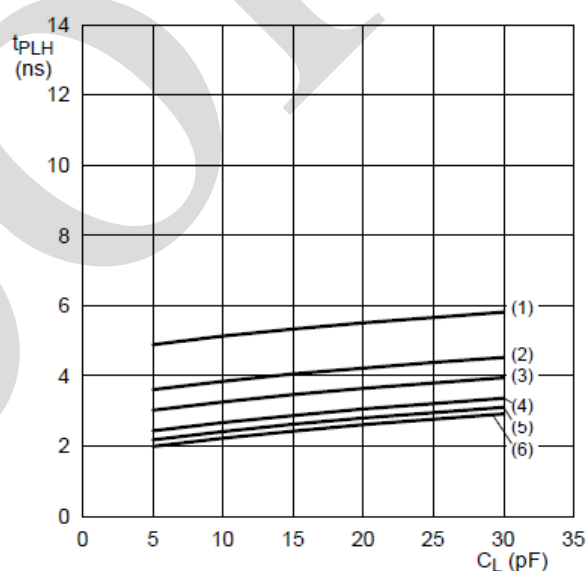
a. 高电平到低电平传输延迟 (A到B)



b. 低电平到高电平传输延迟 (A到B)

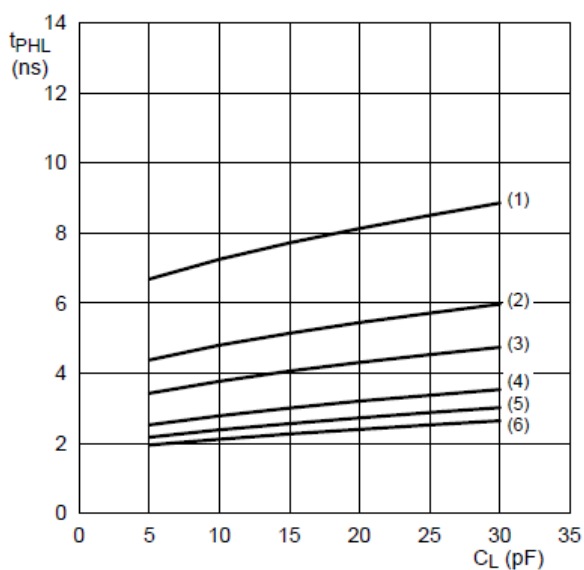


c. 高电平到低电平传输延迟 (B到A)

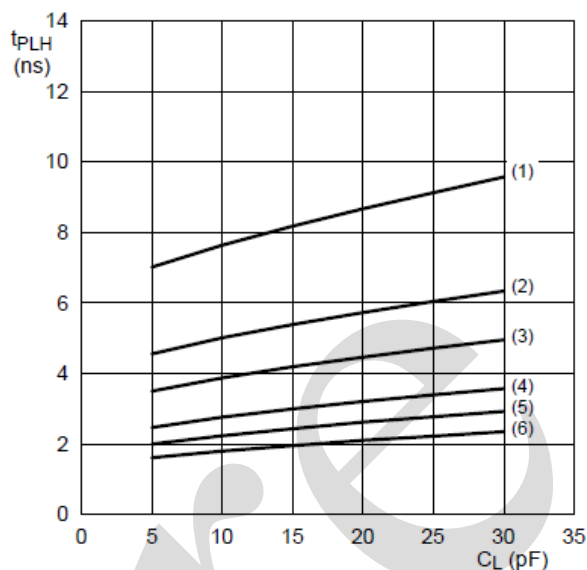


d. 低电平到高电平传输延迟 (B到A)

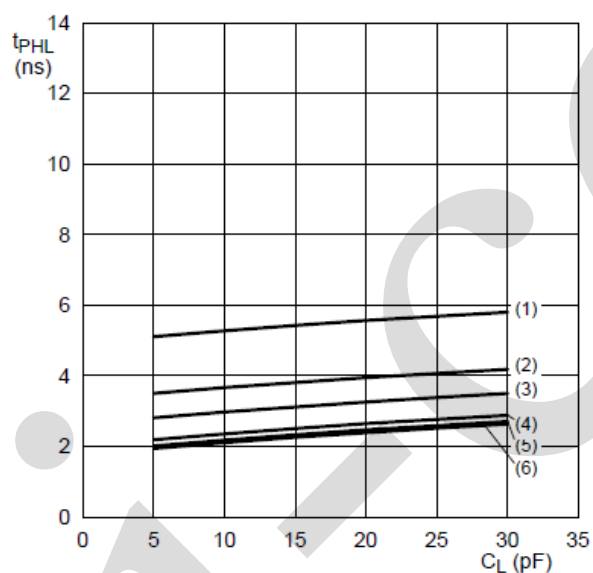
(1) $V_{CC(B)}=1.2V$ (2) $V_{CC(B)}=1.5V$ (3) $V_{CC(B)}=1.8V$ (4) $V_{CC(B)}=2.5V$ (5) $V_{CC(B)}=3.3V$ (6) $V_{CC(B)}=5.0V$ 图10 典型的传输延迟与负载电容的关系; $T_{amb}=25^{\circ}C$; $V_{CC(A)}=3.3V$



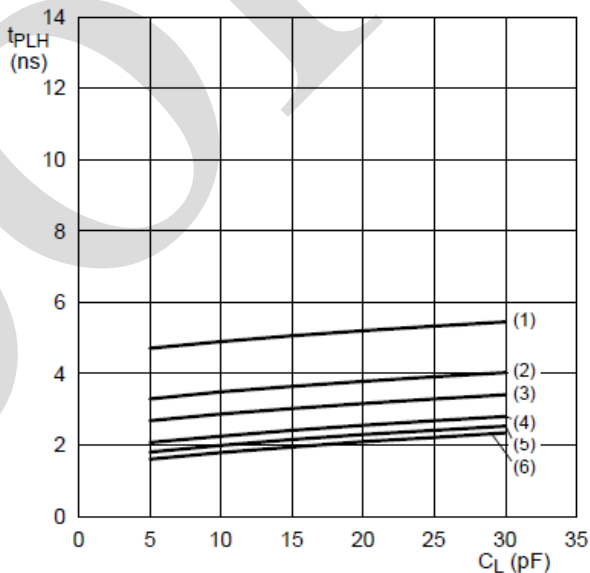
a. 高电平到低电平传输延迟 (A到B)



b. 低电平到高电平传输延迟 (A到B)



c. 高电平到低电平传输延迟 (B到A)



d. 低电平到高电平传输延迟 (B到A)

(1) $V_{CC(B)}=1.2V$ (2) $V_{CC(B)}=1.5V$ (3) $V_{CC(B)}=1.8V$ (4) $V_{CC(B)}=2.5V$ (5) $V_{CC(B)}=3.3V$ (6) $V_{CC(B)}=5.0V$ 图11 典型的传输延迟与负载电容的关系; $T_{amb}=25^{\circ}C$; $V_{CC(A)}=5.0V$



6、典型应用线路与说明

6.1、单向逻辑电平转换应用

图12给出的电路是AiP74LVC2T45和AiP74LVCH2T45用于单向逻辑电平转换应用的一个例子。

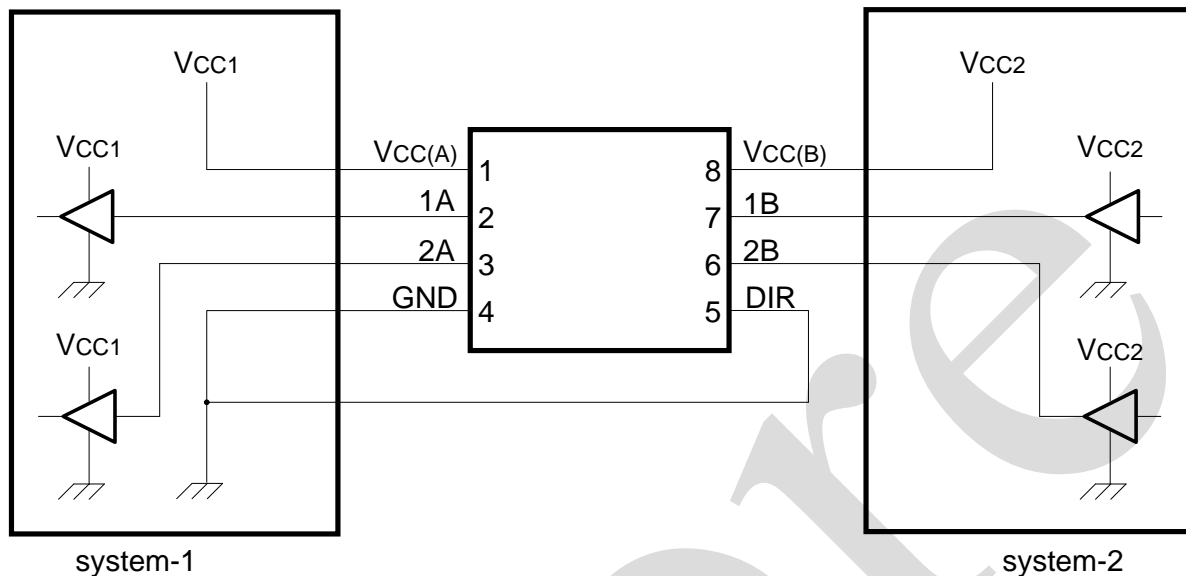


图12 单向逻辑电平转换应用

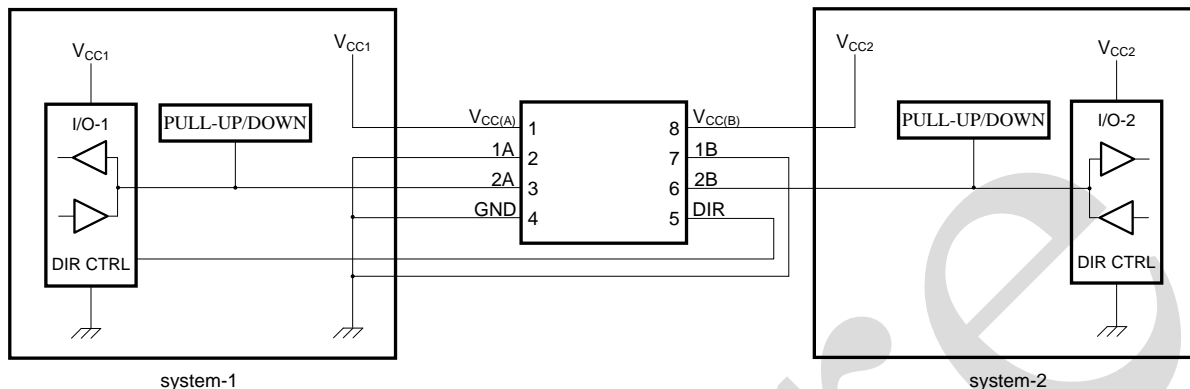
表1 单向逻辑电平转换应用的描述

引脚	名称	功能	描述
1	$V_{CC(A)}$	V_{CC1}	系统1的电源电压 (1.2V~5.5V)
2	1A	OUT	输出电平取决于 V_{CC1} 电压
3	2A	OUT	输出电平取决于 V_{CC1} 电压
4	GND	GND	设备GND
5	DIR	DIR	GND (低电平) 决定B端口到A端口的方向
6	2B	IN	输入阈值取决于 V_{CC2} 电压
7	1B	IN	输入阈值取决于 V_{CC2} 电压
8	$V_{CC(B)}$	V_{CC2}	系统2的电源电压 (1.2V~5.5V)



6.2、双向逻辑电平转换应用

图13显示了在双向逻辑电平转换应用中使用的AiP74LVC2T45和AiP74LVCH2T45。由于该器件没有输出使能引脚,因此系统设计人员应采取预防措施,以免在更改方向时避免系统1与系统2之间的总线争用。



仅AiP74LVC2T45需要上拉或下拉。

图13 双向逻辑电平转换应用

表2给出了一个顺序,该顺序将说明从系统1到系统2,然后从系统2到系统1的数据传输。

表2 双向逻辑电平转换应用的描述

状态	DIR CTRL	I/O-1	I/O-2	描述
1	H	输出	输入	系统1数据到系统2
2	H	Z	Z	系统2准备将数据发送到系统1 I/O-1和I/O-2被禁用 总线状态取决于总线保持
3	L	Z	Z	DIR位设置为低电平 I/O-1和I/O-2仍被禁用 总线状态取决于总线保持
4	L	输入	输出	系统2数据到系统1

注:

H=高电平;

L=低电平;

Z=高阻态



6.3、上电注意事项

该设备的设计使其不需要特殊的上电顺序, 除了首先应用 GND。

表 3 典型总电源电流 ($I_{CC(A)}+I_{CC(B)}$)

$V_{CC(A)}$	$V_{CC(B)}$					单 位
	0V	0.8V	2.5V	3.3V	5.0V	
0V	0	<1	<1	<1	<1	uA
0.8V	<1	<2	<2	<2	2	uA
2.5V	<1	<2	<2	<2	<2	uA
3.3V	<1	<2	<2	<2	<2	uA
5.0V	<1	2	<2	<2	<2	uA

6.4、使能时间

使用下列公式计算AiP74LVC2T45和AiP74LVCH2T45的使能时间:

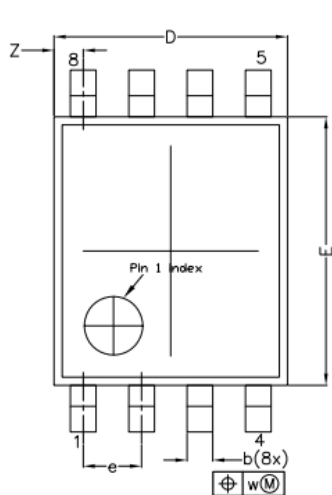
- $t_{PZH}(\text{DIR to A})=t_{PLZ}(\text{DIR to B})+t_{PLH}(\text{B to A})$
- $t_{PZL}(\text{DIR to A})=t_{PHZ}(\text{DIR to B})+t_{PHL}(\text{B to A})$
- $t_{PZH}(\text{DIR to B})=t_{PLZ}(\text{DIR to A})+t_{PLH}(\text{A to B})$
- $t_{PZL}(\text{DIR to B})=t_{PHZ}(\text{DIR to A})+t_{PHL}(\text{A to B})$

在双向应用中, 这些使能时间提供了从DIR位切换到期望输出的最大延迟。例如, 如果AiP74LVC2T45和AiP74LVCH2T45最初是从A传输到B, 然后切换DIR位, 则必须先禁用设备的B端口, 然后再将其提供给输入。禁用B端口后, 经过指定的传输延时后, 施加到该端口的输入信号会出现在相应的A端口上。

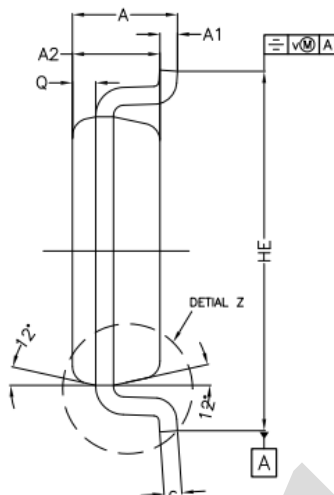


7、封装尺寸与外形图

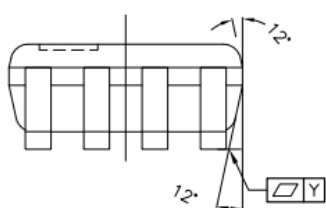
7.1、VSSOP8 外形图与封装尺寸



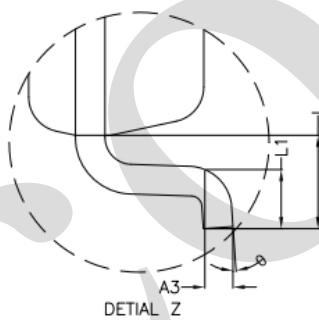
TOP VIEW



SIDE VIEW



SIDE VIEW



DETAIL Z

* CONTROLLING DIMENSION : MM

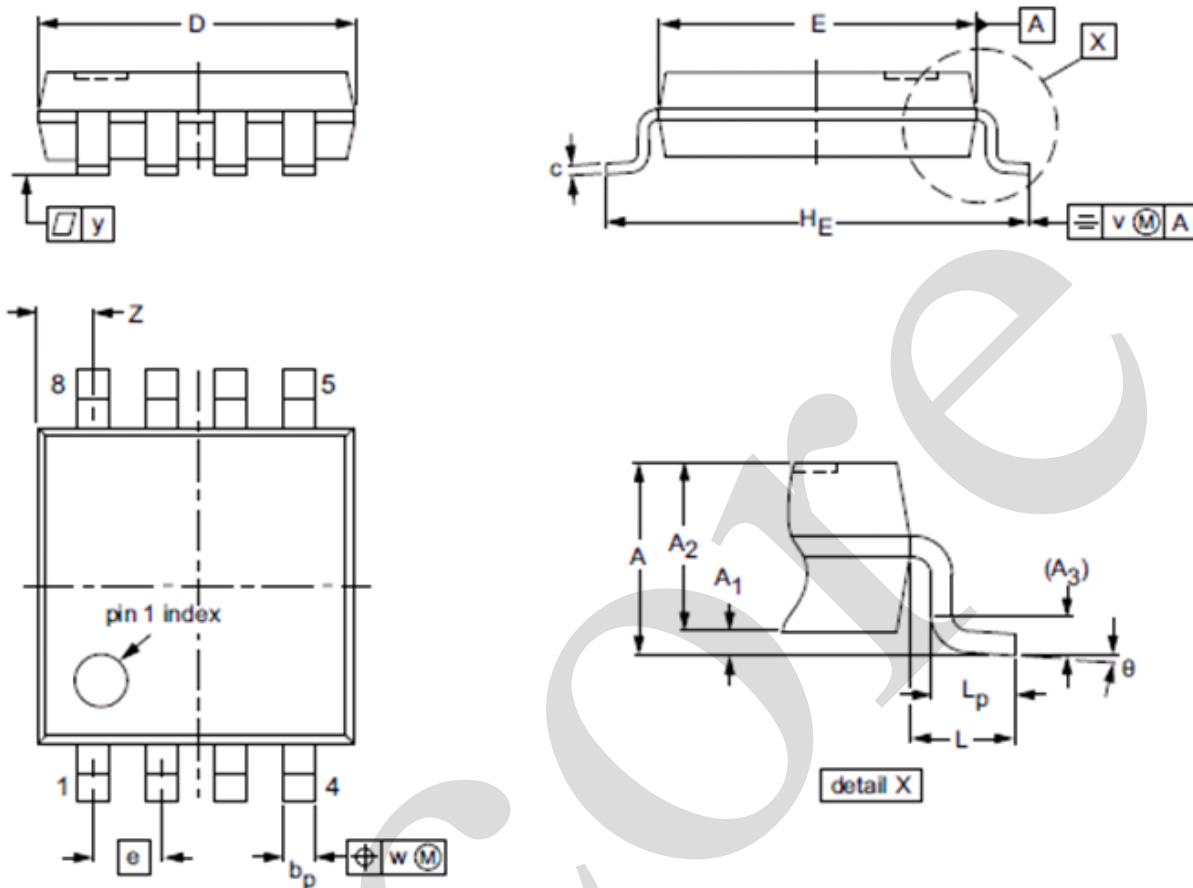
SYMBOL	MILLIMETER		
	MIN.	NOM.	MAX.
A	----	----	1.00
A1	0.00	----	0.15
A2	0.60	0.75	0.85
A3	----	0.12	----
Q	0.19	0.20	0.21
b	0.17	0.22	0.27
c	0.08	----	0.23
D	1.90	2.00	2.10
E	2.20	2.30	2.40
HE	3.00	3.10	3.20
e	0.50 bsc		
L	0.40 bsc		
L1	0.15	----	0.40
Y	----	0.10	----
v	----	0.20	----
w	----	0.08	----
Z	0.10	----	0.40
θ	0°	----	8°

NOTES

1.0 COPLANARITY APPLIES TO LEADS, CORNER LEADS AND DIE ATTACH PAD.



7.2、TSSOP8



UNIT	A _{max.}	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _E	L	L _p	v	w	y	Z ⁽¹⁾	θ
mm	1.1	0.15 0.00	0.95 0.75	0.25	0.38 0.22	0.18 0.08	3.1 2.9	3.1 2.9	0.65	4.1 3.9	0.5	0.47 0.33	0.2	0.13	0.1	0.70 0.35	8° 0°



8、声明及注意事项

8.1、产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素									
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr (VI)	多溴联 苯 (PBBs)	多溴联 苯醚 (PBD Es)	邻苯二 甲酸二 丁酯 (DBP)	邻苯二 甲酸丁 苯酯 (BBP)	邻苯二甲 酸二(2- 乙基己 基)酯 (DEHP)	邻苯二甲酸 二异丁酯 (DIBP)
引线框	○	○	○	○	○	○	○	○	○	○
塑封 树脂	○	○	○	○	○	○	○	○	○	○
芯片	○	○	○	○	○	○	○	○	○	○
内引线	○	○	○	○	○	○	○	○	○	○
装片胶	○	○	○	○	○	○	○	○	○	○
说明	○: 表示该有毒有害物质或元素的含量在 SJ/T11363-2006 标准的检出限以下。 ×: 表示该有毒有害物质或元素的含量超出 SJ/T11363-2006 标准的限量要求。									

8.2、注意

在使用本产品之前建议仔细阅读本资料;

本资料中的信息如有变化, 恕不另行通知;

本资料仅供参考, 本公司不承担任何由此而引起的任何损失;

本公司也不承担任何在使用过程中引起的侵犯第三方专利或其它权利的责任。