



# AiP2206

## 双向 I<sup>2</sup>C-bus 和 SMBus

### 电平转换电路

## 产品说明书

#### 说明书发行履历:

版本	发行时间	新制/修订内容
2015-12-A1	2015-12	新制
2018-05-A2	2018-05	更新版本
2019-02-A3	2019-02	更新模板
2020-01-A4	2020-01	增加订购信息
2022-01-A5	2022-01	修改订购信息
2022-04-A6	2022-04	修改极限参数表中通道电流及输入钳位电流门限



## 1、概述

AiP2206是一款支持I<sup>2</sup>C总线和SMBus的带有使能控制的双向电平转换电路,能够实现1.0V~3.6V ( $V_{ref(1)}$ )和1.8V~5.5V ( $V_{bias(ref)(2)}$ )之间的双向电平移位。

AiP2206支持从1V~5V的双向电平转换并且不需要方向控制引脚。开关导通时具有很小的导通电阻,保证以最小的传输延迟进行连接。当使能端为高电平,转换开关打开,SCL1和SDA1分别连接到SCL2和SDA2,允许数据在两端传输。当使能端为低电平,开关关闭,端口为高阻态。

AiP2206在禁能时将隔离两端,使能时提供电平转换。

AiP2206可用于运行两条总线,一种为400kHz工作频率,另一种为100kHz工作频率。如果两条总线在不同频率上,当另一条总线进行400kHz操作时,100kHz总线必须隔离。如果控制器运行在400kHz时,由于电平转换器增加了延迟,系统最大频率可能低于400kHz。

与标准的I<sup>2</sup>C系统一样,AiP2206需要通过上拉电阻为转换器总线提供逻辑高电平。AiP2206具有标准的I<sup>2</sup>C总线开集结构。上拉电阻的大小由系统传输速率决定,但转换器两端必须都有上拉电阻。该器件主要工作于标准模式,快速模式和快速模式Plus的I<sup>2</sup>C总线器件来配合SMBus器件。最大频率取决于RC时间常数,但一般支持大于2MHz。

当SDA1或SDA2端口是低电平时,SDA1和SDA2之间导通并且存在一个很小的导通电阻。假设SDA2端的设备的参考高电平比SDA1端的设备的参考高电平更高,当SDA2端的设备输出高电平时,SDA1端输出的电压将被限制在VREF1设置的电压。当SDA1端的设备输出高电平,则SDA2端由上拉电阻上拉至漏极上拉供电电压( $V_{pu(D)}$ )设置的高电平。这样允许用户自由切换高低电平而无需方向控制引脚。SCL1/SCL2通道的工作原理与SDA1/SDA2通道相同。

所有通道具有相同的电气特性,从一端到另一端,电压或传输延迟存在微小偏差。开关的对称制造有利于解决分离晶体管电平转换。转换器为低电压器件提供了出色的ESD保护,同时保护缺少静电保护的器件。

其特性和优势如下:

- 兼容标准模式、快速模式及快速模式Plus I<sup>2</sup>C总线和SMBus
- 小于1.5ns的最大传输延迟,适应标准模式和快速模式I<sup>2</sup>C总线器件和多个主控制器
- 允许电平转换如:
  - 1.0V  $V_{ref(1)}$  和1.8V, 2.5V, 3.3V或5V  $V_{bias(ref)(2)}$  之间
  - 1.2V  $V_{ref(1)}$  和1.8V, 2.5V, 3.3V或5V  $V_{bias(ref)(2)}$  之间
  - 1.8V  $V_{ref(1)}$  和3.3V或5V  $V_{bias(ref)(2)}$  之间
  - 2.5V  $V_{ref(1)}$  和5V  $V_{bias(ref)(2)}$  之间
  - 3.3V  $V_{ref(1)}$  和5V  $V_{bias(ref)(2)}$  之间
- 提供无控制引脚的双向电平转换
- 输入输出引脚间3.5欧姆的低导通电阻,提供更小的信号失真。
- 开漏I<sup>2</sup>C总线I/O端口(SCL1, SDA1, SCL2和SDA2)
- I<sup>2</sup>C总线的I/O口具有5V耐压值,支持混合模式信号操作
- EN为低电平时,SCL1、SDA1、SCL2和SDA2端口为高阻抗状态
- 自由锁定
- 封装形式: TSSOP8



表 835-11

无锡中微爱芯电子有限公司

Wuxi I-CORE Electronics Co., Ltd.

版次: B3

编号: AiP2206-AX-TX-B007

订购信息:

编带:

产品料号	封装形式	打印标识	编带盘装数	编带盒装数	备注说明
AiP2206TA8.TR	TSSOP8	2206	6000PCS/盘	6000PCS/盒	塑封体尺寸: 3.0mm×3.0mm 引脚间距: 0.65mm

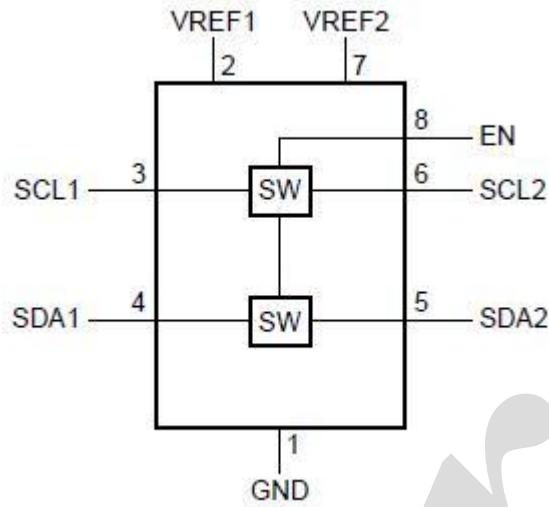
注: 如实物与订购信息不一致, 请以实物为准。

i-core

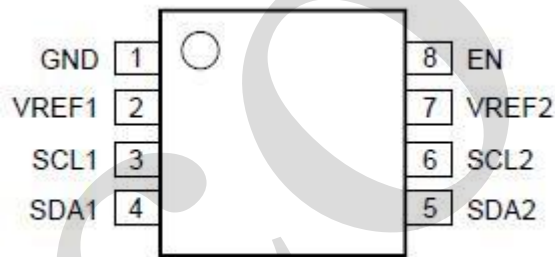


## 2、功能框图及引脚说明

### 2.1、功能框图



### 2.2、引脚排列图



### 2.3、引脚说明

引脚	符号	功能
1	GND	地
2	VREF1	低电压端, SCL1 和 SDA1 的参考电压
3	SCL1	串行时钟, 低电压端, 通过上拉电阻连接到 VREF1
4	SDA1	串行数据, 低电压端, 通过上拉电阻连接到 VREF1
5	SDA2	串行数据, 高电压端, 通过上拉电阻连接到 VREF2
6	SCL2	串行数据, 高电压端, 通过上拉电阻连接到 VREF2
7	VREF2	高电压端, SCL2 和 SDA2 的参考电压
8	EN	使能开关输入, 连接到 VREF2 并连接一个大的上拉电阻。



### 3、电特性

#### 3.1、极限参数

除非另有规定,  $T_{amb}=25^{\circ}\text{C}$ 

参数名称	符号	条件	额定值	单位
参考电压	$V_{ref(1)}$	—	-0.5~9	V
参考偏置电压	$V_{bias(ref)(2)}$	—	-0.5~6	V
输入电压	$V_I$	—	-0.5~6	V
输入/输出引脚电压	$V_{IO}$	—	-0.5~6	V
通道电流	$I_{ch}$	—	0~128	mA
输入钳位电流	$I_{ik}$	$V_I < 0V$	-50~0	mA
贮存温度	$T_{stg}$	—	-65~150	$^{\circ}\text{C}$
焊接温度	$T_L$	10 秒	250	$^{\circ}\text{C}$

注: 如果输入和输入/输出的电流被钳位住, 输入和输入/输出的负电压范围会超出。

#### 3.2、推荐使用条件

参数名称	符号	条件	最小	典型	最大	单位
输入/输出引脚电压	$V_{IO}$	SCL1, SDA1, SCL2, SDA2	0	—	5	V
参考电压	$V_{ref(1)}$	VREF1	0	—	5	V
参考偏置电压	$V_{bias(ref)(2)}$	VREF2	0	—	5	V
使能输入	$V_{I(EN)}$	—	0	—	5	V
导通电流	$I_{sw(pass)}$	—	—	—	64	mA
环境温度	$T_{amb}$	—	-40	—	85	$^{\circ}\text{C}$

注:  $V_{ref(1)} \leq V_{bias(ref)(2)} - 1V$  可以有最好的电平移位效果

#### 3.3、电气特性

##### 3.3.1、直流参数 (除非另有规定, $T_{amb}=-40\sim 85^{\circ}\text{C}$ )

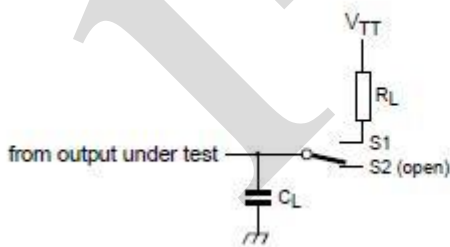
参数	符号	条件及测试方法	最小	典型	最大	单位	
输入钳位电压	$V_{IK}$	$I_I = -18mA$ ; $V_{I(EN)} = 0V$	—	—	-1.2	V	
高电平输入电流	$V_{IH}$	$V_I = 5V$ ; $V_{I(EN)} = 0V$	—	—	5	$\mu\text{A}$	
—	—	SCLn, SDAn; $V_I = 0V$ ; $I_O = 64mA$	$V_{I(EN)} = 4.5V$	—	2.4	5	$\Omega$
			$V_{I(EN)} = 3V$	—	3	6	$\Omega$
			$V_{I(EN)} = 2.3V$	—	3.8	8	$\Omega$
			$V_{I(EN)} = 1.5V$	—	15	32	$\Omega$
		$V_I = 2.4V$ ; $I_O = 15mA$	$V_{I(EN)} = 4.5V$	—	4.8	7.5	$\Omega$
			$V_{I(EN)} = 3V$	—	46	80	$\Omega$
			$V_{I(EN)} = 2.3V$	—	40	80	$\Omega$

注: 所有典型值工作温度均在  $25^{\circ}\text{C}$ 。

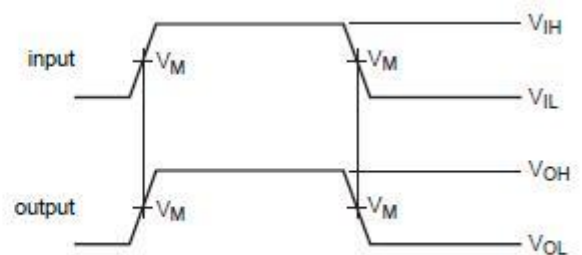
3.3.2、交流参数 (除非另有规定,  $T_{amb}=-40\sim 85^{\circ}\text{C}$ )

参数	符号	条件及测试方法	$C_L=50\text{pF}$		$C_L=30\text{pF}$		$C_L=15\text{pF}$		单位
			最小	最大	最小	最大	最小	最大	
L 到 H 的传输延时	$t_{PLH}$	$V_{I(EN)}=3.3\text{V}; V_{IH}=3.3\text{V}; V_{IL}=0\text{V}; V_M=1.15\text{V}$ , 输入从 SCL2 或 SDA2 到输出 SCL1 或 SDA1	0	2	0	1.2	0	0.6	ns
H 到 L 的传输延时	$t_{PHL}$		0	2	0	1.5	0	0.75	ns
L 到 H 的传输延时	$t_{PLH}$	$V_{I(EN)}=2.5\text{V}; V_{IH}=2.5\text{V}; V_{IL}=0\text{V}; V_M=0.75\text{V}$ , 输入从 SCL2 或 SDA2 到输出 SCL1 或 SDA1	0	2	0	1.2	0	0.6	ns
H 到 L 的传输延时	$t_{PHL}$		0	2.5	0	1.5	0	0.75	ns
L 到 H 的传输延时	$t_{PLH}$	$V_{I(EN)}=3.3\text{V}; V_{IH}=2.3\text{V}; V_{IL}=0\text{V}; V_{TT}=3.3\text{V}; V_M=1.15\text{V}; R_L=300$ , 输入从 SCL1 或 SDA1 到输出 SCL2 或 SDA2	0	1.75	0	1	0	0.5	ns
H 到 L 的传输延时	$t_{PHL}$		0	2.75	0	1.65	0	0.8	ns
L 到 H 的传输延时	$t_{PLH}$	$V_{I(EN)}=2.5\text{V}; V_{IH}=1.5\text{V}; V_{IL}=0\text{V}; V_{TT}=2.5\text{V}; V_M=0.75\text{V}; R_L=300\Omega$ , 输入从 SCL1 或 SDA1 到输出 SCL2 或 SDA2	0	1.75	0	1	0	0.5	ns
H 到 L 的传输延时	$t_{PHL}$		0	3.3	0	2	0	1	ns

输出负载电路



负载电路



时序图

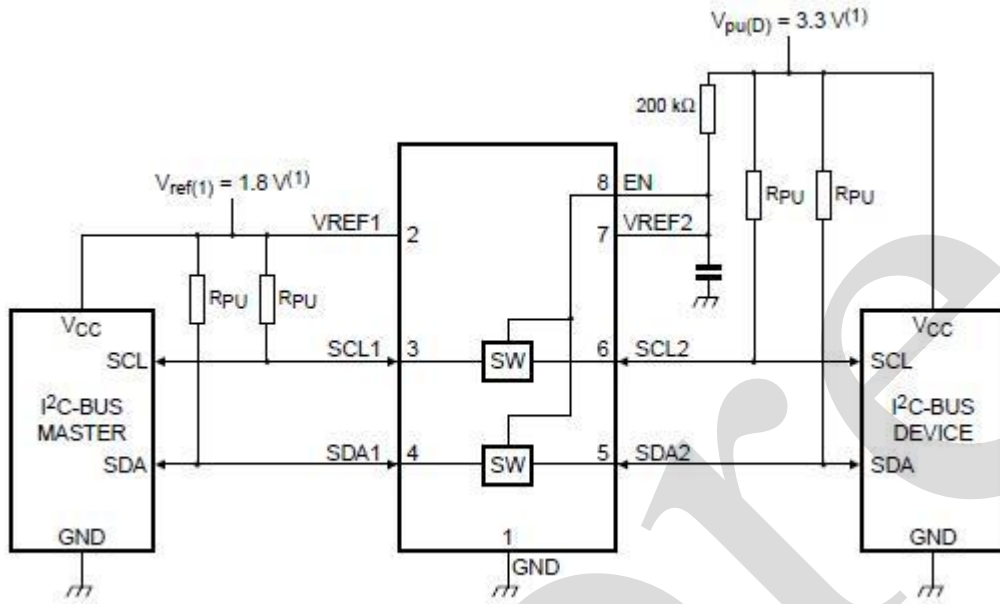
注:  $C_L$  包含探头电容。信号发生器产生的所有脉冲信号要遵循以下特性:  $P_{RR} \leq 10\text{MHz}$ ;  $Z_o = 50\Omega$ ;

$t_r \leq 2\text{ns}$ ;  $t_f \leq 2\text{ns}$ 。



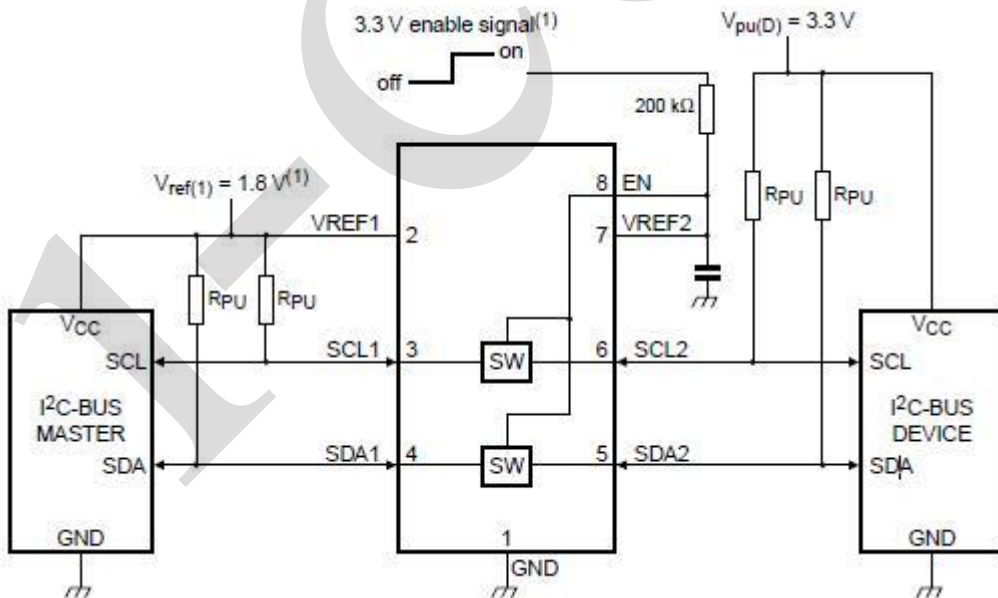
#### 4、典型应用线路与说明

##### 4.1、典型应用电路 1 (开关总使能)



注：为了达到最好的传输效果，建议在设置  $V_{ref(1)}$  和  $V_{pu(D)}$  电压时使得  $V_{bias(ref)(2)}$  比  $V_{ref(1)}$  最少大 1V。

##### 4.2、典型应用电路 2 (开关使能控制)



注：在使能模式，为了达到最好的传输效果，建议在设置  $V_{ref(1)}$  和  $V_{pu(D)}$  电压时使得  $V_{bias(ref)(2)}$  比  $V_{ref(1)}$  最少大 1V。



### 4.3、应用工作条件

参数名称	符号	条件	最小值	典型值	最大值	单位
参考偏置电压	$V_{\text{bias (ref) (2)}}$	—	$V_{\text{ref (1)}} + 0.6$	2.1	5	V
EN 输入电压	$V_{\text{I (EN)}}$	—	$V_{\text{ref (1)}} + 0.6$	2.1	5	V
参考电压	$V_{\text{ref (1)}}$	—	0	1.5	4.4	V
开关电流	$I_{\text{sw (pass)}}$	—	—	14	—	mA
参考电流	$I_{\text{ref}}$	晶体管	—	5	—	uA
环境温度	$T_{\text{amb}}$	—	-40	—	85	°C

注：所有典型值工作温度均在 25°C。

## 5、功能介绍

### 5.1、双向传输

为了实现双向钳位配置，EN 端必须连接到 VREF2 且两个端口都需要通过一个典型为 200kΩ 的上拉电阻连接到  $V_{\text{pu (D)}}$ 。这将允许 VREF2 控制 EN 端。推荐在 VREF2 加一个滤波电容。I<sup>2</sup>C 总线的主机输出可以是推挽输出也可以是开漏输出（需要上拉电阻），I<sup>2</sup>C 总线的设备输出可以是推挽输出也可以是开漏输出（SCL2 和 SDA2 需要上拉电阻连接到  $V_{\text{pu (D)}}$ ）。然而，如果任一个输出是推挽输出，数据必须是单向的或输出必须是被某些方向控制机制所控制的三态门以防止任意方向上高低电平竞争。如果两个输出均为开漏输出，将没有必要进行方向控制。

提供的参考电压( $V_{\text{ref(1)}}$ )连接到控制器的电源电压。当  $V_{\text{ref(2)}}$  通过一个 200kΩ 电阻连接到 3.3V~5.5V 的电源电压 ( $V_{\text{pu (D)}}$ )，同时  $V_{\text{ref (1)}}$  被设置在 1V~ ( $V_{\text{pu (D)}} - 1\text{V}$ )，SCL1 和 SDA1 可以输出一个最大等于 VREF1 电平的电压，SCL2 和 SDA2 可以输出一个最大等于  $V_{\text{pu (D)}}$  电平的电压。

### 5.2、如何确定上拉电阻的值

开漏总线的上拉电阻由不同的应用方案决定，同时也由下面的驱动特性决定：

- 驱动电流
- $V_{\text{OL}}$  的驱动
- $V_{\text{IL}}$  的驱动
- 工作频率

下面表格数据可以用来评估不同应用方案的上拉电阻的阻值，以此来确定最小的上拉电阻。表 1、表 2、表 3 包含在典型的转换电平和驱动电流下，AiP2206 电路推荐的上拉电阻最小值。阻值是在规定驱动电流相同的情况下计算出的。 $V_{\text{OL}}=V_{\text{IL}}=0.1 \times V_{\text{CC}}$ （供电电压  $V_{\text{CC}}$  误差 ±5%，电阻阻值误差 ±1%）。需要注意的是应用方案最后选择的电位器应该与表 1、表 2、表 3 中的数值相等或者大于它，以确保传输的低电平小于  $V_{\text{CC}}$  电压的 10%，且外部驱动应该能够从上拉电阻中获得灌电流。对 GTL 电路而言，阻值表格应该要重新计算出以说明 ON 电阻和  $V_{\text{CC(B)}}$ 、 $V_{\text{CC(A)}}$  之间的偏置电压限制。



A 端口	B 端口						单位
	1.2V	1.5V	1.8V	2.5V	3.3V	5V	
1.0V	$R_{pu(A)}=750$ $R_{pu(B)}=750$	$R_{pu(A)}=845$ $R_{pu(B)}=845$	$R_{pu(A)}=976$ $R_{pu(B)}=976$	$R_{pu(A)}=none$ $R_{pu(B)}=887$	$R_{pu(A)}=none$ $R_{pu(B)}=1180$	$R_{pu(A)}=none$ $R_{pu(B)}=1820$	$\Omega$
1.2V	—	$R_{pu(A)}=931$ $R_{pu(B)}=931$	$R_{pu(A)}=1020$ $R_{pu(B)}=1020$	$R_{pu(A)}=none$ $R_{pu(B)}=887$	$R_{pu(A)}=none$ $R_{pu(B)}=1180$	$R_{pu(A)}=none$ $R_{pu(B)}=1820$	$\Omega$
1.5V	—	—	$R_{pu(A)}=1100$ $R_{pu(B)}=1100$	$R_{pu(A)}=none$ $R_{pu(B)}=866$	$R_{pu(A)}=none$ $R_{pu(B)}=1180$	$R_{pu(A)}=none$ $R_{pu(B)}=1780$	$\Omega$
1.8V	—	—	—	$R_{pu(A)}=1470$ $R_{pu(B)}=1470$	$R_{pu(A)}=none$ $R_{pu(B)}=150$	$R_{pu(A)}=none$ $R_{pu(B)}=1780$	$\Omega$
2.5V	—	—	—	—	$R_{pu(A)}=1960$ $R_{pu(B)}=1960$	$R_{pu(A)}=none$ $R_{pu(B)}=1780$	$\Omega$
3.3V	—	—	—	—	—	$R_{pu(A)}=none$ $R_{pu(B)}=1740$	$\Omega$

表 1 上拉电阻最小值, 3mA 灌电流驱动

A 端口	B 端口						单位
	1.2V	1.5V	1.8V	2.5V	3.3V	5V	
1.0V	$R_{pu(A)}=221$ $R_{pu(B)}=221$	$R_{pu(A)}=225$ $R_{pu(B)}=225$	$R_{pu(A)}=287$ $R_{pu(B)}=287$	$R_{pu(A)}=none$ $R_{pu(B)}=267$	$R_{pu(A)}=none$ $R_{pu(B)}=357$	$R_{pu(A)}=none$ $R_{pu(B)}=549$	$\Omega$
1.2V	—	$R_{pu(A)}=274$ $R_{pu(B)}=274$	$R_{pu(A)}=309$ $R_{pu(B)}=309$	$R_{pu(A)}=none$ $R_{pu(B)}=267$	$R_{pu(A)}=none$ $R_{pu(B)}=357$	$R_{pu(A)}=none$ $R_{pu(B)}=549$	$\Omega$
1.5V	—	—	$R_{pu(A)}=332$ $R_{pu(B)}=332$	$R_{pu(A)}=none$ $R_{pu(B)}=261$	$R_{pu(A)}=none$ $R_{pu(B)}=348$	$R_{pu(A)}=none$ $R_{pu(B)}=536$	$\Omega$
1.8V	—	—	—	$R_{pu(A)}=442$ $R_{pu(B)}=442$	$R_{pu(A)}=none$ $R_{pu(B)}=348$	$R_{pu(A)}=none$ $R_{pu(B)}=536$	$\Omega$
2.5V	—	—	—	—	$R_{pu(A)}=590$ $R_{pu(B)}=590$	$R_{pu(A)}=none$ $R_{pu(B)}=523$	$\Omega$
3.3V	—	—	—	—	—	$R_{pu(A)}=none$ $R_{pu(B)}=523$	$\Omega$

表 2 上拉电阻最小值, 10mA 灌电流驱动



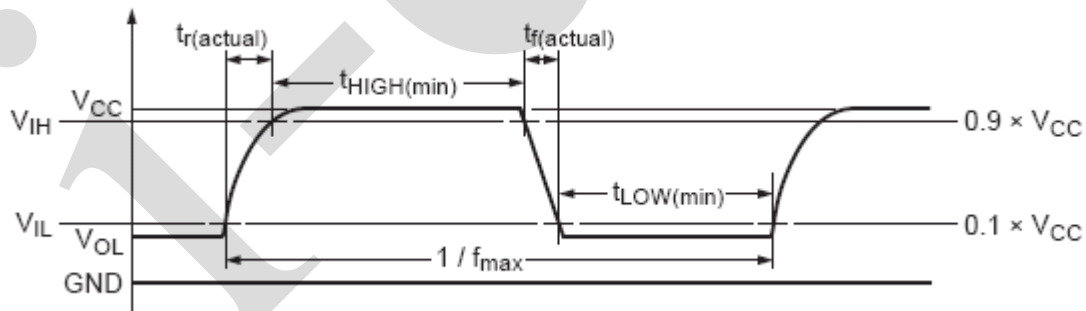
A 端口	B 端口						单位
	1.2V	1.5V	1.8V	2.5V	3.3V	5V	
1.0V	$R_{pu(A)}=147$ $R_{pu(B)}=147$	$R_{pu(A)}=169$ $R_{pu(B)}=169$	$R_{pu(A)}=191$ $R_{pu(B)}=191$	$R_{pu(A)}=none$ $R_{pu(B)}=178$	$R_{pu(A)}=none$ $R_{pu(B)}=237$	$R_{pu(A)}=none$ $R_{pu(B)}=365$	$\Omega$
1.2V	—	$R_{pu(A)}=182$ $R_{pu(B)}=182$	$R_{pu(A)}=205$ $R_{pu(B)}=205$	$R_{pu(A)}=none$ $R_{pu(B)}=178$	$R_{pu(A)}=none$ $R_{pu(B)}=237$	$R_{pu(A)}=none$ $R_{pu(B)}=365$	$\Omega$
1.5V	—	—	$R_{pu(A)}=221$ $R_{pu(B)}=221$	$R_{pu(A)}=none$ $R_{pu(B)}=174$	$R_{pu(A)}=none$ $R_{pu(B)}=232$	$R_{pu(A)}=none$ $R_{pu(B)}=357$	$\Omega$
1.8V	—	—	—	$R_{pu(A)}=294$ $R_{pu(B)}=294$	$R_{pu(A)}=none$ $R_{pu(B)}=232$	$R_{pu(A)}=none$ $R_{pu(B)}=357$	$\Omega$
2.5V	—	—	—	—	$R_{pu(A)}=392$ $R_{pu(B)}=392$	$R_{pu(A)}=none$ $R_{pu(B)}=357$	$\Omega$
3.3V	—	—	—	—	—	$R_{pu(A)}=none$ $R_{pu(B)}=348$	$\Omega$

表 3 上拉电阻最小值, 15mA 灌电流驱动

### 5.3、如何设计最大工作频率

最大频率受到电压上升时间、下降时间、高低电平的最小脉冲宽度的限制。下面的公式就是最大频率计算的一个例子。上升时间和下降时间如图中所示。

$$f_{max} = \frac{I}{t_{LOW(min)} + t_{HIGH(min)} + t_{r(actual)} + t_{f(actual)}}$$



上升沿和下降沿取决于翻转电平、驱动能力、在总线的总节点电容 ( $C_{L(tot)}$ ) 以及上拉电阻 ( $R_{pu}$ )。节点电容是 PCB 布线电容和存在于总线里的器件电容的总和。由于外围电路, PCB 布局和不同的工作状态的影响, 上升沿和下降沿的计算很复杂且曲线上会有些拐点。

上升沿和下降沿的主要组成就是总线中的 RC 时间, 此时电路在两种基本工作状态下: 一种当电路处于 ON 状态下, 低阻抗; 另一种是电路处于 OFF 状态下, A 端口和 B 端口隔离。



描述下降沿时间即  $A_n$  或  $B_n$  的输出从高变低的过程如下: 无论哪个端口先工作,  $B$  端口的电压必须先降低到  $V_{CC(A)}$ 。这个时间取决于上拉电阻, 通信设备的驱动能力以及电容。当电压降到  $V_{CC(A)}$  以下时, 沟道电阻消失以致于  $A$  端口和  $B$  端口相等。两端口的电容组成了总电容, 两端口的上拉电阻结合成平行的等效电阻。电路的  $R_{on}$  相比于上拉电阻而言很小, 所以它对上拉电阻的影响可以忽略不计, 而下降过程取决于总电容和上拉电阻的驱动电流。电路中实际所看的下降时间的估计和  $B$  端口降低到  $V_{CC(A)}$  的时间加上两端口从  $V_{CC(A)}$  降到  $V_{IL}$  所要的时间是相等的。

描述上升沿时间即  $A_n$  或  $B_n$  的输出从低变高的过程如下 (以  $B_n$  输出为例)。当信号为低电平,  $R_{on}$  是最小值时, 那么  $A$  端口和  $B$  端口本质上就是一个节点。它们会以固定的  $RC$  时间常数一起上升,  $RC$  时间常量是两端口所有电容和等效电阻的总和。当信号接近  $V_{CC(A)}$  电压时, 沟道电阻出现, 波形分离,  $B$  端口电压将以仅由  $B$  端口的外围环境所决定的  $RC$  时间常数上升直至电压停止变化。对于  $A_n$  端而言, 电压上升至  $V_{CC(A)}$  的过程在本质上是同样的。

遵守以下几项基本指导方针可以有助于电路工作的最优化:

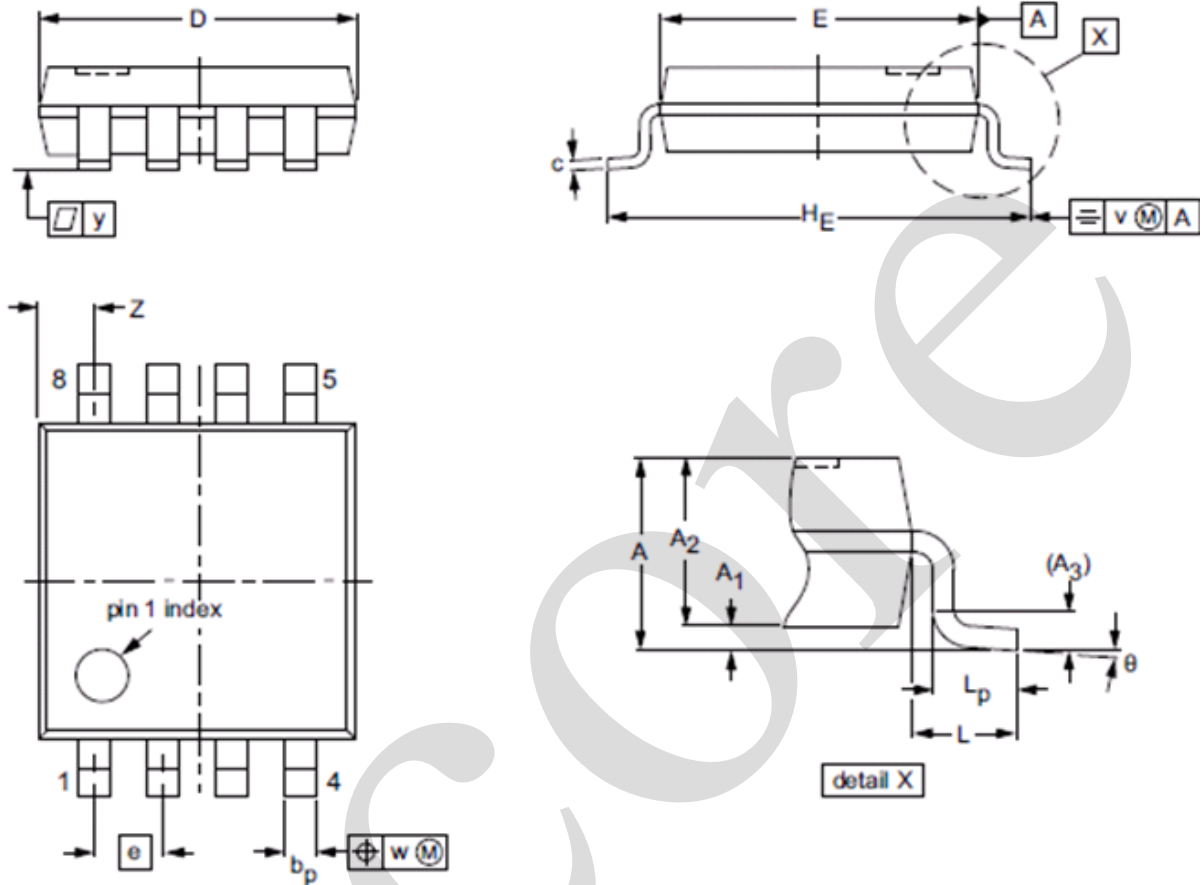
- 通过把  $NVT$  电路靠近处理器来保持路径长度的最小化。
- 信号在路径上的往返时间应该小于信号的上升沿或下降沿以减少反射。
- 信号的上升下降沿越快, 闭环的机会越高。
- 上拉电阻的驱动能力 (高到  $15mA$ ) 越强, 电路能使用的工作频率越高。

系统设计人员必须依靠外围驱动电流和节点电容的限制 (最小化线、短截线、连接器和路径长度) 来设计上拉电阻的阻值, 以得到预期的工作频率。



## 6、封装尺寸与外形图

### 6.1、TSSOP8 外形图与封装尺寸



UNIT	A max.	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	b <sub>p</sub>	c	D <sup>(1)</sup>	E <sup>(1)</sup>	e	H <sub>E</sub>	L	L <sub>p</sub>	v	w	y	Z <sup>(1)</sup>	θ
mm	1.1	0.15 0.00	0.95 0.75	0.25	0.38 0.22	0.18 0.08	3.1 2.9	3.1 2.9	0.65	4.1 3.9	0.5	0.47 0.33	0.2	0.13	0.1	0.70 0.35	8° 0°



## 7、声明及注意事项

### 7.1、产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素									
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr (VI )	多溴联 苯 (PBBs )	多溴联 苯醚 (PBD Es)	邻苯二 甲酸二 丁酯 (DBP)	邻苯二 甲酸丁 苯酯 (BBP)	邻苯二甲 酸二(2- 乙基己 基)酯 (DEHP)	邻苯二甲酸 二异丁酯 (DIBP)
引线框	○	○	○	○	○	○	○	○	○	○
塑封 树脂	○	○	○	○	○	○	○	○	○	○
芯片	○	○	○	○	○	○	○	○	○	○
内引线	○	○	○	○	○	○	○	○	○	○
装片胶	○	○	○	○	○	○	○	○	○	○
说明	○: 表示该有毒有害物质或元素的含量在 SJ/T11363-2006 标准的检出限以下。 ×: 表示该有毒有害物质或元素的含量超出 SJ/T11363-2006 标准的限量要求。									

### 7.2、注意

在使用本产品之前建议仔细阅读本资料;

本资料中的信息如有变化,恕不另行通知;

本资料仅供参考,本公司不承担任何由此而引起的任何损失;

本公司也不承担任何在使用过程中引起的侵犯第三方专利或其它权利的责任。