



武汉光华芯科技有限公司

WUHAN ESHINE TECHNOLOGY CO., LTD

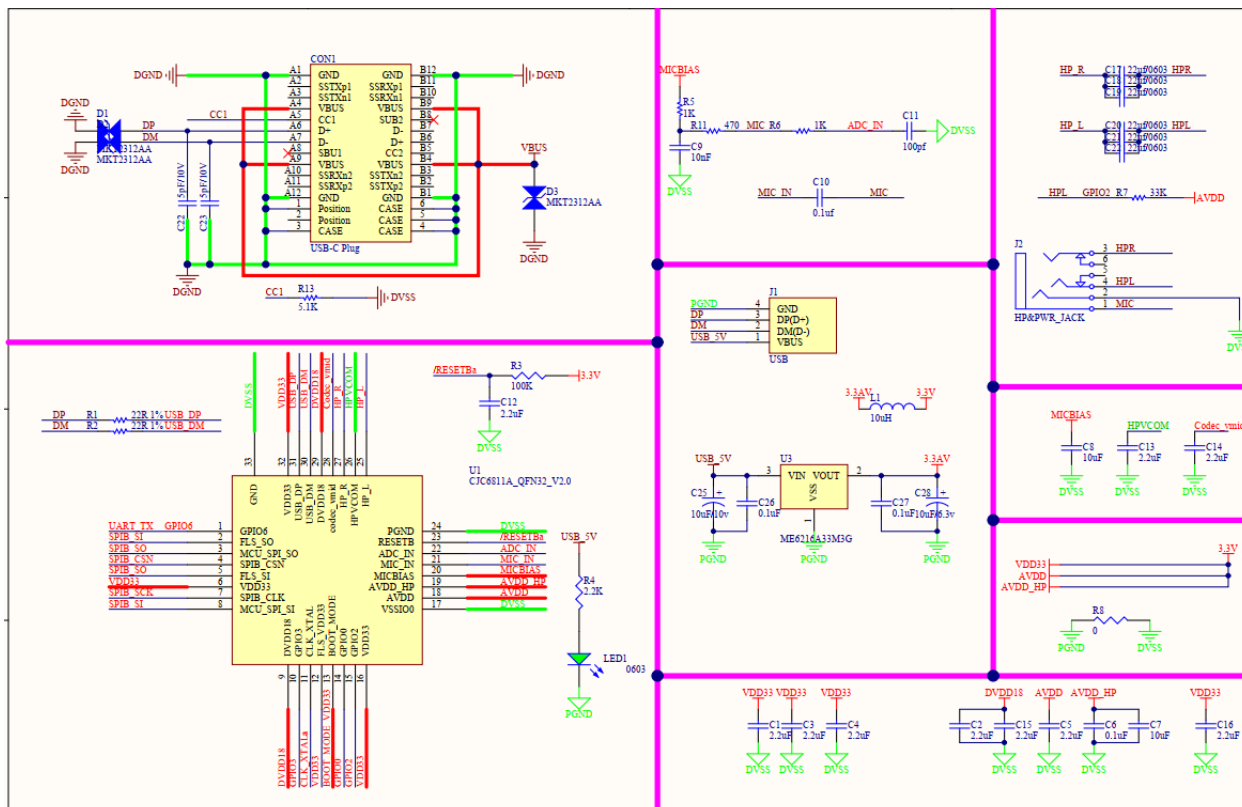
Tel: 027-8720 7983 E-mail:fae@csc-ic.com Web: www.eshine-ic.com

## CJC6811A 耳机类应用电路说明

Version	Author	Date	Note
V1.0	Loyal	2022-05-17	初版
V1.1	Loyal	2022-05-27	专注耳机应用说明

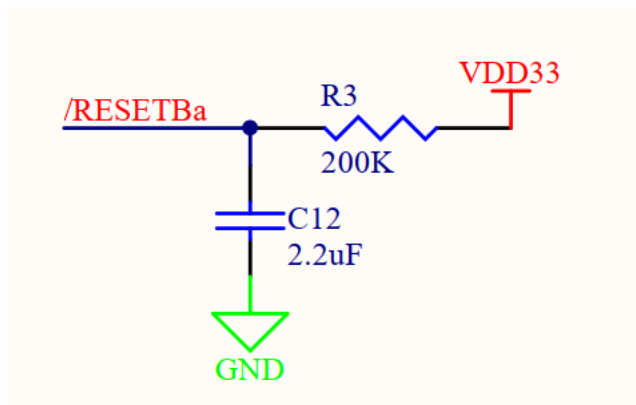


### 一、CJC6811A 参考设计电路图与注意事项



**注意事项：**CJC6811A 供电为 3.3v，建议使用 LDO 电路，同时保证电路纹波较小。

## 1.1 上电时序



IC 与主机通讯，需保证上电时序，建议参考如上电路。

上电与掉电时序，与 Resetb 参考电路 (2.2uF+200K 值供参考, 下图一蓝色线为 VDD33, 黄色为 Resetb, 紫色为 HP\_L), 此项可确定 MCU 是否工作起来。需保证上电时, VDD33 Resetb HP\_L 均从 0v 开始, 且电源无毛刺, Resetb 到达 3.3v 在 20~200ms 之间, 此时上电后 MCU 能正常工作。

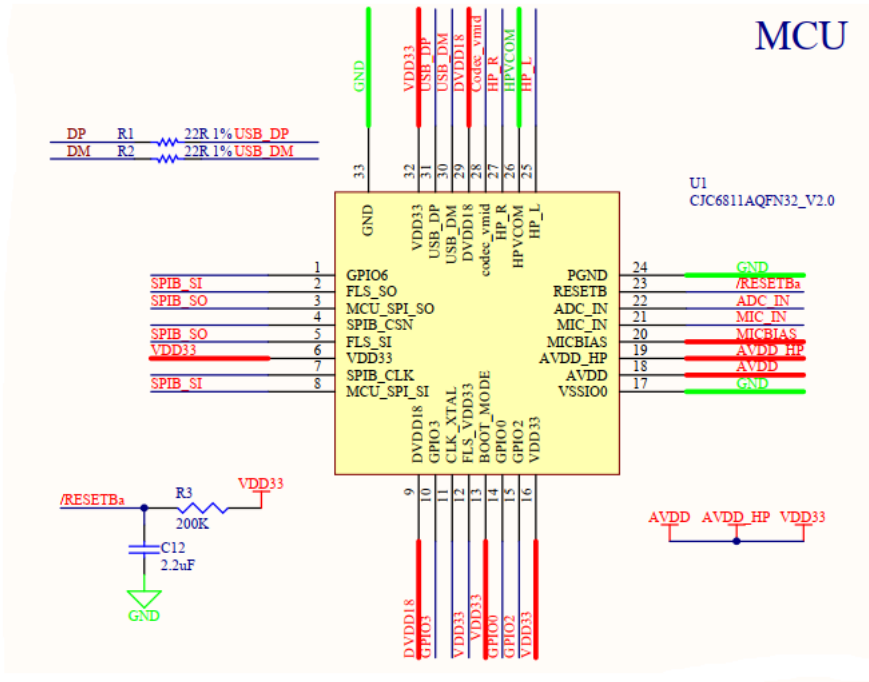
如下图一 DVDD33 Resetb HP\_L 上电时序



图一 DVDD33 Resetb HP\_L 上电时序

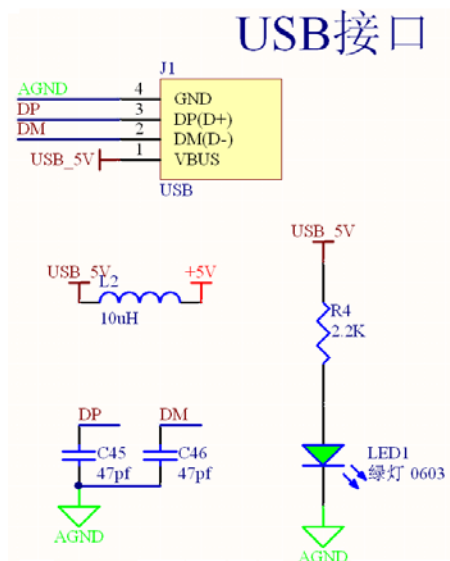


## 1.2 MCU 参考电路



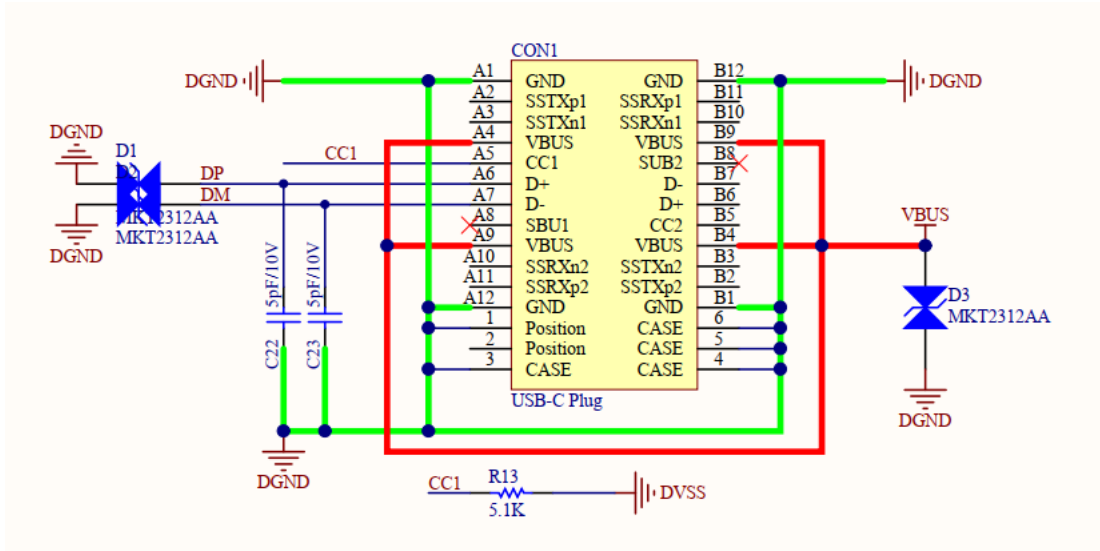
## 1.3 USB 接口参考电路

USB 接口

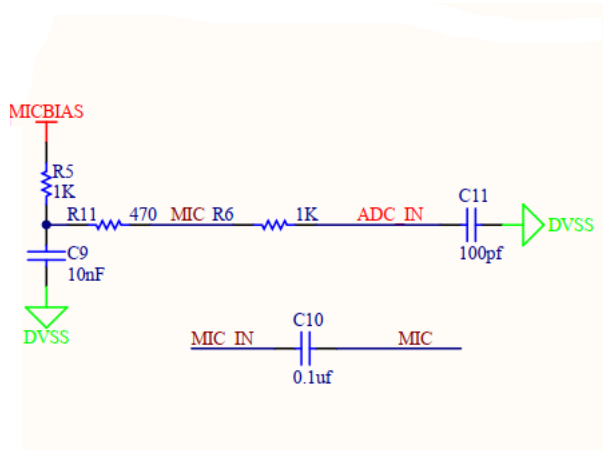




## Type-C 接口

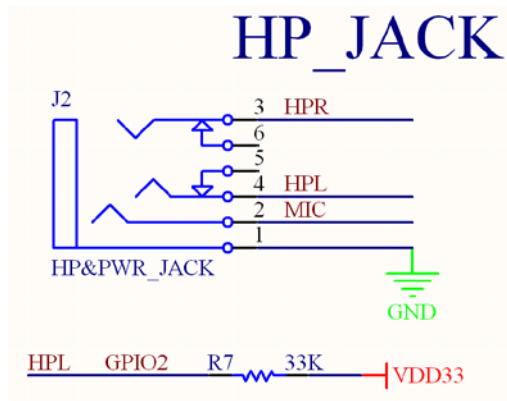


## 1.4 MIC 参考电路



注：MIC\_IN 为单声道输入。

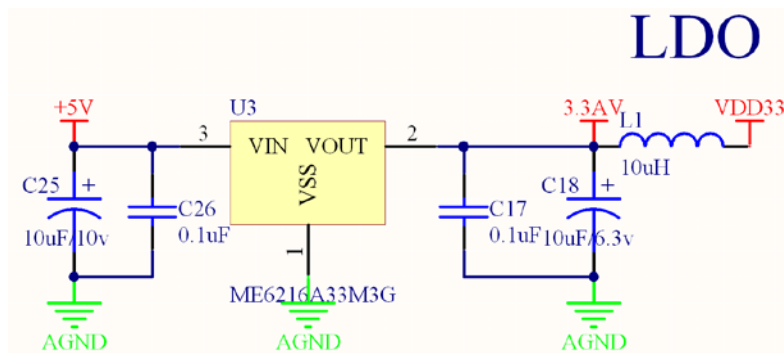
## 1.5 HP\_JACK 参考电路



此电路包含一个检测电路，将 GPIO2 与 HPL 接在一起，在电脑设计中需根据自己的耳机座特性将 GPIO2 与 HPL 分开，将耳机座的检测 PIN 与 GPIO2 设计成类似的参考电路即可。

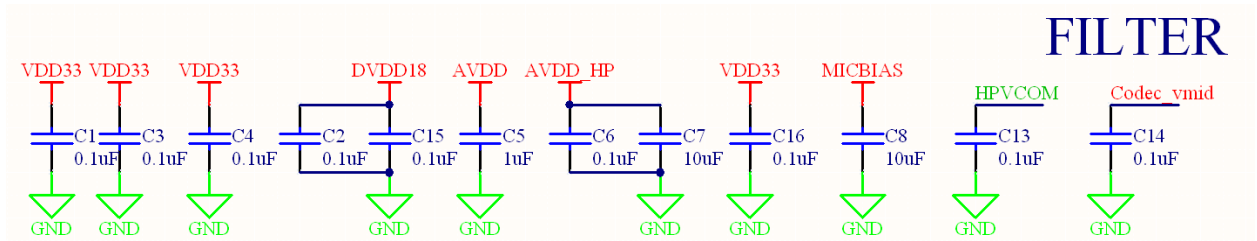
## 1.6 LDO 参考电路

推荐使用良好 PSRR 的 LDO，最少需要 65dB，同时采用低噪的 MIC，例如 ME6216 及如下 MIC 电路，保证录音音质问题。



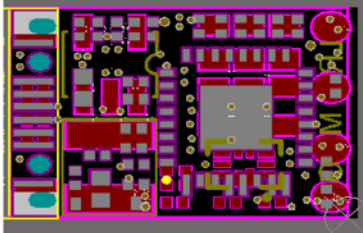
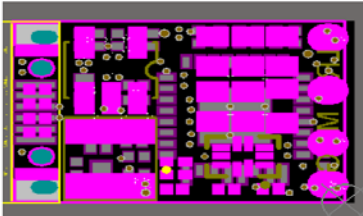


## 1.7 FILTER 参考电路

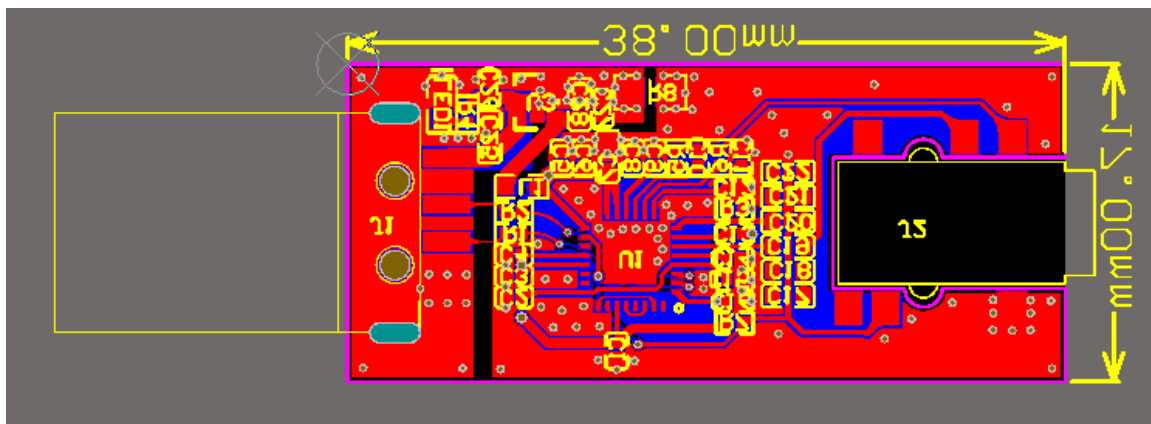


PCB 可参考：

引脚功能



引脚名称	功能描述
L	耳机左声道
R	耳机右声道
M	MIC信号输入端
G	公共地端





产品定位	USB 耳机、话务耳机、Type-c 耳机、Type-c 转 3.5 转接头
ITEM	Spec
INPUT 接口	USB DP DM、标准 USB AUDIO 1.0 协议
OUT 接口	3.5mm Phone Jack
MIC	支持录音通话
AUDIO	1. Support 16bit 192K Stereo DAC for Audio Playback 2. 16bit 48K ADC for MIC Input
兼容性	主流电脑操作系统：WIN7、XP、WIN10、麒麟、统信 UOS 等主流安卓 OS 平台：小米、华为、三星等

## 二、GJC6811A\_PCB 设计规范

### 2.1 PCB 布局

系统模拟、数字、射频区域布局，是设计一个良好 PCB 的关键。

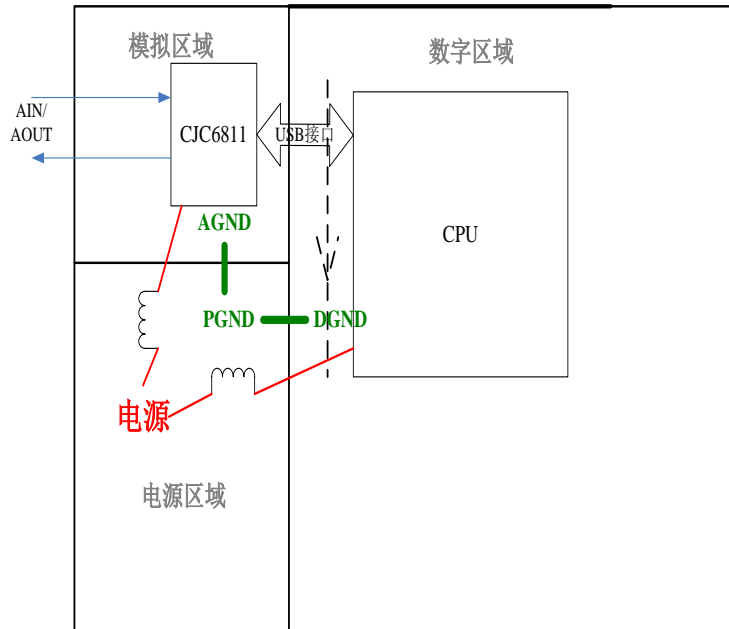
任何电路都是一个回路（不是一根连线），不仅要考虑信号输出，还要考虑信号的返回路径（**返回路径不一定是 GND 层！**）。

任何信号包括噪声，都是从最小阻抗路径返回。对于低频信号，最小阻抗路径就是最小电阻路径；对于高频信号，最小阻抗路径就是最小等效电感路径。

PCB 板上不同区域的整体布局，就是为了保证各个区域的信号返回路径按各自路径返回。避免如：数字电路的噪声通过模拟区域返回，从而对模拟电路产生严重干扰。



如下图示例：



在整体布局上，系统模拟部分与数字部分、RF 部分要区分开。

模拟区域要靠近电源。

比如：不要让 数字信号线 跑到模拟部分走一圈；

不要让 模拟电源线（层） 跑到数字区域走了一圈。

如上图所示，**电源 LDO 单独给模拟供电**，电感进行隔离，再提供给各个区域，防止区域间在电源上串噪声避免位置异常。

各个区域的地平面最后都直接连在 电源区域的地上。

使用多层板，单独使用 1 层为电源层，单独使用 1 层为 GND 层。

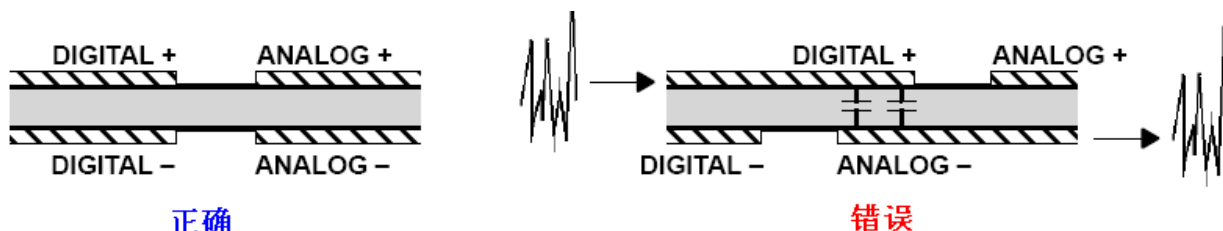
比如通常 4 层板，层叠顺序为：走线层 1、GND、电源、走线层 2。

电源层与 GND 层距离越近越好，这样等效电感小。

使用较好的 PCB 板材，如 FR4。

根据不同区域切割对应的 GND 层。模拟区域的电源层，要对应模拟区域的 GND。数字区域的电源层，要对应数字区域的 GND。

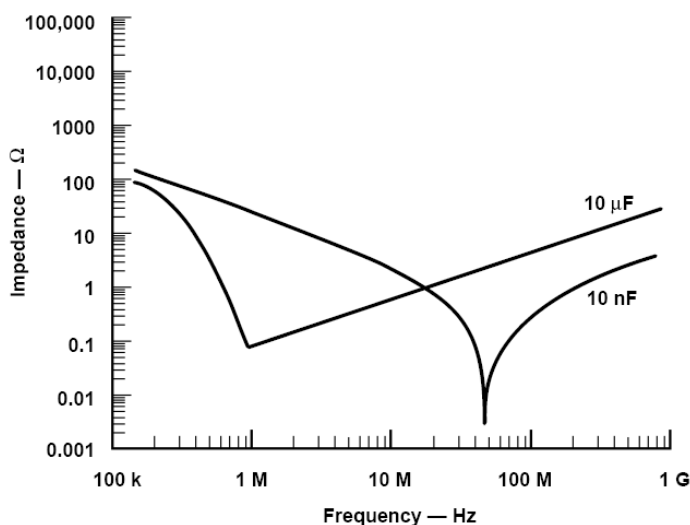
千万不要让模拟区域的电源，与数字区域的 GND 进行交叠；或数字区域的电源，与模拟区域的 GND 进行交叠。如下图所示：



所有芯片电源脚上，并且靠近管脚，并联 2 个电容（0.1uF+10nF）滤波。小电容可以滤除高频噪声，大电容可以在电源塌陷时保持电源稳定。

在电源输入端，还可以增加一个大的电解电容，使电源纹波较小。

如图所示，10uF 钽电容 与 10nF 陶瓷电容的滤波带宽。



如图所示，超过 1MHz，10uF 钽电容滤波特性下降。

由于不是理想电容，电容并不是越大，滤波效果就越好。这就是为什么即使加 1000uF 电解电容，也无法对高频信号滤波。

一般来说，

铝壳电解电容对 100K 内的滤波效果好。

贴片 10uF 电容，对 1MHz 附近滤波效果好。



贴片 10nF 电容，对 40MHz 附近滤波效果好。

如果达到 GHz，贴片封装影响很大，越小封装越接近理想值，所以在 RF 匹配电路上，一般选择 0402 或 0201 封装。

所以一般选择并联多个不同容值的电容，来增加滤波带宽。

电源及 GND 上 多个过孔，可以减小等效电感，但过孔间的距离要超过 1 个过孔直径，避免串扰。

电流同向的多个导线，平行走线会增加互感，线间的串扰加强。对于频率较高的线，要增大与它的距离，或 TOP 层与 BOM 层交叉（垂直）走线，来最小化串扰。

走线时，要避免导线宽度剧烈变化，即阻抗变化剧烈，会导致反射加强。

所以走拐弯线时不能走直角，可走 135 度角，最好走圆滑的曲线。

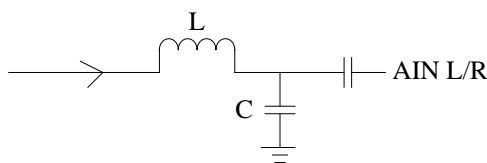
在允许范围内，减小走线长度，减小天线效应。

CJC6811A 整个芯片放在 PCB 板上模拟区域，CJC6811A 芯片自己的 AGND 和 DGND 都连接在模拟区域的 GND 上。

CJC6811A 的 VA 和 VD 脚供电，在靠近芯片管脚（越近越好），各安置 2 个贴片耦合电容，分别为 1 个大电容 (10uF) 和 1 个小电容 (10nF)，小电容离芯片电源管脚最近，其次为大电容。

靠近 CJC6811A 的 VCOM 脚（越近越好），安置 1 个 0.47uF 的贴片耦合电容。此脚为模拟电路的参考电压，为模拟电路的敏感部分。要避免高频信号靠近此脚。

其中 CJC6811A 的 I2S 接口（SCLK、MCLK、LRCK、SDTO），为频率相对较高部分，走线要远离 VCOM、VA、VD 及 AINR/L。





在 CJC6811A 的模拟前端输入处，可增加 LC 滤波电路（RC 也可，有点衰减），对模拟前端进行滤波，滤除外部干扰。-3dB 衰减点处的频率为  $f_c = 1 / 2\pi\sqrt{LC}$ 。

射频处电路要单面走线，且要短。天线处的走线，底下铜箔镂空，不能有电源层或 GND 层。

### 三、应用常见问题及解决方案

#### 3.1 上电不识别

1.1 请检查设计是否与参考电路一致

1.2 兼容性问题

目前市面大部分产品（小米、华为手机及平板产品）如有其他一些设备存在不识别问题，可反馈我司，我司增加其通讯协议后即可识别。

#### 3.2 录音噪音问题

推荐使用良好 PSRR 的 LDO，最少需要 65db，同时采用低噪的 MIC，例如 ME6216 及如下 MIC 电路，保证录音音质问题。

