

CA-IS3062x 集成 DC-DC 转换器的 5kV_{RMS} 隔离式 CAN 收发器

1 产品特性

- 符合 ISO 11898-2 物理层标准
- 数据速率高达 1Mbps
- 5V逻辑侧供电，提供DC-DC转换器和CAN收发器供电独立的版本
- 集成低辐射的隔离式 DC-DC 转换器为总线侧供电
- 集成保护功能支持可靠的数据通信
 - CANH、CANL 总线引脚具有±58V 故障保护
 - ±30V 扩展共模输入范围 (CMR)
 - 驱动器超时检测避免总线闭锁，允许最低传输速率为 5.5kbps
 - 热关断保护
- 低环路延时：150ns (典型值)，210ns (最大值)
- 未上电时器件保持理想的无源特性
- 高共模瞬态抗扰度：±150kV/μs (典型值)
- 工作温度范围：-40°C至125°C
- 16 引脚宽体 SOIC 封装
- 额定工作电压下隔离栅寿命大于40年
- 安全认证 (申请中)
 - 符合 DIN V VDE V 0884-11:2017-01 标准的增强隔离认证
 - UL 1577 认证：5kV_{RMS}@1分钟
 - IEC 60950-1、IEC60601-1、IEC 61010-1 以及 GB4843.1-2011 CQC 增强隔离认证
 - CSA 和 TUV 认证

2 典型应用

- 工业控制
- 楼宇自动化
- 安全与保护系统
- 运输
- 医疗设备
- 电信系统

3 概述

CA-IS3062x 器件为隔离式控制器局域网(CAN)收发器，内部集成 DC-DC 转换器，省去了外部隔离电源，有效节省系统空间并简化设计。该系列产品电气隔离等级高，能够满足工业应用场景严苛的要求。器件内部的逻辑输入与输出缓冲器之间通过二氧化硅 (SiO₂) 绝缘栅隔离，能够承受高达 5kV_{RMS} (1 分钟) 的隔离电压以及具有 ±150kV/μs 的典型 CMTI 性能。绝缘栅阻断了逻辑侧与总线侧的地环路，有助于降低端口间地电势差较高的噪声，确保数据的正确传输。

CA-IS3062x 器件在逻辑侧采用+5V 单电源供电，由内部 DC-DC 转换器产生总线侧供电电压，外部只需少数几个旁路电容即可构成完整的隔离 CAN 接口。收发器支持高达 1Mbps 的传输速率，并在驱动器输出端提供限流保护、热关断保护以及±58V 的总线故障保护，显性状态超时检测则可避免由于控制器错误或 TXD 输入故障而导致的总线闭锁。此外，该器件的 CAN 接收器输入具有±30V 的共模输入范围 (CMR)，远远超出 ISO 11898-2 规范定义的-2V 至+7V 范围，为系统提供更可靠的保护。CA-IS3062x 器件在逻辑侧提供 DC-DC 转换器和 CAN 收发器供电独立的版本 (CA-IS3062VW)，便于逻辑侧与低压控制电路的信号交互。

CA-IS3062x 采用宽体 16 引脚 SOIC 封装，支持从-40°C 到 125°C 的工业扩展温度范围。

器件信息

| 器件型号 | 封装 | 封装尺寸 (标称值) |
|---------------------------|--------------|--------------------|
| CA-IS3062W CA-IS3062VW | SOIC16-WB(W) | 10.30 mm × 7.50 mm |

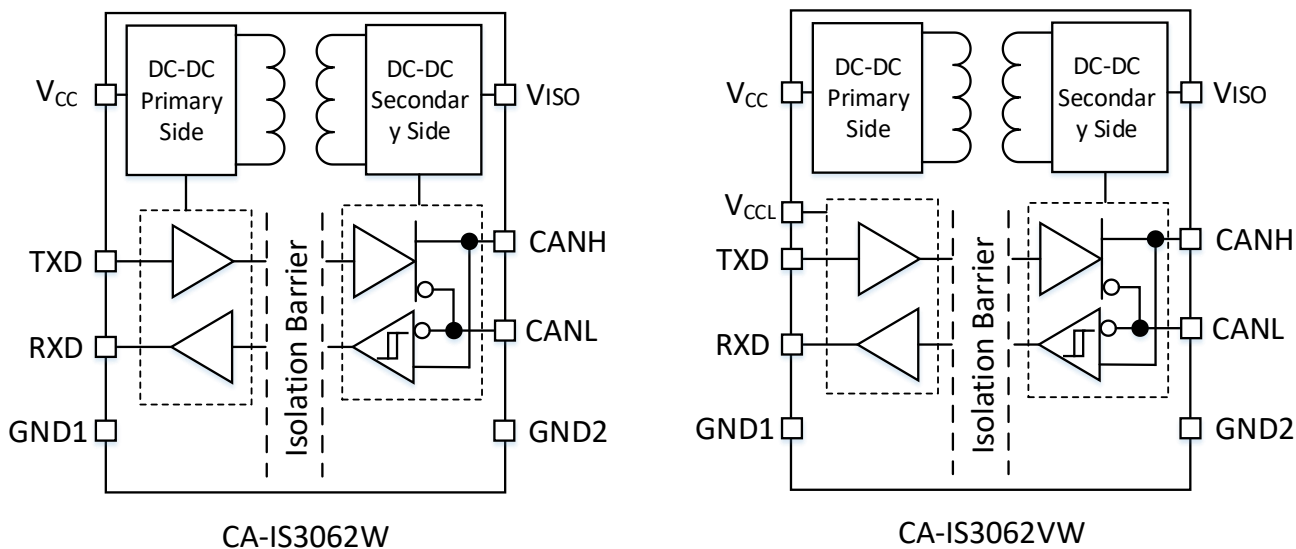


图 3-1 简化功能框图

4 订购指南

表 4-1 有效订购器件型号

| 型号 | V _{CC} (V) | 通讯速率 (Mbps) | 隔离电压等级 (V _{RMS}) | 逻辑电压是否可以独立供电 | 封装 |
|-------------|---------------------|-------------|----------------------------|--------------|--------------|
| CA-IS3062W | 4.5~5.5 | 1 | 5000 | 否 | SOIC16-WB(W) |
| CA-IS3062VW | 4.5~5.5 | 1 | 5000 | 是 | SOIC16-WB(W) |

目录

| | | | | | |
|----------|----------------------------|-----------|-----------|--------------------------|-----------|
| 1 | 产品特性 | 1 | 9.1 | CAN 总线状态 | 16 |
| 2 | 典型应用 | 1 | 9.2 | 接收器 | 16 |
| 3 | 概述 | 1 | 9.3 | 驱动器 | 16 |
| 4 | 订购指南 | 2 | 9.4 | 最大负载可用电流 I_{ISO} | 17 |
| 5 | 修订历史 | 3 | 9.5 | 保护功能 | 17 |
| 6 | 引脚功能描述 | 4 | 9.5.1 | 欠压保护 | 17 |
| 7 | 产品规格 | 5 | 9.5.2 | 信号隔离与电源隔离 | 17 |
| 7.1 | 绝对最大额定值 ¹ | 5 | 9.5.3 | 热关断 | 17 |
| 7.2 | ESD 额定值 | 5 | 9.5.4 | 限流保护 | 18 |
| 7.3 | 建议工作条件..... | 5 | 9.5.5 | 驱动器显性超时检测 | 18 |
| 7.4 | 热阻信息..... | 5 | 10 | 应用信息 | 18 |
| 7.5 | 隔离特性..... | 6 | 10.1 | 典型应用 | 18 |
| 7.6 | 相关安全认证（申请中） | 7 | 10.2 | PCB 布板 | 19 |
| 7.7 | 电气特性..... | 8 | 11 | 封装信息 | 21 |
| 7.8 | 开关特性..... | 9 | 12 | 焊接信息 | 22 |
| 7.9 | 典型特性曲线..... | 10 | 13 | 卷带信息 | 23 |
| 8 | 参数测试电路 | 13 | 14 | 重要声明 | 24 |
| 9 | 详细说明 | 16 | | | |

5 修订历史

| 修订版本号 | 修订内容 | 修订页码 |
|--------------|--|------------------------|
| Version 1.00 | 初始版本 | NA |
| Version 1.01 | 1. 更新 I _{CC} 逻辑侧供电电流 2. 删除订购信息 | 8 20 |
| Version 1.02 | 1. 更新图 10-2 2. 新增 PCB 布板建议和输入输出电容建议 3. 更新 TXD 引脚描述 4. 更新接收器真值表 | 20 19 4 16 |
| Version 1.03 | 新增 PCB 输入输出电容布板方式 | 16 |
| Version 1.04 | 1. 增加 CA-IS3062VW 料号 2. 增加典型特性曲线 3. 增加 9.4 V _{ISO} 最大负载可用电流 I _{ISO} 说明 4. 更新 PCB 布线建议章节, 新增实例 | 2 10-12 17 19 |

6 引脚功能描述

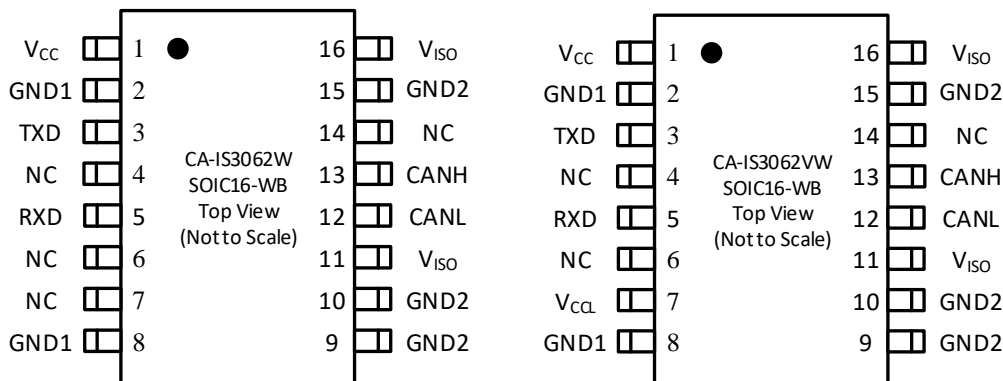


图 6-1 CA-IS3062x 引脚分布

表 6-1 CA-IS3062x 引脚功能描述

| 引脚名称 | 引脚编号 | | 类型 | 描述 |
|-------------------------------|-------------|-------------|---------|---|
| | CA-IS3062W | CA-IS3062VW | | |
| V _{CC} | 1 | 1 | 电源 | 逻辑侧电源，为内部 DC-DC 转换器供电。对于 CA-IS3062W 而言，决定逻辑侧输入引脚判决阈值和输出引脚电平；对于 CA-IS3062VW 而言，逻辑侧输入引脚判决阈值和输出引脚电平由 V _{CCL} 决定。在 V _{CC} 与 GND1 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装，间距小于 2mm。 |
| GND1 | 2, 8 | 2, 8 | 地 | 逻辑侧地，逻辑侧信号的地参考点。 |
| TXD | 3 | 3 | 逻辑输入 | 驱动器数据输入端。当 TXD 为低电平时，CANH、CANL 输出为显性状态；当 TXD 为高电平时，CANH、CANL 输出为隐性状态。 |
| NC | 4, 6, 7, 14 | 4, 6, 14 | -- | 无内部连接。 |
| V _{CCL} ¹ | -- | 7 | 电源 | 逻辑侧信号电源，决定了逻辑侧输入引脚判决阈值和输出引脚电平。 |
| RXD | 5 | 5 | 逻辑输出 | 接收器数据输出端，总线为隐性状态时，RXD 输出高电平；总线为显性状态时，RXD 输出低电平。 |
| GND2 | 9, 10, 15 | 9, 10, 15 | 地 | 总线侧地，GND2 是 CAN 总线信号的参考点。 |
| CANL | 12 | 12 | 总线输入/输出 | CAN 总线差分输入/输出，低电平逻辑。 |
| CANH | 13 | 13 | 总线输入/输出 | CAN 总线差分输入/输出，高电平逻辑。 |
| V _{ISO} | 11, 16 | 11, 16 | 电源 | 隔离电源输出，为总线侧供电。在外部将两个 V _{ISO} 引脚连接在一起，在 V _{ISO} 与 GND2 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装，间距小于 2mm。 |

注：
1. 逻辑侧逻辑电源电压 V_{CCL} 可以与供电电源电压 V_{CC} 不同。

7 产品规格

7.1 绝对最大额定值¹

| 参数 | | 最小值 | 最大值 | 单位 |
|-------------------------|--------------------|------|------------------|----|
| V_{CC} 或 V_{ISO} | 电源电压 ² | -0.5 | 6.0 | V |
| V_I | 逻辑侧输入电压 (TXD) | -0.5 | $V_{CC} + 0.5^3$ | V |
| V_{CANH} 或 V_{CANL} | 总线侧电压 (CANH, CANL) | -58 | 58 | V |
| I_O | 接收器输出电流 | -15 | 15 | mA |
| T_J | 结温 | | 150 | °C |
| T_{STG} | 存储温度范围 | -65 | 150 | °C |

注:

- 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
- 除总线差分输出/输入电压以外，所有电压值均相对于本地接地端 (GND1 或 GND2)，并且是峰值电压值。
- 最大电压不得超过 6V，对于 CA-IS3062VW 版本是相对 V_{CC} 。

7.2 ESD 额定值

| 参数 | | 数值 | 单位 |
|----------------|--|------------------------------|-------|
| V_{ESD} 静电放电 | 人体模型 (HBM)，基于 ANSI/ESDA/JEDEC JS-001 | 逻辑侧所有引脚对 GND1 | ±4000 |
| | | CAN 总线端口(CANH, CANL)到 GND2 | ±6000 |
| | | 除 CANH, CANL 外的总线侧其他引脚对 GND2 | ±4000 |
| | 器件充电模型 (CDM)，根据 JEDEC specification JESD22-C101，所有引脚 | ±2000 | |

7.3 建议工作条件

| 参数 | | 最小值 | 典型值 | 最大值 | 单位 |
|------------------|-------------------|--|-----|------------------|----|
| V_{CC} | 逻辑侧电源电压 | 4.5 | 5 | 5.5 | V |
| V_{CCL} | 逻辑侧逻辑电源电压 | 2.375 | | 5.5 | V |
| V_I 或 V_{IC} | 总线引脚电压 (单端或共模) | -30 | | 30 | V |
| V_{IH} | 逻辑高电平输入 | 驱动器 (TXD) | | $V_{CC} + 0.3^1$ | V |
| V_{IL} | 逻辑低电平输入 | 驱动器 (TXD) | | 0.8 | V |
| I_{OH} | 高电平输出电流 | 驱动器 (Driver) | | | mA |
| | | 接收器 (Receiver) | | -2 | |
| I_{OL} | 低电平输出电流 | 驱动器 (Driver) | | 70 | mA |
| | | 接收器 (Receiver) | | 2.5 | |
| T_A | 环境温度 ² | -40 | | 125 | °C |
| T_J | 结温 | | | 150 | °C |
| P_D | 总功耗 | $V_{CC} = 5.5V, T_A = 125°C, R_L = 60\Omega, TXD$ 输入信号是 500 kHz 的方波 (50% 占空比) | | 900 | mW |

注:

- 对于 CA-IS3062VW 版本是相对 V_{CCL} 。
- 工作温度长时间超出热关断温度可能影响器件的可靠性。

7.4 热阻信息

| 参数 | | SOIC16-WB | 单位 |
|-----------------|--------|-----------|----|
| $R_{\theta JA}$ | 结-环境热阻 | 68.5 | V |

7.5 隔离特性

| 参数 | | 测试条件 | 数值 | 单位 |
|--|-------------------------|--|-------------------|------------------|
| | | | W | |
| CLR | 外部气隙 (间隙) ¹ | 输入端至输出端的隔空最短距离 | 8 | mm |
| CPG | 外部爬电距离 ¹ | 输入端至输出端沿壳体的最短距离 | 8 | mm |
| DTI | 隔离距离 | 最小内部间隙 (内部距离) | 28 | μm |
| CTI | 相对漏电指数 | DIN EN 60112 (VDE 0303-11); IEC 60112 | >400 | V |
| | 材料组 | 依据 IEC 60664-1 | II | |
| | IEC 60664-1 过压类别 | 额定电压 ≤ 300 V _{RMS} | I-IV | |
| | | 额定电压 ≤ 400 V _{RMS} | I-IV | |
| | | 额定电压 ≤ 600 V _{RMS} | I-III | |
| DIN V VDE V 0884-11:2017-01² | | | | |
| V _{IORM} | 最大重复峰值隔离电压 | 交流电压 (双极) | 1414 | V _{PK} |
| V _{IOWM} | 最大工作隔离电压 | 交流电压; 时间相关的介质击穿 (TDDb) 测试 | 1000 | V _{RMS} |
| | | 直流电压 | 1414 | V _{DC} |
| V _{IOTM} | 最大瞬态隔离电压 | V _{TEST} = V _{IOTM} , t = 60s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 产品测试) | 7070 | V _{PK} |
| V _{IOSM} | 最大浪涌隔离电压 ³ | 测试方法 依据 IEC 60065, 1.2/50μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试) | 6250 | V _{PK} |
| q _{pd} | 表征电荷 ⁴ | 方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s | ≤5 | pC |
| | | 方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s | ≤5 | |
| | | 方法 b, 常规测试 (100% 生产测试) 和前期 预处理 (抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s | ≤5 | |
| C _{IO} | 栅电容, 输入到输出 ⁵ | V _{IO} = 0.4 × sin(2πft), f = 1MHz | ~0.5 | pF |
| R _{IO} | 绝缘电阻 ⁵ | V _{IO} = 500 V, T _A = 25°C | >10 ¹² | Ω |
| | | V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C | >10 ¹¹ | |
| | | V _{IO} = 500 V at T _S = 150°C | >10 ⁹ | |
| | 污染度 | | 2 | |
| UL 1577 | | | | |
| V _{ISO} | 最大隔离电压 | V _{TEST} = V _{ISO} , t = 60s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试) | 5000 | V _{RMS} |
| 注: 1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。 2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。 3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。 4. 表征电荷是由局部放电引起的放电电荷 (pd)。 5. 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。 | | | | |

7.6 相关安全认证（申请中）

| VDE | CSA | UL | CQC | TUV |
|-----------------------------------|--|------------------|---------------------|--|
| 根据 DIN V VDE V 0884-11:2017-01 认证 | 根据 IEC 60950-1, IEC 62368-1 和 IEC 60601-1 认证 | 基于 UL1577 器件认证程序 | 根据 GB4943.1-2011 认证 | 根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证 |

7.7 电气特性

 测试时 CA-IS3062VW 版本的 V_{CC} 和 V_{CCL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | | |
|---|---|--|--|------|------|-------------|-----|----|
| 供电电流 | | | | | | | | |
| I_{CC} | 逻辑侧供电电流 | 显性 | $V_i = 0V, R_L = 60\Omega$ | | 65 | 95 | 125 | mA |
| | | 隐性 | $V_i = V_{CC}$ | | 14 | 20 | 29 | |
| 隔离电源（除非有额外说明，CANH 和 CANL 之间无负载电阻） | | | | | | | | |
| V_{ISO} | 隔离输出电压 | $I_{ISO} = 0$ 到 130mA | 4.75 | 5 | 5.25 | V | | |
| I_{ISO} | 最大负载电流 ¹ | $R_L = NC^2$ | | | 130 | mA | | |
| | | $R_L = 60\Omega$ | | | 90 | | | |
| | | $R_L = 45\Omega$ | | | 80 | | | |
| $V_{ISO(LINE)}$ | 直流线性调整率 | $I_{ISO} = 50mA, V_{DD} = 4.5V$ 到 5.5V | | | 2 | mV/V | | |
| $V_{ISO(LOAD)}$ | 直流负载调整率 | $I_{ISO} = 0$ 到 130mA | | | 1% | | | |
| EFF | 最大负载电流时的效率 | $I_{ISO} = 130mA, C_{LOAD} = 0.1\mu F 10\mu F$ | | | 53% | | | |
| 驱动器 | | | | | | | | |
| $V_{O(D)}$ | 总线输出电压（显性） | CANH | $V_i = 0V, R_L = 60\Omega$; 见图 8-1, 图 8-2 | | 2.9 | 3.4 | 4.5 | V |
| | | CANL | | | 0.5 | 2 | | |
| $V_{O(R)}$ | 总线输出电压（隐性） | $V_i = 2V, R_L = 60\Omega$; 见图 8-1, 图 8-2 | 2 | 2.5 | 3 | V | | |
| $V_{OD(D)}$ | 差分输出电压（显性） | $V_i = 0V, R_L = 60\Omega$; 见图 8-1, 图 8-2, 图 8-3 | 1.5 | 3 | | V | | |
| | | $V_i = 0V, R_L = 45\Omega$; 见图 8-1, 图 8-2, 图 8-3 | 1.3 | 3 | | V | | |
| $V_{OD(R)}$ | 差分输出电压（隐性） | $V_i = 3V, R_L = 60\Omega$; 见图 8-1, 图 8-2 | -80 | 80 | | mV | | |
| | | $V_i = 3V$, 无负载 | -0.05 | 0.05 | | V | | |
| $V_{OC(D)}$ | 共模输出电压（显性） | 见图 8-7 | 2 | 2.5 | 3 | V | | |
| $V_{OC(pp)}$ | 共模输出电压峰-峰值 | | 60 | | mV | | | |
| I_{IH} | 高电平输入电流, TXD 输入 | $V_i = 2V$ | | | 20 | μA | | |
| I_{IL} | 低电平输入电流, TXD 输入 | $V_i = 0.8V$ | | | -20 | μA | | |
| $I_{OS(SS)}$ | 短路输出电流 | $V_{CANH} = -30V, CANL$ 开路; 见图 8-10 | -105 | -36 | mA | | | |
| | | $V_{CANH} = 30V, CANL$ 开路; 见图 8-10 | 0.6 | | | | 2 | |
| | | $V_{CANL} = -30V, CANH$ 开路; 见图 8-10 | -2 | -0.6 | | | | |
| | | $V_{CANL} = 30V, CANH$ 开路; 见图 8-10 | 42 | | | | 105 | |
| 接收器 | | | | | | | | |
| V_{IT+} | 高电平输入阈值 | | | | 0.8 | 0.9 | V | |
| V_{IT-} | 低电平输入阈值 | | 0.5 | 0.65 | | V | | |
| V_{HYS} | 输入阈值迟滞 | | 50 | 125 | | mV | | |
| V_{OH} | 逻辑高电平输出电压, $V_{CC} = 5V$ | $I_{OH} = -4mA$; 见图 8-6 | $V_{CC} - 0.8$ | 4.8 | | V | | |
| | | $I_{OH} = -20\mu A$; 见图 8-6 | $V_{CC} - 0.1$ | 5 | | | | |
| V_{OL} | 逻辑低电平输出电压 | $I_{OL} = 4mA$; 见图 8-6 | | | 0.2 | 0.4 | V | |
| | | $I_{OL} = 20\mu A$; 见图 8-6 | | | 0 | 0.1 | | |
| C_i | CANH、CANL 对地输入电容 | TXD 为 3V, $V_i = 0.4 \times \sin(2\pi ft) + 2.5$, $f = 1MHz$ | | | 24 | pF | | |
| C_{iD} | 差分输入电容 | TXD 为 3V, $V_i = 0.4 \times \sin(2\pi ft)$, $f = 1MHz$ | | | 12 | pF | | |
| R_{iN} | CANH、CANL 输入电阻 | TXD 为 3V | 15 | 40 | | k Ω | | |
| R_{iD} | 差分输入电阻 | TXD 为 3V | 30 | 80 | | k Ω | | |
| $R_{i(m)}$ | 输入电阻匹配($1 - [R_{iN(CANH)}/R_{iN(CANL)}]$) | $V_{CANH} = V_{CANL}$ | -2% | 0% | 2% | | | |
| CMTI | 共模瞬变抗扰度 | $V_i = 0V$ 或者 V_{CC} ; 见图 8-11 | 100 | 150 | | kV/ μs | | |
| 注: | | | | | | | | |
| 1. 当 $T_A > 85^\circ C$ 时, 最大负载可用电流以应当降低, 详细参考图 7.9-12 V_{ISO} 最大负载可用电流 I_{ISO} 随器件环境温度的变化; | | | | | | | | |
| 2. $R_L = NC$, 表示 CANH 和 CANL 之间不接电阻。 | | | | | | | | |

7.8 开关特性

测试时 CA-IS3062VW 版本的 V_{CC} 和 V_{CC1} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | |
|---|--------------------------------------|--------------------------------|-----|-----|-----|----|
| 收发器 | | | | | | |
| t_{loop1} | 总环路延时，驱动器输入 TXD 到接收器输出 RXD，隐性状态-显性状态 | 见图 8-8 | 110 | 150 | 210 | ns |
| t_{loop2} | 总环路延时，驱动器输入 TXD 到接收器输出 RXD，显性状态-隐性状态 | | 110 | 150 | 210 | |
| 驱动器 | | | | | | |
| t_{PLH} | TXD 传输延时（隐性状态-显性状态） | 见图 8-4 | 35 | 75 | 130 | ns |
| t_{PHL} | TXD 传输延时（显性状态-隐性状态） | | 35 | 55 | 100 | |
| t_r | 差分输出信号上升时间 | | | 55 | 100 | |
| t_f | 差分输出信号下降时间 | | | 60 | 105 | |
| $t_{TXD_DTO}^1$ | TXD 显性状态超时时间 | $C_L = 100 \text{ pF}$ ；见图 8-9 | 2 | 5 | 8 | ms |
| 接收器 | | | | | | |
| t_{PLH} | RXD 传输延时（隐性状态-显性状态） | 见图 8-6 | | 85 | 140 | ns |
| t_{PHL} | RXD 传输延时（显性状态-隐性状态） | | | 60 | 140 | |
| t_r | RXD 输出信号上升时间 | | | 2.5 | 6 | |
| t_f | RXD 输出信号下降时间 | | | 2.5 | 6 | |
| 注： | | | | | | |
| 1. 一旦 TXD 处于显性状态的时间超出 t_{TXD_DTO} ，TXD 超时检测电路将关闭驱动器，从而释放总线进入隐性状态，以防止由于本地失效而将总线锁定在显性状态。 | | | | | | |

7.9 典型特性曲线

| | |
|---|--|
| | |
| <p>图 7.9-1 器件引脚 CANH 和 CANL 之间无电阻时的 V_{CC} 静态电流</p> | <p>图 7.9-2 器件引脚 CANH 和 CANL 之间 60Ω 时的 V_{CC} 静态电流</p> |
| | |
| <p>图 7.9-3 $V_{CC} = 5V$, RXD = High, RXD 分别下拉 4mA 和 0.02mA 电流</p> | <p>图 7.9-4 $V_{CC} = 5V$, RXD = Low, RXD 分别上拉 4mA 和 0.02mA 电流</p> |
| | |
| <p>图 7.9-5 驱动传输延时, $V_{CC} = 5V$, $R_L = 45\Omega$</p> | <p>图 7.9-6 接收传输延时, $V_{CC} = 5V$, $R_L = 45\Omega$</p> |

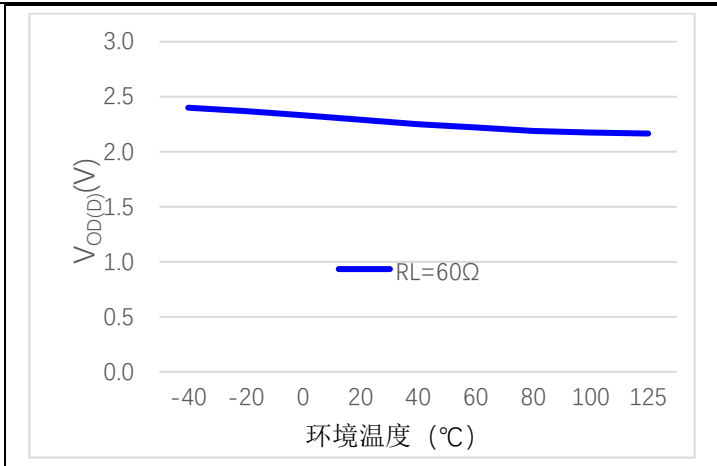


图 7.9-7
差模输出电压 $V_{OD(D)}$, $R_L = 60\Omega$, $V_{CC} = 5V$

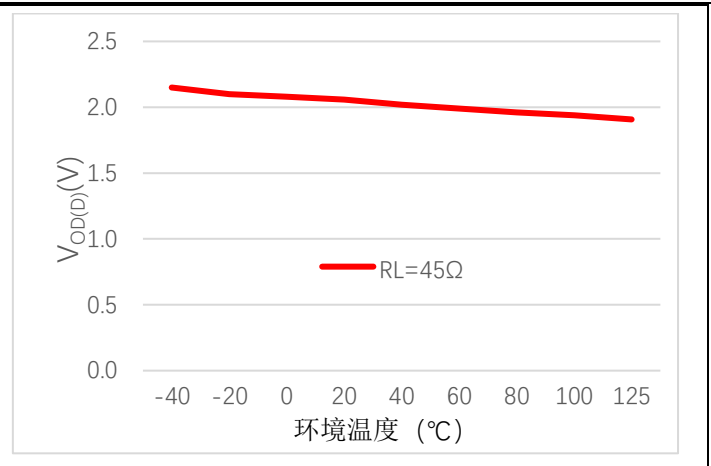


图 7.9-8
差模输出电压 $V_{OD(D)}$, $R_L = 45\Omega$, $V_{CC} = 5V$

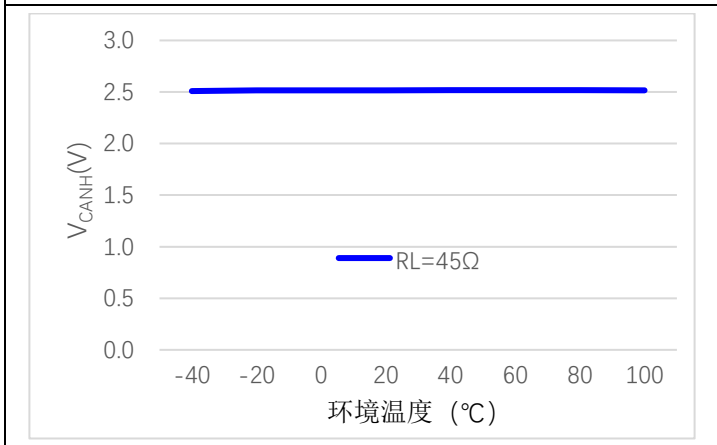


图 7.9-9
总线输出电压 (隐性) $V_{OC(R)}$; V_{CANH} , $R_L = 45\Omega$, $V_{CC} = 5V$

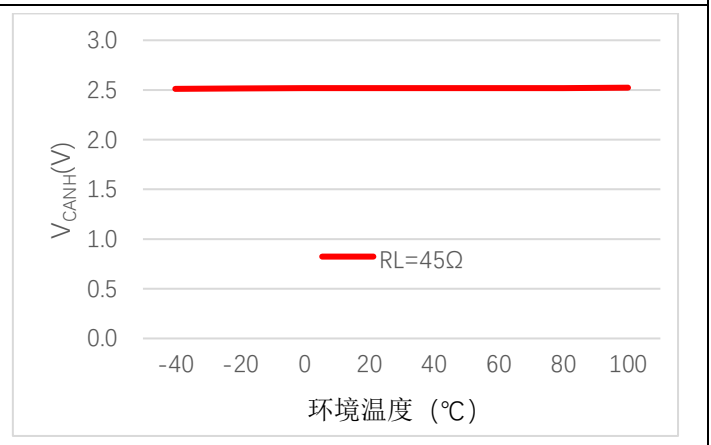


图 7.9-10
总线输出电压 (隐性) $V_{OC(R)}$; V_{CANL} , $R_L = 45\Omega$, $V_{CC} = 5V$

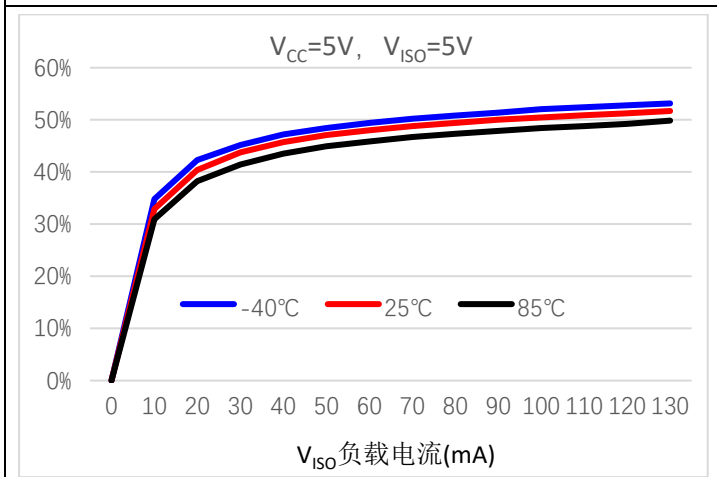


图 7.9-11
不同温度下的效率随负载电流的变化
 $R_L = NC$

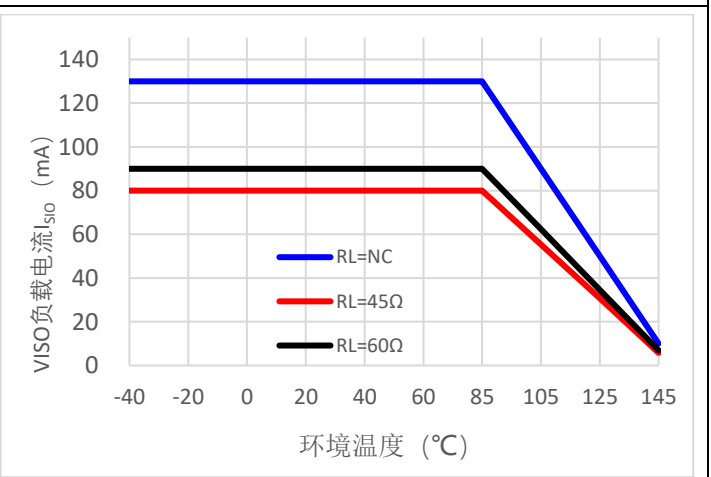


图 7.9-12
 V_{ISO} 最大负载可用电流 I_{ISO} 随器件环境温度的变化
CANH 和 CANL 之间 R_L 接不同电阻
DR = 1Mbps, CANH 和 CANL 之间 $C_L = 2nF$

| | |
|--|---|
| | |
| <p>图 7.9-13 $V_{CC} = 5V$, $V_{ISO} = 5V$, $I_{ISO} = 130mA$, $R_L = NC$, V_{ISO} 纹波电压峰峰值: 58mV</p> | <p>图 7.9-14 动态负载电流 I_{ISO}: 13 mA 阶跃至 130mA, $V_{CC} = 5V$, $V_{ISO} = 5V$, $R_L = NC$, V_{ISO} 纹波电压峰峰值: 68mV</p> |

8 参数测试电路

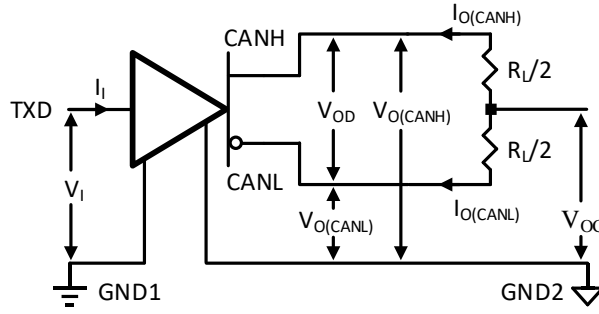


图 8-1 驱动器电压、电流测试条件

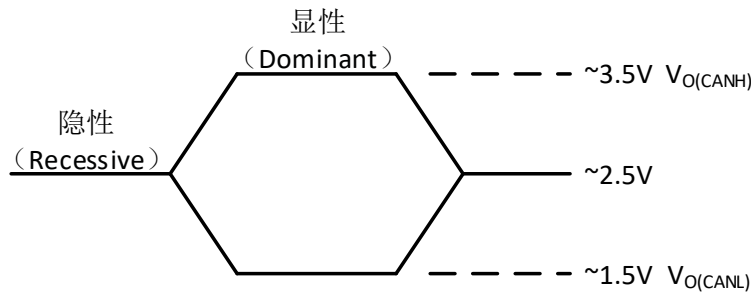


图 8-2 总线逻辑状态的电压定义

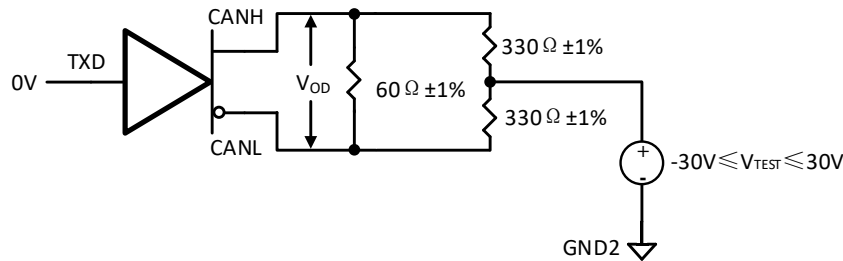
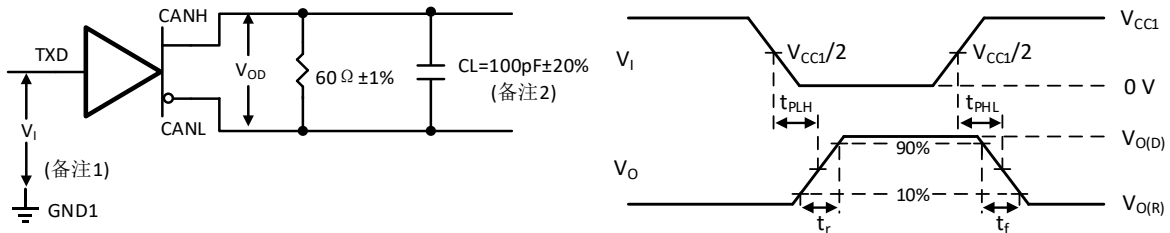


图 8-3 驱动器 VOD 测试电路，带共模负载



- 注:
1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50% 占空比, 上升时间 $t_r \leq 6 \text{ ns}$, 下降时间 $t_f \leq 6 \text{ ns}$, 输出阻抗 $Z_o = 50 \Omega$;
 2. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-4 驱动器测试电路与时序图

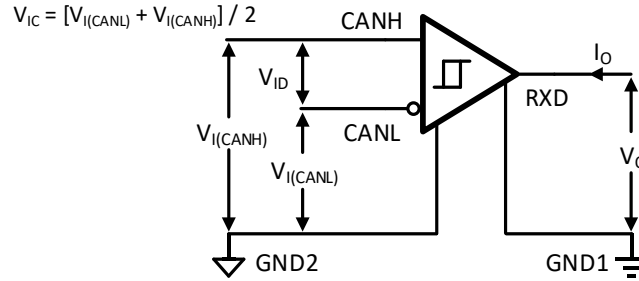
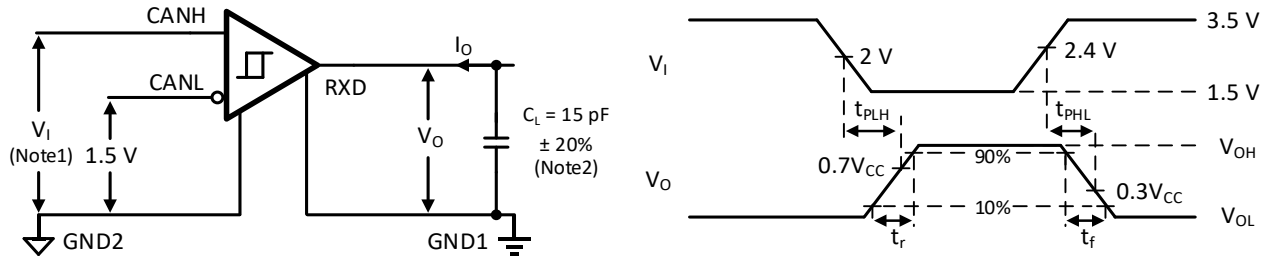


图 8-5 接收器输出电压、电流测试条件



- 注:
1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50% 占空比, 上升时间 $t_r \leq 6 \text{ ns}$, 下降时间 $t_f \leq 6 \text{ ns}$, 输出阻抗 $Z_o = 50 \Omega$;
 2. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-6 接收器测试电路与时序图

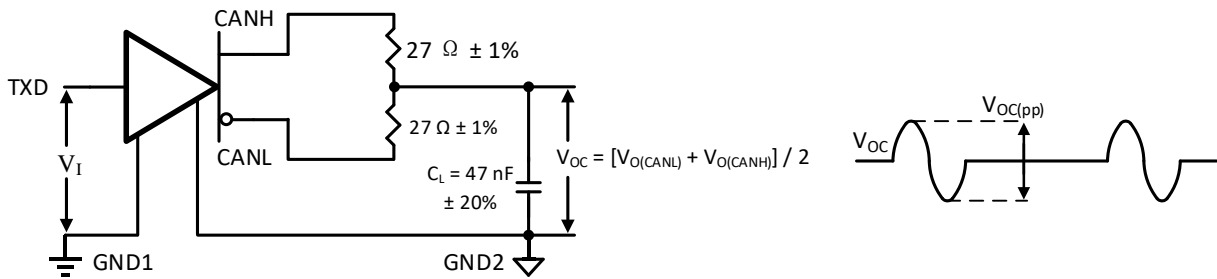


图 8-7 驱动器输出电压峰值测试电路与波形

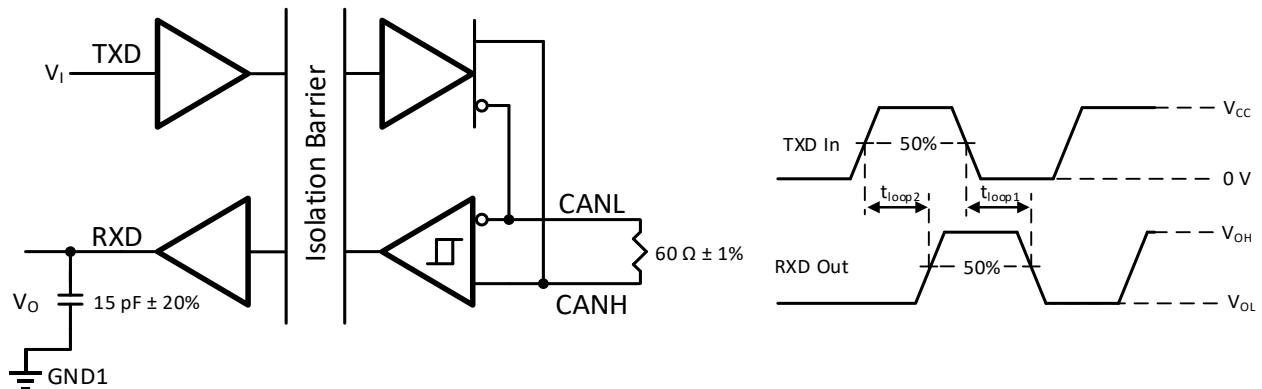
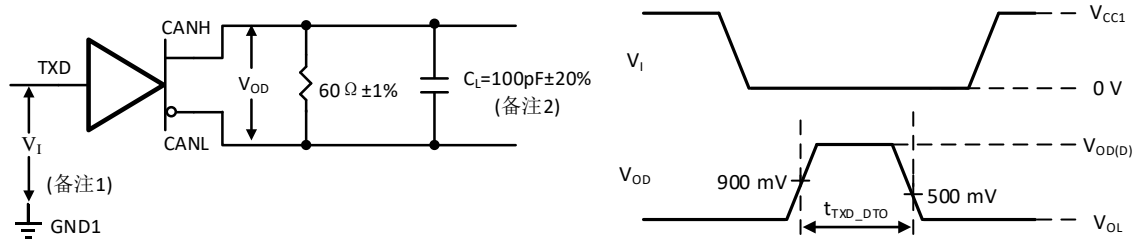


图 8-8 从 TXD 到 RXD 环路延时



- 注:
1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50%占空比, 上升时间 $t_r \leq 6 \text{ ns}$, 下降时间 $t_f \leq 6 \text{ ns}$, 输出阻抗 $Z_o = 50 \Omega$;
 3. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-9 发送显性状态超时时序图

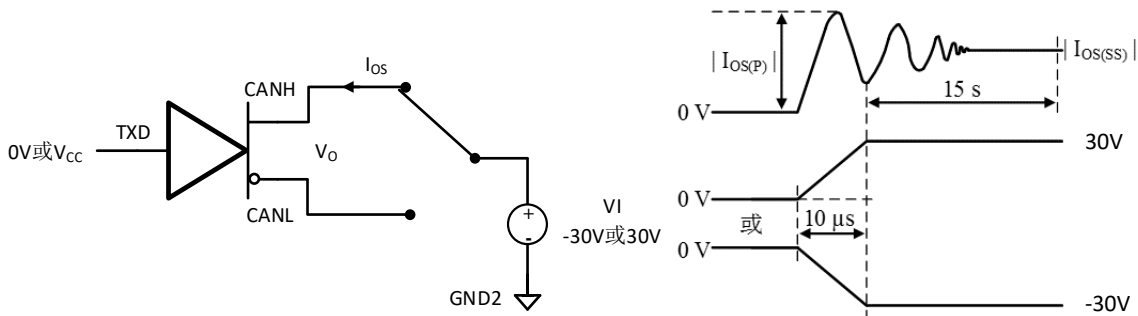


图 8-10 驱动器短路电流测试电路

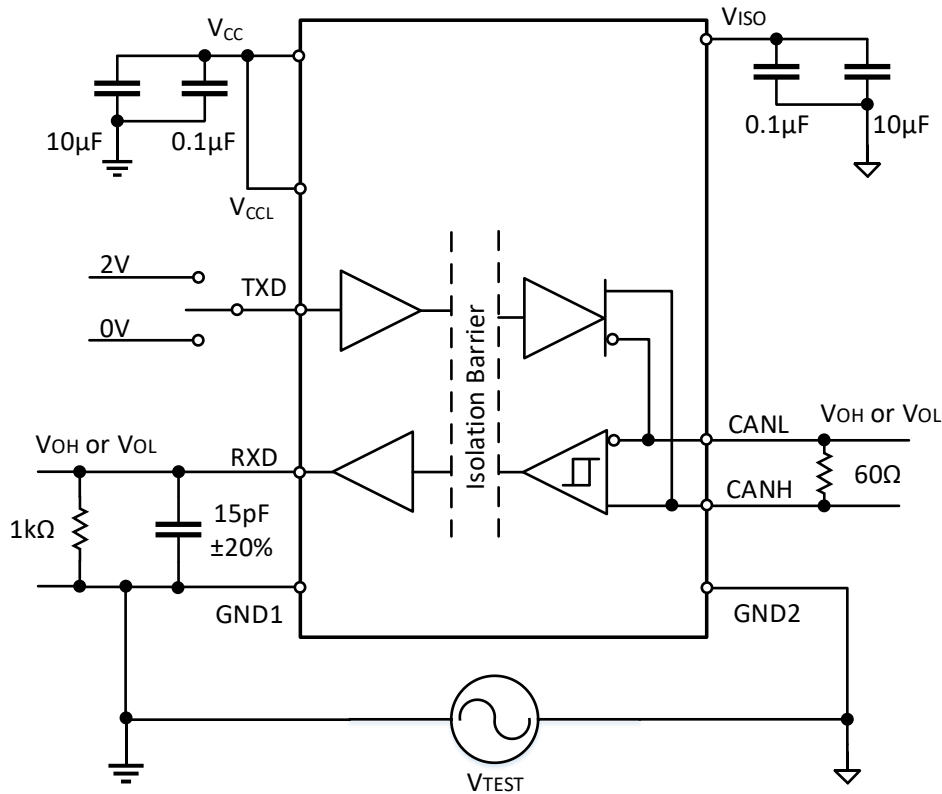


图 8-11 共模瞬态抑制(CMTI)测试电路

9 详细说明

CA-IS3062x 隔离型 CAN 收发器在总线侧与控制器侧（逻辑侧）之间提供高达 $5kV_{RMS}$ 的电气隔离。这款器件具有 $150kV/\mu s$ 的共模瞬变抗扰度，允许速率高达 1Mbps 的数据通过绝缘栅进行传输。CA-IS3062x 在逻辑侧采用 4.5V 至 5.5V 的单电源供电，内部 DC-DC 转换器提供电源隔离，为总线侧产生隔离的 5V 供电电压，由此省去了外部隔离电源，仅需少数几个旁路电容即可构成完备的隔离 CAN 接口。可靠的隔离特性和高速通信能力使得 CA-IS3062x 能够在嘈杂环境下实现可靠的数据传输，适用于工业自动化、楼宇自动化等广泛的工业应用场景。CA-IS3062x 的接收器输入端允许 $\pm 30V$ 共模输入，远远超出 ISO 11898-2 规范定义的 $-2V$ 至 $+7V$ ；总线引脚 CANH、CANL 可承受高达 $\pm 58V$ 的故障电压，为系统提供有效的过压保护；此外当输出级发生短路故障时，驱动器限流保护电路会将器件置于保护状态，防止大电流损耗；热关断保护在检测到器件超出热关断门限时，会将驱动器输出强制于高阻态，避免器件产生过大功耗。驱动器显性超时检测电路用于防止总线闭锁。

9.1 CAN 总线状态

CAN 总线具有两个状态：显性状态和隐性状态。在显性状态（“0”位，用于确定信息发送的优先级）下，CANH 与 CANL 之间的差分电压介于 1.5V 至 3V（高于 0.9V），该状态对应于 TXD/RXD 的逻辑“0”；在隐性状态（“1”位，总线空闲状态）下，总线通过内部电阻拉至 $V_{ISO}/2$ ，CANH 与 CANL 之间的差分电压介于 $-120mV$ 至 $+12mV$ ，或接近 0V（低于 0.5V，取决于总线负载），对应于 TXD/RXD 的逻辑“1”，详见图 8-2。

9.2 接收器

接收器将总线的差分输入（CANH 和 CANL）转换成 CAN 控制器需要的单端输出信号 RXD，内部比较器检测差分电压 $V_{DIFF} = (V_{CANH} - V_{CANL})$ ，门限电压约为 0.7V。如果 $V_{DIFF} > 0.9V$ ，RXD 引脚输出逻辑低电平；如果 $V_{DIFF} < 0.5V$ ，RXD 输出逻辑高电平。CANH、CANL 的共模输入电压范围为 $\pm 30V$ 。当 CANH、CANL 短路，或处于空闲状态时，RXD 输出高电平，详见表 9-1。

表 9-1 接收器真值表

| $V_{ID} = V_{CANH} - V_{CANL}$ | 总线状态 | RXD |
|--------------------------------|------|-----|
| $V_{ID} \geq 0.9V$ | 显性 | 低电平 |
| $0.5V < V_{ID} < 0.9V$ | 不确定 | 不确定 |
| $V_{ID} \leq 0.5V$ | 隐性 | 高电平 |
| 开路 ($V_{ID} \approx 0V$) | 开路 | 高电平 |

9.3 驱动器

表 9-2 接收器真值表

| V_{CC} | 输入 | TXD 低电平时间 | 输出 | | 总线状态 |
|----------|-------|------------------|-------------|-------------|----------------|
| | TXD | | CANH | CANL | |
| 上电 | Low | $< t_{TXD_DTO}$ | H | L | 显性 (Dominant) |
| | Low | $> t_{TXD_DTO}$ | $V_{ISO}/2$ | $V_{ISO}/2$ | 隐性 (Recessive) |
| | H 或开路 | X | $V_{ISO}/2$ | $V_{ISO}/2$ | 隐性 (Recessive) |
| 断电 | X | X | Hi-Z | Hi-Z | Hi-Z |

注：

1. X = 无关；H = 高电平；L = 低电平；Hi-Z = 高阻。
2. TXD 输入具有内部弱上拉。

驱动器将来自 CAN 控制器的单端输入信号 (TXD) 转换成差分输出 CANH、CANL, 真值表如表 9-2 所示。内部驱动器显性超时检测确保显性电平未超出 t_{TXD_DTO} 的前提下, 收发器处于正常工作状态。CANH、CANL 输出具有短路限流保护, 热关断则进一步限制器件的最大功耗。

9.4 最大负载可用电流 I_{ISO}

表 9-3 列举了总线在常温下总线 CANH 和 CANL 之间 R_L 不同时器件最大负载可用电流 I_{ISO} 。当输出电压 V_{ISO} 为 5V 时, 若总线 CANH 和 CANL 之间接入 45Ω 电阻, 此时总线端自身消耗的负载电流约为 50mA, 总的最大负载可用电流为 130mA, 因此 V_{ISO} 输出电压最多可以外供 80mA 电流。需要注意的是, 上述电流是在常温 ($T_A = 25^\circ\text{C}$) 下的数据, 当温度超过 85°C 时, 最大负载可用电流应以适当降低, 详见图 7.9-12 关于 V_{ISO} 最大负载可用电流 I_{ISO} 随器件环境温度变化的曲线。

表 9-3 总线带载时最大负载可用电流 I_{ISO} @ $T_A = 25^\circ\text{C}$

| 电源电压 V_{CC} (V) | V_{ISO} (V) | CANH 和 CANL 之间负载 R_L (Ω) | I_{ISO} (mA) |
|-------------------|---------------|----------------------------|----------------|
| 4.5~5.5 | 5 | NC ¹ | 130 |
| 4.5~5.5 | 5 | 60 | 90 |
| 4.5~5.5 | 5 | 45 | 80 |

注:
1. NC 表示总线 CANH 和 CANL 之间空载。

9.5 保护功能

9.5.1 欠压保护

CA-IS3062W 器件供电电源 V_{CC} , 不同电压状态下, 输出引脚状态如下表。

表 9-4 CA-IS3062W 不同电压模式下输出引脚状态

| 电源电压 V_{CC} (V) | CANH 和 CANL | RXD |
|-------------------|-------------|-----|
| PD | 高阻 | 高阻 |
| PU | 正常 | 正常 |

注: PU = 上电 ($V_{CC} \geq V_{CC}(\text{UVLO}^+)$); PD = 断电 ($V_{CC} \leq V_{CC}(\text{UVLO}^-)$)

CA-IS3062VW 器件有两路供电电源, V_{CC} , V_{CCL} , 不同电压状态下, 输出引脚状态如下表。

表 9-5 CA-IS3062VW 不同电压模式下输出引脚状态

| 电源电压 V_{CC} (V) | V_{CCL} (V) | CANH 和 CANL | RXD |
|-------------------|---------------|-------------|-----|
| PD | PD | 高阻 | 高阻 |
| PD | PU | 高阻 | 高阻 |
| PU | PD | 正常 | 高阻 |
| PU | PU | 正常 | 正常 |

注: PU = 上电 ($V_{CCL} \geq V_{CC}(\text{UVLO}^+)$); PD = 断电 ($V_{CCL} \leq V_{CC}(\text{UVLO}^-)$)

9.5.2 信号隔离与电源隔离

CA-IS3062x 器件内部集成数字隔离器, 采用基于开关键控 (OOK) 调制的电容隔离技术, 在逻辑侧与总线侧之间构建高达 5kV_{RMS} 的电气隔离, 允许两侧电路工作在不同的电源域; 内部集成的 DC-DC 转换器则提供电源隔离, 产生 5V 输出用作总线侧供电, 仅需少数几个旁路电容即可形成完备的 CAN 通信接口, 便于进一步简化隔离接口的设计。

9.5.3 热关断

当 CA-IS3062x 器件的结温超出热关断门限 $T_{J(\text{shutdown})}$ (180°C , 典型值) 时, V_{ISO} 输出电压为 0V, 驱动器输出进入高阻态。一旦器件结温恢复到正常温度范围 (160°C , 典型值), 器件自动退出热关断状态, V_{ISO} 和驱动器输出均恢复到正常状态。

9.5.4 限流保护

CA-IS3062x 器件的驱动器提供输出短路保护，一旦发生输出短路到电源或地故障时，驱动器将限制输出电流。由于驱动器此时处于最大限流状态，有可能消耗较大的电源电流使器件结温升高触发热关断保护，而热关断功能为输出短路提供了二次防护。一旦短路故障解除，驱动器将退出限流保护状态。

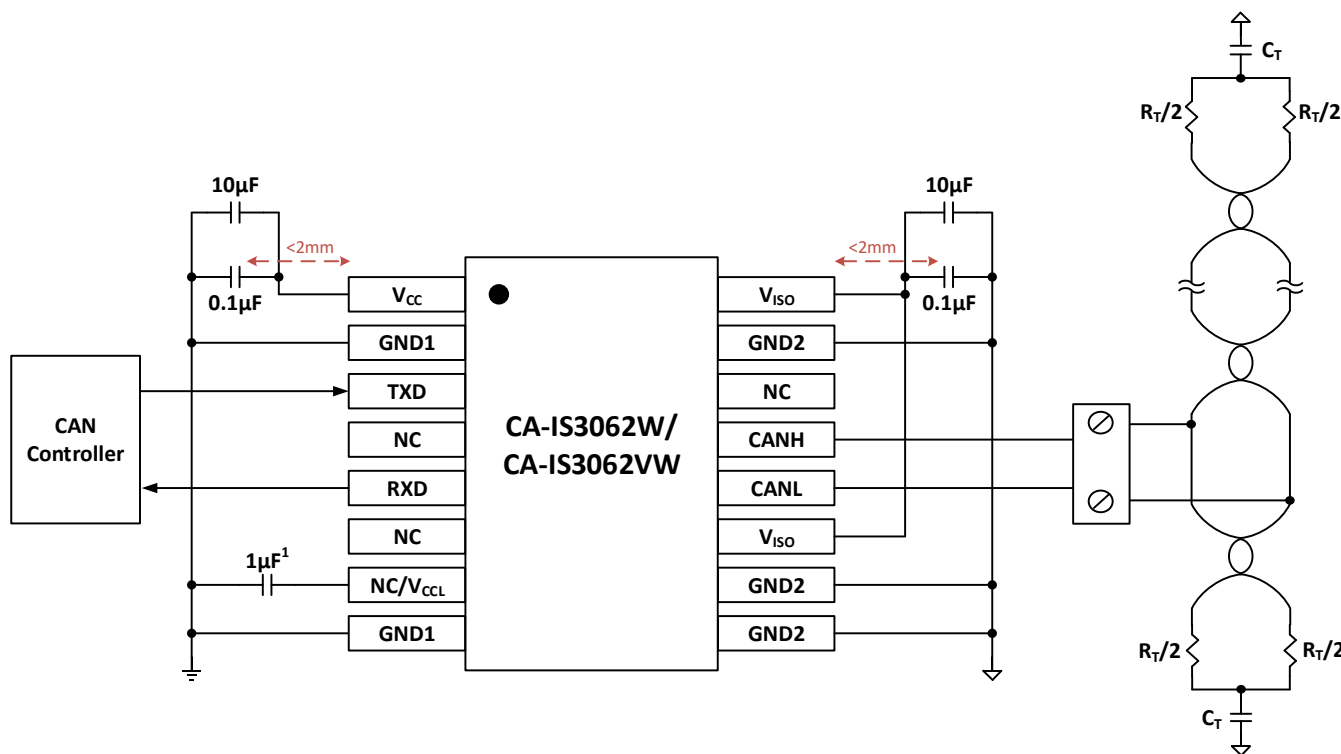
9.5.5 驱动器显性超时检测

CA-IS3062x 器件具有显性超时检测功能，超时时间为 t_{TXD_DTO} ，防止由于 CAN 控制器故障而将 TXD 钳制在低电平（此时总线为显性状态）。当 TXD 保持在显性状态对应电平（低电平）的时间超出 t_{TXD_DTO} 时，器件将关闭驱动器，将总线释放到隐性状态。超时故障解除后，器件在 TXD 收到的信号上升沿处重新使能驱动器，收发器恢复正常工作。驱动器超时时间限制了 CA-IS3062x 的最小数据传输速率，按照 CAN 总线通信协议，允许在最差工作环境下，连续发送 11 个“显性”位，据此可以估算出 CA-IS3062x 所允许的最低速率是： $11\text{bits} / t_{TXD_DTO} = 11 / 2\text{ms} = 5.5\text{kbps}$ ，即 CA-IS3062x 的最低速率限制在 5.5kbps。

10 应用信息

10.1 典型应用

CAN 接口由于其灵活的优先级管理和出色的仲裁能力而广泛用于工业领域，而多数工业系统工作在不同的电源域，隔离成为必要的选项，为低压侧工作的器件提供必要保护。CA-IS3062x 成为此类应用的理想选择，不仅提供信号隔离，而且集成了隔离电源，只需外部少数的几个电源旁路电容即可构成完整的 CAN 通信接口，典型应用电路如图 10-1 所示。



注：

1. 该电容仅在 CA-IS3062VW 版本中需要。

图 10-1 典型应用电路

CA-IS3062x 能够支持高达 1Mbps 的数据传输速率，总线网络的最高速率还受限于总线负载、节点数、电缆长度以及匹配等因素。设计 CAN 总线网络时，必须考虑信号在电缆上的损耗、寄生负载、延时、网络的不均衡性、地电位偏差以及信号完整性，因此，实际系统中的最高速率、最远传输距离常常低于理论值。根据 ISO 11898-2 标准，CAN 总线

的最高节点数为 30。考虑到 CA-IS3062x 具有较高的输入阻抗，通过谨慎设计网络布局，可以允许多达 110 个节点挂接在同一 CAN 总线上。

在多节点 CAN 总线网络中，保持线路阻抗均匀非常重要，由此需要提供适当的终端匹配。网络拓扑不能使用星形、树形或环形架构，在网络相距最远的两个端点之间，挂接任何一个节点都会产生一个“接头”，而高速信号在这些电缆“接头”上将产生信号反射，在总线上引入干扰，在设计中需要使用尽可能短的电缆挂接每个节点，尤其是对于高速传输网络。图 10-2 给出了 CAN 总线的典型拓扑，在总线的两个端点可采用单个 120Ω 电阻 (R_T) 匹配总线；如果需要增加共模滤波，也可以将其分隔成两个 60Ω 的电阻进行终端匹配。

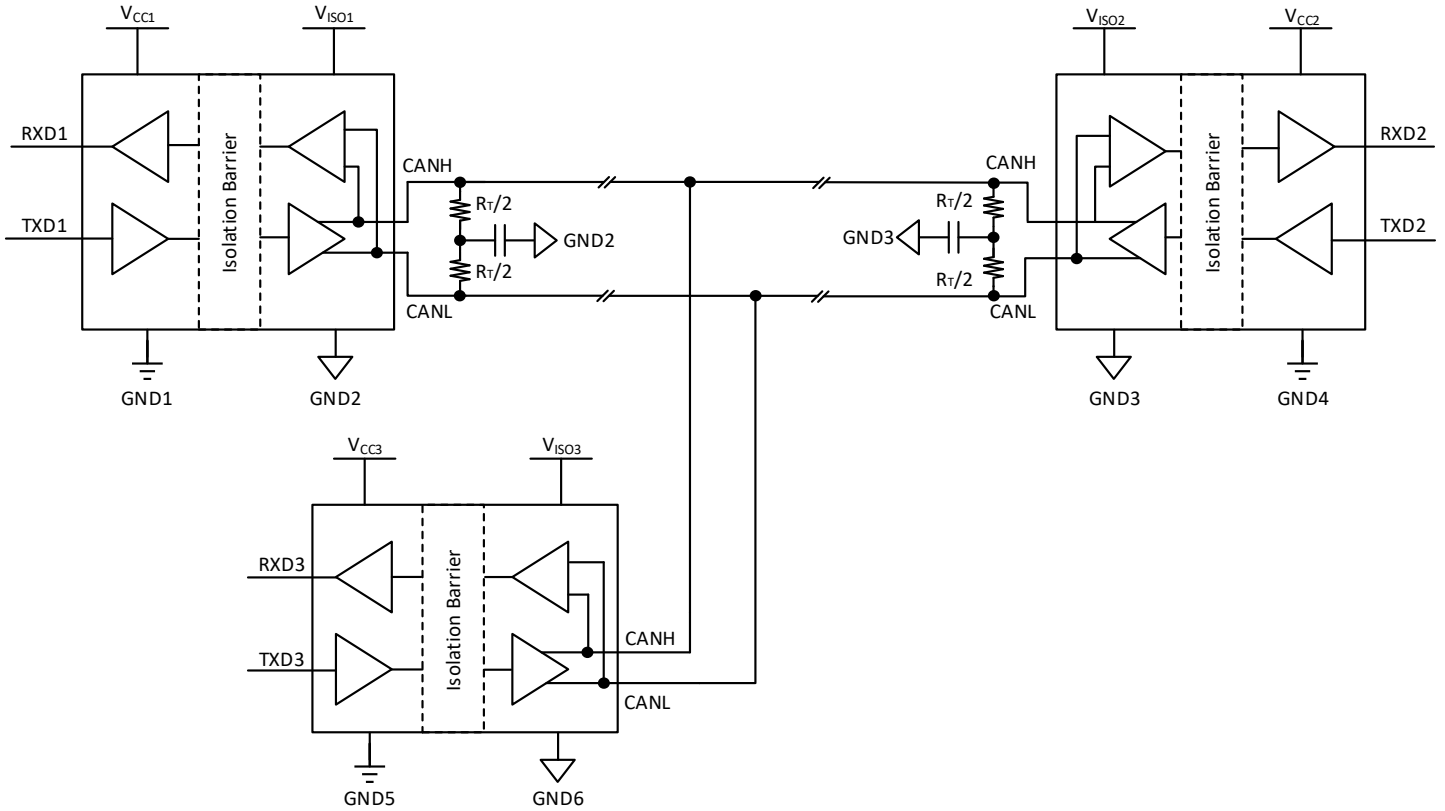


图 10-2 CAN 总线典型拓扑

10.2 PCB 布板

为确保器件在任何数据速率下可靠工作，建议在 V_{CC} 与 $GND1$ 、 V_{ISO} 与 $GND2$ 之间外接不小于 $10\mu F$ 的去耦电容。电容应紧靠器件相应的电源引脚放置。实际应用中，输入和输出电容均为 $10\mu F$ 和 $0.1\mu F$ 电容并联，且 $0.1\mu F$ 电容靠近器件引脚摆放，距离控制在 $2mm$ 以内。

PCB 板上输入、输出电容和器件必须放在器件同一层，不要将电容和器件放在不同层且通过过孔相连。CA-IS3062VW 的 V_{CC1} 是逻辑侧的信号电源，需要对 $GND1$ 接 $1\mu F$ 滤波电容， V_{CC1} 可以使用不同于 V_{CC} 的外部独立电源，例如可以和低压控制器共电源，无需电平移位器就可以进行信号的交互。图 10-3 展示了 V_{CC1} 和 V_{CC} 共用一个电源时的 PCB 布线。

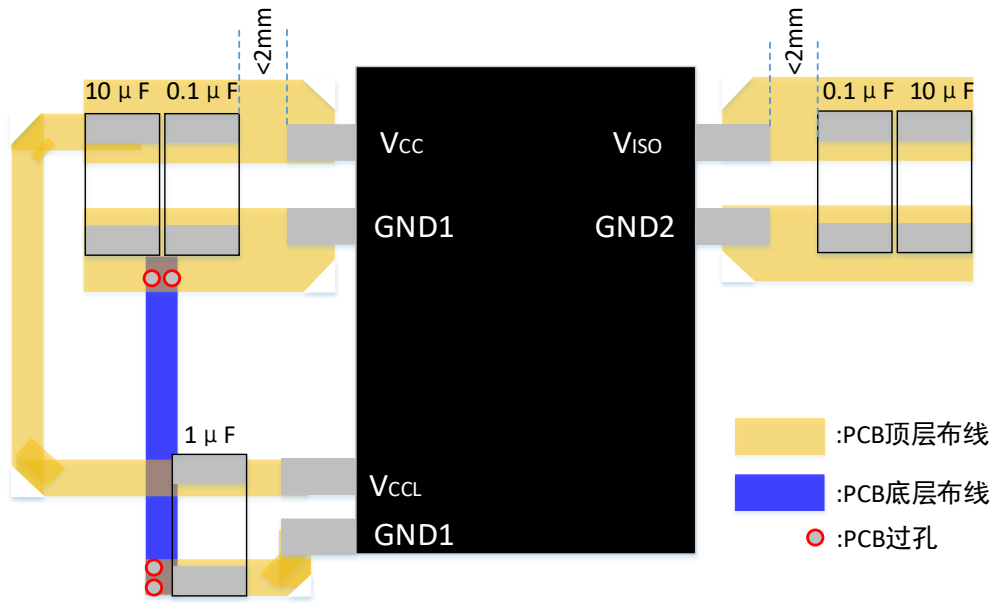
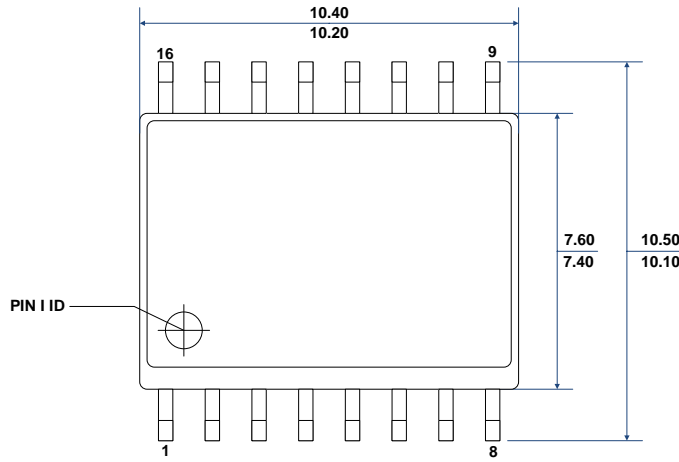


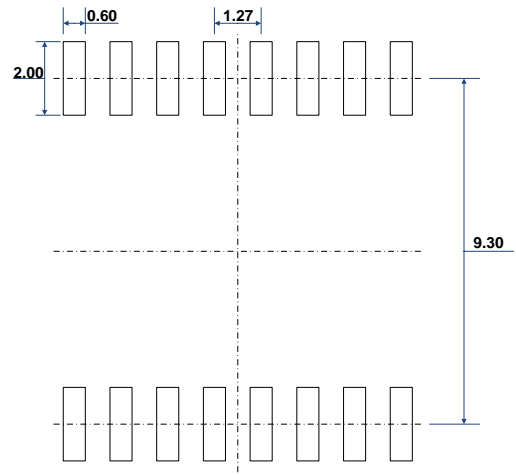
图 10-3 推荐 PCB 电源部分走线

11 封装信息

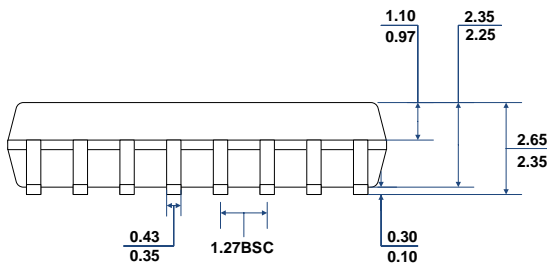
下图给出了 SOIC16 宽体封装的尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



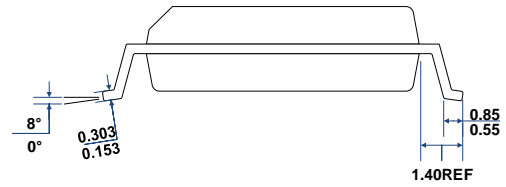
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT-SIDE VIEW

12 焊接信息

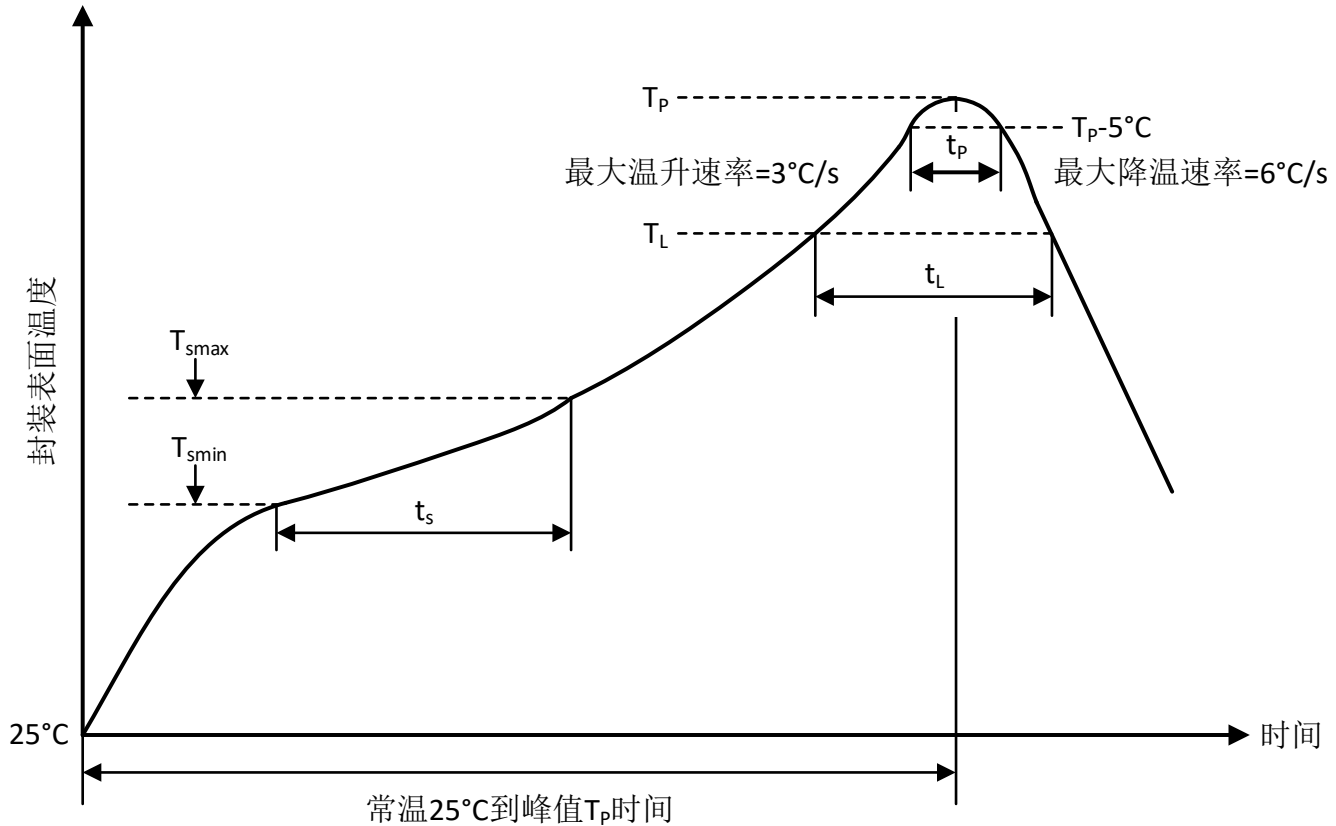


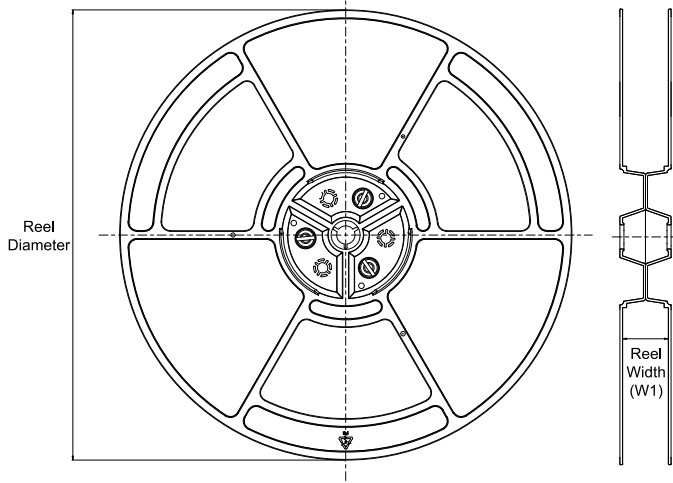
图 12-1 焊接温度曲线

表 12-1 焊接温度参数

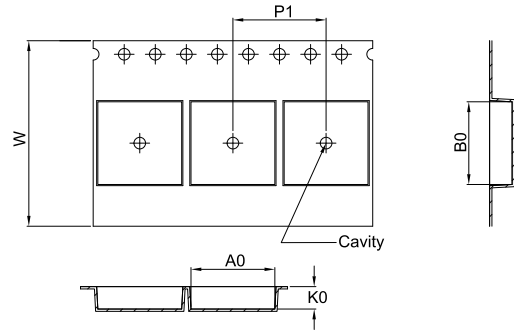
| 简要说明 | 无铅焊接 |
|--|--------------------------|
| 温升速率 ($T_L=217^{\circ}\text{C}$ 至峰值 T_p) | 最大 3°C/s |
| $T_{smin}=150^{\circ}\text{C}$ 到 $T_{smax}=200^{\circ}\text{C}$ 预热时间 t_s | 60~120 秒 |
| 温度保持 217°C 以上时间 t_L | 60~150 秒 |
| 峰值温度 T_p | 260°C |
| 小于峰值温度 5°C 以内时间 t_p | 最长 30 秒 |
| 降温速率 (峰值 T_p 至 $T_L=217^{\circ}\text{C}$) | 最大 6°C/s |
| 常温 25°C 到峰值温度 T_p 时间 | 最长 8 分钟 |

13 卷带信息

REEL DIMENSIONS

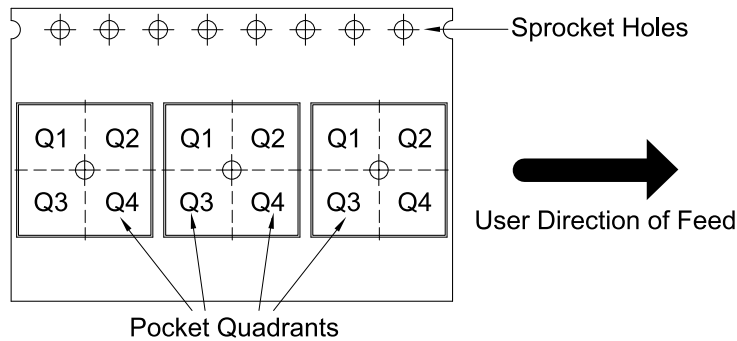


TAPE DIMENSIONS



| | |
|----|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*所有尺寸均为标称值。

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|-------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| CA-IS3062W | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.9 | 10.7 | 3.2 | 12.0 | 16.0 | Q1 |
| CA-IS3062VW | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.9 | 10.7 | 3.2 | 12.0 | 16.0 | Q1 |

14 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>