

# 32 位微控制器

## HC32F003\_F005\_L110 系列

---

# 勘误表

Rev1.0 2023 年 07 月

## 适用对象

产品系列	产品型号	产品系列	产品型号
F 系列	HC32F003 HC32F005	L 系列	HC32L110

## 声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2023 小华半导体有限公司 保留所有权利

## 目 录

适用对象.....	2
声 明.....	3
目 录.....	4
<b>1 摘要.....</b>	<b>5</b>
<b>2 HC32F003/ HC32F005/ HC32L110 系列的勘误.....</b>	<b>6</b>
2.1 烧录.....	7
2.1.1 在 1.8V 供电下, SWD 模式烧录需要降低速度.....	7
2.2 ADC.....	7
2.2.1 ADC 的 Exref 引脚影响 ADC 有效位.....	7
2.3 I2C.....	7
2.3.1 I2C 初始化之前需要复位该模块.....	7
2.3.2 I2C 的引脚配置.....	7
2.3.3 I2C 作为主机在发送数据阶段, 某些状态下收不到 NACK.....	8
2.4 SPI.....	8
2.4.1 从机 NCS 固定接地时, SPI 模块使能后就不要再关闭.....	8
2.4.2 SPI 用作多从机时 MISO 引脚异常.....	8
2.4.3 SPI 作为从机时的速率问题.....	8
2.5 GPIO.....	9
2.5.1 在 DeepSleep 模式下, 较高频率的 GPIO 唤醒会出现芯片复位.....	9
2.5.2 上电时部分 IO 带有一定驱动能力.....	9
2.5.3 未封装的 GPIO 端口初始化上拉处理.....	9
<b>版本修订记录.....</b>	<b>10</b>

## 1 摘要

本文档主要介绍 HC32F003/ HC32F005/ HC32L110 系列芯片的使用限制和变通措施。

## 2 HC32F003/ HC32F005/ HC32L110 系列的勘误

表 2-1 勘误表条目统计

勘误类型	具体勘误事项
2.1 烧录	2.1.1 在 1.8V 供电下，SWD 模式烧录需要降低速度
2.2 ADC	2.2.1 ADC 的 Exref 引脚影响 ADC 有效位
2.3 I2C	2.3.1 I2C 初始化之前需要复位该模块
	2.3.2 I2C 的引脚配置
	2.3.3 I2C 作为主机在发送数据阶段，某些状态下收不到 NACK
2.4 SPI	2.4.1 从机 NCS 固定接地时，SPI 模块使能后就不要关闭
	2.4.2 SPI 用作多从机时 MISO 引脚异常
	2.4.3 SPI 作为从机时的速率问题
2.5 GPIO	2.5.1 在 DeepSleep 模式下，较高频率的 GPIO 唤醒会出现芯片复位
	2.5.2 上电时部分 IO 带有一定驱动能力
	2.5.3 未封装的 GPIO 端口初始化上拉处理

## 2.1 烧录

### 2.1.1 在 1.8V 供电下，SWD 模式烧录需要降低速度

#### ■ 问题描述

在 1.8V 供电情况下，GPIO 速度慢，使用离线编程器的 SWD 模式高速烧录可能会失败。

#### ■ 变通措施

在 1.8V 供电情况下，如需使用离线编程器的 SWD 模式烧录，需要降低速度，使用低速模式才能烧录成功。

## 2.2 ADC

### 2.2.1 ADC 的 Exref 引脚影响 ADC 有效位

#### ■ 问题描述

F003/ F005/ L110 系列的 ADC，当参考电压使用 AVCC (VCC)、内部 1.5V、内部 2.5V 的时候，Exref (P36) 如果配置为数字端口或者作为 IP 复用的输入输出脉冲信号，会降低 ADC 的采样有效位 (1bit 左右)。

#### ■ 变通措施

F003/ F005/ L110 系列的 ADC，当参考电压使用 AVCC (VCC)、内部 1.5V、内部 2.5V 的时候，Exref (P36) 引脚如不使用，可以将该引脚配置为模拟引脚，并外接去耦电容。

## 2.3 I2C

### 2.3.1 I2C 初始化之前需要复位该模块

#### ■ 问题描述

上电或者复位后，I2C 模块一些寄存器内部没有被复位。

#### ■ 变通措施

初始化之前，使能对应的 I2C 外设时钟之后，需要使用复位寄存器复位一下 I2C 模块，复位寄存器对应 bit 位先写 0 再写 1。

### 2.3.2 I2C 的引脚配置

#### ■ 问题描述

如果先将 I/O 设置复用为 I2C 功能引脚，再使能 I2C 外设时钟，然后再使用复位寄存器复位 I2C 模块，在使能外设时钟到复位 I2C 模块的这段时间，I2C 的引脚可能会输出翻转脉冲信号。

#### ■ 变通措施

需要先使能 I2C 的外设时钟，然后调用复位寄存器复位 I2C 的模块，再将该 GPIO 复用为 I2C 的引脚。

### 2.3.3 I2C 作为主机在发送数据阶段，某些状态下收不到 NACK

#### ■ 问题描述

I2C 作为主机，在发送数据阶段，在状态代码 0x18 和 0x28 情况下发送完数据，不会释放 SDA 总线，而是拉低了 SDA 总线。

#### ■ 变通措施

根据具体的应用在协议层做相应的措施或使用 IO 模拟 I2C。

## 2.4 SPI

### 2.4.1 从机 NCS 固定接地时，SPI 模块使能后就不要再关闭

#### ■ 问题描述

SPI 和没有 NCS 接口的设备通信时，如果 SCKO 和 CPOL 不同相，在 SPEN 使能和关闭的时候，SCK 会有脉冲输出，导致通信异常。

#### ■ 变通措施

从机 NCS 固定接地时，SPI 模块使能后就不要再关闭。

### 2.4.2 SPI 用作多从机时 MISO 引脚异常

#### ■ 问题描述

SPI 作为多从机通信时，当发送最后一个 bit 位是 0 之后主机 CS 拉高，MISO 会保持低电平。

#### ■ 变通措施

当最后一个字节发送完成，软件将 MISO 变为输入上拉状态，当从机遇到 CS 拉低后，再变为 MISO 引脚。

### 2.4.3 SPI 作为从机时的速率问题

#### ■ 问题描述

F003/ F005/ L110 系列 MCU 的 SPI 作为从机时，其最高速率不能达到 12MHz。

#### ■ 变通措施

F003/ F005/ L110 系列的 SPI 作为从机时，当系统主频不高于 24MHz，从机最高速率可以支持 PCLK/4；当系统主频高于 24MHz，从机最高速率可以支持 PCLK/8。

## 2.5 GPIO

### 2.5.1 在 DeepSleep 模式下，较高频率的 GPIO 唤醒会出现芯片复位

#### ■ 问题描述

DeepSleep 时候，在 GPIO 输入大于 50KHz 的周期性唤醒信号时，芯片可能会发生复位。

#### ■ 变通措施

DeepSleep 时候，输入的唤醒信号如果为周期性信号，不大于 50KHz。

### 2.5.2 上电时部分 IO 带有一定驱动能力

#### ■ 问题描述

在芯片上电至 VCAP 电压稳定期间，部分具有模拟输出复用功能的 IO 可能存在输出弱驱能力的低压脉冲现象。

#### ■ 变通措施

- 1) 在使用时，避免这些引脚用作输出功能，或避免连接到对低压、弱驱敏感的器件（如三极管、MOS 管等）；
- 2) 如必须作为输出功能使用，可以采用外部驱动方式确保上电期间 IO 固定为低电平来降低芯片上电期间对外部器件影响；
- 3) 提高 MCU 上电速率，可以间接减小 IO 上可能出现的脉冲所持续的时间来降低芯片上电期间对外部器件的影响。

### 2.5.3 未封装的 GPIO 端口初始化上拉处理

#### ■ 问题描述

对于芯片的小封装型号，相较最大封装，有些引脚未封装出来，当芯片进入 DeepSleep 模式的时候，这些未封装出来的引脚如果没有处理，也会影响芯片的最低功耗指标。

#### ■ 变通措施

参照芯片的最大封装，可以将这些未封装出来的引脚设置为输入上拉或输入下拉。

那些已封装出来但未使用的引脚，也可以参照上述处理；对于封装出来并存在外部电路连接的管脚，需要避免和片外电压信号形成压差导致漏电。

## 版本修订记录

版本号	修订日期	修订内容
Rev1.0	2023/07/14	初版发布。