

**GigaDevice Semiconductor Inc.**

**AN058 去耦电路设计指南**

应用笔记

**AN058**

1.0 版本

(2023 年 5 月)

# 目录

目录.....	2
图索引.....	4
表索引.....	6
1. 前言.....	7
2. MCU 需要去耦的原因.....	8
2.1. 去耦电路简介.....	8
2.2. 电源噪声的产生原理.....	8
2.3. 插入损耗.....	9
2.4. 去耦电路简介.....	10
3. 电容的噪声抑制.....	12
3.1. 电容的频率特性.....	12
3.1.1. MLCC.....	12
3.1.2. LW 逆转电容.....	14
3.1.3. 三端子电容（馈通滤波器）.....	14
3.2. 电容 layout.....	16
3.3. 电容安装位置与干扰路径.....	17
3.4. 多个电容并联及反谐振.....	18
4. 磁珠/电感的噪声抑制.....	21
4.1. 电感.....	21
4.1.1. 电感频率特性.....	21
4.2. 铁氧体磁珠.....	23
4.3. LC 型和 PI 型滤波.....	24
5. 电源 PDN 配置.....	26
5.1. PDN 阻抗.....	27
5.2. 电容分层定位.....	27
5.3. PCB 上面的目标阻抗.....	30
5.4. 大容量电容.....	30
5.5. PCB 电容定位.....	31

---

<b>5.6.</b>	<b>电容设计步骤.....</b>	<b>33</b>
5.6.1.	设置目标阻抗.....	33
5.6.2.	大容量电容设计.....	34
5.6.3.	PCB 电容设计计算.....	35
5.6.4.	PCB 电容放置半径.....	36
5.6.5.	降低去耦电路的 ESL.....	36
<b>6.</b>	<b>总结.....</b>	<b>38</b>
<b>7.</b>	<b>版本历史.....</b>	<b>39</b>

## 图索引

图 2-1. CMOS 反相器电路简化模型.....	8
图 2-2. CMOS 反相器寄生电流.....	9
图 2-3. 去耦电容位置实例图.....	9
图 2-4. 插入损耗测量电路简化模型.....	10
图 2-5. MCU 电源滤波器配置.....	10
图 2-6. 加入磁珠以后的滤波器插入损耗实例.....	11
图 3-1. 电容的分布式参数等效电路.....	12
图 3-2. 电容的频率特性图.....	13
图 3-3. 0603 封装下 10uF/1uF/0.1uF/10nF/1nF 容值电容的 S21 参数.....	13
图 3-4. MLCC 中等效串联电感产生机理.....	14
图 3-5. LW 逆转电容器件结构图.....	14
图 3-6. 三端子电容实物图以及等效电路.....	15
图 3-7. 使用三端子电容减小 ESL 机理.....	15
图 3-8. 三端子电容插入损耗特性.....	16
图 3-9. 电容安装时走线影响.....	17
图 3-10. 考虑到 PCB 寄生电感的电容器频率特性.....	17
图 3-11. 去耦电容安装在噪声路径上.....	17
图 3-12. 去耦电容安装在噪声路径的分流路径上面.....	18
图 3-13. 电容并联可能出现的反谐振实例.....	18
图 3-14. 电容并联等效电路和反谐振频率特性.....	19
图 3-15. 电容并联反谐振原理.....	19
图 3-16. 电容并联反谐振抑制案例.....	20
图 4-1. 电容并联谐振原理.....	21
图 4-2. 电感的等效电路和阻抗特性.....	22
图 4-3. 电感的阻抗 Z, 电阻 R, 电抗 X 特性.....	22
图 4-4. 1210 封装的 100uH/10uH/1uH 电感的阻抗频率特性图.....	23
图 4-5. 磁珠结构图.....	23
图 4-6. 磁珠抗 Z, 电阻 R, 电抗 X 特性.....	24
图 4-7. C/LC/PI 型滤波器插入损耗特性.....	24
图 4-8. LC 和 PI 型滤波器插入损耗特性.....	25
图 4-9. LC 型滤波器的插入损耗特性.....	25
图 5-1. 去耦电容布局例子.....	26
图 5-2. 电容分层电流供应模式.....	26
图 5-3. 目标阻抗实例.....	27
图 5-4. 电容组合的阻抗.....	28
图 5-5. 电容实际应用等效电路.....	28
图 5-6. 电容实际应用的阻抗频率特性.....	28
图 5-7. 电容阻抗分层连接.....	29
图 5-8. 电容分层结构阻抗实例.....	30
图 5-9. 铝电解电容, 聚合物电容与 MLCC 阻抗对比.....	31

---

图 5-10. PCB 电容平行布局实例 .....	31
图 5-11. 并联不同容值电容之间的的阻抗图.....	32
图 5-12. 相同电容的电容器并联使用时的阻抗 .....	32
图 5-13. 并联使用多个 MLCC 与一个低 ESL 电容器比较.....	33
图 5-14. 去耦电容的设计模型 .....	33
图 5-15. 目标阻抗设计示例图 .....	34
图 5-16. 电源大电容设计示意图.....	35
图 5-17. PCB 电容设计示意图.....	35
图 5-18. PCB 电容放置半径设计图.....	36
图 5-19. ESL 减少示意图.....	37
图 5-20. 电容器设计以达到目标阻抗的例子.....	37
图 6-1. 电源滤波器在 PI 和 EMC 性能结构图 .....	38

# 表索引

表 7-1. 版本历史.....39

## 1. 前言

本文为 GD32 MCU 提供去耦电路指导，旨在增强 MCU 电源的电源完整性 PI，降低 PDN 阻抗，提高 MCU 的对于噪声的抗扰度，降低 MCU 对外辐射的 EMI。

该应用笔记中去耦电路器件包含狭义上的旁路电容、去耦电容、磁珠电感、以及 LC/PI 滤波器等，介绍了如何选择合适的器件来搭建高性能去耦电路，提高电路的 PI/SI/EMC 特性。

## 2. MCU 需要去耦的原因

### 2.1. 去耦电路简介

供电电源与 MCU 之间的连接使用了各类电容以及磁珠电感等滤波器件，形成的去耦电路有三点主要功能，一是抑制 MCU 内部产生的 EMI 辐射或者疏导外部干扰噪声进入 MCU；二是提供 MCU 操作和维持电压的瞬态电流；三是作为信号回流的通道提高信号完整性。

当 MCU 系统级板上的去耦电路不起作用时会出现一下问题：

- 干扰噪声从外部导入，MCU 收到其他的 IC 的噪声干扰，操作故障；
- 存在噪声泄露，MCU 中的 EMI 辐射超标；
- 电源电压波动干扰 MCU 操作，降低信号完整性，信号线上的噪声叠加；
- 信号线上回流路径较长，信号完整性降低。

### 2.2. 电源噪声的产生原理

数字 IC 如 MCU 大多数使用电路 CMOS 工艺，通过切换至电源 VDD 或者接地 GND 可以将信号设置为高“1”或低“0”。如[图 2-1. CMOS 反相器电路简化模型](#)，以单个 CMOS 的反相器为例，当 Vin 切换低“0”，上管 PMOS 导通，栅电容充电，Vout 输出高“1”；当 Vin 切换高“1”，下管 NMOS 导通，栅电容放电，Vout 输出低“0”。当时 CMOS 反相器高低切换电平时，寄生电流会流经电源 VDD 和接地 GND 如[图 2-2. CMOS 反相器寄生电流](#)，MCU 内部的 CMOS 反相器较多时，寄生电流跳动的非常激烈，很多频率器件如电感，会向外辐射能量造成噪声故障，或者引起外部电源的波动影响其他的 IC。

图 2-1. CMOS 反相器电路简化模型

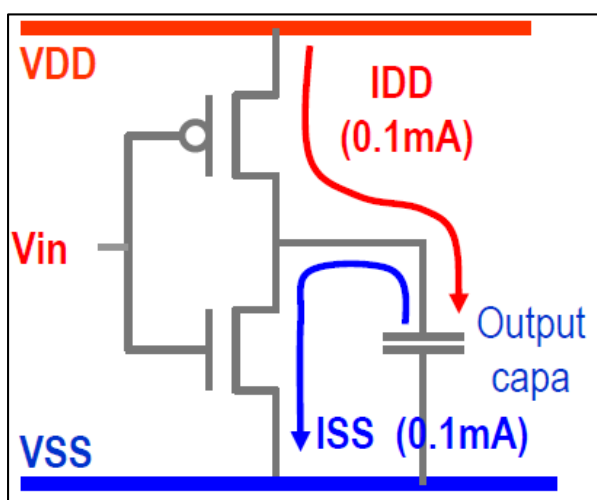
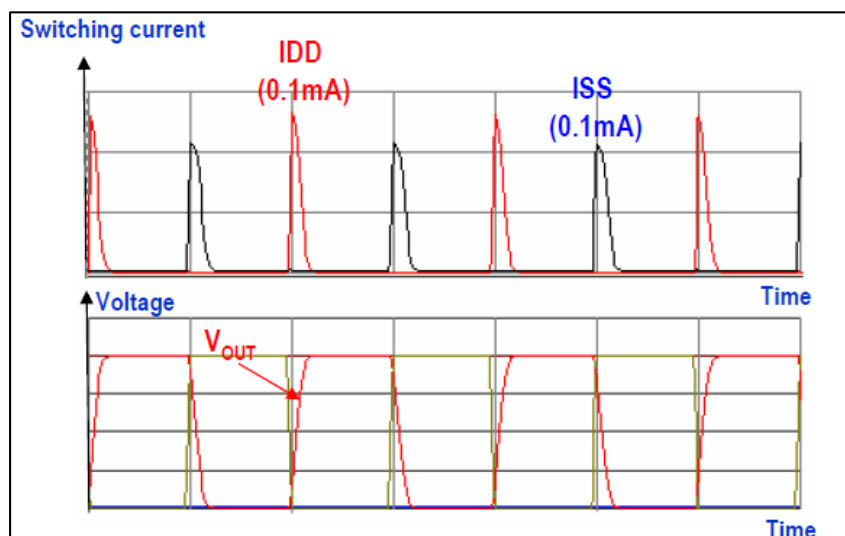




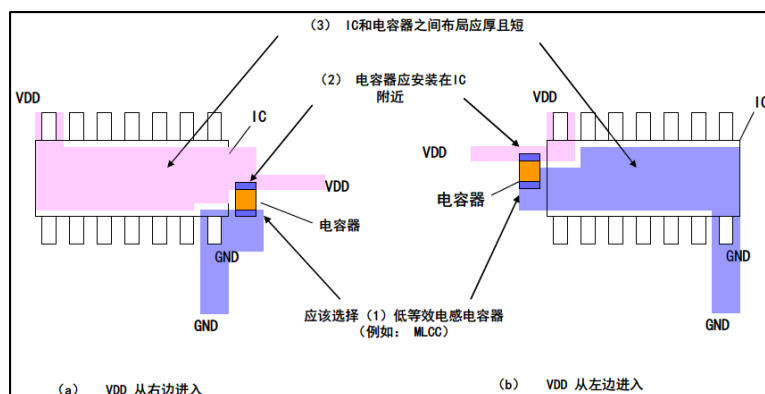
图 2-2. CMOS 反相器寄生电流



通常为了控制流经 MCU 电源处的电流，需要在 MCU 的电源引脚和 GND 引脚之间安装去耦电容，为了形成有效去耦电路，需要主要一下加点：

- 使用较小的 ESR 电容，形可以在高频范围内运行的旁路；
- 严格限制寄生电流流过的范围，将电容安装在 MCU 附近；
- 保持 layout 的寄生电感较小，尤其 IC 和电容之间。

图 2-3.去耦电容位置实例图

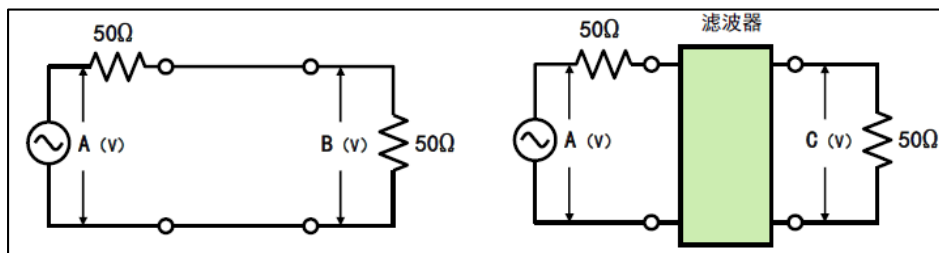


## 2.3. 插入损耗

通常滤波器使用插入损耗 IL 来表示对噪声的过滤性能，由于电源的去耦电路也是滤波器的一种，所以其抑制噪声性能可以用插入损耗来表示。

插入损耗 IL 用安装在阻抗为  $50\Omega$  的电路中的滤波器效果来描述，为安装滤波器前后的输出电压之差，以 dB 为单位。插入损耗越大，静噪效果越好。插入损耗可能由  $50\Omega$  系统的 S 参数的传输系数  $S_{21}$  的绝对值来代替。如 [图 2-4. 插入损耗测量电路简化模型](#)，

图 2-4. 插入损耗测量电路简化模型



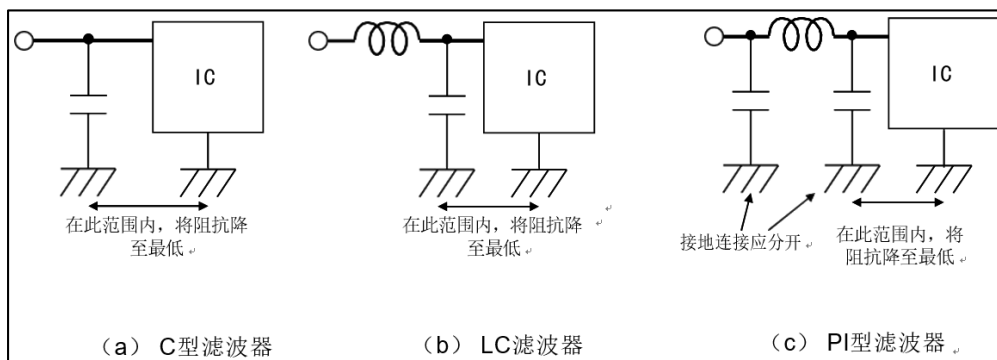
$$IL = 20 \log|B/C|$$

## 2.4. 去耦电路简介

旁路电容作为 C 型滤波器（去耦电容）的应用领域较广，C 型滤波器随着电容的阻抗的减小，插入损耗 IL 就会增加。电容阻抗与频率成反比成为低通滤波器，理想情况下，频率越高插入损耗越大。

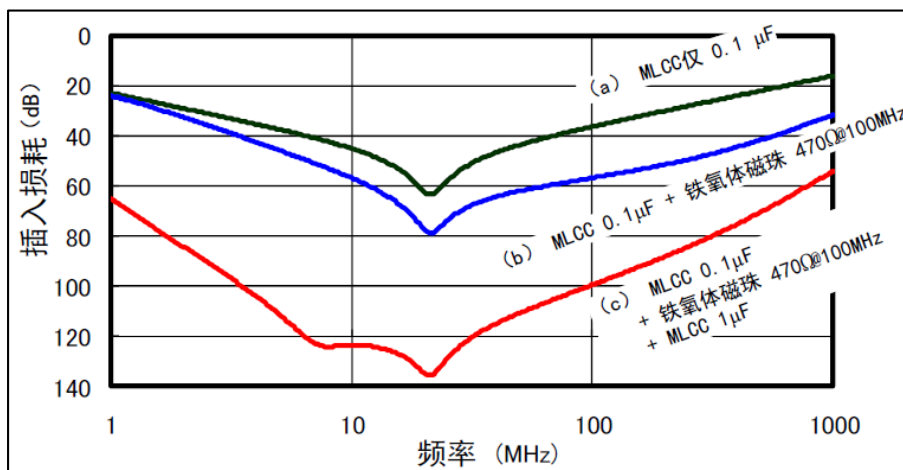
除了 C 型还有 LC 型以及 PI 型滤波器，在 C 型滤波器基础上再在 MCU 远端电源线上串一个电感/磁珠就成为 LC 滤波器，在 LC 滤波器基础上再远端在并一个电容就是 PI 型滤波。如 [图 2-5. MCU 电源滤波器配置](#)，

图 2-5. MCU 电源滤波器配置



当电容器和电感器结合，如 [图 2-5 MCU 电源滤波器配置](#) (b) 和 (c) 所示，与只使用电容器相比，插入损耗特性曲线斜度会更陡。因为在衰减区，插入损耗会同时增加，当噪声需要大大削弱时，这种方法更为有用。如 [图 2-6. 加入磁珠以后的滤波器插入损耗实例](#) 显示当加入电感器后，插入损耗的变化实例。

图 2-6. 加入磁珠以后的滤波器插入损耗实例



由于 MCU 的 GND 引脚与最近的电容 GND 成为噪声返回路径, 所以尽量缩短两者距离来降低阻抗, 当 CLC-PI 型滤波器 layout 时, 两侧电容最好走之字使电容 GND 通过 VIA 分开。因为 PI 型和 LC 滤波对于干扰噪声具有较大的插入损耗, 所以在抗干扰 EMS 防护 MCU 时, 组合去耦电路的应对强干扰的效果更好。

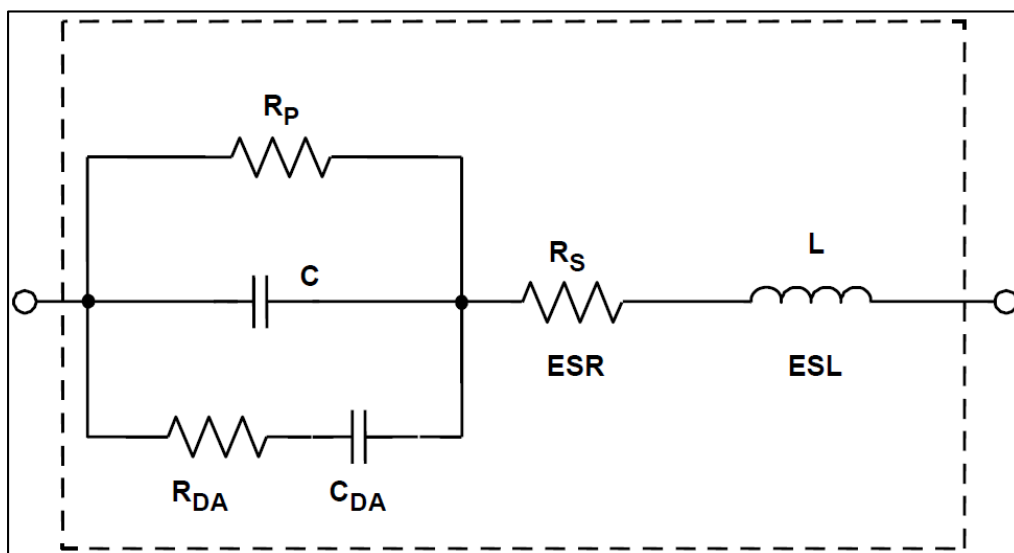
### 3. 电容的噪声抑制

由于电容自身的频率特性以及器件在 PCB 上面的 layout，在噪声抑制的效果也会受到影响，本章描述去耦电容的频率特性以及噪声抑制的影响。

#### 3.1. 电容的频率特性

非理想情况下，电容器件的分布式参数等效电路如[图 3-1. 电容的分布式参数等效电路](#)。C 代表标称电容； $R_P$  代表绝缘电阻和漏电流，去耦作用时  $R_P$  的影响较小可以忽略； $R_S$  为等效串联电阻 ESR，代表电容的引脚&电极；L 代表等效串联电感，代表引脚& 电极的寄生电感。 $R_{DA}$  和  $C_{DA}$  代表电容的电解质损耗 DA 现象的参数，电容在精密应用中才会使用，DA 会导致精度错误。在去耦应用中，电容的去耦参数不重要可以忽略。综上影响去耦电容的关键参数是 C，ESR，ESL。

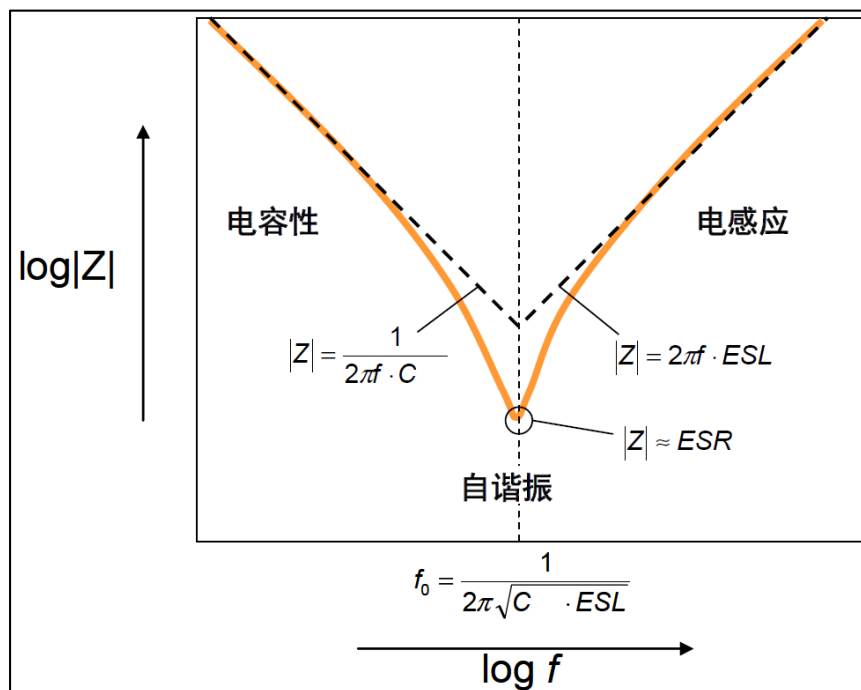
图 3-1. 电容的分布式参数等效电路



##### 3.1.1. MLCC

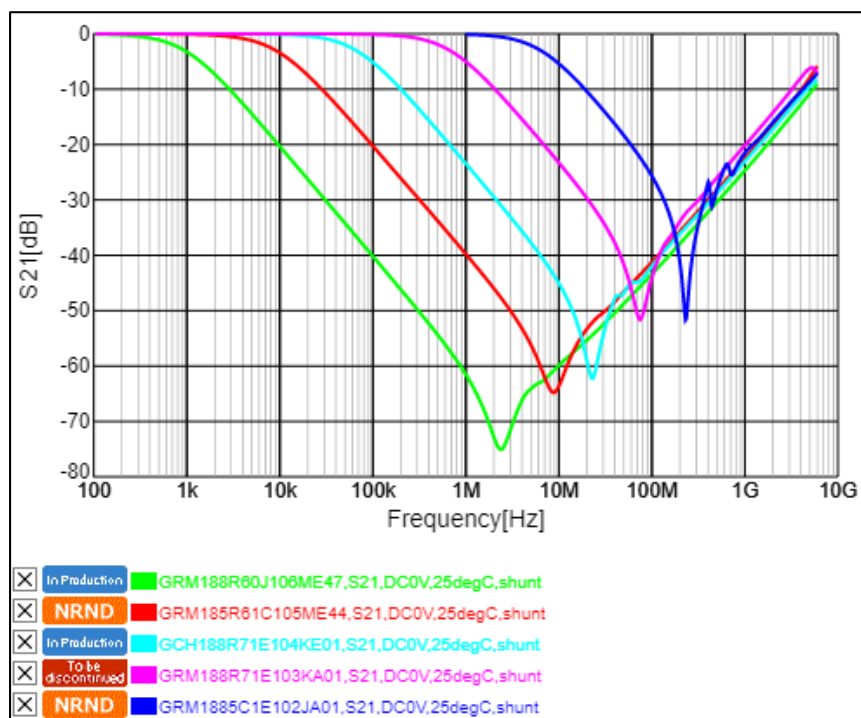
多层陶瓷电容器 MLCC 因优良的频率特性而广泛使用，其电容器的阻抗呈现出 V 形的频率特性，如[图 3-2. 电容的频率特性图](#)所示。

图 3-2. 电容的频率特性图



随着在频率的增加，在自谐振点之前电容处于容性区域，阻抗几乎呈线性下降；经过自谐振点之后进入感性区域，阻抗几乎线性上升。如图谐振点的阻抗为 ESR，容性区域的阻抗与电容的标称容值 C 相关，容值越大阻抗越小；感性区域的阻抗与 ESL 相关，ESL 越大阻抗越大。为了较高频率范围内选择阻抗较低的电容，需要选低 ESR 和 ESL 的电容。

图 3-3. 0603 封装下 10uF/1uF/0.1uF/10nF/1nF 容值电容的 S21 参数



如图不同容值的 0603 封装 MLCC 的 S21 参数，在容性区域的特性曲线几乎是分开的，但是在感性区域高度重合为一条线，这里是因为相同封装的 MLCC 等效电感 ESL 影响。

### 3.1.2. LW 逆转电容

MLCC 的等效串联电感是由电流流经内外部电极时产生的磁通量生成，如[图 3-4. MLCC 中等效串联电感产生机理](#)，可以通过改变电极，改变电流通路和电流分布来改变等效串联电路。

图 3-4. MLCC 中等效串联电感产生机理

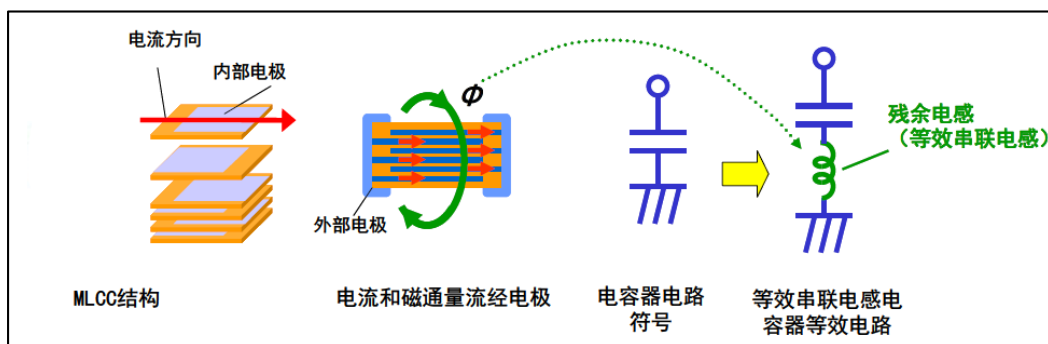
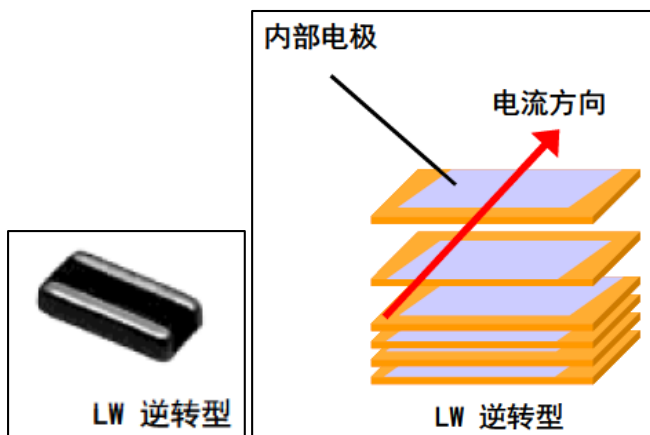


图 3-5. LW 逆转电容器件结构图



[图 3-5. LW 逆转电容器件结构图](#)显示了由于电极宽而短，电容器的电感降低，称为长度宽度逆转型电容器或 LW 逆转型电容器。根据图所示的内部结构，与普通 MLCC 相比，其内部电极更宽更短。

### 3.1.3. 三端子电容（馈通滤波器）

减小 ESL 的另一种方法是使用三端子电容（馈通滤波器/穿心电容）。[图 3-6. 三端子电容实物图以及等效电路](#)举例显示了三端子电容器。这种电容为具有杰出频率特性的 MLCC，有电路接线用于减小等效串联电感。

如 [图 3-7. 使用三端子电容减小 ESL 机理](#)所示三端子电容由输入端、输出端构成，来进

入组件的噪声路径。因此，内部电极产生的电感分成三路形成 T 型电路。当将三端子电容的输入端和输出端连接至噪声路径，输入/输出方向的等效串联电感串行进入噪声路径，增加了插入损耗（提高了静噪效果）。此外，旁路方向的等效串联电感仅在接地区域，为 MLCC 的一半。[图 3-6. 三端子电容实物图以及等效电路](#)所示的三端子电容通过在电容左右两侧设计两个地电极进一步减小了接地电感。

三端子电容包括了在 10pH 至 20pH 旁路方向三端子电容器等效串联电感，对于某些模型来说，其电感为传统 MLCC 的 1/30 甚至更小。可以预期在超过 1GHz 的高频情况下，会有很好的旁路效果。

[图 3-8. 三端子电容插入损耗特性](#)对比了 MLCC 和 三端子电容器的插入损耗。其尺寸都为 1.6x0.8mm，电容为 1 $\mu$ F。结果是频率大于 100MHz 时，三端子电容器比 MLCC 的插入损耗大 35dB。

图 3-6. 三端子电容实物图以及等效电路

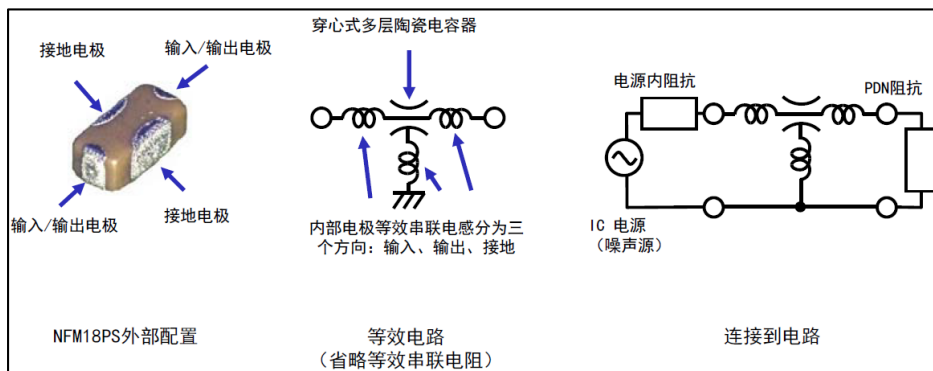


图 3-7. 使用三端子电容减小 ESL 机理

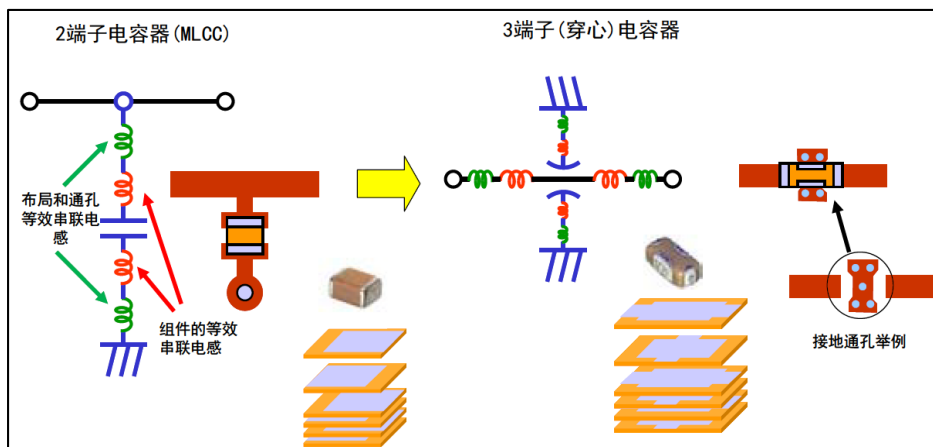
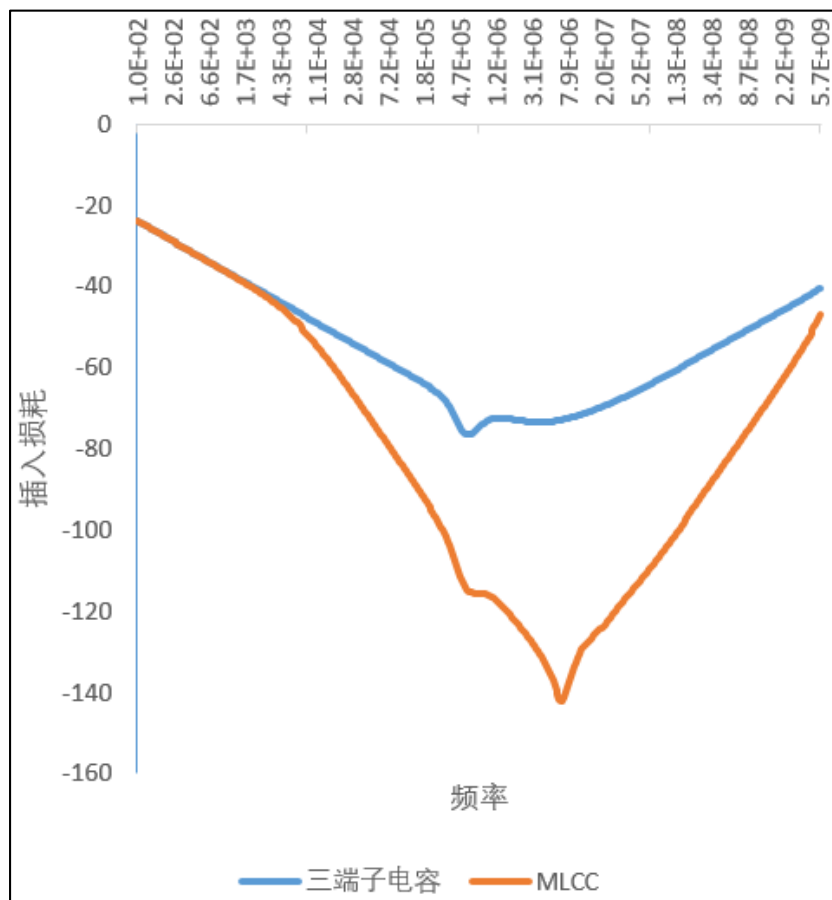


图 3-8. 三端子电容插入损耗特性



低特性阻抗的宽线路将会应用于电源电路（正如此试验所示），三端子电容器将会是静躁更好的选择。

## 3.2. 电容 layout

我们讨论的去耦电容的  $S_{21}$  即插入损耗特性是在理想条件下 PCB 上的电容，当电容贴封在 PCB 上时，由于寄生参数影响可能会出现等效电感变化，如[图 3-9. 电容安装时走线影响](#)。当电容在 PCB 上安装时焊盘走线和 VIA 就会产生寄生电感。通过在 PCB 上安装而产生元件电感 ( $ESL_{PCB}$ ) 因素时，电容器的插入损耗特性出现变化；如[图 3-10. 考虑到 PCB 寄生电感的电容器频率特性](#)并且观察到插入损耗在电感区（高频范围）减少。

当电容器用于抑制高频噪声时，应使用厚而短的电线来设计以便于此安装电感  $ESL_{PCB}$  可以变小。除了插入损耗（噪声抑制效果），从电源阻抗的观点看， $ESL_{PCB}$  必须保持为小。



图 3-9. 电容安装时走线影响

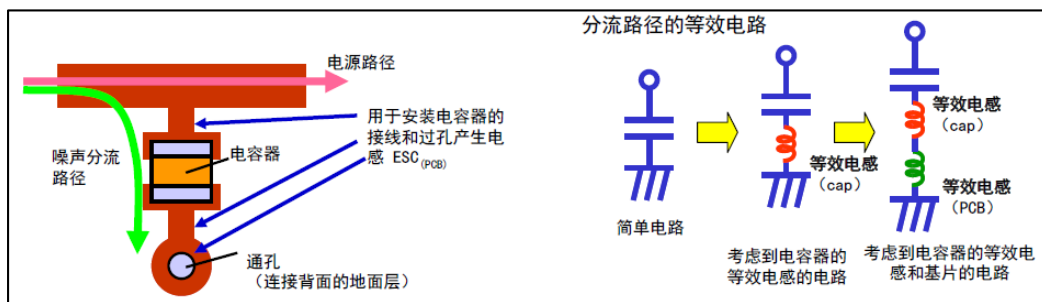
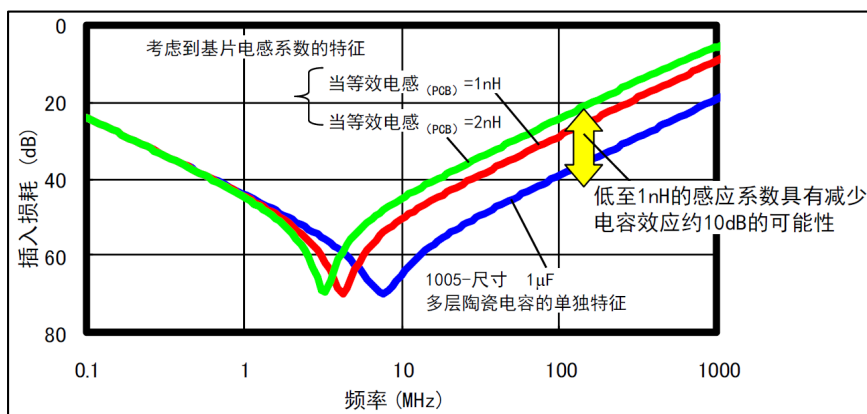


图 3-10. 考虑到 PCB 寄生电感的电容器频率特性



### 3.3. 电容安装位置与干扰路径

按照噪声路径和电容器安装位置，当安装电容器时，安装的电感  $ESL_{PCB}$  可能出现变化。例如，如 [图 3-11. 去耦电容安装在噪声路径上](#) 所示，当电容器定位在噪声路径时，来自电容器安装模式以及过孔的  $ESL_{PCB}$ ，使其相对变小。另一方面，如 [图 3-12. 去耦电容安装在噪声路径的分流路径上面](#) 所示，如果安装位置设定在噪声路径的另一边，从电源终端到安装位置的所有线路都包括在  $ESL_{PCB}$  中，使其变大。在这种情况下，高频区的电容器的效果就会减弱。我们应把这种远离噪声路径的线路称为“支路线路”。

当该配置模式像电源线路一样复杂，并且有多种电源终端排放噪声时，考虑到噪声源以及与电容器相配应的传输路径，很有必要放置电容器，这样就不存在分支线路。

图 3-11. 去耦电容安装在噪声路径上

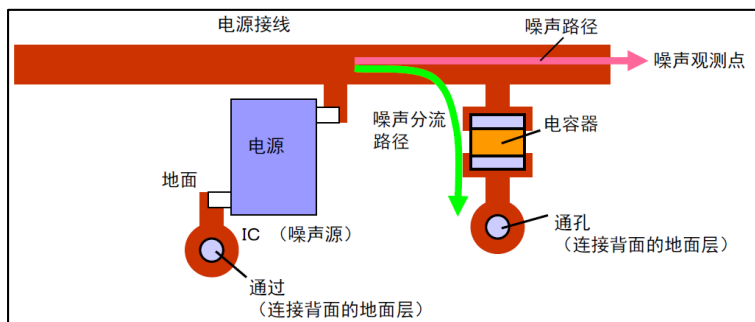
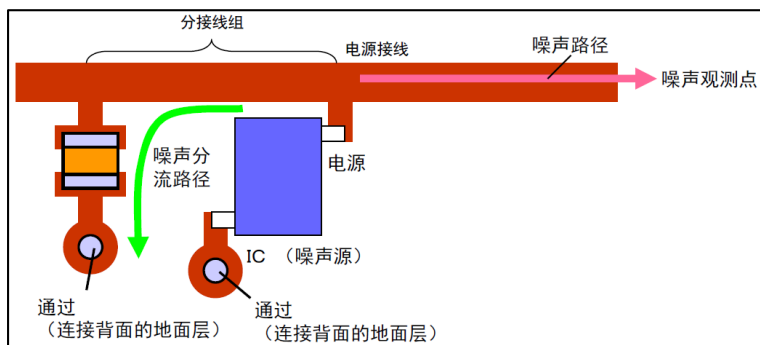


图 3-12. 去耦电容安装在噪声路径的分流路径上面



当该配置模式像电源线路一样复杂，并且有多种电源终端排放噪声时，考虑到噪声源以及与电容器相对应的传输路径，很有必要放置电容器，这样就不存在分支线路。去耦电容安装在噪声路径上面的去耦效果较好，能够有效衰减噪声；而将去耦电容安装在噪声分流路径上面的去耦效果不佳，噪声衰减效果相对于前一种会低 10dB。

### 3.4. 多个电容并联及反谐振

当去耦电容的容值不足或者电容寄生参数 ESR 和 ESL 较大，难以满足设计的目标阻抗和插入阻抗时就需要并联多个电容器，如 [图 3-13. 电容并联可能出现的反谐振实例](#)。当并联多个电容时，需要注意电容并联的反谐振现象，特别是两个容值差距较大的电容并联，或者两个相同容值但是间隔较远的情况。

如 [图 3-14. 电容并联等效电路和反谐振频率特性](#)和 [图 3-15. 电容并联反谐振原理](#)，反谐振现象是两个电容之间自谐振频率不同时的一种现象，并且的自谐振点发生在一个电容的电感区以及另一个电容的电容区，造成总的阻抗增加，所有插入损耗 IL 会在反谐振区域变小。

图 3-13. 电容并联可能出现的反谐振实例

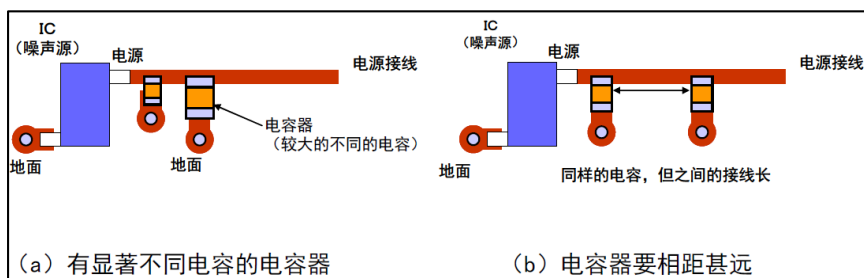


图 3-14. 电容并联等效电路和反谐振频率特性

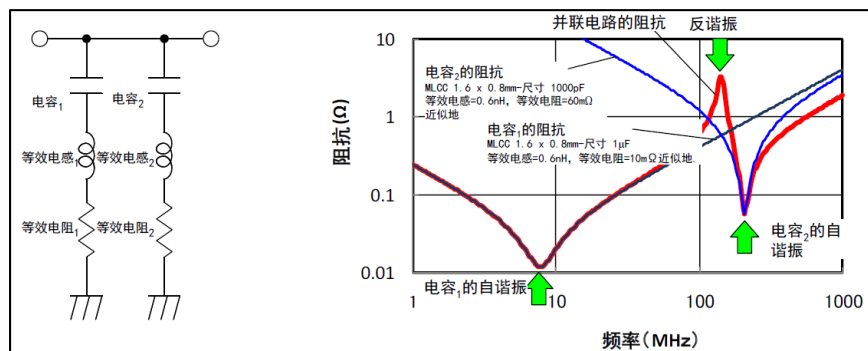
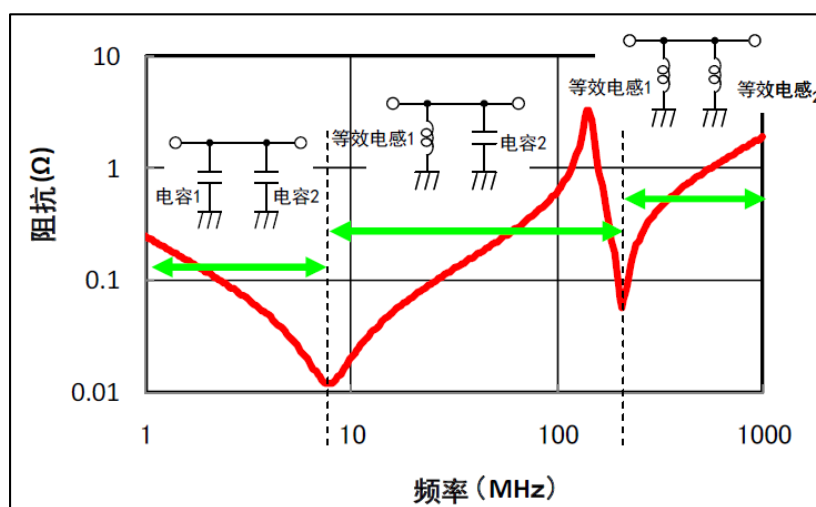


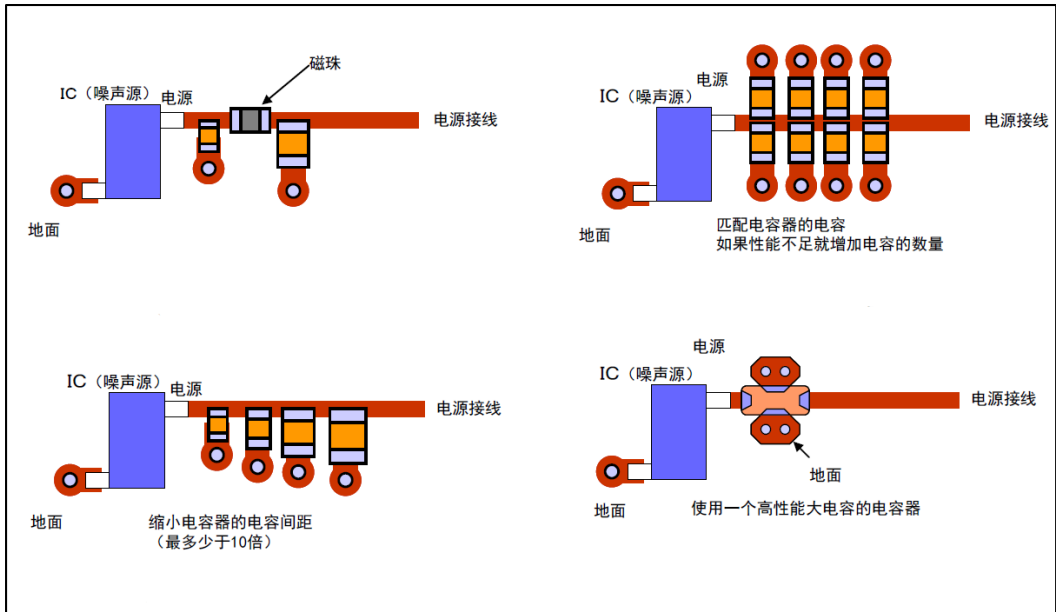
图 3-15. 电容并联反谐振原理



如 [图 3-16. 电容并联反谐振抑制制案例](#) 通过下面方法可以防止电容并联的反谐振：

- 在两个电容之间串入谐振抑制器件如，磁珠或电感，组成 PI 型滤波；
- 调节两个电容的容值，以调整自谐振频率；
- 当使用不同容值的电容时，电容之间的数量级差别不超过 1；
- 替换使用低 ESL 和 ESR 的高性能电容。

图 3-16. 电容并联反谐振抑制案例



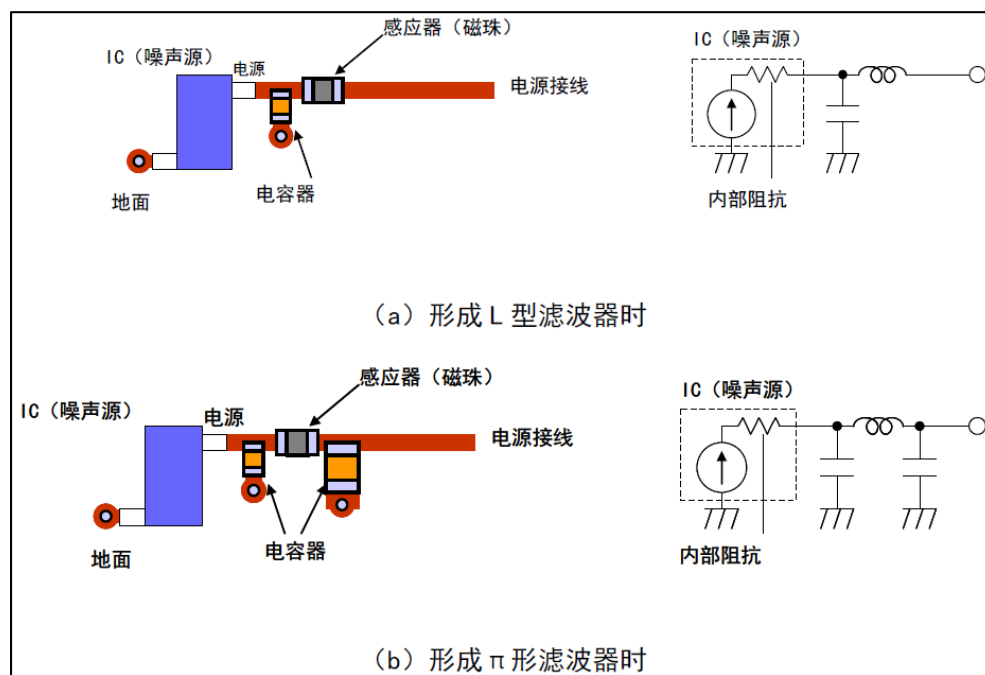
## 4. 磁珠/电感的噪声抑制

当去耦电容器不足以抑制电源噪声时，电感器&磁珠/ LC 滤波器的结合使用是很有效的。在本章，我们将要介绍电感器和 LC 滤波器适合于控制电源噪声。扼流线圈与铁氧体磁珠是用于电源去耦电路很常见的电感器。

### 4.1. 电感

当去耦电路中的电源线上串入磁珠/电感时，常规配置如[图 4-1. 电容并联谐振原理](#)显示出加入一个电感器的去耦电容器，图 b 通过向图 a 加入一个电容器，显示出更高性能的 PI 形滤波器。由于电源接线中的许多电容器是同其他 IC 一起使用的，即使图 a 几乎可以作为一个 PI 形滤波器，然而图 b 的配置可以更明确地抑制噪声。

图 4-1. 电容并联谐振原理



一般来说，较大阻抗的电感器会显示出优良的噪声抑制效果。另一方面，电感器按照图使用时，IC 工作所必需的瞬间电流要由电感器和 IC 之间的电容器提供。这种电容器必需的电容会变大，不推荐使用过大的电感。

#### 4.1.1. 电感频率特性

电感的插入损耗特性是作为旁路电容的滤波器频率特性，电感的阻抗根据频率的变化而变化，电感的阻抗越大，插损越大。实际应用过程中，电感的频率特性如[图 4-3. 电感的阻抗 Z，电阻 R，电抗 X 特性](#)。

非理想情况下，电感的分布式参数等效电路如[图 4-2. 电感的等效电路和阻抗特性](#)左图。

电感的导线不仅仅有电感的作用，还有其他因素，绕制的线圈的导线不是理想导体，存在一定的电阻，电感的磁芯存在一定的热损耗。 $R_p$  为磁芯损耗的等效并联电阻  $EPR$ ， $R_s$  为导线损耗的等效串联电阻  $ESR$ ，电感内部的导体之间存在分布电容， $C_p$  为电极之间的等效并联电容  $EPC$ ， $L$  为电感实际的感值。

图 4-2. 电感的等效电路和阻抗特性

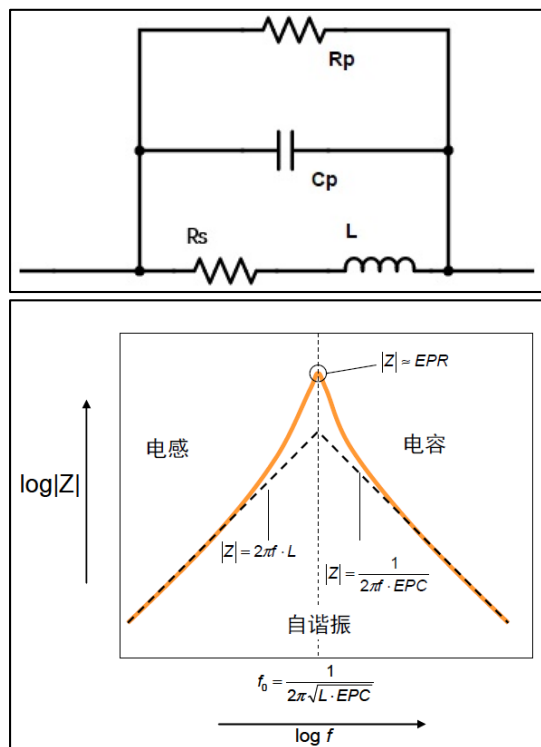
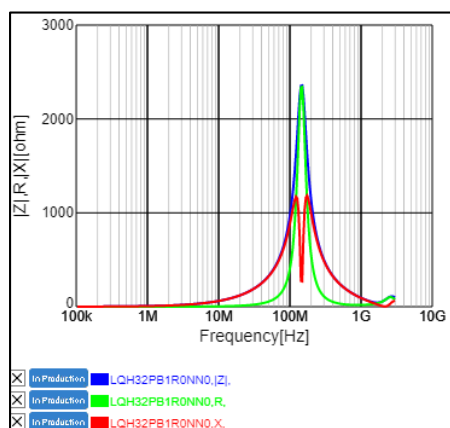


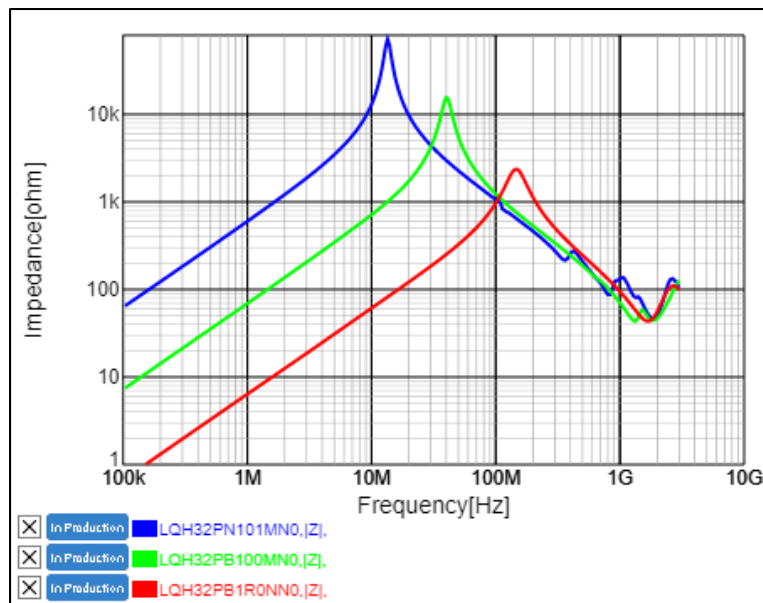
图 4-3. 电感的阻抗 Z，电阻 R，电抗 X 特性



如图 4-2. 电感的等效电路和阻抗特性右图，电感的阻抗在较低频率下为感性区域几乎呈线性增加。在特定频率（自谐振频率  $f_0$ ）时达到最大值，之后显示出容性区域，阻抗几乎呈线性下降。

自谐振频率的阻抗受到  $EPR$  的限制，电容区的阻抗受到  $EPC$  的限制。为了在高频下实现大阻抗，选择带有小  $EPC$  的电感器变得很重要。绕组线产生的电容显示在  $EPC$  中。另外，除了这些，绕组线的电阻要根据  $ESR$  进行考虑。

图 4-4. 1210 封装的 100uH/10uH/1uH 电感的阻抗频率特性图

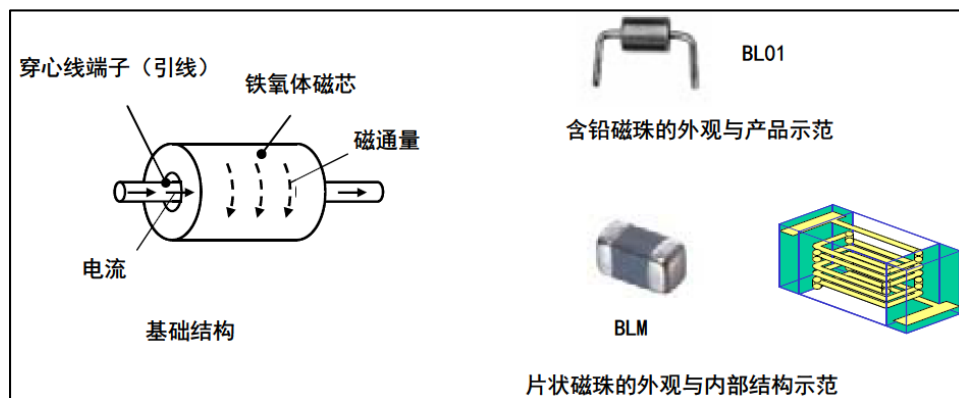


如 [图 4-4. 1210 封装的 100uH/10uH/1uH 电感的阻抗频率特性图](#) 1210 封装的 100uH/10uH/1uH 电感的阻抗频率特性图，不同感值下的电感在谐振点之前接近一条直线。谐振点以前，感值越大其阻抗越大；感值越小谐振点频率越大；谐振点以后，阻抗接近于一条直线，这是因为封装相同 EPC 差别不大造成的。

## 4.2. 铁氧体磁珠

如 [图 4-5. 磁珠结构图](#) 铁氧体磁珠的基本结构由一个铁氧体磁环中间走线穿过形成。磁珠产生的阻抗受到铁氧体磁损耗的强烈影响。相对于电感来说，铁氧体磁珠的特性通常按照阻抗的频率特性来表达。

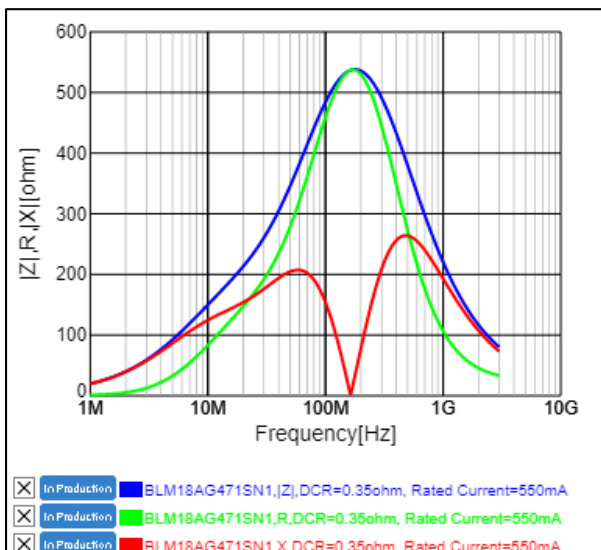
图 4-5. 磁珠结构图



当铁氧体磁珠作为电感器来使用时，其特性与电感稍有不同。下 [图 4-6. 磁珠抗 Z, 电阻 R, 电抗 X 特性](#) 为 470Ω@100MHz 的 0603 封装的磁珠的阻抗特性曲线，其中|Z|, R, X 分别表示阻抗，等效电阻，等效电抗的绝对值。对于 10MHz 以下的相对低的频率，阻抗主要表示着电抗，但对于超过 10MHz 的频率，等效电阻会增加。超过 500MHz

阻抗主要表示又成为电抗。对于占大多数的等效电阻的频率，铁氧体磁珠通过转换噪声为热能，显示出吸收噪声的倾向。

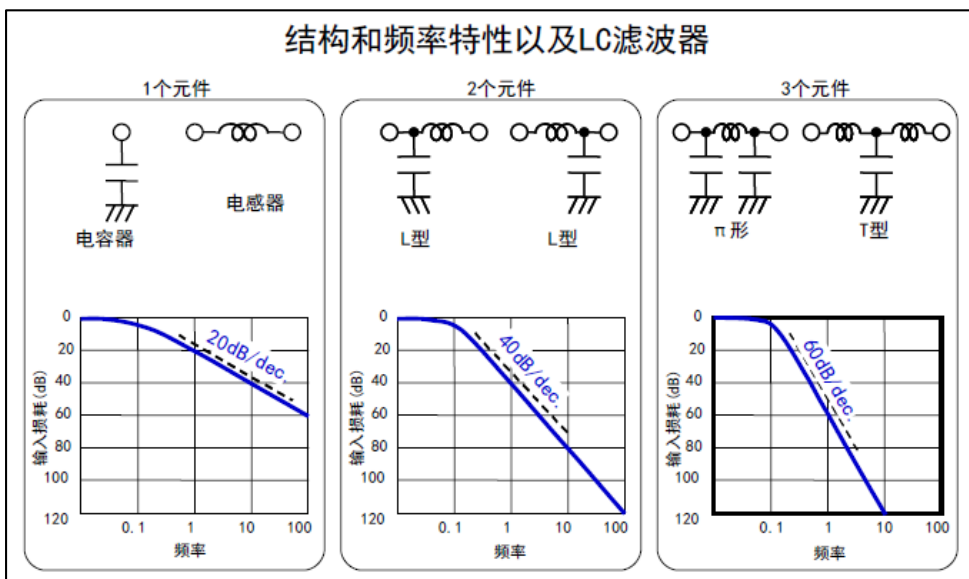
图 4-6. 磁珠抗 Z, 电阻 R, 电抗 X 特性



### 4.3. LC 型和 PI 型滤波

数字电源的应用电感时，一般是与电容一起结合使用，形成 LC 型滤波和 PI 型滤波。LC 型和 PI 型滤波器的理性的插入损耗特性，如 [图 4-7. C/LC/PI 型滤波器插入损耗特性](#)。当测量系统阻抗固定并且 L 与 C 间的比率适当建立时，我们可以得到 20dB/dec 斜坡每个元素的频率特性。

图 4-7. C/LC/PI 型滤波器插入损耗特性

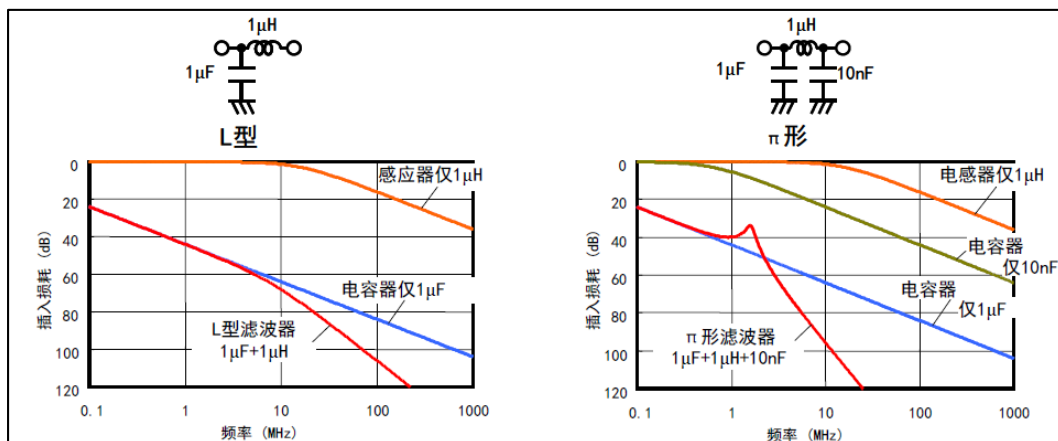


一般来说，电源线路的阻抗不是个常数，因此，同所有频率与 L 和 C 之间的比率进行匹配是很困难的。电容器总是放置在电感器和 IC 之间；滤波器是 L 型或者 PI 形。所以，测量



系统阻抗的情况得出，L 与 C 之间的比率是相关的，如 [图 4-8. LC 和 PI 型滤波器插入损耗特性](#) 所示，

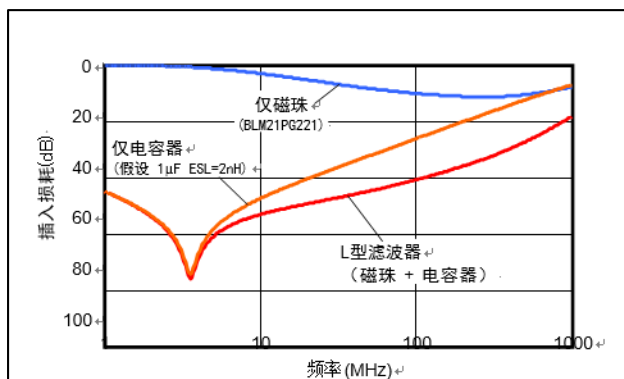
图 4-8. LC 和 PI 型滤波器插入损耗特性



构成 LC 滤波器的电容器和电感器的特性也在 [图 4-8. LC 和 PI 型滤波器插入损耗特性](#) 中所示。当 L 与 C 之间的比率不这样匹配时，代表衰减区域的曲线斜坡不是个常数，有一个拐点。同时，由于我们早前已讨论过，电容器和电感器在高频下不会理想地工作。所以，为了预测实际的频率特性，此影响也必须也要考虑进去。

当 MLCC 与铁氧体磁珠结合使用形成 LC 型滤波器时，插入损耗的计算值如 [图 4-9. LC 型滤波器的插入损耗特性](#) 所示。如图所示，实际的 LC 滤波器的频率特性不同于图。作为一个整体趋势，通过结合使用铁氧体磁珠，可以产生更大的总插入损耗。

图 4-9. LC 型滤波器的插入损耗特性

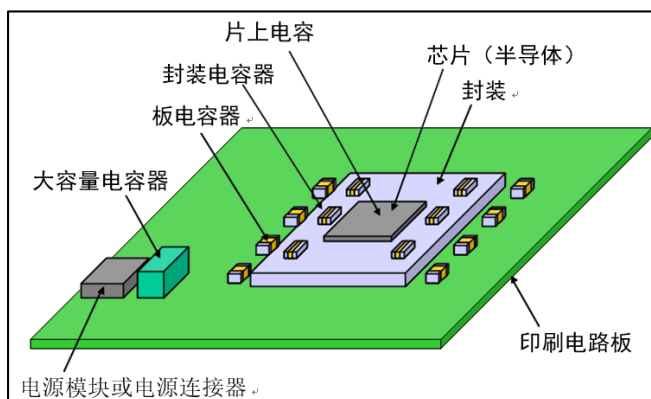


## 5. 电源 PDN 配置

电源走线与去耦电路的以及 MCU 终端的连接作为一个整体就叫做 PDN，PDN 的性能指标之一就是 MCU 电源终端 PDN 上的阻抗。MCU 电源终端的 PDN 阻抗（电源阻抗）越小，MCU 电流供应性能，电源完整性 PI 以及信号完整性 SI 就越高。电源阻抗越小，MCU 电源电流波动时的电压波动越小。

在高性能 MCU（如 GD32H7 系列，GD32W51x 系列）中，电源电流剧烈变化并且其频率较高；电源阻抗在很宽的频率范围内必须变小。在这种情况下，如 [图 5-1. 去耦电容布局例子](#) 由于一个电容不能达到所需的阻抗，多层次的安装电容以达到目标源的阻抗。电容器的分层定位以完成目标阻抗

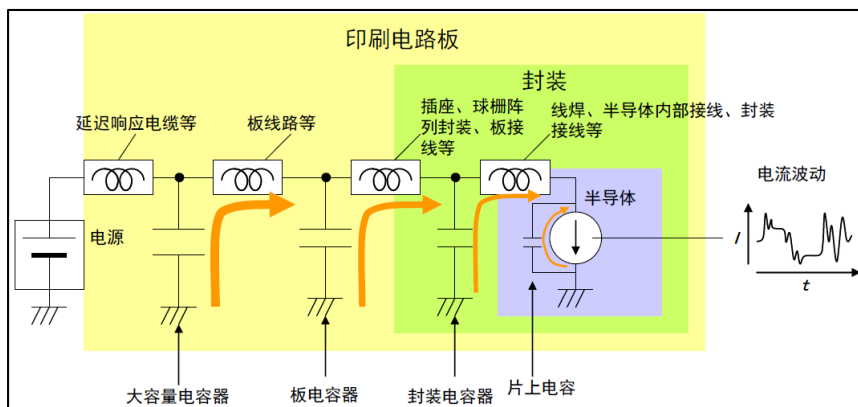
图 5-1. 去耦电容布局例子



当电容器分层定位时，如 [图 5-1. 去耦电容布局例子](#) 所示，每个电容器都是根据其所在位置进行命名并且连接起来，如 [图 5-2. 电容分层电流供应模式](#) 所示。片上电容（形成硅电容）不是 PCB 上面的器件，但是被添加了，因为它有相同的功能。

从 PDN 电源功能的观点上看，那些电容的功能就好比是“电荷的蓄水池”。换句话说，要瞬间处理半导体附近的本地电流请求，电容可以维持电源模块的时间-至-响应以及电压。另外，从电源阻抗的频率特性的观点上看，随着频率的增加，电源模块的阻抗在没有任何帮助的情况下也增加，电容器放置在 IC 附近以减少高频率区域的阻抗。

图 5-2. 电容分层电流供应模式



除了有关 MCU 电源阻抗的电容器之外，我们需要考虑接线电感。[图 5-2. 电容分层电流供](#)

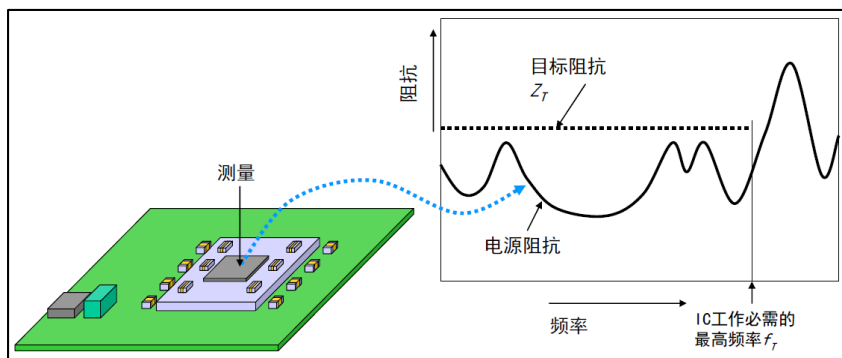
[应模式](#)中半导体与每个电容器之间接线的影响表现在电感方面（为了简单起见，忽略接线的电容与电阻）。由于远端电容器的接线电感增大，高频下阻抗不能被减少。相反，我们可以期望半导体旁的电容器在高频下处于有效状态。

从这个意义上讲，如果我们可以从片上电容上得到足够的电容，这对于减少电源阻抗将是很理想的。事实上，由于空间限制，这是很难的。因此，我们从半导体的近端至远端，分层放置电容器，如[图 5-2. 电容分层电流供应模式](#)所示，以达到目标电源阻抗。

## 5.1. PDN 阻抗

MCU 工作所必需的电源阻抗目标值称之为目标阻抗  $Z_T$ ，对于必需的频率范围，如[图 5-3. 目标阻抗实例](#)所示，保持低于目标值是有必要的（虽然目标值在图中是个常数，但是根据频率它可能出现变化）。

图 5-3. 目标阻抗实例



PDN 包括电源、去耦电容以及连接它们的接线等。PDN 必需设计成满足目标总阻抗。（虽然目标阻抗必须根据考虑的 IC 以及线路工作进行选择，但是在某些情况下也可能不太明确。）

理想条件下，电源阻抗应表现在有关图模型硅晶片晶体管的阻抗方面。然而，对晶片进行测量不切实际。事实上，电源阻抗需要通过建立一个测量点进行表达，例如，封装的 BGA 终端或 PCB 上的电源板（一般来说，测量值会根据测量位置产生变化）。根据下面的描述，除非另有说明，这是有关半导体元件的阻抗（一个虚拟值，因为现实中不可测）。

## 5.2. 电容分层定位

当分层定位电容器时，如[图 5-2. 电容分层电流供应模式](#)所示，整个 PDN 阻抗的频率特性将变成[图 5-4. 电容组合的阻抗](#)的所示。通过结合每个电容器所覆盖的频率区域以满足总的目标阻抗。

图 5-4. 电容组合的阻抗

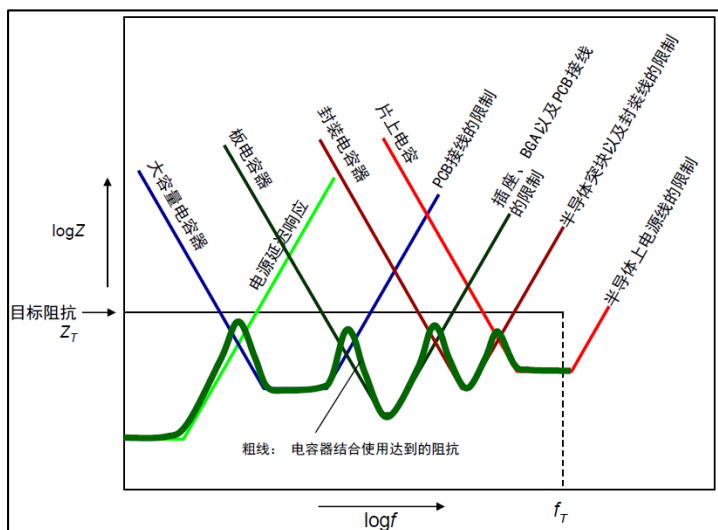


图5-4. 电容组合的阻抗所示的每个电容器阻抗不是只来自元件，而是包括图5-5. 电容实际应用等效电路所示的半导体元件与电容器之间配线产生的影响。在这个有关半导体元件的电容器上的阻抗频率特性大约呈V形，如图5-6. 电容实际应用的阻抗频率特性所示。

图 5-5. 电容实际应用等效电路

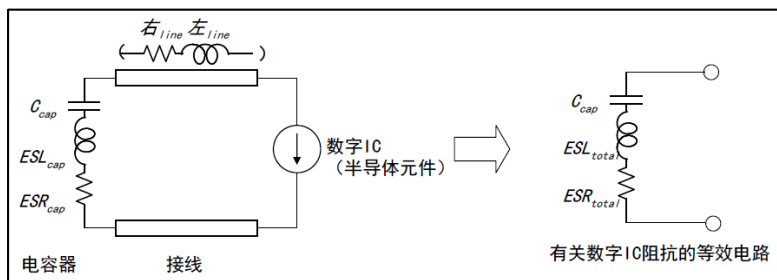
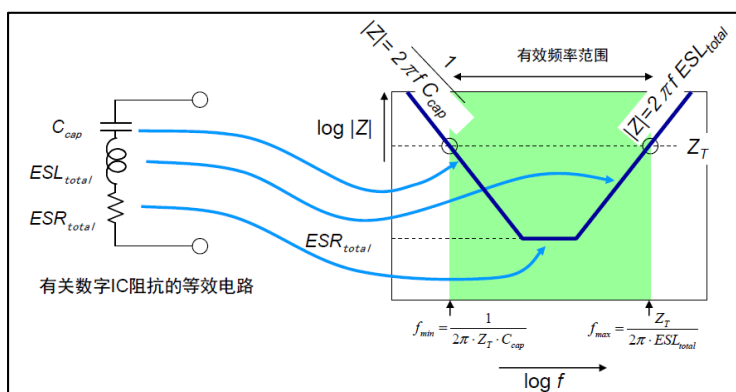


图 5-6. 电容实际应用的阻抗频率特性



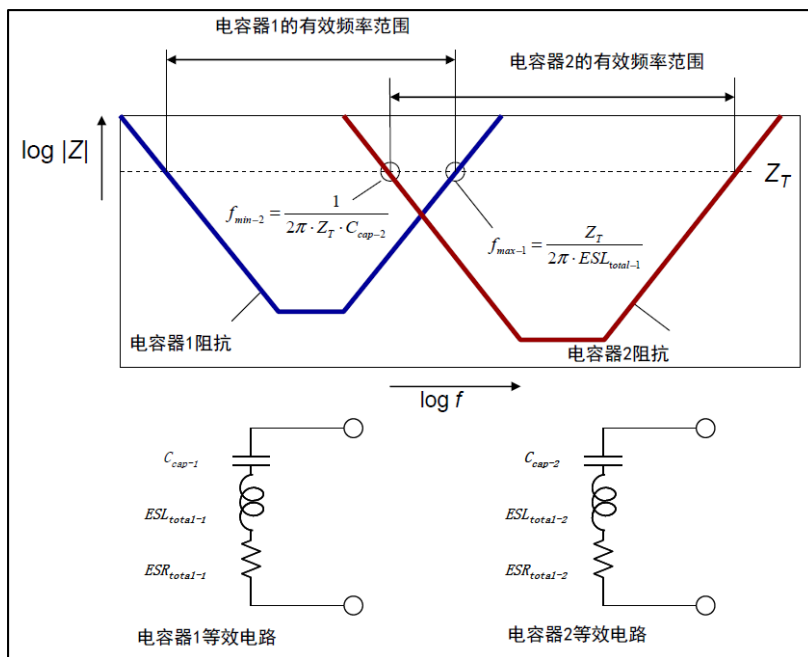
在这种情况下满足目标阻抗  $Z_T$  的此曲线范围被称为电容器的有效频率范围。如图 5-6. 电容实际应用的阻抗频率特性所示，有效频率范围的下限  $f_{min}$  受电容器  $C_{cap}$  电容的限制，上限  $f_{max}$  受电容器  $ESL_{total}$  电感的限制。此  $ESL_{total}$  包括电容器  $C_{cap}$  电感以及接线  $L_{line}$  电感。另外，反过来说，此  $ESL_{total}$  包括电容器自身的 ESL 以及电容器安装垫片和过孔的电感。

我们可以从图中看出， $Z_T$  大时，电容器的有效频率范围就变宽； $Z_T$  小时就变窄。

电容器阻抗下限受  $ESR_{total}$  的限制。我们需要使用的电容器为：其  $ESR$  小于带有小  $Z_T$  电源的  $Z_T$ 。在电容器分层的连接区域，低频端的电容器（电容器 1）与高频段的电容器（电容器 2）必须用这种方式合并，那就是 [图 5-7. 电容阻抗分层连接](#) 所示的覆盖有效频率范围（没有任何差距）。因此，低频端电容器的  $ESL_{total}$  变化时，高频端电容器必要的电容也出现变化。

另外，如 [图 5-7. 电容阻抗分层连接](#) 所示，阻抗在频率连接区域可能会增加。这是因为在电容器间可能发生反谐振。因此有效频率范围内的连接必须有足够余地才可以建立。

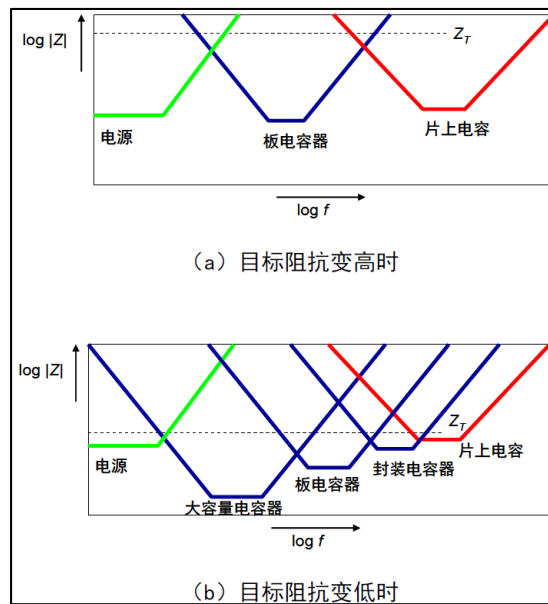
**图 5-7. 电容阻抗分层连接**



同时，电容器的有效频率范围会根据前面讲述的目标阻抗等级而产生变化，允许忽略层次。当 IC 电流波动变小时，有效频率范围以相对较高的阻抗进行扩大。另外，板电容器电容变大并且带有小  $ESL$  的电容器正在使用时，有效频率范围扩大，使其有可能消除大容量电容器或封装电容器的前面和背面并且减少使用的电容器数量。

如 [图 5-8. 电容分层结构阻抗实例](#) 所示的简化分层的例子。

图 5-8. 电容分层结构阻抗实例



### 5.3. PCB 上面的目标阻抗

如[图 5-2. 电容分层电流供应模式](#)所示的电容分层，片上电容与封装电容器在 IC 上提供，这样，它们不能在 PCB 设计阶段受控制。因此，在 PCB 设计阶段，通常片上电容与封装电容器覆盖的频率下限被认为是上限频率， $f_{T@PCB}$ ，并且，被指定为目标阻抗的上限频率是为电源终端外部的 IC 封装所服务。这个频率普遍认为是 10MHz 至 100MHz。

当设计 PCB 上的去耦电容器时，我们的目标是满足目标阻抗，直到这个  $f_{T@PCB}$ （没必要以 IC 工作的最高频率为目标）。此阻抗测量点是 IC 封装的电源终端。

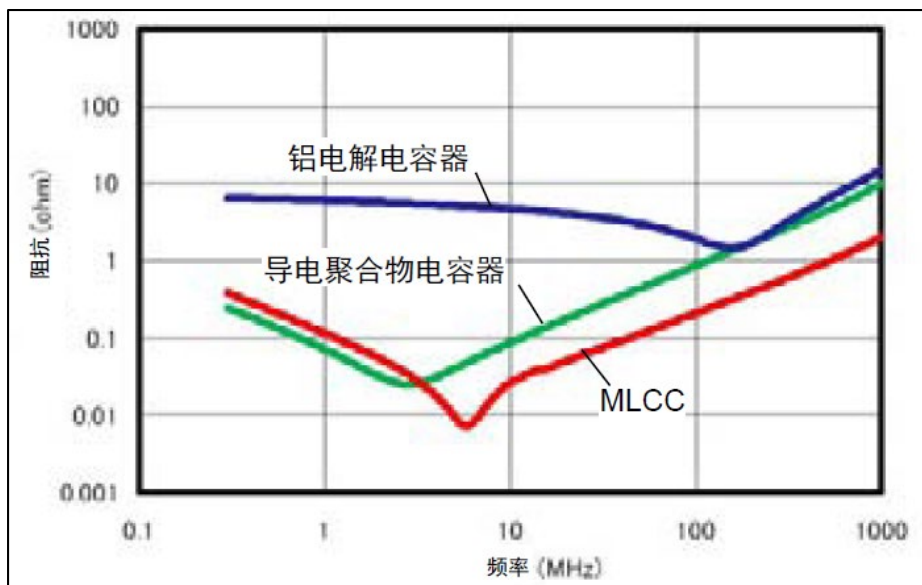
### 5.4. 大容量电容

大容量电容器就是在低频区域覆盖阻抗的大型电容的电容器。它被定位在电源区域的一个地方，并且在某些情况下，还要作为电源模块平滑电容器的替代品。

如[图 5-6. 电容实际应用的阻抗频率特性](#)所示，电容器阻抗下限受 ESR 的限制，有效频率范围上限受 ESL 与接线电感的限制。因此，使用带有小 ESR 和 ESL 的电容器时，处理较高频率的板电容器电容可以减少，这样电容器布局可能变得更加灵活。

如[图 5-9. 铝电解电容，聚合物电容与 MLCC 阻抗对比](#)所示的是对比电解电容器与 MLCC 的阻抗例子。在这种情况下两个电容器都是 2.2 $\mu$ F。即使带有使用导电高分子的低 ESR 电容器，在超过 10MHz 的频率范围内，与 MLCC 相比，其阻抗是较大的。这表明 MLCC 的 ESL 很小并且其有效频率范围上限很高。

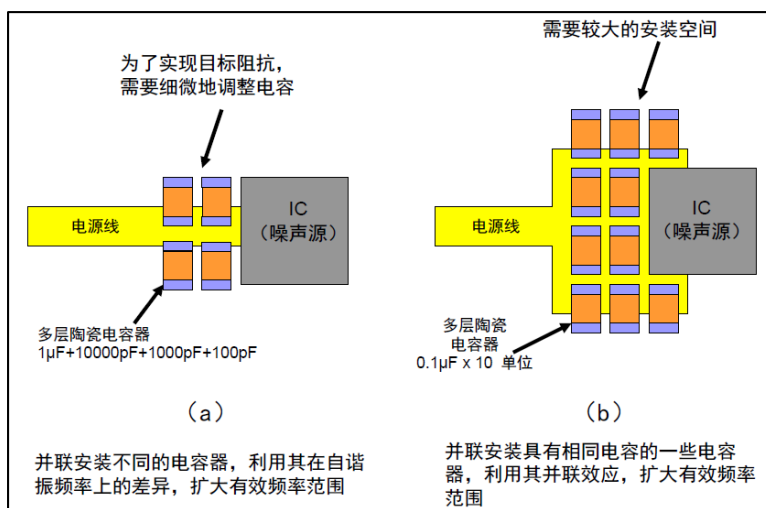
图 5-9. 铝电解电容, 聚合物电容与 MLCC 阻抗对比



## 5.5. PCB 电容定位

在大容量电容器不起作用的更高频率区域的阻抗是由位于 MCU 旁的 PCB 上的板电容器进行处理。通常 MLCC 用于这个电容器。对于一个相对小型且低速的 IC，一个电容器足矣；但对于具有低目标阻抗的高性能 MCU，可能就需要使用 [图 5-10. PCB 电容平行布局实例](#) 所示的多个并联电容器。

图 5-10. PCB 电容平行布局实例



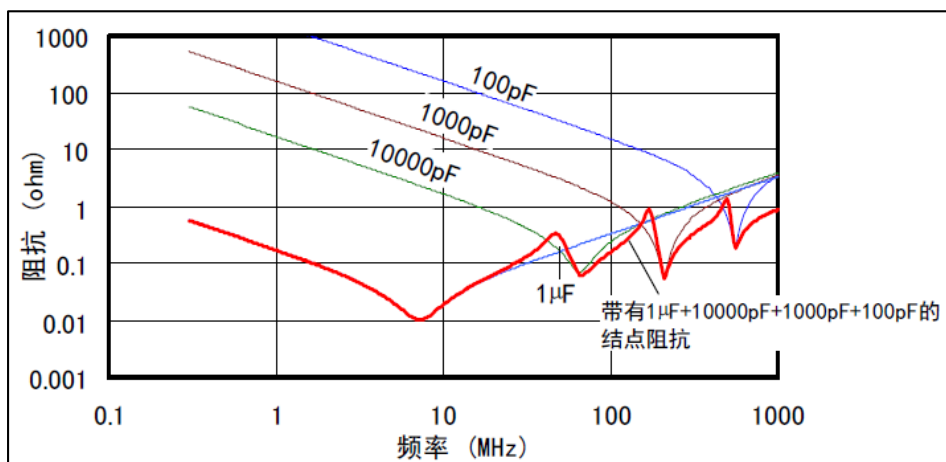
[图 5-10. PCB 电容平行布局实例](#) (a) 显示的是不同电容的电容器组合。通过组合不同自谐振频率的电容器，利用电容器在自谐振频率旁变为低阻抗的特点优势，以宽频率范围内的低阻抗作为目标。

在阻抗不会变得更小的情况下必须谨慎行事，因为反谐振会发生在电容器自谐振频率间的



差距上，已讲述。如 [图 5-11. 并联不同容值电容之间的的阻抗图](#) 所示的并联使用  $1\mu\text{F}$ 、 $10000\text{pF}$ 、 $1000\text{pF}$  与  $100\text{pF}$  的四个电容器时结点阻抗的例子。阻抗频率特性出现波纹，并且在有些情况下它们的阻抗在反谐振频率上会超过  $1\mu\text{F}$  的电容器。

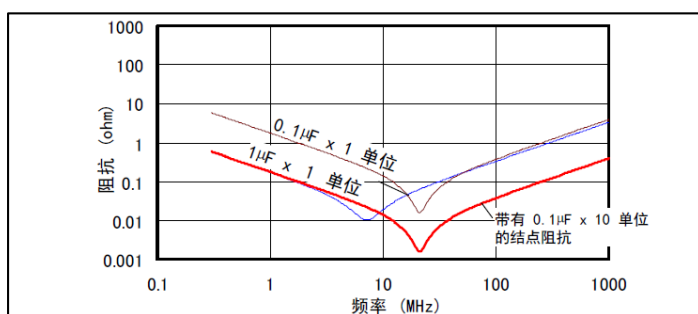
图 5-11. 并联不同容值电容之间的的阻抗图



[图 5-10. PCB 电容平行布局实例](#) (b) 显示的是相同电容的电容器并联情形。在这种情况下，根据 [图 5-12. 相同电容的电容器并联使用时的阻抗](#) 指出的计算结果，反谐振问题不会如此频繁地发生 (假定可以忽略电容器间的接线)。该方法有电容器阻抗并联的效果，除了垫片阻抗以及并联过孔 (在其中一个过孔用于各个电容器的情况下)。也有它的优点就是增加电容相对比较容易，因为电容器增加的数量。

另一方面，越来越多的电容器有增加空间与成本的缺点。另外，随着面积增大，电容器的安装位置相对较远，这使接线阻抗的电容器不是那么有效，逐渐降低电容器增加数量的效果。

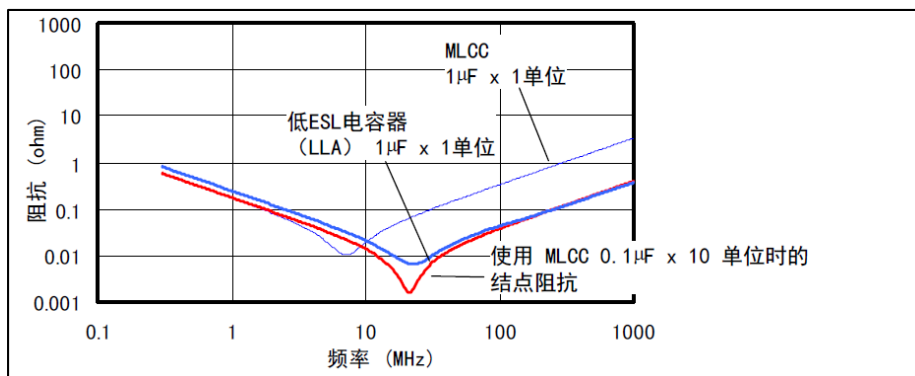
图 5-12. 相同电容的电容器并联使用时的阻抗



如果 [图 5-10. PCB 电容平行布局实例](#) 所示的方法出现问题，使用低 ESL 电容器将产生与多个电容器同样的效果。这更有利于节省空间与成本。[图 5-13. 并联使用多个 MLCC 与一个低 ESL 电容器比较](#) 显示的是多个 MLCC 与一个低 ESL 电容器的比较。一个低 ESL 电容器可以实现相当于使用 10 个并联 MLCC 产生的阻抗。



图 5-13. 并联使用多个 MLCC 与一个低 ESL 电容器比较



## 5.6. 电容设计步骤

从目标阻抗中建立大容量电容器与板电容器的例子如 [图 5-14. 去耦电容的设计模型](#) 所示，我们考虑到大容量电容器与板电容器定位于电源模块与 IC 之间什么位置的情形。用 MSL 形成接线并且可以大约预先确定电容器的安装位置。

图 5-14. 去耦电容的设计模型

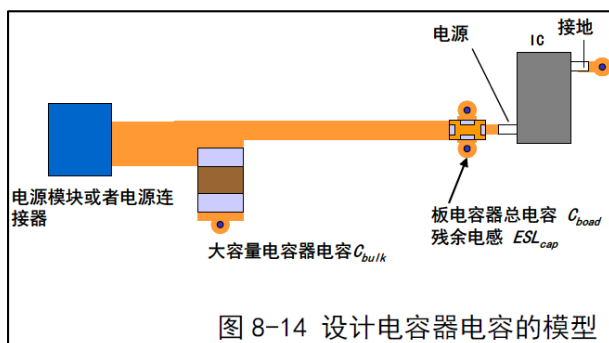


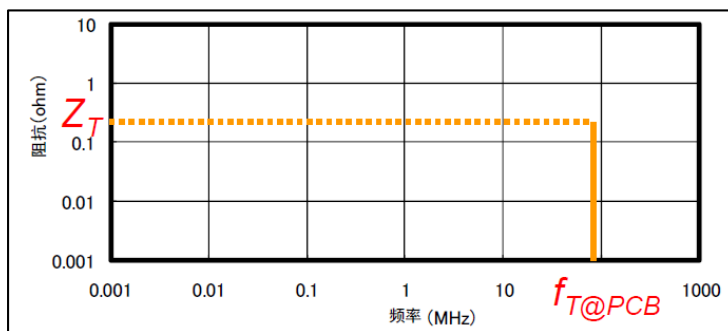
图 8-14 设计电容器电容的模型

### 5.6.1. 设置目标阻抗

首先：目标阻抗  $Z_T$  由 [图 5-15. 目标阻抗设计示例图](#) 所示的所决定。如果已经知道目标值与 IC 工作所必需的电源阻抗最大频率，这些值可以使用。如果未知，他们用下面的公式建立： $Z_T = \Delta V / \Delta I$ 。

在这种情况下， $\Delta V$  代表最大允许波纹电压， $\Delta I$  代表最大静态波动瞬间电流（如果未知，我们要让其变成 IC 最大电流值的大约一半）。 $Z_T$  最大频率  $f_{T@PCB}$  根据 IC 运行速度而变化。如果未知，将其设置为大约 100MHz。

图 5-15. 目标阻抗设计示例图



### 5.6.2. 大容量电容设计

下一步，我们将建立低频端电容器的电容。第一个电容器将是大容量电容器。其模型如 [图 5-16. 电源大电容设计示意图](#) 所示。

当我们可以假定电源模块与电路或印制电路间的电缆阻抗是阻止我们在大容量电容器位置达到目标阻抗的主要因素时，当电源模块理想工作时，我们将让这个电感变成  $L_{Power}$  并且建立大容量电容器电容  $C_{bulk}$ 。

$$C_{bulk} \cong L_{Power} / Z_T^2$$

当电路仅包括印刷电路，我们可以使用下面公式，从下面公式以估计  $L_{Power}$ 。

$$L_{line} = 0.4l \left( \frac{h}{w} \right)^{0.6} \times 10^{-6}$$

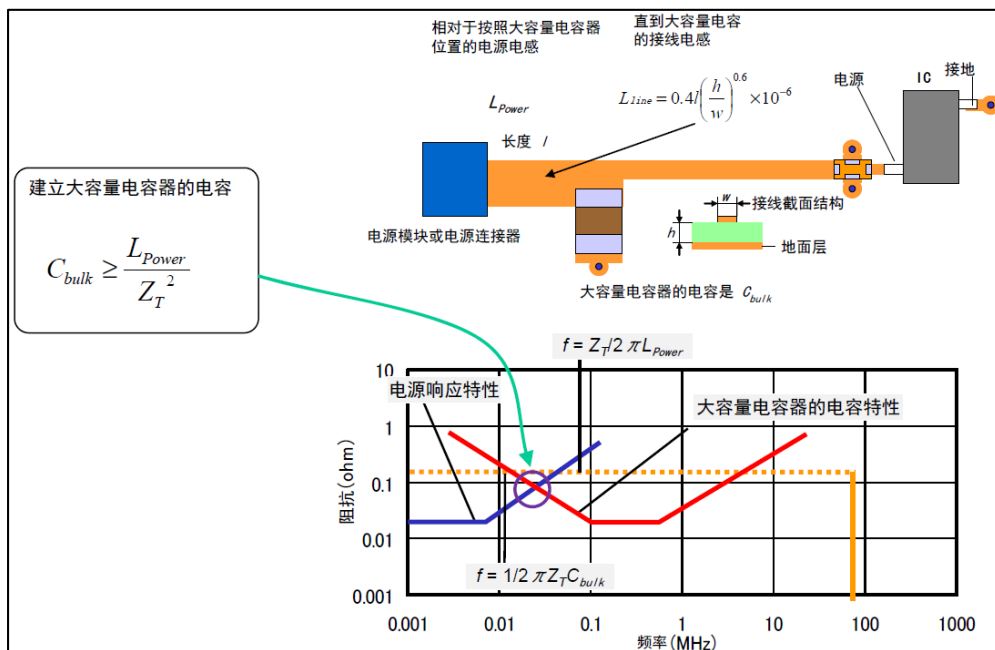
在这个公式里， $h$  是 MS� 中的绝缘材料厚度， $w$  是接线宽度， $l$  是接线长度。

在电源模块自身的响应特性不可以忽略的情况下，此电感  $L_{PowerResponse}$  必须要算入公式中的  $L_{Power}$  按照以下电感时间常数，可以建立粗略的估计。

$$L_{PowerResponse} = Z_T \cdot t_{PowerResponse}$$

在这个公式里， $t_{PowerResponse}$  是电源模块的响应速度。

图 5-16. 电源大电容设计示意图



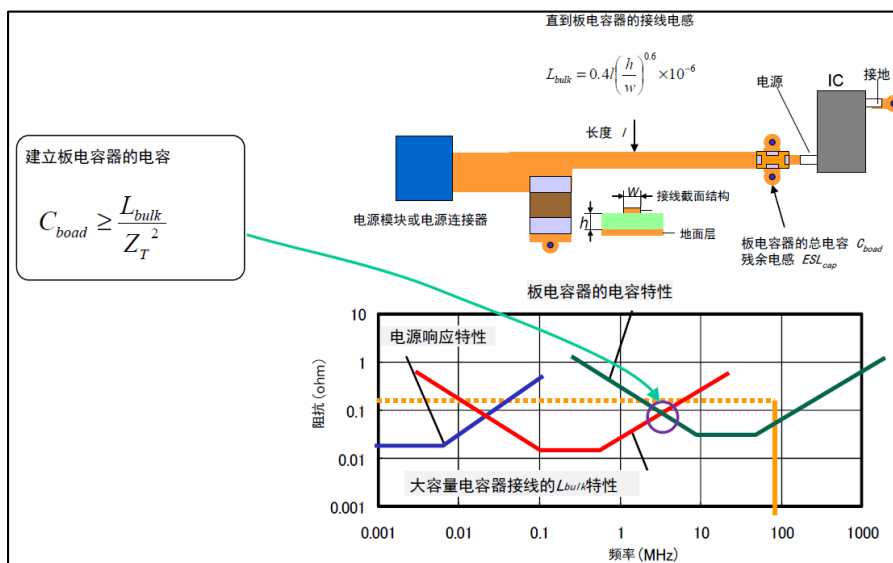
### 5.6.3. PCB 电容设计计算

下一步，我们将建立板电容器电容， $C_{board}$ ，如图 5-17. PCB 电容设计示意图所示。如果我们让大容量电容器与板电容器间的接线电感作为  $L_{bulk}$ ，板电容器安装区域的必需电容器与公式一样。

$$C_{PCB} \cong L_{bulk} / Z_T^2$$

严格来说，尽管这个  $L_{bulk}$  包括大容量电容器的 ESL 以及 IC 与大容量电容器间的所有接线电感，图中，仅大容量电容器与板电容器间的接线可代表整体的电感。

图 5-17. PCB 电容设计示意图



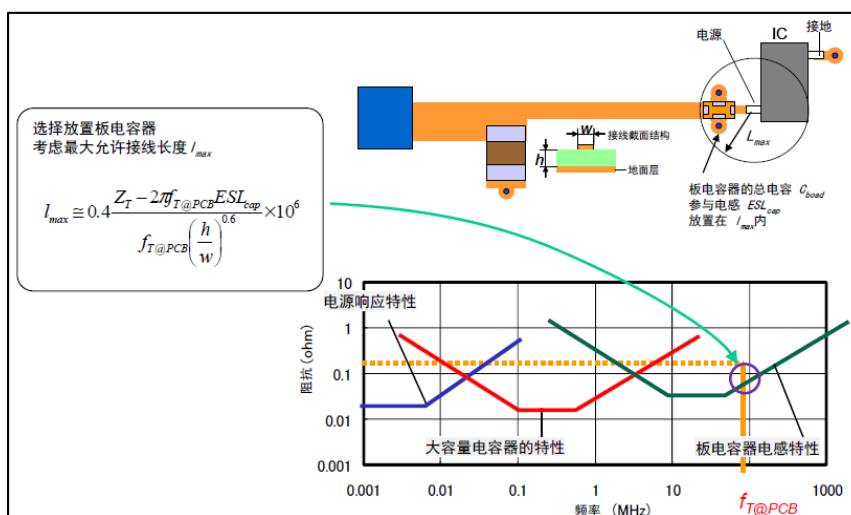
### 5.6.4. PCB 电容放置半径

下一步，要定位板电容器。通过定位板电容器以便于 IC 与电源终端间的间距在最大允许接线长度  $l_{max}$  之内，可以在相当于  $f_{T@PCB}$  频率时满足  $Z_T$ ，如[图 5-18. PCB 电容放置半径设计图](#)所示。

$$l_{max} \cong 0.4 \frac{Z_T - 2\pi f_{T@PCB} ESL_{cap}}{f_{T@PCB} \left(\frac{h}{w}\right)^{0.6}} \times 10^6$$

在这个公式中， $ESL_{cap}$  代表板电容器的 ESL，并且它包括来自电容器安装垫片与过孔的电感（ $ESL_{PCB}$ ），排除电容器自身的 ESL。

图 5-18. PCB 电容放置半径设计图



### 5.6.5. 降低去耦电路的 ESL

根据目标阻抗，一个电容器不能达到  $l_{max}$  适当长度，也就不能达到目标阻抗。在这种情况下，我们需要用并联方式定位多个电容器，如[图 5-19. ESL 减少示意图](#)中的左所示，以减少等效  $ESL_{cap}$ ，以及扩大  $l_{max}$ 。第章所述的低 ESL 电容器的使用也同样有效。

图 5-19. ESL 减少示意图

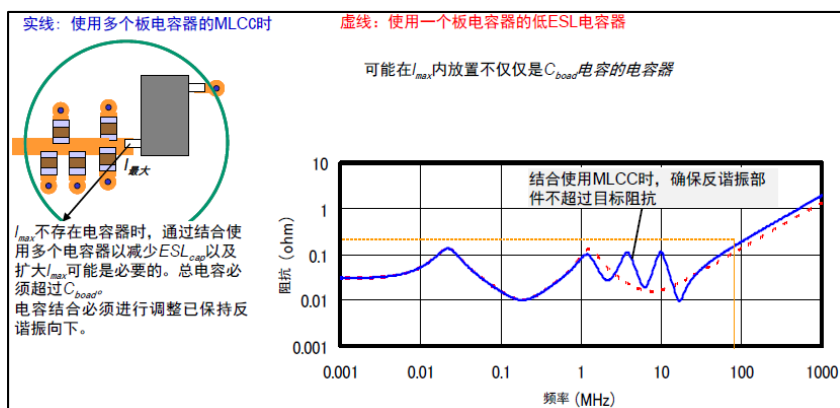
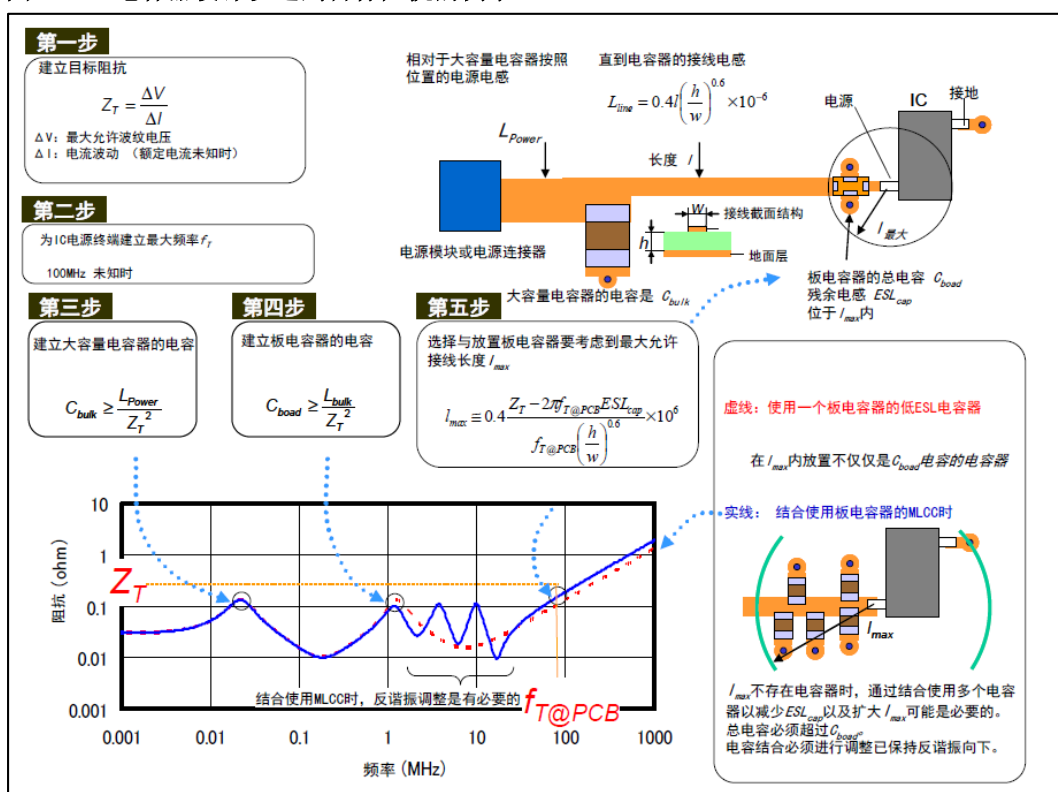


图 5-20. 电容器设计以达到目标阻抗的例子



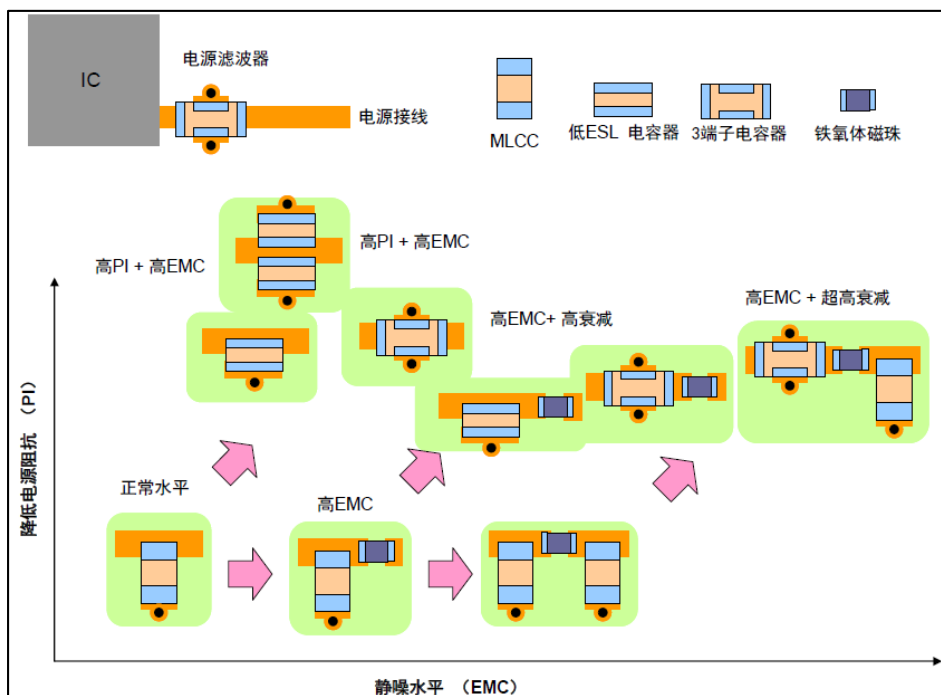
## 6. 总结

MCU 电源的去耦电路适用于抑制噪声以及为 MCU 提供足够的电流以达到电源完整性 PI，基于噪声抑制观点的插入损耗以及电源完整性观点的阻抗。

**图 5-20. 电容器设计以达到目标阻抗的例子**显示出从噪声抑制与电源完整性的观点上作出比较的各种去耦电路。对于 MCU 电源，MLCC 被用作为实现这些功能的简单方式。用三端子电容器或低 ESL 电容器替换时，可以预测到噪声抑制与电源完整性的性能改进。此外，增加电感器例如铁氧体磁珠时，从噪声抑制观点上可以改进性能；但是，在某些情况下可能出现电源阻抗增加。在这种情况下，必须补充电容。电容器与电感组合阶段增加数量可以进一步削弱噪声。这些滤波器应适用于与之相对应的电路所要求的等级。

从噪声对策观点上看，电源电路特性包括与信号电路相比很复杂的接线配置，使其设计特性阻抗很困难；特别是某些情况下的低阻抗；噪声对策应用的广泛频率范围从语音到 GHz；并且由于许多电路的共享，具有广泛的影响范围。为了使旁路电容器在这些电路中有效发挥作用，安装结构以及产生小电感的接线设计对于高频下的低阻抗很有必要。为此，本手册尽可能地描述安装电容器的接线配置。

图 6-1. 电源滤波器在 PI 和 EMC 性能结构图



## 7. 版本历史

表 7-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2023 年 5 月 25 日

---

## Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.