

**GigaDevice Semiconductor Inc.**

**提高 ADC 采样精度的方法**

**应用笔记**

**AN059**

# 目录

目录.....	1
图索引.....	2
表索引.....	3
1. 前言.....	4
1.1. ADC 简介.....	4
1.2. ADC 的性能指标.....	5
1.3. ADC 采样过程中的理论分析.....	8
2. 提高采样精度的几种方法.....	11
2.1. MCU 供电电源.....	11
2.2. 引脚电容设置.....	12
2.3. ADC 参考电压设置的影响.....	13
2.4. IO 口引入超范围电压的影响.....	13
2.5. 信号源输入电阻的影响.....	13
2.6. I/O 引脚串扰的影响.....	17
2.7. 软件提高 ADC 的采样精度.....	18
3. 版本历史.....	20

## 图索引

图 1-1. ADC 采样基本框图 .....	4
图 1-2. ADC 采样阶段单位阶跃响应 .....	5
图 1-3. 偏置误差 .....	5
图 1-4. 增益误差 .....	6
图 1-5. 微分非线性误差 .....	6
图 1-6. 积分非线性误差 .....	7
图 1-7. ADC 采样信号 FFT 频谱图 .....	7
图 1-8. 添加外部电容 $C_{IN}$ 的 ADC 采样框图 .....	9
图 1-9. 采样过程电压变化图 .....	9
图 2-1. $V_{REF}$ 串联磁珠图 .....	12
图 2-2. 引脚电容设置图 .....	12
图 2-3. $C_{IN}$ 电压波形图 .....	14
图 2-4. 锂电池电压采样电路 .....	14
图 2-5. 采样间隔时间不足理论参考图 .....	16
图 2-6. 采样间隔时间不足实际参考图 .....	16
图 2-7. 模拟与数字 I/O 串扰结构图 .....	17
图 2-7. 模拟与数字 I/O 串扰实际图 .....	17
图 2-8. 模拟与数字 I/O 之间添加地屏蔽 .....	18

## 表索引

表 2-1. $f_{\text{ADC}}=14\text{MHz}$ 采样周期与外部输入阻抗关系 .....	15
表 2-2. N 和 M 的最大输出值（灰色部分表示截断） .....	18
表 3-1. 版本历史 .....	20

## 1. 前言

GD32 MCU 嵌入了数个（个数取决于选型）SAR ADC，通过这个模块，能够灵活方便的将模拟信号转化为数字信号。ADC 的精度不仅受自身设计与工艺因素的影响，也会受到多种外部因素的影响，想要在实际应用中达到标称的精度，需要在软件配置端与外围电路的设计上给与足够的重视。本应用笔记给出了 SAR ADC 的基本工作原理、常见指标参数以及改善 ADC 采样精度的几个方向与手段，以获得 ADC 的最佳精度。

### 1.1. ADC 简介

ADC 转换包括采样、保持、量化、编码四个步骤。采样阶段需要在规定的采样时间内将外部信号的电压完整无误的采样到 ADC 的采样电容上，即在采样开关 SW 关闭的过程中，外部输入信号通过外部的输入电阻  $R_{AIN}$  和以及 ADC 采样电阻  $R_{ADC}$  对采样电容  $C_{ADC}$  充电。如 [图 1-1. ADC 采样基本框图](#)所示，每次采样过程可以简化为外部信号通过输入阻抗以及采样电阻对采样电容的充电（即采样电容零状态的单位阶跃响应）如 [图 1-2. ADC 采样阶段单位阶跃响应](#)所示。当采样时间结束后，采样误差表示为采样电容上的电压与信号源上的电压差值。在一次理想的采样过程中，这个电压差值应该保持在  $0.5LSB$  以内（LSB 为 SAR ADC 的最小的电压分辨率， $0.5LSB$  为 SAR ADC 的量化误差）。

量化阶段，将采样开关 SW 打开，然后由 ADC 时钟驱动，基于切换电容技术，将 ADC 采样电容上的电压逐次与不同权重的参考电压做比较，逐位确定 N 位数据每一位上的值（N 为 ADC 的采样位数），然后编码输出数字码值。在量化过程中，参考电压  $V_{REF+}$  需要对切换电容网络进行充电。 $V_{REF+}$  基准需要在量化过程中保持稳定。

图1-1. ADC采样基本框图

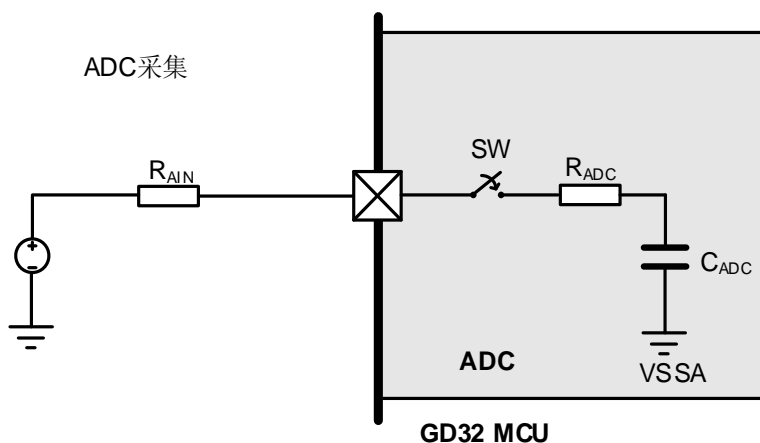
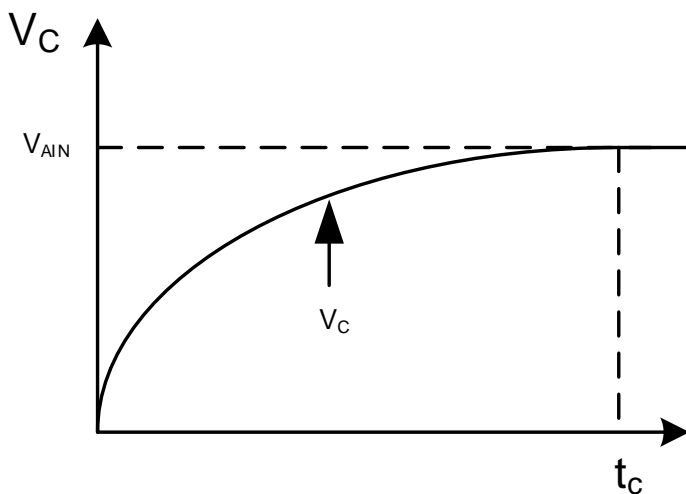


图1-2. ADC采样阶段单位阶跃响应



## 1.2. ADC 的性能指标

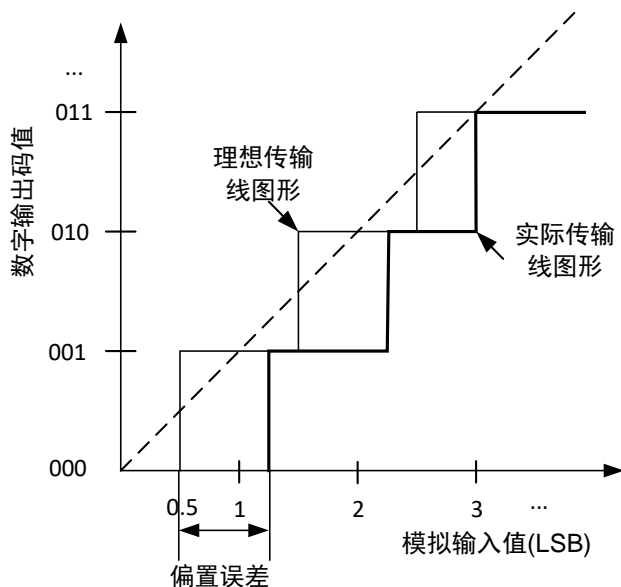
评估 ADC 性能的好坏通常有两类指标，一种为静态性能参数，一种为动态性能参数。在这里先介绍这几种参数的定义。

在静态性能参数中，主要有以下几种：

- 偏置误差(Offset error)

ADC 的偏置误差定义为第一个码字转换（从 0x00 到 0x01）所对应的实际电压偏离理想电压位置的差值。如 [图 1-3. 偏置误差](#) 所示。

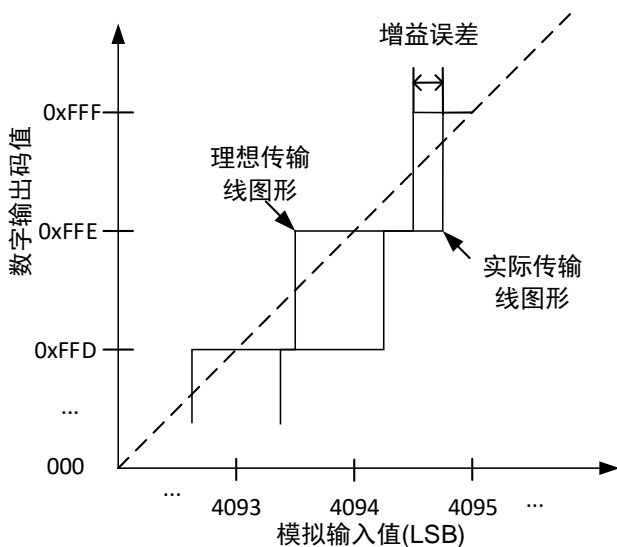
图1-3. 偏置误差



■ 增益误差 (Gain Error)

ADC 的增益误差是指最后一次码字转换中实际转换与理想转换点电压之间 (对于 12bit ADC 来说, 即从 0xFFE 到 0xFFF) 的差值。如 [图 1-4. 增益误差](#) 所示。

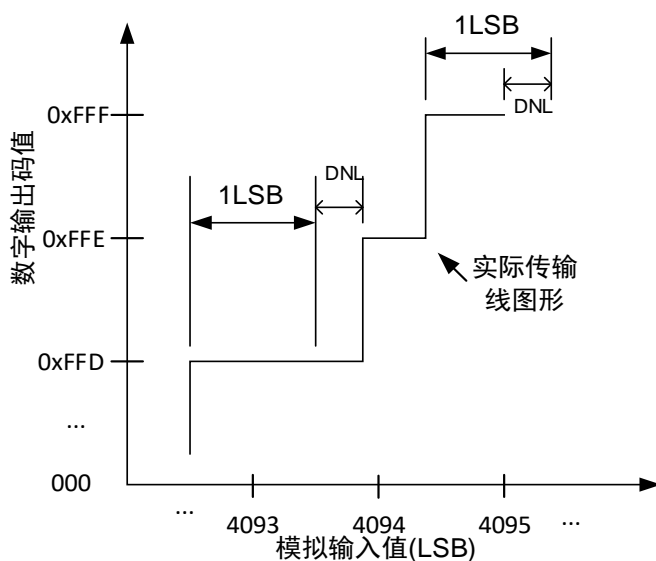
图1-4. 增益误差



■ 微分非线性误差 (DNL)

微分非线性误差定义为实际量化台阶宽度与对应于 1LSB 的理想电压值之间的差异。指每一个码字宽度偏离理想的 1LSB 的程度。计算方法为每个码字模拟量的宽度减去一个 LSB 的值, 当码字宽度大于一个 LSB 宽度时, DNL 为正值, 反之, DNL 为负值。如 [图 1-5. 微分非线性误差](#) 所示。

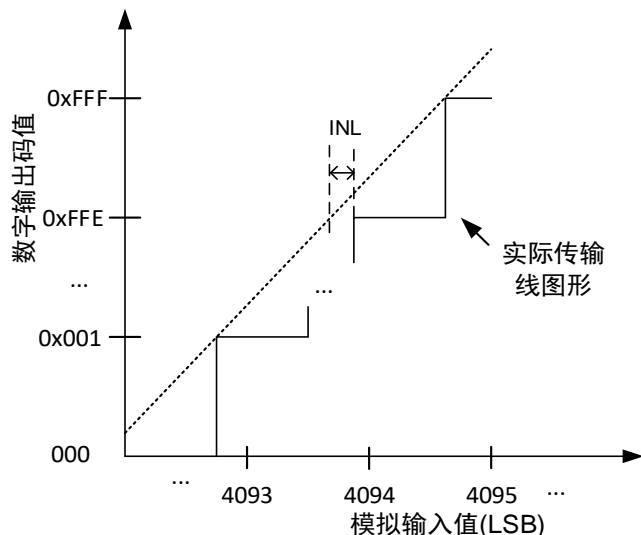
图1-5. 微分非线性误差



### ■ 积分非线性误差 (INL)

积分非线性误差是指一个码字的实际输入点与传输函数线上理想输入之间的偏移。传输函数线可以定义为第一次实际转换与最后一次实际转换所连接的线，即 ADC 的偏置和增益误差点之间的一条直线。如 [图 1-6. 积分非线性误差](#) 所示。

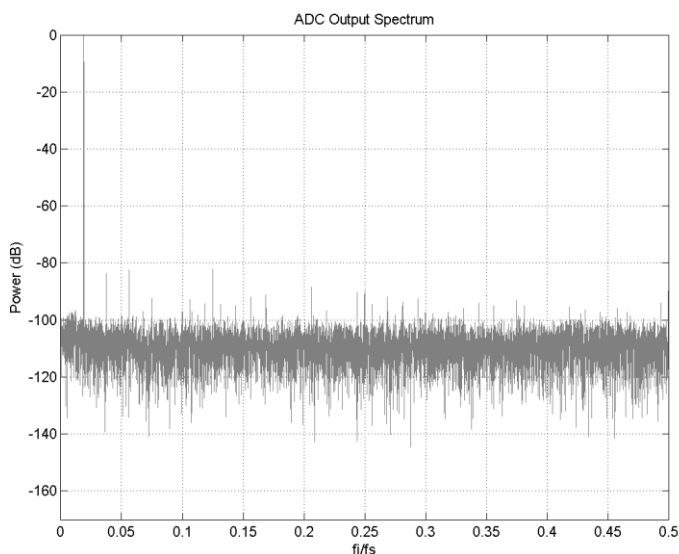
图1-6. 积分非线性误差



在精密信号链系统中，对于 ADC 来说，往往关注的主要是 ADC 的静态特性参数。然而对于采样率达到 MSPS 的 SAR ADC 而言，有时也会用于采样频率较快的交流信号，因此对于交流输入信号的真实复现也尤为重要，在这种场景中，我们更关注信号中的频域特性。一些动态特性参数也需关注，主要包括下面几种，通常需要借助对采样信号的 FFT 变换来分析频域特性。

以下为 ADC 采样一组周期信号，并进行 FFT 分析后的典型频谱，如 [图 1-7. ADC 采样信号 FFT 频谱图](#) 所示。

图1-7. ADC采样信号FFT频谱图





■ 信噪比 (SNR)

信噪比代表了频谱中信号的有效值和噪声的有效值之间的比值。然后取对数，再乘以 20，从而得到 dB 形式的 SNR 的值。

■ SNDR (信纳比)

信纳比代表了频谱中信号功率的有效值比上噪声加上所有谐波分量的功率之和。因此从定义上看，信纳比是必然会小于信噪比的。

■ ENOB (有效位数)

在许多应用场合，惯于使用有效位数来描述 ADC 的性能。ENOB 通常使用信纳比来计算。如下公式 (1-1)：

$$ENOB = \frac{(SINAD - 1.76)}{6.02} \quad (1-1)$$

■ THD (总谐波系数)

总谐波系数表述基波信号的有效值与所有谐波的有效值之和的比值。

### 1.3. ADC 采样过程中的理论分析

针对 SAR ADC 工作时的模型，根据电路理论，计算系统零状态的单位阶跃响应，见下公式 (1-2)：

$$V_{C(t)} = V_{AIN} * \left(1 - e^{-\frac{t}{\tau}}\right) \quad (1-2)$$

其中  $\tau$  为上述电路中的时间常数，为  $(R_{AIN} + R_{ADC}) * C_{ADC}$ ， $R_{ADC}$  与  $C_{ADC}$  这两项参数在数据手册中可以查询到；

对于 ADC 的采样精度误差，我们按照量化误差，给定一个最大误差值  $0.5LSB$ ，因此，如果需要在给定的采样周期内，满足采样误差的要求，于是对于信号的输入阻抗有了一定的要求，见下公式 (1-3)

$$V_{AIN} - V_{C(t)} = \frac{LSB}{2} = \frac{1}{2} * \frac{V_{REF}}{2^N} \quad (1-3)$$

公式 (1-3) 中  $N$  为 ADC 的转换位数， $V_{REF}$  为满量程电压，将公式 (1-2) 带入公式 (1-3)，可以得到公式 (1-4)

$$R_{AINmax} = \frac{T_s}{f_{ADC} * C_{ADC} * \ln(2^{N+1})} * R_{ADC} \quad (1-4)$$

其中  $T_s$  为软件中配置的 ADC 采样周期。

显然，在 ADC 时钟频率  $f_{ADC}$  一定的情况下，不同的采样周期会对应一个  $R_{AINmax}$ ，外部输入信号的输出阻抗也必须小于这个  $R_{AINmax}$ ，否则会引起采样精度误差大于  $0.5LSB$ 。

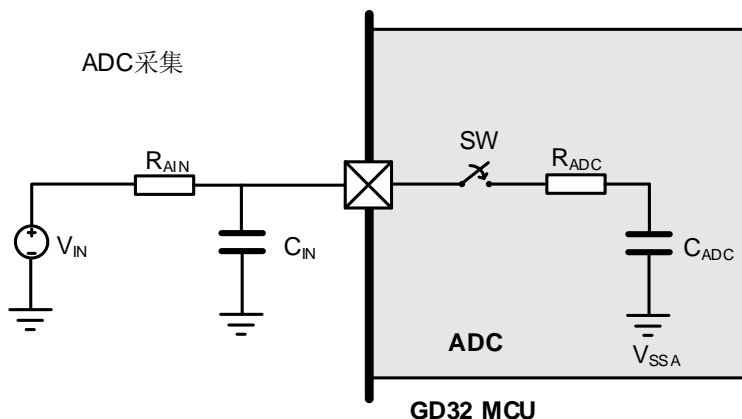
基于以上讨论，对于 SAR ADC，在设计其外围电路时首先考虑的是采样时间以及外部信号源

内阻，如果忽略这些基本参数，则采样结果很难达到理想的精度。

以上讨论的是 SAR ADC 最基本的工作情况。

然而在实际情况中来，我们通常会在信号源与 ADC 接口之间添加一个 RC 滤波器，用来限制到达 ADC 输入端的信号带外噪声，以获得更精准的采样结果。其等效图如下图所示，信号源在进入 ADC 通道前先经过一个等效输入阻抗（将信号源阻抗与 RC 滤波器电阻作为  $R_{AIN}$ ），再经过一个对地电容  $C_{IN}$ ，如下图所示：

**图1-8. 添加外部电容 $C_{IN}$ 的ADC采样框图**

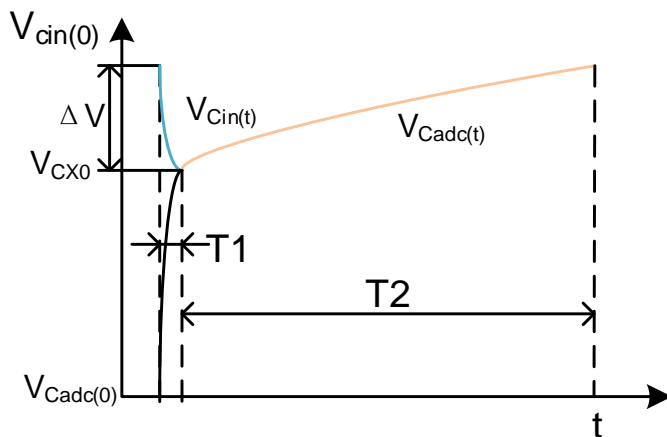


前面电路公式的前提是电路是从零状态开始响应，即  $C_{ADC}$  的初始电压为 0，但实际采样过程中采样电容上的初始电压并不为 0，这个电压的取值与具体的 ADC 输入结构有关。在 SAR ADC 的充电再分配结构中，如果使用了预采样电路，则该电压的值可能等于  $V_{REF+}$  或者 GND。在某些特殊情况下。为了降低电容上的电压应力，经特殊设计，该初始电压可以被设定为  $1/2V_{REF+}$ ，在连续以及扫描模式采样时，该初始电压可能等于上一个采样通道的信号电压。

通常而言，信号的输入阻抗  $R_{AIN}$  会显著大于 ADC 的采样电阻  $R_{ADC}$ ，因此在 ADC 的采样开关 SW 闭合时，输入电容与采样电容上电压与时间的关系可如下图所示：

可以将开关 SW 闭合后的时间段简化分为两个部分，即 T1 时间段与 T2 时间段。

**图1-9. 采样过程电压变化图**



设  $\alpha$  为输入电容  $C_{IN}$  与  $C_{ADC}$  的电容容量比值。

假定采样电容  $C_{ADC}$  初始电压为  $V_{C_{ADC}(0)}$ ，在  $T_1$  时间段内，输入电容的电荷通过 ADC 采样电阻流向 ADC 采样电容，最终达到一个稳定值，此时，不再有能量转移。

根据电荷重分配可得经过  $T_1$  时间段后  $C_{IN}$  与  $C_{ADC}$  平衡后的电压如公式 (1-5) 以及电压变化量如公式 (1-6)：

$$V_{CX0} = \left( \frac{\alpha}{\alpha+1} V_{C_{in}(0)} + \frac{1}{\alpha+1} V_{C_{adc}(0)} \right) \quad (1-5)$$

$$\Delta V = \frac{1}{\alpha+1} (V_{C_{in}(0)} - V_{C_{adc}(0)}) \quad (1-6)$$

容易得出，输入电容与采样电容的比值越大，产生的电压降落（或电压尖峰，取决于采样开关关闭前采样电容上的初始电压与外部输入电容上的电压）的幅值越小。

在  $T_2$  时间段内，输入电容与采样电容上的电压已经相等，电路实际上可等效为输入信号源通过信号的输出阻抗对采样电容与输入电容并联的充电。

由电路理论知识：

在  $T_2$  时间段内，采样电容上的电压如公式 (1-7) 所示：

$$V_{C_{adc}(t)} = V_{c_{in}(t)} = (V_{IN} - V_{CX0}) \left( 1 - e^{-\frac{t}{\tau_2}} \right) + V_{CX0} \quad (1-7)$$

其中  $\tau_2$  为  $T_2$  阶段的时间常数，为  $(R_{AIN} + R_{ADC}) * (C_{ADC} + C_{IN})$ 。

在采样结束，我们同样需要采样电容上的实际电压与输入信号电压的差值小于  $1/2LSB$ ，带入相关公式，可得如下结果公式 (1-8)：

$$R_{AINmax} = \frac{T_s}{f_{ADC} * (C_{ADC} + C_{IN}) * \ln \left( \frac{(V_{IN} - V_{C_{adc}(0)})^{N+1}}{(1+\alpha)^N * V_{REF}} \right)} - R_{ADC} \quad (1-8)$$

其中， $V_{REF}$  为满量程电压。

从公式中我们能发现，当  $V_{IN} = V_{REF}$ ， $C_{IN} = 0$ ， $V_{C_{ADC}} = 0$  时，则输入阻抗的要求与前述简单情况一致。在信号与 ADC 输入端中间添加 RC 滤波器后，对于采样时间和信号输入电阻的要求会更高。

## 2. 提高采样精度的几种方法

基于 SAR ADC 的几个工作流程，需要保证在每个流程都不引入导致误差的可能性，我们从以下几个方面讨论提高 ADC 采样精度的措施。

### 2.1. MCU 供电电源

在 GD32 MCU 不同的系列或者封装中，有将  $V_{REF+}$  引脚单独引出的，也有  $V_{REF+}$  引脚未单独引出，而是在芯片内部与  $V_{DDA}$  连接在一起，详细信息请参考所选 MCU 的 datasheet。

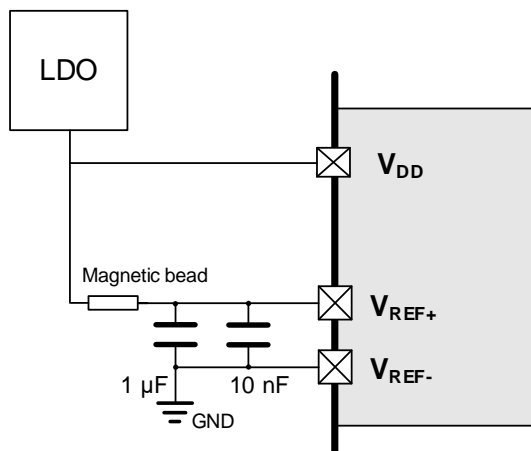
在 GD32 部分系列中，在内部有一个精准的内部参考源（典型电压 2.5V），可以用作 ADC 工作时的参考电压，该内部参考电压可以连接到  $V_{REF}$  引脚上，但需要留意的是，该内部参考源带载能力不强，谨慎选择所带负载大小。

由于在量化编码的过程中， $V_{REF+}$  需要对转化电容网络充电，在量化过程中，也会有对基准源抽取电荷的动作，因此，如果没有其他的去耦措施，一个稳健且干净的  $V_{REF+}$  基准会显著影响 ADC 量化的精度，我们建议对于这两个电源采用纹波噪声系数更小的 LDO 来供电。对于  $V_{REF+}$  基准源，我们建议靠近引脚并联一个  $\mu F$  级以及一个  $nF$  级的去耦电容，一方面可以滤除来自外部低频与高频的电源噪声，另一方面，也可使 ADC 在量化编码过程的基准源更加稳定。

在 layout 过程中，相关电源线的走线上，我们推荐加宽电源迹线，以减小迹线的 ESR，在量化阶段，减小转化电容网络瞬间充电对输入基准源的影响。

相同的情况，在一些场景中， $V_{DD}$  与  $V_{REF+}$  来自同一颗 LDO，然后在 LDO 与  $V_{REF+}$  之间串联一颗磁珠，如 [图 2-1.  \$V\_{REF+}\$  串联磁珠图](#) 所示，以屏蔽外部电源对于  $V_{REF+}$  的影响。这里需要注意选择磁珠时，需要关注磁珠的  $R_{DC}$ （直流电阻）参数，应当优先选取  $R_{DC}$  小的型号，以减小在磁珠上造成的直流压降。直流电阻小，通常磁珠的高频处的阻抗也会小，因此这也是一个抗干扰与采样精度的权衡过程。另外，通常不建议在此处将磁珠换成电感，由于  $V_{REF+}$  在量化编码过程中，会存在高频的脉冲电流，如果靠近  $V_{REF+}$  引脚的去耦电容设置不合适，则比较容易引起  $V_{REF+}$  电压的震荡，影响 ADC 的精度。

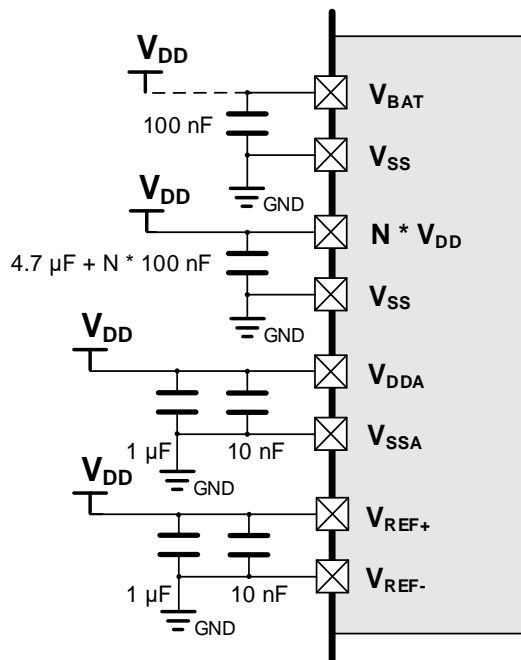
图2-1. V<sub>REF+</sub>串联磁珠图



## 2.2. 引脚电容设置

系统的硬件解耦对于采样精度提高尤为重要，我们推荐如[图 2-2. 引脚电容设置图](#)所示解耦电容的配置方式，在 MCU 端，对于模拟电源引脚，建议就近放置一个 1μF 与一个 10nF 的陶瓷电容（ESR 较低）。对于其他的数字电源 V<sub>DD</sub> 引脚，就近放置一个 100nF 的陶瓷电容。对于 MCU 接地引脚，建议将模拟地与数字地采用 0 欧姆电阻或者磁珠连接，以屏蔽数字地对于模拟地的干扰。

图2-2. 引脚电容设置图



## 2.3. ADC 参考电压设置的影响

ADC 输入信号幅值范围为  $V_{SSA}$  到  $V_{REF+}$ ，对于部分小封装 MCU， $V_{REF+}$  与  $V_{DDA}$  在芯片内部连接在一起。 $V_{REF+}$  电压的设置需严格参考 **datasheet** 手册中的规定范围，采样信号的幅值不应超出  $V_{REF+}$  的幅值，对于无  $V_{REF+}$  引脚的 MCU，采样信号的幅值不应超出  $V_{DDA}$  的幅值，否则可能会导致模拟电源漏电，严重影响 ADC 性能。

此外，我们可以思考下如何根据 ADC 输入信号幅值范围设置合理的  $V_{REF+}$ ，或者根据配置完毕的  $V_{REF+}$  设置合理的 ADC 信号输入范围。

举个例子：

当输入信号电压范围为 0-2.6 V 时，若设置  $V_{REF+}$  为 3.6 V，采样信号进入 GD32 MCU 12bit ADC，在忽略采样误差的前提下，可以得出采样结果数字量范围为 0-2958，采样结果能够分辨出 0.9 mV 的电压，然而对于 2759-4095 之间的采样码值均未出现；若改版硬件，使得  $V_{REF+}$  为 2.6 V，此时，采样结果数字量范围为 0-4095，ADC 能够分辨出的最小电压为 0.6 mV。显然后者均有更高的采样精度。

因此在项目的硬件设计阶段，如果对于采样精度有要求的前提下，我们需要评估下 ADC 输入信号的电压范围，配置输入信号电压的最大值略小于  $V_{REF+}$ ，以提高采样精度。

## 2.4. IO 口引入超范围电压的影响

任何模拟引脚（或相邻的数字输入引脚）上如果存在小于 GND 的负电压时（不大于 -200 mV 的负电压可以被认为是安全的），会引入从该 IO 口流出的负电流。这种情况下会显著影响 ADC 的采样结果，为了更精确的采样结果，需要确保相关 IO 口上在 ADC 工作期间不要有负电压的存在。

ADC 采样的 IO 口在非采样时间也不要引入高于  $V_{DDA}$  的电压，可能会造成对 ADC 内核的漏电，引起采样精度的变差。

## 2.5. 信号源输入电阻的影响

从前文理论分析可知，SAR ADC 采样对于信号的输入电阻是有明确要求的，对于一个具体的 ADC，其采样电阻  $R_{ADC}$  与采样电容  $C_{ADC}$  已经不可更改，当 ADC 的采样时钟，采样周期等可配置参数配置完毕时，则外部信号的输入阻抗则是有一个最大值的要求，即公式 (1-4)：

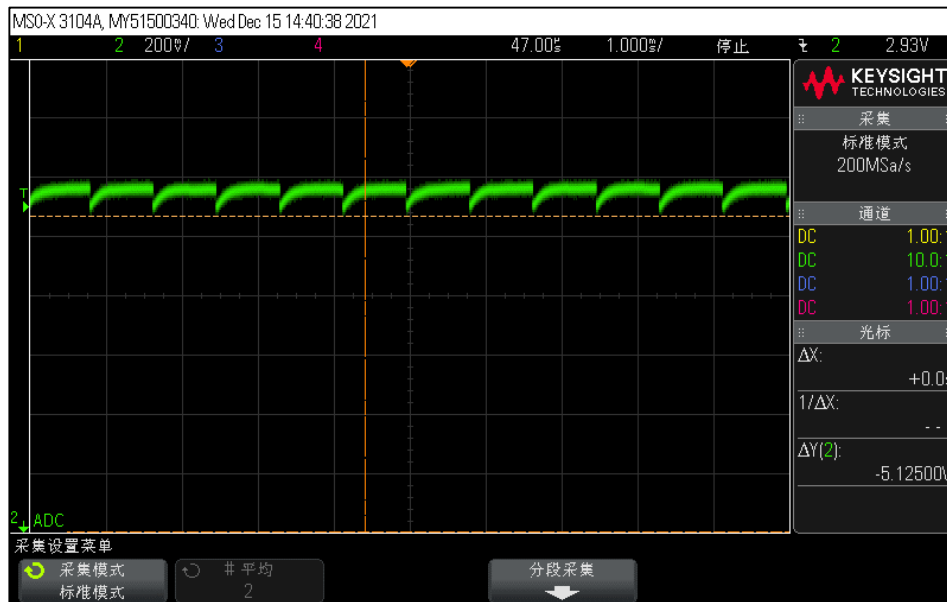
$$R_{AINmax} = \frac{T_s}{f_{ADC} * C_{ADC} * \ln(2^{N+1})} - R_{ADC}$$

配置的不同的采样周期所对应的最大输入电阻，在对应 MCU 型号 **datasheet** 中会给出，用户也可根据公式与实际自行计算。

[图 2-3. CIN 电压波形图](#)为 GD32 一款 MCU 在开启 ADC 采样时，在输入电容  $C_{IN}$  上采到的电压信号波形。

可以看出，在采样开关 SW 闭合后，电压会显著掉下来，但是只要采样时间和信号输入阻抗满足我们手册要求，那么在采样时间得到满足后电压就可以恢复到与实际信号电压相差 0.5LSB 以内。

图2-3. C<sub>IN</sub>电压波形图

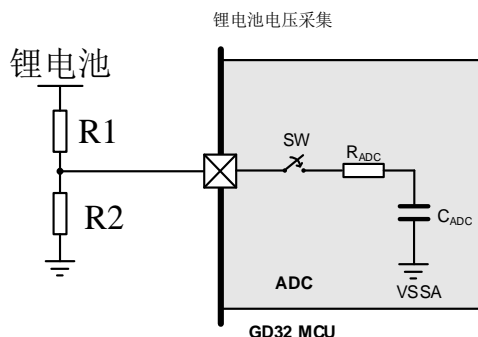


接下来我们再考虑一种极端情况，当信号源的输入电阻要求已经明显不满足手册要求了，我们可以采用什么方法？

按如下举例：

在实际使用中，会经常有采样锂电池电压的需求。由于锂电池的电压往往会高于 MCU ADC 的采样电压（ADC 的采样范围为  $V_{SSA}$  到  $V_{REF+}$ ），因此用户会经常采用两个电阻分压，然后将分压结果送进 ADC 通道进行采样。对于锂电池供电应用，客户对于功耗往往有严苛要求，因此，如 [图 2-4. 锂电池电压采样电路](#) 所示的这两个分压电阻往往会被设置的很大，以减小无谓功耗。

图2-4. 锂电池电压采样电路



上图中，假设锂电池电压为 24V， $R_2 = 1M$  欧姆， $R_1 = 9M$  欧姆，则进入 ADC 通道的电压为 2.4V，在 ADC 的采样范围之内，无谓功耗取电池电压除以  $R_1$  与  $R_2$  的和，此时浪费的额外无

谓功耗仅为 2.4uA，看起来很美好，但我们来计算一下这个分压电路的输出阻抗，该电路的输出阻抗为 R1 与 R2 电阻的并联，结果为 0.9M 欧姆。参考下 GD32F150x 芯片手册关于 R<sub>AIN</sub> 与采样周期的表格，如下：

**表 2-1. f<sub>ADC</sub>=14MHz 采样周期与外部输入阻抗关系**

T <sub>s</sub> (cycles)	t <sub>s</sub> (us)	R <sub>AINmax</sub> (kΩ)
1.5	0.107	0.88
7.5	0.536	6.4
13.5	0.964	11.95
28.5	2.036	25.72
41.5	2.964	37.68
55.5	3.964	50.57
71.5	5.107	65.29
239.5	17.107	219.86

显然在 ADC 采样时钟为 14MHz 的情形下，当采样周期设到最大值 239.5 个周期时，允许的最大输入阻抗为 219.9k 欧姆。0.9M 欧姆远大于 219.9k，因此，由于采样时间无法配置为更大，此时 MCU 的 ADC 采样已无法做到精确采样了。

此时，我们有几种方法来改善此种情况下的 ADC 采样：

如果电路仍然可以修改的情况下，建议添加一个运放跟随电路，实现阻抗匹配；

如果对于采样率没有要求的情况下，我们可以降低 ADC 的采样时钟，变相提高采样时间来使得采样电容充电到正确电位；

在功耗要求可以放宽时，我们可以同比例缩小 R1, R2 这两个电阻，比如 R1 = 900k, R2 = 100k，此时该分压电路的输出阻抗变为 90k，配置合适的采样周期，已经能够满足 ADC 的阻抗要求；

如果上述更改由于种种条件限制，已不能实现。当外部电路的输出阻抗已经超过 ADC 电路的最大输入阻抗要求了，我们思考另外一种方式来保证 ADC 采样精度的情况下顺利完成 ADC 采样。

由前述理论定量分析可得，如果在 ADC 输入通道上并联一个对地的输入电容 C<sub>IN</sub>，则在 ADC 采样开关闭合后的 T<sub>I</sub> 时间段内，采样电容上的电荷会通过采样电阻传递到外部输入电容上，引起输入电容上的电压降落或者尖峰（取决于采样电容上的电压）。这个电压降落或者是尖峰如果小于量化误差即 0.5LSB，则不会影响 ADC 采样的精度。

由公式 (1-6)，当 V<sub>Cin(0)</sub>=V<sub>max</sub>=V<sub>REF+</sub>，V<sub>Cadc(0)</sub> = 0，电压降取到最大值。

$$\Delta V = \frac{1}{\alpha + 1} * V_{REF+} < \frac{LSB}{2}$$

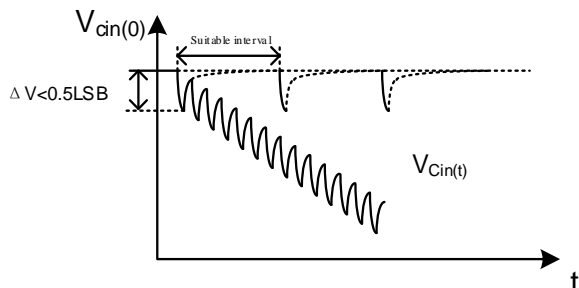
可得  $\alpha \geq 8191$ ，因此当 C<sub>IN</sub> > 8191 \* C<sub>ADC</sub>，即可满足 ADC 采样精度需求。

这里我们容易看到，在这种情况下，ADC 的采样频率需要尤为注意，因为当输入电容上发生电压掉落或者电压毛刺后，需要通过输入电阻 R<sub>IN</sub> 将这些电荷补充上（或者释放掉，取决于采样电容上电压与输入电压大小），因此我们需要保证每两次采样之间需要一定的延时，否则输入



电容会由于不断给采样电容充电导致输入电容上电压被不断拉低而超出 0.5LSB 误差的精度要求。如 [图 2-5. 采样间隔时间不足理论参考图](#) 所示：

**图2-5. 采样间隔时间不足理论参考图**



如 [图 2-6. 采样间隔时间不足实际参考图](#) 所示，在一个实际的采样过程，由于输入阻抗过大，且每两次采样之间预留延时不够长，造成 C<sub>IN</sub> 电压被不断拉低。

**图2-6. 采样间隔时间不足实际参考图**



因此在每两次采样中间加上必要的延时是必要的。接下来我们讨论这个延时取多大值合适。

根据前文理论知识，这个间隔时间包括给输入电容对采样电容充电时间 T<sub>1</sub> 加上外部输入信号对输入电容加上采样电容之和充电的时间 T<sub>2</sub>，在外部输入阻抗比较大时，T<sub>1</sub> 阶段的时间常数是远小于 T<sub>2</sub> 阶段的时间常数的，因此 T<sub>2</sub> >> T<sub>1</sub>，这里我们仅考虑 T<sub>2</sub> 时间。

对于 T<sub>2</sub> 时间段，由公式 (1-7) 计算当采样电容电压与输入信号 V<sub>IN</sub> 差 0.5LSB 时的时间为 T<sub>2</sub>，解如下方程，可得此时 T<sub>2</sub> 的表达式：

$$V_{Cadc(t)} = V_{cin(t)} = (V_{IN} - V_{CX0}) \left( 1 - e^{-\frac{t}{\tau_2}} \right) + V_{CX0} = V_{IN} - 0.5LSB$$

$$T_2 = -\tau_2 \ln \left( \frac{\alpha + 1}{8192} \right) \tag{2-1}$$

因此我们有结论：对于 SAR ADC 在采样时间内，采样电容上的电压必须被充分充放电，其被充电的电压值与外部输入电压之间的差值不应超过  $0.5\text{LSB}$ ，否则无论后级 ADC 性能如何卓越，都无法真实反映信号的幅值。对于极大输入阻抗，我们添加了一颗电容来限制单次采样时的电压跌落或上升毛刺的幅值，但是此种情形下，需要在每两次采样之间添加足够的时延给内部采样电容充电，以保证采样开关关闭时，采样电容上的电压与外部信号的电压差在量化误差范围之列。

特别的，当 ADC 工作在连续采样或者扫描采样时，如果由于输入阻抗过大，且未被及时修正时，输入阻抗过大通道的采样结果会受前一个采样通道信号的影响，通过增大采样时间以满足输入阻抗的影响会显著改善这个现象。

## 2.6. I/O 引脚串扰的影响

由于引脚甚至包括芯片内部 bonding 线之间的电容耦合，I/O 之间的串扰会对 ADC 的采样精度产生显著影响，尤其是 ADC 当前的模拟采样通道邻近有持续数字 I/O 的电平翻转动作（典型情况如 PWM 输出）。如 [图 2-7. 模拟与数字 I/O 串扰结构图](#) 所示。

图2-7. 模拟与数字I/O串扰结构图



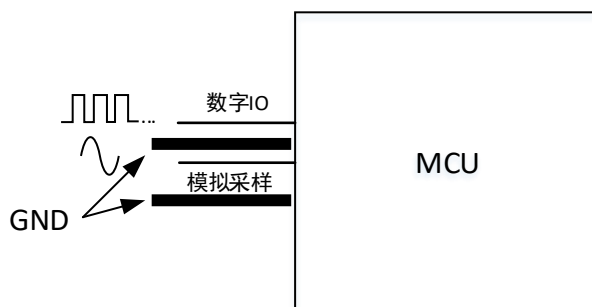
如 [图 2-8. 模拟与数字 I/O 串扰波形图](#)，是在实际情景中，ADC 的采样通道紧邻在 PWM 输出时的信号波形情况，在 PWM 发生电平翻转的瞬间，在相邻的采样通道上会造成信号的波动，如果此时 ADC 完成了一次采样，则可能会造成采样结果出现较大的误差。

图2-8. 模拟与数字I/O串扰波形图



有几种实践方法可以尝试来减弱 IO 之间串扰对 ADC 采样的影响，首先，在引脚规划上，就需要提前规划将那些需要持续翻转的数字 I/O 在物理位置上远离 ADC 采样通道；如果由于资源限制，频繁翻转的数字 I/O 无法远离模拟采样口，我们可以在后期 layout 上采取一些措施来减弱影响，比如我们可以通过在数字 I/O 与模拟通道之间加上一定面积的 GND 来隔离，如 [图 2-9. 模拟与数字 I/O 之间添加地屏蔽](#) 所示，当然，由于包地屏蔽无法覆盖芯片内部，bonding 线之间的串扰仍会继续存在。此外，减慢数字信号的边沿也会减弱串扰的影响，如对数字信号添加电容值适当的电容，减慢 MCU 数字 IO 口的驱动速度，也能显著减慢这个数字信号边沿。软件层面，我们同样有一些尝试，比如在数字 I/O 口不翻转的时候进行一次 ADC 转换，当然前提是应用允许这么做。

**图2-9. 模拟与数字I/O之间添加地屏蔽**



## 2.7. 软件提高 ADC 的采样精度

在 GD32 部分系列 MCU 中具有 ADC 的片上硬件过采样功能，硬件过采样单元执行数据预处理以减轻 CPU 负担。它能够处理多个转换，并将多个转换的结果取平均，借此以提高 ADC 采样结果的精度。采样结果值可根据如下公式 (2-2) 计算得出，其中 N 和 M 的值可以被调整，过采样单元可以通过设置 ADC\_OVSAMPCTL 寄存器的 OVSEN 位来使能，它是以降低数据输出率为代价，换取较高的数据分辨率。D<sub>out</sub>(n)是指 ADC 输出的第 n 个数字信号：

$$\text{Result} = \frac{1}{M} * \sum_{n=0}^{N-1} D_{\text{out}}(n) \quad (2-2)$$

片上硬件过采样单元执行两个功能：求和和位右移。过采样率 N 是在 ADC\_OVSAMPCTL 寄存器的 OVSR[2:0]位定义，它的取值范围为 2x 到 256x。除法系数 M 定义一个多达 8 位的右移，它通过 ADC\_OVSAMPCTL 寄存器 OVSS[3:0]位进行配置。

**表 2-2. N 和 M 的最大输出值（灰色部分表示截断）**

Oversampling ratio	Max Raw data	No-shift OVSS=0000	1-bit shift OVSS=0001	2-bit shift OVSS=0010	3-bit shift OVSS=0011	4-bit shift OVSS=0100	5-bit shift OVSS=0101	6-bit shift OVSS=0110	7-bit shift OVSS=0111	8-bit shift OVSS=1000
2x	0x1FFE	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF	0x007F	0x003F	0x001F
4x	0x3FFC	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF	0x007F	0x003F
8x	0x7FF8	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF	0x007F
16x	0xFFF0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF	0x00FF
32x	0x1FFE0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF	0x01FF

Oversampling ratio	Max Raw data	No-shift OVSS=0000	1-bit shift OVSS=0001	2-bit shift OVSS=0010	3-bit shift OVSS=0011	4-bit shift OVSS=0100	5-bit shift OVSS=0101	6-bit shift OVSS=0110	7-bit shift OVSS=0111	8-bit shift OVSS=1000
64x	0x3FFC0	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF	0x03FF
128x	0x7FF80	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x07FF
256x	0xFFF00	0xFF00	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF

和标准的转换模式相比，过采样模式的转换时间不会改变：在整个过采样序列的过程中采样时间仍然保持相等。每  $N$  个转换就会产生一个新的数据，一个等价的延迟为  $N \times t_{ADC} = N \times (t_{SAMPL} + t_{CONV})$ 。

对于不具备片上硬件过采样单元的 MCU，软件算法上亦可采用常用的一些滤波算法来降低输入信号采样值的波动。例如最常见的平均算法，滤波过程中需要占用 CPU 的算力与一定的 RAM 空间。这种平均算法适用于输入信号变化慢，偶有脉冲型干扰的情形。如果信号变化频率已经大于这个平均滤波算法的执行频率，则会丢失信号变化的细节，平均后的采样结果不能重现信号的所有信息。

### 3. 版本历史

表 3-1. 版本历史

版本号.	说明	日期
1.0	初稿发布	2022 年 5 月
1.1	增加关于 IO 串扰对于采样的影响	2022 年 12 月

## Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.