



RF-BM-2340B1I 硬件规格书

(CC2340R5)

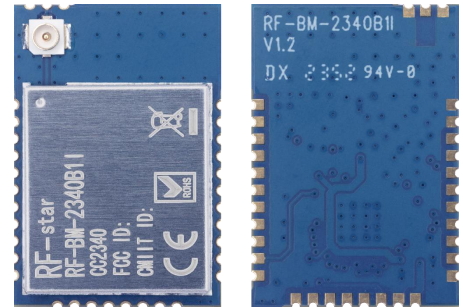
深圳市信驰达科技有限公司
更新日期：2024 年 02 月 01 日

目录

● 概述	3
➢ 主要参数	4
● 尺寸与引脚定义	5
● 软件设置低频时钟来源	10
● 硬件设计注意事项	11
● 常见问题	14
➢ 传输距离不理想	14
➢ 易损坏——异常损坏	14
➢ 误码率太高	14
● 回流焊条件	15
● 静电放电警示	15
● 版本更新记录	16
● 联系我们	16

● 概述

RF-BM-2340B1I 是信驰达科技基于美国 TI 的 CC2340R5 为核心设计的一款 SimpleLink 2.4 GHz 外置天线版本无线模块。支持 Bluetooth®5.3 Low Energy、Zigbee®、IEEE 802.15.4g、TI 15.4-Stack (2.4 GHz) 及私有协议。集成了高性能 ARM Cortex-M0+ 处理器，具有 512 KB Flash、32 KB 超低泄漏 SRAM。模块引出了 24 个 IO，包含多种外设，如：I²C、UART、SPI、ADC 和 GPIO。



支持 BLE 5 功能：高速模式（2 Mbps PHY），远距离广播（LE Coded 125kbps 和 500kbps PHY），且向下兼容 BLE 4.2 及早期的 BLE 规范的关键功能。

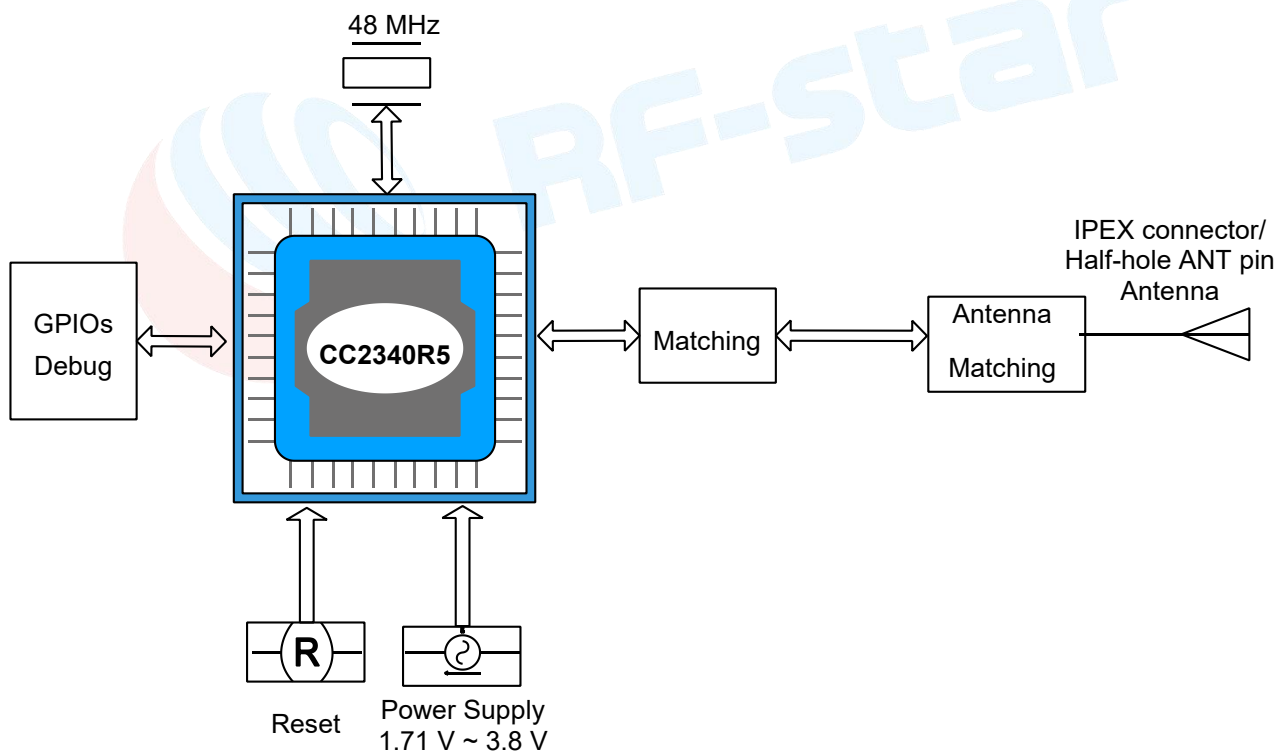


图 1. 原理框图

➤ 主要参数

表 1. 主要参数

芯片型号	CC2340R52E0RKPR (5*5mm)
工作电压	1.71 V ~ 3.8 V (GLDO), 推荐为 3.3 V
	2.2 V ~ 3.8 V (DCDC) ¹ , 推荐为 3.3 V
工作频段	2360 MHz ~ 2500 MHz
最大发射功率	+ 8 dBm
接收灵敏度	-102 dBm @ Bluetooth 125-kbps(LE Coded)
	-99 dBm @ Bluetooth 500-kbps(LE Coded)
	-96.5 dBm @ Bluetooth 1Mbps
	-92 dBm @ Bluetooth 2Mbps
MCU 功耗	2.6 mA active mode, CoreMark®
	53 μA/MHz running CoreMark®
	< 710 nA standby mode, RTC, 36 KB RAM
	150 nA shutdown mode, wake-up on pin
RF 功耗	5.3 mA RX
	5.1 mA TX at 0 dBm
	< 11.0 mA TX at +8 dBm
FLASH	512 KB
ROM	12 KB (for bootloader and drivers)
RAM	36 KB
GPIO 数量	24 个
模块尺寸	15.55 * 22.5 * 2.1 mm (±0.1mm)
封装方式	SMT (邮票半孔)
协议支持	BLE 5.3、ZigBee、SimpleLink™ TI 15.4-stack、私有协议
通讯接口	UART, I ² C, SPI, ADC
工作温度	- 40 °C ~ + 85 °C
储存温度	- 40 °C ~ + 125 °C

注1: 当设定为 DCDC 模式时, 如果供电电压低于 2.2 V, 会自动转换为 GLDO 模式。

● 尺寸与引脚定义

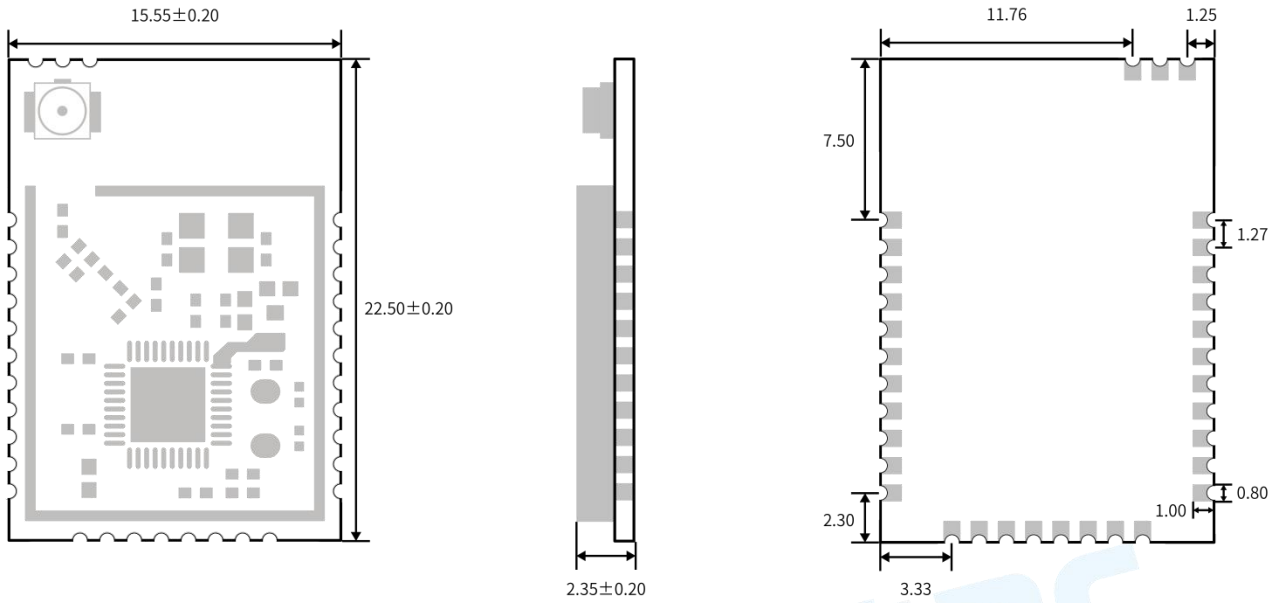


图 2. 模块尺寸图 (unit: mm)

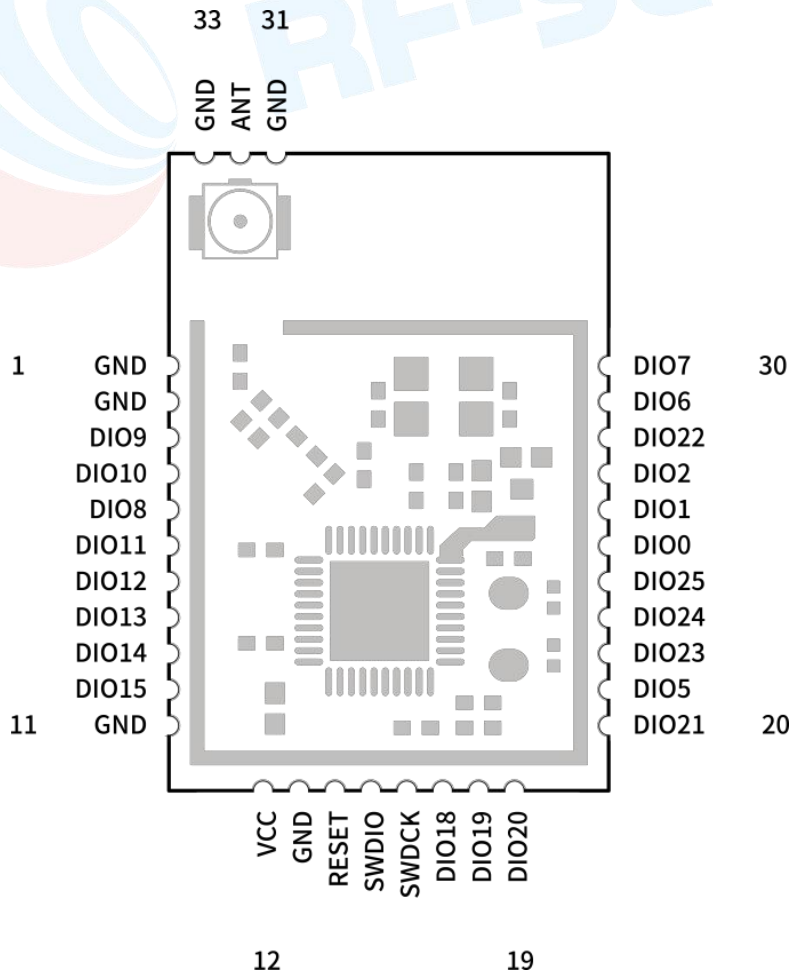


图 3. 模块引脚图

表 2. 模块引脚定义表

引脚序号	名称	功能	描述
1、2	GND	Ground	地
3	DIO9	Digital I/O	GPIO
4	DIO10	Digital I/O	GPIO
5	DIO8	Digital I/O	GPIO
6	DIO11	Digital I/O	GPIO
7	DIO12	Digital I/O	GPIO, high-drive capability
8	DIO13	Digital I/O	GPIO
9	DIO14	Digital I/O	GPIO
10	DIO15	Digital I/O	GPIO
11	GND	Ground	地
12	VCC	Power	1.71 V ~ 3.8 V, 推荐为 3.3 V
13	GND	Ground	地
14	RESET	RESET	复位, 低电平有效, 已接上拉电阻
15	SWDIO	SWDIO / DIO16	GPIO, SWD interface: mode select or SWDIO (JTAG_TMSC), high-drive capability
16	SWDCK	SWDCK / DIO17	GPIO, SWD interface: clock (JTAG_TCKC), high-drive capability
17	DIO18	Digital I/O	GPIO, high-drive capability
18	DIO19	Digital I/O	GPIO, high-drive capability
19	DIO20	Digital or Analog	GPIO, analog capability
20	DIO21	Digital or Analog	GPIO, analog capability
21	DIO5	Digital or Analog	GPIO, analog capability
22	DIO23	Digital or Analog	GPIO, analog capability
23	DIO24	Digital or Analog	GPIO, analog capability, high-drive capability
24	DIO25	Digital or Analog	GPIO, analog capability
25	DIO0	Digital or Analog	GPIO, analog capability
26	DIO1	Digital or Analog	GPIO, analog capability
27	DIO2	Digital or Analog	GPIO, analog capability
28	DIO22	Digital or Analog	GPIO, analog capability

29	DIO6	Digital or Analog	GPIO, analog capability
30	DIO7	Digital or Analog	GPIO, analog capability
31	GND	Ground	地
32	ANT	—	邮票半孔外接天线接口
33	GND	Ground	地

表 3. 常用外设引脚说明

功能	信号	模块引脚	芯片脚位	方向	描述
GPIO	GPIO8	DIO8	DIO8	I/O	General-purpose input or output
	GPIO9	DIO9	DIO9		
	GPIO10	DIO10	DIO10		
	GPIO11	DIO11	DIO11		
	GPIO12	DIO12	DIO12		
	GPIO13	DIO13	DIO13		
	GPIO14	DIO14	DIO14		
	GPIO15	DIO15	DIO15		
	GPIO16	DIO16	DIO16_SWDIO		
	GPIO17	DIO17	DIO17_SWDCCK		
	GPIO18	DIO18	DIO18		
	GPIO19	DIO19	DIO19		
	GPIO20	DIO20	DIO20_A11		
	GPIO21	DIO21	DIO21_A10		
	GPIO22	DIO22	DIO22_A9		
	GPIO23	DIO23	DIO23_A8		
	GPIO24	DIO24	DIO24_A7		
	GPIO25	DIO25	DIO25_A6		
	GPIO0	DIO0	DIO0_A5		
	GPIO1	DIO1	DIO1_A4		
	GPIO2	DIO2	DIO2_A3		
	GPIO5	DIO5	DIO5_A2		
	GPIO6	DIO6	DIO6_A1		
	GPIO7	DIO7	DIO7_A0		

表 3. 常用外设引脚说明 (续1)

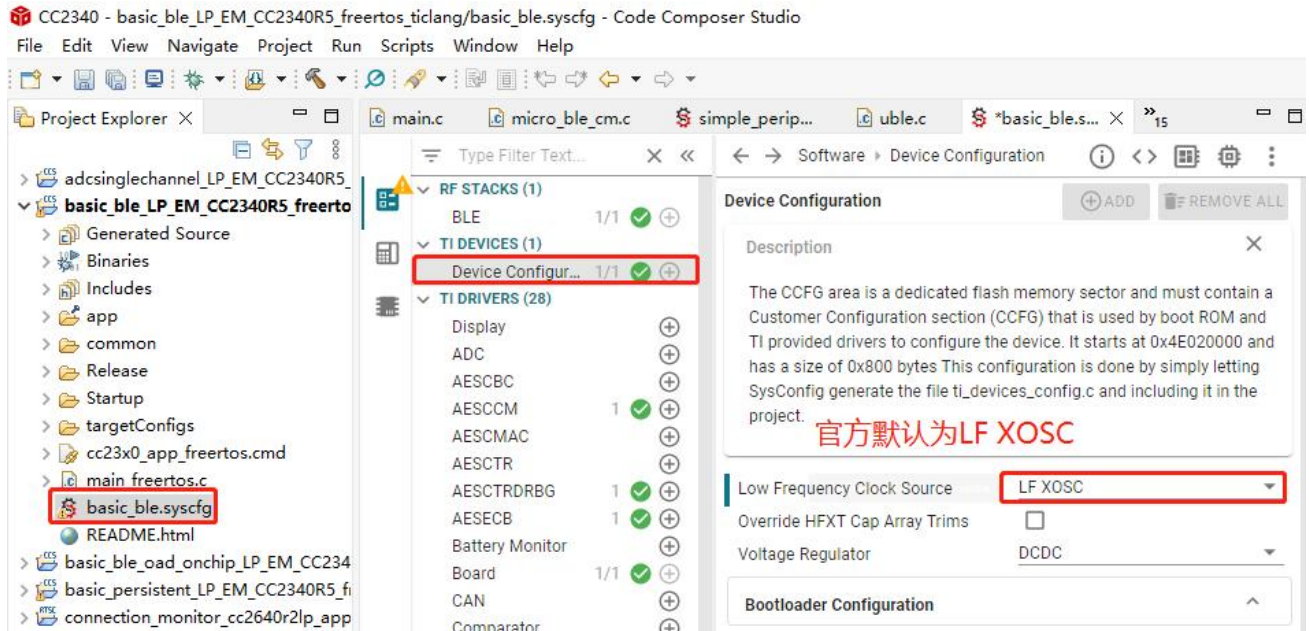
功能	信号	模块引脚	芯片脚位	方向	描述
UART	UART0TXD	DIO13	DIO13	O	UART0 TX data
		DIO17	DIO17_SWDCCK		
		DIO18	DIO18		
		DIO20	DIO20_A11		
		DIO6	DIO6_A1		
	UART0RXD	DIO12	DIO12	I	UART0 RX data
		DIO15	DIO15		
		DIO16	DIO16_SWDDIO		
		DIO20	DIO20_A11		
		DIO22	DIO22_A9		
	UART0CTS	DIO21	DIO21_A10	I	UART0 clear-to-send input (active low)
		DIO2	DIO2_A3		
	UART0RTS	DIO8	DIO8	O	UART0 request-to-send (active low)
		DIO1	DIO1_A4		
ADC	ADC11	DIO20	DIO20_A11	I	HP ADC channel 11 input
	ADC10	DIO21	DIO21_A10		HP ADC channel 10 input
	ADC9	DIO22	DIO22_A9		HP ADC channel 9 input
	ADC8	DIO23	DIO23_A8		HP ADC channel 8 input
	ADC7	DIO24	DIO24_A7		HP ADC channel 7 input
	ADC6	DIO25	DIO25_A6		ADC channel 6 input
	ADC5	DIO0	DIO0_A5		ADC channel 5 input
	ADC4	DIO1	DIO1_A4		ADC channel 4 input
	ADC3	DIO2	DIO2_A3		ADC channel 3 input
	ADC2	DIO5	DIO5_A2		ADC channel 2 input
	ADC1	DIO6	DIO6_A1		HP ADC channel 1 input
	ADC0	DIO7	DIO7_A0		HP ADC channel 0 input
ADC Reference	AREF+	DIO6	DIO6_A1	I	ADC external voltage reference, positive terminal
	AREF-	DIO7	DIO7_A0		ADC external voltage reference, negative terminal

表 3. 常用外设引脚说明 (续 2)

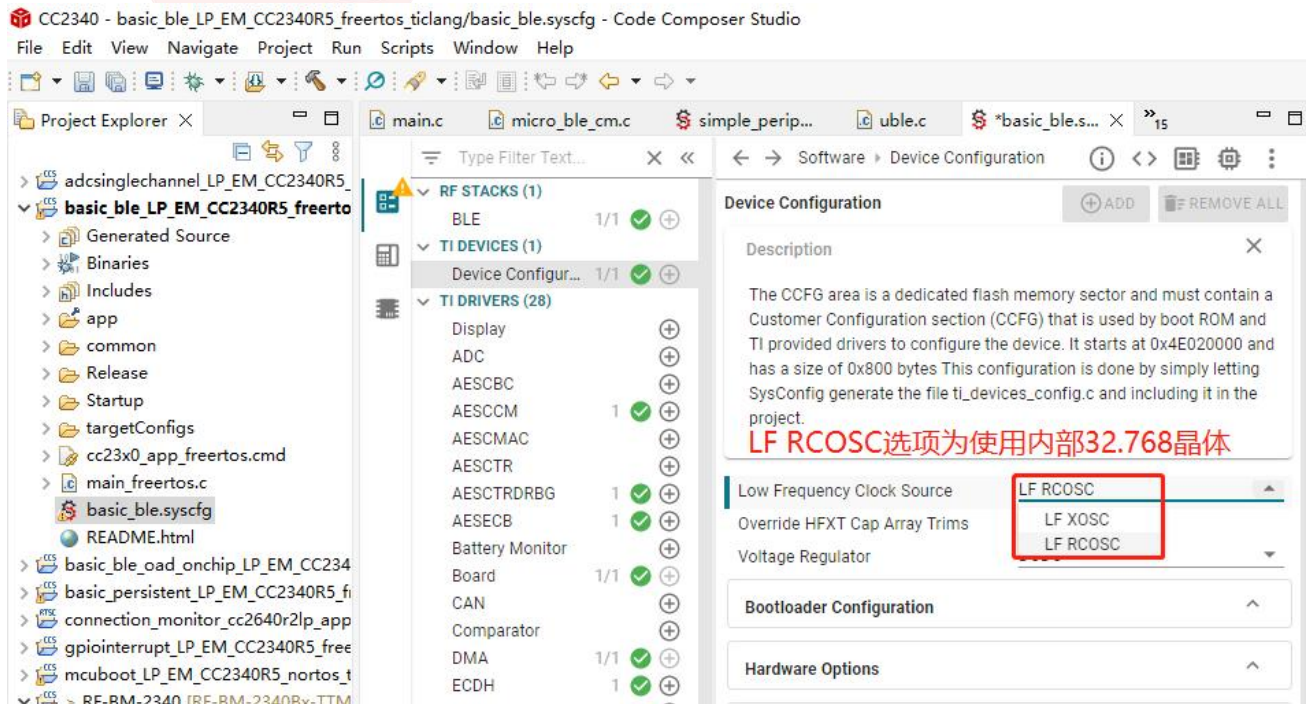
功能	信号	模块引脚	芯片引脚	方向	描述	
SPI	SPI0SCLK	DIO8	DIO8	I/O	SPI clock	
		DIO17	DIO17_SWDCK			
		DIO18	DIO18			
		DIO24	DIO24_A7			
	SPI0POCI		DIO11	DIO11	I/O	SPI POCI (MISO)
			DIO12	DIO12		
			DIO13	DIO13		
			DIO20	DIO20_A11		
			DIO21	DIO21_A10		
			DIO25	DIO25_A6		
	SPI0CSN		DIO11	DIO11	I/O	SPI chip select
			DIO0	DIO0_A5		
			DIO6	DIO6_A1		
SPI0PICO		DIO12	DIO12	I/O	SPI PICO (MOSI)	
		DIO13	DIO13			
		DIO16	DIO16_SWDIO			
		DIO19	DIO19			
I ² C	I2C0SCL	DIO17	DIO17_SWDCK	I/O	I ² C clock data	
		DIO24	DIO24_A7			
		DIO25	DIO25_A6			
		DIO6	DIO6_A1			
	I2C0SDA		DIO8	DIO8	I/O	I ² C data
			DIO12	DIO12		
			DIO16	DIO16_SWDIO		
			DIO0	DIO0_A5		

● 软件设置低频时钟来源

如下图所示，关于低频时钟（32.768 KHz），SDK 代码里一般默认配置使用的外部来源：



RF-BM-2340B1I 模块外部无 32.768 KHz 晶振，因此代码需要配置为使用内部的 LF RCOSC 才能让模块正常工作。配置方法如下图所示：



● 硬件设计注意事项

1、推荐使用直流稳压电源对模块进行供电，电源纹波系数尽量小，模块需可靠接地；请注意电源正负极的正确连接，如反接可能会导致模块永久性损坏；

2、请检查供电电源，确保在推荐供电电压之间，如超过最大值会造成模块永久性损坏；请检查电源稳定性，电压不能大幅频繁波动；

3、在针对模块设计供电电路时，往往推荐保留 30% 以上余量，有利于整机长期稳定地工作；模块应尽量远离电源、变压器、高频走线等电磁干扰较大的部分；

4、高频数字走线、高频模拟走线、电源走线必须避开模块下方，若实在不得已需要经过模块下方，假设模块焊接在 Top Layer，在模块接触部分的 Top Layer 铺地铜（全部铺铜并良好接地），必须靠近模块数字部分并走线在 Bottom Layer；

5、假设模块焊接或放置在 Top Layer，在 Bottom Layer 或者其他层随意走线也是错误的，会在不同程度影响模块的杂散以及接收灵敏度；

6、假设模块周围有存在较大电磁干扰的器件也会极大影响模块的性能，跟据干扰的强度建议适当远离模块，若情况允许可以做适当的隔离与屏蔽；

7、假设模块周围有存在较大电磁干扰的走线（高频数字、高频模拟、电源走线）也会极大影响模块的性能，跟据干扰的强度建议适当远离模块，若情况允许可以做适当的隔离与屏蔽；

8、通信线若使用5V电平，必须使用电平转换电路；

9、尽量远离部分物理层亦为 2.4 GHz 频段的TTL 协议，例如：USB3.0。

10、天线输出方式更改：该模块有两种天线输出方式，分别为 IPEX 外接天线和邮票半孔输出（ANT 脚，详见引脚定义表）。

默认出货为 IPEX 输出方式，如想要更改为半孔天线输出，参考第 11 条的邮票半孔外置天线设计建议和第 12 条的外围电路参考设计天线部分在 ANT 引脚走线即可。

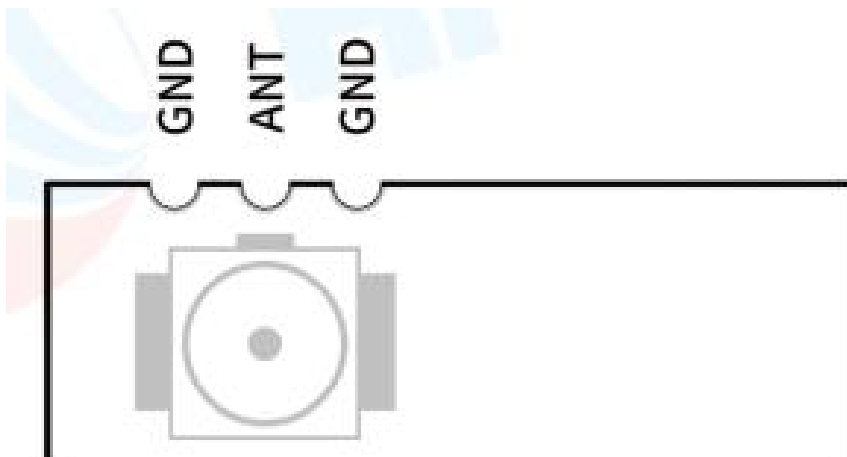


图 4. 天线输出方式更改

11、邮票半孔外置天线设计建议：

(1) 天线预留 Π 型匹配电路，并对射频走线做 $50\ \Omega$ 阻抗控制，走线尽量短，尽量使用 135° 或圆弧走线，不穿孔换层，射频走线周围多打 GND 过孔。

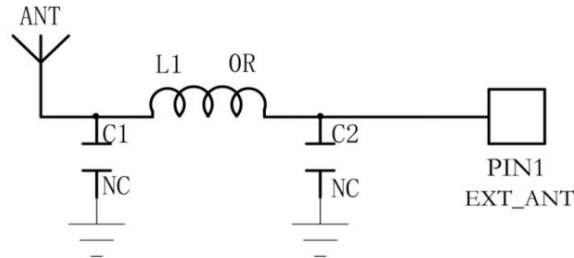


图 5. 外置天线设计原理图

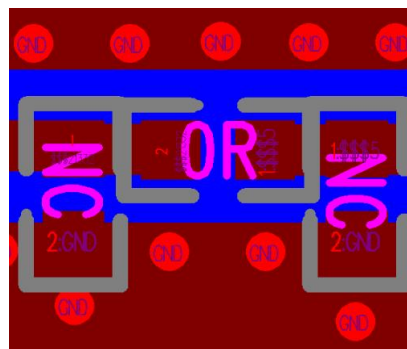
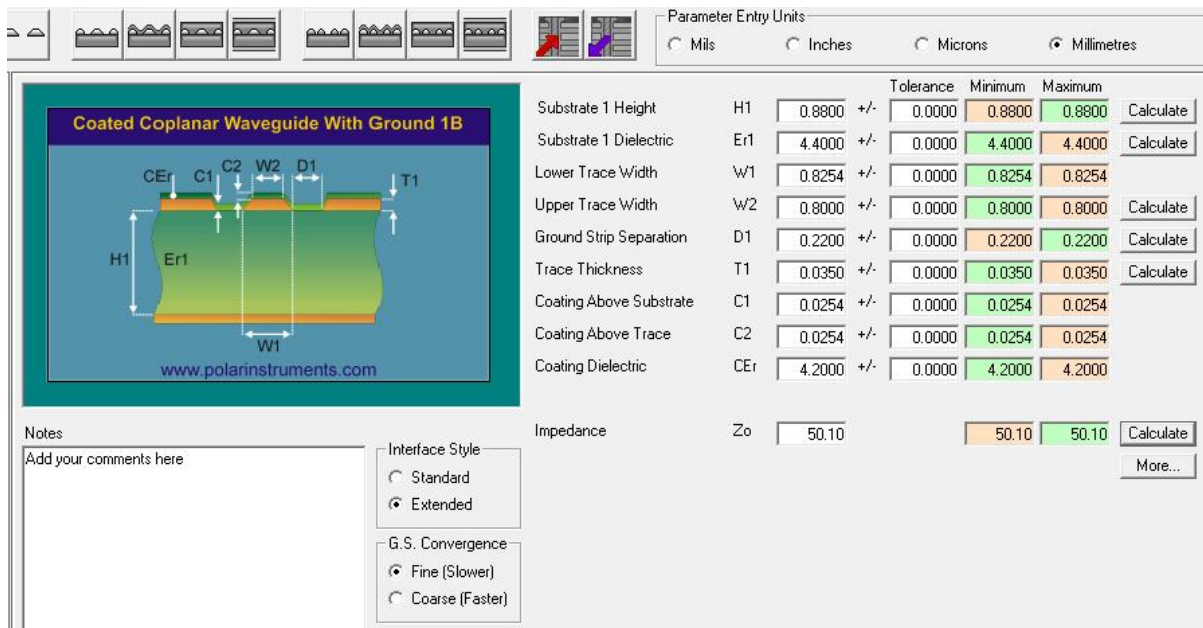


图 6. 外置天线设计走线示意图

(2) 射频走线宽度及覆铜间距可通过 SI9000 软件进行计算，根据实际板厚、层数、板材、介质厚度、介电常数、铜厚、线宽、线距、阻焊厚度控制阻抗为 $50\ \Omega$ 。例：FR4 厚度 $1.0\ \text{mm}$ 双层板，通过计算得出走线宽度为 $0.8254\ \text{mm}$ ，走线与敷铜间距为 $0.22\ \text{mm}$ 。



Parameter Entry Units		Tolerance		Minimum	Maximum	
Substrate 1 Height	H1	0.8800 +/-	0.0000	0.8800	0.8800	Calculate
Substrate 1 Dielectric	Er1	4.4000 +/-	0.0000	4.4000	4.4000	Calculate
Lower Trace Width	W1	0.8254 +/-	0.0000	0.8254	0.8254	
Upper Trace Width	W2	0.8000 +/-	0.0000	0.8000	0.8000	Calculate
Ground Strip Separation	D1	0.2200 +/-	0.0000	0.2200	0.2200	Calculate
Trace Thickness	T1	0.0350 +/-	0.0000	0.0350	0.0350	Calculate
Coating Above Substrate	C1	0.0254 +/-	0.0000	0.0254	0.0254	
Coating Above Trace	C2	0.0254 +/-	0.0000	0.0254	0.0254	
Coating Dielectric	CEr	4.2000 +/-	0.0000	4.2000	4.2000	
Impedance	Zo	50.10		50.10	50.10	Calculate

图 7. SI9000阻抗计算示意图

12、外围电路参考设计如下图所示：

如需外接ANT管脚，可按照虚线框内电路连接
预留C5、R2、C4，用于匹配天线，可以先按如下参数使用。
线路需要做50Ω的特性阻抗。

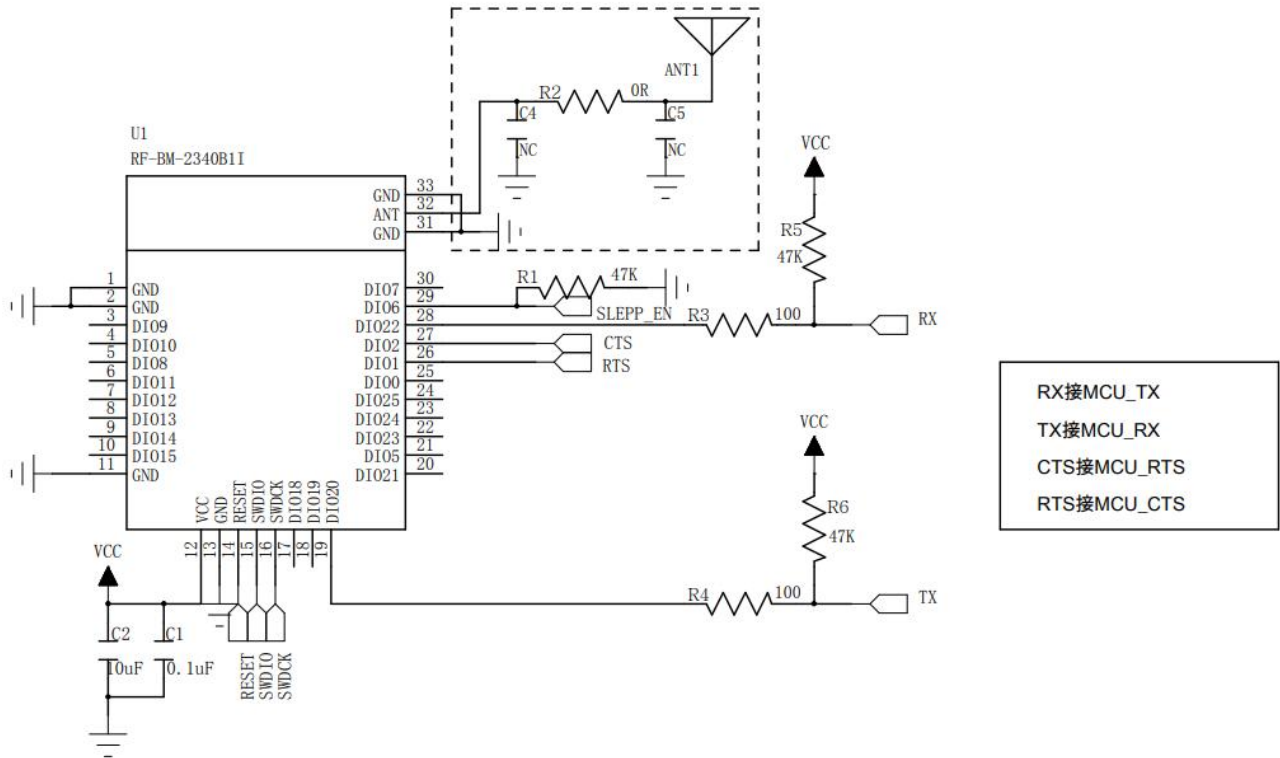


图 8. 外围参考设计

● 常见问题

➤ 传输距离不理想

- 1、当存在直线通信障碍时，通信距离会相应的衰减；温度、湿度，同频干扰，会导致通信丢包率提高；地面吸收、反射无线电波，靠近地面测试效果较差；
- 2、海水具有极强的吸收无线电波能力，故海边测试效果差；
- 3、天线附近有金属物体，或放置于金属壳内，信号衰减会非常严重；
- 4、功率寄存器设置错误、空中速率设置过高（空中速率越高，距离越近）；
- 5、室温下电源低压低于推荐值，电压越低发功率越小；
- 6、使用天线与模块匹配程度较差或天线本身品质问题。

➤ 易损坏——异常损坏

- 1、请检查供电电源，确保在推荐供电电压之间，如超过最大值会造成模块永久性损坏；请检查电源稳定性，电压不能大幅频繁波动；
- 2、请确保安装使用过程防静电操作，高频器件静电敏感性；
- 3、请确保安装使用过程湿度不宜过高，部分元件为湿度敏感器件；如果没有特殊需求不建议在过高、过低温度下使用。

➤ 误码率太高

- 1、附近有同频信号干扰，远离干扰源或者修改频率、信道避开干扰；
- 2、电源不理想也可能造成乱码，务必保证电源的可靠性；
- 3、延长线、馈线品质差或太长，也会造成误码率偏高。

● 回流焊条件

- 1、加热方法：常规对流或 IR 对流；
- 2、允许回流焊次数：2 次，基于以下回流焊(条件)(见下图)；
- 3、温度曲线：回流焊应按照下列温度曲线(见下图)；
- 4、最高温度：245°C。

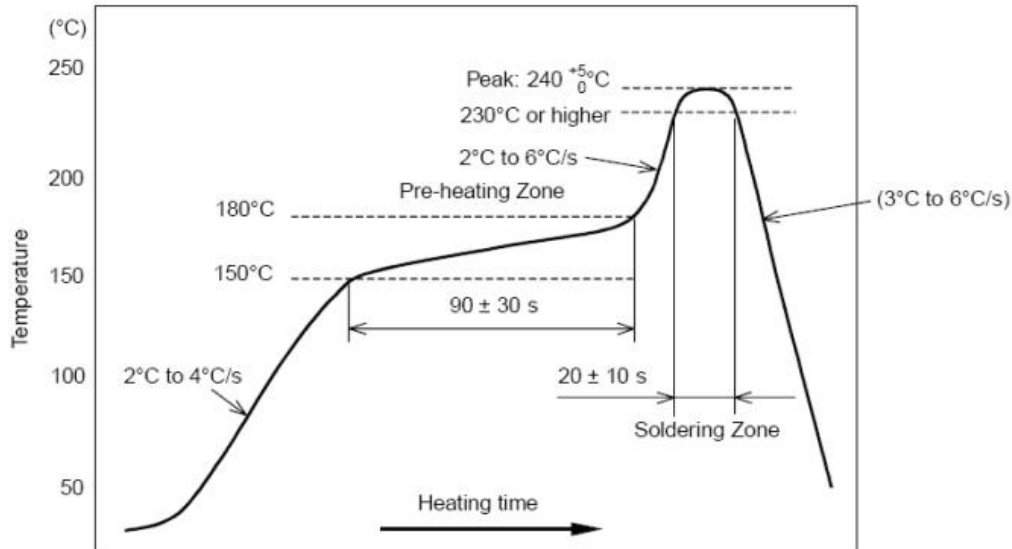


图 9. 部件的焊接耐热性温度曲线(焊接点)

● 静电放电警示

模块会因静电释放而被损坏，RF-star 建议所有模块应在以下 3 个预防措施下处理：

- 1、必须遵循防静电措施，不可以裸手拿模块。
- 2、模块必须放置在能够预防静电的放置区。
- 3、在产品设计时应该考虑高电压输入或者高频输入处的防静电电路。

静电可能导致的结果为细微的性能下降到整个设备的故障。由于非常小的参数变化都可能导致设备不符合其认证要求的值限，从而模块会更容易受到损害。

● 版本更新记录

文档日期	更新内容
2024/02/01	第一次发布

● 联系我们

深圳市信驰达科技有限公司

Shenzhen RF-star Technology Co., Ltd.

Tel(Sales): 0755-8632 9829

Tel(FAE): 0755-3695 3756

E-mail: sales@szrfstar.com

Web: www.szrfstar.com

地址: 深圳市南山区深圳湾科技生态园 12 栋裙楼 A 座 502

Add.: Room 502, Podium Building No. A-12, Shenzhen Bay Science and Technology Ecological Park, Nanshan District, Shenzhen, Guangdong, China, 518063