

LKI9210QF 产品规格书

瓴科微电子

版本: 0.3
日期: 2024.02.24

1. 版本说明

日期	版本	说明
2024.01.10	0.1	首次发布
2024.01.26	0.2	内容更新及格式刷新
2024.02.24	0.3	删除替代信息

瓴科微电子

目录

1. 版本说明	2
2. 产品概述	4
2.1. 优势和特点	4
2.2. 应用场景	4
2.3. 产品概述	4
3. 典型应用电路	5
4. 管脚描述	6
4.1. 管脚分布图	6
4.2. 管脚定义说明	6
5. 尺寸图	8

瓴科微电子

2. 产品概述

2.1. 优势和特点

- 工作电压: 3.3V
- 最大数据传输速率: 250Mbps(125 MHz)
- 脉冲偏斜: < 250ps
- 传输时延: <6ns
- 低功耗: 300mW@3.3V (静态)
- 兼容 TIA/EIA-899 M-LVDS 标准
- 支持 M-LVDS 接收模式 1 或模式 2
- 封装形式: QFN32(5.00mm×5.00mm×0.85mm), 塑封

2.2. 应用场景

- 多点总线时钟分布
- 高速、低功耗、短距离 TIA/EIA-485/422
- 先进 TCA(ATCA)时钟分布、Micro TCA (μ TCA、uTCA)背板

2.3. 产品概述

LKI9210QFN 是一款四路 M-LVDS 收发器。不但可驱动及接收多点网络的时钟及数据信号，而且还可同时支持多达 4 个网络。时钟频率高达 100MHz，数据传输速度高达 200Mbps。

由于同时具备时钟及数据分发功能，最适用于只利用一个通用总线连接多个驱动器及接收器的多点/多站式网络。驱动器能将 LVTTTL/LVCMOS 输入信号转换为差分 M-LVDS 信号，接收器能将 LVDS 信号(包括 LVDS、M-LVDS、LVPECL)转换为 3V LVCMOS 信号。

3. 典型应用电路

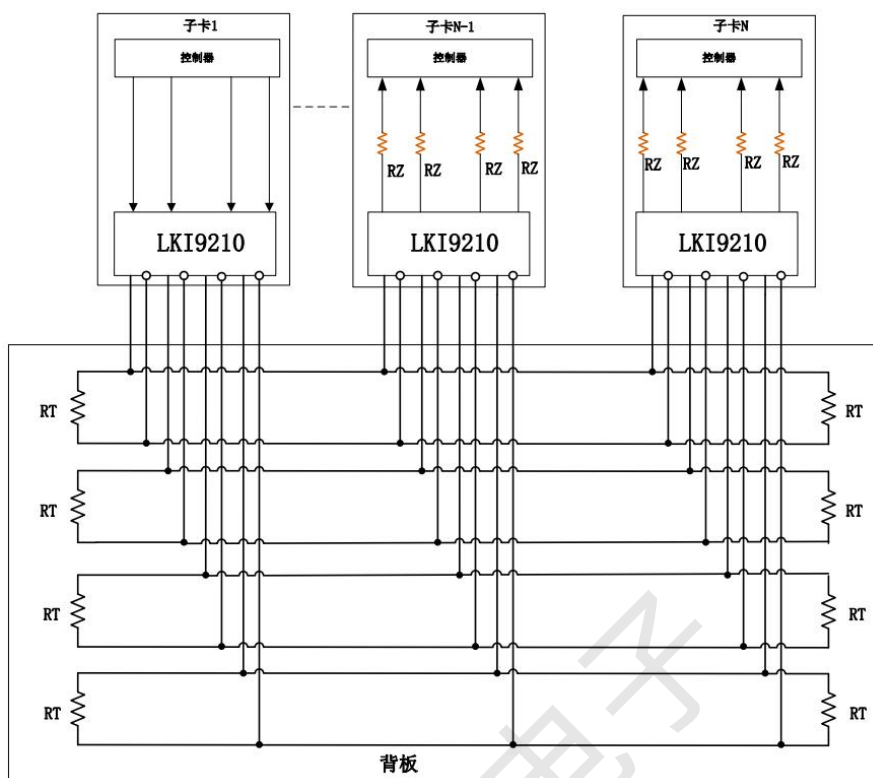


图 3.1 典型应用电路

4. 管脚描述

4.1. 管脚分布图

LKI9210QF 芯片的管脚分布如图 4.1 所示。

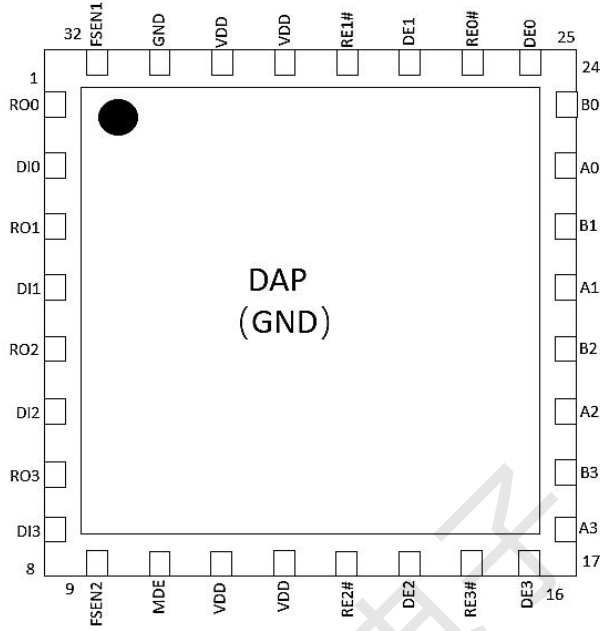


图 4.1 管脚分布图（顶视图）

4.2. 管脚定义说明

模组共 32 个管脚，管脚定义详见表 4.1。

4.1 管脚说明

序号	管脚名称	功能说明	功能说明
1	RO0	O, LVCMOS	接收器输出端，建议串接一个33Ω的电阻
2	DI0	I, LVCMOS	驱动信号输入端
3	RO1	O, LVCMOS	接收器输出端，建议串接一个33Ω的电阻
4	DI1	I, LVCMOS	驱动信号输入端
5	RO2	O, LVCMOS	接收器输出端，建议串接一个33Ω的电阻
6	DI2	I, LVCMOS	驱动信号输入端
7	RO3	O, LVCMOS	接收器输出端，建议串接一个33Ω的电阻
8	DI3	I, LVCMOS	驱动信号输入端
9	FSEN2	I, LVCMOS	Failsafe使能端。接300k上拉电阻，该引脚可使能接收器的1和3输入通道为Type 2模式。FSEN2为低电平表示Type 1 接受输入模式，FSEN2为高电平表示Type 2 接受输入模式。
10	MDE	I, LVCMOS	芯片使能端，高电平有效
11	VDD	Power	电源端

序号	管脚名称	功能说明	功能说明
12	VDD	Power	电源端
13	RE2#	I, LVCMOS	接收器使能端, 内部接300K上拉电阻
14	DE2	I, LVCMOS	驱动器使能端, 内部接300K下拉电阻
15	RE3#	I, LVCMOS	接收器使能端, 内部接300K上拉电阻
16	DE3	I, LVCMOS	驱动器使能端, 内部接300K下拉电阻
17	A3	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
18	B3	I/O, M-LVDS	反相的驱动器输出端/接收器输入端
19	A2	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
20	B2	I/O, M-LVDS	反相的驱动器输出端/接收器输入端
21	A1	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
22	B1	I/O, M-LVDS	反相的驱动器输出端/接收器输入端
23	A0	I/O, M-LVDS	同相的驱动器输出端/接收器输入端
24	B0	I/O, M-LVDS	反相的驱动器输出端/接收器输入端
25	DE0	I, LVCMOS	驱动器使能端内部接300K下拉电阻
26	RE0#	I, LVCMOS	接收器使能端内部接300K上拉电阻
27	DE1	I, LVCMOS	驱动器使能端内部接300K下拉电阻
28	RE1#	I, LVCMOS	接收器使能端内部接300K上拉电阻
29	VDD	Power	电源端
30	VDD	Power	电源端
31	GND	Power	接地端
32	FSEN1	I, LVCMOS	Failsafe使能端。内部接300k上拉电阻, 该引脚可使能接收器的0和2输入通道为Type 2模式。FSEN1为低电平表示Type 1 接受输入模式, FSEN1为高电平表示Type 2 接受输入模式。
DAP	GND	Power	接地端

5.尺寸图

QFN32(5.00mm×5.00mm×0.85mm)

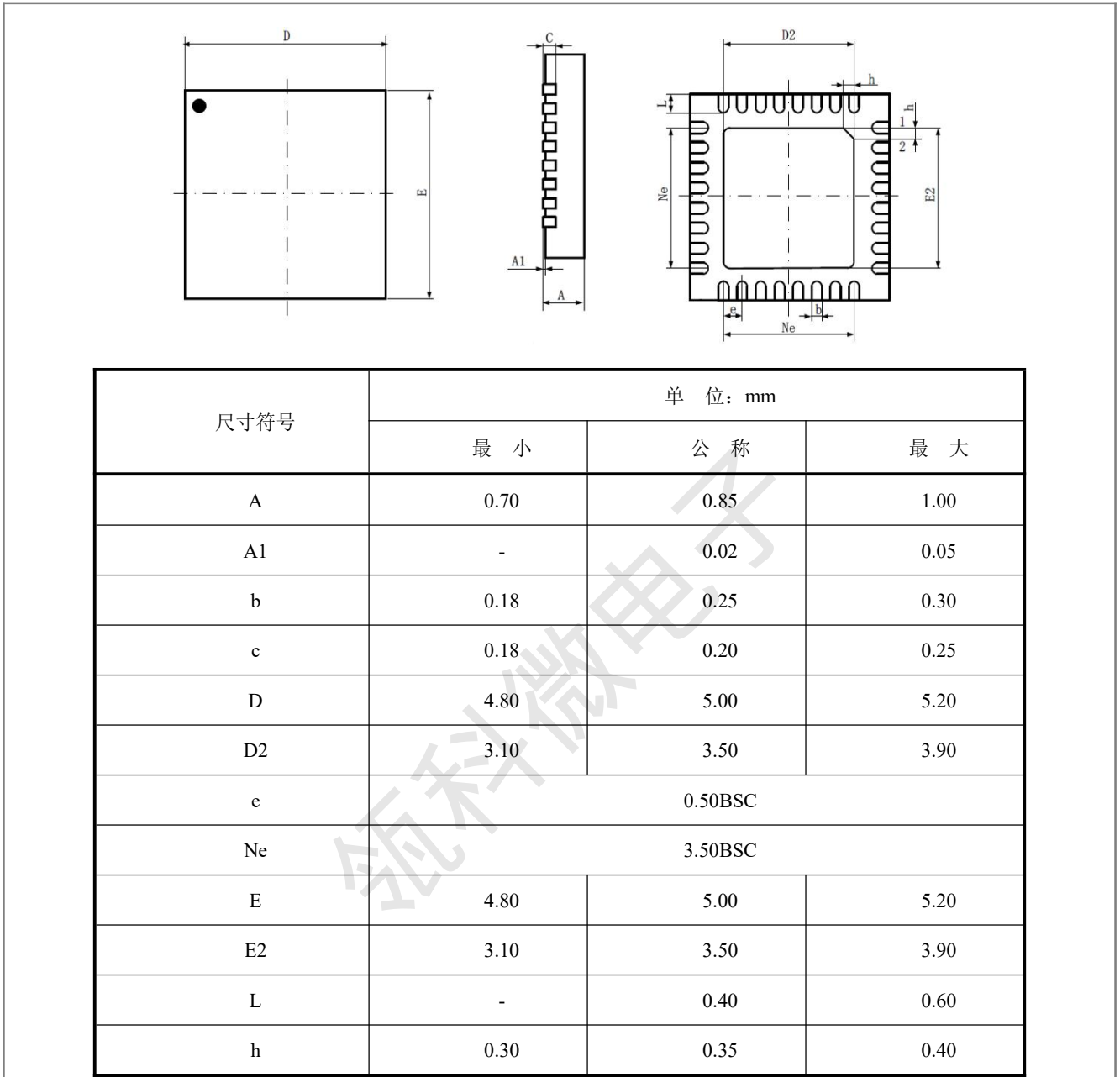


图 5.1 封装尺寸图