

隔离电源的 PCB 布线设计参考

PCB，又称印刷电路板（Printed Circuit Board），它可以实现电子元器件简单线路连接和功能的实现。对于川土隔离电源系列产品，在 PCB 布线设计中，除了要遵循 PCB 布线的基本规则外，还有其他事项需要注意。

该文档适用于隔离开关电源以及带隔离开关电源的隔离 RS485/422，隔离 CAN。川土料号如下表：

料号	功能描述	封装
CA-IS3105W	0.65W 隔离电源	SOIC16(W)
CA-IS3090W	带集成隔离电源的 0.5Mbps 隔离 RS422 接口	SOIC16(W)
CA-IS3096W	带集成隔离电源的 10Mbps 隔离 RS422 接口	SOIC16(W)
CA-IS3092W	带集成隔离电源的 0.5Mbps 隔离 RS485 接口	SOIC16(W)
CA-IS3098W	带集成隔离电源的 10Mbps 隔离 RS485 接口	SOIC16(W)
CA-IS3090T	带集成隔离电源的 0.5Mbps 隔离 RS422 接口	SOIC20(T)
CA-IS3096T	带集成隔离电源的 10Mbps 隔离 RS422 接口	SOIC20(T)
CA-IS3062W	带集成隔离电源的 1Mbps 隔离 CAN 接口	SOIC16(W)

初次级 V_{CC} 对地电容的 PCB 设计

隔离电源在工作时，芯片的 V_{CC} 和地有比较大的尖峰电流。为了持续提供这种电流，通常的做法是在供电的入口处放置电容，一个 $10\mu F$ 左右的电容，滤除低频噪声；一个 $0.001-0.1\mu F$ 的电容，用于滤除叠加在电源线上的高频交流干扰。但并不是使用的电容容量越大越好，因为实际的电容并不是理想电容。实际的电容由于存在寄生参数，可等效为串联在电容上的电阻和电感。

放置在隔离电源芯片供电管脚旁的高频电容的作用有两种：

- 1> 储能，及时补充芯片在高速工作时所需要的尖峰电流，防止输入侧电压跌落。
- 2> 去耦，滤除沿电源线传到过来的高频干扰。

去耦电容的摆放位置非常关键，如果摆放位置不合理，会失去去耦效果。其原则是：靠近电源的引脚，并且电容的电源走线和地线所包围的面积最小。当几个电容并联时，小容量电容的去耦半径更小，应尽可能最靠近芯片引脚。输入侧 V_{CC} 及输出侧 V_{ISO} 的储能电容及耦合电容位置，放尽可能摆放在靠近芯片的引脚处，以减少环路面积和 PCB 走线的寄生电感。最靠近芯片的电容到芯片引脚的距离，应控制在 $2mm$ 以内。如图 1 和图 2 所示。

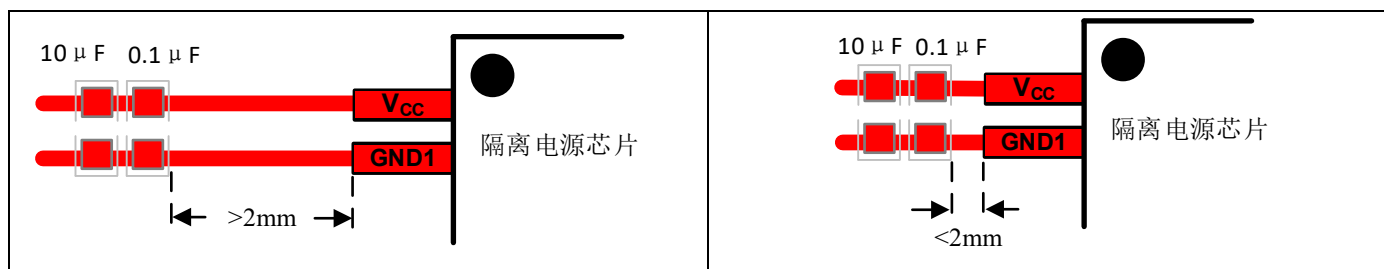


图 1 不推荐

图 2 推荐

当需要在供电电源线和地线上放置过孔时，过孔的摆放位置应在电容相对于芯片引脚的外侧，而非放置在电容和芯片之间，减少过孔寄生电感的影响，如图 3 和图 4 所示。如果 PCB 空间允许，可以多放置几个过孔，过孔的寄生电感相当于并联，进一步减少过孔的寄生电感带来的影响。

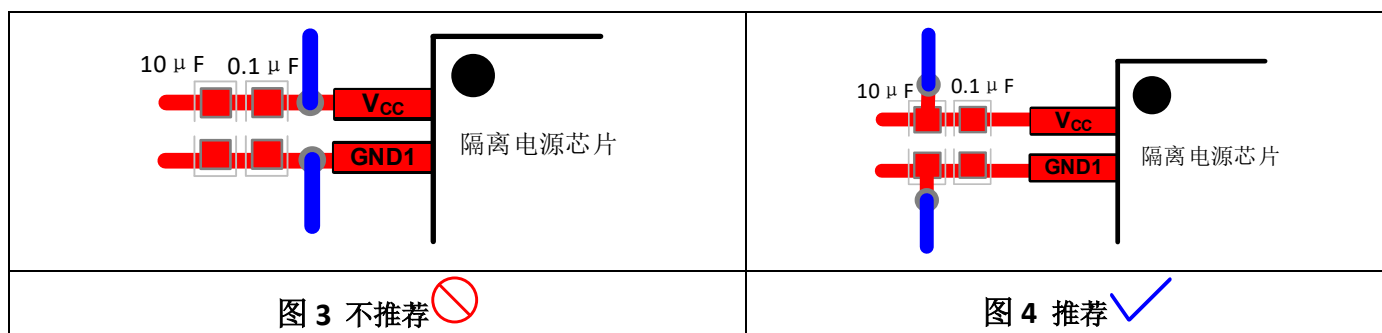


图 3 不推荐

图 4 推荐

下面以 CA-IS3062W 为例，介绍隔离开关电源供电管脚旁的电容摆放位置和 PCB 走线。

CA-IS3062W 是集成隔离电源的 CAN 收发器，其引脚如图 5

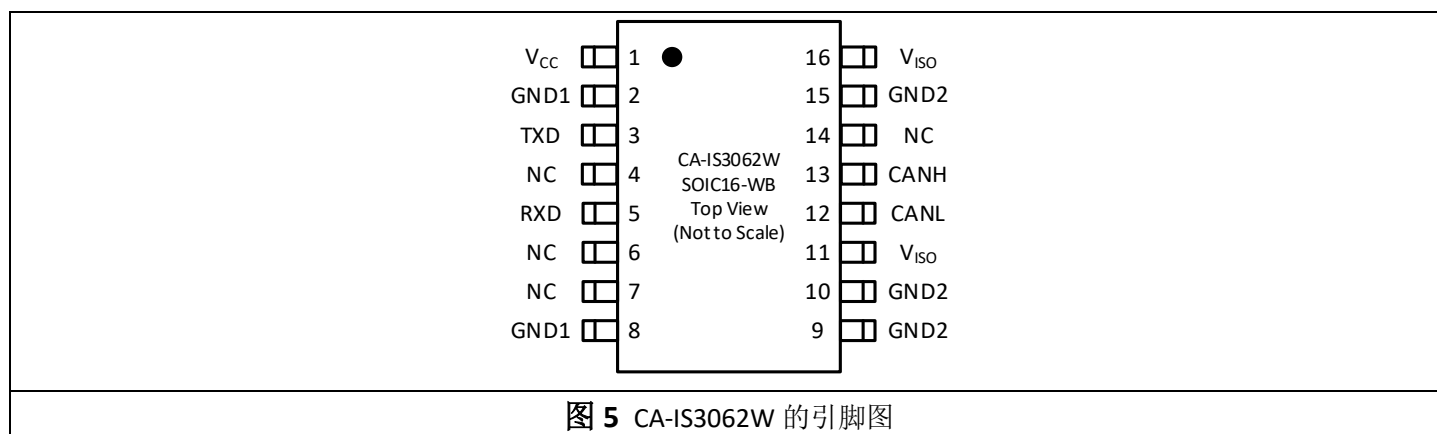
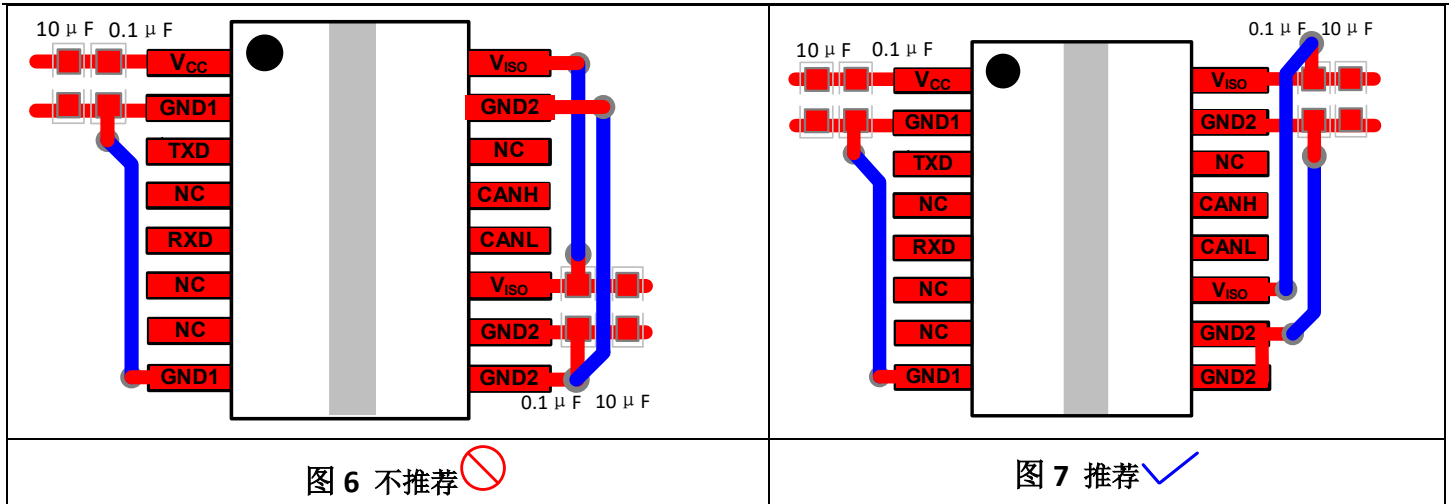


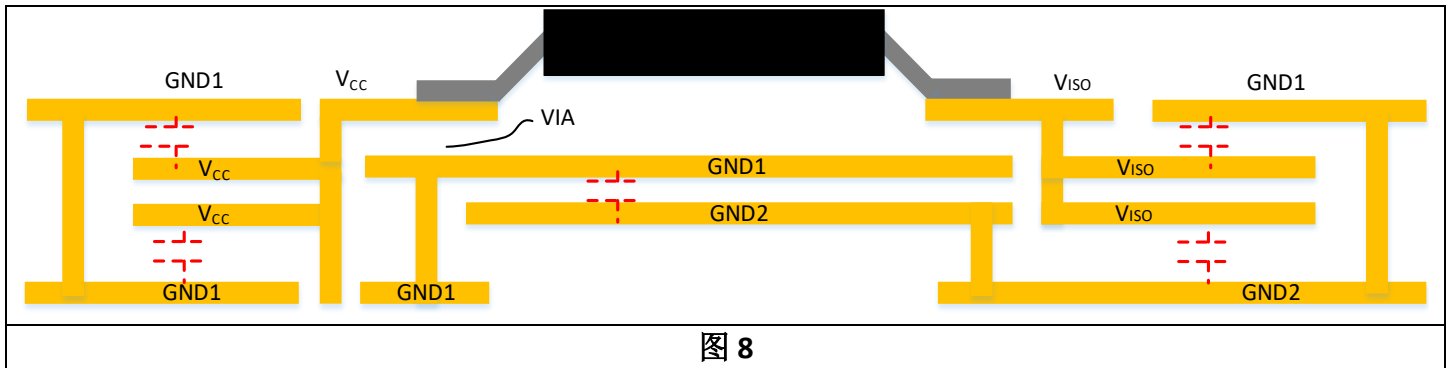
图 5 CA-IS3062W 的引脚图

其中 11 引脚 V_{ISO} 和 16 引脚 V_{ISO} 均为隔离电源输出，应用时需把这两个引脚连接到一起。由于芯片内部隔离电源模块在封装焊线时距离 15 和 16 引脚线最短，在摆放 V_{ISO} 和 GND2 之间的电容时，推荐尽量放置在靠近 15 引脚 GND2 和 16 引脚 V_{ISO}，如图 7；不推荐摆放在靠近 10 引脚和 11 引脚，如图 6。

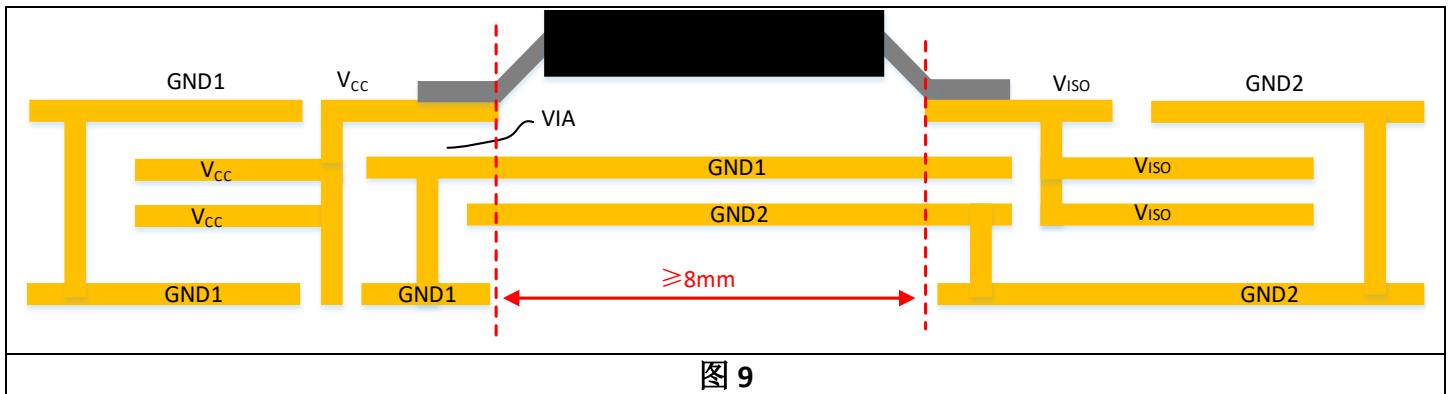


改善 EMI 辐射干扰

当 PCB 的两信号层存在面积覆铜交叠时，就会形成一个电容。这种拼接电容，分布电感极低，高频特性比较好，可以覆盖较宽的频率。利用这用拼接电容，可以用来改善 EMI 的辐射干扰，下面是 4 层 PCB 的一种布线方法。4 层 PCB 的中间两层加入 V_{CC} 和 V_{ISO} 铜箔，以增加其对 $GND1$ 寄生电容； $GND1$ ， $GND2$ 交叠电容，改善 EMI 效果明显，应注意 $GND1$ 和 $GND2$ 的 PCB 层间距离，一般应大于 $0.4mm$ 。



初级地 $GND1$ 和次级地 $GND2$ 之间铜箔的爬电距离，不应低于芯片初级和次级之间的距离，建议 $>8mm$ 。



利用过孔建立屏蔽墙，为内层电源平面构建边缘防护。

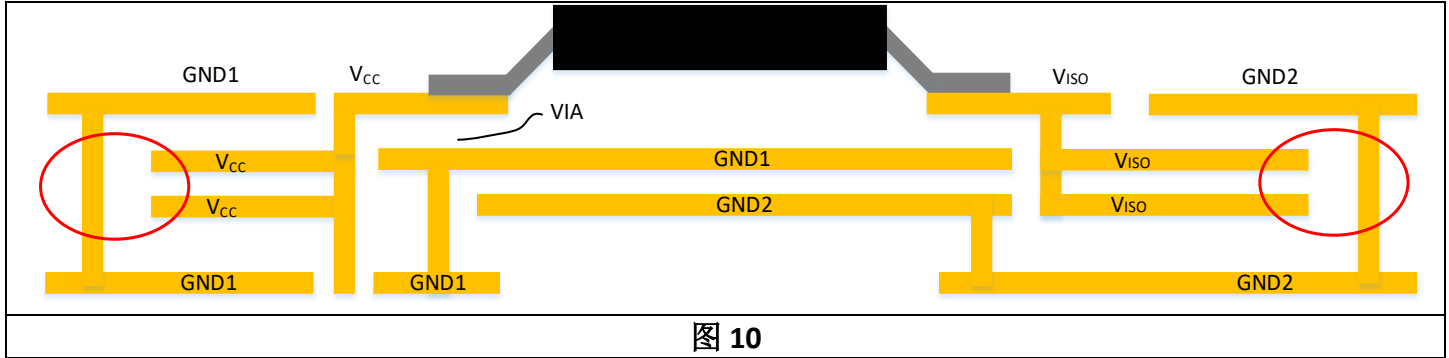


图 10

关于隔离电源 EMI 特性优化的详细方法，请登录川土微电子官网，在“技术与支持——技术文档”中查看

《隔离电源的辐射抑制设计参考》

Revision History

版本	日期	状态描述
Ver1.0	Jan.2021	初始版本

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

<http://www.chipanalog.com>