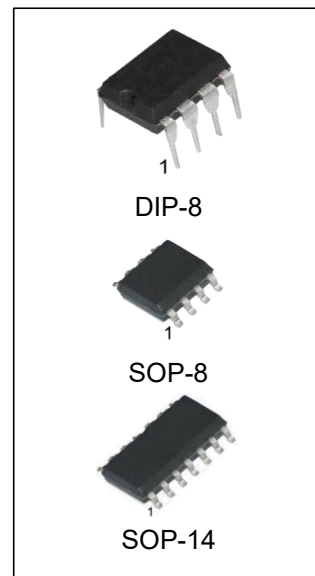


双音多频信号发生器

功能特点

- 工作电压: 2.5V ~ 5.5V
- HT9200A 为串行工作模式
- HT9200B 可选择串行工作模式或并行工作模式
- 低待机电流
- 低谐波失真
- 3.58MHz 晶振
- HT9200A 封装形式: DIP-8/SOP-8
HT9200B 封装形式: SOP-14



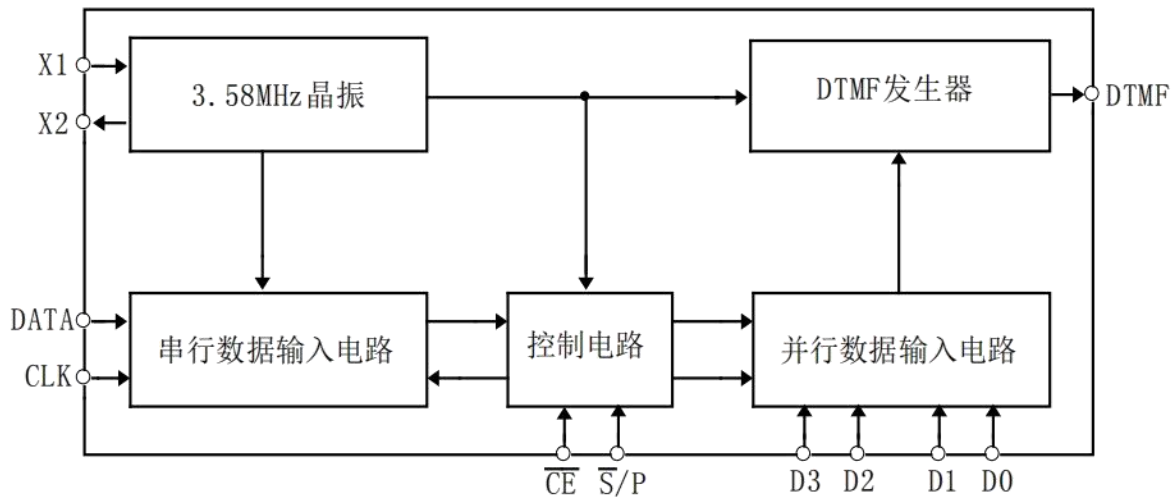
产品订购信息

产品名称	封装	打印名称	包装	包装数量
HT9200AN	DIP-8	HT9200A	管装	2000 只/盒
HT9200AM/TR	SOP-8	HT9200A	编带	2500 只/盘
HT9200BM/TR	SOP-14	HT9200B	编带	2500 只/盘

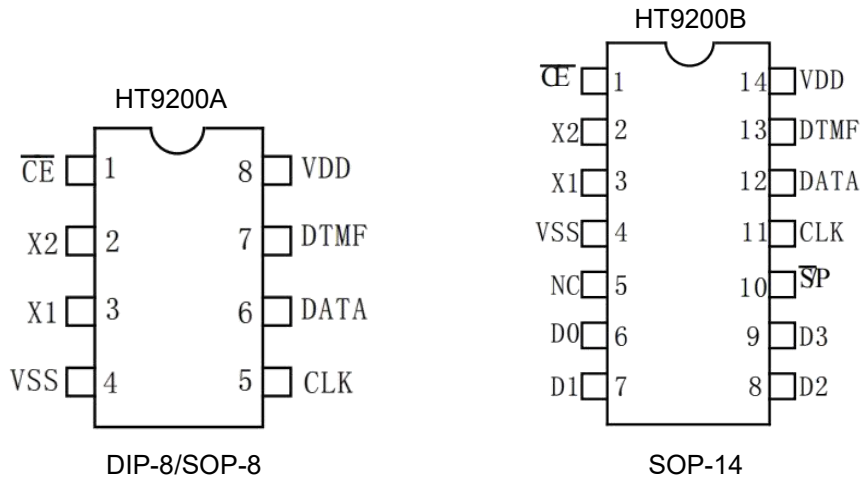
概述

HT9200A/B 为双音多频信号发生器，提供与 μC 接口。可由 μC 控制产生 16 种双频信号和 8 种单频 信号，从 DTMF 管脚输出。HT9200A 为串行工作模式，而 HT9200B 可以选择串行或并行工作模式。该芯片可以应用在多种场合，如安全系统、家庭自动化、通过电话线进行远程控制、通讯系统等。

功能框图



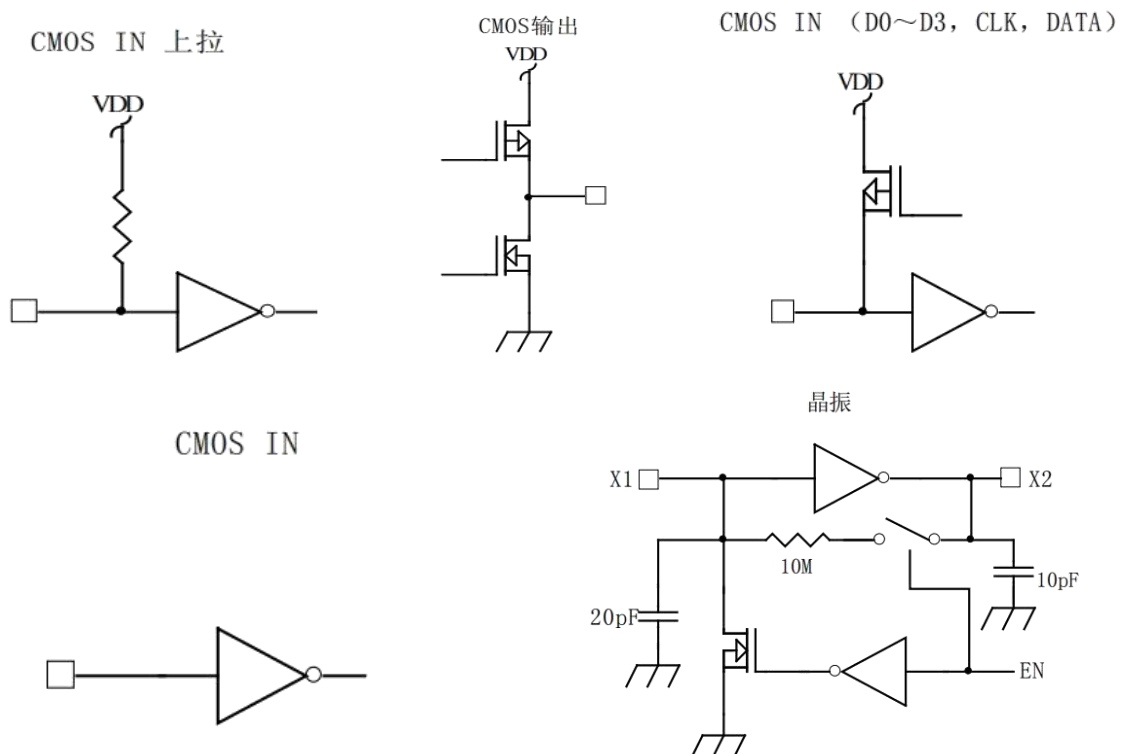
引脚排列图



引脚说明

管脚名	I/O	内部连接	说明
CE	I	CMOS IN	电路使能端，低有效。
X2	O	晶振	接 3.58MHz 晶振。
X1	I		
VSS	-	-	负电源，地。
NC	-	-	空脚，不连接。
D0 ~ D3	I	CMOS IN 上拉或悬空	并行模式时，数据输入端。当电路工作在串行模式时，D0 ~ D3 端内部有上拉电阻，当电路工作在并行模式时，D0 ~ D3 端内部悬空。
\bar{S}/P	I	CMOS IN	工作模式选择输入端： $\bar{S}/P="1"$ ，并行模式 $\bar{S}/P="0"$ ，串行模式
CLK	I	CMOS IN 上拉或悬空	串行模式时数据的同步时钟输入端。当电路工作在并行模式时，CLK 输入端内部有上拉电阻，当电路工作在串行模式时，CLK 输入端悬空。
DATA	I	CMOS IN 上拉或悬空	串行模式时，数据输入端。当电路工作在并行模式时，DATA 输入端内部有上拉电阻，当电路工作在串行模式时，DATA 输入端悬空。
DTMF	O	CMOS OUT	DTMF 信号输出端。
VDD	-	-	电源端，正常工作时，电源电压为：2.5V ~ 5.5V

内部连接线路图



极限参数

除非另有规定, $T_{amb}=25^{\circ}\text{C}$

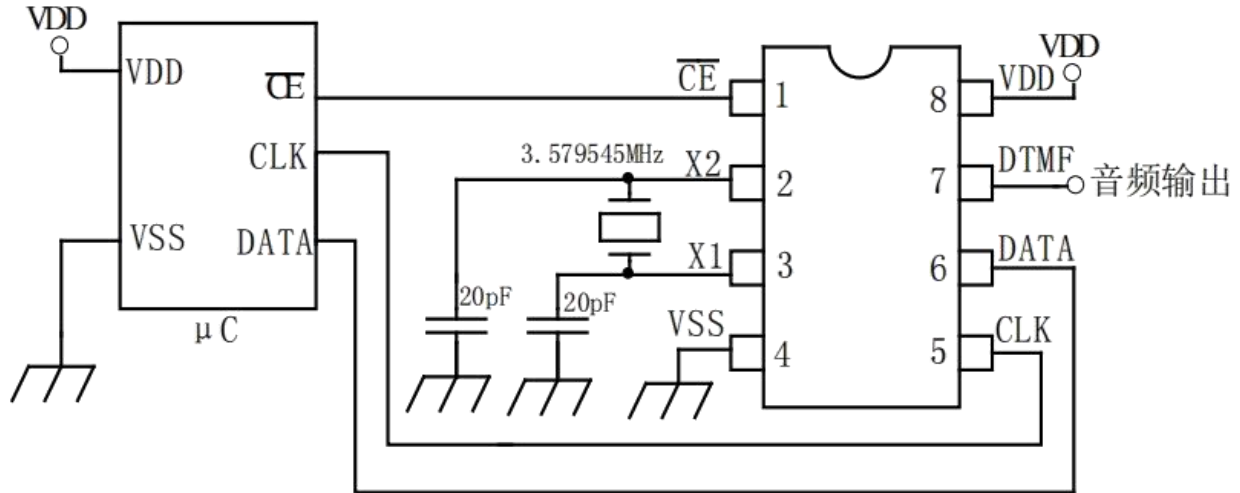
参数名称	符号	条件		额定值	单位
电源电压	V_{CC}			-0.3 ~ 6	V
输入电压	V_I			$V_{SS}-0.3 \sim V_{DD}+0.3$	V
工作环境温度	T_{amb}			-20 ~ 75	$^{\circ}\text{C}$
贮存温度	T_{stg}			-50 ~ 125	$^{\circ}\text{C}$
焊接温度	T_L	10 秒	DIP	245	$^{\circ}\text{C}$
			SOP	250	

电气特性 ($T_a=25^{\circ}\text{C}$)

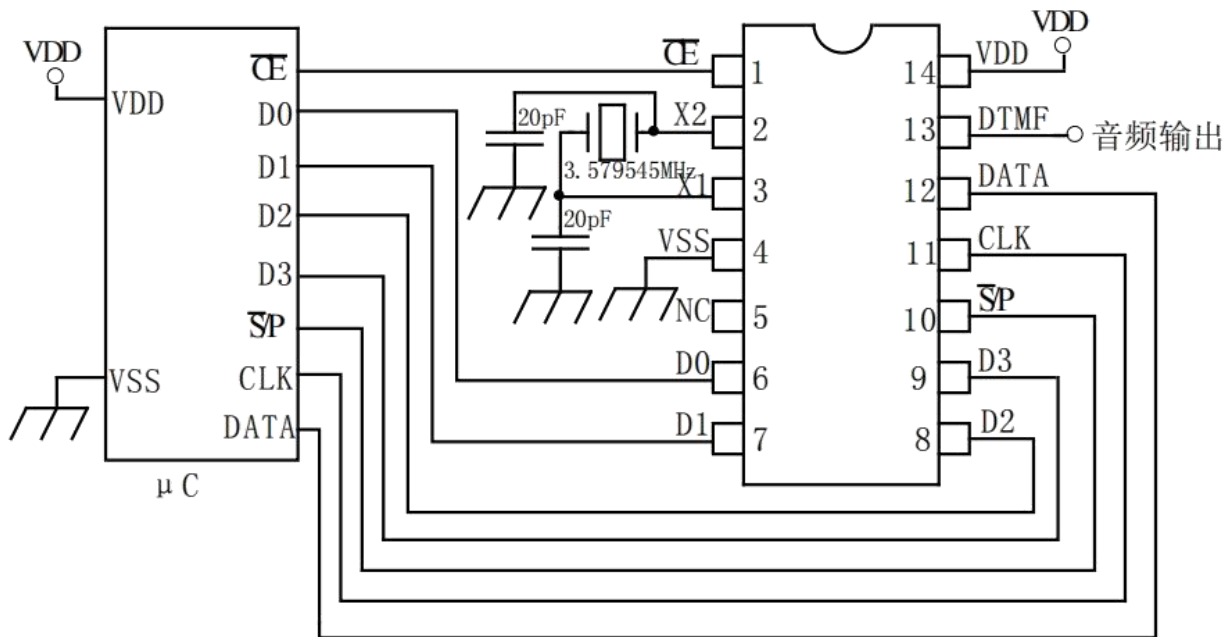
符号	参数	测试条件		最小	典型	最大	单位
		V_{DD}	条件				
V_{DD}	工作电压	—	—	2.5	—	5.5	V
I_{DD}	工作电流	2.5V	$\bar{S} / P = V_{DD}$, $D0 \sim D3 = V_{SS}$ $\overline{CE} = V_{SS}$, 无负载	—	240	2500	μA
		5.0V		—	950	3000	μA
V_{IL}	输入低电压	—	—	V_{SS}	—	$0.2V_{DD}$	V
V_{IH}	输入高电压	—	—	$0.8V_{DD}$	—	V_{DD}	V
I_{STB}	待机电流	2.5V	$\bar{S} / P = V_{DD}$ $\overline{CE} = V_{DD}$, 无负载	—	—	1	μA
		5.0V		—	—	2	μA
R_P	上拉电阻	2.5V	$V_{OL}=0\text{V}$	120	180	270	$\text{K}\Omega$
		5.0V		45	68	100	$\text{K}\Omega$
t_{DE}	DTMF 输出延时 (并行模式)	5.0V	—	—	$t_{UP}+6$	$t_{UP}+8$	ms
V_{TDC}	DTMF 输出直流电平	2.5V ~ 5.5V	DTMF 输出	$0.45V_{DD}$	—	$0.75V_{DD}$	V
I_{TOL}	DTMF 端拉电流	2.5V	$V_{DTMF}=0.5\text{V}$	-0.1	—	—	mA
V_{TAC}	DTMF 输出交流电平	2.5V	行组, $R_L=5\text{K}\Omega$	0.12	0.15	0.18	Vrms
A_{CR}	列预加重	2.5V	行组=0dB	1	2	3	dB
R_L	DTMF 输出负载	2.5V	$t_{HD} \leq -23\text{dB}$	5	—	—	$\text{K}\Omega$
t_{HD}	音频信号失真	2.5V	$R_L=5\text{K}\Omega$	—	-30	-23	dB
f_{CLK}	时钟频率 (串行模式)	—	—	—	100	500	KHz
t_{UP}	振荡 起始时间 (\overline{CE} 为低时)	5.0V	从 \overline{CE} 下降沿到晶振正常工作时的时间	—	—	10	ms
f_{OSC}	系统频率	—	3.5795MHz 晶振	3.5759	3.5759	3.5831	MHz

应用线路

串行模式



并行模式



应用说明

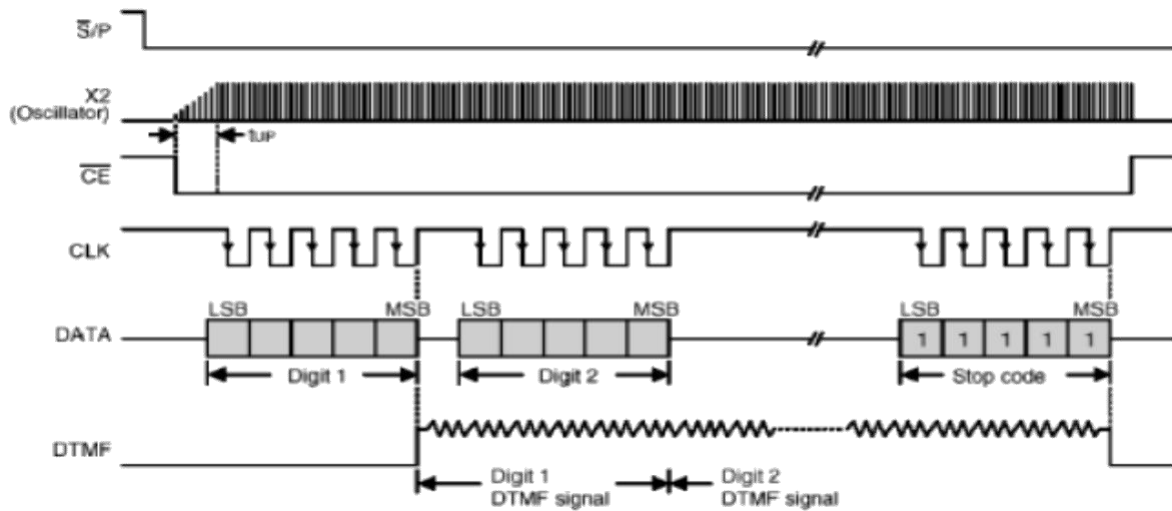
串行模式 (HT9200A/B)

在串行工作模式下, HT9200A/B 通过 DATA 管脚输入一个 5bit 的代码来控制不同的 DTMF 信号输出, 这 5 位代码按照 D0~D4 的顺序来传送, 并且在 CLK 为下降沿时, HT9200A/B 锁存数据。当电路工作在串行模式时, D0~D3 端内部有上拉电阻。对于 HT9200B 电路, 如果工作在串行模式时, S /P 端必须连接到地 (GND)

控制代码与频率输出对应关系 (串行模式) :

Digit	D4	D3	D2	D1	D0	频率输出 (Hz)
1	0	0	0	0	1	697+1209
2	0	0	0	1	0	697+1336
3	0	0	0	1	1	697+1477
4	0	0	1	0	0	770+1209
5	0	0	1	0	1	770+1336
6	0	0	1	1	0	770+1477
7	0	0	1	1	1	852+1209
8	0	1	0	0	0	852+1336
9	0	1	0	0	1	852+1477
0	0	1	0	1	0	941+1336
*	0	1	0	1	1	941+1209
#	0	1	1	0	0	941+1477
A	0	1	1	0	1	697+1633
B	0	1	1	1	0	770+1633
C	0	1	1	1	1	852+1633
D	0	0	0	0	0	941+1633
—	1	0	0	0	0	697
—	1	0	0	0	1	770
—	1	0	0	1	0	852
—	1	0	0	1	1	941
—	1	0	1	0	0	1209
—	1	0	1	0	1	1336
—	1	0	1	1	0	1477
—	1	0	1	1	1	1633
DTMF OFF	1	1	1	1	1	—

控制时序图（串行模式）：



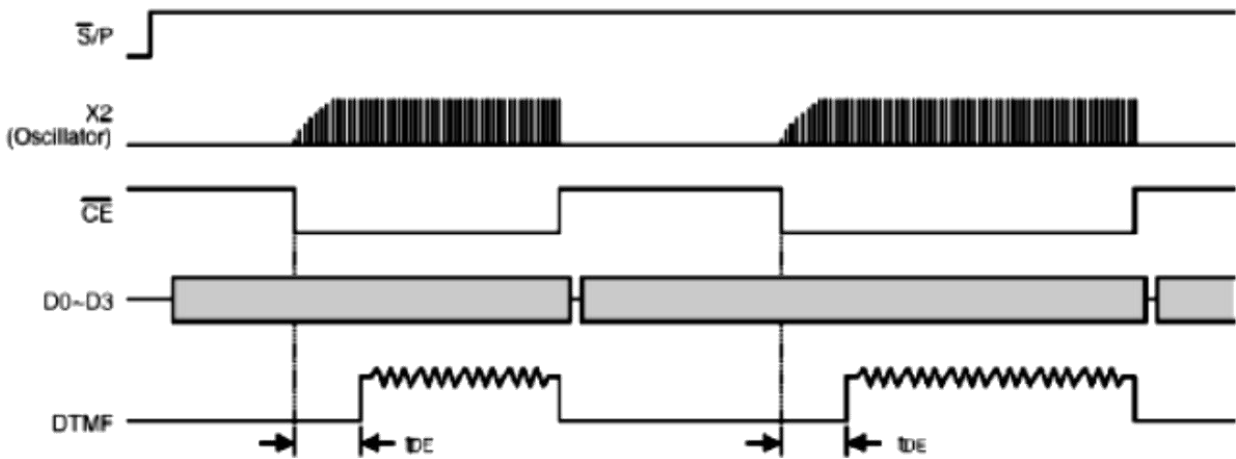
并行模式(只适用于 HT9200B)

HT9200B 除了能用于串行模式，还能用于并行模式。当 \bar{S}/P 管脚为高电平时，HT9200B 工作于并行模式。在并行模式下，HT9200B 通过 D0 ~ D3 管脚输入的的代码来控制不同的 DTMF 信号输出。HT9200B 是在 \bar{CE} 信号由高电平变为低电平时接收数据的。在 \bar{CE} 下降沿和 DTMF 产生信号输出之间会有一个延时（大约为 6ms）。

控制代码与频率输出对应关系（并行模式）：

Digit	D3	D2	D1	D0	频率输出 (Hz)
1	0	0	0	1	697+1209
2	0	0	1	0	697+1336
3	0	0	1	1	697+1477
4	0	1	0	0	770+1209
5	0	1	0	1	770+1336
6	0	1	1	0	770+1477
7	0	1	1	1	852+1209
8	1	0	0	0	852+1336
9	1	0	0	1	852+1477
0	1	0	1	0	941+1336
*	1	0	1	1	941+1209
#	1	1	0	0	941+1477
A	1	1	0	1	697+1633
B	1	1	1	0	770+1633
C	1	1	1	1	852+1633
D	0	0	0	0	941+1633

控制时序图（并行模式）：



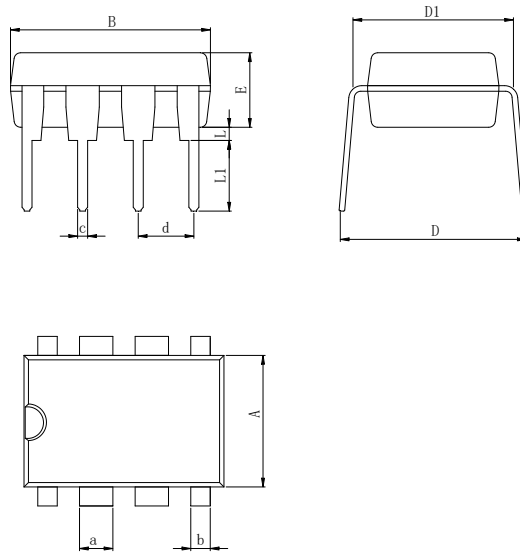
音频频率

输出频率 (Hz)		%误差
额定值	实际	
697	699	+0.29%
770	766	-0.52%
852	847	-0.59%
941	948	+0.74%
1209	1215	+0.50%
1336	1332	-0.30%
1477	1472	-0.34%

注：%误差包括晶振频率的漂移。

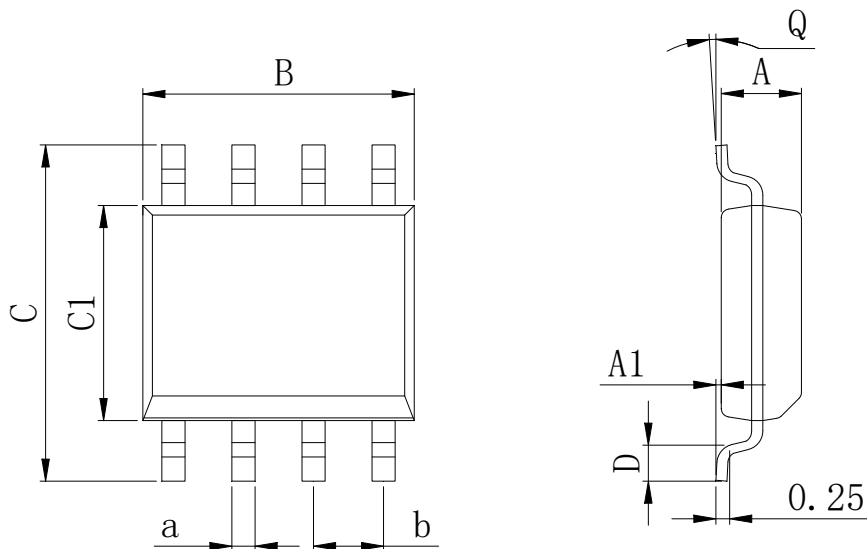
封装外形尺寸

DIP-8



Dimensions In Millimeters(DIP-8)											
Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	9.00	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	9.50	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

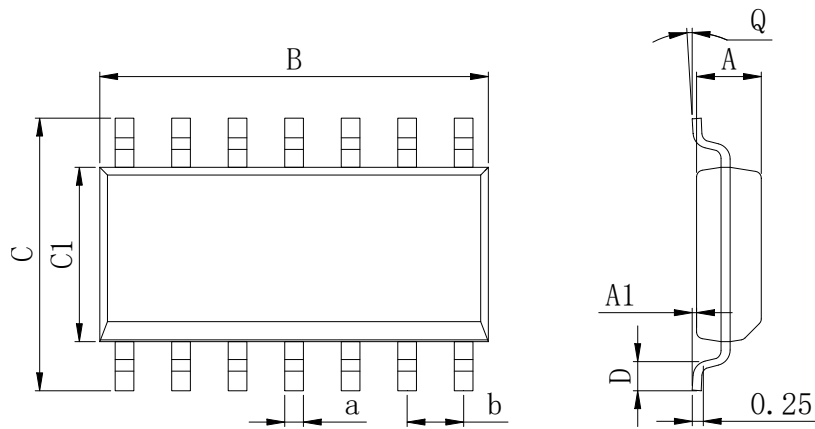
SOP-8 (150mil)



Dimensions In Millimeters(SOP-8)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	4.90	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	5.10	6.20	4.00	0.80	8°	0.45	

封装外形尺寸

SOP-14



Dimensions In Millimeters(SOP-14)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	8.55	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	8.75	6.20	4.00	0.80	8°	0.45	

修订历史

日期	修改内容	页码
2017-6-6	新修订	1-12

重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。