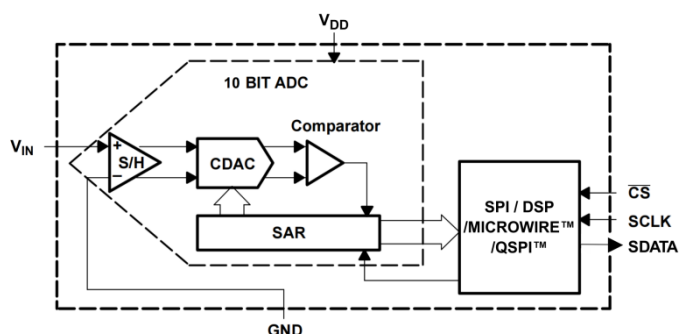


主要特征

- 1.5V—4.5V 单电源供电，自动关断
- 超低功耗（典型值）
 - 0.22mW（3.3V，100KSPS）
 - 0.10mW（2.5V，100KSPS）
 - 0.03mW（1.6V，100KSPS）
- 最高采样速率 240 KSPS (1.5V-3.0V)
最高采样速率 1.2 MSPS (3.0V-4.5V)
- 最大误差 $\pm 0.5\text{LSB INL}$ ， $\pm 0.5\text{LSB DNL}$
- 0— V_{DD} 单极单通道输入
- SPI/DSP/MICROWIRE™/QSPI™兼容串行接口
- 6 引脚 SOT-23 封装



原理图

应用领域

- 电池供电系统
- 医疗电子设备
- 独立数据采集设备
- 远程数据采集设备



封装效果图

产品亮点

1. 规定电源宽电压范围为 1.5V—4.5V。
2. 高速率、低功耗。最高可达 1.2 MSPS，在 1.8V、100KSPS 的工作电压下典型功耗为 0.04mW。
3. 便捷的电源/串行时钟速度管理。转换速率由串行时钟决定，可以通过增加串行时钟速度来减少转换时间。转换后的自动断电可以在断电时降低平均功耗。

SL7467 是一款 10 位的 ADC (Analog-to-Digital Converter) 芯片，即模拟数字转换器，具有超低功耗、小尺寸、单极性、单端输入的基本特征。SL7467 采用先进工艺和技术设计，具有较宽的电压工作范围：

1.5V-3.0V 单电源供电时，采样速率最高可达 240 KSPS（兼容同类芯片）；

3.0V-4.5V 单电源供电时，采样速率最高可达 1.2 MSPS。

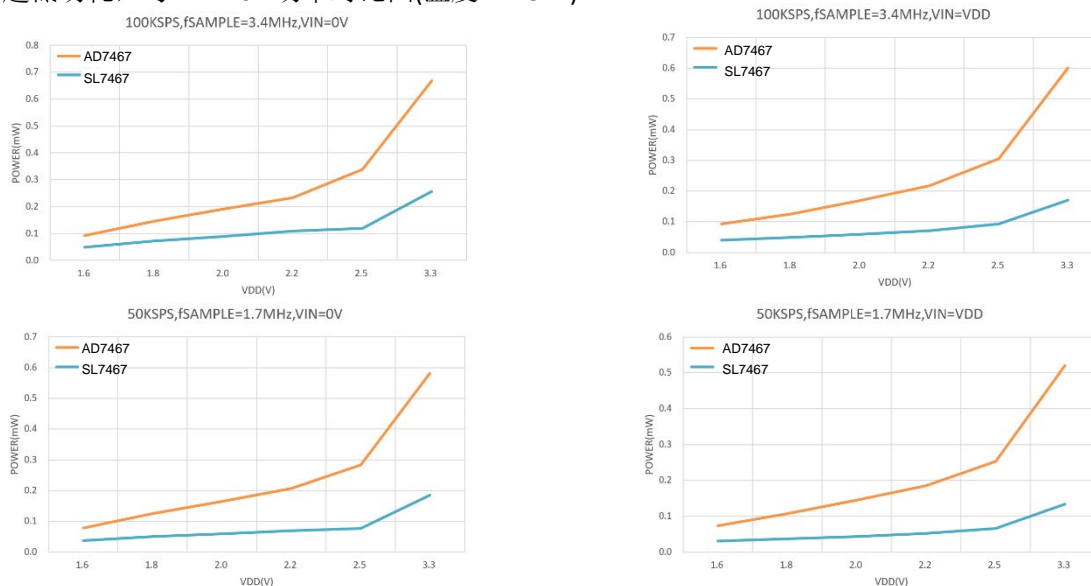
SL7467 采用 6 引脚 SOT-23 封装，工作温度范围为-40℃至 85℃。

SL7467可 pin-to-pin 替代 AD7467，而且动态功耗不到其 1/2，从而显著延长了电池的工作时间。

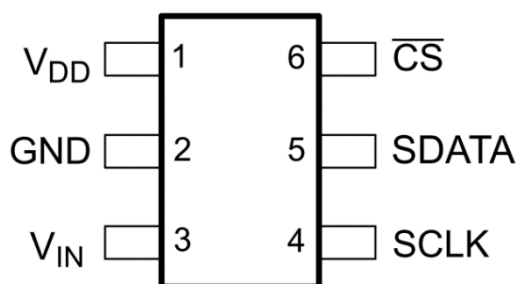
1.主要技术参数

- 1.5V-4.5V 单电源供电
- 10 位分辨率，无失码
- 微分非线性误差(DNL): ± 0.5 LSB
- 积分非线性误差(INL): ± 0.5 LSB
- 信噪比失真(SNR): 61 dB @30 KHz
- 总谐波失真(THD): -73 dB @30 KHz
- 单极单通道输入，0 V 至 V_{DD} 范围
- 最高采样速率 240 KSPS (1.5V-3.0V)
- 最高采样速率 1.2 MSPS (3.0V-4.5V)
- SPI/DSP/MICROWIRE™/QSPI™ 兼容串行接口
- 无流水线周期延迟
- 自动关断
- 6 引脚 SOT-23 封装

超低功耗，与 AD7467 功率对比图(温度 $T=25^{\circ}\text{C}$):



2.引脚配置

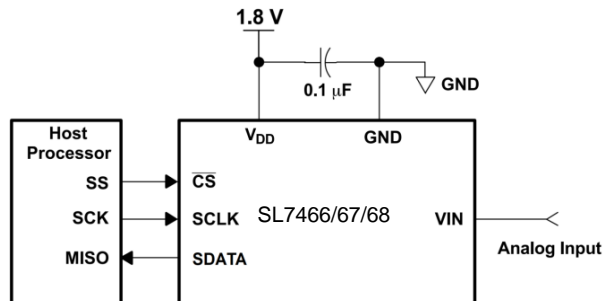


引脚图

引脚		描述
名称	序号	
V_{DD}	1	电源输入。该设备的 V_{DD} 范围是从 1.5V 到 4.5V。
GND	2	模拟输入信号接地。所有模拟和数字信号都以此引脚为基准。
V_{IN}	3	单极模拟信号输入。输入范围为 0 到 V_{DD} 。
SCLK	4	串行时钟输入。该时钟用于输出数据，也是转换时钟的来源。
SDATA	5	这是转换结果的串行数据输出。串行流以 MSB 优先。
\overline{CS}	6	片选信号，低电平有效，用于对 SCLK 输入进行选通、启动转换和对输出数据进行帧处理。

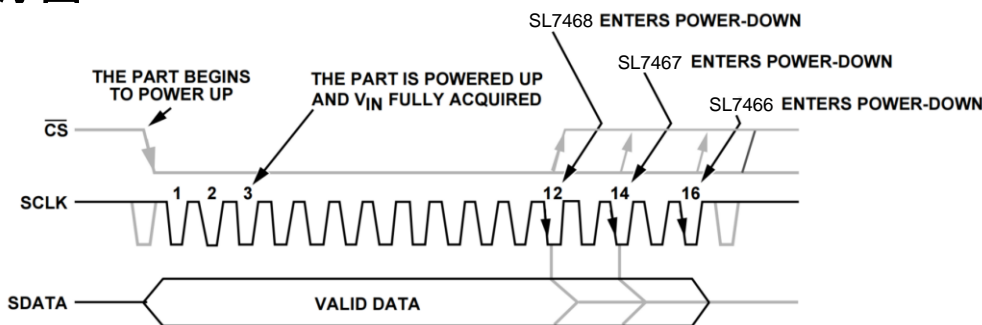
3.典型连接

SL7467 的典型连接电路，请参见下图。1.8 V 电源应来自稳定的供电设备，如 LDO。SL7467 的 V_{DD} 引脚与 GND 引脚之间需要一个 0.1 μF 耦合电容。该电容应尽可能靠近 SL7467 的引脚。



电路连接图

4.时序图



时序图

在 $\overline{\text{CS}}$ 引脚降低时并提供串行时钟 SCLK 信号，即可启动一个转换周期。在 $\overline{\text{CS}}$ 下降沿后，与 SCLK 第 3 个下降沿之间的时间 (T_{sample}) 用来采集输入信号。在第 3 个 SCLK 下降沿之后，ADC 进入保持模式/转换周期(T_{convert})，开始对采样输入的信号进行数字化过程。在 SCLK 的第 14 个下降沿，SDO 进入高阻态，转换周期结束。

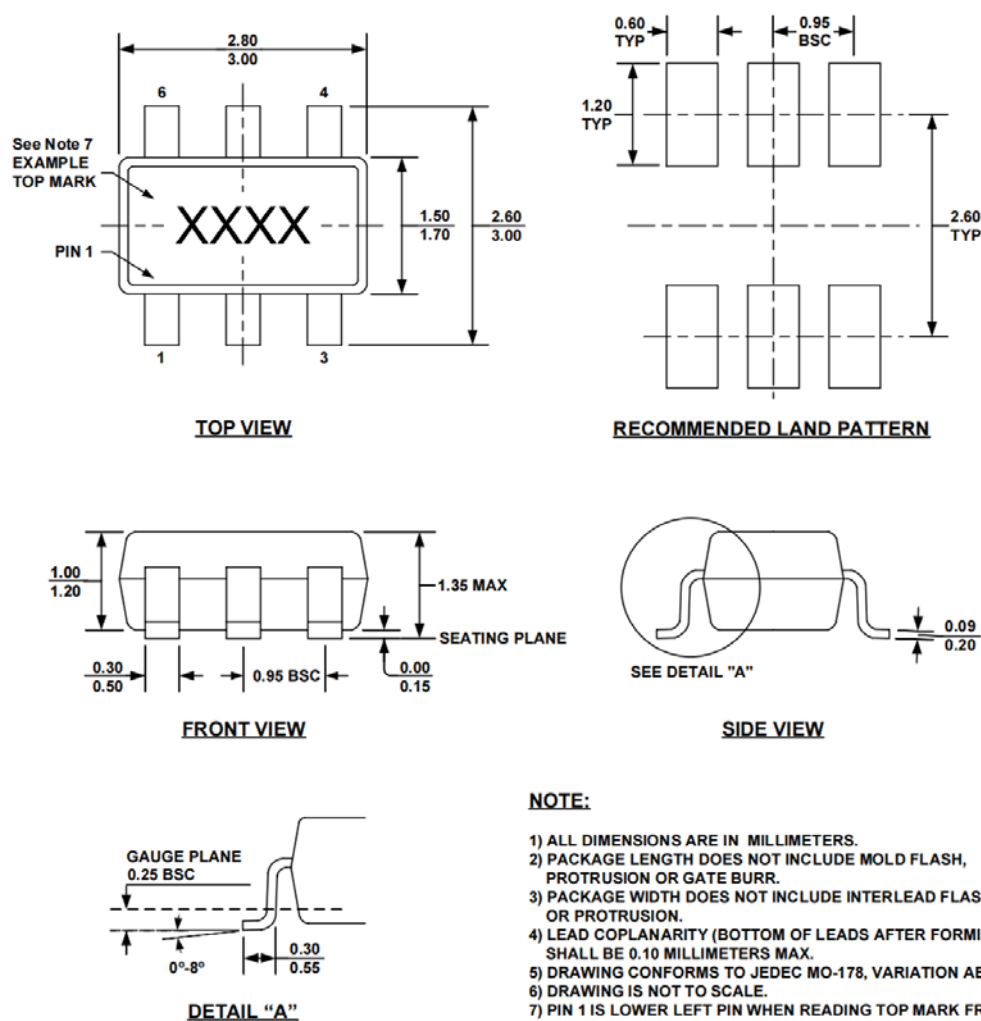
5.转换结果

SL7467 在 4 个前导零后输出 10 位转换后的数据，这些代码是标准的二进制格式。

描述	模拟输入电压	数字输出进制	
		二进制	十六进制
SL7467（10 位）			
Least Significant Bit (LSB)	$V_{DD}/1024$		
Full Scale	$V_{DD} - 1\text{LSB}$	11 1111 1111	3FF
Mid Scale	$V_{DD}/2$	10 0000 0000	200
Mid Scale – 1LSB	$V_{DD}/2 - 1\text{LSB}$	01 1111 1111	1FF
Zero	0V	00 0000 0000	000

上电后，SL7467 没有特定的初始化要求，但第一次转换不会产生有效结果。为了将 SL7467 设置为已知状态，上电期间 V_{DD} 稳定后， $\overline{\text{CS}}$ 由低电平变为高电平。这样 SL7467 被置于自动关断模式，串行数据输出(SDO)为高阻态。下一次在 $\overline{\text{CS}}$ 引脚降低时并提供串行时钟 SCLK 信号，即可正常进行转换并输出结果。

6.封装示意图



7.注意事项

1. 拆封的 IC、管装 IC 等必须放在干燥柜内储存，干燥柜内湿度<20% R.H。
2. 存取后都以静电包装防护袋保存元件。
3. 防静电损伤：器件为静电敏感器件，传输、装配、测试过程中应采取充分的防静电措施。
4. 用户在使用前应进行外观检查，电路底部、侧面、四周光亮方可进行焊接。如出现氧化可采去氧化手段对电路进行处理，处理完成电路必须在 12 小时内完成焊接。