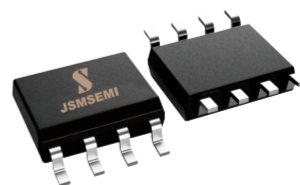


1 产品概述

JSM2006G是一款高压、高速功率 MOSFET 高低侧驱动芯片。具有独立的高侧和低侧参考输出通道。JSM2006G采用高低压兼容工艺使得高、低侧栅驱动电路可以单芯片集成，逻辑输入电平兼容低至 3.3V 的CMOS 或 LSTTL 逻辑输出电平。



JSM2006G其浮动通道可用于驱动高压侧 N 沟道功率 MOSFET，浮地通道最高工作电压可达 600V。

JSM2006G采用 SOP-8封装，可以在-40℃至 125℃温度范围内工作。

2 产品特性

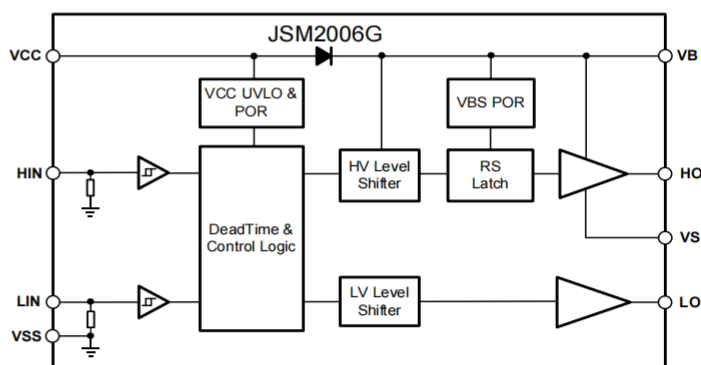
- 自举工作的浮地通道
- 最高芯片耐压为+650 V
- 兼容 3.3V, 5V 和 15V 输入逻辑
- dV_s/dt 耐受能力可达 ± 50 V/ns
- V_s 负偏压能力达-9V
- 集成 VCC、VBS 欠压锁定电路
 - VCC 欠压锁定阈值 8.7V/7.7V
 - VBS 欠压锁定阈值 8.2V/7.3V
- 芯片传输延时特性
 - 开通/关断传输延时 $T_{on}/T_{off} = 250ns/150ns$
 - 延迟匹配时间小于 50ns
- 防止直通保护
 - 死区时间 130ns
- 宽温度范围-40℃ ~125℃
- 输出级拉电流/灌电流能力 0.6A/1A
- 符合 RoSH 标准

SOP-8

3 应用范围

- 电机控制
- 空调/洗衣机
- 通用逆变器
- 逆变器驱动
- 高速风筒芯片

简化示意图



4 引脚功能描述

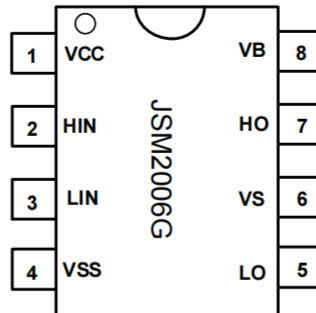


图 4-1 SOP8顶视图

表 4-1 芯片引脚描述

编号	名称	功能
1	VCC	供电电源
2	HIN	高侧信号输入
3	LIN	低侧信号输入
4	VSS	地
5	LO	低侧输出
6	VS	高侧浮动地
7	HO	高侧输出
8	VB	高侧浮动电源

5 产品规格

5.1 极限工作范围

超过极限最大额定值可能造成器件永久性损坏。所有电压参数的额定值是以 VSS 为参考的，环境温度为 25℃。

符号	定义	最小值	最大值	单位
V_B	高侧浮动电源电压	-0.3	650	V
V_S	高侧浮动地电压	$V_B - 25$	$V_B + 0.3$	
V_{HO}	高侧输出电压	$V_S - 0.3$	$V_B + 0.3$	
V_{CC}	低侧供电电压	-0.3	25	
V_{LO}	低侧输出电压	-0.3	$V_{CC} + 0.3$	
V_{IN}	逻辑输入电压	-0.3	$V_{CC} + 0.3$	
dV_S/dt	允许瞬态 VS 电压转换速率	—	50	V/ns

5.2 ESD 额定值

符号	定义	最小值	最大值	单位
ESD	人体放电模式	1500	—	V
	机器放电模式	500	—	V

5.3 额定功率

符号	定义	最小值	最大值	单位
PD1	SOP 封装功率 ($T_A \leq 25^\circ\text{C}$)	—	625	mW

5.4 热量信息

符号	定义	最小值	最大值	单位
R_{thJA}	热阻	—	200	$^\circ\text{C}/\text{W}$
T_J	结温	—	150	
T_S	存储温度	-55	150	$^\circ\text{C}$
T_L	引脚温度	—	300	$^\circ\text{C}/\text{W}$

5.5 推荐工作范围

为了正确地操作，器件应当在以下推荐条件下使用。 V_S 和 VSS 的偏置额定值是在电源电压为 15V 时进行测量的，无特殊说明的情况下，所有电压参数的额定值是以 VSS 为参考的，环境温度为 25℃。

符号	定义	最小	最大	单位
V_B	高侧浮动电源电压	$V_S + 10$	$V_S + 20$	V
V_S	高侧浮动地电压	-9	600	
V_{HO}	高侧输出电压	V_S	V_B	
V_{CC}	低侧供电电压	10	20	
V_{LO}	低侧输出电压	0	V_{CC}	
V_{IN}	逻辑输入电压	0	V_{CC}	
T_A	环境温度	-40	125	$^\circ\text{C}$

注 1：可用于 VSS-50V 的瞬态负 VS，脉冲宽度为 50ns，由设计保证。

5.6 电气特性

5.6.1 动态参数特性

无特殊说明的情况下 $T_A = 25^\circ\text{C}$, $V_{CC} = V_{BS} = 15\text{V}$, $CL = 1\text{nF}$ 。

符号	定义	最小值	典型值	最大值	单位	测试条件
t_{ON}	开通传输延时	—	250	200	ns	$V_S = 0\text{V}$
t_{OFF}	关断传输延时	—	150	200	ns	$V_S = 600\text{V}$
t_R	开启上升时间	—	70	130	ns	
t_F	关闭下降时间	—	35	70	ns	
DT	死区时间	—	130	220	ns	
MT	延迟匹配时间(t_{ON} , t_{OFF})	—	—	50	ns	
MT	延迟匹配时间(t_{ON} , t_{OFF})	—	—	60	ns	

5.6.2 静态参数特性

无特殊说明的情况下 $V_{CC} = V_{BS} = 15\text{V}$, $T_A = 25^\circ\text{C}$ 。 V_{IH} 、 V_{IL} 和 I_{IN} 参数参考 V_{SS} ，相应的适用于输入引脚 HIN 和 LIN。
 V_O 和 I_O 参数参考 V_{SS} ，并且相应的适用于输出引脚 HO 和 LO。

符号	定义	最小值	典型值	最大值	单位	测试条件
V_{CCUV+}	V_{CC} 欠压正向阈值	7.7	8.7	9.7	V	
V_{CCUV-}	V_{CC} 欠压负向阈值	6.7	7.7	8.7	V	
$V_{CCUVHYS}$	V_{CC} 迟滞电压	—	1	—	V	
V_{BSUV+}	V_{BS} 欠压正向阈值	7.2	8.2	9.2	V	
V_{BSUV-}	V_{BS} 欠压负向阈值	6.3	7.3	8.3	V	
$V_{BSUVHYS}$	V_{BS} 迟滞电压	—	0.9	—	V	
I_{LK}	高侧浮动电源泄露电流	—	—	50	μA	$V_B = V_S = 600\text{V}$
I_{QBS}	V_{BS} 静态电流	—	35	100	μA	输入悬空
I_{QCC}	V_{CC} 静态电流	—	60	150	μA	输入悬空
V_{IH}	输入逻辑高电平阈值电压	2.5	—	—	V	$V_{CC} = 10\text{V to } 20\text{V}$
V_{IL}	输入逻辑低电平阈值电压	—	—	0.8	V	$V_{CC} = 10\text{V to } 20\text{V}$
V_{OH}	输出高电平电压降 $V_{BIAS} - V_O$	—	—	0.2	V	$I_O = 0\text{A}$
V_{OL}	输出低电平电压降 V_O	—	—	0.2	V	$I_O = 0\text{A}$
I_{IN+}	逻辑“1”输入偏置电流	—	25	60	μA	$HIN = 5\text{V}$, $LIN = 5\text{V}$
I_{IN-}	逻辑“0”输入偏置电流	—	—	5	μA	$HIN = 0\text{V}$, $LIN = 0\text{V}$
I_{O+}	输出拉电流	0.27	0.6	—	A	$V_O = 0\text{V}$ $PW \leq 10\mu\text{s}$
I_{O-}	输出灌电流	0.4	1	—	A	$V_O = 15\text{V}$ $PW \leq 10\mu\text{s}$

6 功能描述

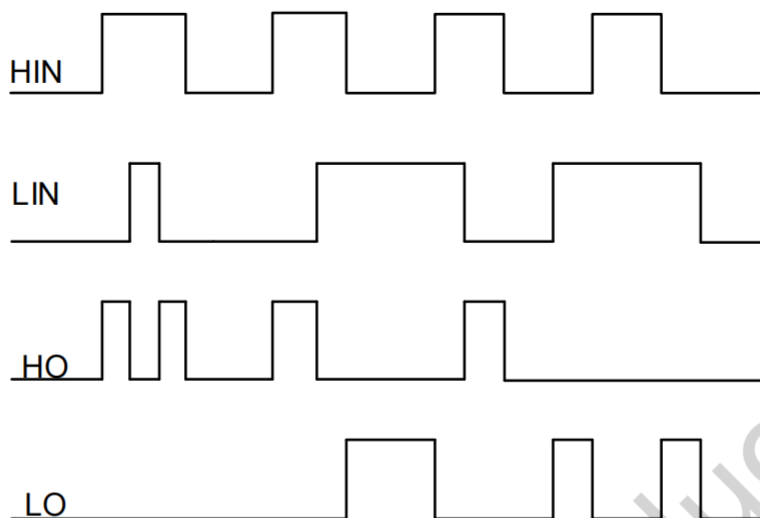


图 6-1 JSM2006G输入输出时序波形

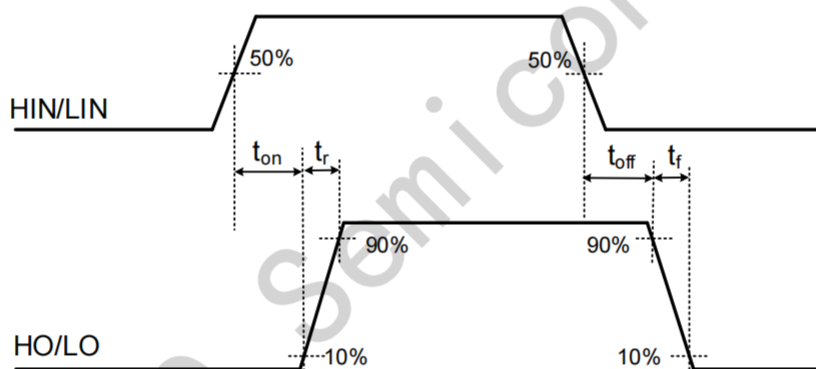


图 6-2 传输延时波形定义

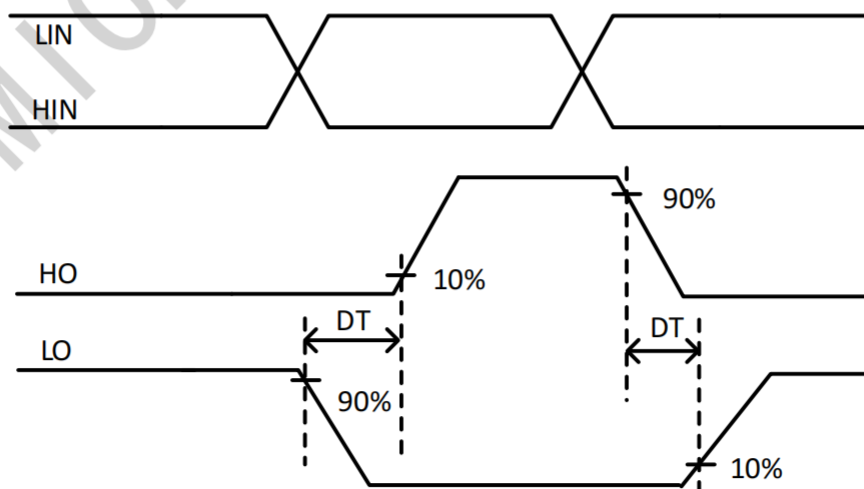


图 6-3 防直通延时波形定义

7 JSM2006G说明

7.1 功能框图

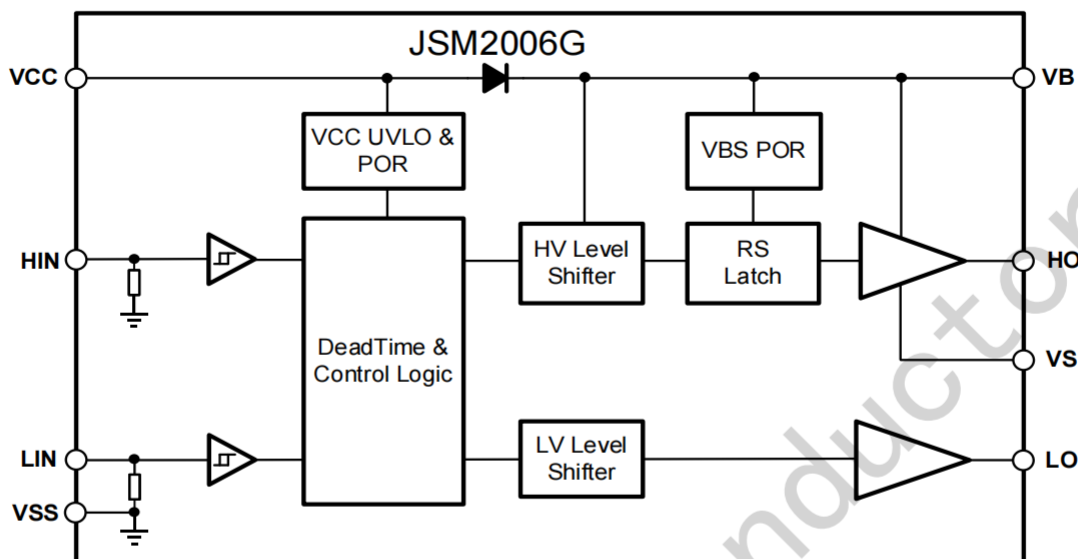


图 7-1 JSM2006G的功能框图

7.2 典型应用电路

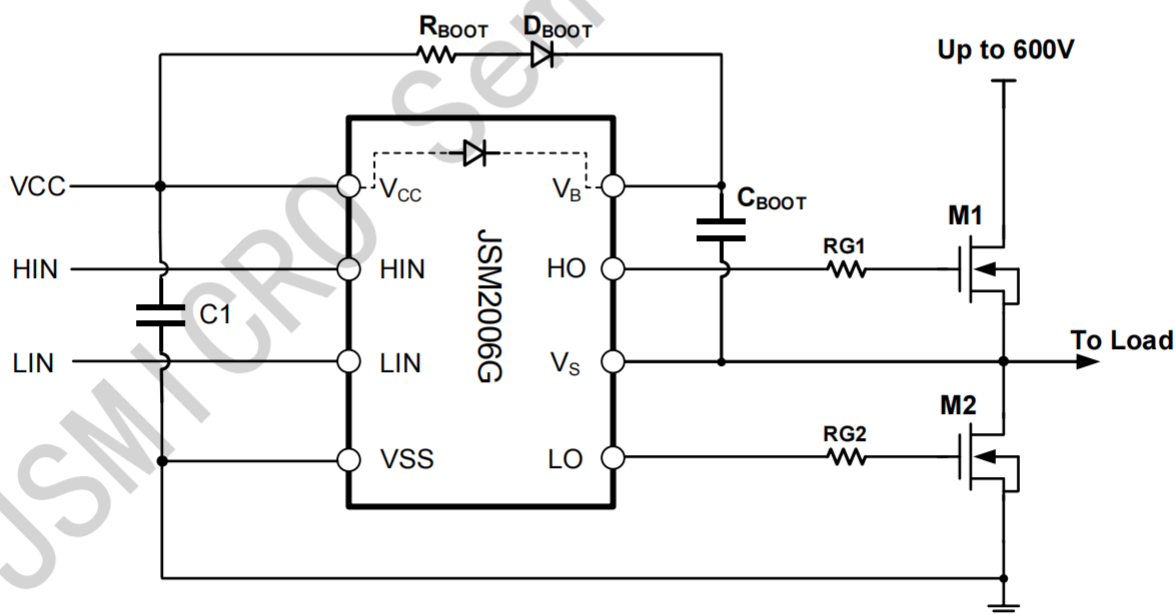
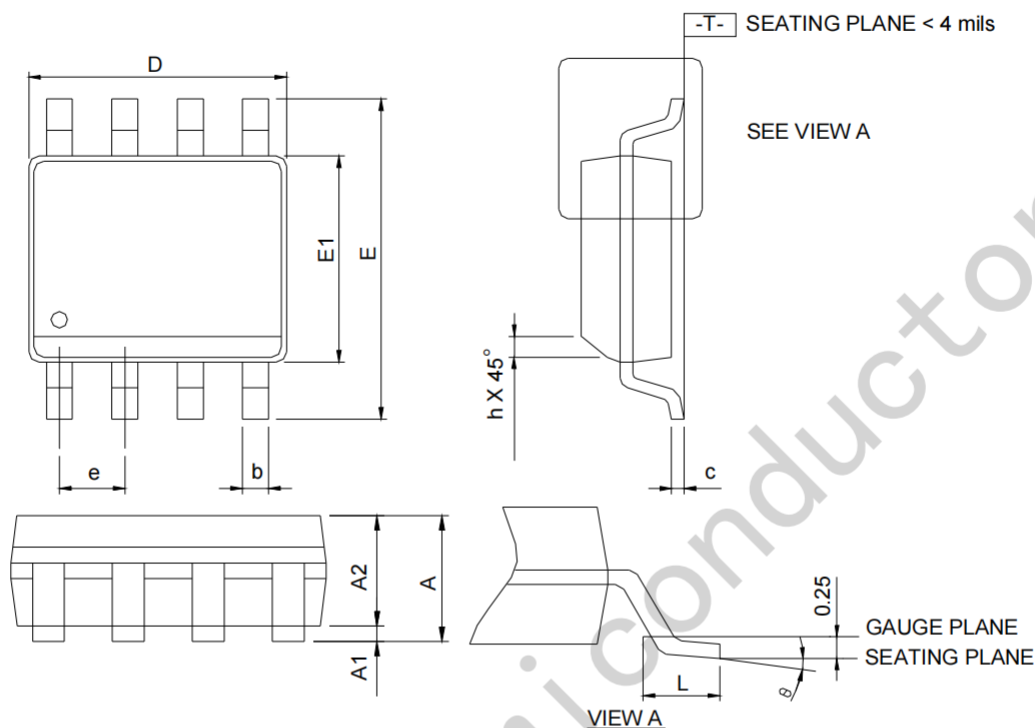


图 7-2 JSM2006G典型应用电路图

注：内部集成自举仅在 L0=1 时才有效。

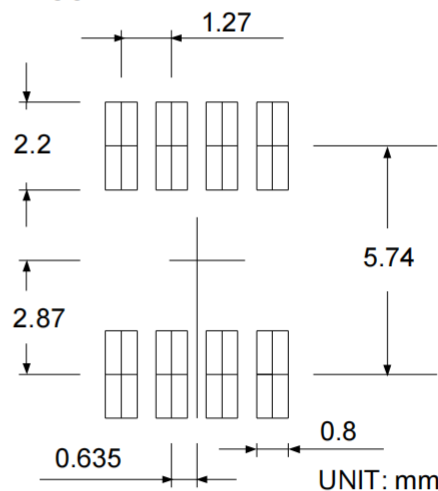
Package Information

SOP-8



SYMBOL	SOP-8			
	MILLIMETERS		INCHES	
	MIN.	MAX.	MIN.	MAX.
A	-	1.75	-	0.069
A1	0.10	0.25	0.004	0.010
A2	1.25	-	0.049	-
b	0.31	0.51	0.012	0.020
c	0.17	0.25	0.007	0.010
D	4.80	5.00	0.189	0.197
E	5.80	6.20	0.228	0.244
E1	3.80	4.00	0.150	0.157
e	1.27 BSC		0.050 BSC	
h	0.25	0.50	0.010	0.020
L	0.40	1.27	0.016	0.050
θ	0°	8°	0°	8°

RECOMMENDED LAND PATTERN



Note: 1. Follow JEDEC MS-012 AA.

2. Dimension "D" does not include mold flash, protrusions or gate burrs.
Mold flash, protrusion or gate burrs shall not exceed 6 mil per side.

3. Dimension "E" does not include inter-lead flash or protrusions.
Inter-lead flash and protrusions shall not exceed 10 mil per side.