

概述

CH32L103 是基于青稞 RISC-V 内核设计的工业级低功耗通用微控制器。CH32L103 内置 USB 和 PD PHY，支持 PDUSB，包括 USB Host 主机和 USB Device 设备功能、USB PD 及 Type-C 快充功能，内置低功耗定时器，提供了 1 组 OPA 运放、3 组 CMP 电压比较器、4 组 USART 串口、2 个 I2C 接口、2 个 SPI 接口、1 组 CAN 接口、多组定时器、12 位 ADC、10 路 Touchkey 等丰富外设资源。

产品特性

- **内核 Core:**
 - 青稞 32 位 RISC-V4C 内核
 - 支持 RV32IMAC 指令集和自扩展指令
 - 快速可编程中断控制器+硬件中断堆栈
 - 分支预测、冲突处理机制
 - 单周期乘法、硬件除法
 - 系统主频 96MHz
- **存储器:**
 - 最大 20KB 易失数据存储区 SRAM
 - 最大 64KB 程序存储区 CodeFlash
 - 3328B 系统存储区 SystemFLASH
 - 256B 系统非易失配置信息存储区
 - 256B 用户自定义信息存储区
- **电源管理和低功耗:**
 - 系统供电 V_{DD} 额定: 3.3V
 - 低功耗模式: 睡眠、停止、待机
 - V_{BAT} 电源独立为 RTC 和后备寄存器供电
- **系统时钟和复位:**
 - 内置出厂调校的 8MHz 的 RC 振荡器
 - 内置约 40KHz 的 RC 振荡器
 - 内置 PLL, 可选 CPU 时钟达 96MHz
 - 外部支持 3~25MHz 高速振荡器
 - 外部支持 32.768KHz 低速振荡器
 - 上/下电复位、可编程电压监测器
- **实时时钟 RTC: 32 位独立定时器**
- **8 路通用 DMA 控制器:**
 - 8 个通道, 支持环形缓冲区管理
 - 支持 TIM&/ADC/USART/I2C/SPI
- **3 组模拟电压比较器 CMP:**
 - 各 2 路输入通道, 可选公用参考电压引脚
 - 输出到 I/O 或者内部直接触发 TIM2
- **1 组运放 OPA/PGA/电压比较器:**
 - 多路输入通道, 可选多档增益
 - 多路输出通道, 可选 ADC 引脚
- **12 位模数转换 ADC:**
 - 模拟输入范围: $V_{SSA} \sim V_{DDA}$
 - 10 路外部信号通道+2 路内部信号通道
 - 片上温度传感器
- **10 路 TouchKey 通道检测**
- **16 位低功耗定时器**
- **多组定时器:**
 - 1 个 16 位高级定时器, 提供死区控制和紧急刹车, 提供用于电机控制的 PWM 互补输出
 - 2 个 16 位通用定时器, 提供输入捕获/输出比较/PWM 脉冲计数及增量编码器输入
 - 1 个 32 位通用定时器
 - 2 个看门狗定时器: 独立和窗口型
 - 系统时基定时器: 64 位计数器
- **4 组 USART 串口: 支持 LIN 和 ISO7816**
- **2 个 I2C 接口: 支持 SMBus/PMBus**
- **2 个 SPI 接口**
- **1 组 CAN 接口 (2.0B 主动):**
 - 支持 CANFD 协议
- **USB2.0 全速控制器及 PHY:**
 - 支持 USB 主机或 USB 设备
- **USB PD 和 Type-C 控制器及 PHY:**
 - 支持 DRP、Sink 和 Source 应用
 - 支持 PDUSB
- **快速 GPIO 端口:**
 - 37 个 I/O 口, 支持 16 个外部中断
- **安全特性: 芯片唯一 ID**
- **调试模式: 串行 2 线调试接口 SDI**
- **封装形式: LQFP、QFN、QSOP 和 TSSOP**

资源		型号	C8T6	K8U6	G8R6	F8U6	F8P6	F7P6	
芯片引脚数			48	32	28	20	20	20	
闪存 (字节)			64K	64K	64K	64K	64K	48K	
SRAM (字节)			20K	20K	20K	20K	20K	20K	
GPIO 端口数			37	31	25	19	18	16	
定时器	高级 TIM1 (16 位)		1	1	1	1	1	1	
	通用 TIM2、TIM3 (16 位)		2	2	2	2	2	2	
	通用 TIM4 (32 位)		1	1	1	1	1	1	
	低功耗定时器 (LPTIM)		√	√	√	√	√	√	
	看门狗		2 (WWDG + IWDG)						
	系统时基 (64 位)		√						
RTC			√						
ADC			10+2	10+2	10+2	10+2	9+2	9+2	
Tkey			10 路	10 路	10 路	10 路	9 路	9 路	
OPA			1	1	1	1	1	1	
CMP			3	3	3	3	CMP1 CMP3	3	
通信接口	USART		4	4	4	4	4	4	
	SPI		2	SPI1	2	2	2	SPI1	
	I2C		2	2	2	2	2	2	
	CAN		1	1	1	1	1	1	
	PDUSB	USB Host Device		Host Device	Host Device	Host Device	Host Device	Host Device	Device
		USB PD Type-C		DRP Source Sink	DRP Source Sink 内置 Rd ⁽¹⁾	DRP Source Sink 内置 Rd ⁽¹⁾	DRP Source Sink 内置 Rd ⁽¹⁾	-	DRP Source Sink
CPU 主频			Max: 96MHz						
额定电压			3.3V						
工作温度			工业级: -40°C~85°C						
封装形式			LQFP48	QFN32-4*4	QSOP28	QFN20-3*3	TSSOP20	TSSOP20	
主要应用及特点			通用, 引脚兼容	通用, 引脚优化	通用, 电机主控	电机主控 引脚优化	电机主控 引脚优化	通用, 引脚兼容	

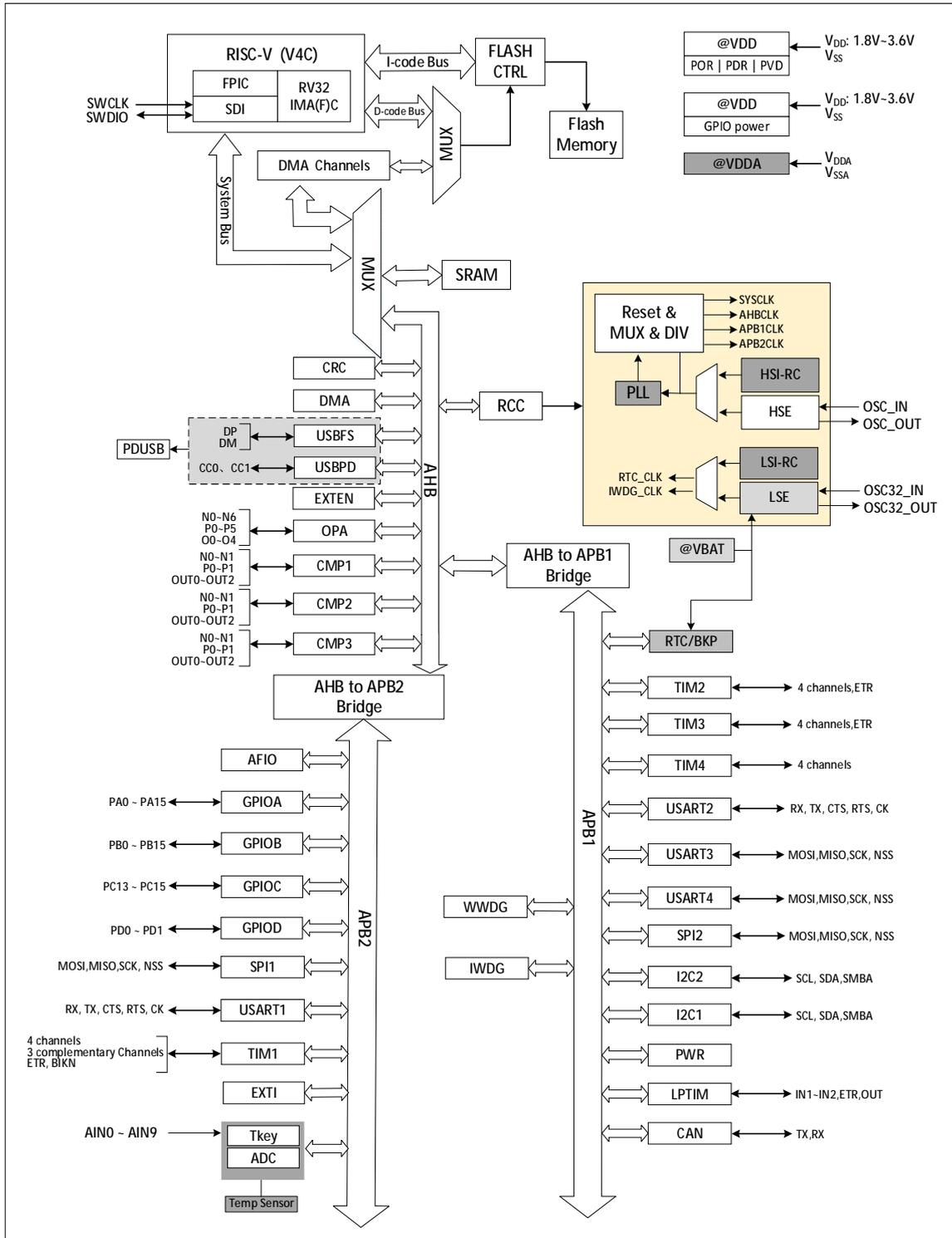
注: 1. CH32L103K8U6、G8R6 和 F8U6 内置 type-C 规范定义的可控 Rd 下拉电阻, 约 5.1kΩ。

第 1 章 规格信息

1.1 系统架构

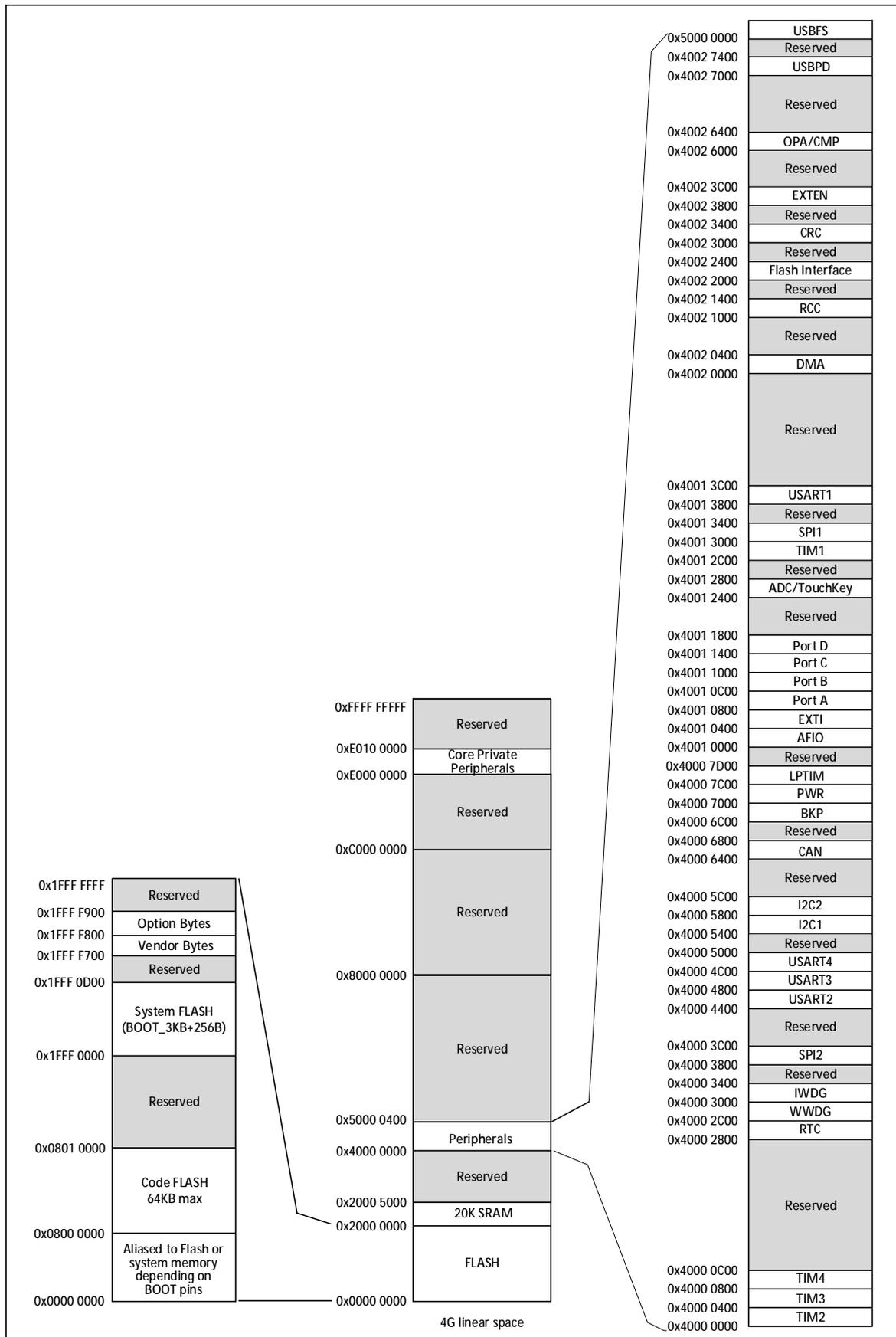
微控制器基于 RISC-V 指令集设计，其架构中将青稞微处理器内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列芯片内部总体架构框图。

图 1-1 系统框图



1.2 存储器映射表

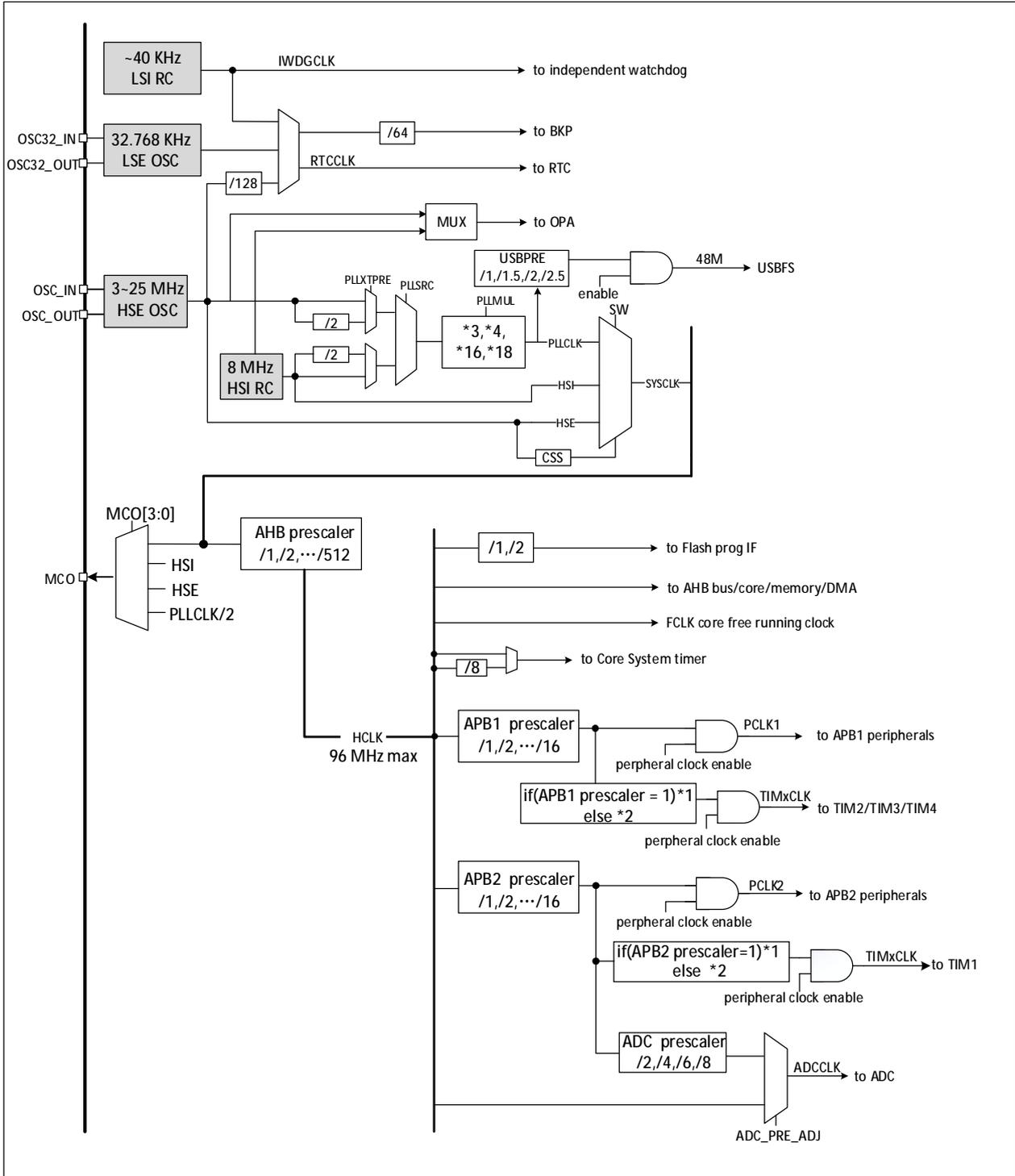
图 1-2 存储器地址映射



1.3 时钟树

系统中引入 4 组时钟源：内部高频 RC 振荡器 (HSI)、内部低频 RC 振荡器 (LSI)、外接高频振荡器 (HSE)、外接低频振荡器 (LSE)。其中，低频时钟源为 RTC 和独立看门狗提供了时钟基准。高频时钟源直接或者间接通过 PLL 倍频后输出为系统总线时钟 (SYSCLK)，系统时钟再由各预分频器提供了 AHB 域、APB1 域、APB2 域外设控制时钟及采样或接口输出时钟，部分模块工作需要由 PLL 时钟直接提供。

图 1-3 时钟树框图



1.4 功能概述

1.4.1 RISC-V4C 处理器

RISC-V4C 支持 RISC-V 指令集 IMAC 子集。处理器内部以模块化管理，包含快速可编程中断控制器（PFIC）、内存保护、分支预测模式、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

- 支持机器和用户特权模式
- 快速可编程中断控制器（PFIC）
- 多级硬件中断堆栈
- 串行2线调试接口
- 标准内存保护设计
- 静态或动态分支预测、高效跳转、冲突检测机制
- 自定义扩展指令

1.4.2 片上存储器

内置最大 20K 字节 SRAM 区，用于存放数据，掉电后数据丢失。具体容量要对应芯片型号。

内置最大 64K 字节程序闪存存储区（Code FLASH），即用户区，用于用户的应用程序和常量数据存储。区域具体大小对应芯片型号。

内置 3328 字节系统存储区（SystemFLASH），即 BOOT 区，用于系统引导程序存储，内置自举加载程序。

内置 256 字节系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

内置 256 字节用户自定义信息存储区，用于用户选择字存储。

在启动时，通过自举引脚（BOOT0 和 BOOT1）可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序存放于系统存储区，可以通过 USART1 和 USB 接口对程序闪存存储区的内容重新编程。

1.4.3 供电方案

- $V_{DD} = 1.8 \sim 3.6V$ ：为部分 I/O 引脚和内部调压器供电。

● $V_{DDA} = 2.0 \sim 3.6V$ ：为高频 RC 振荡器、ADC、温度传感器及 PLL 的模拟部分供电。正常工作时， V_{DDA} 电压不能高于 V_{DD} 电压；使用 ADC 时， V_{DDA} 不得小于 2.4V。

● $V_{BAT} = 1.8 \sim 3.6V$ ：当关闭 V_{DD} 时，（通过内部电源切换器）单独为 RTC、外部低频振荡器和后备寄存器供电。（注意 V_{BAT} 供电）

1.4.4 供电监控器

芯片内部集成了上电复位（POR）/掉电复位（PDR）电路，该电路始终处于工作状态，保证系统在供电超过 1.8V 时工作；当 V_{DD} 低于设定的阈值（ $V_{POR/PDR}$ ）时，置器件于复位状态，而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器（PVD），需要通过软件开启，用于比较 V_{DD} 供电与设定的阈值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断，可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时，收到中断通知。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考第 3 章。

1.4.5 系统电压调节器 LDO

复位后，调节器自动开启，根据应用方式有三个操作模式

- 开启模式：正常的运行操作，提供稳定的内核电源；
- 低功耗模式：当 CPU 进入停止模式后，可选择调节器低功耗运行；
- 关断模式：当 CPU 进入待机模式后自动切换调节器到此模式，调压器输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态。

该调压器在复位后始终处于开启模式，在待机模式下被关闭处于关断模式，此时是高阻输出。

1.4.6 低功耗模式

系统支持三种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式 (SLEEP)

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 停止模式 (STOP)

此模式 FLASH 进入低功耗模式，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭。在保持 SRAM 和寄存器内容不丢失的情况下，停止模式可以达到最低的电能消耗。

停止模式分为四种情况：停止模式 1、停止模式 2、停止模式 3 和停止模式 4，详细信息请参考 CH32L103RM 手册的低功耗模式相关章节。

退出条件：任意外部中断/事件 (EXTI 信号)、NRST 上的外部复位信号、IWDG 复位，其中 EXTI 信号包括 37 个外部 I/O 口之一、PVD 的输出，RTC 闹钟，USB 的唤醒信号，USB PD 唤醒信号，触摸按键 (TKEY) 唤醒信号，CMP 唤醒信号，LPTIM 唤醒信号等。

- 待机模式 (STANDBY)

此模式下，系统主 LDO 关闭，由低功耗 LDO 给唤醒电路供电，其他数字电路全部断电，且 FLASH 处于断电状态。从待机模式唤醒系统会产生复位，同时 SBF (PWR_CSR) 会置位。唤醒后，查询 SBF 状态可知唤醒前的低功耗模式，SBF 由 CSBF (PWR_CR) 位清除。在待机模式下，20KB 的 SRAM 的内容可以保持 (取决于睡前的规划配置)，后备寄存器内容保留。

退出条件：任意外部中断/事件 (EXTI 信号)、NRST 上的外部复位信号、IWDG 复位，其中 EXTI 信号包括 37 个外部 I/O 口之一、PVD 的输出，RTC 闹钟，触摸按键 (TKEY) 唤醒信号等。

1.4.7 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

1.4.8 快速可编程中断控制器 (PFIC)

芯片内置快速可编程中断控制器 (PFIC)，最多支持 255 个中断向量，以最小的中断延迟提供了灵活的中断管理功能。当前芯片管理了 4 个内核私有中断和 53 个外设中断管理，其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 2 个可单独屏蔽中断
- 提供一个不可屏蔽中断 NMI
- 支持硬件中断堆栈 (HPE)，无需指令开销
- 提供 4 路免表中断 (VTF)，更快进入中断服务程序
- 向量表支持地址或指令模式
- 中断嵌套深度可配置最高 2 级

- 支持中断尾部链接功能

1.4.9 外部中断/事件控制器 (EXTI)

外部中断/事件控制器总共包含 23 个边沿检测器, 用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件 (上升沿或下降沿或双边沿), 并能够单独地被屏蔽; 挂起寄存器维持所有中断请求状态。多达 37 个通用 I/O 口都可选择连接到 16 个外部中断线。

1.4.10 通用 DMA 控制器

系统内置了通用 DMA 控制器, 管理 8 个通道, 灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输, 支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑, 支持一个或多个外设对存储器的访问请求, 可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括: 通用/高级定时器 TIMx、ADC、USART、I2C、SPI。

USB 和 USB PD 另有专用的独立 DMA 通道。

注: DMA 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

1.4.11 时钟和启动

系统时钟源 HSI 默认开启, 在没有配置时钟或者复位后, 内部 8MHz 的 RC 振荡器作为默认的 CPU 时钟, 随后可以另外选择外部 3~25MHz 时钟或 PLL 时钟。当打开时钟安全模式后, 如果 HSE 用作系统时钟 (直接或间接), 此时检测到外部时钟失效, 系统时钟将自动切换到内部 RC 振荡器, 同时 HSE 和 PLL 自动关闭; 对于关闭时钟的低功耗模式, 唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断, 软件可以接收到相应的中断。

多个预分频器用于配置 AHB 的频率、高速 APB (APB2) 和低速 APB (APB1) 区域提供各外设时钟, 最高频率 96MHz, 参考图 1-3 的时钟树框图。

1.4.12 RTC (实时时钟) 和后备寄存器

RTC 和后备寄存器在系统内部处于后备供电区域, 在 V_{DD} 有效时由 V_{DD} 供电, 在 V_{DD} 无效时内部自动切换到由 V_{BAT} 引脚供电。

RTC 实时时钟是一组 32 位可编程计数器, 时基支持 20 位预分频, 用于较长时间段的测量。时钟基准来源高速的外部时钟 128 分频 (HSE/128)、外部晶体低频振荡器 (LSE) 或内部低功耗 RC 振荡器 (LSI)。其中 LSE 也存在后备供电区域, 所以, 当选择 LSE 做 RTC 时基下, 系统复位或从待机模式唤醒后, RTC 的设置和时间能够保持不变。

后备寄存器包含 10 个 16 位寄存器, 可以用来存储 84 字节的用户应用数据。此数据在待机唤醒后, 或系统复位或电源复位时, 都能继续保持。在侵入检测功能开启下, 一旦侵入检测信号有效, 将被清除后备寄存器中所有内容。

1.4.13 ADC (模拟/数字转换器) 和触摸按键电容检测 (TKey)

芯片内置 12 位的模拟/数字转换器 (ADC), 提供多达 10 个外部通道和 2 个内部通道采样, 可编程的通道采样时间, 可以实现单次、连续、扫描或间断转换。提供模拟看门狗功能允许非常精准地监视一路或多路选中的通道, 用于监视通道信号电压, 提供可配置的模拟看门狗复位功能, 可在监测到电压超出阈值时复位系统。支持外部事件触发转换, 触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。

ADC 内部通道采样包括一路内置温度传感器采样和一路内部参考电压采样。温度传感器在内部被连接到 IN16 输入通道上, 用于将传感器的输出转换到数字数值, 而内部参考电压被连接到 IN17 输入通道上。

触摸按键电容检测单元, 提供了多达 10 个检测通道, 复用 ADC 模块的外部通道。检测结果通过

ADC 模块转换输出结果，通过用户软件识别触摸按键状态。

1.4.14 定时器及看门狗

● 高级控制定时器 (TIM1)

高级控制定时器是一个 16 位的自动装载递加/递减计数器，具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级控制定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

● 通用定时器 (TIM2、TIM3、TIM4)

通用定时器是 2 个 16 位 (TIM2、TIM3) 和 1 个 32 位 (TIM4) 的自动装载递加/递减计数器，具有一个可编程的 16 位预分频器以及 4 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。任意通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

● 独立看门狗

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由一个内部独立的约 40KHz 的 RC 振荡器 (LSI) 提供时钟。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

● 窗口看门狗

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

● 系统时基定时器

青稞微处理器内核自带了一个 64 位可选递增或递减的计数器，用于产生 SYSTICK 异常 (异常号: 12)，可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 64 位计数器。具有自动重加载功能及可编程的时钟源。

1.4.15 低功耗定时器 (LPTIM)

低功耗定时器是一个 16 位的自动装载递加计数器，具有 3 位可编程的预分频器。可选择软件或者硬件输入触发，支持 PWM 输出。低功耗定时器可将系统从低功耗模式唤醒，以极低的功耗实现“超时功能”。

1.4.16 通讯接口

1.4.16.1 通用同步/异步收发器 (USART)

芯片提供了 4 组通用同步/异步收发器。支持全双工异步串口通信、同步单向通信以及半双工单线通信，也支持 LIN (局部互连网)，兼容 ISO7816 的智能卡协议和 IrDA SIR ENDEC 传输编解码规范，以及调制解调器 (CTS/RTS 硬件流控) 操作，还支持多处理器通信。其采用分数波特率发生器系统，并支持 DMA 操作连续通讯。

1.4.16.2 串行外设接口 (SPI)

芯片提供 2 个串行外设 SPI 接口, 支持主或从操作, 动态切换。支持多主模式, 全双工或半双工同步传输, 支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位, 数据位宽提供 8 或 16 位选择, 可靠通信的硬件 CRC 产生/校验, 支持 DMA 操作连续通讯。

1.4.16.3 I2C 总线

芯片提供 2 个 I2C 总线接口, 能够工作于多主机模式或从模式, 完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度, 同时与 SMBus2.0 兼容。

I2C 接口提供 7 位或 10 位寻址, 并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

1.4.16.4 控制器区域网络 (CAN)

芯片提供 1 组 CAN 接口, 兼容规范 2.0A 和 2.0B(主动), 波特率高达 1Mbits/s, 支持时间触发通信功能, 支持 CANFD 协议, 和传统 CAN 最大区别是速率可变, 数据 bit 率最高 8Mbps。可以接收和发送 11 位标识符的标准帧, 也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个 3 级深度接收 FIFO。

1.4.16.5 通用串行总线 USB2.0 全速主机/设备控制器 (USBFS)

USB2.0 全速主机控制器和设备控制器 (USBFS), 遵循 USB2.0 Fullspeed 标准, 支持 BC 充电协议。提供 8 个可配置的 USB 设备端点及一组主机端点。支持控制/批量/同步/中断传输, 双缓冲区机制, USB 总线挂起/恢复操作, 并提供待机/唤醒功能。USBFS 模块专用的 48MHz 时钟由内部主 PLL 分频直接产生 (PLL 必须为 96MHz 或 72MHz 或 48MHz)。

1.4.16.6 USB PD 及 Type-C 控制器 (USB PD)

内置 USB Power Delivery 控制器和 PD 收发器 PHY, 支持 USB Type-C 主从检测, 自动 BMC 编解码和 CRC, 硬件边沿控制, 支持 USB PD2.0 和 PD3.0 电力传输控制, 支持快充, 支持 UFP/PD 受电端 Sink 和 DFP/PD 供电端 Source 应用、DRP 应用以及动态切换, 部分型号内置可控 Rd 下拉电阻, 支持 PDUSB。

1.4.17 通用输入输出接口 (GPIO)

系统提供了 4 组 GPIO 端口, 共 37 个 GPIO 引脚。每个引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉和下拉) 或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口, 所有 GPIO 引脚都有较大电流驱动能力。提供锁定机制冻结 IO 配置, 以避免意外的写入 I/O 寄存器。

系统中大部分 IO 引脚电源由 V_{DD} 提供, 通过改变 V_{DD} 供电将改变 IO 引脚输出电平高值来适配外部通讯接口电平。具体引脚请参考引脚描述。

1.4.18 运放/比较器 (OPA)

芯片内置 1 组运放 (OPA), 也可用作电压比较器, 其输入可通过更改配置对多个通道进行选择, 支持多通道自动轮询, 包括可编程增益运放 (PGA) 的放大倍数选择, 其输出可通过更改配置对 5 个通道进行选择, 内部关联到 ADC 通道。支持将外部模拟小信号放大送入 ADC 以实现小信号 ADC 转换。

1.4.19 电压比较器 (CMP)

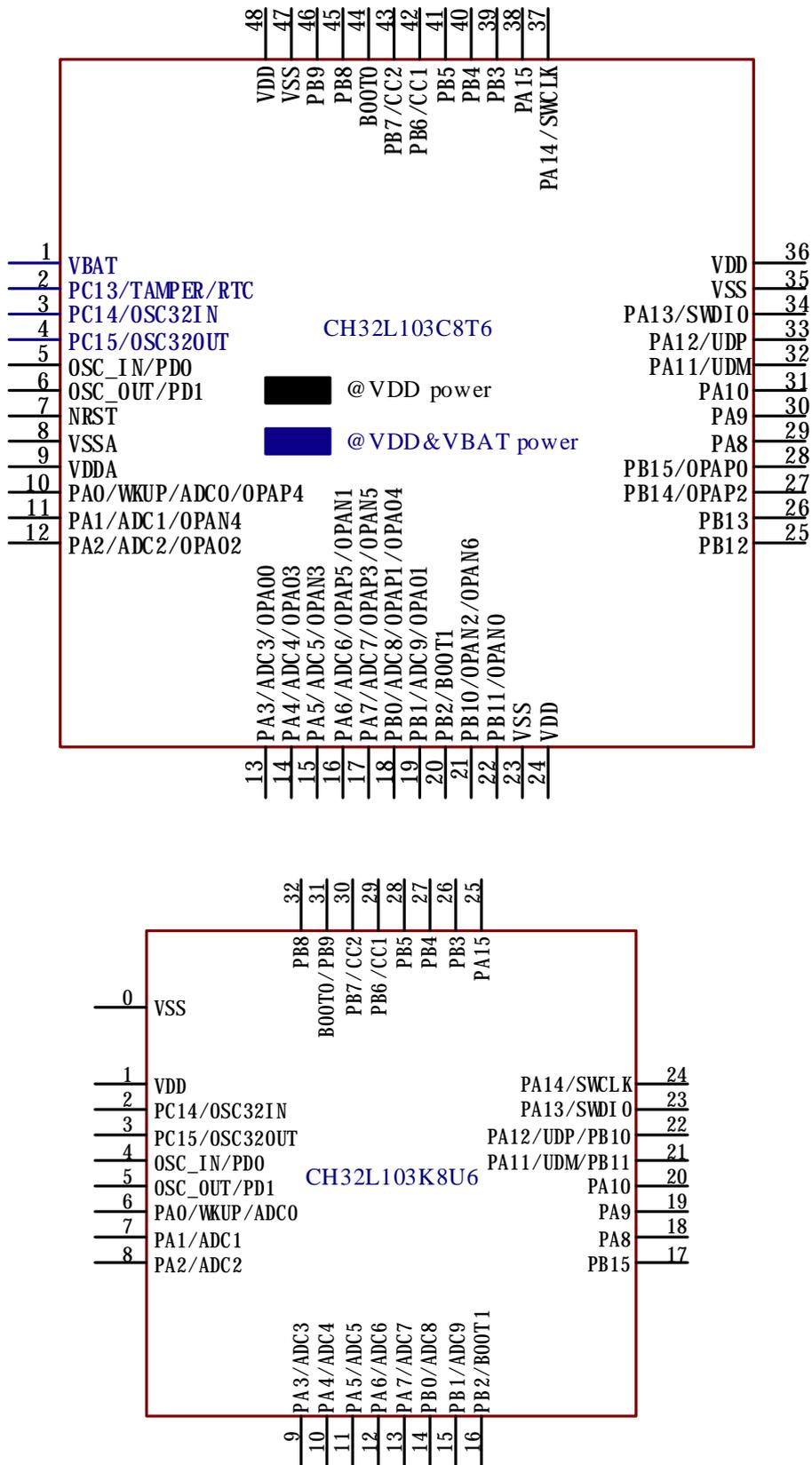
芯片内置 3 组轨到轨模拟电压比较器, 支持两通道自动轮询, 可选迟滞特性, 电压比较结果由 GPIO 输出或者内部直接接入 TIM2 的 CH1~CH3 的输入通道实现触发。

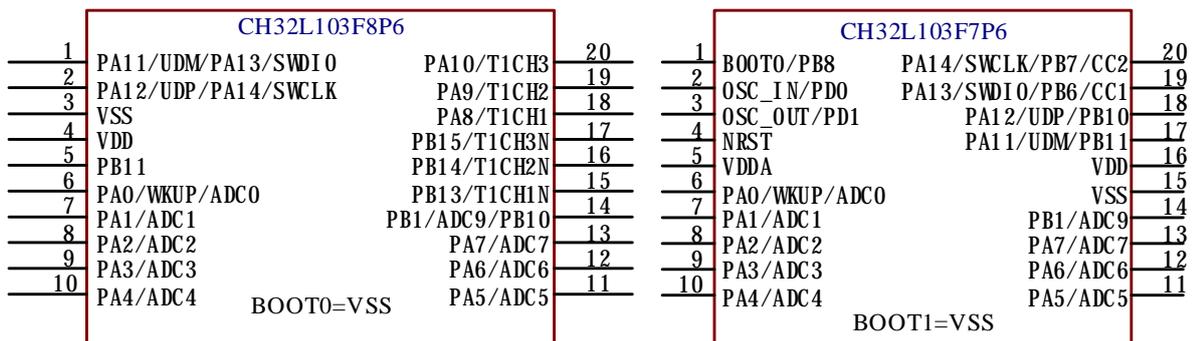
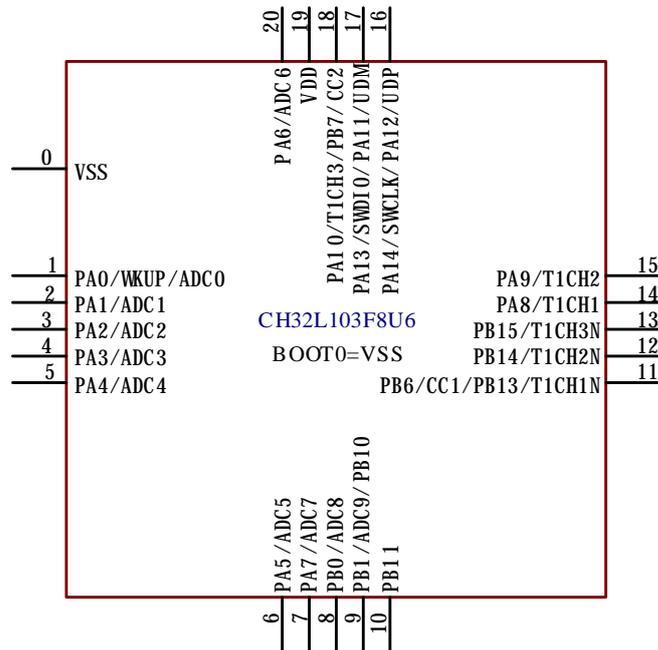
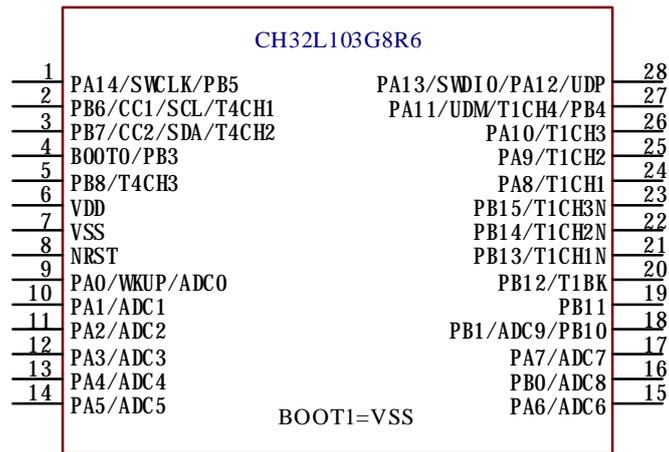
1.4.20 串行 2 线调试接口 (2-wire SDI Serial Debug Interface)

内核自带一个串行 2 线调试的接口 (SDI)，包括 SWDIO 和 SWCLK 引脚。系统上电或复位后默认调试接口引脚功能开启，主程序运行后可以根据需要关闭 SDI。

第 2 章 引脚信息

2.1 引脚排列





注：引脚图中复用功能为缩写。

示例：ADC: ADC_ (ADC0: ADC_IN0)

T: TIME_ (T1CH3: TIM1_CH3、T1CH1N: TIM1_CH1N、T1BK: TIM1_BKIN)

OPA: OPA_ (OPAP4: OPA_P4、OPAN4: OPA_N4、OPA02: OPA_02)

UDP: USBDP

UDM: USBDM

2.2 引脚描述

表 2-1 引脚定义

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-1-1 QFN20/QSOP28/QFN32/LQFP48 引脚定义

引脚编号				引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
QFN20	QSOP28	QFN32	LQFP48						
-	-	-	1	V _{BAT}	P	-	V _{BAT}		
-	-	-	2	PC13-TAMPER-RTC ⁽²⁾	I/O	-	PC13 ⁽³⁾	TAMPER RTC	
-	-	2	3	PC14-OSC32_IN ⁽²⁾	I/O/A	-	PC14 ⁽³⁾	OSC32_IN	
-	-	3	4	PC15-OSC32_OUT ⁽²⁾	I/O/A	-	PC15 ⁽³⁾	OSC32_OUT	
-	-	4	5	OSC_IN	I/O/A	-	OSC_IN		PDO ⁽⁴⁾ USART3_TX_3 USART3_RX_2 CAN_RX_3
-	-	5	6	OSC_OUT	I/O/A	-	OSC_OUT		PD1 ⁽⁴⁾ USART3_TX_2 USART3_RX_3 CAN_TX_3
-	8	-	7	NRST	I	-	NRST		
-	-	-	8	V _{SSA}	P	-	V _{SSA}		
-	-	-	9	V _{DDA}	P	-	V _{DDA}		
1	9	6	10	PA0-WKUP	I/O/A	-	PA0	WKUP ADC_IN0 TIM2_CH1_ETR USART2_CTS OPA_P4	TIM2_CH1_ETR_2 USART2_CTS_2 USART2_CTS_3
2	10	7	11	PA1	I/O/A	-	PA1	ADC_IN1 TIM2_CH2 USART2_RTS OPA_N4	TIM1_CH1_2 TIM1_CH1_3 TIM2_CH2_2 TIM1_CH2N_5 USART2_RTS_2 USART2_RTS_3
3	11	8	12	PA2	I/O/A	-	PA2	ADC_IN2 CMP1_P0 OPA_O2 TIM2_CH3 USART2_TX	TIM1_CH4_4 TIM2_CH2_4 TIM2_CH2_5 TIM2_CH3_1 USART1_CTS_2
4	12	9	13	PA3	I/O/A	-	PA3	ADC_IN3 OPA_00	TIM1_ETR_3 TIM1_CH4_5

引脚编号				引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
QFN20	QSOP28	QFN32	LQFP48						
								TIM2_CH4 USART2_RX	TIM2_CH1_ETR_4 TIM2_CH4_1 USART1_CK_2
5	13	10	14	PA4	I/O/A	-	PA4	ADC_IN4 OPA_03 USART2_CK SPI1_NSS	TIM2_CH4_7 USART1_TX_2 USART1_RX_3 USART2_CK_2 USART2_CK_3
6	14	11	15	PA5	I/O/A	-	PA5	ADC_IN5 SPI1_SCK OPA_N3	TIM2_CH3_7 USART1_TX_3 USART1_RX_2 USART4_TX_1
20	15	12	16	PA6	I/O/A	-	PA6	ADC_IN6 TIMB_CH1 SPI1_MISO OPA_N1 OPA_P5	TIM1_BKIN_1 TIM2_CH4_4 TIM2_CH4_5 USART1_CK_3 USART1_CK_4 USART4_CK_1
7	17	13	17	PA7	I/O/A	-	PA7	SPI1_MOSI ADC_IN7 TIMB_CH2 OPA_N5 OPA_P3	TIM1_CH1N_1 TIM1_CH2_2 TIM1_CH2_3 USART4_CTS_1
8	16	14	18	PB0	I/O/A	-	PB0	ADC_IN8 TIMB_CH3 USART4_TX CMP1_OUT0 OPA_P1 OPA_04	TIM1_CH2N_1 TIM1_CH2N_2 TIM1_CH2N_3 TIMB_CH3_1
9	18	15	19	PB1 ⁽⁸⁾⁽⁹⁾	I/O/A	-	PB1	ADC_IN9 TIMB_CH4 USART4_RX CMP1_NO OPA_01	TIM1_CH1_5 TIM1_CH4_2 TIM1_CH4_3 TIM1_CH2N_4 TIM1_CH3N_1 TIMB_CH4_1
-	-	16	20	PB2 ⁽⁵⁾	I/O/A	FT	PB2 BOOT1 ⁽⁵⁾	USART4_CK CMP1_P1	LPT_OUT_1
9	18	22	21	PB10 ⁽⁷⁾⁽⁸⁾⁽⁹⁾	I/O/A	FT	PB10	USART3_TX I2C2_SCL CMP1_OUT1 CMP3_P1	TIM4_CH1_1 TIM2_CH3_2 TIM2_CH3_3

引脚编号				引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
QFN20	QSOP28	QFN32	LQFP48						
								OPA_N2 OPA_N6	
10	19	21	22	PB11 ⁽⁷⁾	I/O/A	FT	PB11	CMP2_OUT1 CMP3_N1 OPA_NO USART3_RX I2C2_SDA	TIM1_CH1N_2 TIM1_CH1N_3 TIM2_CH4_2 TIM2_CH4_3 TIM4_CH2_1 USART1_TX_4 I2C1_SDA_3
0	6	0	23	V _{SS}	P	-	V _{SS}		
19	7	1	24	V _{DD}	P	-	V _{DD}		
-	20	-	25	PB12	I/O/A	FT	PB12	CMP3_OUT1 TIM_BKIN LPT_IN1 USART3_CK I2C2_SMB SPI2_NSS	TIM1_CH3_4 TIM2_CH3_4 TIM2_CH3_5 USART1_TX_5 USART3_CK_2 USART3_CK_3 SPI1_NSS_3
11	21	-	26	PB13 ⁽⁹⁾	I/O	FT	PB13	TIM1_CH1N LPT_IN2 USART3_CTS SPI2_SCK	USART3_CTS_2 USART3_CTS_3
12	22	-	27	PB14	I/O/A	FT	PB14	TIM1_CH2N LPT_ETR USART3_RTS SPI2_MISO OPA_P2	USART3_RTS_2 USART3_RTS_3
13	23	17	28	PB15	I/O/A	FT	PB15	TIM1_CH3N LPT_OUT SPI2_MOSI OPA_PO	
14	24	18	29	PA8	I/O	FT	PA8	MCO TIM1_CH1 USART1_CK	TIM1_CH1_1 USART1_CK_1
15	25	19	30	PA9	I/O	FT	PA9	TIM1_CH2 USART1_TX	TIM1_CH2_1
18	26	20	31	PA10 ⁽⁹⁾	I/O	FT	PA10	TIM1_CH3 USART1_RX	TIM1_CH3_1

引脚编号				引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
QFN20	QSOP28	QFN32	LQFP48						
17	27	21	32	PA11 ⁽⁷⁾⁽⁸⁾⁽⁹⁾	I/O/A	FT	PA11	TIM1_CH4 USART1_CTS USBDM CAN_RX	TIM1_CH4_1 USART1_CTS_1 USART2_TX_2 USART2_RX_3
16	28	22	33	PA12 ⁽⁷⁾⁽⁸⁾⁽⁹⁾	I/O/A	FT	PA12	USART1_RTS USBDP CAN_TX TIM1_ETR	USART1_RTS_1 TIM1_ETR_1 TIM1_BKIN_4 TIM1_BKIN_5 TIM2_CH1_ETR_5 TIM2_CH1_ETR_7 USART1_RX_5 USART2_TX_3 USART2_RX_2 I2C1_SDA_2 SPI1_NSS_2
17		23	34	PA13 ⁽⁸⁾⁽⁹⁾	I/O	FT	SWDIO		TIM1_ETR_5 TIM1_BKIN_2 TIM1_BKIN_3 USART1_RTS_2 USART1_RTS_4 I2C1_SCL_2
-	-		35	V _{SS}	P	-	V _{SS}		
-	-		36	V _{DD}	P	-	V _{DD}		
16	1	24	37	PA14 ⁽⁸⁾⁽⁹⁾	I/O	FT	SWCLK		TIM1_CH3_2 TIM1_CH3_3 TIM1_CH1N_4 TIM1_CH1N_5 USART1_CTS_4
-	-	25	38	PA15	I/O	FT	PA15		TIM2_CH1_ETR_1 TIM2_CH1_ETR_3 USART4_RTS_1 SPI1_NSS_1
-	4	26	39	PB3 ⁽⁶⁾	I/O/A	FT	PB3	CMP1_N1 CMP2_NO CMP3_NO USART4_CTS	TIM2_CH2_1 TIM2_CH2_3 SPI1_SCK_1
-	27	27	40	PB4 ⁽⁸⁾	I/O/A	FT	PB4	CMP3_OUT0 USART4_RTS	TIMB_CH1_1 SPI1_MISO_1
-	1	28	41	PB5 ⁽⁸⁾	I/O/A	FT	PB5	I2C1_SMBA CMP2_OUT0 CMP3_PO	LPT_IN1_1 TIMB_CH2_1 USART4_RX_1

引脚编号				引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
QFN20	QSOP28	QFN32	LQFP48						
									I2C1_SMBA_2 I2C1_SMBA_3 SPI1_MOSI_1
11	2	29	42	PB6 ⁽⁹⁾	I/O/A	FT	PB6	TIM4_CH1 I2C1_SCL CC1 CMP2_P1	LPT_ETR_1 USART1_TX_1 USART1_CK_5 SPI1_SCK_2 SPI1_SCK_3 TIM1_ETR_2 TIM1_ETR_4 TIM1_CH3_5
18	3	30	43	PB7 ⁽⁹⁾	I/O/A	FT	PB7	TIM4_CH2 I2C1_SDA CC2 CMP2_N1	LPT_IN2_1 USART1_RX_1 USART1_CTS_3 USART1_CTS_5 SPI1_MOSI_2 SPI1_MOSI_3 TIM1_CH1_4 TIM1_CH3N_5
-	4	31	44	BOOT0 ⁽⁶⁾	I	-	BOOT0		
-	5	32	45	PB8	I/O/A	FT	PB8	TIM4_CH3 CMP2_PO	TIM4_CH3_1 USART1_RTS_3 USART1_RTS_5 SPI1_MSO_2 SPI1_MSO_3 CAN_RX_2 TIM1_CH2_4 TIM1_CH2_5 TIM2_CH2_7
-	-	31	46	PB9 ⁽⁶⁾	I/O/A	FT	PB9	TIM4_CH4	TIM4_CH4_1 USART1_RX_4 I2C1_SCL_3 CAN_TX_2 TIM1_CH3N_2 TIM1_CH3N_3 TIM1_CH3N_4
-	-	-	47	V _{SS}	P	-	V _{SS}		
-	-	-	48	V _{DD}	P	-	V _{DD}		

表 2-1-2 TSSOP20(F7P6)/TSSOP20(F8P6)引脚定义

引脚编号		引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
(F7P6)	(F8P6)						
TSSOP20	TSSOP20						
2	-	OSC_IN	I/O/A	-	OSC_IN		PDO ⁽⁴⁾ USART3_TX_3 USART3_RX_2 CAN_RX_3
3	-	OSC_OUT	I/O/A	-	OSC_OUT		PD1 ⁽⁴⁾ USART3_TX_2 USART3_RX_3 CAN_TX_3
4	-	NRST	I	-	NRST		
5	-	V _{DDA}	P	-	V _{DDA}		
6	6	PA0-WKUP	I/O/A	-	PA0	WKUP ADC_IN0 TIM2_CH1_ETR USART2_CTS OPA_P4	TIM2_CH1_ETR_2 USART2_CTS_2 USART2_CTS_3
7	7	PA1	I/O/A	-	PA1	ADC_IN1 TIM2_CH2 USART2_RTS OPA_N4	TIM1_CH1_2 TIM1_CH1_3 TIM2_CH2_2 TIM1_CH2N_5 USART2_RTS_2 USART2_RTS_3
8	8	PA2	I/O/A	-	PA2	ADC_IN2 CMP1_P0 OPA_02 TIM2_CH3 USART2_TX	TIM1_CH4_4 TIM2_CH2_4 TIM2_CH2_5 TIM2_CH3_1 USART1_CTS_2
9	9	PA3	I/O/A	-	PA3	ADC_IN3 OPA_00 TIM2_CH4 USART2_RX	TIM1_ETR_3 TIM1_CH4_5 TIM2_CH1_ETR_4 TIM2_CH4_1 USART1_CK_2
10	10	PA4	I/O/A	-	PA4	ADC_IN4 OPA_03 USART2_CK SPI1_NSS	TIM2_CH4_7 USART1_TX_2 USART1_RX_3 USART2_CK_2 USART2_CK_3

引脚编号		引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
(F7P6)	(F8P6)						
TSSOP20	TSSOP20						
11	11	PA5	I/O/A	-	PA5	ADC_IN5 SPI1_SCK OPA_N3	TIM2_CH3_7 USART1_TX_3 USART1_RX_2 USART4_TX_1
12	12	PA6	I/O/A	-	PA6	ADC_IN6 TIMB_CH1 SPI1_MISO OPA_N1 OPA_P5	TIM1_BKIN_1 TIM2_CH4_4 TIM2_CH4_5 USART1_CK_3 USART1_CK_4 USART4_CK_1
13	13	PA7	I/O/A	-	PA7	SPI1_MOSI ADC_IN7 TIMB_CH2 OPA_N5 OPA_P3	TIM1_CH1N_1 TIM1_CH2_2 TIM1_CH2_3 USART4_CTS_1
14	14	PB1 ⁽¹⁰⁾	I/O/A	-	PB1	ADC_IN9 TIMB_CH4 USART4_RX CMP1_NO OPA_01	TIM1_CH1_5 TIM1_CH4_2 TIM1_CH4_3 TIM1_CH2N_4 TIM1_CH3N_1 TIMB_CH4_1
18	14	PB10 ⁽¹⁰⁾⁽¹¹⁾	I/O/A	FT	PB10	USART3_TX I2C2_SCL CMP1_OUT1 CMP3_P1 OPA_N2 OPA_N6	TIM4_CH1_1 TIM2_CH3_2 TIM2_CH3_3
17	5	PB11 ⁽¹¹⁾	I/O/A	FT	PB11	CMP2_OUT1 CMP3_N1 OPA_NO USART3_RX I2C2_SDA	TIM1_CH1N_2 TIM1_CH1N_3 TIM2_CH4_2 TIM2_CH4_3 TIM4_CH2_1 USART1_TX_4 I2C1_SDA_3
15	3	V _{SS}	P	-	V _{SS}		
16	4	V _{DD}	P	-	V _{DD}		
-	15	PB13	I/O	FT	PB13	TIM1_CH1N LPT_IN2	USART3_CTS_2 USART3_CTS_3

引脚编号		引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
(F7P6)	(F8P6)						
TSSOP20	TSSOP20						
						USART3_CTS SPI2_SCK	
-	16	PB14	I/O/A	FT	PB14	TIM1_CH2N LPT_ETR USART3_RTS SPI2_MISO OPA_P2	USART3_RTS_2 USART3_RTS_3
-	17	PB15	I/O/A	FT	PB15	TIM1_CH3N LPT_OUT SPI2_MSI OPA_PO	
-	18	PA8	I/O	FT	PA8	MCO TIM1_CH1 USART1_CK	TIM1_CH1_1 USART1_CK_1
-	19	PA9	I/O	FT	PA9	TIM1_CH2 USART1_TX	TIM1_CH2_1
-	20	PA10	I/O	FT	PA10	TIM1_CH3 USART1_RX	TIM1_CH3_1
17	1	PA11 ⁽¹⁰⁾⁽¹¹⁾	I/O/A	FT	PA11	TIM1_CH4 USART1_CTS USBDM CAN_RX	TIM1_CH4_1 USART1_CTS_1 USART2_TX_2 USART2_RX_3
18	2	PA12 ⁽¹⁰⁾⁽¹¹⁾	I/O/A	FT	PA12	USART1_RTS USBDP CAN_TX TIM1_ETR	USART1_RTS_1 TIM1_ETR_1 TIM1_BKIN_4 TIM1_BKIN_5 TIM2_CH1_ETR_5 TIM2_CH1_ETR_7 USART1_RX_5 USART2_TX_3 USART2_RX_2 I2C1_SDA_2 SPI1_NSS_2
19	1	PA13 ⁽¹⁰⁾⁽¹¹⁾	I/O	FT	SWDIO		TIM1_ETR_5 TIM1_BKIN_2 TIM1_BKIN_3 USART1_RTS_2 USART1_RTS_4

引脚编号		引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能	重映射功能 ⁽¹²⁾
(F7P6)	(F8P6)						
TSSOP20	TSSOP20						
							I2C1_SCL_2
20	2	PA14 ⁽¹⁰⁾⁽¹¹⁾	I/O	FT	SWCLK		TIM_CH3_2 TIM_CH3_3 TIM_CH1N_4 TIM_CH1N_5 USART1_CTS_4
19	-	PB6 ⁽¹¹⁾	I/O/A	FT	PB6	TIM_CH1 I2C1_SCL CC1 CMP2_P1	LPT_ETR_1 USART1_TX_1 USART1_CK_5 SPI1_SCK_2 SPI1_SCK_3 TIM_ETR_2 TIM_ETR_4 TIM_CH3_5
20	-	PB7 ⁽¹¹⁾	I/O/A	FT	PB7	TIM_CH2 I2C1_SDA CC2 CMP2_N1	LPT_IN2_1 USART1_RX_1 USART1_CTS_3 USART1_CTS_5 SPI1_MSI_2 SPI1_MSI_3 TIM_CH1_4 TIM_CH3N_5
	-	BOOT0 ⁽⁶⁾	I	-	BOOT0		
1	-	PB8 ⁽⁶⁾	I/O/A	FT	PB8	TIM_CH3 CMP2_PO	TIM_CH3_1 USART1_RTS_3 USART1_RTS_5 SPI1_MSO_2 SPI1_MSO_3 CAN_RX_2 TIM_CH2_4 TIM_CH2_5 TIM2_CH2_7

注 1: 表格缩写解释

I = TTL/CMOS 电平斯密特输入; *O* = CMOS 电平三态输出;

A = 模拟信号输入或输出; *P* = 电源; *FT* = 耐受 5V;

注 2: 当备份区域由 V_{DD} (内部模拟开关连到 V_{DD}) 供电时: PC14和PC15可用于GPIO或LSE引脚、PC13可作为通用I/O口、TAMPER引脚、RTC校准时钟、RTC闹钟或秒输出; 作为输出脚时只能工作在 2MHz 模式下, 最大驱动负载为 30pF; 当后备区域由 V_{BAT} (V_{DD} 消失后模拟开关连到BAT): PC14和PC15只能用于LSE引脚、PC13可作为TAMPER引脚、RTC闹钟或秒输出。

- 注3: 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。关于如何控制这些IO口的具体信息, 请参考CH32L103RM手册的电池备份区域和BKP寄存器的相关章节。
- 注4: 对于CH32L103C8T6芯片, 引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚, 软件可以重新设置这两个引脚为PDO和PD1功能; 对于CH32L103K8U6芯片, 引脚4和引脚5在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚, 软件可以重新设置这两个引脚为PDO和PD1功能; 对于CH32L103F7P6芯片, 引脚2和引脚3在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚, 软件可以重新设置这两个引脚为PDO和PD1功能。更多详细信息请参考CH32L103RM手册的复用功能I/O章节和调试设置章节。
- 注5: BOOT0引脚未引出的芯片, 在内部将下拉到GND。BOOT0引脚引出, 但BOOT1/PB2引脚未引出的芯片, 内部BOOT1/PB2引脚将下拉到GND。此时如果进入低功耗模式配置IO口状态时, 建议BOOT1/PB2引脚使用输入下拉模式防止产生额外电流。
- 注6: 对于CH32L103K8U6芯片, BOOT0和PB9引脚在芯片内部短接合封, 此时PB9引脚不再支持耐压5V; 对于CH32L103G8R6芯片, BOOT0和PB3引脚在芯片内部短接合封, 此时PB3引脚不再支持耐压5V; 对于CH32L103F7P6芯片, BOOT0和PB8引脚在芯片内部短接合封, 此时PB8引脚不再支持耐压5V。建议外接470K下拉电阻, 确保上电期间BOOT0为低电平, 以便进入程序闪存存储器自举模式, 正常工作后PB9、PB3和PB8引脚根据需要可以用于输出。
- 注7: 对于CH32L103K8U6芯片, PA11和PB11引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA12和PB10引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能。
- 注8: 对于CH32L103G8R6芯片, PA14和PB5引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PB1和PB10引脚在芯片内部短接合封, 此时PB10引脚不再支持耐压5V, 禁止将两个IO均配置为输出功能; PA11和PB4引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA12和PA13引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能。
- 注9: 对于CH32L103F8U6芯片, PB1和PB10引脚在芯片内部短接合封, 此时PB10引脚不再支持耐压5V, 禁止将两个IO均配置为输出功能; PB6和PB13引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA12和PA14引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA11和PA13引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA10和PB7引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能。
- 注10: 对于CH32L103F8P6芯片, PA11和PA13引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA12和PA14引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PB1和PB10引脚在芯片内部短接合封, 此时PB10引脚不再支持耐压5V, 禁止将两个IO均配置为输出功能。
- 注11: 对于CH32L103F7P6芯片, PA11和PB11引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA12和PB10引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA13和PB6引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能; PA14和PB7引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能。
- 注12: 重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如: CAN_RX_2表示AFIO寄存器相应位配置为10b。

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-2 引脚复用和重映射功能

复用 引脚	ADC	TIM1	TIM2/3/4	USART	CMP	SYS	I2C	SPI	CAN	USB	OPA	LPTIM
PA0	ADC_IN0		TIM2_CH1_ETR TIM2_CH1_ETR_2	USART2_CTS USART2_CTS_2 USART2_CTS_3		WKUP					OPA_P4	
PA1	ADC_IN1	TIM1_CH1_2 TIM1_CH1_3 TIM1_CH2N_5	TIM2_CH2 TIM2_CH2_2	USART2_RTS USART2_RTS_2 USART2_RTS_3							OPA_N4	
PA2	ADC_IN2	TIM1_CH4_4	TIM2_CH2_4 TIM2_CH2_5 TIM2_CH3 TIM2_CH3_1	USART1_CTS_2 USART2_TX	CMP1_P0						OPA_02	
PA3	ADC_IN3	TIM1_ETR_3 TIM1_CH4_5	TIM2_CH1_ETR_4 TIM2_CH4 TIM2_CH4_1	USART1_CK_2 USART2_RX							OPA_00	
PA4	ADC_IN4		TIM2_CH4_7	USART1_TX_2 USART1_RX_3 USART2_CK USART2_CK_2 USART2_CK_3				SPI1_NSS			OPA_03	
PA5	ADC_IN5		TIM2_CH3_7	USART1_TX_3 USART1_RX_2 USART4_TX_1				SPI1_SCK			OPA_N3	
PA6	ADC_IN6	TIM1_BKIN_1	TIM2_CH4_4 TIM2_CH4_5 TIMB_CH1	USART1_CK_3 USART1_CK_4 USART4_CK_1				SPI1_MISO			OPA_N1 OPA_P5	
PA7	ADC_IN7	TIM1_CH2_2 TIM1_CH2_3 TIM1_CH1N_1	TIMB_CH2	USART4_CTS_1				SPI1_MSI			OPA_N5 OPA_P3	
PA8		TIM1_CH1 TIM1_CH1_1		USART1_CK USART1_CK_1		MC0						
PA9		TIM1_CH2 TIM1_CH2_1		USART1_TX								
PA10		TIM1_CH3 TIM1_CH3_1		USART1_RX								
PA11		TIM1_CH4 TIM1_CH4_1		USART1_CTS USART1_CTS_1					CAN_RX	USBDM		

复用 引脚	ADC	TIM	TIM2/3/4	USART	CMP	SYS	I2C	SPI	CAN	USB	OPA	LPTIM
				USART2_TX_2 USART2_RX_3								
PA12		TIM1_BKIN_4 TIM1_BKIN_5 TIM1_ETR TIM1_ETR_1	TIM2_CH1_ETR_5 TIM2_CH1_ETR_7	USART1_RX_5 USART1_RTS USART1_RTS_1 USART2_TX_3 USART2_RX_2			I2C1_SDA_2	SPI1_NSS_2	CAN_TX	USBDP		
PA13		TIM1_ETR_5 TIM1_BKIN_2 TIM1_BKIN_3		USART1_RTS_2 USART1_RTS_4		SWDIO	I2C1_SCL_2					
PA14		TIM1_CH3_2 TIM1_CH3_3 TIM1_CH1N_4 TIM1_CH1N_5		USART1_CTS_4		SWCLK						
PA15			TIM2_CH1_ETR_1 TIM2_CH1_ETR_3	USART4_RTS_1				SPI1_NSS_1				
PB0	ADC_IN8	TIM1_CH2N_1 TIM1_CH2N_2 TIM1_CH2N_3	TIMB_CH3 TIMB_CH3_1	USART4_TX	CMP1_OUT0						OPA_P1 OPA_04	
PB1	ADC_IN9	TIM1_CH1_5 TIM1_CH4_2 TIM1_CH4_3 TIM1_CH2N_4 TIM1_CH3N_1	TIMB_CH4 TIMB_CH4_1	USART4_RX	CMP1_NO						OPA_01	
PB2				USART4_CK	CMP1_P1		BOOT1					LPT_OUT_1
PB3			TIM2_CH2_1 TIM2_CH2_3	USART4_CTS	CMP1_N1 CMP2_NO CMP3_NO			SPI1_SCK_1				
PB4			TIMB_CH1_1	USART4_RTS	CMP3_OUT0			SPI1_MISO_1				
PB5			TIMB_CH2_1	USART4_RX_1	CMP2_OUT0 CMP3_PO		I2C1_SMBA I2C1_SMBA_2 I2C1_SMBA_3	SPI1_MOSI_1				LPT_IN1_1
PB6		TIM1_ETR_2 TIM1_ETR_4 TIM1_CH3_5	TIM1_CH1	USART1_TX_1 USART1_CK_5	CMP2_P1		I2C1_SCL	SPI1_SCK_2 SPI1_SCK_3		CC1		LPT_ETR_1
PB7		TIM1_CH1_4 TIM1_CH3N_5	TIM1_CH2	USART1_RX_1 USART1_CTS_3 USART1_CTS_5	CMP2_N1		I2C1_SDA	SPI1_MOSI_2 SPI1_MOSI_3		CC2		LPT_IN2_1
PB8		TIM1_CH2_4 TIM1_CH2_5	TIM1_CH3 TIM1_CH3_1	USART1_RTS_3 USART1_RTS_5	CMP2_PO			SPI1_MISO_2 SPI1_MISO_3	CAN_RX_2			

复用 引脚	ADC	TIM1	TIM2/3/4	USART	CMP	SYS	I2C	SPI	CAN	USB	OPA	LPTIM
			TIM2_CH2_7									
PB9		TIM1_CH3N_2 TIM1_CH3N_3 TIM1_CH3N_4	TIM1_CH4 TIM1_CH4_1	USART1_RX_4			I2C1_SCL_3		CAN_TX_2			
PB10			TIM1_CH1_1 TIM2_CH3_2 TIM2_CH3_3	USART3_TX	CMP1_OUT1 CMP3_P1		I2C2_SCL				OPA_N2 OPA_N6	
PB11		TIM1_CH1N_2 TIM1_CH1N_3	TIM2_CH4_2 TIM2_CH4_3 TIM2_CH2_1	USART1_TX_4 USART3_RX	CMP2_OUT1 CMP3_N1		I2C1_SDA_3 I2C2_SDA				OPA_NO	
PB12		TIM1_CH3_4 TIM1_BKIN	TIM2_CH3_4 TIM2_CH3_5	USART1_TX_5 USART3_CK USART3_CK_2 USART3_CK_3	CMP3_OUT1		I2C2_SMBA	SPI1_NSS_3 SPI2_NSS				LPT_IN1
PB13		TIM1_CH1N		USART3_CTS USART3_CTS_2 USART3_CTS_3				SPI2_SCK				LPT_IN2
PB14		TIM1_CH2N		USART3_RTS USART3_RTS_2 USART3_RTS_3				SPI2_MISO			OPA_P2	LPT_ETR
PB15		TIM1_CH3N						SPI2_MOSI			OPA_P0	LPT_OUT
PC13						RTC TAMPER						
PC14						OSC32_IN						
PC15						OSC32_OUT						
PD0				USART3_TX_3 USART3_RX_2		OSC_IN			CAN_RX_3			
PD1				USART3_TX_2 USART3_RX_3		OSC_OUT			CAN_TX_3			

第 3 章 电气特性

3.1 测试条件

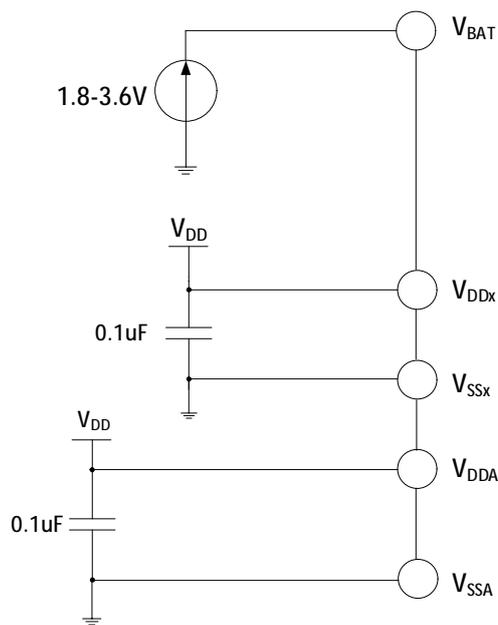
除非特殊说明和标注，所有电压都以 V_{SS} 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值是基于常温 25°C 和 $V_{DD} = 3.3\text{V}$ 环境下用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1 常规供电典型电路



3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	$^{\circ}\text{C}$
T_S	存储时的环境温度	-40	125	$^{\circ}\text{C}$
$V_{DD}-V_{SS}$	外部主供电电压（包含 V_{DDA} 和 V_{DD} ）	-0.3	4.0	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	$V_{SS}-0.3$	5.5	V
	其他引脚上的电压	$V_{SS}-0.3$	$V_{DD}+0.3$	V
$ \Delta V_{DD_x} $	主供电引脚各 V_{DD} 之间的电压差		50	mV
$ \Delta V_{SS_x} $	不同接地引脚之间的电压差		50	mV
$V_{ESD(HBM)}$	普通 I/O 引脚的 ESD 静电放电电压（HBM）	4K		V
	USB 引脚的 ESD 静电放电电压（HBM）	4K		V
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流（供应电流）		150	mA
I_{VSS}	经过 V_{SS} 地线的总电流（流出电流）		150	mA
$I_{I/O}$	任意 I/O 和控制引脚上的灌电流		25	mA
	任意 I/O 和控制引脚上的输出电流		-25	mA

$I_{INJ(PIN)}$	NRST 引脚注入电流		+/-5	mA
	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚注入电流		+/-5	mA
	其他引脚的注入电流		+/-5	mA
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚的总注入电流		+/-25	mA

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
F_{HCLK}	内部 AHB 时钟频率			96	MHz
F_{PCLK1}	内部 APB1 时钟频率			96	MHz
F_{PCLK2}	内部 APB2 时钟频率			96	MHz
V_{DD}	标准工作电压		1.8	3.6	V
		使用 USB	3.0	3.6	
V_{DDA}	模拟部分工作电压(未使用 ADC)		2.0	3.6	V
	模拟部分工作电压(使用 ADC)		2.4	3.6	
$V_{BAT}^{(1)}$	备份单元工作电压	不能大于 V_{DD}	1.8	3.6	V
T_A	环境温度		-40	85	°C
T_J	结温度范围		-40	105	°C

注：1. 电池到 V_{BAT} 连线要尽可能的短。

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	us/V
	V_{DD} 下降速率		70	∞	

注：电池到 V_{BAT} 连线要尽可能的短。

3.3.2 内置复位和电源控制模块特性

表 3-4 复位及电压监测（PDR 选择高阈值档位）

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(2)}$	可编程电压检测器的电平选择	PLS[2:0] = 000(上升沿)		1.75		V
		PLS[2:0] = 000(下降沿)		1.70		V
		PLS[2:0] = 001(上升沿)		1.93		V
		PLS[2:0] = 001(下降沿)		1.87		V
		PLS[2:0] = 010(上升沿)		2.14		V
		PLS[2:0] = 010(下降沿)		2.08		V
		PLS[2:0] = 011(上升沿)		2.35		V
		PLS[2:0] = 011(下降沿)		2.28		V
		PLS[2:0] = 100(上升沿)		2.54		V
		PLS[2:0] = 100(下降沿)		2.46		V
		PLS[2:0] = 101(上升沿)		2.72		V
		PLS[2:0] = 101(下降沿)		2.63		V
		PLS[2:0] = 110(上升沿)		2.92		V

		PLS[2:0] = 110(下降沿)		2.83		V
		PLS[2:0] = 111(上升沿)		3.1		V
		PLS[2:0] = 111(下降沿)		3.01		V
$V_{PVDhyst}^{(1)}$	PVD 迟滞		0.05	0.08	0.1	V
$V_{POR/PDR}^{(1)}$	上电/掉电复位阈值	上升沿	1.44	1.54	1.70	V
		下降沿	1.42	1.53	1.68	V
$V_{PDRhyst}^{(1)}$	PDR 迟滞		10	20		mV
$t_{RSTTEMPO}$	复位持续时间		6	16	30	nS

注：1. 设计参数；
2. 常温测试值。

3.3.3 内置的参考电压

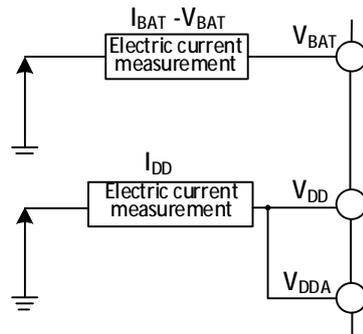
表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	1.17	1.2	1.23	V
$T_{S_vrefint}$	当读出内部参考电压时，ADC 的采样时间	建议慢速采样			20	us

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 3-2 电流消耗测量



微控制器处于下列条件：

常温 $V_{DD} = 3.3\text{V}$ 情况下，测试时：所有 I/O 端口配置下拉输入， $HSI=8\text{M}$ ， $F_{PLCK1}=F_{HCLK}/2$ ， $F_{PLCK2}=F_{HCLK}$ ，使能或关闭所有外设时钟的功耗。

表 3-6 数据处理代码从 FLASH 中运行，设置 LDOTRIM[1:0]=10、LDO_EC=0

符号	参数	条件			典型值		单位
		HSILP	PLLON	F_{HCLK}	使能所有外设	关闭所有外设	
$I_{DD}^{(1)}$	运行模式下的供应电流	0	1	96MHz	7.34	4.80	mA
		0	1	48MHz	5.08	3.80	
		0	1	8MHz	2.23	1.18	
		0	1	1MHz	1.48	1.45	

		1	1	1MHz	1.26	1.23	mA
		0	0	8MHz	2.14	1.89	
		0	0	1MHz	1.39	1.36	
		1	0	1MHz	1.19	1.16	
	睡眠模式下的供应电流（此时外设供电和时钟保持）	0	1	96MHz	5.49	2.97	
		0	1	48MHz	3.49	2.23	
		0	1	8MHz	1.77	1.52	
		0	1	1MHz	1.45	1.41	
		1	1	1MHz	1.22	1.19	
		0	0	8MHz	1.68	1.43	
		0	0	1MHz	1.33	1.30	
		1	0	1MHz	1.13	1.11	

注：以上为实测参数。

表 3-7-1 数据处理代码从 SRAM 中运行，FLASH 进入低功耗模式⁽¹⁾，设置 LDOTRIM[1:0]=10

符号	参数	条件			典型值		单位
		HSILP	PLLON	F _{HCLK} ⁽³⁾	使能所有外设	关闭所有外设	
I _{DD} ⁽²⁾	运行模式下的供应电流	0	1	96MHz	6.74	4.23	mA
		0	1	48MHz	3.60	2.34	
		0	1	8MHz	0.95	0.68	
		0	1	1MHz	0.44	0.40	
		1	1	8MHz	0.67	0.46	
		1	1	1MHz	0.22	0.18	
		0	0	8MHz	0.85	0.60	
		0	0	1MHz	0.35	0.32	
		1	0	1MHz	0.15	0.12	
		1	0	500KHz	0.11	0.10	
	睡眠模式下的供应电流（此时外设供电和时钟保持）	0	1	96MHz	4.45	1.93	mA
		0	1	48MHz	2.45	1.19	
		0	1	8MHz	0.74	0.49	
		0	1	1MHz	0.42	0.38	
		1	1	8MHz	0.48	0.27	
		1	1	1MHz	0.19	0.16	
		0	0	8MHz	0.65	0.40	
		0	0	1MHz	0.32	0.29	
		1	0	1MHz	0.12	0.09	
		1	0	500KHz	0.10	0.08	
		1	0	125KHz	0.08	0.08	

注：1. 当 FLASH_LP_REG=1 且 FLASH_LP=1 时，FLASH 进入低功耗模式。

2. 以上为实测参数。

3. 当 F_{HCLK} 超过 16MHz 时，设置 LDO_EC=1，否则默认设置 LDO_EC=0。

表 3-7-2 数据处理代码从 SRAM 中运行, FLASH 不进入低功耗模式⁽¹⁾, 设置 LDOTRIM[1:0]=10

符号	参数	条件			典型值		单位
		HSILP	PLLON	F _{HCLK} ⁽³⁾	使能所有外设	关闭所有外设	
I _{DD} ⁽²⁾	运行模式下的供应电流	0	1	96MHz	7.74	5.23	mA
		0	1	48MHz	4.60	3.34	
		0	1	8MHz	1.98	1.69	
		0	1	1MHz	1.47	1.41	
		1	1	8MHz	1.67	1.47	
		1	1	1MHz	1.22	1.19	
		0	0	8MHz	1.88	1.60	
		0	0	1MHz	1.37	1.32	
	睡眠模式下的供应电流（此时外设供电和时钟保持）	1	0	1MHz	1.15	1.12	mA
		0	1	96MHz	5.45	2.93	
		0	1	48MHz	3.45	2.19	
		0	1	8MHz	1.74	1.49	
		0	1	1MHz	1.42	1.38	
		1	1	8MHz	1.49	1.28	
		1	1	1MHz	1.20	1.16	
		0	0	8MHz	1.65	1.40	
0	0	1MHz	1.33	1.30			
1	0	1MHz	1.13	1.10			

注：1. 当 FLASH_LP_REG=0 时, FLASH 不进入低功耗模式

2. 以上为实测参数。

3. 当 F_{HCLK} 超过 16MHz 时, 设置 LDO_EC=1, 否则默认设置 LDO_EC=0。

表 3-7-3 数据处理代码从 SRAM 中运行, FLASH 进入低功耗模式⁽¹⁾, 设置 LDOTRIM[1:0]=00

符号	参数	条件			典型值		单位
		HSILP	PLLON	F _{HCLK} ⁽³⁾	使能所有外设	关闭所有外设	
I _{DD} ⁽²⁾	运行模式下的供应电流	0	1	48MHz	3.08	2.05	mA
		0	1	8MHz	0.84	0.64	
		0	1	1MHz	0.41	0.38	
		1	1	8MHz	0.58	0.40	
		1	1	1MHz	0.19	0.17	
		0	0	8MHz	0.76	0.55	
		0	0	1MHz	0.32	0.29	
		1	0	1MHz	0.13	0.11	
		1	0	500KHz	0.10	0.09	
	睡眠模式下的供应电流（此时外设供电和时钟保持）	1	0	125KHz	0.08	0.08	mA
		0	1	48MHz	2.08	1.03	
		0	1	8MHz	0.65	0.45	
		0	1	1MHz	0.39	0.36	
		1	1	8MHz	0.41	0.24	
		1	1	1MHz	0.18	0.15	

保持)	0	0	8MHz	0.63	0.42
	0	0	1MHz	0.30	0.27
	1	0	1MHz	0.11	0.08
	1	0	500KHz	0.09	0.08
	1	0	125KHz	0.07	0.07

- 注：1. 当 $FLASH_LP_REG=1$ 且 $FLASH_LP=1$ 时， $FLASH$ 进入低功耗模式。
 2. 以上为实测参数。
 3. 当 F_{HCLK} 超过 16MHz 时，设置 $LDO_EC=1$ ，否则默认设置 $LDO_EC=0$ 。

表 3-8 停止和待机模式下典型的电流消耗

符号	参数	条件							典型值	单位
		HSI, HSE LSI, LSE	RAMLV	R18KSTY	R2KSTY	LDO_EC	LPDS	PDDS		
I_{DD}	STOP 停止模式 1 下的供应电流	均关闭	无效	无效	无效	0	0	0	40.98	uA
	STOP 停止模式 2 下的供应电流	均关闭	无效	无效	无效	1	0	0	30.22	
	STOP 停止模式 3 下的供应电流	均关闭	0	无效	无效	X	1	0	9.30	
	STOP 停止模式 4 下的供应电流	均关闭	1	无效	无效	X	1	0	8.89	
	STANDBY 待机模式下的供应电流	只开启 LSI	0	1	1	无效	无效	1	2.98	uA
		均关闭	0	1	1	无效	无效	1	2.59	
		均关闭	1	1	1	无效	无效	1	2.04	
		只开启 LSI	1	0	1	无效	无效	1	0.94	
		均关闭	1	0	1	无效	无效	1	0.61	
		只开启 LSI	无效	0	0	无效	无效	1	0.70	
I_{DD_VBAT}	备份区域的供应电流（移除 V_{DD} 和 V_{DDA} ，只使用 V_{BAT} 供电）	只开启 LSE	无效	0	0	无效	无效	1	0.75	uA
		均关闭	无效	0	0	无效	无效	1	0.37	

注：以上为实测参数。

3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率		3	8	25	MHz

$V_{HSEH}^{(1)}$	OSC_IN 输入引脚高电平电压		$0.8V_{DD}$		V_{DD}	V
$V_{HSEL}^{(1)}$	OSC_IN 输入引脚低电平电压		0		$0.2V_{DD}$	V
$C_{in(HSE)}$	OSC_IN 输入电容			5		pF
$DuCy_{(HSE)}$	占空比			50		%
I_L	OSC_IN 输入漏电流				± 1	μA

注 1: 不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

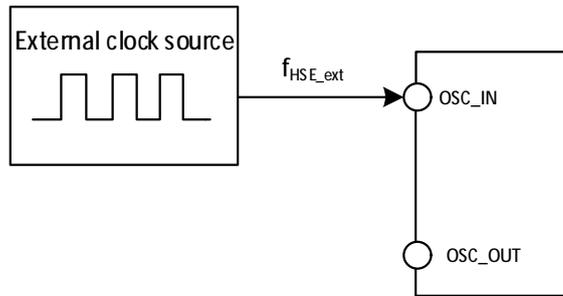


表 3-10 来自外部低速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE_ext}	用户外部时钟频率			32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.8V_{DD}$		V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		0		$0.2V_{DD}$	V
$C_{in(LSE)}$	OSC32_IN 输入电容			5		pF
$DuTy_{(LSE)}$	占空比			50		%
I_L	OSC32_IN 输入漏电流				± 1	μA

图 3-4 外部提供低频时钟源电路

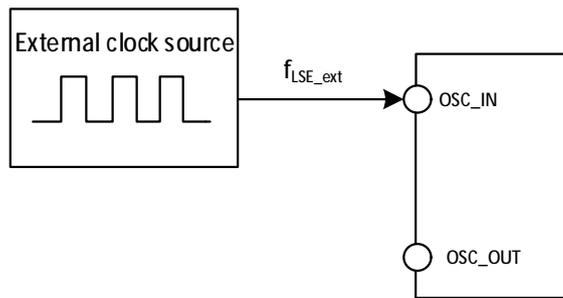


表 3-11 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{OSC_IN}	谐振器频率		3	8	25	MHz
R_F	反馈电阻			250		k Ω
C	建议的负载电容与对应晶体串行阻抗 R_s	$R_s=60\Omega^{(1)}$		20		pF
$I_2^{(1)}$	HSE 驱动电流	$V_{DD} = 3.3V, 20p$ 负载		1		mA
		低功耗模式, $V_{DD} = 3.3V,$		0.55		mA

		20p 负载				
$g_m^{(1)}$	振荡器的跨导	启动		21		mA/V
$t_{SU(HSE)}$	启动时间	V_{DD} 稳定		1.5 ⁽²⁾	4.5	ms

注：1. 25M晶体 ESR 建议不超过 60 欧，低于 25M可适当放宽。

2. 启动时间指从 HSEON 开启到 HSERDY 被置位的时间差。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1}=C_{L2}$ 。

图 3-5 外接 8M晶体典型电路

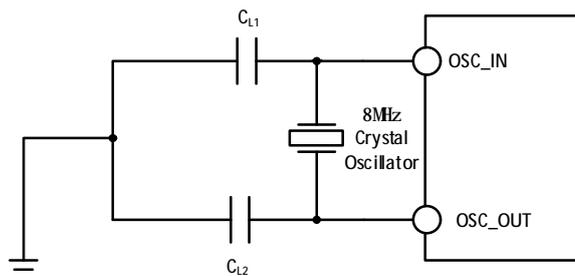


表 3-12 使用一个晶体/陶瓷谐振器产生的低速外部时钟 ($f_{LSE}=32.768KHz$)

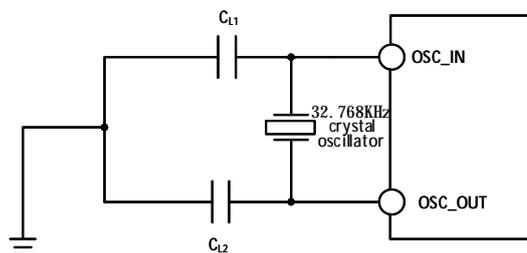
符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		MΩ
C_{L1}/C_{L2}	建议的负载电容与对应晶体串 行阻抗 R_S	$R_S = 70K\Omega$			15	pF
$i_2^{(1)}$	LSE 驱动电流	$V_{DD} = 3.3V$		0.36		uA
$g_m^{(1)}$	振荡器的跨导	启动		26		uA/V
$t_{SU(LSE)}$	启动时间	V_{DD} 是稳定的		1000 ⁽¹⁾		ms

注 1: 启动时间指从 LSEON 开启到 LSE RDY 被置位的时间差。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1}=C_{L2}$ ，可选 12pF 左右。

图 3-6 外接 32.768K 晶体典型电路



注：负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

3.3.6 内部时钟源特性

表 3-13 内部高速(HSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

F_{HSI}	频率(校准后)			8		MHz
		低功耗模式	0.9	1	1.1	MHz
$DuTy_{HSI}$	占空比		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度(校准后)	$T_A = 0^{\circ}C \sim 70^{\circ}C$	-1.8		1.8	%
		$T_A = -40^{\circ}C \sim 85^{\circ}C$	-3		2.5	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间				8	us
$I_{DD(HSI)}$	HSI 振荡器功耗			200		uA
		低功耗模式		24		uA

表 3-14 内部低速(LSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		27	37	47	KHz
$DuTy_{LSI}$	占空比		45	50	55	%
$t_{SU(LSI)}$	LSI 振荡器启动稳定时间			50	400	us
$I_{DD(LSI)}$	LSI 振荡器功耗			280		nA

3.3.7 PLL 特性

表 3-15 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{PLL_IN}	PLL 输入时钟		3	8	25	MHz
	PLL 输入时钟占空比		40		60	%
F_{PLL_OUT}	PLL 倍频输出时钟		18		96 ⁽¹⁾	MHz
t_{LOCK}	PLL 锁定时间			80	200	us
$I_{DD(PLL)}$	PLL 功耗	输入频率 8M, 输出频率 96M		0.15		mA

注 1: 须选择合适倍频, 满足 PLL 输出频率范围。

3.3.8 从低功耗模式唤醒的时间

表 3-16 低功耗模式唤醒的时间⁽¹⁾

符号	参数	条件	典型值	单位
t_{wakeup}	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	0.2	us
t_{wustop}	从停止模式唤醒	使用 HSI RC 时钟唤醒	7	us
$t_{wustdby}$	从待机模式唤醒	使用 HSI RC 时钟唤醒	65	us

注: 以上为实测参数。

3.3.9 存储器特性

表 3-17 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog_page}	页(256 字节)编程时间			2.0	2.5	ms
t_{erase_page}	页(256 字节)擦除时间			6.2	7.5	ms
t_{erase_sec}	扇区(1K 字节)擦除时间			6.2	7.5	ms

表 3-18 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

N_{END}	擦写次数	$T_A = 25^\circ\text{C}$	100K		次
t_{RET}	数据保存期限		10		年

3.3.10 I/O 端口特性

表 3-19 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	标准 I/O 引脚, 输入高电平电压		$0.41 * (V_{DD} - 1.8) + 1.3$		$V_{DD} + 0.3$	V
	FT I/O 引脚, 输入高电平电压		$0.42 * (V_{DD} - 1.8) + 1.2$		5.5	V
V_{IL}	标准 I/O 引脚, 输入低电平电压		-0.3		$0.28 * (V_{DD} - 1.8) + 0.6$	V
	FT I/O 引脚, 输入低电平电压		-0.3		$0.32 * (V_{DD} - 1.8) + 0.55$	V
V_{hys}	标准 I/O 施密特触发器电压迟滞		150			mV
	FT I/O 施密特触发器电压迟滞		90			mV
I_{1kg}	标准 I/O 引脚输入漏电流				1	μA
	FT I/O 引脚输入漏电流				3	μA
R_{PU}	弱上拉等效电阻		30	40	50	$\text{k}\Omega$
R_{PD}	弱下拉等效电阻		30	40	50	$\text{k}\Omega$
C_{I0}	I/O 引脚电容			5		pF

注：以上均为设计参数保证。

输出驱动电流特性

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{mA}$ 电流,并且吸收或输出 $\pm 20\text{mA}$ 电流(不严格达到 V_{OL}/V_{OH})。在用户应用中,所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值:

表 3-20 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 8 个引脚吸收电流	TTL 端口, $I_{10} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流		$V_{DD} - 0.4$		
V_{OL}	输出低电平, 8 个引脚吸收电流	CMDS 端口, $I_{10} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流		$V_{DD} - 0.4$		
V_{OL}	输出低电平, 8 个引脚吸收电流	$I_{10} = +20\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.8	V
V_{OH}	输出高电平, 8 个引脚输出电流		$V_{DD} - 1.2$		
V_{OL}	输出低电平, 8 个引脚吸收电流	$I_{10} = +6\text{mA}$ $2.4\text{V} < V_{DD} < 2.7\text{V}$		0.8	V
V_{OH}	输出高电平, 8 个引脚输出电流		$V_{DD} - 1.2$		

注：以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线点上的电流很大, 会导致压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

表 3-21 输入输出交流特性

MODEx[1:0] 配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$F_{max(I0)out}$	最大频率	$CL=50\text{pF}, V_{DD}=2.7-3.6\text{V}$		2	MHz
	$t_{f(I0)out}$	输出高至低电平的下降时间	$CL=50\text{pF}, V_{DD}=2.7-3.6\text{V}$		125	ns

	$t_{r(10)out}$	输出低至高电平的上升时间			125	ns
01 (10MHz)	$F_{max(10)out}$	最大频率	$CL=50pF, V_{DD}=2.7-3.6V$		10	MHz
	$t_{f(10)out}$	输出高至低电平的下降时间	$CL=50pF, V_{DD}=2.7-3.6V$		25	ns
	$t_{r(10)out}$	输出低至高电平的上升时间			25	ns
11 (50MHz)	$F_{max(10)out}$	最大频率	$CL=30pF, V_{DD}=2.7-3.6V$		50	MHz
			$CL=50pF, V_{DD}=2.7-3.6V$		30	MHz
	$t_{f(10)out}$	输出高至低电平的下降时间	$CL=30pF, V_{DD}=2.7-3.6V$		20	ns
			$CL=50pF, V_{DD}=2.7-3.6V$		5	ns
	$t_{r(10)out}$	输出低至高电平的上升时间	$CL=30pF, V_{DD}=2.7-3.6V$		8	ns
$CL=50pF, V_{DD}=2.7-3.6V$				12	ns	
	$t_{EXTI_{pw}}$	EXTI 控制器检测到外部信号的脉冲宽度			10	ns

3.3.11 NRST 引脚特性

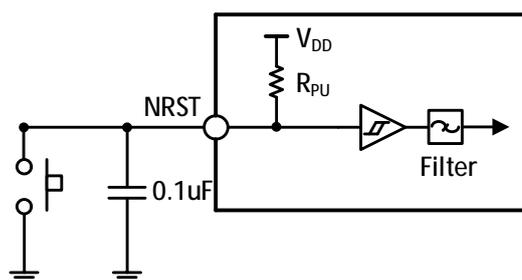
表 3-22 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压		-0.3		$0.28*(V_{DD}-1.8)+0.6$	V
$V_{IH(NRST)}$	NRST 输入高电平电压		$0.41*(V_{DD}-1.8)+1.3$		$V_{DD}+0.3$	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞		150			mV
$R_{PU}^{(1)}$	弱上拉等效电阻		30	40	50	k Ω
$V_{F(NRST)}$	NRST 输入可被滤波脉宽				100	ns
$V_{NF(NRST)}$	NRST 输入无法滤波脉宽		300			ns

注：1. 上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小(约占 10%)。

电路参考设计及要求：

图 3-7 外部复位引脚典型电路



3.3.12 USB PD 接口特性

表 3-23-1 PD 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
tRise	上升时间	幅度 10%到 90%之间的时间， 最小值为无负载条件下的时间。	240	400		ns
tFall	下降时间	幅度 10%到 90%之间的时间， 最小值为无负载条件下的时间。	240	400		ns
vSwing	输出电压摆幅		1.04	1.12	1.20	V

	(峰-峰值)				
zDriver	输出阻抗		26	90	Ω

表 3-23-2 Type-C I/O 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{pu}	上拉电流	PAD < $V_{DD}-0.6V$	64	80	96	μA
			144	180	216	μA
			264	330	396	μA
Rd	下拉电阻	$V_{DD} \geq 1.6V$ 或外部上拉 330 μA	4.08	5.1	6.12	k Ω

3.3.13 TIM定时器特性

表 3-24 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		t_{TIMCLK}
		$f_{TIMCLK} = 48MHz$	20.8		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK} = 48MHz$	0	24	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期		1	65536	t_{TIMCLK}
		$f_{TIMCLK} = 48MHz$	0.02	1363	μs
t_{MAX_COUNT}	最大可能的计数			65535	t_{TIMCLK}
		$f_{TIMCLK} = 48MHz$		1363	μs

3.3.14 I2C 接口特性

图 3-8 I2C 总线时序图

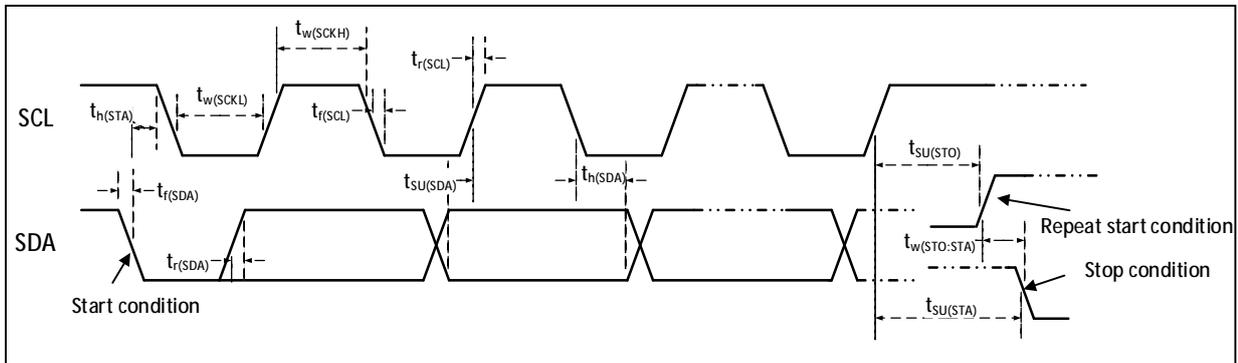


表 3-25 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCKL)$	SCL 时钟低电平时间	4.7		1.2		μs
$t_w(SCKH)$	SCL 时钟高电平时间	4.0		0.6		μs
$t_{su}(SDA)$	SDA 数据建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	ns
$t_r(SDA)/t_r(SCL)$	SDA 和 SCL 上升时间		1000	20		ns
$t_f(SDA)/t_f(SCL)$	SDA 和 SCL 下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		μs

$t_{SU(STA)}$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU(STO)}$	停止条件建立时间	4.0		0.6		us
$t_{W(STO:STA)}$	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

3.3.15 SPI 接口特性

图 3-9 SPI 主模式时序图

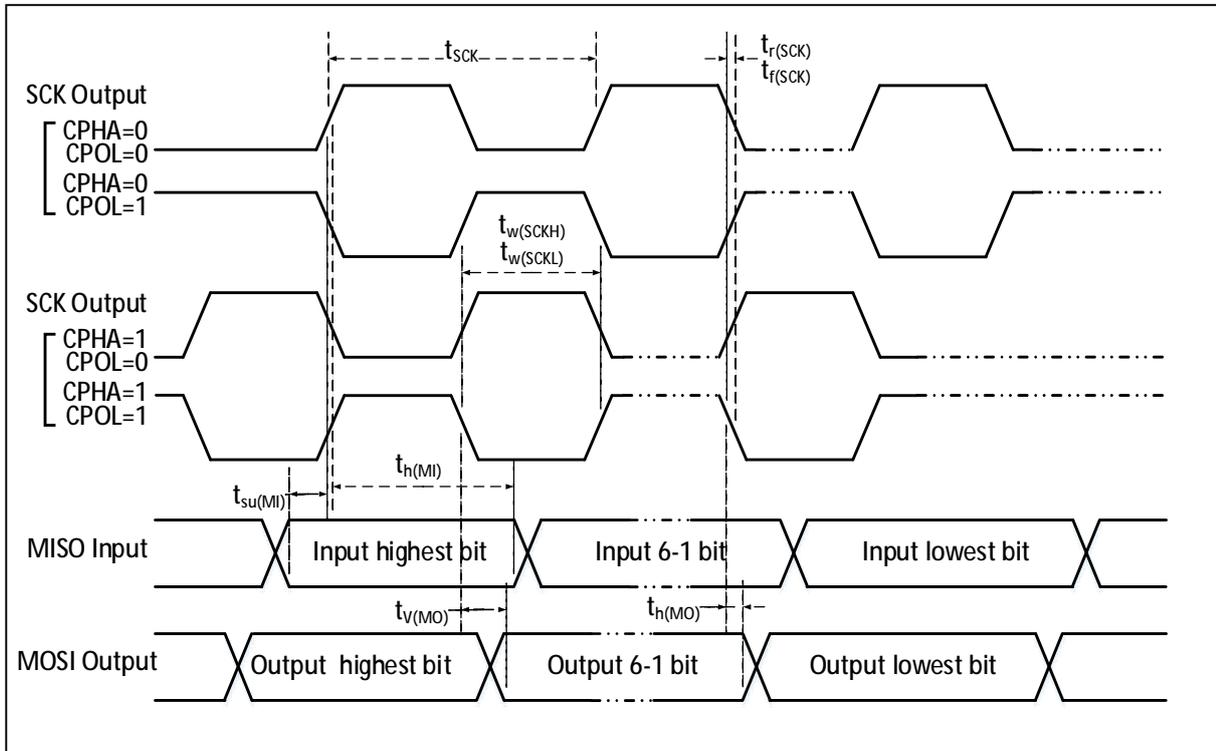


图 3-10 SPI 从模式时序图 (CPHA=0)

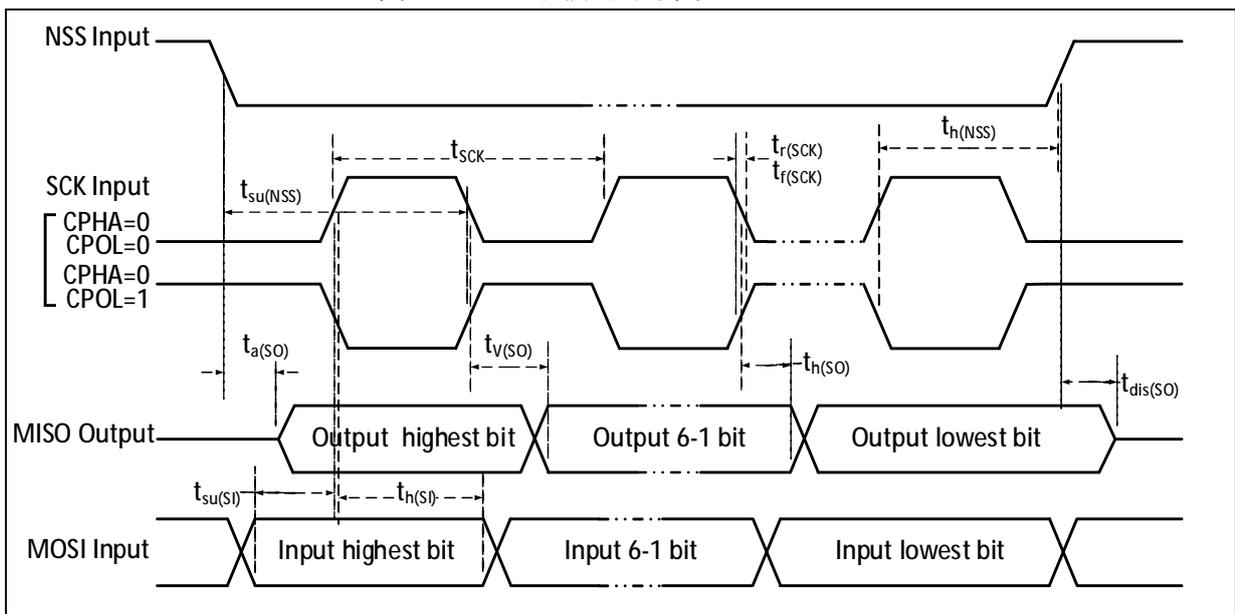


图 3-11 SPI 从模式时序图 (CPHA=1)

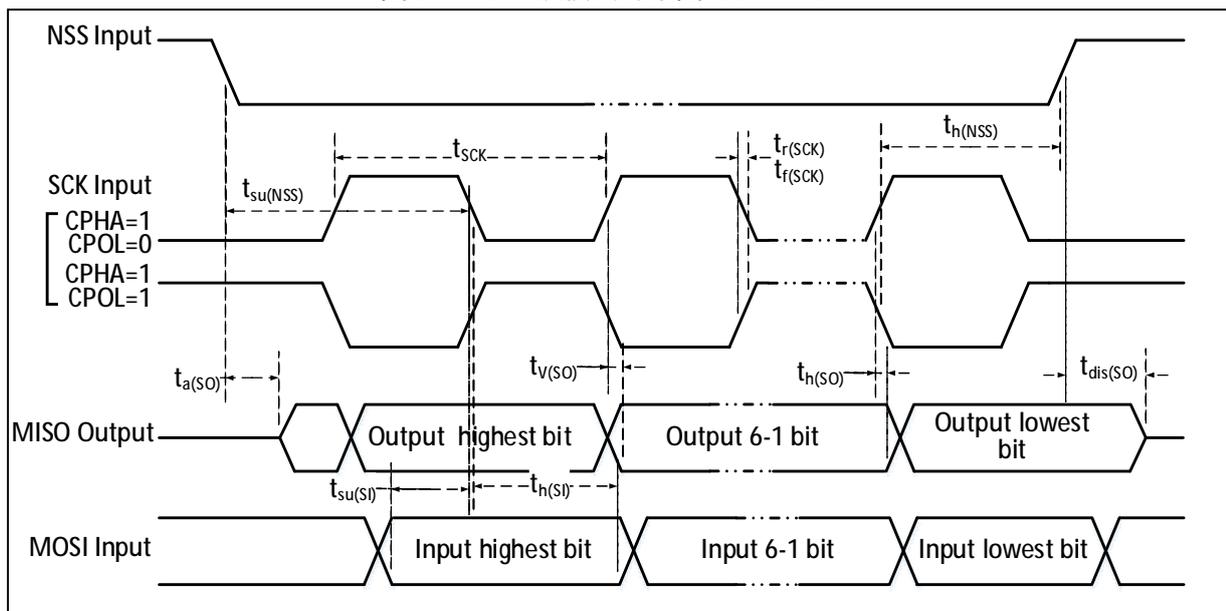


表 3-26 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI 时钟频率	主模式		24	MHz
		从模式		24	MHz
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$		20	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2t_{HCLK}$		ns
$t_{h(NSS)}$	NSS 保持时间	从模式	$2t_{HCLK}$		ns
$t_{w(SCKH)}/t_{w(SCKL)}$	SCK 高电平和低电平时间	主模式, $f_{HCLK} = 24MHz$, 预分频系数=4	70	100	ns
$t_{SU(M)}$	数据输入建立时间	主模式	5		ns
$t_{SU(SI)}$		从模式	5		ns
$t_{h(M)}$	数据输入保持时间	主模式	5		ns
$t_{h(SI)}$		从模式	4		ns
$t_{a(SO)}$	数据输出访问时间	从模式, $f_{HCLK} = 20MHz$	0	$1t_{HCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_{V(SO)}$	数据输出有效时间	从模式 (使能边沿之后)		25	ns
$t_{V(MD)}$		主模式 (使能边沿之后)		5	ns
$t_{h(SO)}$	数据输出保持时间	从模式 (使能边沿之后)	15		ns
$t_{h(MD)}$		主模式 (使能边沿之后)	0		ns

3.3.16 USB 接口特性

表 3-27 USB I/O 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	USB 工作电压	根据 V_{DD} 电压选择 USB 参数	3.0		3.6	V
V_{SE}	单端接收器阈值	额定电压	1.2		1.9	V
V_{OL}	静态输出低电平				0.3	V
V_{OH}	静态输出高电平		2.8			V

V_{BC_REF}	BC 比较器参考电压		0.4		V
V_{BC_SRC}	BC 协议输出电压		0.6		V

3.3.17 12 位 ADC 特性

表 3-28 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	$f_s < 200\text{KHz}$	1.8		3.6	V
		$f_s = 3\text{MHz}$	3		3.6	V
I_{DDA}	供电电流	$f_s = 3\text{MHz}$ Buffer off		1.2		mA
		$f_s = 3\text{MHz}$ Buffer on		1.96		mA
		$f_s = 1\text{MHz}$ Buffer off		0.45		mA
		$f_s = 1\text{MHz}$ Buffer on		1.21		mA
f_{ADC}	ADC 时钟频率			14	60	MHz
f_s	采样速率		0.05		3	MHz
f_{TRIG}	外部触发频率	$f_{ADC} = 14\text{MHz}$			875	KHz
					16	$1/f_{ADC}$
		$f_{ADC} = 60\text{MHz}$			2.7	MHz
					22	$1/f_{ADC}$
V_{AIN}	转换电压范围		0		V_{DDA}	V
R_{AIN}	外部输入阻抗				50	k Ω
R_{ADC}	采样开关电阻			0.6	1.5	k Ω
C_{ADC}	内部采样和保持电容			4		pF
t_{CAL}	校准时间	$f_{ADC} = 14\text{MHz}$			7.14	us
					100	$1/f_{ADC}$
t_{lat}	注入触发转换时延	$f_{ADC} = 14\text{MHz}$			0.143	us
		$f_{ADC} = 60\text{MHz}$			0.031	us
					2	$1/f_{ADC}$
t_{latr}	常规触发转换时延	$f_{ADC} = 14\text{MHz}$			0.143	us
		$f_{ADC} = 60\text{MHz}$			0.031	us
					2	$1/f_{ADC}$
t_s	采样时间	$f_{ADC} = 14\text{MHz}$	0.107		17.1	us
			1.5		239.5	$1/f_{ADC}$
		$f_{ADC} = 60\text{MHz}$			0.125	us
					7.5	$1/f_{ADC}$
t_{STAB}	上电时间				1	us
t_{CONV}	总的转换时间（包括采样时间）	$f_{ADC} = 14\text{MHz}$	1		18	us
			14		252	$1/f_{ADC}$
		$f_{ADC} = 60\text{MHz}$			0.333	us
					20	$1/f_{ADC}$

注：以上均为设计参数保证。

公式：最大 R_{AIN}

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 3-29 $f_{ADC} = 14\text{MHz}$ 时的最大 R_{AIN}

T_s (周期)	t_s (us)	最大 R_{AIN} (k Ω)
1.5	0.11	1.2
7.5	0.54	12.3
13.5	0.96	23.3
28.5	2.04	50
41.5	2.96	75
55.5	3.96	无限制
71.5	5.11	无限制
239.5	17.1	无限制

表 3-30-1 ADC 误差 ($f_{ADC} = 14 \text{ MHz}$)

符号	参数	条件	最小值	典型值	最大值	单位
E0	偏移误差	$f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DD} = 3.3\text{V}$	± 1		± 3	LSB
ED	微分非线性误差		± 1		± 3	
EL	积分非线性误差		± 1		± 3	

注：以上均为设计参数保证。

表 3-30-2 ADC 误差 ($f_{ADC} = 60 \text{ MHz}$)

符号	参数	条件	最小值	典型值	最大值	单位
E0	偏移误差	$f_{ADC} = 60 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DD} = 3.3\text{V}$	± 2		± 4	LSB
ED	微分非线性误差		± 1		± 4	
EL	积分非线性误差		± 2		± 4	

注：以上均为设计参数保证。

C_p 表示 PCB 与焊盘上的寄生电容 (大约 5pF)，可能与焊盘和 PCB 布局质量有关。较大的 C_p 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图 3-12 ADC 典型连接图

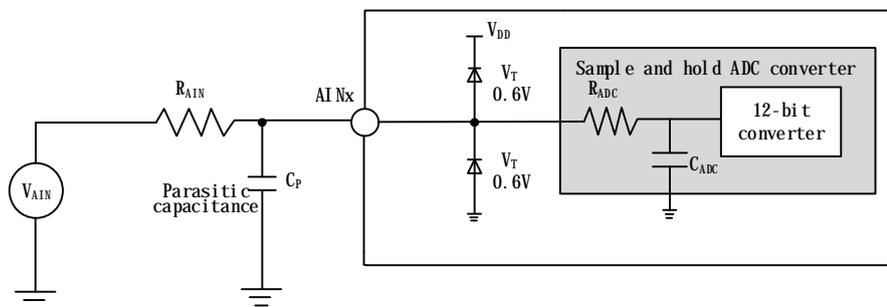
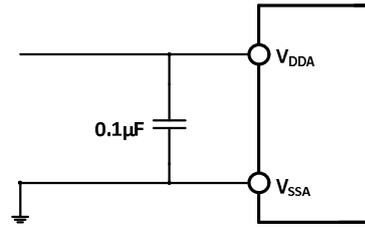


图 3-13 模拟电源及退耦电路参考



3.3.18 温度传感器特性

表 3-31 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
R_{TS}	温度传感器测量范围		-40		85	$^{\circ}\text{C}$
A_{TSC}	温度传感器的测量误差			± 12		$^{\circ}\text{C}$
Avg_Slope	平均斜率（负温度系数）		3.7	4.2	4.7	$\text{mV}/^{\circ}\text{C}$
V_{25}	在 25°C 时的电压		1.4	1.45	1.5	V
T_{S_temp}	当读取温度时，ADC 采样时间	$f_{ADC} = 14\text{MHz}$			20	μs

3.3.19 OPA 特性

表 3-32-1 OPA 运放特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	建议不低于 2.4V	1.8	3.3	3.6	V
C_{MR}	共模输入电压		0		V_{DDA}	V
$V_{I\text{OFFSETO}}$	输入失调电压	校准前		2	8	mV
$V_{I\text{OFFSET}}$	输入失调电压	校准后		0.2	0.8	mV
I_{LOAD}	驱动电流	$R_{LOAD} = 4\text{k}\Omega$			900	μA
I_{LOAD_PGA}	PGA 模式驱动电流				500	μA
$I_{DDOPAMP}$	消耗电流	无负载，静态模式		165		μA
$C_{MR}^{(1)}$	共模抑制比	@1kHz		96		dB
$P_{SRR}^{(1)}$	电源抑制比	@1kHz		82		dB
$A_v^{(1)}$	开环增益	$C_{LOAD} = 5\text{pF}$		115		dB
$G_{BW}^{(1)}$	单位增益带宽	$C_{LOAD} = 5\text{pF}$		7		MHz
$P_M^{(1)}$	相位裕度	$C_{LOAD} = 5\text{pF}$		75		$^{\circ}$
$S_R^{(1)}$	压摆率	$C_{LOAD} = 5\text{pF}$		3.2		V/ μs
$t_{WAKUP}^{(1)}$	关闭到唤醒时间, 0.1%	输入 $V_{DDA}/2$, $C_{LOAD} = 50\text{pF}$, $R_{LOAD} = 4\text{k}\Omega$			0.8	μs
R_{LOAD}	阻性负载		4			$\text{k}\Omega$
C_{LOAD}	容性负载				50	pF
$V_{OHSAT}^{(2)}$	高饱和输出电压	$R_{LOAD} = 4\text{k}\Omega$	$V_{DDA} - 250$	$V_{DDA} - 150$		mV
		$R_{LOAD} = 20\text{k}\Omega$	$V_{DDA} - 50$	$V_{DDA} - 30$		
$V_{OLSAT}^{(2)}$	低饱和输出电压	$R_{LOAD} = 4\text{k}\Omega$		3	10	mV
		$R_{LOAD} = 20\text{k}\Omega$		3	10	
PGA Gain ⁽¹⁾	NSEL=0110 模式同相	Gain=32, PB10=GND	-3		3	%
	内部同相 PGA	Gain=8, $V_{INP} < (V_{DDA}/7)$	-1		1	%

		Gain=16, $V_{INP} < (V_{DDA}/15)$	-1		1	%
		Gain=32, $V_{INP} < (V_{DDA}/31)$	-1		1	%
		Gain=64, $V_{INP} < (V_{DDA}/63)$	-1		1	%
Delta R	电阻绝对值变化		-15		15	%
eN ⁽¹⁾	等效输入噪声	R _{LOAD} = 4kΩ@1kHz			100	nV/ sqrt(Hz)
		R _{LOAD} = 20kΩ@1KHz			60	

注：1. 设计参数保证；
2. 负载电流会限制饱和输出电压。

表 3-32-2 OPA 特性（低功耗模式）

符号	参数	条件	最小值	典型值	最大值	单位	
V _{DDA}	供电电压	建议不低于 2.4V	1.8	3.3	3.6	V	
C _{MR}	共模输入电压		0		V _{DDA}	V	
V _{IOFFSET}	输入失调电压			2		mV	
I _{LOAD}	驱动电流	R _{LOAD} = 10kΩ			360	uA	
I _{LOAD_PGA}	PGA 模式驱动电流				500	uA	
I _{DDOPAMP}	消耗电流	无负载，静态模式		33		uA	
C _{MRR} ⁽¹⁾	共模抑制比	@1kHz		90		dB	
P _{SRR} ⁽¹⁾	电源抑制比	@1kHz		78		dB	
A _v ⁽¹⁾	开环增益	C _{LOAD} = 5pF		115		dB	
G _{BW} ⁽¹⁾	单位增益带宽	C _{LOAD} = 5pF		3.5		MHz	
P _M ⁽¹⁾	相位裕度	C _{LOAD} = 5pF		76		°	
S _r ⁽¹⁾	压摆率	C _{LOAD} = 5pF		1.5		V/us	
t _{WAKUP} ⁽¹⁾	关闭到唤醒时间, 0.1%	输入 V _{DDA} /2, C _{LOAD} = 30pF, R _{LOAD} = 4kΩ			1.1	us	
R _{LOAD}	阻性负载		10			kΩ	
C _{LOAD}	容性负载				30	pF	
V _{OHSAT} ⁽²⁾	高饱和输出电压	R _{LOAD} = 10kΩ	V _{DDA} - 300	V _{DDA} - 180		mV	
		R _{LOAD} = 20kΩ	V _{DDA} - 60	V _{DDA} - 35			
V _{OLSAT} ⁽²⁾	低饱和输出电压	R _{LOAD} = 10kΩ		4	15	mV	
		R _{LOAD} = 20kΩ		4	15		
PGA Gain ⁽¹⁾	内部同相 PGA	NSEL=0110 模式同相	Gain=32, PB10=GND	-3	3	%	
			Gain=32, $V_{INP} < (V_{DDA}/31)$	-1		1	%
			Gain=8, $V_{INP} < (V_{DDA}/7)$	-1		1	%
			Gain=16, $V_{INP} < (V_{DDA}/15)$	-1		1	%
			Gain=32, $V_{INP} < (V_{DDA}/31)$	-1		1	%
Delta R	电阻绝对值变化		-15		15	%	

eN ⁽¹⁾	等效输入噪声	R _{LOAD} = 10kΩ@1kHz		100		nV/ sqrt(Hz)
		R _{LOAD} = 20kΩ@1KHz		80		

注：1. 设计参数保证；
2. 负载电流会限制饱和输出电压。

3.3.20 CMP 特性

表 3-33-1 CMP 电压比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压		1.8	3.3	3.6	V
C _{MR}	共模输入电压		0		V _{DDA}	V
V _{I_{OFFSET}}	输入失调电压			2.8	10	mV
I _{DDOPAMP}	消耗电流			43		uA
t _D ⁽¹⁾	比较器延时, V _{INP} 从 (V _{INN} -100mV) 到 (V _{INN} +100mV) 变化	0 ≤ V _{INN} ≤ V _{DDA}		16	40	ns
V _{hys} ⁽¹⁾	比较器额定迟滞电压	CMP_HYS = 0		0		mV
		CMP_HYS = 1		17	35	

注：1. 设计参数保证。

表 3-33-2 CMP 电压比较器特性（低功耗模式）

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压		1.8	3.3	3.6	V
C _{MR}	共模输入电压		0		V _{DDA}	V
V _{I_{OFFSET}}	输入失调电压			4		mV
I _{DDOPAMP}	消耗电流			3.5		uA
t _D ⁽¹⁾	比较器延时, V _{INP} 从 (V _{INN} -100mV) 到 (V _{INN} +100mV) 变化	0 ≤ V _{INN} ≤ V _{DDA}		251	400	ns
V _{hys} ⁽¹⁾	比较器额定迟滞电压	CMP_HYS = 0		0		mV
		CMP_HYS = 1		11	25	

注：1. 设计参数保证。

第 4 章 封装及订货信息

芯片封装

订货型号	封装形式	塑体宽度	引脚间距	封装说明	出货料盘
CH32L103C8T6	LQFP48	7*7mm	0.5mm	标准 LQFP48 贴片	托盘
CH32L103K8U6	QFN32-4*4	4*4mm	0.4mm	四边无引线 32 脚	托盘
CH32L103G8R6	QSOP28	3.9*9.9mm	0.635mm	1/4 尺寸 28 脚贴片	塑管
CH32L103F8U6	QFN20-3*3	3*3mm	0.4mm	四边无引线 20 脚	卷带
CH32L103F8P6	TSSOP20	4.4*6.5mm	0.65mm	薄小型的 20 脚贴片	塑管、卷带
CH32L103F7P6	TSSOP20	4.4*6.5mm	0.65mm	薄小型的 20 脚贴片	塑管、卷带

说明：1. QFP/QFN 一般默认为托盘。

2. 托盘尺寸：托盘大小一般为统一尺寸，322.6*135.9*7.62，不同封装类型限位孔尺寸有区别，塑管不同封装厂有区别，具体与厂家确认。

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm 或者±10%两者中的较大值。

图 4-1 LQFP48 封装

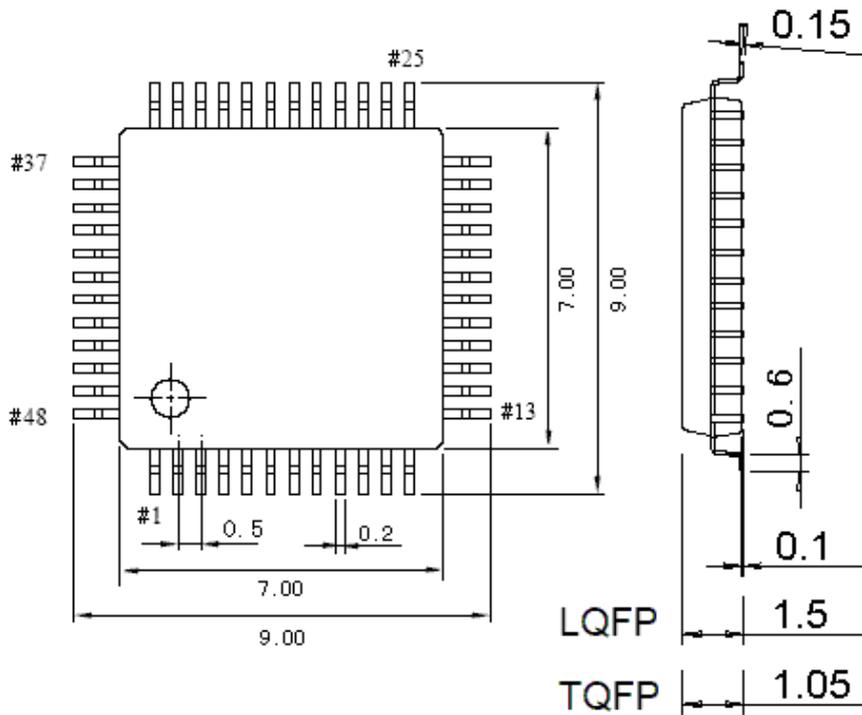


图 4-2 QFN32-4*4 封装

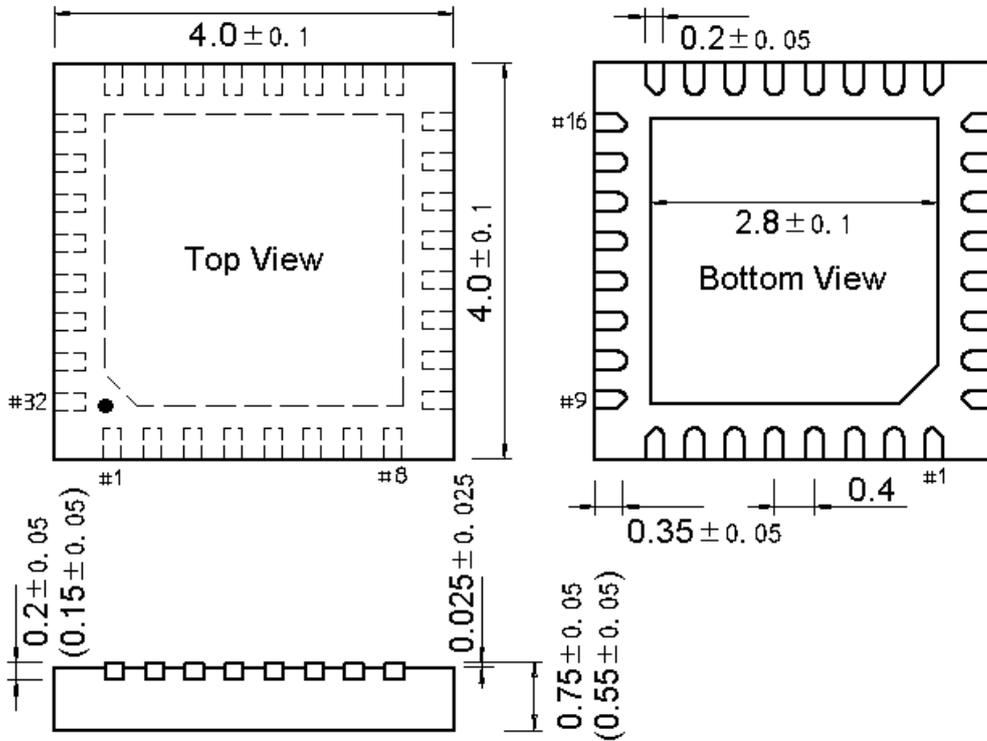


图 4-3 QSOP28 封装

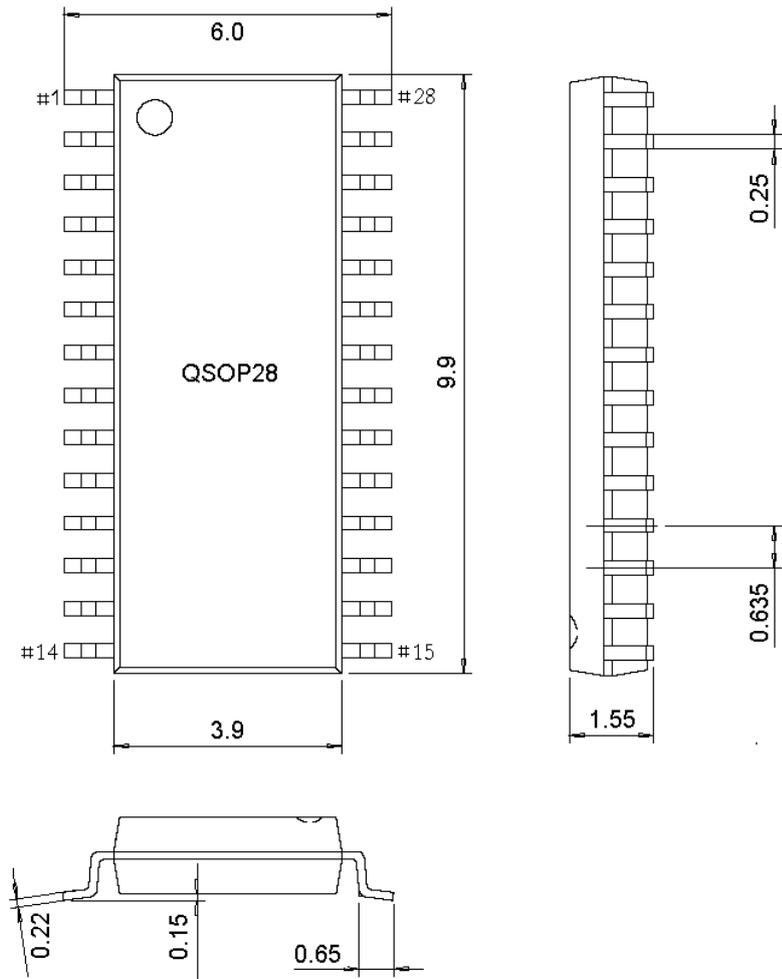


图 4-4 QFN20-3*3 封装

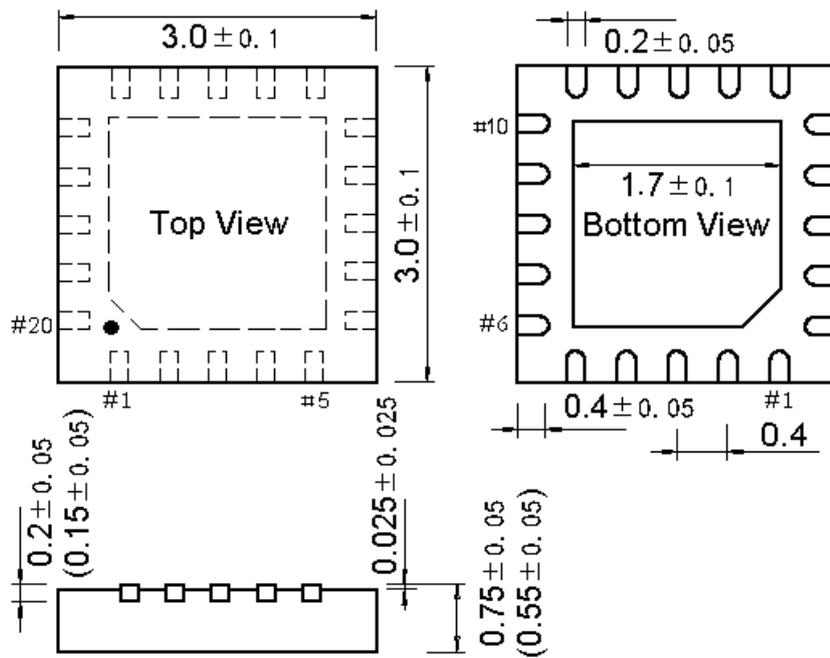
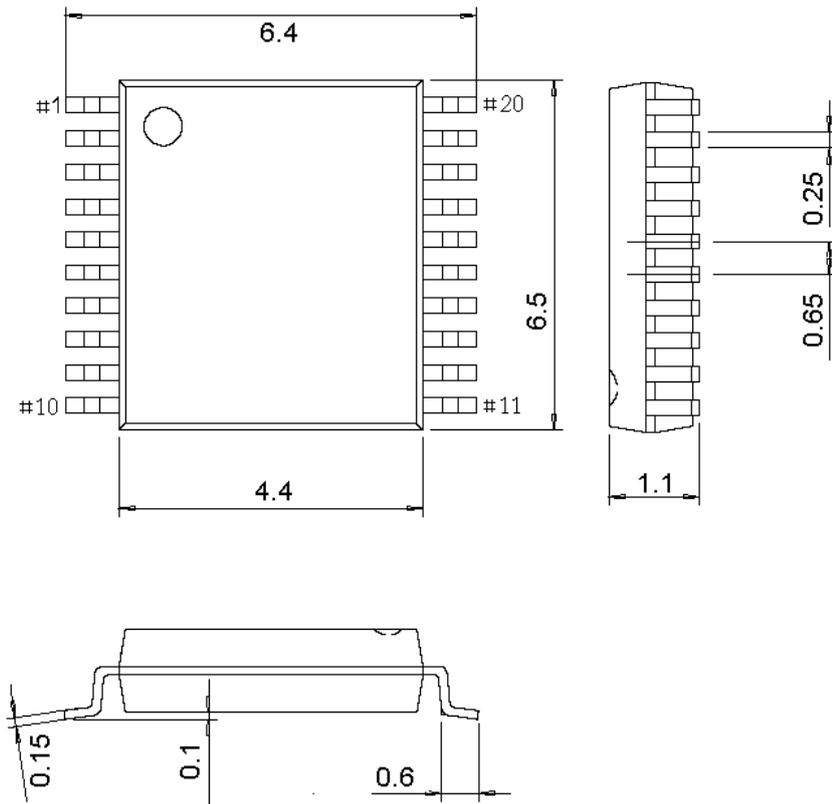


图 4-5 TSSOP20 封装



系列产品命名规则

举例:	CH32	V	3	03	R	8	T	6
产品系列								
F = 基于 ARM 内核, 通用 MCU								
V = 基于青稞 RISC-V 内核, 通用 MCU								
L = 基于青稞 RISC-V 内核, 低功耗 MCU								
X = 基于青稞 RISC-V 内核, 专用架构或特殊 I/O								
产品类型								
0 = 青稞 V2/V4 内核, 主频@48M								
1 = MB/青稞 V3/V4 内核, 主频@72M								
2 = MB/青稞 V4 非浮点内核, 主频@144M								
3 = 青稞 V4F 浮点内核, 主频@144M								
产品子系列								
03 = 通用型								
05 = 连接型 (USB 高速、SDIO、双 CAN)								
07 = 互联型 (USB 高速、双 CAN、以太网、SDIO、FSMC)								
08 = 无线型 (蓝牙 BLE5.X、CAN、USB、以太网)								
35 = 连接型 (USB、USB PD)								
引脚数目								
J = 8 脚	A = 16 脚	F = 20 脚						
G = 28 脚	K = 32 脚	T = 36 脚						
C = 48 脚	R = 64 脚	W = 68 脚						
V = 100 脚	Z = 144 脚							
闪存存储容量								
4 = 16K 闪存存储器								
6 = 32K 闪存存储器								
7 = 48K 闪存存储器								
8 = 64K 闪存存储器								
B = 128K 闪存存储器								
C = 256K 闪存存储器								
封装								
T = LQFP	U = QFN	R = QSOP	P = TSSOP	M = SOP				
温度范围								
6 = -40°C~85°C (工业级)								
7 = -40°C~105°C (汽车 2 级)								
3 = -40°C~125°C (汽车 1 级)								
D = -40°C~150°C (汽车 0 级)								