Fortior Tech

FU6812x2/61x2/62x2
MCU Embedded and Configurable 3-Phase PMSM Motor Controller

临时版本

Datasheet

目 录

目 录 2
1 系统介绍 17
1.1 特性 17
1.2 应用场景 20
1.3 概述 20
1.4 系统框图 21
1.4.1 FU6812L2 功能框图 21
1.4.2 FU6812N2 功能框图 22
1.4.3 FU6812S2 功能框图 23
1.4.4 FU6861Q2 功能框图 24
1.4.5 FU6861N2 功能框图 25
1.4.6 FU6861NF2 功能框图 26
1.4.7 FU6861L2 功能框图 27
1.4.8 FU6812P2 功能框图 28
1.4.9 FU6812V 功能框图 29
1.4.10 FU6862L/Q 功能框图 30
1.5 Memory 空间 31
1.5.1 Program Memory 31
1.5.2 Data Memory 31
1.5.3 SFR 32
1.5.4 XSFR 33
2 引脚定义 35
2.1 FU6812 LQFP48 引脚列表 35
2.2 FU6812L2 封装-LQFP48 39
2.3 FU6812 QFN32 引脚列表 40
2.4 FU6812N2 封装-QFN32 43
2.5 FU6861 QFN56 引脚列表 44
2.6 FU6861Q2 封装-QFN56 48
2.7 FU6812 SSOP24 引脚列表 49
2.8 FU6812S2 封装-SSOP24 51
2.9 FU6861 QFN40 引脚列表 52
2.10 FU6861N2/FU6861NF2 封装-QFN40 55

临时版本

2.11 FU6861 LQFP48 引脚列表 56
2.12 FU6861L2 封装-LQFP48 59
2.13 FU6812 LQFP32 引脚列表 60
2.14 FU6812P2 封装-LQFP32 62
2.15 FU6812V SSOP24 引脚列表 63
2.16 FU6812V 封装-SSOP24 64
2.17 FU6862L LQFP48/FU6862Q QFN48 引脚列表 65
2.18 FU6862L 封装-LQFP48 68
2.19 FU6862Q 封装-QFN48 69
3 电气特性 70
3.1 电气特性绝对最大值 70
3.2 全局电气特性 70
3.3 GPIO 电气特性 72
3.4 PWM IO 电气特性 (适用于 FU6812) 73
3.5 Predriver 6N IO 电气特性 (适用于 FU6861/FU6862) 73
3.6 ADC 电气特性 74
3.7 参考电压电气特性 75
3.8 运算放大器电气特性 75
3.9 HALL/BEMF 电气特性 75
3.10 OSC 电气特性 75
3.11 复位电气特性 76
3.12 LDO 电气特性 76
3.13 封装热阻 77
4 复位控制 79
4.1 复位源(RST_SRC) 79
4.2 复位使能 79
4.3 外部复位、上电复位 79
4.4 低电压侦测复位 79
4.5 看门狗溢出复位 79
4.6 FEDR 复位 79
4.7 复位寄存器 80
5 中断控制 81
5.1 中断寄存器 81
5.1.1 IE（0xA8） 81

临时版本

5.1.2 IP0（0xB8）.....81
5.1.3 IP1（0xC0）.....82
5.1.4 IP2（0xC8）.....82
5.1.5 IP3（0xD8）.....82
5.1.6 TCON（0x88）.....83
5.2 中断说明.....84
5.3 外部中断.....84
6 I2C.....86
6.1 操作说明.....87
6.1.1 主机模式.....87
6.1.2 从机模式.....87
6.1.3 I2C 中断源.....88
6.2 I2C 寄存器.....89
6.2.1 I2C_CR（0x4028）.....89
6.2.2 I2C_ID（0x4029）.....89
6.2.3 I2C_DR（0x402A）.....90
6.2.4 I2C_SR（0x402B）.....90
7 SPI.....93
7.1 操作说明.....93
7.1.1 SPI 主方式.....93
7.1.1.1 主方式配置.....93
7.1.2 SPI 从方式.....94
7.1.2.1 从方式配置.....94
7.1.3 SPI 中断源.....94
7.1.4 SPI 的工作方式.....95
7.1.5 串行时钟时序.....96
7.2 SPI 寄存器.....98
7.2.1 SPI_CR0（0x4030）.....98
7.2.2 SPI_CR1（0x4031）.....99
7.2.3 SPI_CLK（0x4032）.....100
7.2.4 SPI_DR（0x4033）.....100
8 UART.....101
8.1 UART 操作说明.....101
8.1.1 模式 0.....101

临时版本

8.1.2 模式 1 101
8.1.3 模式 2 101
8.1.4 模式 3 102
8.1.5 UART 中断源 102
8.2 UART 寄存器 102
8.2.1 UT_CR（0x98） 102
8.2.2 UT_DR（0x99） 103
8.2.3 UT_BAUD（0x9A,0x9B） 103
9 MDU 104
9.1 乘法使用方法： 104
9.2 除法使用方法： 104
9.3 注意事项 104
9.4 MDU 寄存器 106
9.4.1 MDU_CR (0xC1) 106
9.4.2 MD_MBL (0xCA) 106
9.4.3 MD_MBH (0xCB) 106
9.4.4 MD_MAL (0xC2) 107
9.4.5 MD_MAH (0xC3) 107
9.4.6 MD_DA0 (0xC4) 107
9.4.7 MD_DA1 (0xC5) 107
9.4.8 MD_DA2 (0xC6) 108
9.4.9 MD_DA3 (0xC7) 108
9.4.10 MD_DB0 (0xCC) 108
9.4.11 MD_DB1 (0xCD) 108
10 PI 109
10.1 PI 操作说明 109
10.2 PI 寄存器 110
10.2.1 PI_LPF_CR（0xF9） 110
10.2.2 PI_EK（0xEA，0xEB） 110
10.2.3 PI_UK（0xEC，0xED） 111
10.2.4 PI_KP（0xEE，0xEF） 111
10.2.5 PI_KI（0xF2，0xF3） 111
10.2.6 PI_UKMAX（0xF4，0xF5） 112
10.2.7 PI_UKMIN（0xF6，0xF7） 112

临时版本

11 LPF 114
11.1 LPF 操作说明 114
11.2 LPF 寄存器 114
11.2.1 PI_LPF_CR（0xF9） 114
11.2.2 LPF_K（0xDD） 114
11.2.3 LPF_X（0xDE，0xDF） 115
11.2.4 LPF_Y（0xE6，0xE7） 115
12 SMDU 116
12.1 操作流程： 116
12.2 寄存器 116
12.2.1 MDU_CR（0xC1） 116
12.2.2 TIM234_CTRL（0x40f1） 117
13 FOC/SVPWM 120
13.1 FOC/SVPWM 操作说明 120
13.1.1 简介 120
13.1.2 参考输入 120
13.1.3 PI 控制器 121
13.1.4 坐标转换 121
13.1.4.1 PARK 逆变换 121
13.1.4.2 CLARKE 逆变换 122
13.1.4.3 CLARKE 变换 122
13.1.4.4 PARK 变换 122
13.1.5 SVPWM 123
13.1.5.1 七段式 SVPWM 124
13.1.5.2 五段式 SVPWM 124
13.1.6 过调制 124
13.1.7 死区补偿 125
13.1.8 电流电压采样 125
13.1.8.1 单电阻采样模式 125
13.1.8.2 双三电阻采样模式 126
13.1.8.3 电流采样基准 127
13.1.9 角度模式 127
13.1.9.1 爬坡强制角度 127
13.1.9.2 强拉角度 128

临时版本

13.1.9.3 估算器角度 128
13.1.10 电机实时参数 130
13.1.10.1 顺风逆风检测 130
13.1.10.2 反电动势检测 130
13.1.10.3 功率 131
13.1.11 FG 输出产生 131
13.2 FOC 寄存器 132
13.2.1 FOC_CR1（0x40A0） 132
13.2.2 FOC_CR2（0x40A1） 132
13.2.3 FOC_TSMIN（0x40A2） 133
13.2.4 FOC_TGLI（0x40A3） 134
13.2.5 FOC_TBLO（0x40A4） 134
13.2.6 FOC_TRGDLY（0x40A5） 134
13.2.7 FOC_CSO（0x40A6，0x40A7） 135
13.2.8 FOC__RTHESTEP（0x40A8，0x40A9） 135
13.2.9 FOC_RTHEACC（0x40AA，0x40AB） 136
13.2.10 FOC_RTHECNT（0x40AC） 136
13.2.11 FOC_THECOR（0x40AD）BLDC 共用 137
13.2.12 FOC_THECOMP（0x40AE，0x40AF） 137
13.2.13 FOC_DMAX（0x40B0，0x40B1） 137
13.2.14 FOC_DMIN（0x40B2，0x40B3） 138
13.2.15 FOC_QMAX（0x40B4，0x40B5） 138
13.2.16 FOC_QMIN（0x40B6，0x40B7） 139
13.2.17 FOC__UD（0x40B8，0x40B9） 139
13.2.18 FOC__UQ（0x40BA，0x40BB） 140
13.2.19 FOC__ID（0x40BC，0x40BD） 140
13.2.20 FOC__IQ（0x40BE，0x40BF） 140
13.2.21 FOC__IBET（0x40C0，0x40C1） 141
13.2.22 FOC__VBET（0x40C2，0x40C3） 141
13.2.23 FOC__VALP（0x40C4，0x40C5） 142
13.2.24 FOC__IC（0x40C6，0x40C7） 142
13.2.25 FOC__IB（0x40C8，0x40C9） 142
13.2.26 FOC__IA（0x40CA，0x40CB） 143
13.2.27 FOC__THETA（0x40CC，0x40CD） 143

临时版本

13.2.28 FOC__ETHETA（0x40CE，0x40CF）.....144
13.2.29 FOC__EALP（0x40D0，0x40D1）.....144
13.2.30 FOC__EBET（0x40D2，0x40D3）.....145
13.2.31 FOC__EOME（0x40D4，0x40D5）.....145
13.2.32 FOC__ESQU（0x40D6，0x40D7）.....145
13.2.33 FOC__POW（0x40D8，0x40D9）.....146
13.2.34 FOC_EKP（0x4074，0x4075）BLDC 共用.....146
13.2.35 FOC_EKI（0x4076，0x4077）BLDC 共用.....147
13.2.36 FOC_EBMFK（0x407C，0x407D）BLDC 共用.....147
13.2.37 FOC_KSLIDE（0x4078，0x4079）BLDC 共用.....148
13.2.38 FOC_EKLPFMIN（0x407A，0x407B）BLDC 共用.....148
13.2.39 FOC_OMEKLPF（0x407E，0x407F）.....149
13.2.40 FOC_FBASE（0x4080，0x4081）.....149
13.2.41 FOC_EFREQACC（0x4082，0x4083）BLDC 共用.....149
13.2.42 FOC_EFREQMIN（0x4084，0x4085）BLDC 共用.....150
13.2.43 FOC_EFREQHOLD（0x4086，0x4087）BLDC 共用.....150
13.2.44 FOC_EK3（0x4088，0x4089）.....151
13.2.45 FOC_EK4（0x408A，0x408B）.....151
13.2.46 FOC_EK1（0x408C，0x408D）.....152
13.2.47 FOC_EK2（0x408E，0x408F）.....152
13.2.48 FOC_IDREF（0x4090，0x4091）BLDC 共用.....153
13.2.49 FOC_IQREF（0x4092，0x4093）BLDC 共用.....153
13.2.50 FOC_DQKP（0x4094，0x4095） BLDC 共用.....153
13.2.51 FOC_DQKI（0x4096，0x4097）BLDC 共用.....154
13.2.52 FOC__UDCFLT（0x4098，0x4099）.....154
13.2.53 FOC_CR3（0x40ee）.....155
13.2.54 FOC_DKP（0x409c,0x409d）.....155
13.2.55 FOC_DKI（0x409e,0x409f）.....156
13.2.56 FOC__IAMAX（0x40da,0x40db）.....156
13.2.57 FOC__IBMAX（0x40dc,0x40dd）.....157
13.2.58 FOC__ICMAX（0x40de,0x40df）.....157
13.2.59 FOC__EMF（0x40e0,0x40e1）.....158
13.2.60 FOC__UDCPS（0x40e2,0x40e3）.....158
13.2.61 FOC__UQCPS（0x40e4,0x40e5）.....159

临时版本

13.2.62 FOC__UQEX（0x40e6,0x40e7） 159
13.2.63 FOC_ID_LPFK（0x40e8） 160
13.2.64 FOC_IQ_LPFK（0x40e9） 160
13.2.65 FOC_KFG（0x40ea,0x40eb） 160
14 TIM1 162
14.1 Timer1 操作说明 162
14.1.1 Timer 计数单元 163
14.1.1.1 Timer clock 控制器 163
14.1.1.2 基本定时器 163
14.1.1.3 重载定时器 164
14.1.2 输入滤波和采样 165
14.1.2.1 滤波 165
14.1.2.2 采样 165
14.1.3 位置检测事件 166
14.1.4 写入时序事件 167
14.1.5 Timer1 中断 167
14.2 BLDC 方波应用 168
14.2.1 BLDC 的六步换相 169
14.2.2 BLDC 的工作原理 170
14.2.2.1 60 度基准 170
14.2.2.2 换相 170
14.2.2.3 60 度强制换相 171
14.2.2.4 续流屏蔽 171
14.2.2.5 zcp 到换相的角度（延迟换相） 171
14.2.2.6 逐波限流 172
14.2.3 BLDC 的调试相关 172
14.2.3.1 比较器调试 172
14.2.3.2 续流屏蔽与换相调试 173
14.3 ADC 产生换相信号 173
14.4 Timer1 寄存器 175
14.4.1 TIM1_CR0（0x4068） 175
14.4.2 TIM1_CR1（0x4069） 176
14.4.3 TIM1_CR2（0x406A） 176
14.4.4 TIM1_CR3（0x406B） 177

临时版本

14.4.5 TIM1_CR4（0x406C） 177
14.4.6 TIM1_IER（0x406D） 178
14.4.7 TIM1_SR（0x406E） 179
14.4.8 TIM1_BCOR（0x4070，0x4071） 180
14.4.9 TIM1_DBRx (x=1～7)(0x4074+2*x，0x4075+2*x) 180
14.4.10 TIM1__BCNTR（0x4082，0x4083） 182
14.4.11 TIM1__BCCR（0x4084，0x4085） 182
14.4.12 TIM1__BARR（0x4086，0x4087） 183
14.4.13 TIM1__RARR（0x4088，0x4089） 183
14.4.14 TIM1__RCNTR（0x408A，0x408B） 184
14.4.15 TIM1__ITRIP（0x4098，0x4099） 184
14.4.16 TIM1__UCOP（0x408C，0x408D） 185
14.4.17 TIM1__UFLP（0x408E，0x408F） 185
14.4.18 TIM1__URES（0x4090，0x4091） 186
14.4.19 TIM1__UIGN（0x4092，0x4093） 186
14.4.20 TIM1_KF（0x4094，0x4095） 187
14.4.21 TIM1_KR（0x4096，0x4097） 187
14.4.22 EXT0（0x40f0） 188
15 TIM2 189
15.1 TIM2 操作说明 189
15.1.1 时钟控制器 189
15.1.2 TIM2__CNTR 的读写和计数 190
15.1.3 输出模式 190
15.1.3.1 TIM2__ARR/TIM2__DR 的读写 190
15.1.3.2 高/低电平输出模式 190
15.1.3.3 PWM 模式 190
15.1.3.4 中断事件 191
15.1.4 输入信号滤波和边沿检测 191
15.1.5 输入 timer 模式 192
15.1.6 输入 counter 模式 193
15.1.7 QEP&RSD 模式 194
15.1.7.1 RSD 的比较器采样 195
15.1.8 步进模式 196
15.2 TIM2 寄存器 198

临时版本

15.2.1 TIM2_CR0(0xA1) 198
15.2.2 TIM2_CR1(0xA9) 199
15.2.3 PI_LPF_CR（0xF9） 200
15.2.4 TIM2__CNTR(0xAA,0xAB) 201
15.2.5 TIM2__DR(0xAC,0xAD) 201
15.2.6 TIM2__ARR(0xAE,0xAF) 202
16 TIM3/TIM4 203
16.1 TIM3/TIM4 操作说明 203
16.1.1 时钟控制器 203
16.1.2 TIMx__CNTR 的读写和计数 203
16.1.3 输出模式 204
16.1.3.1 高/低电平输出模式 204
16.1.3.2 PWM 模式 204
16.1.3.3 中断事件 204
16.1.4 输入信号滤波和边沿检测 205
16.1.5 输入 timer 模式 205
16.2 TIM3/TIM4 寄存器 207
16.2.1 TIMx_CR0(0x9C/0x9E)（x=3/4） 207
16.2.2 TIMx_CR1(0x9D/0x9F)（x=3/4） 208
16.2.3 TIMx__CNTR(0xA2,0xA3/0x92,0x93)（x=3/4） 209
16.2.4 TIMx__DR(0xA4,0xA5/0x94,0x95)（x=3/4） 209
16.2.5 TIMx__ARR(0xA6,0xA7/0x96,0x97)（x=3/4） 210
17 SYS_TICK 211
17.1 操作说明 211
17.2 寄存器 211
17.2.1 DRV_SR(0x4061) 211
17.2.2 SYST_ARR(0x4064,0x4065) 211
18 Driver 213
18.1 操作说明 213
18.1.1 简介 213
18.1.2 输出控制模块 214
18.1.2.1 计数比较模块 215
18.1.2.2 死区模块 215
18.1.2.3 输出使能与极性 216

临时版本

18.1.2.4 主输出使能 MOE 217
18.1.2.5 中断 217
18.1.2.5.1 比较匹配中断 217
18.1.2.5.2 FG 中断 218
18.1.3 PWM 输出模式（仅适用于 FU6812） 218
18.1.4 6N Predriver 模式（适用于 FU6861/FU6862） 219
18.2 寄存器 221
18.2.1 DRV_CR（0x4062） 221
18.2.2 DRV_SR(0x4061) 222
18.2.3 DRV_OUT（0xF8） 223
18.2.4 DRV_CMR(0x405C, 0x405D) 223
18.2.5 DRV_ARR(0x405E,0x405F) 225
18.2.6 DRV_COMR(0x405A,0x405B) 226
18.2.7 DRV_DR(0x4058,0x4059) 226
18.2.8 DRV_DTR(0x4060) 227
19 Watchdog timer(WDT) 228
19.1 WDT 使用注意事项 228
19.2 WDT 操作说明 228
19.3 WDT 寄存器 228
19.3.1 WDT_CR（0x4026） 228
19.3.2 WDT_REL（0x4027） 229
20 RTC 与时钟校准 230
20.1 RTC 基本功能框图 230
20.2 RTC 操作说明 230
20.3 RTC 寄存器 230
20.3.1.1 RTC_TM（0x402c,0x402d） 230
20.3.1.2 RTC_STA（0x402e） 231
20.4 时钟校准 231
20.4.1 简介 231
20.4.2 寄存器 232
20.4.2.1 CAL_CR（0x4044,0X4045） 232
21 IO 233
21.1 IO 操作说明 233
21.2 IO 寄存器 234

临时版本

21.2.1 P0_OE（0xFC） 234
21.2.2 P1_OE（0xFD） 234
21.2.3 P2_OE（0xFE） 234
21.2.4 P3_OE（0xFF） 235
21.2.5 P4_OE（0xE9） 235
21.2.6 P1_AN（0x4050） 235
21.2.7 P2_AN（0x4051） 236
21.2.8 P3_AN（0x4052） 236
21.2.9 P0_PU（0x4053） 237
21.2.10 P1_PU（0x4054） 237
21.2.11 P2_PU（0x4055） 237
21.2.12 P3_PU（0x4056） 238
21.2.13 P4_PU（0x4057） 238
21.2.14 PH_SEL（0x404C） 238
21.2.15 P0（0x80）/P1（0x90）/P2（0xA0）/P3（0xB0）/P4(0xE8) 239
22 ADC 241
22.1 ADC 功能框图 241
22.2 ADC 操作说明 241
22.2.1 顺序扫描模式 241
22.2.2 ADC 触发模式 242
22.3 ADC 寄存器 244
22.3.1 ADC_CR（0x4039） 244
22.3.2 ADC_MASK={ADC_MASKH,ADC_MASKL}（0x4036～0x4037） 244
22.3.3 ADC_SCYC={ADC_MASKH[7:4],ADC_SCYCL}（0x4036[7:4],0x4038） 245
22.3.4 ADC0_DR={ADC0_DRH,ADC0_DRL}（0x0300～0x0301） 246
22.3.5 ADC1_DR={ADC1_DRH,ADC1_DRL}（0x0302～0x0303） 247
22.3.6 ADC2_DR={ADC2_DRH,ADC2_DRL}（0x0304～0x0305） 247
22.3.7 ADC3_DR={ADC3_DRH,ADC3_DRL}（0x0306～0x0307） 248
22.3.8 ADC4_DR={ADC4_DRH,ADC4_DRL}（0x0308～0x0309） 248
22.3.9 ADC5_DR={ADC5_DRH,ADC5_DRL}（0x030A～0x030B） 249
22.3.10 ADC6_DR={ADC6_DRH,ADC6_DRL}（0x030C～0x030D） 249
22.3.11 ADC7_DR={ADC7_DRH,ADC7_DRL}（0x030E～0x030F） 250
22.3.12 ADC8_DR={ADC8_DRH,ADC8_DRL}（0x0310～0x0311） 250
22.3.13 ADC9_DR={ADC9_DRH,ADC9_DRL}（0x0312～0x0313） 251

临时版本

22.3.14 ADC10_DR={ADC10_DRH,ADC10_DRL}（0x0314～0x0315）.....251
22.3.15 ADC11_DR={ADC11_DRH,ADC11_DRL}（0x0316～0x0317）.....252
23 DAC.....253
23.1 DAC 功能框图.....253
23.2 DAC 寄存器.....253
23.2.1 DAC_CR（0x4035）.....253
23.2.2 DAC_DR（0x404B）.....254
24 DMA.....255
24.1 DMA 功能与说明.....255
24.2 DMA 寄存器.....255
24.2.1 DMA0_CR0（0x403A）.....256
24.2.2 DMA1_CR0（0x403B）.....256
24.2.3 DMA0_CR1（0x403C）.....257
24.2.4 DMA1_CR1（0x403E）.....258
25 VREF 参考电压.....259
25.1 VREF 模块的操作说明.....259
25.2 VREF 模块的寄存器.....260
25.2.1 VREF_VHALF_CR(XRAM: 0x404F).....260
26 VHALF 参考电压.....261
26.1 VHALF 模块的操作说明.....261
26.2 VHALF 模块的寄存器.....261
27 运放.....262
27.1 运放操作说明.....262
27.1.1 母线电流运放（AMP0）.....262
27.1.2 相电流运放（AMP1/AMP2）.....263
27.1.2.1 AMP1.....263
27.1.2.2 AMP2.....263
27.1.3 运放 PGA 模式，3 组运放都支持 PGA.....264
27.2 运放寄存器.....266
27.2.1 AMP_CR（0x404E）.....266
27.2.2 CMP_AMP（0x40f2）.....266
27.2.3 TSD_ADJ（0x40f3）.....267
28 比较器.....268
28.1 比较器操作说明.....268

临时版本

28.1.1 比较器 CMP3 268
28.1.1.1 母线电流保护 270
28.1.1.2 逐波限流 271
28.1.2 比较器 CMP4 272
28.1.3 比较器 CMP0 272
28.1.4 比较器采样 277
28.1.5 比较器输出 278
28.2 比较器寄存器 278
28.2.1 CMP_CR0（0xD5） 278
28.2.2 CMP_CR1（0xD6） 278
28.2.3 CMP_CR2（0xDA） 279
28.2.4 CMP_CR3（0xDC） 281
28.2.5 CMP_SAMR(0x40AD) 282
28.2.6 CMP_SR（0xD7） 282
28.2.7 EVT_FILT（0xD9） 283
29 电源模块 285
29.1 LDO 285
29.1.1 LDO 模块的操作说明 285
29.2 低压检测 287
29.2.1 低压检测模块操作说明 287
29.2.2 CCFG2:RST_MOD（0x401D） 288
29.2.3 CCFG1:CK_RST_CFG（0x401E） 288
29.2.4 LVSR(0xDB) 289
30 FLASH 290
30.1 主要特性 290
30.2 FLA_CR：编程控制寄存器 290
30.3 FLA_KEY：FLASH 编程开锁寄存器 290
30.4 FLASH 自写操作说明 291
31 CRC（循环冗余校验计算单元） 292
31.1 CRC 功能框图 292
31.2 CRC16 生成多项式 292
31.3 CRC16 基本逻辑图 292
31.4 操作说明 293
31.4.1 计算单个字节的 CRC 293

临时版本

31.4.2 批量计算 ROM 数据 CRC 293
31.5 CRC 寄存器 294
31.5.1 控制寄存器：CRC_CR 294
31.5.2 输入数据寄存器：CRC_DIN 295
31.5.3 结果输出寄存器：CRC_DR 296
31.5.4 自动计算起点寄存器：CRC_BEG 296
31.5.5 自动计算块数寄存器：CRC_CNT 296
32 休眠模式 298
32.1 功耗模式 298
32.2 PCON 寄存器 299
33 代码保护 300
34 配置寄存器 303
34.1 CCFG，客户配置寄存器 303
34.1.1 CCFG1: CK_RST_CFG 303
34.1.2 CCFG2: RST_MOD 304
35 封装信息 305
35.1 LQFP48_7X7 305
35.2 QFN56_7X7 306
35.3 QFN32_4X4 307
35.4 QFN40_5X5 308
35.5 SSOP24_8.65X3.9 309
35.6 LQFP32_7X7 310
35.7 QFN48_7X7 311
36 订购信息 312
37 修改记录 313

临时版本

1 系统介绍

1.1 特性

- 电源电压：

  FU6812L2:

  单电源高压模式(VCC_MODE=0). VCC= 5～24V

  双电源模式(VCC_MODE=1)，VCC≥VDD5. VCC= 5～36V， VDD5=5V

  单电源低压模式(VCC_MODE=1). VCC=VDD5 = 3～5.5V

  FU6812N2/S2/P2/V:

  单电源高压模式：VCC= 5～24V

  单电源低压模式：VCC=VDD5= 3～5.5V

  FU6862L/Q:

  单电源高压模式：VCC= 12～20V

  FU6861Q2:

  模式 1：VCC_MODE=0，VCC= 5～24V，VDRV=7～18V

  模式 2：VCC_MODE=1，VCC=VDD5=3～5.5V，VDRV=7～18V

  FU6861N2/NF2/L2

  模式 1：VCC= 5～24V，VDRV=7～18V

- 双核：电机专用引擎 ME 和 8051 内核。ME 硬件自动完成电机 FOC/BLDC 运算控制; 8051 内核用于参数配置和日常事务处理
- 指令周期大多为 1T 或 2T
- 16kB Flash ROM、带 CRC 校验功能、支持程序自烧录和代码保护功能
- 256 bytes IRAM，768 bytes XRAM
- ME：集成低通滤波器(LPF)、比例积分器(PI)、BLDC 模块、FOC 模块
- 单周期 16*16 位乘法器，16 周期 32 / 16 位除法器
- 4 级优先级中断、15 个中断源
- GPIO：

  FU6812L2：34 个 GPIO

  FU6812N2: 20 个 GPIO

  FU6812S2: 12 个 GPIO

  FU6861Q2: 32 个 GPIO

  FU6861N2: 19 个 GPIO

  FU6861NF2: 19 个 GPIO

  FU6861L2: 27 个 GPIO

试用版本

FU6812P2: 21 个 GPIO

FU6812V: 13 个 GPIO

FU6862L: 20 个 GPIO

FU6862Q: 20 个 GPIO

定时器：

2 个通用带抓捕功能可编程定时器

1 个支持 QEP（正交编码）解码编程定时器

1 个 BLDC 电机专用定时器

1 个通用定时器

1 个 RTC 定时器

- I2C/SPI/UART 接口，可配置 DMA 支持
- 模拟外设：

12 位 ADC，0.9uS 转换时间，可选择内部 VREF、外部 VREF 作参考电压

ADC 通道数：

FU6812L2：12 通道

FU6861Q2: 12 通道

FU6812N2: 7 通道

FU6812S2: 5 通道

FU6861N2: 9 通道

FU6861NF2: 9 通道

FU6861L2: 11 通道

FU6812P2: 9 通道

FU6812V: 7 通道

FU6862L: 8 通道

FU6862Q: 8 通道

内置 VREF 参考，可配置 3V、4V、4.5V、VDD5（FU6812S2/P2/V 只能选择 VDD5 为内部参考）

内置 VHALF(1/2 VREF)参考输出

3 个独立运算放大器（FU6812N2/S2、FU6861N2/NF2 为 1 个独立运算放大器）

3 路模拟比较器

9 位 DAC

- 驱动类型：

PWM 输出(适用于 FU6812L2/N2/S2/P2/V)

6N Predriver 输出(适用于 FU6861Q2/N2/NF2/L2、FU6862L/Q)

临时版本

- BLDC 控制支持自动换相、逐波限流，支持 HALL、BEMF 位置检测
- FOC 驱动支持单电阻、双电阻、三电阻电流采样（FU6812N2/S2、FU6861N2/NF2 只支持单电阻电流采样）
- FOC 驱动支持过调制
- 振荡器：

  内置 24MHz±2%高速振荡器

  内置 32.8kHz 低速振荡器
- Watch-dog
- 两线制 FICE 协议提供在线仿真功能

临时版本

1.2 应用场景

无感/有感的 BLDC/PMSM、三相/单相感应电机、伺服电机。

油烟机、室内机、吊扇、落地扇、吸尘器、电吹风、工业风机、水泵、压缩机、电动车、电动工具、航模等。

1.3 概述

FU6812x2/61x2/62x2 系列是一款集成 8051 内核和电机控制引擎(ME)的高性能电机驱动专用芯片，8051 内核处理常规事务，ME 处理电机实时事务，双核协同工作实现各种高性能电机控制。其中 8051 内核大部分指令周期为 1T 或 2T，芯片内部集成有高速运算放大器、比较器、高速 ADC、乘/除法器、CRC、SPI、I2C、UART、多种 TIMER、PWM 等功能，内置高压 LDO，适用于 BLDC/PMSM 电机的方\波、SVPWM/SPWM、FOC 驱动控制。

FU6812/61/62 区别参考 Driver 章节，FU6812 为 PWM 输出；FU6861/FU6862 为 6N Predriver 输出。

FU6812 有不同封装形态：FU6812L2(LQFP48)、FU6812N2(QFN32)、FU6812S2(SSOP24)、FU6812P2(LQFP32)、FU6812V(SSOP24)

FU6861 有不同封装形态：FU6861Q2(QFN56)、FU6861N2/FU6861NF2(QFN40)、FU6861L2(LQFP48)

FU6862 有不同封装形态：FU6862L(LQFP48)、FU6862Q(QFN48)。

为便于描述和区分，后续如有指明具体封装形态则表示该项特性为对应封装专有，否则为 FU6812x2/61x2/62x2 系列芯片共有的特性。

临时版本

1.4 系统框图

1.4.1 FU6812L2 功能框图

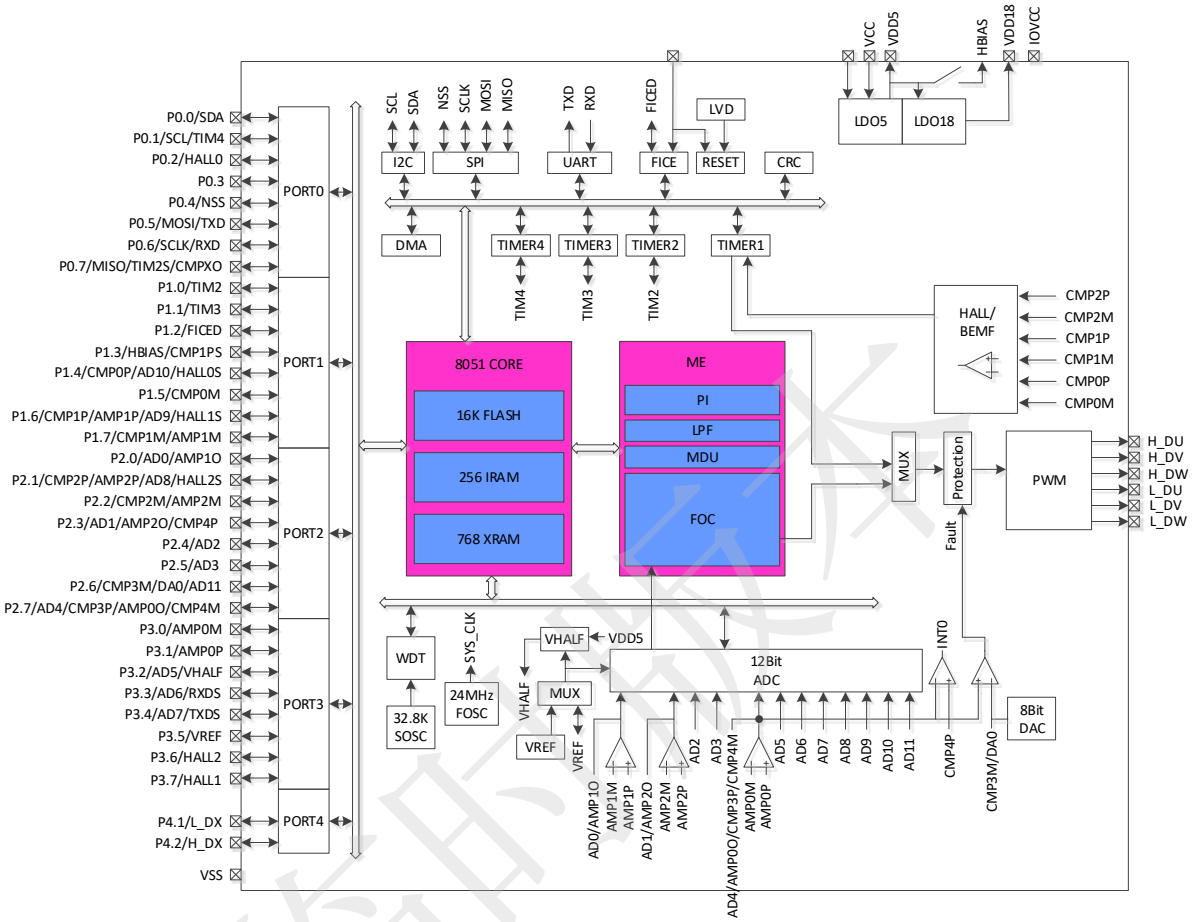


图 1-1 FU6812L2 功能框图

1.4.2 FU6812N2 功能框图

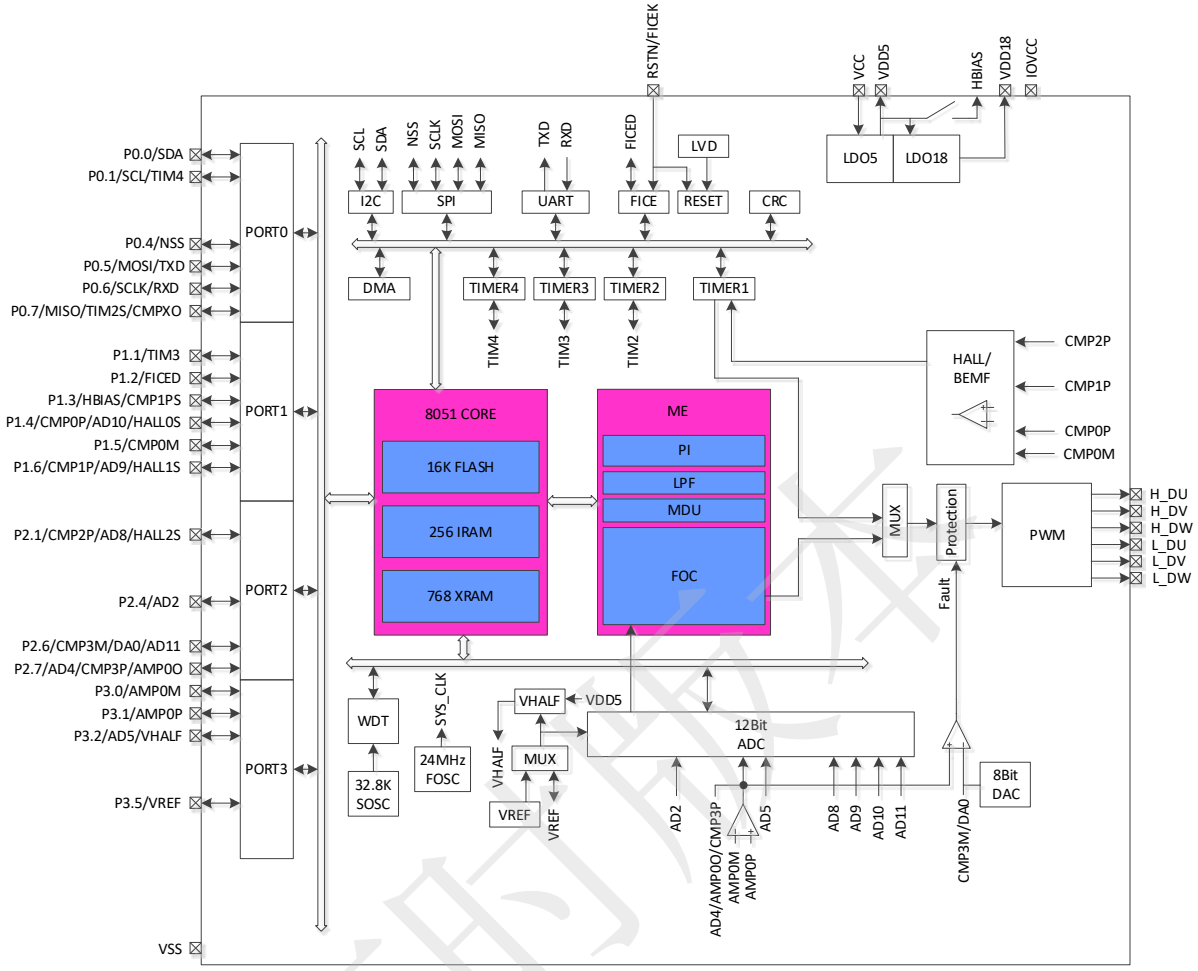


图 1-2 FU6812N2 功能框图

1.4.3 FU6812S2 功能框图

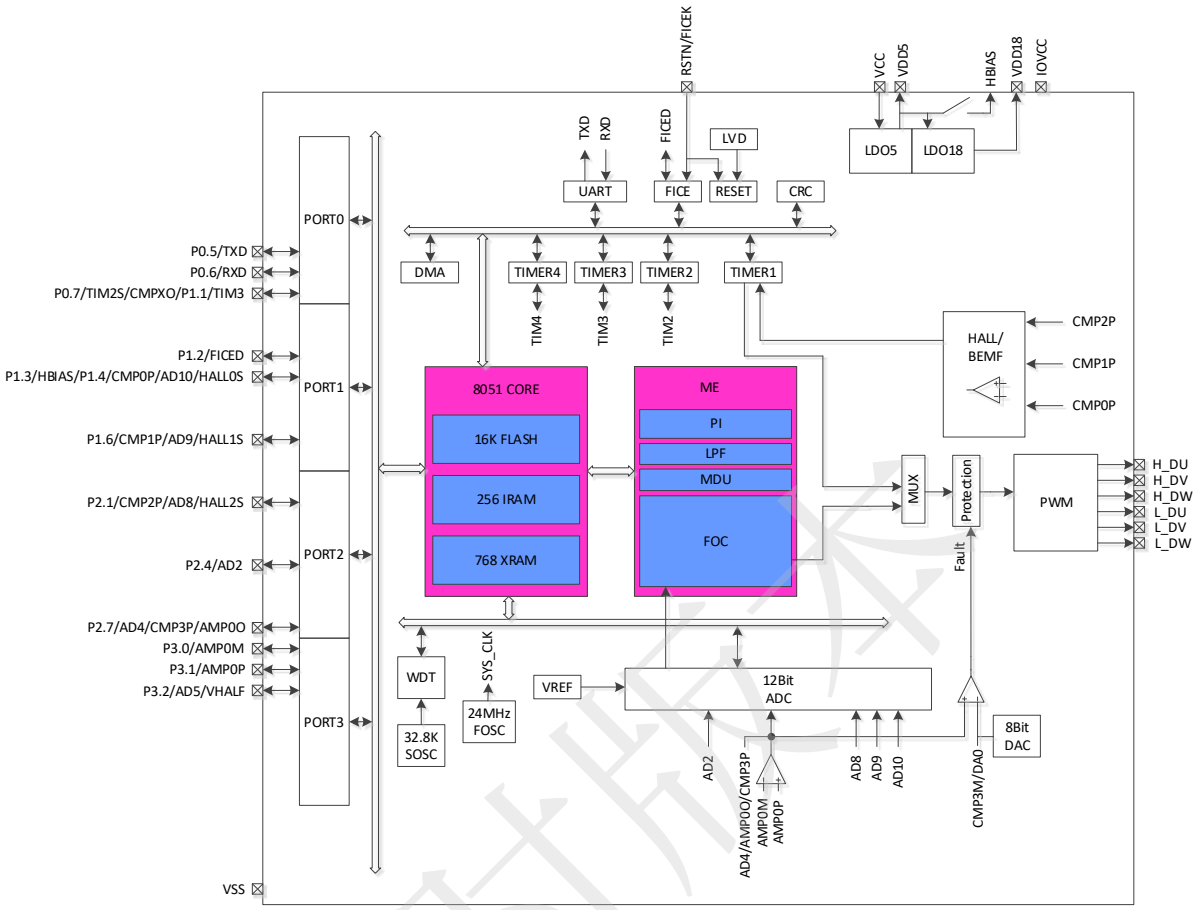


图 1-3 FU6812S2 功能框图

1.4.4 FU6861Q2 功能框图

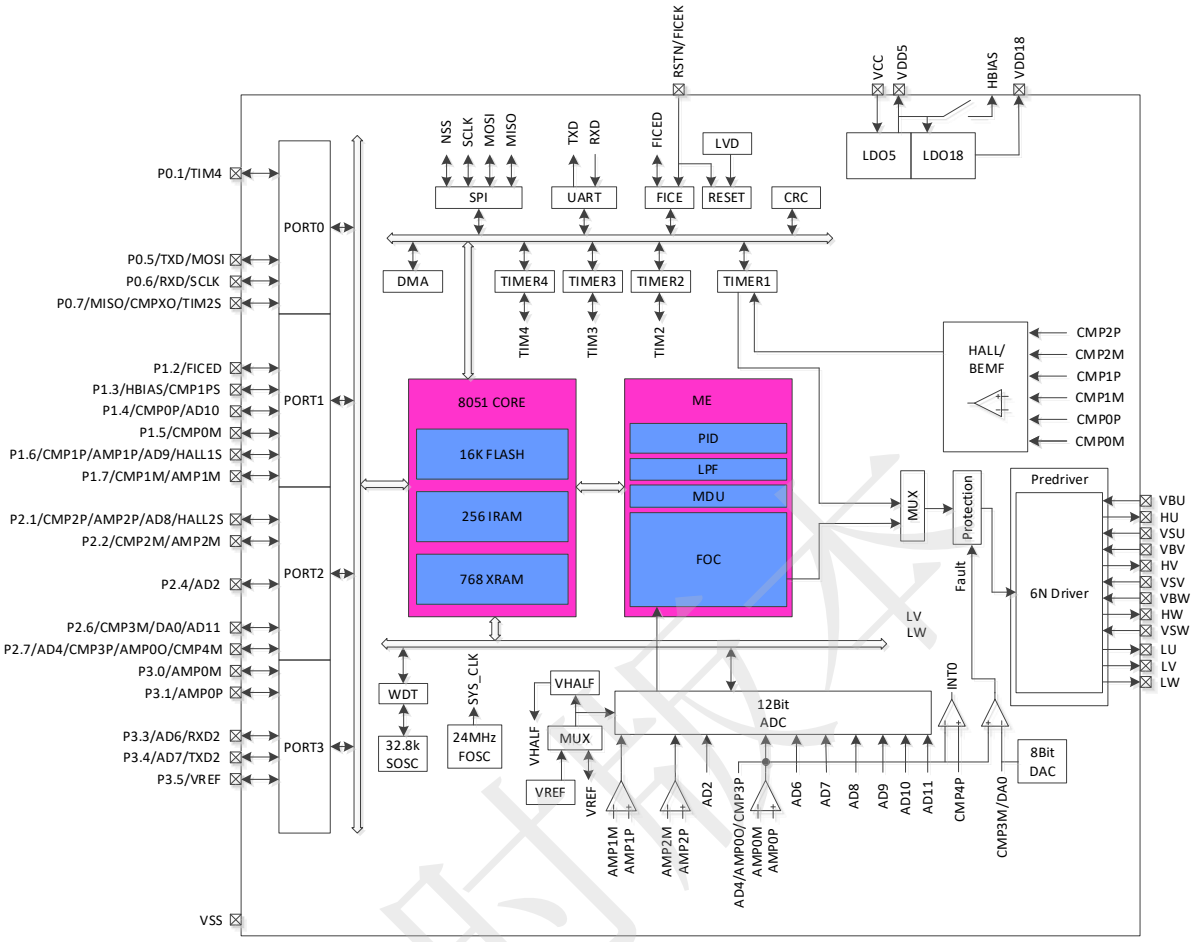


图 1-4 FU6861Q2 功能框图

1.4.5 FU6861N2 功能框图

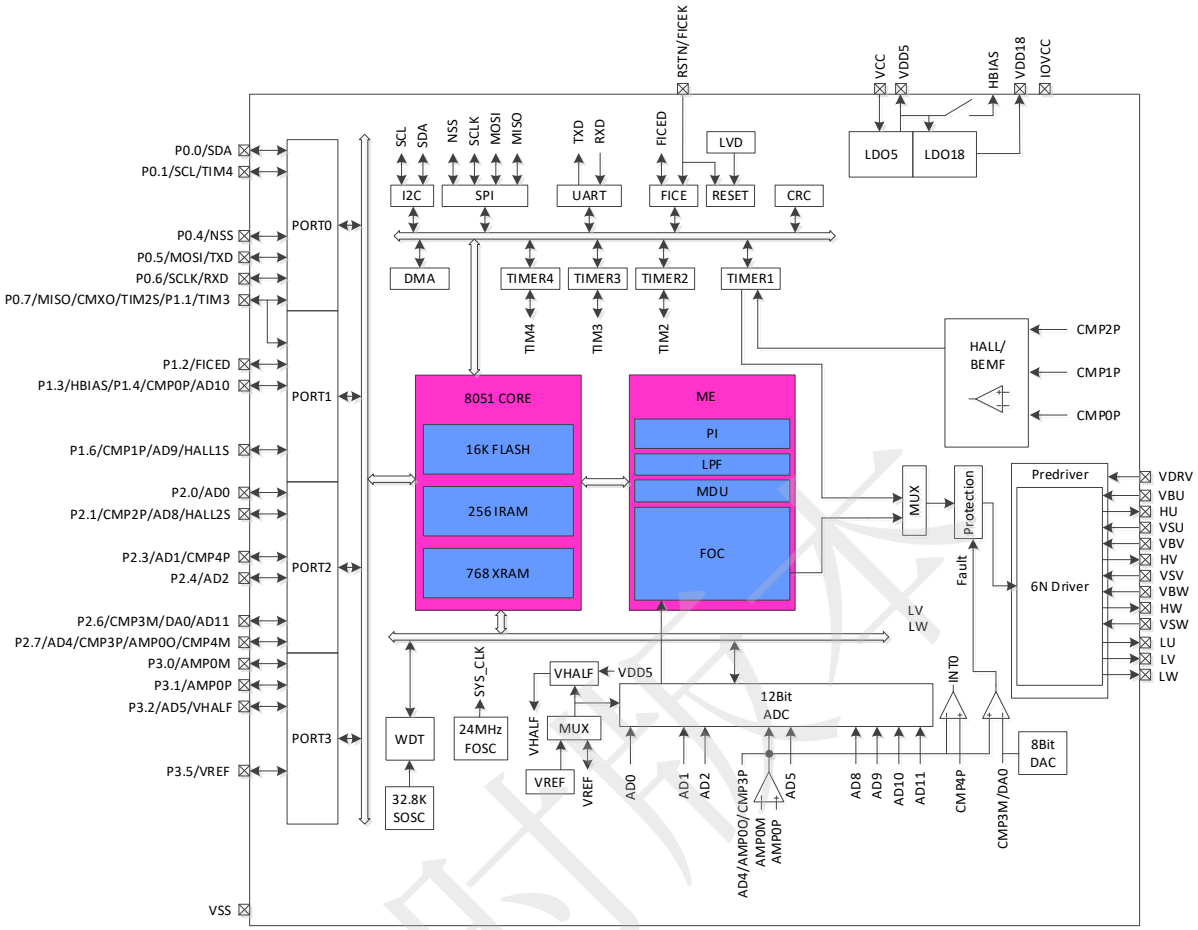


图 1-5 FU6861N2 功能框图

1.4.6 FU6861NF2 功能框图

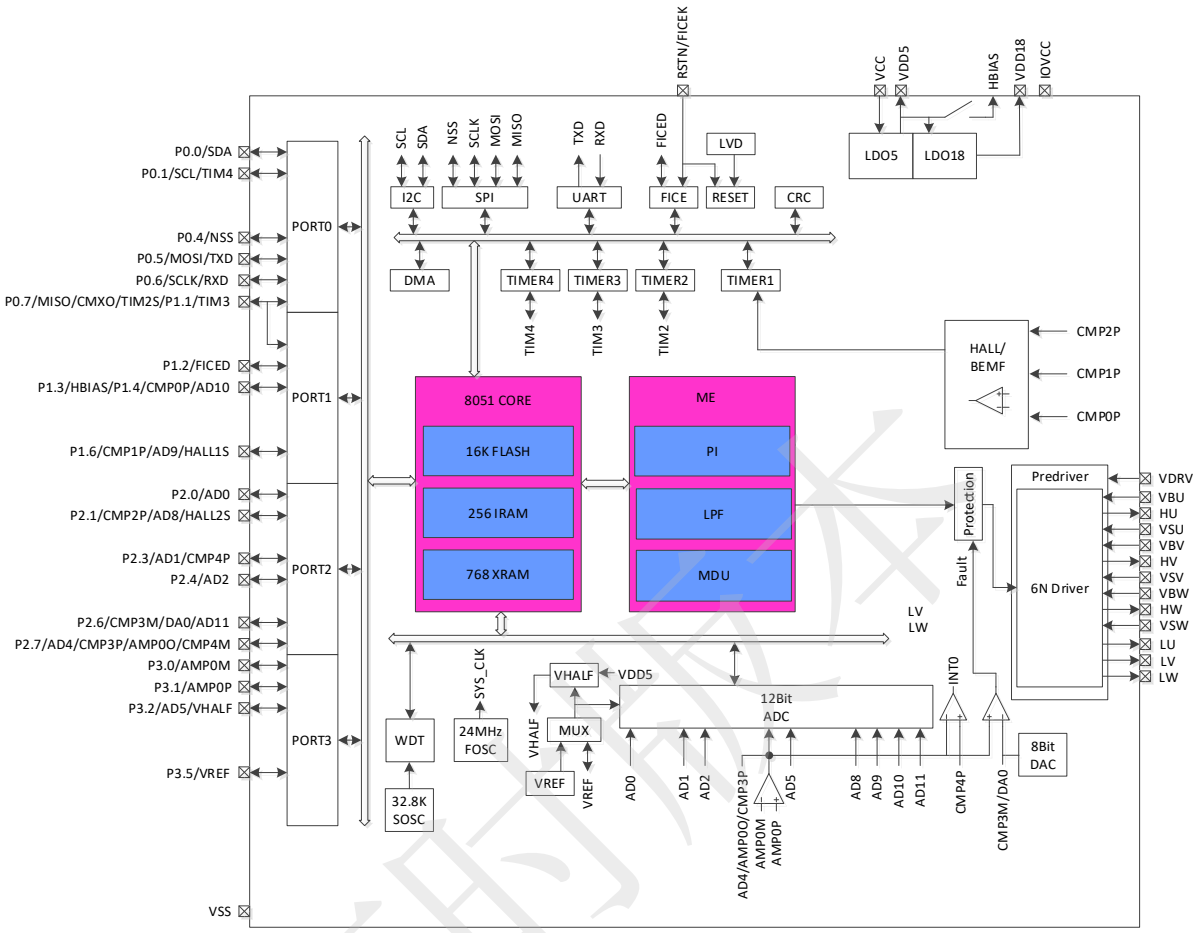


图 1-6 FU6861NF2 功能框图

1.4.7 FU6861L2 功能框图

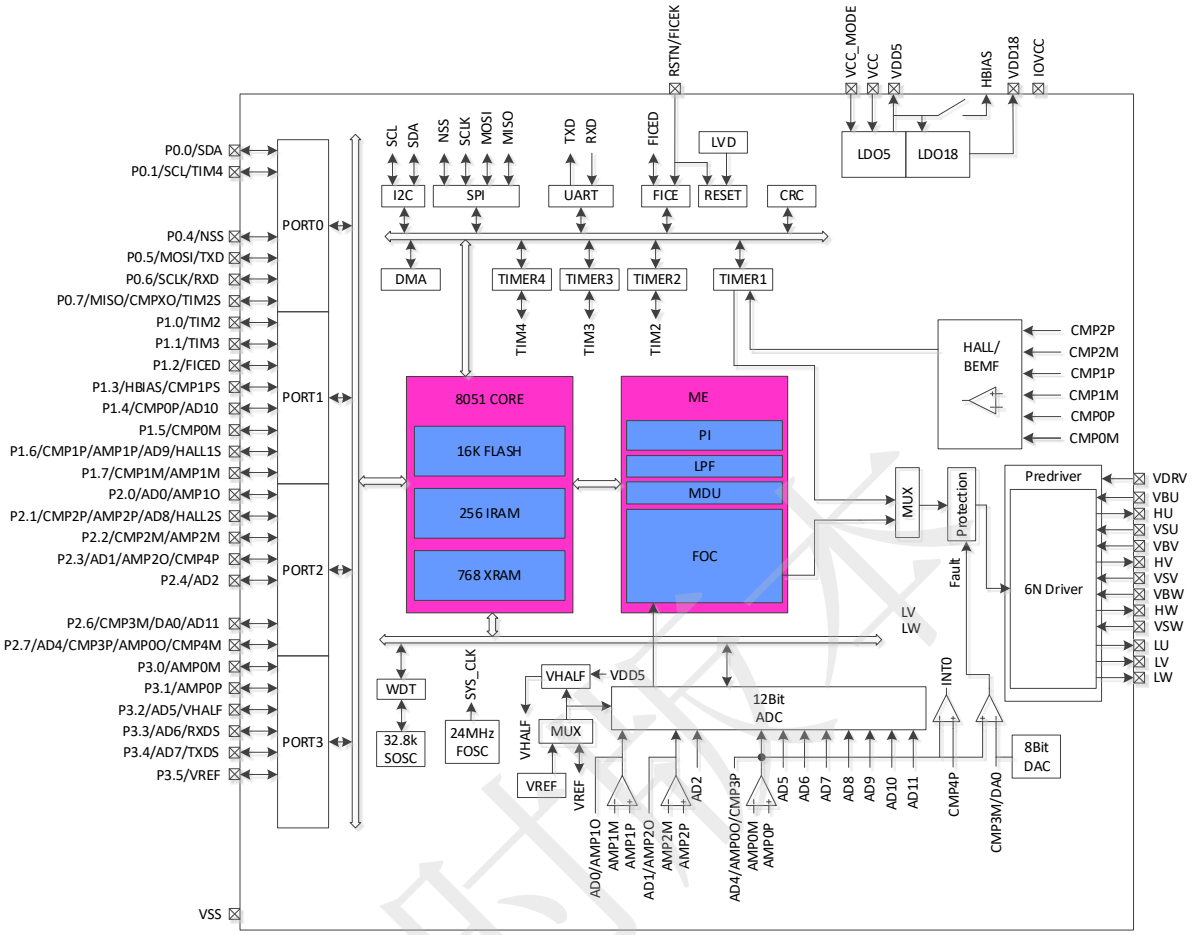


图 1-7 FU6861L2 功能框图

1.4.8 FU6812P2 功能框图

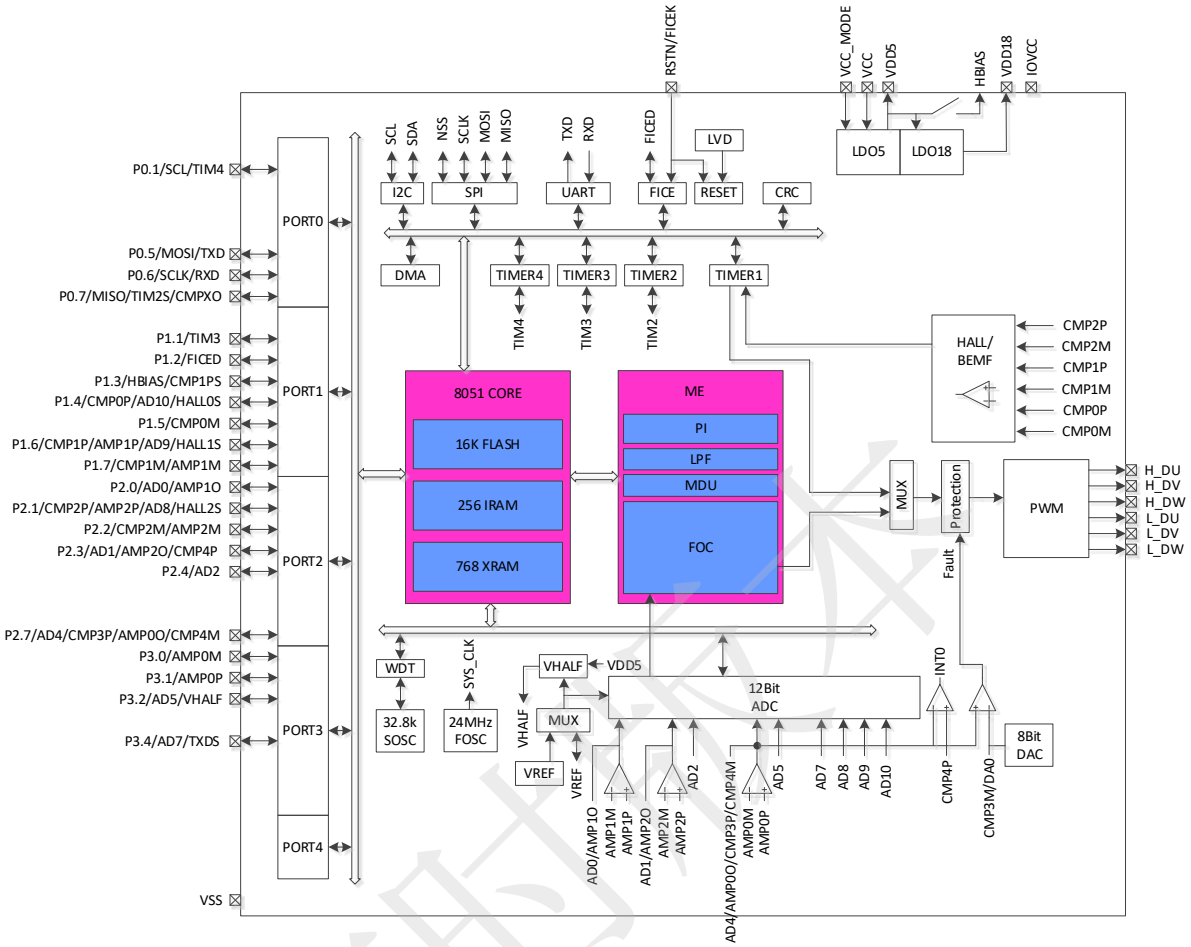


图 1-8 FU6812P2 功能框图

1.4.9 FU6812V 功能框图

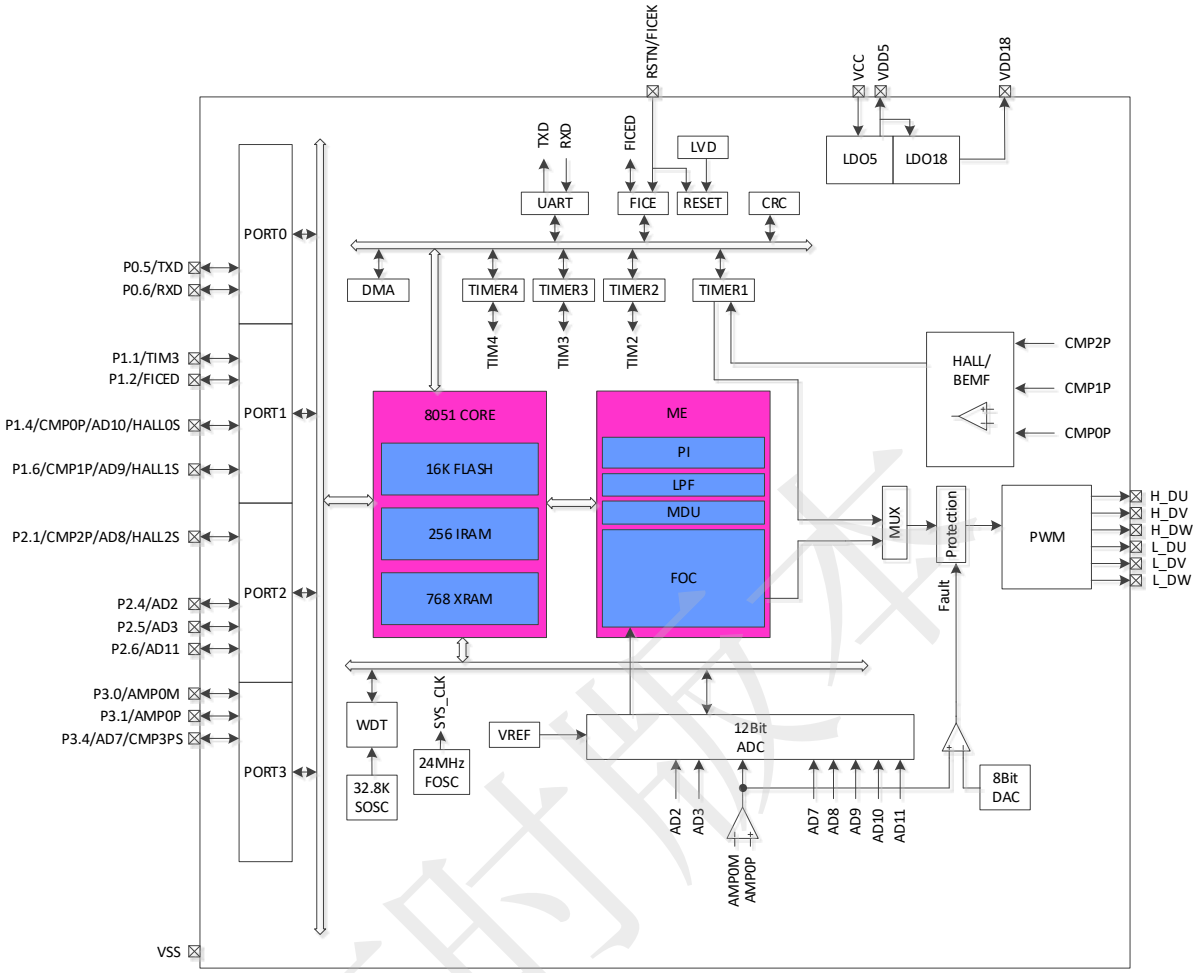


图 1-9 FU6812V 功能框图

临时版本

1.4.10 FU6862L/Q 功能框图

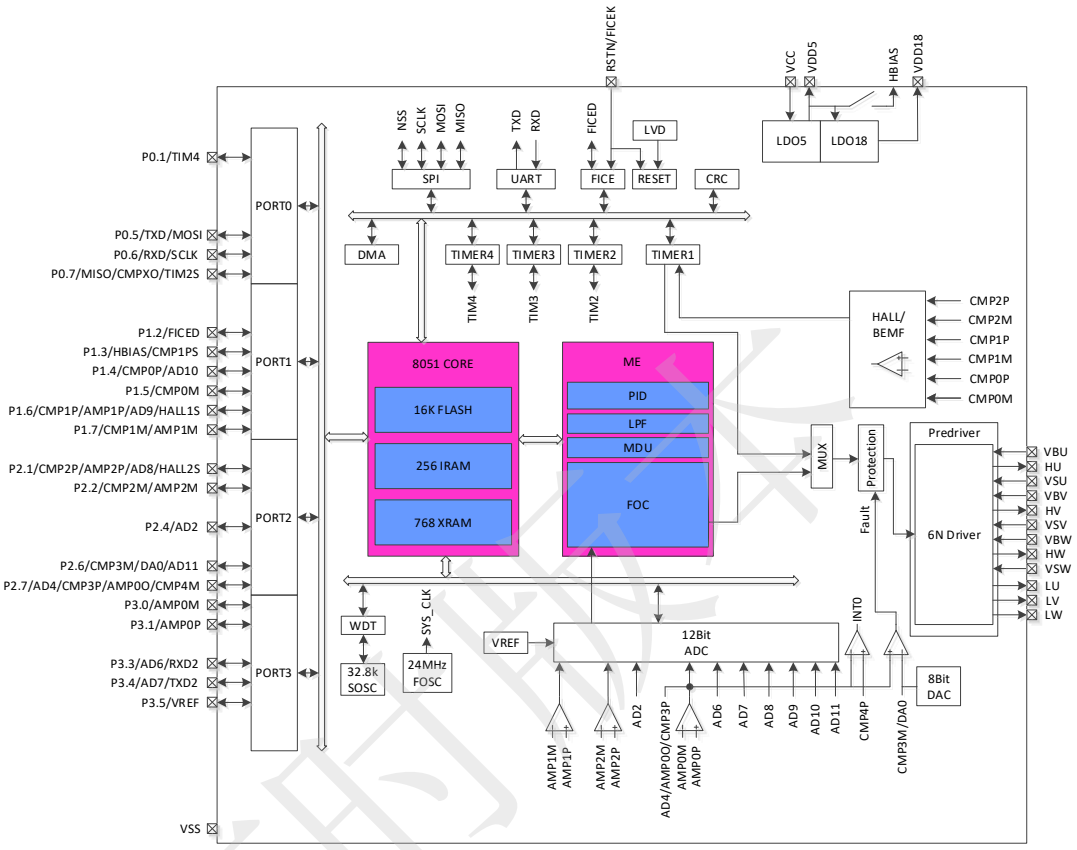


图 1-10 FU6862L/Q 功能框图

1.5 Memory 空间

内部存储空间分为指令空间（program memory）和数据空间（data memory），两个空间独立编址。

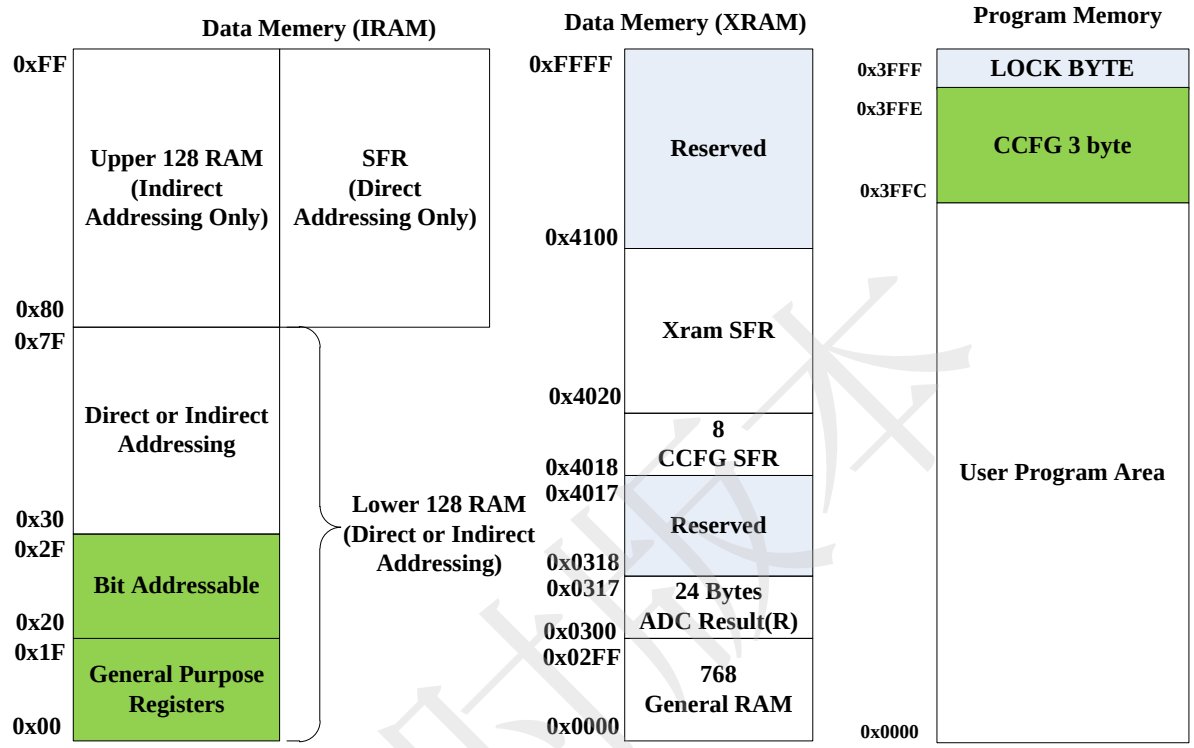


图 1-11 Memory 空间分配

1.5.1 Program Memory

指令空间可寻址范围 0x0000-0x3FFF，复位后 CPU 从 0x0000 开始执行。指令空间存储介质为 FLASH。

1.5.2 Data Memory

数据空间分为外部数据空间（external data memory）和内部数据空间（internal data memory&SFRs）。

外部数据空间仅可通过 MOVX 指令访问，范围为 0x0000-0x02FF。

内部数据空间如图 1-11 所示。0x00-0x1F 包含 4 组，每组 8 个寄存器；0x20～0x2F 的 16Bytes 支持 bit 寻址操作；0x30-0x7F 支持直接寻址和间接寻址；0x80-0xFF 间接寻址时访问的是 RAM 空间，直接寻址时访问的是 SFRs。堆栈空间位于内部数据空间。

1.5.3 SFR

表 1-1 特殊功能寄存器(SFR) 地址映射

Addr	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
0xF8	DRV_OUT	PI_LPF_CR			P0_OE	P1_OE	P2_OE	P3_OE
0xF0	B		PI_KIL	PI_KIH	PI_UKMAXL	PI_UKMAXH	PI_UKMINL	PI_UKMINH
0xE8	P4	P4_OE	PI_EKL	PI_EKH	PI_UKL	PI_UKH	PI_KPL	PI_KPH
0xE0	ACC						LPF_YL	LPF_YH
0xD8	IP3	EVT_FILT	CMP_CR2	LVSR	CMP_CR3	LPF_K	LPF_XL	LPF_XH
0xD0	PSW	P1_IE	P1_IF	P2_IE	P2_IF	CMP_CR0	CMP_CR1	CMP_SR
0xC8	IP2	RST_SR	MDU_MBL	MDU_MBH	MDU_DB0	MDU_DB1		
0xC0	IP1	MDU_CR	MDU_MAL	MDU_MAH	MDU_DA0	MDU_DA1	MDU_DA2	MDU_DA3
0xB8	IP0							
0xB0	P3							
0xA8	IE	TIM2_CR1	TIM2__CNTRL	TIM2__CNTRH	TIM2__DRL	TIM2__DRH	TIM2__ARRL	TIM2__ARRH
0xA0	P2	TIM2_CR0	TIM3__CNTRL	TIM3__CNTRH	TIM3__DRL	TIM3__DRH	TIM3__ARRL	TIM3__ARRH
0x98	UT_CR	UT_DR	UT_BAUDL	UT_BAUDH	TIM3_CR0	TIM3_CR1	TIM4_CR0	TIM4_CR1
0x90	P1		TIM4__CNTRL	TIM4__CNTRH	TIM4__DRL	TIM4__DRH	TIM4__ARRL	TIM4__ARRH
0x88	TCON							
0x80	P0	SP	DPL	DPH	FLA_KEY	FLA_CR		PCON

注 1：地址低 4 位为 0 或 8 地址的寄存器可位寻址

注 2：有双下划线的寄存器需要使用一变量将其值读出，如果直接读取寄存器，那么读出来的值是不正确的

临时版本

1.5.4 XSFR

表 1-2 扩展特殊功能寄存器(XSFR) 地址映射

Addr	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
0x40f0	EXT0	TIM234_CTRL	CMP_AMP	TSD_ADJ				
0x40e8	FOC_ID_LPFK	FOC_IQ_LPFK	FOC_KFGH	FOC_KFGL			FOC_CR3	
0x40e0	FOC__EMFH	FOC__EMFL	FOC_UDCPSH	FOC_UDCPSL	FOC_UQCPSH	FOC_UQCPSL	FOC__UQEXH	FOC__UQEXL
0x40d8	FOC__POWH	FOC__POWL	FOC__IAMAXH	FOC__IAMAXL	FOC__IBMAXH	FOC__IBMAXL	FOC__ICMAXH	FOC__ICMAXL
0x40d0	FOC__EALPH	FOC__EALPL	FOC__EBETH	FOC__EBETL	FOC__EOMEH	FOC__EOMEL	FOC__ESQUH	FOC__ESQUL
0x40c8	FOC__IBH	FOC__IBL	FOC__IAH	FOC__IAL	FOC__THETAH	FOC__THETAL	FOC__ETHETAH	FOC__ETHETAL
0x40c0	FOC__IBETH	FOC__IBETL	FOC__VBETH	FOC__VBETL	FOC__VALPH	FOC__VALPL	FOC__ICH	FOC__ICL
0x40b8	FOC__UDH	FOC__UDL	FOC__UQH	FOC__UQL	FOC__IDH	FOC__IDL	FOC__IQH	FOC__IQL
0x40b0	FOC_DMAXH	FOC_DMAXL	FOC_DMINH	FOC_DMINL	FOC_QMAXH	FOC_QMAXL	FOC_QMINH	FOC_QMINL
0x40a8	FOC__RTHESTEPH	FOC__RTHESTEPL	FOC_RTHEACCH	FOC_RTHEACCL	FOC_RTHECNT	FOC_THECOR/ CMP_SAMR	FOC_THECOMPH	FOC_THECOMPL
0x40a0	FOC_CR1	FOC_CR2	FOC_TSMIN	FOC_TGLI	FOC_TBLO	FOC_TRGDLY	FOC_CSOH	FOC_CSOL
0x4098	FOC__UDCFLTH/ TIM1__ITRIPH	FOC__UDCFLTL/ TIM1__ITRIPL						
0x4090	FOC_IDREFH	FOC_IDREFL	FOC_IQREFH	FOC_IQREFL	FOC_DQKPH	FOC_DQKPL	FOC_DQKIH	FOC_DQKIL
0x4088	FOC_EK3H/ TIM1__RARRH	FOC_EK3L/ TIM1__RARRL	FOC_EK4H/ TIM1__RCNTRH	FOC_EK4L/ TIM1__RCNTRL	FOC_EK1H	FOC_EK1L	FOC_EK2H	FOC_EK2L
0x4080	FOC_FBASEH/ TIM1_DBR7H	FOC_FBASEL/ TIM1_DBR7L	FOC_EFREQACCH/ TIM1__BCNTRH	FOC_EFREQACCL/ TIM1__BCNTRL	FOC_EFREQMINH/ TIM1__BCCRH	FOC_EFRQMINL/ TIM1__BCCRL	FOC_EFREQHOLDH/ TIM1__BARRH	FOC_EFREQHOLDL/ TIM1__BARRL
0x4078	FOC_KSLIDEH/ TIM1_DBR3H	FOC_KSLIDEL/ TIM1_DBR3L	FOC_EKLPFMINH/ TIM1_DBR4H	FOC_EKLPFMINL/ TIM1_DBR4L	FOC_EBMFKH/ TIM1_DBR5H	FOC_EBMFKL/ TIM1_DBR5L	FOC_OMEKLPFH/ TIM1_DBR6H	FOC_OMEKLPFL/ TIM1_DBR6L
0x4070	TIM1_BCORH	TIM1_BCORL			FOC_EKPH/ TIM1_DBR1H	FOC_EKPL/ TIM1_DBR1L	FOC_EKIH/ TIM1_DBR2H	FOC_EKIL/ TIM1_DBR2L
0x4068	TIM1_CR0	TIM1_CR1	TIM1_CR2	TIM1_CR3	TIM1_CR4	TIM1_ IER	TIM1_SR	
0x4060	DRV_DTR	DRV_SR	DRV_CR		SYST_ARRH	SYST_ARRL		
0x4058	DRV_DRH	DRV_DRL	DRV_COMRH	DRV_COMRL	DRV_CMRH	DRV_CMRL	DRV_ARRH	DRV_ARRL
0x4050	P1_AN	P2_AN	P3_AN	P0_PU	P1_PU	P2_PU	P3_PU	P4_PU
0x4048				DAC_DR	PH_SEL		AMP_CR	VREF_VHALF_CR
0x4040	CAL_CR0	CAL_CR1						
0x4038	ADC_SCYC	ADC_CR	DMA0_CR0	DMA1_CR0	DMA0_CR1H	DMA0_CR1L	DMA1_CR1H	DMA1_CR1L
0x4030	SPI_CR0	SPI_CR1	SPI_CLK	SPI_DR		DAC_CR	ADC_MASK_SYSCH	ADC_MASK_SYSCL
0x4028	I2C_CR	I2C_ID	I2C_DR	I2C_SR	RTC_TMH	RTC_TML	RTC_STA	
0x4020		CRC_DIN	CRC_CR	CRC_DR	CRC_BEG	CRC_CNT	WDT_CR	WDT_REL
0x4018	CCFG7	CCFG6	CCFG5	CCFG4	CCFG3	CCFG2	CCFG1	CCFG0
0x0310	AD8_DRH	AD8_DRL	AD9_DRH	AD9_DRL	AD10_DRH	AD10_DRL	AD11_DRH	AD11_DRL
0x0308	AD4_DRH	AD4_DRL	AD5_DRH	AD5_DRL	AD6_DRH	AD6_DRL	AD7_DRH	AD7_DRL
0x0300	AD0_DRH	AD0_DRL	AD1_DRH	AD1_DRL	AD2_DRH	AD2_DRL	AD3_DRH	AD3_DRL

注 1：有双下划线的寄存器需要使用一变量将其值读出，如果直接读取寄存器，那么读出来的值是不正确的。

修改版本

芯片 SFR 分为两部分，一部分映射在内部数据空间的 SFR 区域，一部分映射在外部数据空间。

临时版本

2 引脚定义

2.1 FU6812 LQFP48 引脚列表

表 2-1 FU6812 LQFP48 引脚列表

引脚名称	FU6812 LQFP48	IO 类型	功能描述
P2.2/ CMP2M/ AMP2M	1	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入 BEMF2 负输入 运放 2 负输入端
P2.3/ AD1/ AMP2O/ CMP4P	2	DB/ AI/ AO/ AI	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 运放 2 输出端 比较器 4 正输入
P2.4/ AD2	3	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.5/ AD3	4	DB/ AI	GPIO P2.5,可配置外部中断 1 输入 ADC 通道 3 输入
P2.6/ CMP3M/ DAO/ AD11	5	DB/ AI/ AO/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入，比较器 3 的负输入端 内部 DAC 电压无 Buffer 输出 ADC 通道 11 输入
P2.7/ AD4/ CMP3P/ AMP0O/ CMP4M	6	DB/ AI/ AI/ AO/ AI	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出 比较器 4 负输入
P3.0/ AMP0M	7	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMP0P	8	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.2/ AD5/ VHALF	9	DB/ AI/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 1/2 VDD5 或 1/2 VREF 参考输出，外接 1uF 电容
P3.3/ AD6/ RXD2	10	DB/ AI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART2 数据接收端
P3.4/ AD7/ TXD2	11	DB AI/ DO	GPIO P3.4 模拟速度控制输入，AD 通道 7 输入 功能转移后 UART2 数据发送端

引脚名称	FU6812 LQFP48	IO 类型	功能描述
P3.5/ VREF	12	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出，外接 1～4.7uF 电容
VSS	13	P	地
IOVCC	14	P	GPIO 电源输入，3～5.5V，并接 1～10uF 电容到地,IOVCC≤VDD5，仅 P3.7～6、P0.x、P1.1～0、P4.x、H_DU、H_DV、H_DW、L_DU、L_DV、L_DW 用 IOVCC 供电，其余 GPIO 仍用 VDD5 供电
P3.6/ HALL2	15	DB/ DI	GPIO P3.6 HALL2 逻辑电平输入
P3.7/ HALL1	16	DB/ DI	GPIO P3.7 HALL1 逻辑电平输入
P0.0/ SDA	17	DB/ DB	GPIO P0.0 I2C SDA，集电极开路输出
P0.1/ TIM4/ SCL	18	DB/ DB/ DB	GPIO P0.1 Timer4 捕获模式输入 I2C SCL 时钟，集电极开路输出
P0.2/ HALL0	19	DB/ DI	GPIO P0.2 HALL0 逻辑电平输入
P0.3	20	DB	GPIO P0.3
P0.4/ NSS	21	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ TXD/ MOSI	22	DB/ DO/ DB	GPIO P0.5 功能转移前 UART1 数据发送端 SPI_MOSI,主机模式输出或从机模式输入
P0.6/ RXD/ SCLK	23	DB/ DI/ DB	GPIO P0.6 功能转移前 UART1 数据接收端 SPI 接口时钟 CLK
P0.7/ MISO/ CMPXO/ TIM2S	24	DB/ DB/ DO/ DB	GPIO P0.7 SPI_MISO, 主机模式输入或从机模式输出 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出
P1.0/ TIM2	25	DB/ DB	GPIO P1.0,可配置外部中断 1 输入 Timer2 功能转移前捕获模式输入或 PWM 模式输出
P1.1/ TIM3	26	DB/ DB	GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
P4.1/ L_DX	27	DB/ DO	GPIO P4.1 PWM X 相下侧 PWM 输出
P4.2/ H_DX	28	DB	GPIO P4.2 PWM X 相上侧 PWM 输出
L_DU	29	DO	PWM U 相下侧 PWM 输出
L_DV	30	DO	PWM V 相下侧 PWM 输出

修订版本

引脚名称	FU6812 LQFP48	IO 类型	功能描述
L_DW	31	DO	PWM W 相下侧 PWM 输出
H_DU	32	DO	PWM U 相上侧 PWM 输出
H_DV	33	DO	PWM V 相上侧 PWM 输出
H_DW	34	DO	PWM W 相上侧 PWM 输出
VCC	35	P	电源输入，电压范围由电源模式 VCC_MODE 决定，外接 10uF 或更大滤波电容。 1. 单电源高压模式： VCC_MODE=0,外部电源从 VCC 输入 5～24V,VDD5 由内部 LDO 产生； 2. 单电源低压模式： VCC_MODE=1（即与 VDD5 相连），外部电源从 VDD5 输入 3～5.5V，同时将 VCC 与 VDD5 短接； 3. 双电源模式： VCC_MODE=1（即与 VDD5 相连），外部电源 1 从 VCC 输入 5～36V，外部电源 2 从 VDD5 输入 5V
VSS	36	P	数字地
VDD5	37	P	中压电源输入或内部 5V LDO 输出电源，由 VCC_MODE 决定，电源接法请参考 VCC 引脚描述，外接 1～4.7uF 电容. VCC_MODE=0 时，内部 LDO 输出 5V 电源； VCC_MODE=1 时，从外部灌入 3～5.5V 电源
VCC_MODE	38	DI	输入电源模式控制，控制模式参考 VCC 引脚功能描述
RSTN/ FICEK	39	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	40	P	1.8V LDO 输出电源，外接 1～4.7uF 电容
P1.2/ FICED	41	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ CMP1PS	42	DB/ DO/ AI	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 比较器 1 第二模式正输入端
P1.4/ CMP0P/ AD10/ HALL0S	43	DB/ AI/ AI/ DI	GPIO P1.4,可配置外部中断 1 输入 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.5/ CMP0M	44	DB/ AI	GPIO P1.5,可配置外部中断 1 输入 BEMF0 负输入
P1.6/ CMP1P/ AMP1P/ AD9/ HALL1S	45	DB/ AI/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入 BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入

引脚名称	FU6812 LQFP48	IO 类型	功能描述
P1.7/ CMP1M/ AMP1M	46	DB/ AI/ AI	GPIO P1.7 BEMF1 负输入 运放 1 负输入端
P2.0/ AD0/ AMP1O	47	DB/ AI/ AO	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号 运放 1 输出端
P2.1/ CMP2P/ AMP2P/ AD8/ HALL2S	48	DB/ AI/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入 BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入

注：

IO 类型说明：

DI = 数字输入，

DO = 数字输出，

DB = 数字双向，

AI = 模拟输入，

AO = 模拟输出，

P = 电源

临时版本

2.2 FU6812L2 封装-LQFP48

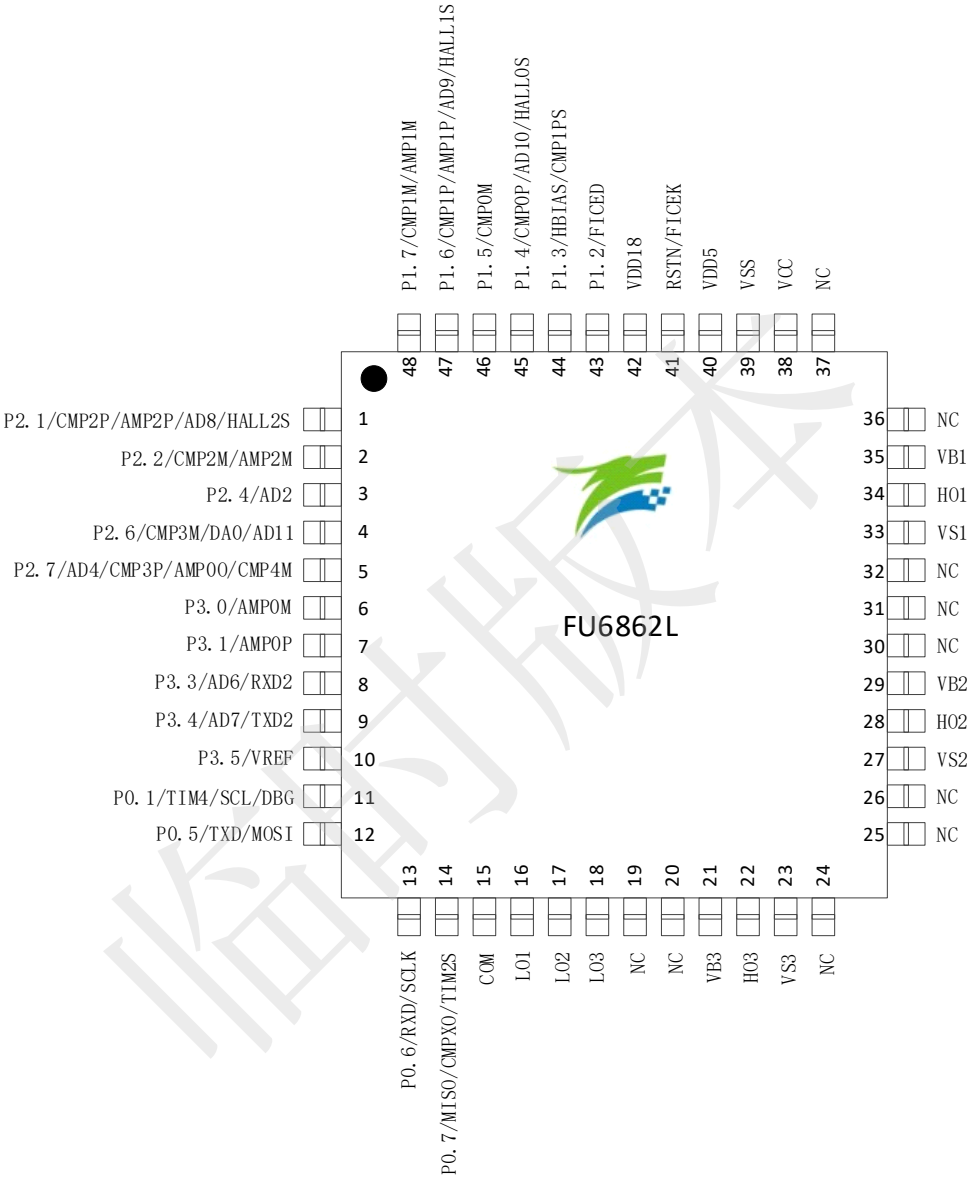


图 2-1 FU6862 封装-LQFP48

2.3 FU6812 QFN32 引脚列表

引脚名称	FU6812 QFN32	IO 类型	功能描述
P2.1/ CMP2P/ AD8/ HALL2S	1	DB/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入 BEMF2 正输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.4/ AD2	2	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.6/ CMP3M/ DAO/ AD11	3	DB/ AI/ AO/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入，比较器 3 的负输入端 内部 DAC 电压无 Buffer 输出 ADC 通道 11 输入
P2.7/ AD4/ CMP3P/ AMP0O	4	DB/ AI/ AI/ AO	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出
P3.0/ AMP0M	5	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMP0P	6	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.2/ AD5/ VHALF	7	DB/ AI/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 1/2 VDD5 或 1/2 VREF 参考输出，外接 1uF 电容
P3.5/ VREF	8	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出，外接 1～4.7uF 电容
IOVCC	9	P	GPIO 电源输入，3～5.5V，并接 1～10uF 电容到地,IOVCC≤VDD5，仅 P0.x、P1.1、H_DU、H_DV、H_DW、L_DU、L_DV、L_DW 用 IOVCC 供电，其余 GPIO 仍用 VDD5 供电
P0.0/ SDA	10	DB/ DB	GPIO P0.0 I2C SDA，集电极开路输出
P0.1/ TIM4/ SCL	11	DB/ DB/ DB	GPIO P0.1 Timer4 捕获模式输入 I2C SCL 时钟，集电极开路输出
P0.4/ NSS	12	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ TXD/ MOSI	13	DB/ DO/ DB	GPIO P0.5 功能转移前 UART1 数据发送端 SPI_MOSI,主机模式输出或从机模式输入

引脚名称	FU6812 QFN32	IO 类型	功能描述
P0.6/ RXD/ SCLK	14	DB/ DI/ DB	GPIO P0.6 功能转移前 UART1 数据接收端 SPI 接口时钟 CLK
P0.7/ MISO/ CMPXO/ TIM2S	15	DB/ DB/ DO/ DB	GPIO P0.7 SPI_MISO, 主机模式输入或从机模式输出 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出
P1.1/ TIM3	16	DB/ DB	GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
L_DU	17	DO	U 相下桥 PWM 输出
L_DV	18	DO	V 相下桥 PWM 输出
L_DW	19	DO	W 相下桥 PWM 输出
H_DU	20	DO	U 相上桥 PWM 输出
H_DV	21	DO	V 相上桥 PWM 输出
H_DW	22	DO	W 相上桥 PWM 输出
VCC	23	P	电源输入，外接 10uF 或更大滤波电容。 1. 单电源高压模式： 外部电源从 VCC 输入 5～24V，VDD5 由内部 LDO 产生； 2. 单电源低压模式： 外部电源从 VDD5 输入 3～5.5V，同时将 VCC 与 VDD5 短接；
VSS	24	P	数字地
VDD5	25	P	中压电源输入或内部 5V LDO 输出电源，电源接法请参考 VCC 引脚描述，外接 1～4.7uF 电容. 中压电源输入或内部 5V LDO 输出电源，接 1～4.7uF 电容。VCC ＞5.5V 时，VDD5 输出 5V；VCC 为 3～5.5V 时，将 VCC 与 VDD5 短接一起。
RSTN/ FICEK	26	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	27	P	1.8V LDO 输出电源，外接 1～4.7uF 电容
P1.2/ FICED	28	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ CMP1PS	29	DB/ DO/ AI	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 比较器 1 第二模式正输入端
P1.4/ CMP0P/ AD10/ HALL0S	30	DB/ AI/ AI/ DI	GPIO P1.4,可配置外部中断 1 输入 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.5/ CMP0M	31	DB/ AI	GPIO P1.5,可配置外部中断 1 输入 BEMF0 负输入

引脚名称	FU6812 QFN32	IO 类型	功能描述
P1.6/ CMP1P/ AD9/ HALL1S	32	DB/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入 BEMF1 正输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入

注：

IO 类型说明：

DI = 数字输入，

DO = 数字输出，

DB = 数字双向，

AI = 模拟输入，

AO = 模拟输出，

P = 电源

临时版本

2.4 FU6812N2 封装-QFN32

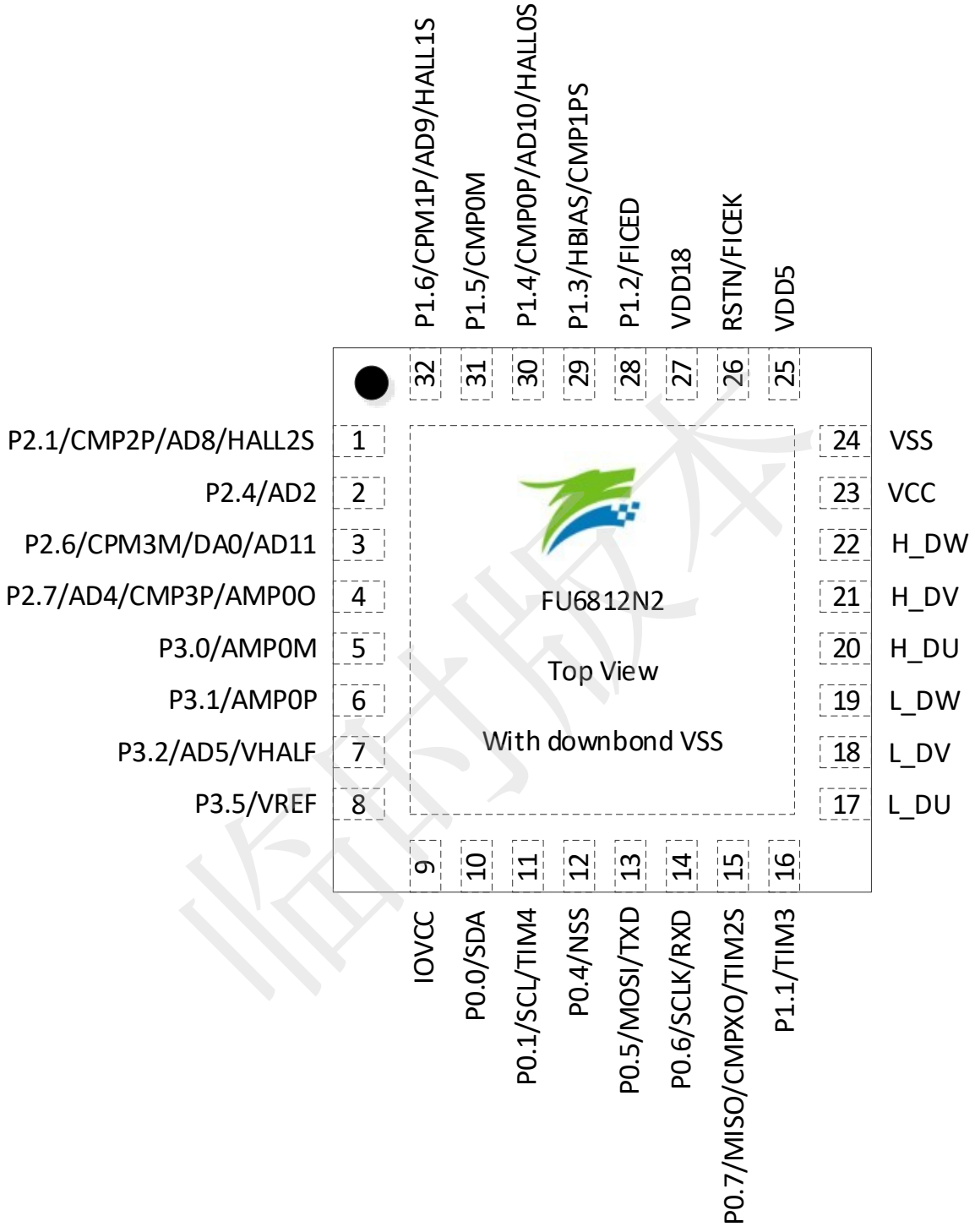


图 2-2 FU6812 封装-QFN32

临时版本

2.5 FU6861 QFN56 引脚列表

表 2-2 FU6861 QFN56 引脚列表

引脚名称	FU6861 QFN56	IO 类型	功能描述
VSU	1	P	6N Predriver U 相输入，用于 U 相上侧自举的地端参考
HU	2	DO	6N Predriver U 相上侧 PWM 输出
VBU	3	P	6N Predriver U 相上侧自举电源
VSV	4	P	6N Predriver V 相输入，用于 V 相上侧自举的地端参考
HV	5	DO	6N Predriver V 相上侧 PWM 输出
VBV	6	P	6N Predriver V 相上侧自举电源
VSW	7	P	6N Predriver W 相输入，用于 W 相上侧自举的地端参考
HW	8	DO	6N Predriver W 相上侧 PWM 输出
VBW	9	P	6N Predriver W 相上侧自举电源
VCC	10	P	电源输入，电压范围由电源模式由 VCC_MODE 决定，外接 10uF 或更大滤波电容。 1. 单电源高压模式： VCC_MODE=0，外部电源从 VCC 输入 5～24V，VDD5 由内部 LDO 产生； 2. 单电源低压模式： VCC_MODE=1（即与 VDD5 相连），外部电源从 VDD5 输入 3～5.5V，同时将 VCC 与 VDD5 短接； 3. 双电源模式： VCC_MODE=1（即与 VDD5 相连），外部电源 1 从 VCC 输入 5～36V，外部电源 2 从 VDD5 输入 5V
VSS	11	P	数字地
VDD5	12	P	中压电源输入或内部 5V LDO 输出电源，由 VCC_MODE 决定，电源接法请参考 VCC 引脚描述，外接 1～4.7uF 电容. VCC_MODE=0 时，内部 LDO 输出 5V 电源； VCC_MODE=1 时，从外部灌入 3～5.5V 电源
VCC_MODE	13	DI	输入电源模式控制，控制模式参考 VCC 引脚功能描述
RSTN/ FICEK	14	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	15	P	1.8V LDO 输出电源，外接 1～4.7uF 电容
AVSS	16	P	模拟地
P1.2/ FICED	17	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ CMP1PS	18	DB/ DO/ AI	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 比较器 1 第二模式正输入端

引脚名称	FU6861 QFN56	IO 类型	功能描述
P1.4/ CMP0P/ AD10/ HALL0S	19	DB/ AI/ AI/ DI	GPIO P1.4,可配置外部中断 1 输入 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.5/ CMP0M	20	DB/ AI	GPIO P1.5,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF0 负输入
P1.6/ CMP1P/ AMP1P/ AD9/ HALL1S	21	DB/ AI/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入
P1.7/ CMP1M/ AMP1M	22	DB/ AI/ AI	GPIO P1.7，可配置 5K 上拉电阻 BEMF1 负输入 运放 1 负输入端
P2.0/ AD0/ AMP1O	23	DB/ AI/ AO	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号 运放 1 输出端
P2.1/ CMP2P/ AMP2P/ AD8/ HALL2S	24	DB/ AI/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.2/ CMP2M/ AMP2M	25	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF2 负输入 运放 2 负输入端
P2.3/ AD1/ AMP2O/ CMP4P	26	DB/ AI/ AO/ AI	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 运放 2 输出端 比较器 4 正输入
P2.4/ AD2	27	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.5/ AD3	28	DB/ AI	GPIO P2.5,可配置外部中断 1 输入 ADC 通道 3 输入
P2.6/ CMP3M/ DA0/ AD11	29	DB/ AI/ AO/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入，比较器 3 的负输入端 内部 DAC 电压无 Buffer 输出 ADC 通道 11 输入
P2.7/ AD4/ CMP3P/ AMP0O/ CMP4M	30	DB/ AI/ AI/ AO/ AI	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出 比较器 4 负输入

引脚名称	FU6861 QFN56	IO 类型	功能描述
P3.0/ AMPOM	31	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMPOP	32	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.2/ AD5/ VHALF	33	DB/ AI/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 1/2 VDD5 或 1/2 VREF 参考输出，外接 1uF 电容
P3.3/ AD6/ RXD2	34	DB/ AI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART2 数据接收端
P3.4/ AD7/ TXD2	35	DB AI/ DO	GPIO P3.4 模拟速度控制输入，AD 通道 7 输入 功能转移后 UART2 数据发送端
P3.5/ VREF	36	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出，外接 1～4.7uF 电容
VSS	37	P	地
IOVCC	38	P	GPIO 电源输入，3～5.5V，并接 1～10uF 电容到地,IOVCC≤VDD5，仅 P3.7～6、P0.x、P1.1～0 用 IOVCC 供电，其余 GPIO 仍用 VDD5 供电
P3.6/ HALL2	39	DB/ DI	GPIO P3.6 HALL2 逻辑电平输入
P3.7/ HALL1	40	DB/ DI	GPIO P3.7 HALL1 逻辑电平输入
P0.0/ SDA	41	DB/ DB	GPIO P0.0,可配置外部中断 0 输入 I2C SDA，集电极开路输出
P0.1/ TIM4/ SCL	42	DB/ DB/ DB	GPIO P0.1 Timer4 捕获模式输入 I2C SCL 时钟，集电极开路输出
P0.2/ HALL0	43	DB/ DI	GPIO P0.2 HALL0 逻辑电平输入
P0.3	44	DB	GPIO P0.3
P0.4/ NSS	45	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ TXD/ MOSI	46	DB/ DO/ DB	GPIO P0.5 功能转移前 UART1 数据发送端 SPI_MOSI,主机模式输出或从机模式输入
P0.6/ RXD/ SCLK	47	DB/ DI/ DB	GPIO P0.6 功能转移前 UART1 数据接收端 SPI 接口时钟 CLK

修订版本

引脚名称	FU6861 QFN56	IO 类型	功能描述
P0.7/ MISO/ CMPXO/ TIM2S	48	DB/ DB/ DO/ DB	GPIO P0.7 SPI_MISO, 主机模式输入或从机模式输出 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出
P1.0/ TIM2	49	DB/ DB	GPIO P1.0,可配置外部中断 1 输入 Timer2 功能转移前捕获模式输入或 PWM 模式输出
P1.1/ TIM3	50	DB/ DB	GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
VDRV	51	P	6N Predriver 电源，7～18V,外接 1～10uF 电容
VSS	52	P	数字地
NC	53		NC Pin, 悬空
LU	54	DO	6N Predriver U 相下侧 PWM 输出
LV	55	DO	6N Predriver V 相下侧 PWM 输出
LW	56	DO	6N Predriver W 相下侧 PWM 输出

注：

IO 类型说明：

DI = 数字输入，

DO = 数字输出，

DB = 数字双向，

AI = 模拟输入，

AO = 模拟输出，

P = 电源

临时版本

2.6 FU6861Q2 封装-QFN56

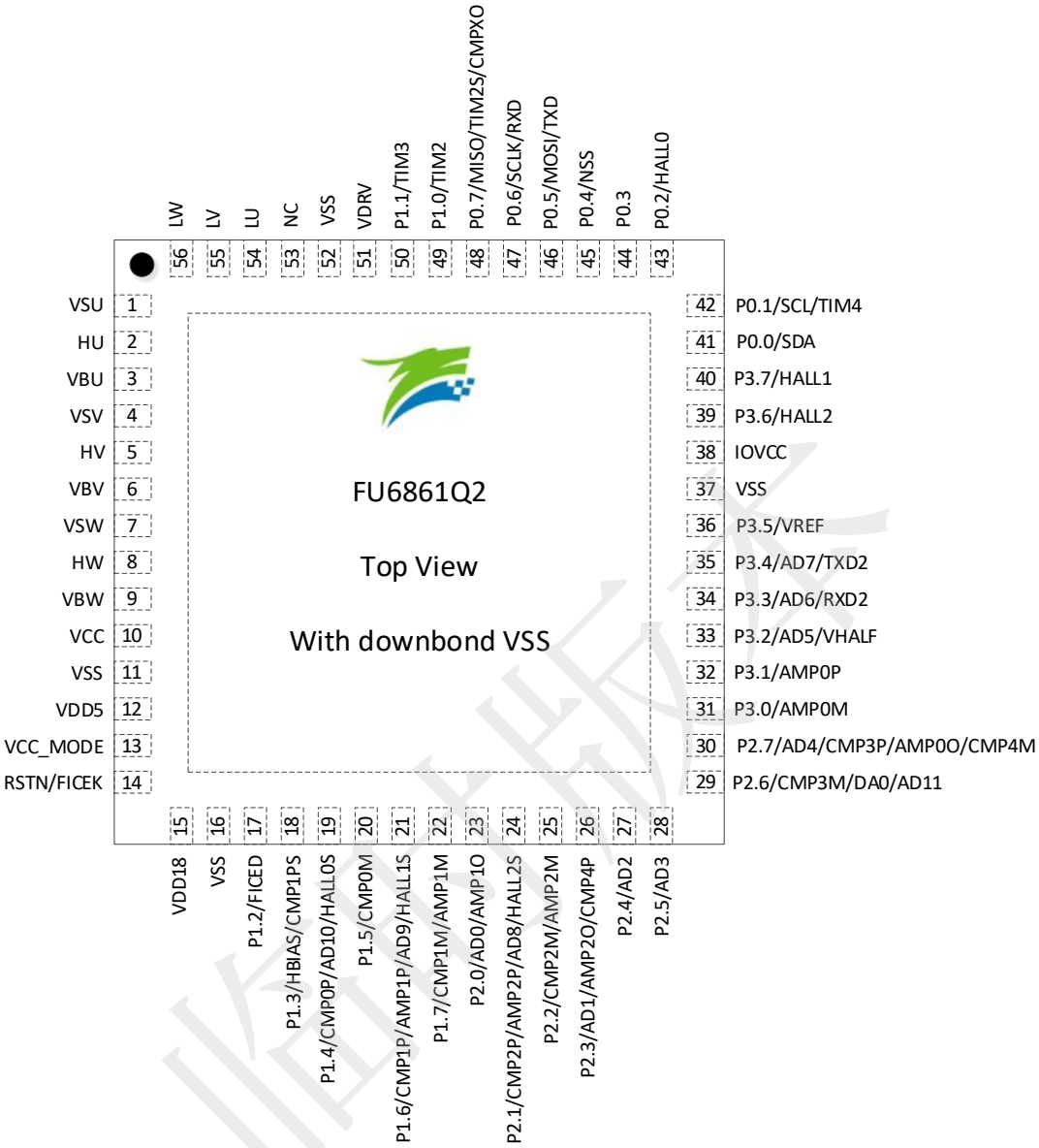


图 2-3 FU6861 封装-QFN56

2.7 FU6812 SSOP24 引脚列表

引脚名称	FU6812 SSOP24	IO 类型	功能描述
P0.6/ RXD	1	DB/ DI	GPIO P0.6 功能转移前 UART1 数据接收端
P0.7/ CMPXO/ TIM2S/ P1.1/ TIM3	2	DB/ DO/ DB/ DB/ DB	GPIO P0.7 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出 GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
L_DU	3	DO	U 相下侧 PWM 输出
L_DV	4	DO	V 相下侧 PWM 输出
L_DW	5	DO	W 相下侧 PWM 输出
H_DU	6	DO	U 相上侧 PWM 输出
H_DV	7	DO	V 相上侧 PWM 输出
H_DW	8	DO	W 相上侧 PWM 输出
VCC	9	P	电源输入，外接 10uF 或更大滤波电容。 1. 单电源高压模式： 外部电源从 VCC 输入 5～24V，VDD5 由内部 LDO 产生；
VSS	10	P	数字地
VDD5	11	P	中压电源输入或内部 5V LDO 输出电源，电源接法请参考 VCC 引脚描述，外接 1～4.7uF 电容.
RSTN/ FICEK	12	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	13	P	1.8V LDO 输出电源，外接 1～4.7uF 电容
P1.2/ FICED	14	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ P1.4/ CMPOP/ AD10/ HALL0S	15	DB/ DO/ DB/ AI/ AI/ DI	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 GPIO P1.4,可配置外部中断 1 输入 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.6/ CMP1P/ AD9/ HALL1S	16	DB/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入 BEMF1 正输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入

修订版本

引脚名称	FU6812 SSOP24	IO 类型	功能描述
P2.1/ CMP2P/ AD8/ HALL2S	17	DB/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入 BEMF2 正输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.4/ AD2	18	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.7/ AD4/ CMP3P/ AMPOO	19	DB/ AI/ AI/ AO	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出
P3.0/ AMPOM	20	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMPOP	21	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.2/ AD5/ VHALF	22	DB/ AI/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 1/2 VDD5 或 1/2 VREF 参考输出，外接 1uF 电容
IOVCC	23	P	IO 电源输入，3～5.5V，并接 1～10uF 电容到地,IOVCC≤VDD5
P0.5/ TXD	24	DB/ DO	GPIO P0.5 功能转移前 UART1 数据发送端

注：

IO 类型说明：

DI = 数字输入，

DO = 数字输出，

DB = 数字双向，

AI = 模拟输入，

AO = 模拟输出，

P = 电源

临时版本

2.8 FU6812S2 封装-SSOP24

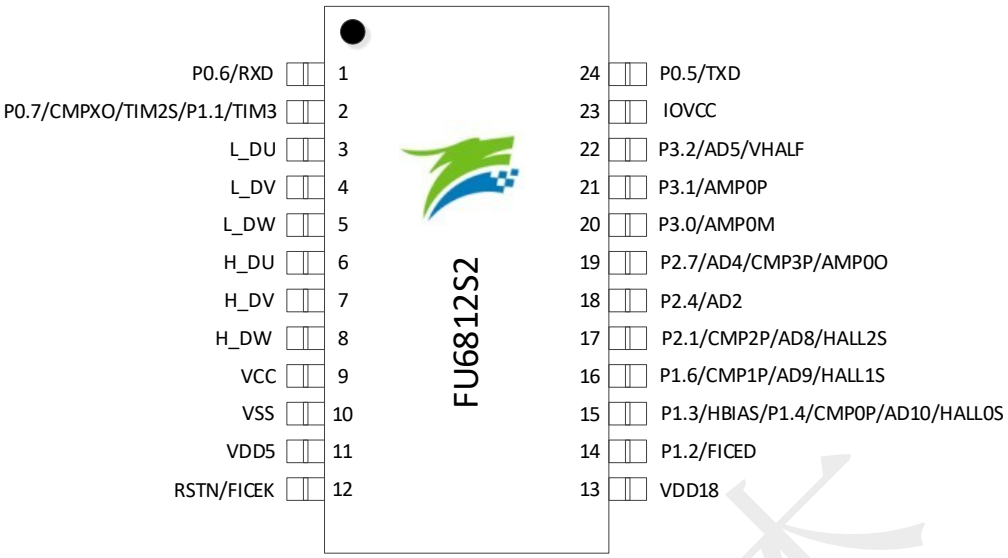


图 2-4 FU6812 SSOP24 封装

临时版本

2.9 FU6861 QFN40 引脚列表

PAD 名称	FU6861N2/ FU6861NF2 QFN40	IO 类型	功能描述
VSU	1	P	6N Predriver U 相输入，用于 U 相上侧自举的地端参考
HU	2	DO	6N Predriver U 相上侧 PWM 输出
VBU	3	P	6N Predriver U 相上侧自举电源
VSV	4	P	6N Predriver V 相输入，用于 V 相上侧自举的地端参考
HV	5	DO	6N Predriver V 相上侧 PWM 输出
VBV	6	P	6N Predriver V 相上侧自举电源
VSW	7	P	6N Predriver W 相输入，用于 W 相上侧自举的地端参考
HW	8	DO	6N Predriver W 相上侧 PWM 输出
VBW	9	P	6N Predriver W 相上侧自举电源
VCC	10	P	电源输入，电压范围由电源模式由 VCC_MODE 决定，外接 10uF 或更大滤波电容。
VSS	11	P	数字地
VDD5	12	P	中压电源输入或内部 5V LDO 输出电源，由 VCC_MODE 决定，电源接法请参考 VCC 引脚描述，外接 1～4.7uF 电容.
RSTN/ FICEK	13	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	14	P	1.8V LDO 输出电源，外接 1～4.7uF 电容
P1.2/ FICED	15	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ P1.4/ CMP0P/ AD10/ HALL0S	16	DB/ DO/ DB/ AI/ AI/ DI	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 GPIO P1.4,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.6/ CMP1P/ AD9/ HALL1S	17	DB/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF1 正输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入
P2.0/ AD0	18	DB/ AI	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号
P2.1/ CMP2P/ AD8/ HALL2S	19	DB/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF2 正输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.3/ AD1/ CMP4P	20	DB/ AI/ AI	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 比较器 4 正输入

P2.4/ AD2	21	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.6/ CMP3M/ DAO/ AD11	22	DB/ AI/ AO/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入，比较器 3 的负输入端 内部 DAC 电压无 Buffer 输出 ADC 通道 11 输入
P2.7/ AD4/ CMP3P/ AMP0O/ CMP4M	23	DB/ AI/ AI/ AO/ AI	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出 比较器 4 负输入
P3.0/ AMP0M	24	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMP0P	25	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.2/ AD5/ VHALF	26	DB/ AI/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 1/2 VDD5 或 1/2 VREF 参考输出，外接 1uF 电容
P3.5/ VREF	27	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出，外接 1～4.7uF 电容
VSS	28	P	地
IOVCC	29	P	IO 电源输入，3～5.5V，并接 1～10uF 电容到地,IOVCC≤VDD5
P0.0/ SDA	30	DB/ DB	GPIO P0.0,可配置外部中断 0 输入 I2C SDA，集电极开路输出，可配置 5K 上拉电阻
P0.1/ TIM4/ SCL	31	DB/ DB/ DB	GPIO P0.1 Timer4 捕获模式输入或 PWM 模式输出 I2C SCL 时钟，集电极开路输出，可配置 5K 上拉电阻
P0.4/ NSS	32	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ TXD/ MOSI	33	DB/ DO/ DB	GPIO P0.5 功能转移前 UART1 数据发送端 SPI_MOSI,主机模式输出或从机模式输入
P0.6/ RXD/ SCLK	34	DB/ DI/ DB	GPIO P0.6 功能转移前 UART1 数据接收端 SPI 接口时钟 CLK
P0.7/ MISO/ CMPXO/ TIM2S/ P1.1/ TIM3	35	DB/ DB/ DO/ DB/ DB/ DB	GPIO P0.7 SPI_MISO, 主机模式输入或从机模式输出 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出 GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
VDRV	36	P	6N Predriver 电源，7～18V,外接 1～10uF 电容
VSS	37	P	数字地

LU	38	DO	6N Predriver U 相下侧 PWM 输出
LV	39	DO	6N Predriver V 相下侧 PWM 输出
LW	40	DO	6N Predriver W 相下侧 PWM 输出

注：

IO 类型说明：

DI = 数字输入，

DO = 数字输出，

DB = 数字双向，

AI = 模拟输入，

AO = 模拟输出，

P = 电源

临时版本

2.10 FU6861N2/FU6861NF2 封装-QFN40

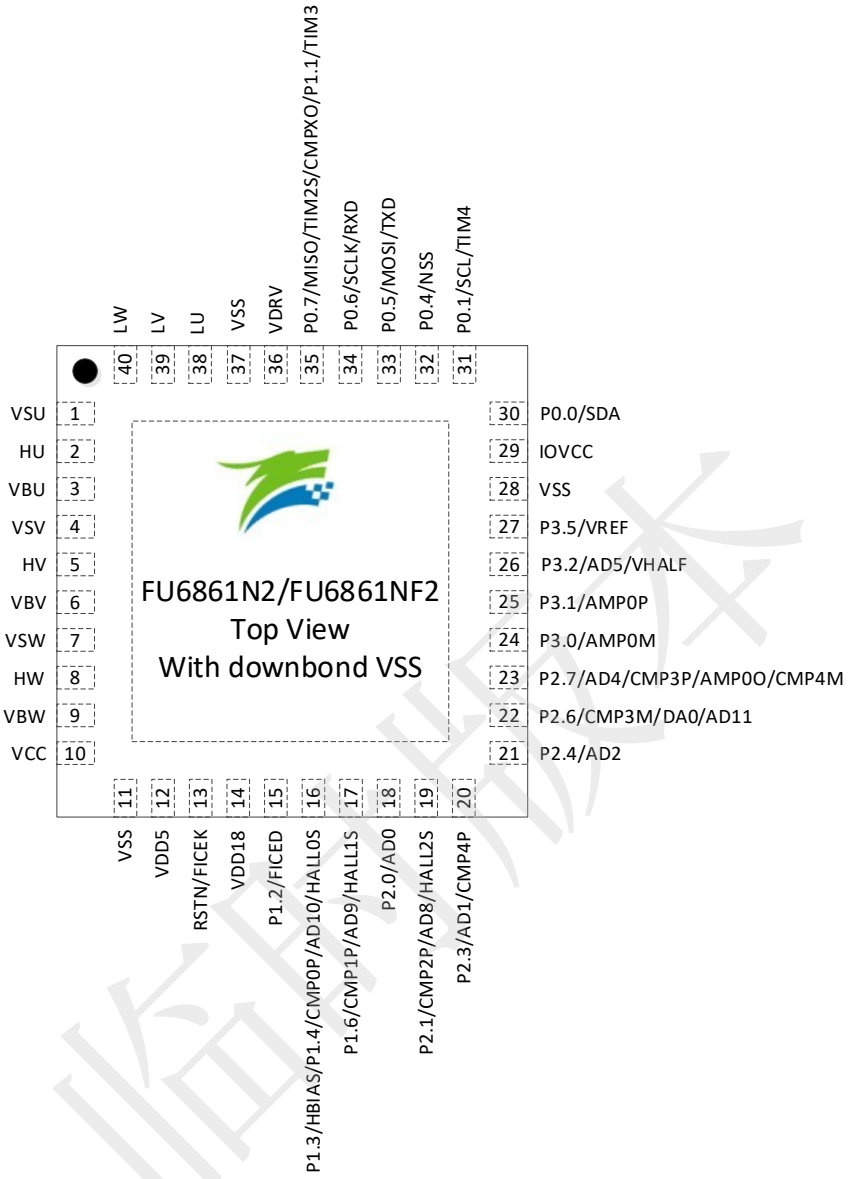


图 2-5 FU6861N2/FU6861NF2 QFN40 封装

2.11 FU6861 LQFP48 引脚列表

PAD 名称	FU6861 LQFP48	IO 类型	功能描述
P2.3/ AD1/ AMP2O/ CMP4P	1	DB/ AI/ AO/ AI	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 运放 2 输出端 比较器 4 正输入
P2.4/ AD2	2	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.6/ CMP3M/ DAO/ AD11	3	DB/ AI/ AO/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入，比较器 3 的负输入端 内部 DAC 电压无 Buffer 输出 ADC 通道 11 输入
P2.7/ AD4/ CMP3P/ AMPOO/ CMP4M	4	DB/ AI/ AI/ AO/ AI	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出 比较器负输入
P3.0/ AMPOM	5	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMPOP	6	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.2/ AD5/ VHALF	7	DB/ AI/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 1/2 VDD5 或 1/2 VREF 参考输出，外接 1uF 电容
P3.3/ AD6/ RXD2	8	DB/ AI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART 数据接收端
P3.4/ AD7/ TXD2	9	DB AI/ DO	GPIO P3.4 模拟速度控制输入，AD 通道 7 输入 功能转移后 UART 数据发送端
P3.5/ VREF	10	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出，外接 1~4.7uF 电容
IOVCC	11	P	IO 电源输入，3~5.5V，并接 1~10uF 电容到地,IOVCC≤VDD5
P0.0/ SDA	12	DB/ DB	GPIO P0.0,可配置外部中断 0 输入 I2C SDA，集电极开路输出，可配置 5K 上拉电阻
P0.1/ TIM4/ SCL	13	DB/ DB/ DB	GPIO P0.1 Timer4 捕获模式输入 I2C SCL 时钟，集电极开路输出，可配置 5K 上拉电阻

P0.4/ NSS	14	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ TXD/ MOSI	15	DB/ DO/ DB	GPIO P0.5 功能转移前 UART1 数据发送端 SPI_MOSI,主机模式输出或从机模式输入
P0.6/ RXD/ SCLK	16	DB/ DI/ DB	GPIO P0.6 功能转移前 UART1 数据接收端 SPI 接口时钟 CLK
P0.7/ MISO/ CMPXO/ TIM2S	17	DB/ DB/ DO/ DB	GPIO P0.7 SPI_MISO, 主机模式输入或从机模式输出 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出
P1.0/ TIM2	18	DB/ DB	GPIO P1.0,可配置外部中断 1 输入 Timer2 功能转移前捕获模式输入或 PWM 模式输出
P1.1/ TIM3	19	DB/ DB	GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
VDRV	20	P	6N Predriver 电源，7~18V,外接 1~10uF 电容
VSS	21	P	数字地
LU	22	DO	6N Predriver U 相下侧 PWM 输出
LV	23	DO	6N Predriver V 相下侧 PWM 输出
LW	24	DO	6N Predriver W 相下侧 PWM 输出
VSU	25	P	6N Predriver U 相输入，用于 U 相上侧自举的地端参考
HU	26	DO	6N Predriver U 相上侧 PWM 输出
VBU	27	P	6N Predriver U 相上侧自举电源
VSV	28	P	6N Predriver V 相输入，用于 V 相上侧自举的地端参考
HV	29	DO	6N Predriver V 相上侧 PWM 输出
VBV	30	P	6N Predriver V 相上侧自举电源
VSW	31	P	6N Predriver W 相输入，用于 W 相上侧自举的地端参考
HW	32	DO	6N Predriver W 相上侧 PWM 输出
VBW	33	P	6N Predriver W 相上侧自举电源
NC	34		NC Pin, 悬空
VCC	35	P	电源输入，电压范围由电源模式由 VCC_MODE 决定，外接 10uF 或更大滤波电容。
VSS	36	P	数字地
VDD5	37	P	中压电源输入或内部 5V LDO 输出电源，由 VCC_MODE 决定，电源接法请参考 VCC 引脚描述，外接 1~4.7uF 电容.
RSTN/ FICEK	38	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	39	P	1.8V LDO 输出电源，外接 1~4.7uF 电容
P1.2/ FICED	40	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/	41	DB/ DO/	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5

CMP1PS		AI	比较器 1 第二模式正输入端
P1.4/ CMP0P/ AD10/ HALL0S	42	DB/ AI/ AI/ DI	GPIO P1.4,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.5/ CMP0M	43	DB/ AI	GPIO P1.5,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF0 负输入
P1.6/ CMP1P/ AMP1P/ AD9/ HALL1S	44	DB/ AI/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入
P1.7/ CMP1M/ AMP1M	45	DB/ AI/ AI	GPIO P1.7，可配置 5K 上拉电阻 BEMF1 负输入 运放 1 负输入端
P2.0/ AD0/ AMP1O	46	DB/ AI/ AO	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号 运放 1 输出端
P2.1/ CMP2P/ AMP2P/ AD8/ HALL2S	47	DB/ AI/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.2/ CMP2M/ AMP2M	48	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF2 负输入 运放 2 负输入端

临时版本

2.12 FU6861L2 封装-LQFP48

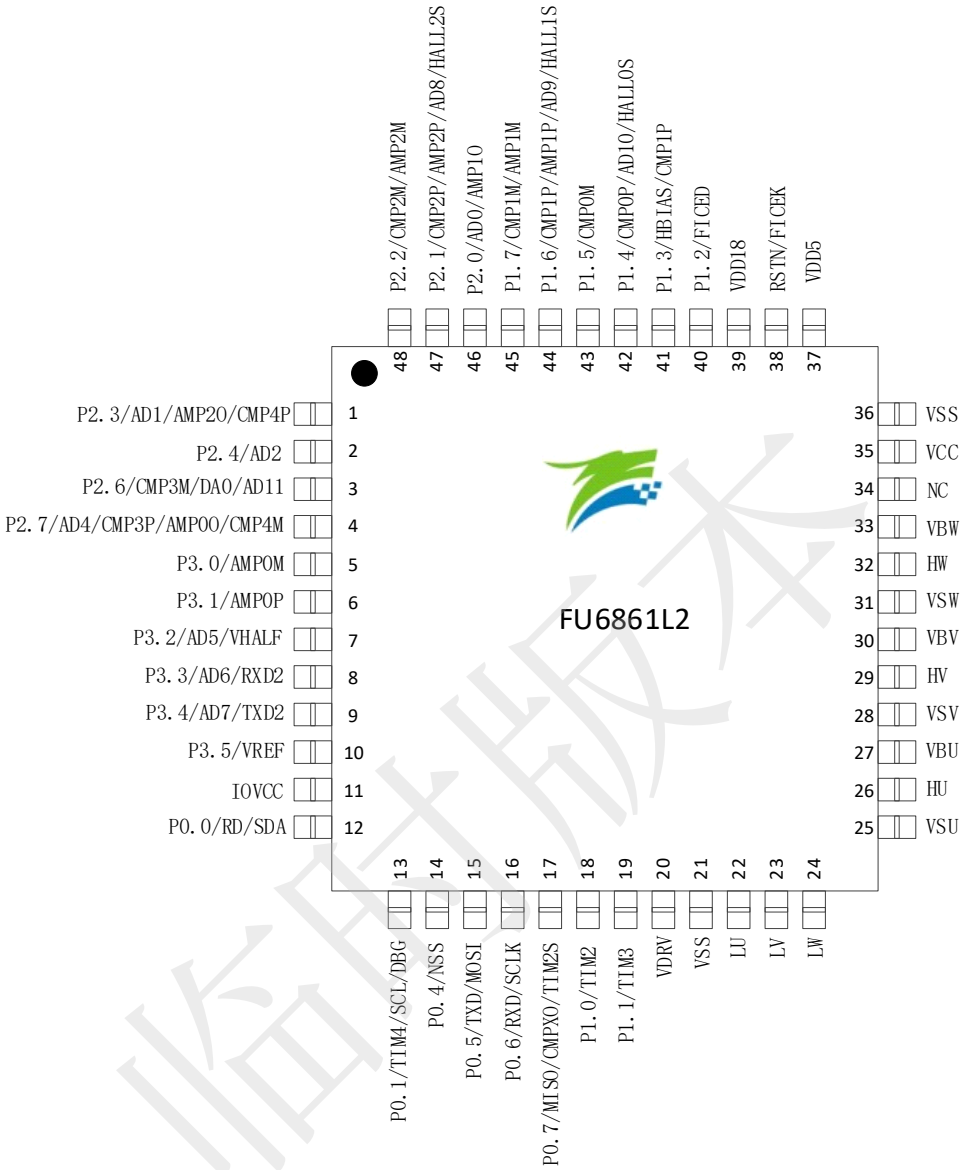


图 2-6 FU6861L LQFP48 封装

临时版本

2.13 FU6812 LQFP32 引脚列表

PAD 名称	FU6812 LQFP32	IO 类型	功能描述
P2.1/ CMP2P/ AMP2P/ AD8/ HALL2S	1	DB/ AI/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.2/ CMP2M/ AMP2M	2	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF2 负输入 运放 2 负输入端
P2.3/ AD1/ AMP2O/ CMP4P	3	DB/ AI/ AO/ AI	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 运放 2 输出端 比较器 4 正输入
P2.4/ AD2	4	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.7/ AD4/ CMP3P/ AMP0O/ CMP4M	5	DB/ AI/ AI/ AO/ AI	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出 比较器 4 负输入
P3.0/ AMP0M	6	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMP0P	7	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.2/ AD5/ VHALF	8	DB/ AI/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 1/2 VDD5 或 1/2 VREF 参考输出，外接 1uF 电容
P3.4/ AD7/ TXD2	9	DB AI/ DO	GPIO P3.4 模拟速度控制输入，AD 通道 7 输入 功能转移后 UART 数据发送端
IOVCC	10	P	IO 电源输入，3~5.5V，并接 1~10uF 电容到地,IOVCC≤VDD5
P0.1/ TIM4/ SCL	11	DB/ DB/ DB	GPIO P0.1 Timer4 捕获模式输入 I2C SCL 时钟，集电极开路输出，可配置 5K 上拉电阻
P0.5/ TXD/ MOSI	12	DB/ DO/ DB	GPIO P0.5 功能转移前 UART1 数据发送端 SPI_MOSI,主机模式输出或从机模式输入
P0.6/ RXD/ SCLK	13	DB/ DI/ DB	GPIO P0.6 功能转移前 UART1 数据接收端 SPI 接口时钟 CLK

临时版本

P0.7/ MISO/ CMPXO/ TIM2S/ P1.1/ TIM3	14	DB/ DB/ DO/ DB/ DB/ DB	GPIO P0.7 SPI_MISO, 主机模式输入或从机模式输出 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出 GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
L_DU	15	DO	PWM U 相下侧 PWM 输出
L_DV	16	DO	PWM V 相下侧 PWM 输出
L_DW	17	DO	PWM W 相下侧 PWM 输出
H_DU	18	DO	PWM U 相上侧 PWM 输出
H_DV	19	DO	PWM V 相上侧 PWM 输出
H_DW	20	DO	PWM W 相上侧 PWM 输出
VCC	21	P	电源输入，电压范围由电源模式由 VCC_MODE 决定，外接 10uF 或更大滤波电容。
VSS	22	P	数字地
VDD5	23	P	中压电源输入或内部 5V LDO 输出电源，由 VCC_MODE 决定，电源接法请参考 VCC 引脚描述，外接 1~4.7uF 电容.
RSTN/ FICEK	24	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	25	P	1.8V LDO 输出电源，外接 1~4.7uF 电容
P1.2/ FICED	26	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ CMP1PS	27	DB/ DO/ AI	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 比较器 1 第二模式正输入端
P1.4/ CMP0P/ AD10/ HALL0S	28	DB/ AI/ AI/ DI	GPIO P1.4,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.5/ CMP0M	29	DB/ AI	GPIO P1.5,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF0 负输入
P1.6/ CMP1P/ AMP1P/ AD9/ HALL1S	30	DB/ AI/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入，可配置 5K 上拉电阻 BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入
P1.7/ CMP1M/ AMP1M	31	DB/ AI/ AI	GPIO P1.7，可配置 5K 上拉电阻 BEMF1 负输入 运放 1 负输入端
P2.0/ AD0/ AMP1O	32	DB/ AI/ AO	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号 运放 1 输出端

2.14 FU6812P2 封装-LQFP32

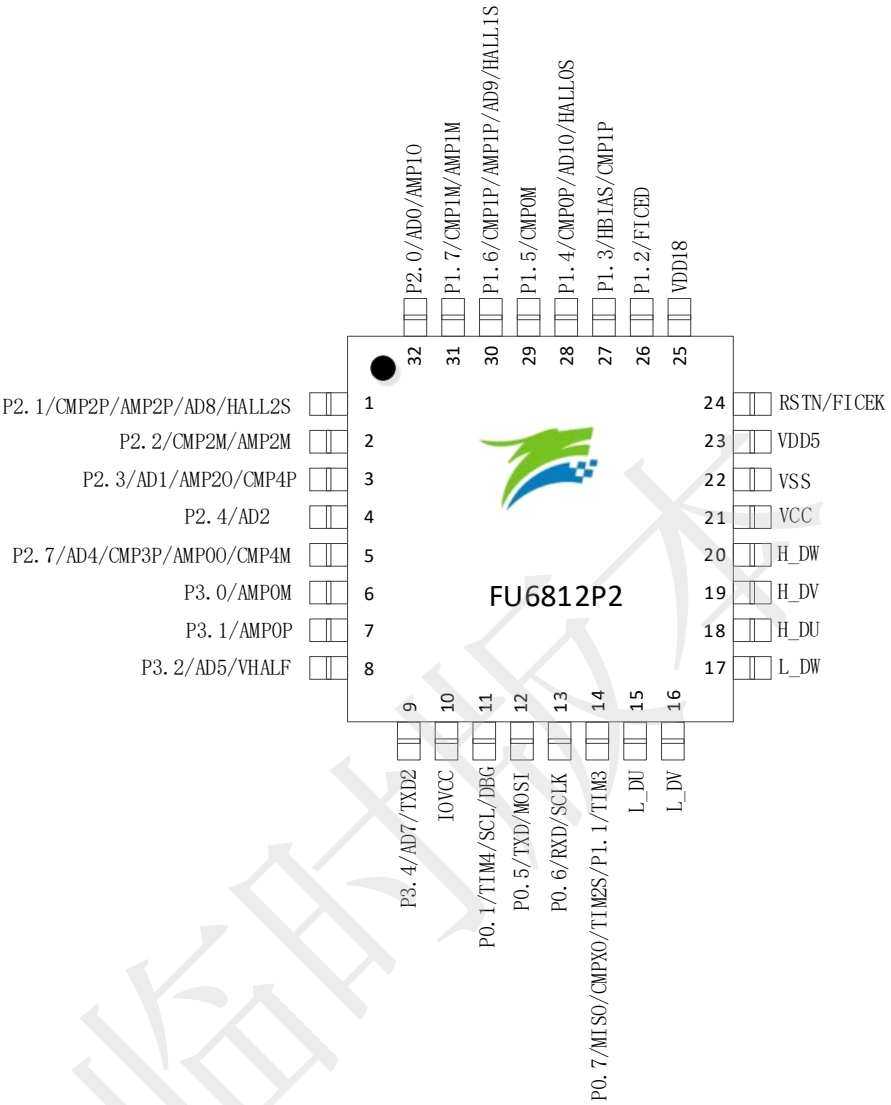


图 2-7 FU6812P LQFP32 封装

2.15 FU6812V SSOP24 引脚列表

PAD 名称	FU6812V SSOP24	IO 类型	功能描述
P0.6/ RXD	1	DB/ DI	GPIO P0.6 UART1 数据接收端
P1.1/ TIM3	2	DB/ DB	GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入
L_DU	3	DO	PWM U 相下侧 PWM 输出
L_DV	4	DO	PWM V 相下侧 PWM 输出
L_DW	5	DO	PWM W 相下侧 PWM 输出
H_DU	6	DO	PWM U 相上侧 PWM 输出
H_DV	7	DO	PWM V 相上侧 PWM 输出
H_DW	8	DO	PWM W 相上侧 PWM 输出
VCC	9	P	电源输入，外接 4.7uF 或更大滤波电容。 1. 单电源高压模式： 外部电源从 VCC 输入 5～24V，VDD5 由内部 LDO 产生； 2. 单电源低压模式： 外部电源从 VDD5 输入 3～5.5V，同时将 VCC 与 VDD5 短接；
VSS	10	P	数字地
VDD5	11	P	中压电源输入或内部 5V LDO 输出电源,电源接法请参考 VCC 引脚描述，外接 1~4.7uF 电容.
RSTN/ FICEK	12	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	13	P	1.8V LDO 输出电源，外接 1~4.7uF 电容
P1.2/ FICED	14	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.4/ CMP0P/ AD10/ HALL0S	15	DB/ AI/ AI/ DI	GPIO P1.4,可配置外部中断 1 输入，可配置 4.7K 上拉电阻 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.6/ CMP1P/ AMP1P/ AD9/ HALL1S	16	DB/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入，可配置 4.7K 上拉电阻 BEMF1 正输入 运放 1 正输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入
P2.1/ CMP2P/ AMP2P/ AD8/ HALL2S	17	DB/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入，可配置 4.7K 上拉电阻 BEMF2 正输入 运放 2 正输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.4/ AD2	18	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入

P2.5/ AD3	19	DB/ AI	GPIO P2.5,可配置外部中断 1 输入 ADC 通道 3 输入
P2.6/ CMP3M/ DA0/ AD11	20	DB/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入，比较器 3 的负输入端 内部 DAC 电压无 Buffer 输出 ADC 通道 11 输入
P3.0/ AMP0M	21	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMP0P	22	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.4/ AD7/ /TXD2 CMP3PS/ CMP4MS	23	DB AI/ AI/	GPIO P3.4 模拟速度控制输入，AD 通道 7 输入 功能转移后 UART2 数据发送端 比较器 CMP3 功能转移后正输入端 比较器 CMP4 功能转移后负输入端
P0.5/ TXD	24	DB/ DO	GPIO P0.5 UART1 数据发送端

2.16 FU6812V 封装-SSOP24

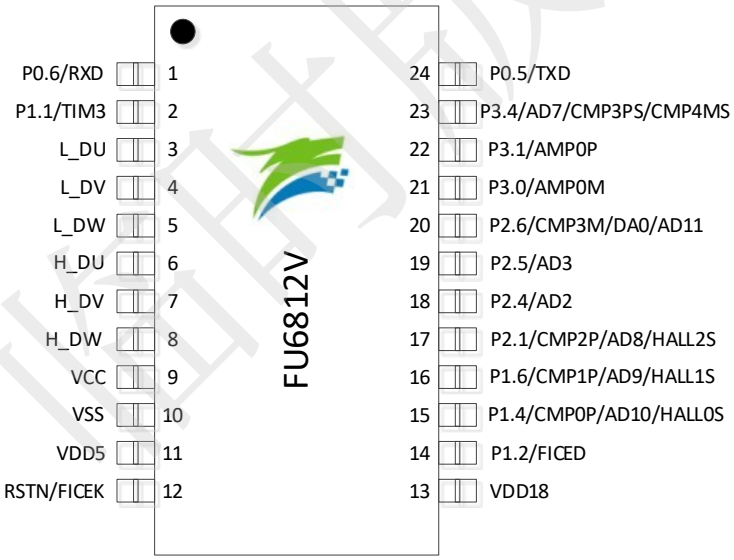


图 2-8 FU6812 SSOP24 封装

2.17 FU6862L LQFP48/FU6862Q QFN48 引脚列表

表 2-3 FU6862L LQFP48/ FU6862Q QFN48 引脚列表

引脚名称	FU6862L LQFP48/ FU6862Q QFN48	IO 类型	功能描述
P2.1/ CMP2P/ AMP2P/ AD8/ HALL2S	1	DB/ AI/ AI/ AI/ DI	GPIO P2.1,可配置外部中断 1 输入 BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入 ADC 通道 8 输入 功能转移后 HALL2 逻辑电平输入
P2.2/ CMP2M/ AMP2M	2	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入 BEMF2 负输入 运放 2 负输入端
P2.4/ AD2	3	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入，母线电压信号输入
P2.6/ CMP3M/ DAO/ AD11	4	DB/ AI/ AO/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入，比较器 3 的负输入端 内部 DAC 电压无 Buffer 输出 ADC 通道 11 输入
P2.7/ AD4/ CMP3P/ AMP0O/ CMP4M	5	DB/ AI/ AI/ AO/ AI	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入，用于采集放大后的母线电流信号 比较器 3 的正输入端，接母线电流采样信号，用于检测过流 运放 0 输出端，将母线电流放大后的电压输出 比较器 4 负输入
P3.0/ AMP0M	6	DB/ AI	GPIO P3.0 运放 0 负输入，用于放大母线电流信号
P3.1/ AMP0P	7	DB/ AI	GPIO P3.1 运放 0 正输入，用于放大母线电流信号
P3.3/ AD6/ RXD2	8	DB/ AI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART2 数据接收端
P3.4/ AD7/ TXD2	9	DB AI/ DO	GPIO P3.4 模拟速度控制输入，AD 通道 7 输入 功能转移后 UART2 数据发送端
P3.5/ VREF	10	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出，外接 1～4.7uF 电容
P0.1/ TIM4	11	DB/ DB	GPIO P0.1 Timer4 捕获模式输入

引脚名称	FU6862L LQFP48/ FU6862Q	IO 类型	功能描述
P0.5/ TXD/ MOSI	12	DB/ DO/ DB	GPIO P0.5 功能转移前 UART1 数据发送端 SPI_MOSI,主机模式输出或从机模式输入
P0.6/ RXD/ SCLK	13	DB/ DI/ DB	GPIO P0.6 功能转移前 UART1 数据接收端 SPI 接口时钟 CLK
P0.7/ MISO/ CMPXO/ TIM2S	14	DB/ DB/ DO/ DB	GPIO P0.7 SPI_MISO, 主机模式输入或从机模式输出 比较器输出测试引脚 Timer2 功能转移后捕获模式输入或 PWM 模式输出
VSS	15	P	地
LW	16	DO	6N Predriver W 相下侧 PWM 输出
LV	17	DO	6N Predriver V 相下侧 PWM 输出
LU	18	DO	6N Predriver U 相下侧 PWM 输出
NC	19	-	NC
NC	20	-	NC
VBU	21	P	6N Predriver U 相上侧自举电源
HU	22	DO	6N Predriver U 相上侧 PWM 输出
VSU	23	P	6N Predriver U 相输入，用于 U 相上侧自举的地端参考
NC	24	-	NC
NC	25	-	NC
NC	26	-	NC
VSV	27	P	6N Predriver V 相输入，用于 V 相上侧自举的地端参考
HV	28	DO	6N Predriver V 相上侧 PWM 输出
VBV	29	P	6N Predriver V 相上侧自举电源
NC	30	DO	PWM V 相下侧 PWM 输出
NC	31	DO	PWM W 相下侧 PWM 输出
NC	32	DO	PWM U 相上侧 PWM 输出
VSW	33	P	6N Predriver W 相输入，用于 W 相上侧自举的地端参考
HW	34	DO	6N Predriver W 相上侧 PWM 输出
VBW	35	P	6N Predriver W 相上侧自举电源
NC	36	-	NC
NC	37	-	NC
VCC	38	P	电源输入，外接 10uF 或更大滤波电容。 单电源高压模式： 外部电源从 VCC 输入 12～20V，VDD5 由内部 LDO 产生；
VSS	39	P	地
VDD5	40	P	中压电源输入或内部 5V LDO 输出电源，接 1～4.7uF 电容。VCC ＞5.5V 时，VDD5 输出 5V；VCC 为 3～5.5V 时，将 VCC 与 VDD5 短接一起。

引脚名称	FU6862L LQFP48/ FU6862Q	IO 类型	功能描述
RSTN/ FICEK	41	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	42	P	1.8V LDO 输出电源，外接 1～4.7uF 电容
P1.2/ FICED	43	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ CMP1PS	44	DB/ DO/ AI	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 比较器 1 第二模式正输入端
P1.4/ CMP0P/ AD10/ HALL0S	45	DB/ AI/ AI/ DI	GPIO P1.4,可配置外部中断 1 输入 BEMF0 正输入 ADC 通道 10 输入 功能转移后 HALL0 逻辑电平输入
P1.5/ CMP0M	46	DB/ AI	GPIO P1.5,可配置外部中断 1 输入 BEMF0 负输入
P1.6/ CMP1P/ AMP1P/ AD9/ HALL1S	47	DB/ AI/ AI/ AI/ DI	GPIO P1.6,可配置外部中断 1 输入 BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入 ADC 通道 9 输入 功能转移后 HALL1 逻辑电平输入
P1.7/ CMP1M/ AMP1M	48	DB/ AI/ AI	GPIO P1.7 BEMF1 负输入 运放 1 负输入端

注：

IO 类型说明：

DI = 数字输入，

DO = 数字输出，

DB = 数字双向，

AI = 模拟输入，

AO = 模拟输出，

P = 电源

临时版本

2.18 FU6862L 封装-LQFP48

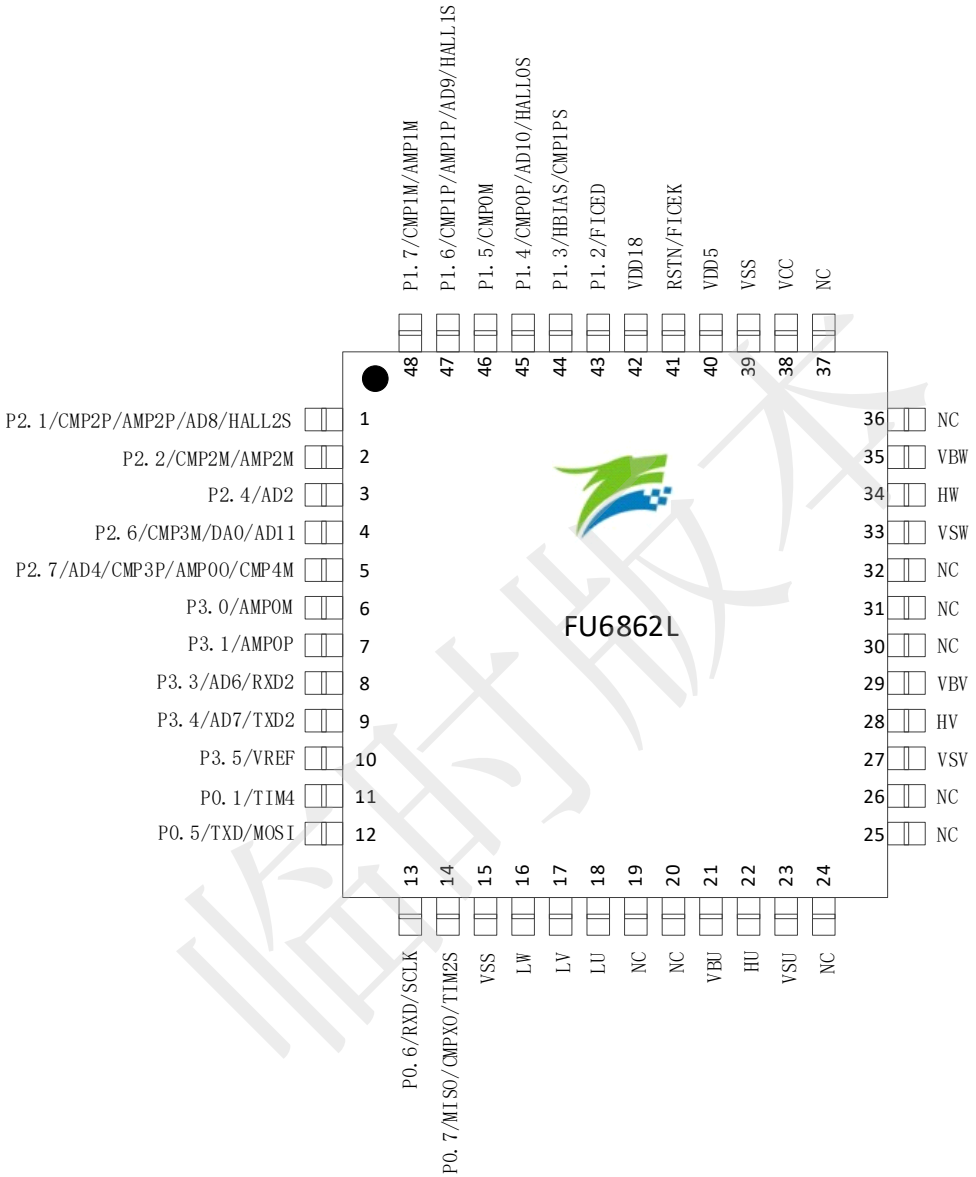


图 2-9 FU6862 LQFP48 封装

2.19 FU6862Q 封装-QFN48

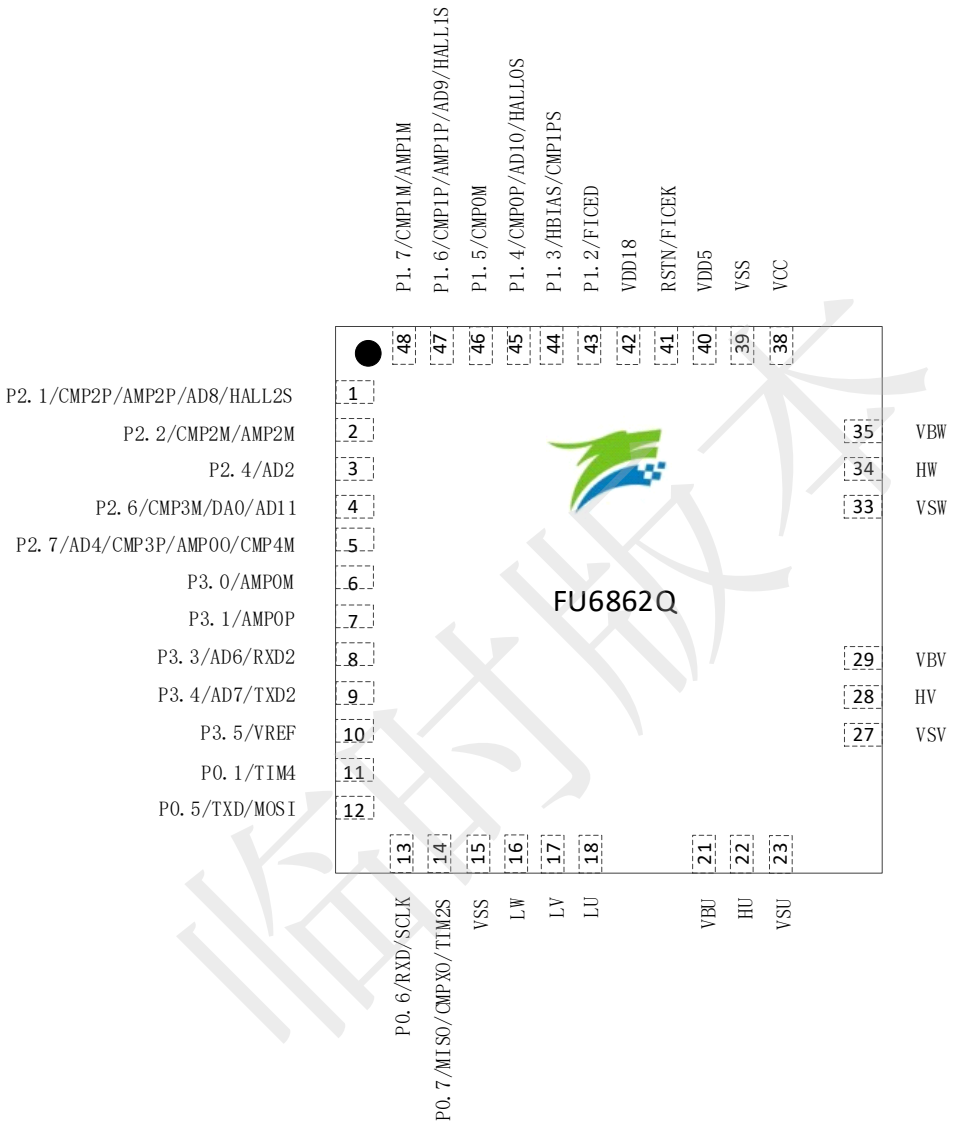


图 2-10 FU6862Q QFN48 封装

3 电气特性

3.1 电气特性绝对最大值

表 3-1 电气特性绝对最大值

参数	条件	最小值	典型值	最大值	单位
工作时环境温度 T_A		-40	—	85	℃
工作时环境温度 T_A	VCC≤12V, Ivcc≤30mA	-40	—	105	℃
工作时结温 T_J		-40	—	150	℃
储存温度		-55	—	150	℃
VCC 相对 VSS 的电压		-0.3	—	36	V
VDD5/IOVCC 相对VSS 的电压		-0.3	5	6.5	V
VDRV 相对 VSS 的电压	仅适用于FU6861Q2/N2/L2	-0.3	—	22	V
	仅适用于 FU6861NF2	-0.3	—	25	V
VBU, VBV, VBW 浮动电压	仅适用于FU6861Q2/N2//L2	-0.3	—	180	V
	仅适用于 FU6861NF2	-0.3	—	165	V
	仅适用于 FU6862L/Q	-0.3	—	625	V
VSU, VSV, VSW	仅适用于FU6861Q2/N2//L2	VBU-22, VBU-22, VBU-22,	—	VBU+0.3, VBV+0.3, VBW+0.3	V
	仅适用于 FU6861NF2、FU6862L/Q	VBU-25, VBU-25, VBU-25,	—	VBU+0.3, VBV+0.3, VBW+0.3	V
HU/ HV/ HW	仅适用于 FU6861 FU6861Q2/N2/L2/NF2 、FU6862L/Q	VSU-0.3 VSV-0.3 VSW-0.3	—	VBU+0.3 VBV+0.3 VBW+0.3	V
VDD18		-0.3	1.85	2	V
RSTN、VCC_MODE、GPIO 相对 VSS 的电压		-0.3	—	VDD5+0.3	V

注意：如果运行条件超过了上述“绝对极限参数值”，即可能对器件造成永久性损坏。上述值仅为运行条件的极大值，我们不建议器件运行在该规范范围以外。器件长时间工作在绝对极限参数条件下，其稳定性可能受到影响。

3.2 全局电气特性

表 3-2 全局电气特性(适用于 FU6812)

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
VCC 工作电压	单电源高压模式, VCC_MODE=0	5	—	24	V
	双电源高压模式，VCC_MODE=1, VCC≥VDD5， (2)	5	—	36	V

	单电源低压模式，VCC_MODE=1，VCC 与 VDD5 连接， (2)	3	—	5.5	V
VDD5 工作电压	VCC_MODE=1，VCC 与 VDD5 连接，(2)	3	—	5.5	V
IOVCC 工作电压		3	VDD5	VDD5+0.3	V
系统时钟		—	24	—	MHz
I_{VCC} 工作电流	(1)	—	24	—	mA
I_{VCC} 待机电流	(1)	—	6	—	mA
I_{VCC} 睡眠电流	VCC_MODE=0	—	100	250	uA
	VCC_MODE=1，VCC=VDD5=5V	—	45	100	uA

注：

1. 根据程序运行的设置发生变化
2. Flash 写入或擦除时 VDD5 必须保持在 5～5.5V
3. VCC_MODE=0，即为 VCC_MODE=GND；VCC_MODE=1，即为 VCC_MODE=VDD5，后续除特别申明，VCC_MODE 的电压均与此同。

表 3-3 全局电气特性(适用于 FU6861)

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
VCC 工作电压	单电源高压模式, VCC_MODE=0	5	—	24	V
	双电源高压模式，VCC_MODE=1, VCC≥VDD5， (2)	5	—	36	V
VDD5 工作电压	VCC_MODE=1，VCC 与 VDD5 连接，(2)	3	—	5.5	V
IOVCC 工作电压		3	VDD5	VDD5+0.3	V
VDRV 工作电压		7	—	18	V
VBU, VBV, VBW 浮动电压		—	—	180	V
VBU 相对 VSU 电压，VBV 相对 VSV 电压，VBW 相对 VSW 电压		—	—	18	V
系统时钟		—	24	—	MHz
I_{VCC} 工作电流	(1)	—	24	—	mA
I_{VCC} 待机电流	(1)	—	6	—	mA
I_{VCC} 睡眠电流	VCC_MODE=0	—	350	650	uA
	VCC_MODE=1，VCC=VDD5=5V	—	300	500	uA

注：

1. 根据程序运行的设置发生变化
2. Flash 写入或擦除时 VDD5 必须保持在 5～5.5V

临时版本

表 3-4 全局电气特性(适用于 FU6862)

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
VCC 工作电压	单电源高压模式	12	—	20	V
VSU, VSV, VSW 浮动电压		-5		600	V
VBU, VBV, VBW 浮动电压		VSU+10, VSU+10, VSU+10	—	VSU+20, VSU+20, VSU+20	V
高侧 HU 输出电压 高侧 HV 输出电压 高侧 HW 输出电压		VSU-0.3 VSV-0.3 VSW-0.3	—	VBU+0.3 VBV+0.3 VBW+0.3	V
低侧 LU 输出电压 低侧 LV 输出电压 低侧 LW 输出电压		-0.3		VCC	V
VBU 相对 VSU 电压， VBV 相对 VSV 电压， VBW 相对 VSW 电压		—	—	18	V
系统时钟		—	24	—	MHz
I_{VCC} 工作电流	(1)	—	24	—	mA
I_{VCC} 待机电流	(1)	—	6	—	mA
I_{VCC} 睡眠电流	VCC_MODE=0	—	210	—	uA

注：

1. 根据程序运行的设置发生变化
2. Flash 写入或擦除时 VDD5 必须保持在 5～5.5V

3.3 GPIO 电气特性

表 3-5 GPIO 电气特性

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
输出上升时间	50pF Load,从 10%上升至 90%时间, T_A=25℃	—	15	—	ns
输出下降时间	50pF Load,从 90%下降至 10%时间, T_A=25℃	—	13	—	ns
V_{OH} 输出高电压	I_{OH}=4mA,IOVCC=VDD5=5V	VDD5-0.7	—	—	V
V_{OL} 输出低电压	I_{OL}=8mA,IOVCC=VDD5=5V	—	—	0.7	V
V_{IH} 输入高电压	(1)	0.7*VDD5	—	—	V
V_{IL} 输入低电压	IOVCC=VDD5=5V	—	—	0.2*VDD5	V
上拉电阻，除 P0[2:0]、	Vin=0V	—	33	—	kΩ

临时版本

P1[6:3]、P2[1]、P3[7:6]外其他 GPIO					
上拉电阻，P0[2:0]、P1[6:3]、P2[1]、P3[7:6]	Vin=0V	—	5	—	kΩ

（1）当 VDD5=5V 时，V_{IH} 最小值可以为 0.6*VDD5

3.4 PWM IO 电气特性 (适用于 FU6812)

表 3-6 PWM IO 电气特性

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
输出拉电流	HDIO=1	—	50	—	mA
输出灌电流	HDIO=1	—	100	—	mA
输出上升时间	50pF Load，从 10%上升至 90%时间, T_A=25℃	—	18	—	ns
输出下降时间	50pF Load，从 90%下降至 10%时间, T_A=25℃	—	12	—	ns

3.5 Predriver 6N IO 电气特性 (适用于 FU6861/FU6862)

表 3-7 Predriver 6N IO 电气特性(适用于 FU6861)

（除非特别声明，T_A = 25℃, VCC=VDRV = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
高电平输出峰值电流		—	0.8	—	A
低电平输出峰值电流		—	0.8	—	A
输出上升时间	1nF Load，从 10%上升至 90%时间	—	30	70	ns
输出下降时间	1nF Load，从 90%下降至 10%时间	—	30	70	ns
死区时间	DT	--	100	--	ns

表 3-8 Predriver 6N IO 电气特性(适用于 FU6862)

（除非特别声明，T_A = 25℃, VCC= 15V）

参数	条件	最小值	典型值	最大值	单位
电源电流					
V_{CC} 静态电流 I_{QCC}	V_{IN} = 0V 或 5V	—	0.14	—	mA
V_{BS} 静态电流 I_{QBS}	V_{IN} = 0V 或 5V	—	60	—	μA
悬浮电源漏电流 I_{LK}	$V_{BU/V/W}$ = $V_{SU/V/W}$ = 600V	—	0.1	5.0	μA
输入 HIN/LIN					
HIN 输入下拉电阻 R_{HIN}		--	250	--	kΩ

LIN 输入下拉电阻 L_{HIN}		—	250	—	kΩ
UVLO					
V_{CC}欠压保护开启电压 V_{CCUV+}		8.1	9.0	9.9	V
V_{CC}欠压保护关断电压 V_{CCUV-}		7.5	8.4	9.3	V
V_{CC}欠压保护迟滞电压 V_{CCUVH}		0.4	0.6	-	V
V_{BS}欠压保护跳闸电压 V_{BSUV+}		7.8	8.7	9.6	V
V_{BS}欠压保护复位电压 V_{BSUV-}		7.2	8.1	9.0	V
V_{BS}欠压保护迟滞电压 V_{BSUVH}		0.4	0.6	—	V
高端/低端输出					
高电平输出电压 V_{OH}	I_O = 20mA	—	0.7	—	V
低电平输出电压 V_{OL}	I_O = 20mA	—	0.2	—	V
高电平输出短路脉冲电流 I_{OH}	V_O = 0V，PWD ≤ 10uμs	—	0.21	—	A
低电平输出电压短路脉冲电流 I_{OL}	V_O = 15V，PWD ≤ 10μs	—	0.36	—	A
Vs 静态负压 V_{SN}		—	-6.5	—	V
时间参数					
输出上升沿传输时间 t_{on}		—	100	—	ns
输出下降沿传输时间 t_{off}		—	80	—	ns
输出上升时间 t_r	C_L = 1000pF	—	90	—	ns
输出下降时间 t_f	C_L = 1000pF	—	50	—	ns
死区时间 DT		—	500	—	ns
输入和输出脉冲宽度匹配 PM	|pwin - pwout|	—	40	—	ns

注：高端 PWM 输入时，HIN1/2/3 输入脉冲宽度必须 ≥ 1μs

3.6 ADC 电气特性

表 3-9 ADC 电气特性

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
INL		—	2	—	LSB
DNL		—	1.5	—	LSB
OFFSET		—	10	—	LSB
SNR	f_{IN} = 350kHz,(1) (2)	—	70.8	—	dB
ENOB	f_{IN} = 350kHz,(1) (2)	—	10.5	—	Bit
SFDR	f_{IN} = 350kHz,(1) (2)	—	68.2	—	dB
THD	f_{IN} = 350kHz,(1) (2)	—	67	—	dB
R_{IN} 输入电阻		—	500	—	Ω
C_{IN} 输入电容		—	30	—	pF

转换时间		—	0.6	—	us
采样时间	(1)	3	—	63	ADCLK 个数

备注：

(1) ADCLK=12MHz

(2) 基于仿真结果

3.7 参考电压电气特性

表 3-10 VREF& VHALF

（T_A = -40℃～85℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
VREF	VREFVSEL=00B	—	4.5	—	V
	VREFVSEL=01B	—	VDD5	—	V
	VREFVSEL=11B	—	4	—	V
	VREFVSEL=10B	—	3	—	V
VHALF		—	VREF/2	—	V

3.8 运算放大器电气特性

表 3-11 运算放大器电气特性

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
V_{ICMR} 共模输入范围		0	—	VDD5-1.5	V
V_{OS} 运放的失配电压		—	5	—	mV
A_{OL} 开环增益	R_L=100kΩ	—	80	—	dB
UGBW 单位增益带宽	C_L=40pF	6	10	—	MHz
SR 运放的摆率	C_L=40pF	10	15	—	V/us

3.9 HALL/BEMF 电气特性

表 3-12 HALL/BEMF 电气特性

（除非特别声明，T_A = 25℃, VCC = 15V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
BEMF 内置电阻		5.4	6.8	8.2	kΩ
BEMF 内置电阻间相对精度		—	1	—	%

3.10 OSC 电气特性

表 3-13 OSC 电气特性

（TA = -40℃～85℃,VCC = 5V～24V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
内置高速振荡器频率		23.5	24	24.5	MHz
内置低速振荡器频率		29	32.8	37	kHz

表 3-14 OSC 电气特性(仅适用于 FU6862)

（TA = -40℃～85℃,VCC = 12V～20V）

参数	条件	最小值	典型值	最大值	单位
内置高速振荡器频率		23.5	24	24.5	MHz
内置低速振荡器频率		29	32.8	37	kHz

3.11 复位电气特性

表 3-15 复位电气特性

（T_A = -40℃～85℃,VCC = 5V～24V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
复位低电平最小宽度		50	--	--	uS

表 3-16 复位电气特性(仅适用于 FU6862)

（TA = -40℃～85℃,VCC = 12V～20V）

参数	条件	最小值	典型值	最大值	单位
复位低电平最小宽度		50	--	--	uS

3.12 LDO 电气特性

表 3-17 LDO 电气特性

（T_A = -40℃～85℃,VCC = 5V～24V, VCC_MODE=0）

参数	条件	最小值	典型值	最大值	单位
VDD5 电压	VCC = 7V～30V, VCC_MODE=0	4.7	5	5.3	V
VDD18 电压		—	1.85	—	V

表 3-18 LDO 电气特性(仅适用于 FU6862)

（TA = -40℃～85℃,VCC = 12V～20V）

参数	条件	最小值	典型值	最大值	单位
VDD5 电压	VCC = 12V～20V, VCC_MODE=0	4.7	5	5.3	V
VDD18 电压		—	1.85	—	V

临时版本

3.13 封装热阻

表 3-19 LQFP48 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片节温相对环境温度	(1), (3)	52.4	℃/W
	(2), (3)	72.2	℃/W
Θ_{JC} 芯片节温相对封装表面温度	(2), (3)	17	℃/W

(1) JEDEC 标准，2S2P PCB
(2) JEDEC 标准，1S0P PCB
(3) 实际应用条件不同，会与测试结果有所出入

表 3-20 QFN56 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片节温相对环境温度	(1), (3)	33	℃/W
	(2), (3)	55	℃/W
Θ_{JC} 芯片节温相对封装表面温度	(1), (3)	9.2	℃/W

(1) JEDEC 标准，2S2P PCB
(2) JEDEC 标准，1S0P PCB
(3) 实际应用条件不同，会与测试结果有所出入

表 3-21 QFN40 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片节温相对环境温度	(1), (3)	40	℃/W
	(2), (3)	66	℃/W
Θ_{JC} 芯片节温相对封装表面温度	(1), (3)	12	℃/W

(1) JEDEC 标准，2S2P PCB
(2) JEDEC 标准，1S0P PCB
(3) 实际应用条件不同，会与测试结果有所出入

表 3-22 QFN32 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片节温相对环境温度	(1), (3)	47	℃/W
	(2), (3)	74	℃/W
Θ_{JC} 芯片节温相对封装表面温度	(1), (3)	20	℃/W

(1) JEDEC 标准，2S2P PCB
(2) JEDEC 标准，1S0P PCB
(3) 实际应用条件不同，会与测试结果有所出入

修订版本

表 3-23 SSOP24 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片节温相对环境温度	(1), (2)	75	℃/W

(1) JEDEC 标准，2S2P PCB

(2) 实际应用条件不同，会与测试结果有所出入

表 3-24 LQFP32 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片节温相对环境温度	(1), (3)	55	℃/W
	(2), (3)	75	℃/W
Θ_{JC} 芯片节温相对封装表面温度	(1), (3)	20	℃/W

(1) JEDEC 标准，2S2P PCB

(2) JEDEC 标准，1S0P PCB

(3) 实际应用条件不同，会与测试结果有所出入

表 3-25 QFN48 7*7 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片节温相对环境温度	(1), (3)	33	℃/W
	(2), (3)	55	℃/W
Θ_{JC} 芯片节温相对封装表面温度	(1), (3)	9.2	℃/W

(1) JEDEC 标准，2S2P PCB

(2) JEDEC 标准，1S0P PCB

(3) 实际应用条件不同，会与测试结果有所出入

临时版本

4 复位控制

4.1 复位源(RST_SRC)

芯片有 6 个复位源：

- 上电复位（RSTPOW）
- 外部复位(RSTEXT)
- 低电压(RSTLVD)复位
- 看门狗复位(RSTWDT)
- Flash 非法操作复位(RSTFED)
- Debug 复位(RSTDBG)

复位标志可查询，记录在寄存器 RST_SR 中。最近一次的复位会把相关的标志位置 1，把其他各位标志清 0。软件可以将 RST_SR[RSTCLR]置 1 清除 RST[7:3]的复位标志位。

4.2 复位使能

复位使能参考相关配置寄存器。LVD、WDT 复位源固定使能。

4.3 外部复位、上电复位

当芯片 RSTN 管脚为低，且超过 50us 时，芯片开始复位动作。复位后 MCU 从地址 0 开始执行程序。电源上电，电压超过复位电压阀值后，芯片开始复位动作。

4.4 低电压侦测复位

芯片的内部电路会对 VDD5 进行监测，如果 VDD5 电压降低到了复位阈值，内部监测电路将发出对应的复位信号，促使芯片发生复位。

相关配置寄存器可使能低电压侦测电路，以及低电压阈值。

4.5 看门狗溢出复位

使能看门狗定时器后，如果在其计数溢出之前没有及时喂狗，计数器溢出之后将会引发系统复位。这个复位源能够避免程序跑飞。看门狗溢出后复位模块将复位 MCU。

4.6 FEDR 复位

FLASH 操作模块提供了软件用 MOVX“自写”、“自擦除”以及读取 FLASH 的功能（见后述代码保护章节），如果软件试图用这一指令自擦除最后一个扇区（0x3F80~0x3FFF），将发出 FLASH 非

临时版本

法操作复位。FEDR 复位源固定使能，不可禁止。

4.7 复位寄存器

表 4-1 复位控制 RST_SR（0xC9）

位	7	6	5	4	3	2	1	0
名称	RSTPOR	RSTEXT	RSTLVD	RSV	RSTWDT	RSTFED	RSTDBG	RSTCLR
类型	R	R	R	R	R	R	R	W1
复位值	X	X	X	X	X	X	X	0

字段	名称	描述
[7]	RSTPOW	上电复位标志 0：最后一次复位不是来自于上电复位 1：最后一次复位来自于上电复位
[6]	RSTEXT	外部复位标志 0：最后一次复位不是来自于外部复位 1：最后一次复位来自外部复位
[5]	RSTLVD	低电压复位标志 0：最后一次复位不是来自于低电压引发的复位 1：最后一次复位来自于低电压引发的复位
[4]	RSV	RSV
[3]	RSTWDT	看门狗溢出复位标志 0：最后一次复位不是来自于看门狗溢出引发的复位 1：最后一次复位来自于看门狗溢出引发的复位
[2]	RSTFED	FLASH 代码保护复位标志 0：最后一次复位不是来自 FLASH 代码保护引发的复位 1：最后一次复位来自 FLASH 代码保护引发的复位
[1]	RSTDBG	调试接口（Debug）复位标志 0：最后一次复位不是来自调试接口引发的复位 1：最后一次复位来自调试接口引发的复位
[0]	RSTCLR	清除模拟复位标志寄存器 写入 1 时清除 Bit[7:3]复位标志，读出时无意义。

5 中断控制

5.1 中断寄存器

5.1.1 IE（0xA8）

表 5-1 IE（0xA8），中断使能

位	7	6	5	4	3	2	1	0
名称	EA	RTCIE	RSV	ES0	SPIIE	EX1	TSDIE	EX0
类型	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	EA	全局中断使能 0:禁止 1:使能
[6]	RTCIE	RTC中断使能 0:禁止 1:使能
[5]	RSV	保留
[4]	ES0	UART中断使能 0:禁止 1:使能
[3]	SPIIE	SPI中断使能 0:禁止 1:使能
[2]	EX1	外部中断1使能 0:禁止 1:使能
[1]	TSDIE	温度感应侦测中断TSD(Temperature sensor detect) 0:禁止 1:使能
[0]	EX0	外部中断0使能 0:禁止 1:使能

5.1.2 IP0（0xB8）

表 5-2 IP0（0xB8）中断优先级寄存器 0

位	7	6	5	4	3	2	1	0
名称	PDRV		PX1		PX0		PLVW	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PDRV	Driver 中断优先级控制
[5:4]	PX1	INT1（外部中断 1）优先级控制

试用版本

[3:2]	PX0	INT0（外部中断 0）优先级控制
[1:0]	PLVW	LVW（低电压告警）中断优先级控制

注：中断优先级控制值从 0～3 依次表示优先级从最低到最高，共 4 级优先级控制。

5.1.3 IP1（0xC0）

表 5-3 IP1（0xC0）,中断优先级寄存器 1

位	7	6	5	4	3	2	1	0
名称	PCMP		PADC		PTIM1		PTIM2	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PCMP	比较器中断优先级控制
[5:4]	PADC	ADC 中断优先级控制
[3:2]	PTIM1	定时器 1 中断优先级控制
[1:0]	PTIM2	定时器 2 中断优先级控制

注：中断优先级控制值从 0～3 依次表示优先级从最低到最高，共 4 级优先级控制。

5.1.4 IP2（0xC8）

表 5-4 IP2（0xC8）,中断优先级寄存器 2

位	7	6	5	4	3	2	1	0
名称	PTSD		PTIM4		PTIM3		PRTC	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PTSD	TSD 温度感应侦测中断优先级控制
[5:4]	PTIM4	定时器 4 和 systick 中断优先级控制
[3:2]	PTIM3	定时器 3 中断优先级控制
[1:0]	PRTC	RTC 中断优化级控制

注：中断优先级控制值从 0～3 依次表示优先级从最低到最高，共 4 级优先级控制。

5.1.5 IP3（0xD8）

表 5-5 IP3（0xD8）,中断优先级寄存器 3

位	7	6	5	4	3	2	1	0
名称	PDMA		PSPI		PI2C		PUART	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PDMA	DMA 中断优先级控制
[5:4]	PSPI	SPI 中断优先级控制
[3:2]	PI2C	I2C 中断优先级控制
[1:0]	PUART	UART 中断优先级控制

注：中断优先级控制值从 0～3 依次表示优先级从最低到最高，共 4 级优先级控制。

5.1.6 TCON（0x88）

表 5-6 TCON（0x88）

位	7	6	5	4	3	2	1	0
名称	RSV		TSDIF	IT1		IF0	IT0	
类型	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留
[5]	TSDIF	TSD 温度感应侦测中断标志。此标志位常与温度保护状态位(TSDF)配合使用，TSDIF 反应的是曾经发生过超过设定温度的状态。 0：芯片未发生超过设定温度的中断 1：芯片发生了超过设定温度的中断。软件写入 0 清此位为零
[4:3]	IT1[1:0]	INT1外部中断1电平触发控制 00: 上升沿触发中断 01: 下降沿触发中断 1x: 电平改变（上升或下降）触发中断
[2]	IF0	INT0 外部中断 0 标志 0：INT0 未发生中断 1：INT0 发生了中断。软件写入 0 清此位为零
[1:0]	IT0[1:0]	INT0外部中断0电平触发控制 00: 上升沿触发中断 01: 下降沿触发中断 1x: 电平改变（上升或下降）触发中断

5.2 中断说明

表 5-7 中断说明

中断源	默认优先级	向量地址	标志位	是否软件清除	中断使能位	优先级控制
复位	最高	0x0000	N/A	N/A	一直使能	最高
LVW 检测中断 (低电压预警中断)	0	0x0003	LVSR[0]	Y	CCFG1[6]	IP0[1:0]
外部中断 INT0	1	0x000B	TCON[2]	Y	IE[0]	IP0[3:2]
外部中断 INT1 (IO 变化中断)	2	0x0013	P1IF[7:0]/ P2IF[7:0]	Y	IE[2]	IP0[5:4]
DRV 中断	3	0x001B	DRV_SR[5:4]	Y	DRV_SR[2:0]	IP0[7:6]
TIM2 中断	4	0x0023	TIM2_CR1[7:5]	Y	TIM2_CR1[4:3] TIM2_CR0[3]	IP1[1:0]
TIM1 中断	5	0x002B	TIM1_SR[4:0]	Y	TIM_IER[4:0]	IP1[3:2]
ADC 中断	6	0x0033	ADC_CR[0]	Y	ADC_CR[1]	IP1[5:4]
比较器 CMP 中断	7	0x003B	CMP_SR[7]/ CMP_SR[6:4]	Y	CMP_CR0[7:0]	IP1[7:6]
RTC	8	0x0043	RTC_STA[6]	Y	IE[6]	IP2[1:0]
TIM3 中断	9	0x004B	TIM3_CR1[7:5]	Y	TIM3_CR1[4:3] TIM3_CR0[3]	IP2[3:2]
TIM4 中断 Systick 中断	10	0x0053	TIM4_CR1[7:5] DRV_SR[7]	Y	TIM4_CR1[4:3] TIM4_CR0[3] DRV_SR[6]	IP2[5:4]
TSD 中断（温度帧测中断）	11	0x005B	TCON[5]	Y	IE[1]	IP2[7:6]
UART 中断	12	0x0063	UT_CR[1:0]	Y	IE[4]	IP3[1:0]
I2C 中断	13	0x006B	I2C_SR[0]	Y	I2C_CR[0]	IP3[3:2]
SPI 中断	14	0x0073	SPI_CR1[7]	Y	SPI_CR1[0]	IP3[5:4]
DMA 中断	15	0x007B	DMA0_CR0[7] DMA1_CR0[7]	Y	DMA0_CR0[2]	IP3[7:6]

芯片内部有 15 个中断源，如上表所述。每个中断源有四级优先级，通过 IP0～IP3 寄存器进行配置。在低优先级的中断服务程序中可以响应高优先级的中断请求。如果两个中断处于同级别，优先级的顺序参见上表说明，标号越小的优先级越高；新的中断不能打断相同优先级的中断处理。

IE[EA]是全局中断使能，EA=0 时不响应任何中断。

5.3 外部中断

外部中断共有 2 个中断源。

其中当设置 PORT0.0～PORT0.6、P11 为数字 IO 输入，或者启用比较器 CMP4 时，可设置

EX0=1 使其作为外部中断 0（INT0）。当设置 PORT1.0～1.7、PORT2.0～2.7 为数字 IO 输入时，可设置 EX1=1 及对应 P1IE/P2IE 使其共用外部中断 1（INT1）。

外部中断0使能位EX0，中断标志位IF0，中断电平触发控制IT0。由寄存器LVSR中的EXT0CFG指定外部中断 0 的来源，这些来源可以是 PORT0.0～PORT0.6、P11 输入、比较器 CMP4 输出中的任一个，所有外部中断 0 的中断源共用一个中断入口、一个中断标志位。

外部中断 1 使能位 EX1，16 个 PIN 的中断使能由寄存器 P1IE、P2IE 控制。对应的中断标志位为 P1IF、P2IF，中断电平触发控制为 IT1。

表 5-8 外部中断 1 对应的 IO

SFR 地址	字段	名称	描述	R/W	复位值
0xD1	[7:0]	P1IE[7:0]	Port1作为外部中断1时，各PIN中断使能	R/W	0x00
0xD2	[7:0]	P1IF[7:0]	Port1作为外部中断1时，各PIN中断标志位。 软件写入0清零对应的中断标志位。 注意：MCU写0清对应标志位时，不需要清0的标志位必须写1，否则可能产生误清中断的情况，推荐使用如下语句：mov D2h,#0FEh，以清P1IF[0]	R/W	0x00
0xD3	[7:0]	P2IE[7:0]	Port2作为外部中断1时，各PIN中断使能	R/W	0x00
0xD4	[7:0]	P2IF[7:0]	Port2作为外部中断1时，各PIN中断标志位。 MCU写0清对应的中断标志位。 注意：MCU写0清对应标志位时，不需要清0的标志位必须写1，否则可能产生误清中断的情况，推荐使用如下语句：mov D4h,#0FEh，以清P2IF[0]	R/W	0x00

临时版本

6 I2C

I2C（内部集成电路总线）模块提供了符合工业标准的两线串口接口，是一种简单双向的同步串行总线，可用于 MCU 和外部 I2C 设备的通讯。总线由两根串行线组成：SDA（串行数据线）和 SCL（串行时钟线），这两根线是双向 I/O 线，所以总线的接口是开漏输出的，使用的时候需要通过上拉电阻至 VDD5，总线才能正常工作。

主要特性：

- 实现了 I2C 协议的标准模式（最高 100kHz），快速模式（最高 400kHz）以及快速+模式（最高 1MHz）。
- 既支持主机模式，也支持从机模式
- 支持 7 位地址模式和广播寻址。
- 支持 DMA 数据传输，可以有效减轻 CPU 的负担。

总线在空闲时 SDA 和 SCL 都是高电平，这是器件检测总线是否空闲的唯一依据，在传输过程中总线上有且只有一个主器件和至少一个从器件处于活跃状态，在这种情况下，其他器件如果想发起 I2C 通讯，都必须等待直到当前通讯结束，I2C 总线空闲才能控制总线。主器件用于启动总线传输数据，并且通过 SCL 向所有器件发送时钟信号，通过 SDA 发送从机地址和读写模式。如果总线上有器件匹配该地址，那么该器件将作为从器件。在总线上主从器件和数据收发的关系不是恒定的。如果主机要发送数据给从器件，则主机首先寻址从器件，然后主动发送数据至从器件，最后由主机终止数据传送，通讯过程如图 6-1 所示；如果主机要接收从器件的数据，首先由主器件寻址从器件. 然后主机接收从器件发送的数据，最后由主机终止接收过程，通讯过程如图 6-2 所示。在这种情况下. 主机负责产生定时时钟和终止数据传送。

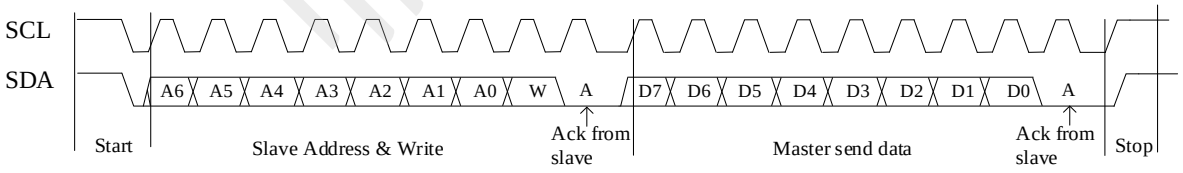


图 6-1　主器件向从器件发送数据

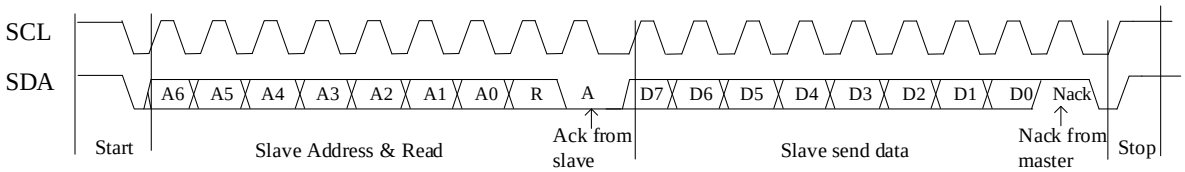


图 6-2　主器件接收从器件的数据

FU6812 系列的 I2C 能够设置为主机模式或从机模式，速度最快的达到 1MHz。使用 I2C 时，只需要配置好 I2C，并填写正确的 I2C 地址，那么 I2C 通讯就只由启动信号（STA）、读写信号（DMOD）、

总线挂起信号（STR）和应答信号（NACK）停止信号（STP）来控制。

6.1 操作说明

6.1.1 主机模式

1. 置位 I2C_CR[I2CMS]，设置为主机模式；
2. 配置 I2C_CR [I2CSPD]，设置时钟 SCL 频率；
3. 配置 I2C_ID，设置目标器件地址；
4. 配置 I2C_SR[DMOD]，设置读写方向；
5. 置位 I2C_CR[I2CEN]，使能 I2C；
6. 置位 I2C_SR[I2CSTA]，发送 START 和地址，在接收到 ACK/NACK 后，I2C_SR[STR]被硬件置 1，SCL 被主机强制拉低；
7. 如果是发送数据，在写 I2C_DR 寄存器后，复位 I2C_SR[STR]以释放 SCL，主机开始发送数据，当数据发送完毕且接收到 ACK/NACK 后，I2C_SR[STR]硬件置 1，SCL 被主机强制拉低；
8. 如果是接收数据，在复位 I2C_SR[STR]后，主机开始接收数据，当数据接受完毕后 I2C_SR[STR]硬件置 1，SCL 被主机强制拉低，此时可先通过 I2C_SR[NACK]设置 ACK/NACK，再向 I2C_SR[STR]写 0 释放 SCL 以发送 ACK/NACK 信号，如果收到了新数据，I2C_SR[STR]硬件置 1，SCL 被主机强制拉低；
9. 如果要停止发送，可以在 I2C_SR[STR]为 1 时置位 I2C_SR[I2CSTP]，当 I2C_SR[STR]复位时发送停止信号

6.1.2 从机模式

1. 配置 I2C_CR[I2CMS]=0，设置为从机模式；
2. 配置 I2C_ID[I2CADD]，设置 slave 地址；或者配置 I2C_ID[GC]=1，使能广播模式；
3. 配置 I2C_CR[I2CEN]=1，使能 I2C；
4. 等待接收 START 信号和地址，接收到 START 信号和正确的地址后 SCL 被从机强制拉低，I2C_SR[I2CSTA]和 I2C_SR[STR]被硬件置 1，此时可先通过 I2C_SR[NACK] 设置 ACK/NACK，并通过 I2C_SR[DMOD]确认本次通讯是接收数据还是发送数据；
5. 如果是发送数据，则写 I2C_DAT 寄存器；复位 I2C_SR[STR]以释放 SCL 后，发送 ACK/NACK 后发送数据，当数据发送完成且收到主机发来的 ACK/NACK 后，SCL 被从机强制拉低，I2C_SR[STR]硬件置 1
6. 如果是接收数据，则在准备好接收数据后复位 I2C_SR[STR] 释放 SCL，当从机接收完数据后，I2C_SR[STR]硬件置 1，SCL 被从机强制拉低，在通过 I2C_SR[NACK]设置 ACK/NACK 后，复位 I2C_SR[STR]释放 SCL 并发送 ACK/NACK，如果收到了新数据，I2C_SR[STR]硬件置 1，SCL

临时版本

被主机强制拉低；

7. RESTART 功能：当从机在 busy 状态中接收到 START 信号，则中止当前工作，等待接收地址

6.1.3 I2C 中断源

I2C 的中断源有：

1．I2C_SR[STR] = 1 时，该中断源在主机和从机模式下都有效

2．I2C_SR[I2CSTP] = 1 时，该中断源只在从机模式下有效

如果 I2C 中断使能位 I2C_CR[I2CIE]为 1，那么 I2C 会产生中断请求。

临时版本

6.2 I2C 寄存器

6.2.1 I2C_CR（0x4028）

表 6-1 I2C_CR（0x4028）

位	7	6	5	4	3	2	1	0
名称	I2CEN	I2CMS	RSV			I2CSPD		I2CIE
类型	R/W	R/W	R	R	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	功能
[7]	I2CEN	I2C 使能位 0：禁止 I2C 1：使能 I2C，相应 GPIO 切换为 I2C 模式，OPEN DRAIN 输出。I2C 上拉是否打开由其 IO 的 Pull-up 设置决定
[6]	I2CMS	I2C 模式选择 0：从机模式 1：主机模式
[5:3]	RSV	保留
[2:1]	I2CSPD	I2C速率设置，仅对主机模式下有效 00：100kHz传输速率 01：400kHz传输速率 10：1MHz传输速率 11：不支持，保留
[0]	I2CIE	中断使能位 0：禁止 I2C 进入中断 1：允许 I2C 进入中断，中断请求由 I2C_SR[I2CIF]产生

6.2.2 I2C_ID（0x4029）

表 6-2 I2C_ID（0x4029）

位	7	6	5	4	3	2	1	0
名称	I2CADD							GC
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	1	0	1	0	1	0

位	名称	功能
[7:1]	I2CADD	I2C 地址
[0]	GC	广播呼叫支持，只在从机模式下有效。 0：不支持广播呼叫 1：支持广播呼叫，即 0x00 地址也会响应

临时版本

6.2.3 I2C_DR（0x402A）

表 6-3 I2C_DR（0x402A）

位	7	6	5	4	3	2	1	0
名称	I2C_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	I2C_DR	I2C 数据寄存器

6.2.4 I2C_SR（0x402B）

表 6-4 I2C_SR（0x402B）

位	7	6	5	4	3	2	1	0
名称	I2CBSY	DMOD	RSV	I2CSTA	I2CSTP	STR	NACK	I2CIF
类型	R	R/W	R	R/W	R/W	R/W0	R/W	R
复位值	0	0	0	0	0	0	0	0

位	名称	功能
7	I2CBSY	I2C忙状态标志 当I2CEN为0时，I2CBSY自动为0. **主机模式：** 发送START成功后，硬件置‘1’，发送STOP成功后，硬件清’0’。 **从机模式：** 收到START加地址匹配成功后，硬件置‘1’，收到STOP后，硬件清’0’。
6	DMOD	I2C读或写标志 **主机模式：** 0：写模式（主机端发数据，从机端收数据） 1：读模式（主机端收数据，从机端发数据） 在主机模式，DMOD在如下情况才能被有效修改： 1. I2CSTA位为1 2. 往I2CSTA位写1的同时改变DMOD **从机模式：** 0：写模式（主机端发数据，从机端收数据） 1：读模式（主机端收数据，从机端发数据）
5	RSV	保留位
4	I2CSTA	**主机模式：** 软件置 1，当 SCL 和 SDA 为高后开始发送 START 和地址字节，发送完成后硬件自动清 0。 在发送或者接收数据的过程中，禁止 I2CSTA 写入，若要发送 RESTART，则需要在数据发送或接收完毕后置 I2CSTA 为‘1’。 0：非 START 和地址字节 1：发送 START 或 RESTART 和地址字节

<table>
<tr><td></td><td></td><td>从机模式：
硬件收到 START 且地址字节匹配后置 1，软件写 0 清 0，如果从收到 START 但地址不匹配则 I2CSTA 不会置 1。且后续所有事件会被忽略，直到收到下一个 START 事件。
从机模式下，I2CSTA 和 I2CSTP 决定当前 I2C 数据情况：
表 6-5 I2C 状态标志
<table><tr><td>START</td><td>STOP</td><td>描述</td></tr><tr><td>0</td><td>0</td><td>当前发送/接收的是数据字节</td></tr><tr><td>0</td><td>1</td><td>当前收到的是 STOP</td></tr><tr><td>1</td><td>0</td><td>当前收到的是 START + 地址字节</td></tr><tr><td>1</td><td>1</td><td>当前先收到的是 STOP，然后收到 START + 地址字节</td></tr></table>注：当 I2CEN 为‘0’时，I2CSTA 会被硬件自动清‘0’.</td></tr>
<tr><td>3</td><td>I2CSTP</td><td>主机模式：
当 I2CBSY 为 1 时，软件才能有效写 1，硬件会在 STR 为 0 时发送 STOP，发送完成后硬件自动清 0；如果 I2CSTA 和 I2CSTP 同时写 1，且 I2CBSY 为‘1’，则 I2C 先发送 STOP，发送完 STOP 后再发 START 和地址字节，START 和地址字节发送完毕后 STR 硬件置 1。在发送或者接收数据的过程中，禁止 I2CSTP 写入，直至数据传输完毕。
0：不发送 STOP
1：发送 STOP
从机模式：
硬件收到 STOP 后置 1，软件写 0 清 0
状态标志参考表 6-5
注：当 I2CEN 为 0 时，I2CSTP 会被硬件自动清 0。</td></tr>
<tr><td>2</td><td>STR</td><td>I2C 事件完成指示，当该位为 1 时 SCL 会被强制拉低，使总线处于繁忙状态。该位由硬件置 1，软件写 0 清 0。
主机模式：
1. 当硬件发送完 START+地址字节且收到 ACK/NACK 信号；
2. 当硬件按顺序发送完 STOP、START+地址字节且收到 ACK/NACK 信号；
3. 当硬件发送完数据且收到 ACK/NACK 信号；
4. 当硬件接收完数据；
从机模式：
1. 当硬件接收完 START+匹配的地址；
2. 当硬件接收完数据；
3. 当硬件发送完 ACK/NACK 信号和数据；
注：当 I2CEN 为 0 时，I2CSTP 会被硬件自动清 0。</td></tr>
<tr><td>1</td><td>NACK</td><td>I2C 发送或接收到地址字节或数据字节后的应答信号，即数据的第 9 位。
在发送模式下，该位为只读状态，只能读取通讯设备的应答信号。
在接收模式下，该位可读写，向通讯设备发送应答信号，读该位只能读取到写入的值
0：ACK
1：NACK
注：当 I2CEN 为 0 时，I2CSTP 会被硬件自动清 0。</td></tr>
</table>

0	I2CIF	I2C 中断请求标志位，清除 I2CIF 将允许 I2C 继续传输数据。该位由硬件控制。 0：无 I2C 中断请求 1：有 I2C 中断请求 **主机模式：** 当 STR 为 1 时，I2CIF 置 1，否则置 0 **从机模式：** 当 I2CSTP 为 1 或者 STR 为 1 时，I2CIF 置 1，否则置 0 **注：**当 I2CEN 为 0 时，I2CSTP 会被硬件自动清 0。

临时版本

7 SPI

SPI 是 Serial Peripheral Interface（串行外设接口）的缩写，是一种高速全双工同步串行总线。FU6812 的 SPI 可以选择作为主机还是作为从机，可以使用 3 线或 4 线的传输方式，允许总线上存在多个主器件和从器件。完整的 SPI 由 4 根信号线组成，分别是 MOSI、MISO、SCLK、NSS。

MOSI 信号是 SPI 的数据信号，当 SPI 作为主机时输出数据信号，SPI 作为从机时接收数据信号。

MISO 信号是 SPI 的数据信号，当 SPI 作为主机时接收数据信号，SPI 作为从机时输出数据信号。当 SPI 被禁止或工作在 4 线从方式而未被选中时，MISO 引脚被置于高阻态。

SCLK 信号是 SPI 的时钟信号，是数据信号的传输基准信号，由主机发送。

NSS 信号是 SPI 设备的选通信号， SPI 使用 3 线模式工作时，NSS 信号将被禁用，NSS 端口将只是普通的 IO 口。当 SPI 工作在从机模式下时，NSS 端口可以被配置为输入端口，以检测来自主机的 NSS 信号；当 SPI 工作在单主机单从机模式下时，主机的 NSS 信号可以被配置为输出，用于启动从机的 SPI；当 SPI 工作在多主机模式下时，NSS 信号被配置为输入，以检测总线当前是否有其他主机正在通信，以避免两个以上主机进行数据传输时产生冲突；当 SPI 工作在单主机多从机模式下时，主机可以通过配置多个 IO 口作为 NSS 信号以选择不同的从机来进行通讯。

7.1 操作说明

7.1.1 SPI 主方式

当 SPI 模式选择位 SPI_CR0[SPIMS]为 1 时，SPI 将以主机模式工作。在该模式下，SPI 将会根据移位寄存器是否为空来控制 SPI 启动传输。当向 SPI_DR 写入数据时，该数据实际上被写入了发送缓冲器，此时发送缓冲器空标志 SPI_CR1[TXBMT]将会置 0，如果此时移位寄存器为空，那么发送缓冲器中的数据将会传送到移位寄存器，此时传输开始：SCK 输出时钟信号，MOSI 和 MISO 将会根据 SCK 信号将数据从高位逐位送出和收入，传输结束后 SPI_CR1[SPIIF]和 SPI_CR1[TXBMT]将会置 1，移位寄存器的数据将是 MISO 接收到的数据，该数据将会被送到接收缓冲器中，向 SPI_DR 读取数据时将得到接收缓冲器的数据。如果在 SPI_CR1[TXBMT]=0 的情况下向 SPI_DR 写入数据，那么写冲突标志位 SPI_CR1[WCOL]将会置 1，并且保持发送缓冲器中的数据。

7.1.1.1 主方式配置

1. 配置 SPI_CR1[NSSMOD]，设置 SPI 工作方式
2. 配置 SPI_CR1[CPOL]，设置时钟极性；
3. 配置 SPI_CR1[CPHA]，设置时钟相位；
4. 配置 SPI_CR1[SPIMS]=1，设置为主方式；

5. 配置 SPI_CLK，设置 SCK 频率；
6. 配置 SPI_CR1[SPIEN]=1，使能 SPI；
7. 配置 SPI_DR，写入要发送的数据，每写一次，SPI 将传输一次。

7.1.2 SPI 从方式

当 SPI_CR0[SPIMS]为 0 时，SPI 将以从机模式工作。在该模式下，SPI 的 SCK 信号将由主机的 SPI 提供。当 SCK 信号未输入时，发送缓冲器标志位初始状态，当 SCK 信号输入时，从机的 MOSI 和 MISO 将开始接收和发送数据，当传输完成后，SPI_CR1[SPIIF]和 SPI_CR1[TXBMT] 将会置 1，接收缓冲器空标志位 SPI_CR0[RXBMT]将会置 0，以表示当前有未读取数据。如果 SPI_CR0[RXBMT]=0 且此时有新的数据准备送入接收缓冲器，那么 SPI_CR1[RXOVR]将会置 1，此时接收缓冲器中的数据不变；当向 SPI_DR 写入数据时 SPI_CR1[TXBMT]置 0，如果此时再写入数据，那么 SPI_CR1[WCOL]将会置 1，并且保持发送缓冲器中的数据。如果使用 4 线制的工作方式，那么 NSS 信号将为输入信号，NSS 的下降沿将会复位位计数器。

7.1.2.1 从方式配置

1. 配置 SPI_CR1[NSSMOD]，设置 3 线从方式、4 线从方式
2. 配置 SPI_CR1[CPOL]，设置时钟极性；
3. 配置 SPI_CR1[CPHA]，设置时钟相位；
4. 配置 SPI_CR1[SPIMS]=0，设置为从方式；
5. 配置 SPI_CR1[SPIEN]=1，使能 SPI；
6. 配置 SPI_DR，写入操作数据，等待主机发送时钟信号。

7.1.3 SPI 中断源

如果 SPI 中断被允许（IE 寄存器的 SPIIE=1），在下述 4 个标志位被置 1 时将产生中断。

注意：这 4 个标志位都必须用软件清 0。

1．在每次字节传输结束，SPI 中断标志 SPIIF 被置 1。该标志适用于所有 SPI 方式。

2．如果在发送缓冲器中的数据尚未被传送到移位寄存器时写 SPI_DR，写冲突标志 WCOL 被置 1。发生这种情况时，写 SPI_DR 的操作被忽略，不会对发送缓冲器写入。该标志适用于所有 SPI 方式。

3．当 SPI 被配置为工作于多主方式的主器件而 NSS 被拉为低电平时，方式错误标志 MODF 被置 1。当发生方式错误时，SPIMS 和 SPIEN 位被清 0，以禁止 SPI 并允许另一个主器件访问总线。

4．当 SPI 被配置为从器件并且一次传输结束，而接收缓冲器中还保持着上一次传输的数据未

临时版本

被读取时，接收溢出标志 RXOVR 被置 1。新接收的字节将不被传送到接收缓冲器，允许前面接收的字节被读取。引起溢出的数据字节丢失。

7.1.4 SPI 的工作方式

SPI 的工作方式有一下几种：3 线 SPI，4 线从方式/多主方式，4 线单主方式。SPI 的工作方式将通过 SPI_CR1[NSSMOD]进行设置。

当 SPI_CR1[NSSMOD]=00 时，SPI 将以 3 线制工作，NSS 端口将不会连接到 IO 口上，该工作方式可用于主从机模式。由于没有 NSS 信号作为器件选择信号，所以要求在总线上不能有多个从机存在，即只能进行点对点通信，主从机连接方式如图 7-1 所示。

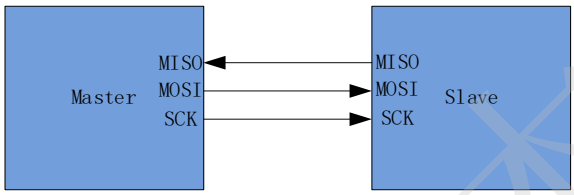


图 7-1　3 线单主方式和 3 线单从方式连接图

当 SPI_CR1[NSSMOD]=01 时，SPI 将以 4 线制工作，NSS 端口将作为输入端口检测选通信号，当 SPI_CR0[SPIMS]=1 时，该工作方式为多主机方式；当 SPI_CR0[SPIMS]=0 时，该工作方式为从机方式。对于多主机方式，当总线中的某个主机的 NSS 被拉低，那么这个主机会将 SPI_CR1[MODF]置 1，同时变为从机模式，并且将 SPI 禁能。对于从机方式，当从机 NSS 被拉低两个系统周期后，SPI 将会启动传输。多主机的连线方式如图 7-2 所示。

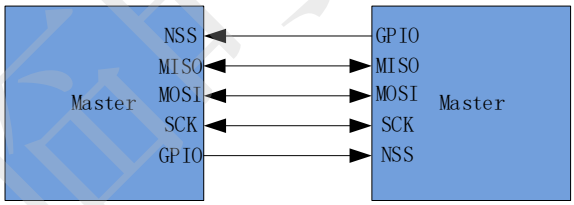


图 7-2 多主方式连接图

当 SPI_CR1[NSSMOD]=1x 时，SPI 将以 4 线制工作，这个工作方式只适用于主机模式。在这个工作方式下，NSS 信号为输出信号，可通过写入 SPI_CR1[NSSMOD0]的值来进行控制：当 SPI_CR1[NSSMOD0]=1 时 NSS 端口将输出高电平；当 SPI_CR1[NSSMOD0]=0 时 NSS 端口将输出低电平。单主机单从机的连接如图 7-3 所示。

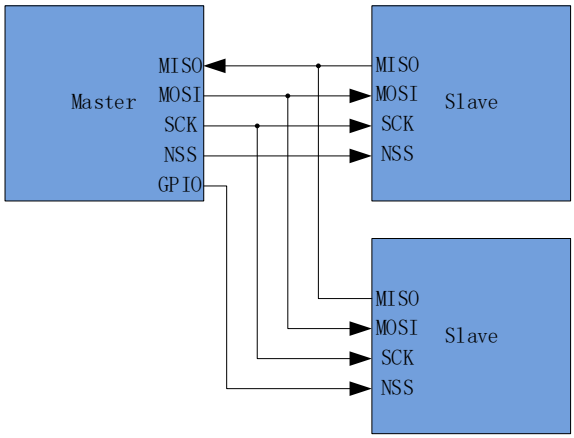


图 7-3　4 线单主方式和 4 线从方式连接图

7.1.5　串行时钟时序

使用 SPI 配置寄存器 SPI_CFG 中的时钟控制选择位可以在串行时钟相位和极性的 4 种组合中选择其一。SPI_CFG 寄存器的 CPHA 位选择两种时钟相位（锁存数据所用的边沿）中的一种。SPI_CFG 寄存器的 CPOL 位在高电平有效和低电平有效的时钟之间选择。主器件和从器件必须被配置为使用相同的时钟相位和极性。注意：在改变时钟相位和极性期间应禁止 SPI（通过清除 SPIEN 位）。主方式下时钟和数据线的时序关系如图 7-4；从方式下时钟和数据线的时序关系如图 7-5 和图 7-6。

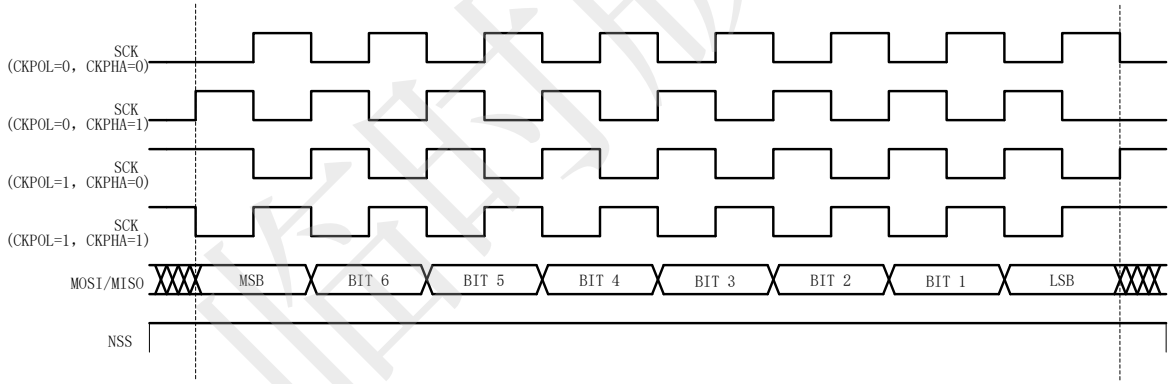


图 7-4 主方式数据/时钟时序图

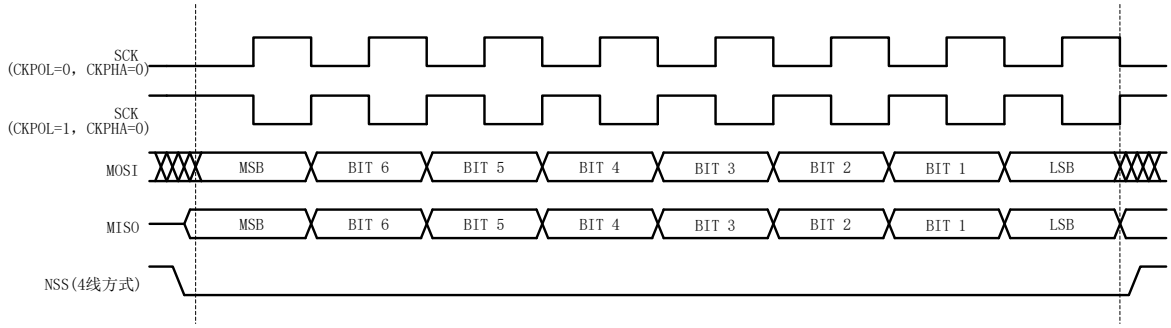


图 7-5 从方式数据/时钟时序图(CPHA=0)

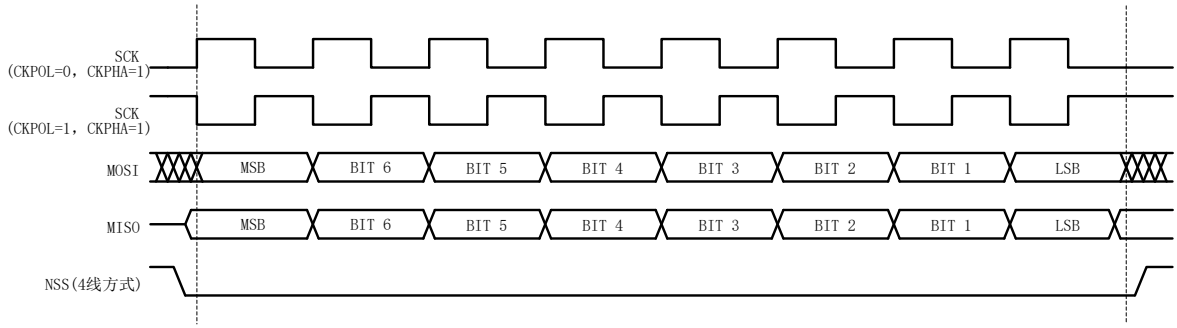


图 7-6 从方式数据/时钟时序图(CPHA=1)

临时版本

7.2 SPI 寄存器

7.2.1 SPI_CR0（0x4030）

表 7-1 SPI_CR0（0x4030）

位	7	6	5	4	3	2	1	0
名称	SPIBSY	SPIMS	CPHA	CPOL	SLVSEL	NSSIN	SRMT	RXBMT
类型	R	R/W	R/W	R/W	R	R	R	R
复位值	0	0	0	0	1	0	1	1

字段	名称	描述
[7]	SPIBSY	当一次 SPI 传输正在进行时（主或从方式），该位被置为逻辑 1。
[6]	SPIMS	主机/从机模式设置 0：slave（从机） 1：master（主机）
[5]	CPHA	SPI 时钟相位 0：在 SCK 周期的第一个边沿采样数据 1：在 SCK 周期的第二个边沿采样数据
[4]	CPOL	SPI 时钟极性 0：空闲电平为低 1：空闲电平为高
[3]	SLVSEL	当 NSS 引脚为低电平时该位被置 1，表示 SPI 是被选中的从器件。当 NSS 引脚为高电平时（未被选中为从器件）该位被清 0。该位不指示 NSS 引脚的即时值，而是该引脚输入的去噪信号。
[2]	NSSIN	该位指示读该寄存器时 NSS 引脚的即时值。该信号未被去噪。
[1]	SRMT	移位寄存器空标志(只在从机模式时有效) 当所有数据都被移入/移出移位寄存器并且没有新数据可以从发送缓冲器读出或向接收缓冲器写入时，该位被置 1。当数据字节被从发送缓冲器传送到移位寄存器或 SCK 发生变化时，该位被清 0。 注：在主方式时 SRMT = 1
[0]	RXBMT	接收暂存器空标志(只在从机模式时有效) 当接收缓冲器被读取且没有新数据时，该位被置 1。如果在接收缓冲器中有新数据未被读取，则该位被清 0。 注：在主方式时，RXBMT = 1
相位模式/时钟极性： 00：上升沿接收，下降沿发送，空闲电平为低 01：上升沿发送，下降沿接收，空闲电平为高 10：上升沿发送，下降沿接收，空闲电平为低 11：上升沿接收，下降沿发送，空闲电平为高		

7.2.2 SPI_CR1（0x4031）

表 7-2 SPI_CR1（0x4031）

位	7	6	5	4	3	2	1	0
名称	SPIIF	WCOL	MODF	RXOVR	NSSMOD		TXBMT	SPIEN
类型	R/W0	R/W0	R/W0	R/W0	R/W	R/W	R	R/W
复位值	0	0	0	0	0	0	1	0

字段	名称	描述
[7]	SPIIF	SPI 中断标志位 当每次传输完一个数据（8bit）之后，这位将由硬件拉高。此位必须由软件写 0 清 0
[6]	WCOL	写冲突标志位 当 TXBMT 为 0 时，写入 SPI_DR 则将此位拉高， ，表示数据传送期间对 SPI 数据寄存器进行了写操作。 此位必须由软件写 0 清 0
[5]	MODF	模式错误标志位 当检测到主机模式冲突的时候将此位置为 1 (NSS is low, SPIMS = 1 and NSSMD[1:0]=01). 此位必须由软件写 0 清 0
[4]	RXOVR	接收 overrun 标志(只在从机模式下有效) 当前传输的最后一位已经移入 SPI 移位寄存器，而接收缓冲器中仍保存着前一次传输未被读取的数据时该位由硬件置为逻辑 1（并产生一个 SPI 中断）。该位不会被硬件自动清 0，必须用软件写 0 清 0。
[3:2]	NSSMOD	选择 NSS 工作方式： 00：3 线从方式或 3 线主方式。NSS 信号不连到端口引脚。 01：4 线从方式或多主方式（默认值）。NSS 总是器件的输入。 1x：4 线单主方式。NSS 被分配一个输出引脚并输出 NSSMOD0 的值。
[1]	TXBMT	发送缓冲器空标志 当新数据被写入发送缓冲器时，该位被清 0。当发送缓冲器中的数据被传送到 SPI 移位寄存器时，该位被置 1，表示可以向发送缓冲器写新数据。
[0]	SPIEN	SPI 使能位 0：禁止 SPI 1：使能 SPI

7.2.3 SPI_CLK（0x4032）

表 7-3 SPI_CLK（0x4032）

位	7	6	5	4	3	2	1	0
名称	SPI_CLK							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	SPI_CLK	SPI 时钟频率设置，master 模式有效，仅在 SPIEN=0 时可写。 fsck = sysclk/(2x(SPI_CLK[7:0] + 1)) 例如 sysclk = 24MHz，SPI_CLK=0x04 fsck = 24000000/(2x(4+1)) = 2400kHz

7.2.4 SPI_DR（0x4033）

表 7-4 SPI_DR（0x4033）

位	7	6	5	4	3	2	1	0
名称	SPI_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	SPI_DR	SPI_DR 寄存器用于发送和接收 SPI 数据。在主方式下，向 SPI_DR 写入数据时，数据被放到发送缓冲器并启动发送。读 SPI_DR 返回接收缓冲器的内容。

临时版本

8 UART

8.1 UART 操作说明

8.1.1 模式 0

移位模式，多用于扩展 IO 口。在该模式下，TXD 为时钟输出，RXD 为数据总线，时钟频率为 fcpu_clk/12，发送数据时从最低位开始发送。数据发送/接收由 UT_CR[REN]决定，UT_CR[REN]=0 时为发送模式；UT_CR[REN]=1 时为接收模式。

发送数据时，将要发送的数据写入 UT_DR，复位 UT_CR[TI]，这时 TXD 将输出移位脉冲，RXD 将输出 UT_DR 的数据，输出时钟频率为 fcpu_clk/12。发送结束后 UT_CR[TI]置位。

接收数据时，先复位 UT_CR[RI]同时置位 UT_CR[REN]，这时 TXD 输出移位脉冲，RXD 开始接收数据，移位脉冲的频率为 fcpu_clk/12。接收结束后 UT_CR[RI]=1，读取 UT_DR 会得到接收到的数据。

8.1.2 模式 1

该模式的工作模式为全/半双工。在该模式下 TXD 为发送数据总线，RXD 为接收数据总线，收发数据为 10 位，即 1 位启动、8 位数据（UT_DR）、1 位停止，波特率由 UT_BAUD 决定。

发送数据时，将发送的数据写入 UT_DR，复位 UT_CR[TI]，这时 TXD 将输出 10 位数据，发送完成后 UT_CR[TI]置位。

接收数据时，需先置位 UT_CR[REN]启动接收，然后复位 UT_CR[RI]，这时通过 UART 输入的数据将由 RXD 送入单片机，接收完成后，UT_CR[RB8]和 UT_CR[RI]置位，读取 UT_DR 会得到接收到的数据。

8.1.3 模式 2

该模式的工作模式为全/半双工。在该模式下 TXD 为发送数据总线，RXD 为接收数据总线，收发数据为 11 位，即 1 位启动、9 位数据（UT_DR+ UT_CR[RB8]/ UT_CR[TB8]）、1 位停止，波特率由 UT_BAUD 决定。

发送数据时，将发送的数据写入 UT_DR，同时设置 UT_CR[TB8]，复位 UT_CR[TI]，这时 TXD 将输出 11 位数据，发送完成后 UT_CR[TI]置位。

接收数据时，需先置位 UT_CR[REN]启动接收，然后复位 UT_CR[RI]，这时通过 UART 输入的数据将由 RXD 送入单片机，接收完成后，UT_CR[RI]置位，UT_CR[RB8]将存放第 9 位数据，读取 UT_DR 会得到接收到前 8 位的数据。

临时版本

8.1.4 模式 3

基本操作与模式 2 相同，但波特率设置与模式 1 相同。

8.1.5 UART 中断源

如果 UART 中断被允许（IE 寄存器的 ES0=1），在下述 2 个标志位被置 1 时将产生中断。

注意：这 2 个标志位都必须用软件清 0。

1. 在 UART 发送完 1 组数据（模式 0,1 为 8bit；模式 2，3 为 9bit），发送完成中断标志 TI 硬件置 1
2. 在 UART 接收完 1 组数据和 STOP 停止位后，接收完成中断标志 RI 硬件置 1

8.2 UART 寄存器

8.2.1 UT_CR（0x98）

表 8-1 UT_CR（0x98）

位	7	6	5	4	3	2	1	0
名称	MOD		SM2	REN	TB8	RB8	TI	RI
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	MOD	**模式控制** 00：模式0——移位寄存器 此模式下波特率为： Baud rate=f_{cpu_clk}/12 01：模式1——8-bit UART 此模式下波特率为： f_{cpu_clk} / (16 / (1+ UT_BAUD[BAUD_SEL])) / (UT_BAUD+1) 10：模式2——9-bit UART 此模式下波特率为： f_{cpu_clk}/ (32 – 16* UT_BAUD[BAUD_SEL]) 11：模式3——9-bit UART 此模式下波特率为： f_{cpu_clk} / (16 / (1+ UT_BAUD[BAUD_SEL])) / (UT_BAUD+1)
[5]	SM2	0：不允许多线程处理器操作； 1：允许多线程处理器操作；
[4]	REN	0：不允许串行输入操作； 1：允许串行输入，软件清0 ；
[3]	TB8	设置在模式2与模式3下数据发送的第9位，此位根据实际功能由硬件清0
[2]	RB8	设置在模式2与模式3下数据接收的第9位，如果SM2为0，这一位作为停止位，在模式0下此位不使用。

[1]	TI	发送完成中断标志，发送完毕后硬件将此位置1，必须由软件清0
[0]	RI	接收完成中断标志，接收完毕后硬件将此位置1，必须由软件清0

8.2.2 UT_DR（0x99）

表 8-2 UT_DR（0x99）

位	7	6	5	4	3	2	1	0
名称	UT_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	UT_DR	发送/接收数据

8.2.3 UT_BAUD（0x9A,0x9B）

表 8-3 UT_BAUDH（0x9B）

位	7	6	5	4	3	2	1	0
名称	BAUD_SEL	RSV			UT_BAUDH			
类型	R/W	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 8-4 UT_BAUDL（0x9A）

位	7	6	5	4	3	2	1	0
名称	UT_BAUDL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	1	1	0	1	1

字段	名称	描述
[15]	BAUD_SEL	倍频使能
[14:12]	RSV	保留
[11:0]	UT_BAUD	模式 1,3 下的波特率设置

9 MDU

MDU 是一个乘法/除法协处理器，可以支持 32bit/16bit、16bit*16bit 两种操作，乘法为有符号乘法或者无符号乘法，除法为无符号除法。MDU 的模式由 MDU_CR 决定。

乘法模式: MD_MC3～0={MD_MAH、MD_MAL} * {MD_MBH、MD_MBL}

注意：MD_MC3～2 复用的是 MD_MAH 和 MD_MAL；MD_MC1～0 复用的是 MD_MBH 和 MD_MBL，故而 MD_MAH、MD_MAL、MD_MBH、MD_MBL 写的是被乘数和乘数，读的是乘的结果。

除法模式: MD_DC3～0, MD_DD1～0 = MD_DA3～0 / MD_DB1～0

商放在 MD_DC3～0，余数放在 MD_DD1～0。

注意：MD_DC3～0 复用的是 MD_DA3～0；MD_DD1～0 复用的是 MD_DB1～0。故往 MD_DA3～0 写的是被除数，读的是商；故而 MD_DB1～0 写的是除数，读的是余数。

乘法执行时间为 1 个时钟周期，将数据装载好后下一条指令即可取走结果，结果根据 MDU_CR[ALIGN]决定是否右移。除法执行时间为 16 个时钟周期，将数据装载好后需置位 MDU_CR[DIVSTA]，16 个时钟周期后才能拿走结果。软件可通过查询 MDU_CR[DIVDONE]来判断除法是否完毕。

9.1 乘法使用方法:

1) 根据乘法的符号情况设置 MDU_CR[MDSN]，无符号乘法设置为 0，有符号乘法设置为 1；同时设置结果右移位数 MDU_CR[ALIGN]；
2) 装载被乘数至 MD_MA，装载乘数至 MD_MB；
3) 从 MD_MA 读走结果的高 16 位，从 MD_MB 读走结果的低 16 位；
4) 如果不改变乘法的符号模式和右移情况，下一次乘法可从 2)开始。

9.2 除法使用方法:

1) 软件把要做除法运算的被除数写到 MD_DA，把除数写到 MD_DB；
2) 往 MDU_CR[DIVSTA]写 1，启动 32 位/16 位除法；
3) 经过 16 个系统时钟后运算结束，这一步可通过查询 MDU_CR[DIVDONE]完成，MDU_CR[DIVDONE] =1 表示除法结束，否则还需等待；
4) 运算结束后，从 MD_DA 读商，从 MD_DB 读余数。

9.3 注意事项

1) 如果做除法运算时除数 MD_DB 为 0，除法器将产生一个 MDU_CR[DIVERR]标志，它将维持在高电平直到下一次做除法时除数为非 0；

临时版本

2) 除法器在工作时（MDU_CR[DIVDONE]=0），商和余数结果都是不确定的，只有在除法器空闲时读取的商和余数才是稳定正确的；

3) 除法器在工作时（MDU_CR[DIVDONE]=0），改变除数或被除数的值都不会影响最后的结果，除非再来一次 MDU_CR[DIVSTA]（MDU_CR[DIVSTA]写 1）。

4) 乘法器和除法器的输入数据寄存器只有 1 级，使用时应注意中断的影响。比如：当装载被乘数至 MD_MA，准备装载乘数至 MD_MB 时来了中断，在中断服务程序中也需要操作乘法器，退出中断后，MCU 又接着中断前的序列，继续装载 MD_MB，而此时，如果没有保护中断前的 MD_MA，则得出的结果是错误的，因此，软件开发人员应采取合理措施防止和规避类似情况的发生。

临时版本

9.4 MDU 寄存器

9.4.1 MDU_CR (0xC1)

表 9-1 MDU 模式控制和状态指示位

位	7	6	5	4	3	2	1	0
名称	DIVDONE	DIVERR	RSV		ALIGN		MDSN	DIVSTA
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	0

位	名称	描述功能描述
[7]	DIVDONE	0：除法运算尚未完成 1：除法运算已经完成
[6]	DIVERR	0：最近一次除法正常 1：最近一次除法错误，除数为 0
[5:4]	RSV	保留位
[3:2]	ALIGN	乘法结果右移模式设置，仅对乘法有效 00：不右移 01：右移 8bit 10：右移 12bit 11：右移 15bit
[1]	MDSN	乘法的符号模式 0：无符号乘法 1：有符号乘法
[0]	DIVSTA	除法启动位，仅在除法模式下有效，软件置 1，硬件完成除法运算后自动清 0。 0：DIV 未开始 1：启动 32 位除法

9.4.2 MD_MBL (0xCA)

表 9-2 乘法 B 操作数的 Bit[7:0](只写)或者乘法结果的 Bit[7:0](只读)

位	7	6	5	4	3	2	1	0
名称	MD_MBL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_MBL	乘法 B 操作数的 Bit[7:0](只写)或者乘法结果的 Bit[7:0](只读)

9.4.3 MD_MBH (0xCB)

表 9-3 乘法 B 操作数的 Bit[15：8]（只写）或者乘法结果的 Bit[15：8]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_MBH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

初样版本

位	名称	描述功能描述
[7:0]	MD_MBH	乘法 B 操作数的 Bit[15：8]（只写）或者乘法结果的 Bit[15：8]（只读）

9.4.4 MD_MAL (0xC2)

表 9-4 乘法 A 操作数的 Bit[7：0]（只写）或者乘法结果的 Bit[23：16]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_MAL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_MAL	乘法 A 操作数的 Bit[7：0]（只写）或者乘法结果的 Bit[23：16]（只读）

9.4.5 MD_MAH (0xC3)

表 9-5 乘法 A 操作数的 Bit[15：8]（只写）或者乘法结果的 Bit[31：24]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_MAH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_MAH	乘法 A 操作数的 Bit[15：8]（只写）或者乘法结果的 Bit[31：24]（只读）

9.4.6 MD_DA0 (0xC4)

表 9-6 除法 A 操作数的 Bit[7:0]（只写）或者商的 Bit[7：0]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_DA0							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA0	除法 A 操作数的 Bit[7:0]（只写）或者商的 Bit[7：0]（只读）

9.4.7 MD_DA1 (0xC5)

表 9-7 除法 A 操作数的 Bit[15: 8]（只写）或者商的 Bit[15：8]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_DA1							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA1	除法 A 操作数的 Bit[15: 8]（只写）或者商的 Bit[15：8]（只读）

9.4.8 MD_DA2 (0xC6)

表 9-8 除法 A 操作数的 Bit[23：16]（只写）或者商的 Bit[23:16]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_DA2							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA2	除法 A 操作数的 Bit[23：16]（只写）或者商的 Bit[23:16]（只读）

9.4.9 MD_DA3 (0xC7)

表 9-9 除法 A 操作数的 Bit[31：24]（只写）或者商的 Bit[31：24]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_DA3							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA3	除法 A 操作数的 Bit[31：24]（只写）或者商的 Bit[31：24]（只读）

9.4.10 MD_DB0 (0xCC)

表 9-10 除法 B 操作数的 Bit[7：0]（只写）或者余数的 Bit[7：0]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_DB0							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DB0	除法 B 操作数的 Bit[7：0]（只写）或者余数的 Bit[7：0]（只读）

9.4.11 MD_DB1 (0xCD)

表 9-11 除法 B 操作数的 Bit[15：8]（只写）或者余数的 Bit[15：8]（只读）

位	7	6	5	4	3	2	1	0
名称	MD_DB1							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DB1	除法 B 操作数的 Bit[15：8]（只写）或者余数的 Bit[15：8]（只读）

10 PI

10.1 PI 操作说明

1、 PI 公式：

U(K) = U(k-1) + Kp*(E(k) – E(k-1)) + Ki*E(k) ----- (Uk_min < U(k) < Uk_max)

2、 配置 PI_LPF_CR 寄存器的 PISTA=1，PI 启动，4 个系统周期后计算完成，PI_UK 数据更新。

3、 PI 的参数可以选择 Q12 和 Q15 模式，默认是 Q12，即 PI_KP 和 PI_KI 的数据格式为 Q12，但是其余寄存器的数据格式仍为 Q15。

4、 U(k-1)和 E(k-1)默认为上一次的 U(k)和 E(k)，如果需要改变 E(k-1)的值，将值写进 PI_EK 寄存器，同时需要启动 PI；如果需要改变 U(k-1)的值，将值写进 PI_UK 寄存器。

MCU 只有一个 PI 模块，如果要同时多处地方使用 PI 调节，注意 PI 运算使用完后保存参数，以备下一次使用时正确初始化参数。在第一次使用 PI 运算时 PI 内部参数是保存上一次使用的运算结果，因此要进行正确的初始化操作：

```
PI_EK = X;                          //初始化 E(k-1)
SetBit(PI_LPF_CR , PISTA);          //启动 PI
_nop_();
_nop_();
_nop_();
_nop_();                            //等待 PI 运算完成
PI_UK = X;                          //初始化 U(k-1)
```

临时版本

10.2 PI 寄存器

10.2.1 PI_LPF_CR（0xF9）

表 10-1 PI_LPF_CR（0xF9）

位	7	6	5	4	3	2	1	0
名称	T2SS	RSV				PIRANGE	PISTA	LPFSTA
类型	R/W	R/W				R/W	R/W	R/W
复位值	0	0				0	0	0

字段	名称	描述
[7]	T2SS	TIM2 步进电机模式的输入模式选择 0：P10 为方向，P07 为脉冲计数 1：P10 为反向脉冲计数，P07 为正脉冲计数
[6:3]	RSV	保留位
[2]	PIRANGE	PI 参数格式 0：Q12，即 KP,KI 的取值范围（-32768,32767）对应实际数值（-8,8） 1：Q15，即 KP,KI 的取值范围（-32768,32767）对应实际数值（-1,1）
[1]	PISTA	PI 启动，软件写一，下一时刻硬件自清零 0：不启动 1：启动
[0]	LPFSTA	LPF 启动，软件写一，下一时刻硬件自清零 0：不启动 1：启动

10.2.2 PI_EK（0xEA，0xEB）

表 10-2 PI_EKH（0xEB）

位	7	6	5	4	3	2	1	0
名称	PI_EK[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-3 PI_EKL（0xEA）

位	7	6	5	4	3	2	1	0
名称	PI_EK[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_EK	输入误差 取值范围（-32768,32767）

临时版本

10.2.3 PI_UK（0xEC，0xED）

表 10-4 PI_UKH（0xED）

位	7	6	5	4	3	2	1	0
名称	PI_UK[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-5 PI_UKL（0xEC）

位	7	6	5	4	3	2	1	0
名称	PI_UK[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_UK	PI 控制器的计算结果 取值范围（-32768,32767）

10.2.4 PI_KP（0xEE，0xEF）

表 10-6 PI_KPH（0xEF）

位	7	6	5	4	3	2	1	0
名称	PI_KP[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-7 PI_KPL（0xEE）

位	7	6	5	4	3	2	1	0
名称	PI_KP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_KP	KP 系数 取值范围（-32768,32767）

10.2.5 PI_KI（0xF2，0xF3）

表 10-8 PI_KIH（0xF3）

位	7	6	5	4	3	2	1	0
名称	PI_KI[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-9 PI_KIL（0xF2）

位	7	6	5	4	3	2	1	0
名称	PI_KI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_KI	KI 系数 取值范围（-32768,32767）

10.2.6 PI_UKMAX（0xF4，0xF5）

表 10-10 PI_UKMAXH（0xF5）

位	7	6	5	4	3	2	1	0
名称	PI_UKMAX[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-11 PI_UKMAXL（0xF4）

位	7	6	5	4	3	2	1	0
名称	PI_UKMAX[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_UKMAX	UK 的最大限幅值 取值范围（-32768,32767）

10.2.7 PI_UKMIN（0xF6，0xF7）

表 10-12PI_UKMINH（0xF7）

位	7	6	5	4	3	2	1	0
名称	PI_UKMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-13 PI_UKMINL（0xF6）

位	7	6	5	4	3	2	1	0
名称	PI_UKMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_UKMIN	UK 的最小限幅值

		取值范围（-32768,32767）

临时版本

11 LPF

11.1 LPF 操作说明

1、LPF 公式：

Y(k) = Y(k-1) + LPF_K*(X(k) – Y(k-1))

2、配置 PI_LPF_CR 寄存器的 LPFSTA=1，LPF 启动，4 个 cycle 后计算完成，LPF_Y 数据更新。

3、Y(k-1)默认为上一次的 Y(k)，如果需要改变 Y(k-1)的值，将值写进 LPF_Y 寄存器。

11.2 LPF 寄存器

11.2.1 PI_LPF_CR（0xF9）

表 11-1 PI_LPF_CR（0xF9）

位	7	6	5	4	3	2	1	0
名称	T2SS	RSV				PIRANGE	PISTA	LPFSTA
类型	R/W	R/W				R/W	R/W	R/W
复位值	0	0				0	0	0

字段	名称	描述
[7:1]	请参考表 10-1	
[0]	LPFSTA	LPF 启动，软件写一，下一时刻硬件自清零 0：不启动 1：启动

11.2.2 LPF_K（0xDD）

表 11-2 LPF_K（0xDD）

位	7	6	5	4	3	2	1	0
名称	LPF_K							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	LPF_K	低通滤波系数 取值范围（-128,127）对应实际数值（-1,1）

临时版本

11.2.3 LPF_X（0xDE，0xDF）

表 11-3 LPF_XH（0xDF）

位	7	6	5	4	3	2	1	0
名称	LPF_X[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 11-4 LPF_XL（0xDE）

位	7	6	5	4	3	2	1	0
名称	LPF_X[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	LPF_X	输入值 取值范围（-32768,32767）

11.2.4 LPF_Y（0xE6，0xE7）

表 11-5LPF_YH（0xE7）

位	7	6	5	4	3	2	1	0
名称	LPF_Y[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 11-6 LPF_YL（0xE6）

位	7	6	5	4	3	2	1	0
名称	LPF_Y[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	LPF_Y	输出值 取值范围（-32768,32767）

修正版本

12 SMDU

12.1 操作流程:

1. SMDU 使能：MDU_EN_N→TIM234_CTRL[6]置 1。注意该位被置 1 后，之前的 MDU/LPF/PI 功能全部自动禁用
2. SMDU 模式选择：配置 MDU_CR[MDUMOD]选择一种运算模式
3. SMDU 启动：MDU_CR 中的任意一组 MDUSTA
4. SMDU 运算完成：等待 MDU_CR 的 MDU 繁忙(MDUBUSY) 位清 0

12.2 寄存器

新增 4 组 MDU（SMDU）。与旧的 MDU_CR 复用，当 MDU_EN_N 为 0 时寄存器 MDU_CR 依然是旧的寄存器位，当 MDU_EN_N 为 1 时 MDU_CR 寄存器是新的寄存器位。

12.2.1 MDU_CR（0xC1）

表 12-1 MDU_CR（0xC1）

MDU_CR(0xC1)								
位	7	6	5	4	3	2	1	0
名称	MDUBSY	MDUSTA3	MDUSTA2	MDUSTA1	MDUSTA0	MDUMOD2	MDUMOD1	MDUMOD0
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	MDUBSY	当使能 SMDU 时，用于表示 MDU 繁忙 0:空闲 1:忙
[6]	MDUSTA3	当使能 SMDU 时，用于表示启动计算单元 3 0:Disable 1:Enable
[5]	MDUSTA2	当使能 SMDU 时，用于表示启动计算单元 2 0:Disable 1:Enable
[4]	MDUSTA1	当使能 SMDU 时，用于表示启动计算单元 1 0:Disable 1:Enable
[3]	MDUSTA0	当使能 SMDU 时，用于表示启动计算单元 0 0:Disable 1:Enable
[2:0]	MDUMOD[2:0]	当使能 SMDU 时，用于表示 MDU 运行模式配置 000：有符号乘法，计算结果左移 1 位 001：有符号乘法 010：无符号乘法 011：32/16 无符号除法 100：Sin/Cos

		101：Atan 110：LPF 111：PI

SMDU 使能位在 TIM234_CTRL[6]

12.2.2 TIM234_CTRL（0x40f1）

表 12-2 TIM234_CTRL（0x40f1）

TIM234_CTRL（0x40f1）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	RSV	MDU_EN_N	TIM2_FAST_DIR	TIM2_DR_SEL	TIM4_RCTRL	TIM3_RCTRL	TIM2_RCTRL	TIM3_48M
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	**名称**	**描述**
[7]	RSV	保留
[6]	MDU_EN_N	此位为 1 时，关闭 MDU 启动 SMDU 0:Disable 1:Enbale
[5]	TIM2_FAST_DIR	TIM2 QEP 模式下，快速识别方向 0:Disable 1:Enbale
[4]	TIM2_DR_SEL	TIM2 QEP 模式下，当计数值到达 TIM2__DR 或者 0 时复位为 0 或 TIM2__DR 0:Disable 1:Enbale
[3]	TIM4_RCTRL	TIM4_ARR 溢出时 DR=0/0xffff 0:Disable 1:Enbale
[2]	TIM3_RCTRL	TIM3_ARR 溢出时 DR=0/0xffff 0:Disable 1:Enbale
[1]	TIM2_RCTRL	TIM2_ARR 溢出时 DR=0/0xffff 0:Disable 1:Enbale
[0]	TIM3_48M	TIM3_48M 输入捕获使能 0:Disable 1:Enbale

MDU 寄存器地址如下所示（每个寄存器占用两个字节）

0x03f8	LPF0_K	LPF0_X	LPF0_YH	LPF0_YL
0x03f0	LPF1_K	LPF1_X	LPF1_YH	LPF1_YL
0x03e8	PI0_UKH	PI0_UKL	PI0_UKMAX	PI0_UKMIN
0x03e0	PI0_KP	PI0_EK1	PI0_EK	PI0_KI
0x03d8	PI1_UKH	PI1_UKL	PI1_UKMAX	PI1_UKMIN
0x03d0	PI1_KP	PI1_EK1	PI1_EK	PI1_KI
0x03C8	MUL0_MA	MUL0_MB	MUL0_MCH	MUL0_MCL
0x03C0	MUL1_MA	MUL1_MB	MUL1_MCH	MUL1_MCL
0x03B8	DIV0_DB	DIV0_DQH	DIV0_DQL	DIV0_DR
0x03B0	DIV1_DQL	DIV1_DR	DIV0_DAH	DIV0_DAL
0x03A8	DIV1_DAH	DIV1_DAL	DIV1_DB	DIV1_DQH
0x03A0	LPF2_K	LPF2_X	LPF2_YH	LPF2_YL
0x0398	LPF3_K	LPF3_X	LPF3_YH	LPF3_YL
0x0390	PI2_UKH	PI2_UKL	PI2_UKMAX	PI2_UKMIN
0x0388	PI2_KP	PI2_EK1	PI2_EK	PI2_KI
0x0380	PI3_UKH	PI3_UKL	PI3_UKMAX	PI3_UKMIN
0x0378	PI3_KP	PI3_EK1	PI3_EK	PI3_KI
0x0370	MUL2_MA	MUL2_MB	MUL2_MCH	MUL2_MCL
0x0368	MUL3_MA	MUL3_MB	MUL3_MCH	MUL3_MCL
0x0360	DIV2_DB	DIV2_DQH	DIV2_DQL	DIV2_DR
0x0358	DIV3_DQL	DIV3_DR	DIV2_DAH	DIV2_DAL
0x0350	DIV3_DAH	DIV3_DAL	DIV3_DB	DIV3_DQH
0x0348	SCAT0_SIN	SCAT0_THE	SCAT0_RES1	SCAT0_RES2
0x0340	SCAT1_THE	SCAT1_RES1	SCAT1_RES2	SCAT0_COS
0x0338	SCAT2_RES1	SCAT2_RES2	SCAT1_COS	SCAT1_SIN
0x0330	SCAT3_RES2	SCAT2_COS	SCAT2_SIN	SCAT2_THE
0x0328	SCAT3_COS	SCAT3_SIN	SCAT3_THE	SCAT3_RES1

数据寄存器	内容
MUL_MA	被乘数
MUL_MB	乘数
MUL_MCH	积的高 16 位
MUL_MCL	积的低 16 位

预研版本

数据寄存器	内容
DIV_DAH	被除数高 16 位
DIV_DAL	被除数低 16 位
DIV_DB	除数
DIV_DQH	商高 16 位
DIV_DQL	商低 16 位
DIV_DR	余数

坐标转换的计算公式为

$$sin_o = cos_i \times sin\,\theta + sin_i \times cos\,\theta$$
$$cos_o = cos_i \times cos\,\theta - sin_i \times sin\,\theta$$

$$U = \sqrt{sin\,\theta^2 + cos\,\theta^2}$$
$$\theta = tan^{-1}\left(\frac{sin\,\theta}{cos\,\theta}\right)$$

数据寄存器	内容	
	Sin/Cos模式	*ATan模式*
SCAT_COS	cos_i	cos_i
SCAT_SIN	sin_i	sin_i
SCAT_THE	θ	
SCAT_RES1	cos_o	U
SCAT_RES2	sin_o	θ

LPF 的计算公式为

$$Y_k = Y_{k-1} + K \times (X_k - Y_{k-1})$$

数据寄存器	内容
LPF_K	滤波系数
LPF_X	滤波输入
LPF_YH	滤波结果高 16 位
LPF_YL	滤波结果低 16 位

PI

数据寄存器	内容
PI_KP	Kp 系数，Q12 格式，有效范围[32767，0]
PI_EK1	上一次的误差
PI_EK	当前的误差
PI_KI	Ki 系数，Q15 格式，有效范围[32767，0]
PI_UKH	PI 计算结果高 16 位
PI_UKL	PI 计算结果低 16 位
PI_UKMAX	UK 限幅最大值
PI_UKMIN	UK 限幅最小值

13 FOC/SVPWM

本章节内容不适用于 FU6861NF2。

13.1 FOC/SVPWM 操作说明

13.1.1 简介

FOC/SVPWM 模块用于无感 FOC，有感 FOC，有感 SVPWM 应用场合，由于 SVPWM 是 FOC 模块的子集，以下 FOC/SVPWM 模块简称 FOC 模块。FOC 作为一个独立的模块，在不工作的时候时钟停止。DRV_CR 寄存器的 FOCEN 作为 FOC 模块的使能位，在操作 FOC 模块之前，必须将该位置一，否则 FOC 模块无法工作，FOC 相关寄存器处于复位状态，同时也无法写。

FOC 模块包含角度模块，PI 控制器，坐标转换模块，输出模块；可以采用内部角度估算模块实现无 HALL FOC 控制；也可以联合 MCU 处理 HALL 信号实现有 HALL FOC 控制。FOC 模块内部包含电流闭环，用户通过给定 ID,IQ 的参考值，就可以输出六路 PWM 驱动电机，同时 ADC 自动采集电流作电流闭环。

A）无 HALL FOC 控制：采用角度估算模块估算角度用作坐标变换，同时输出速度供 MCU 做速度闭环，反电动势做启动检测；

B）有 HALL FOC 控制（单 HALL/双 HALL/三 HALL）：FOC 模块提供角度输入接口，MCU 采集 HALL 信号进行处理，得到角度，将角度值给到 FOC 模块即可。

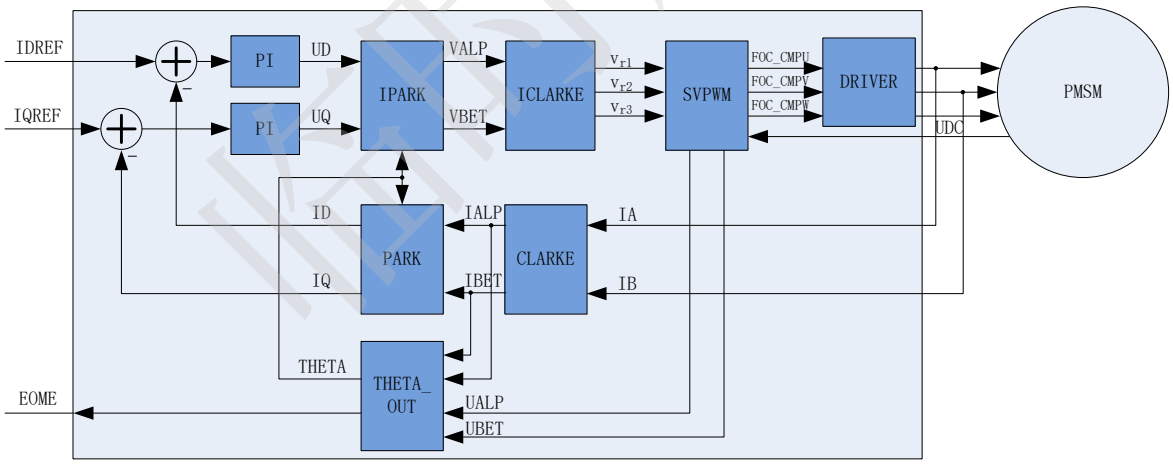


图 13-1 FOC 原理框图

13.1.2 参考输入

FOC 模块根据电流反馈作闭环控制，因此采用 D 轴电流(IDREF)和 Q 轴电流(IQREF)作为参考输入。假如需要实现速度-电流双闭环控制，需要根据 FOC 模块输出的速度 EOME 利用 MCU 或者 PI 模块对速度信号进行处理实现速度外环控制。

13.1.3 PI 控制器

FOC 模块里使用 4 个 PI 控制器，分别应用于：

1、 转子磁通控制：D 轴的 PI 控制器，参考电流 IDREF 减去反馈电流 ID 作为偏差输入，比例系数 DKP 和积分系数 DKI 调节 PI 控制器性能，DMAX 和 DMIN 对输出进行限幅，最后输出 D 轴电压 UD。

2、 转子转矩控制：Q 轴的 PI 控制器，参考电流 IQREF 减去反馈电流 IQ 作为偏差输入，比例系数 QKP 和积分系数 QKI 调节 PI 控制器性能，QMAX 和 QMIN 对输出进行限幅，最后输出 Q 轴电压 UQ。

3、 角度估算：估算器的 PI 控制器，比例系数 EKP 和积分系数 EKI 调节 PI 控制器性能，最终输出估算角度 ETHETA。

4、 PLL 估算：PLL 估算器的 PI 控制器，比例系数 PLLKP 和积分系数 PLLKI 调节 PI 控制器性能，最终输出估算反电动势 EALPHA 和 EBETA。

13.1.4 坐标转换

13.1.4.1 PARK 逆变换

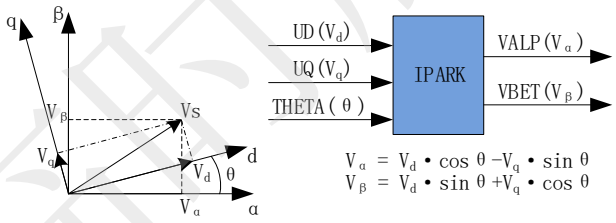


图 13-2 PARK 逆变换

经过 D 轴和 Q 轴的 PI 控制器后，可获得旋转 d-q 坐标系的电压矢量的两个分量 UD 和 UQ。这时需要经过逆变换将其重新变换到 3 相电机电压。首先，使用 PARK 逆变换将电压矢量从 2 轴旋转 d-q 坐标系变换到 2 轴静止 α-β 坐标系。

临时版本

13.1.4.2 CLARKE 逆变换

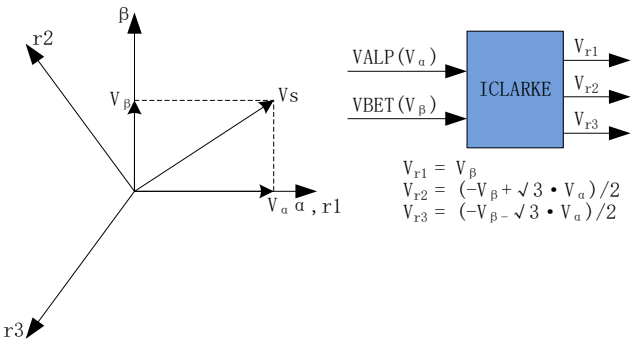


图 13-3 CLARKE 逆变换

通过 CLARKE 逆变换将电压矢量从静止 2 轴 α-β 坐标系变换到静止 3 轴 3 相定子参考坐标系。

13.1.4.3 CLARKE 变换

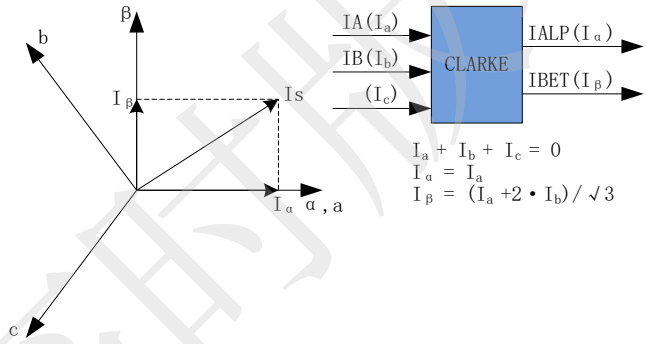


图 13-4 CLARKE 变换

CLARKE 变换将电流从一个 3 轴 2 维的定子坐标系变换到 2 轴 α-β 的定子坐标系。

13.1.4.4 PARK 变换

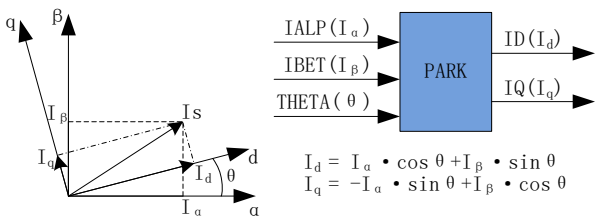


图 13-5 PARK 变换

PARK 变换将电流从 2 轴 α-β 的定子坐标系变换到随着转子磁通旋转的 2 轴 d-q 坐标系。

13.1.5 SVPWM

空间矢量脉宽调制(SVPWM)算法是 FOC 控制的一个重要组成部分，其主要思路是采用逆变器空间电压矢量的切换以获得准圆形旋转磁场，能明显减少逆变器输出电流的谐波分量及电机的谐波损耗，降低转矩脉动，而且有较高的利用率。

SVPWM 产生 3 相电机电压信号的脉宽调制信号，每相脉宽的产生过程都可简化为几个一次方程。三相逆变器的每相输出都可为两种状态之一，即逆变器输出可连接到正极性（+）母线端或负极性（-）母线端，这使得三相逆变器输出共存在 $2^3 = 8$ 种可能的状态。其中三相输出全部连接到正极性（+）母线端或负极性（-）母线端的两种状态被视为无效状态，因为此时任意两相之间都不存在线电压。这两种状态在 SVPWM 星型图中被绘制为原点。其余六种状态表示为每两个相邻状态间旋转间隔为 60 度的矢量。

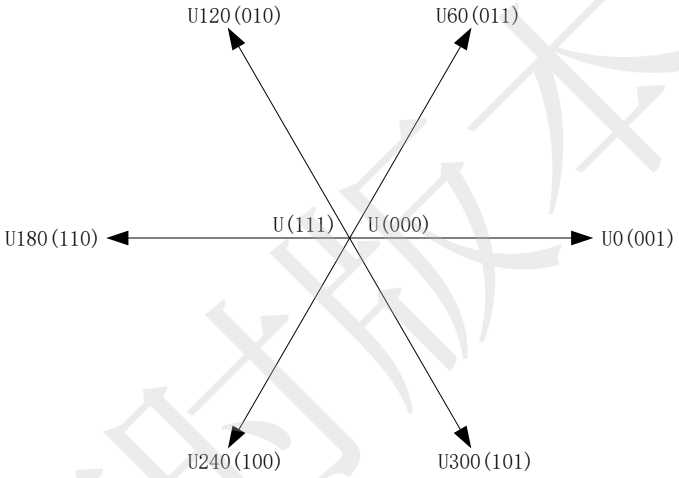


图 13-6 SVPWM 矢量控制

SVPWM 的过程允许通过两个相邻矢量各分量的和来表示任何空间电压矢量。假设 UOUT 是期望的空间电压矢量，该矢量位于 U60 和 U0 之间的区间内。如果在给定 PWM 周期 T 期间，U0 的输出时间为 2T1/T ，而 U60 的输出时间为 2T2/T，则整个周期的平均电压值为 UOUT，T0 表示绕组上无有效电压的时间，即施加了无效矢量。

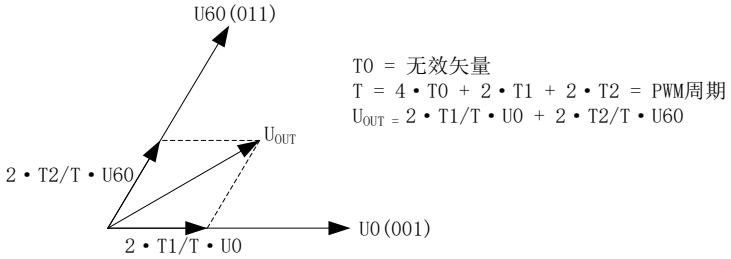


图 13-7 SVPWM 电压合成

表 13-1 空间矢量调制逆变器状态

C 相	B 相	A 相	V_{ab}	V_{bc}	V_{ca}	V_{ds}	V_{qs}	矢量
0	0	0	0	0	0	0	0	U(000)
0	0	1	V_{DC}	0	$-V_{DC}$	$2/3V_{DC}$	0	U0
0	1	1	0	V_{DC}	$-V_{DC}$	$1/3V_{DC}$	$1/3V_{DC}$	U60
0	1	0	$-V_{DC}$	V_{DC}	0	$-1/3V_{DC}$	$1/3V_{DC}$	U120
1	1	0	$-V_{DC}$	0	V_{DC}	$-2/3V_{DC}$	0	U180
1	0	0	0	$-V_{DC}$	V_{DC}	$-1/3V_{DC}$	$-1/3V_{DC}$	U240
1	0	1	V_{DC}	$-V_{DC}$	0	$1/3V_{DC}$	$-1/3V_{DC}$	U300
1	1	1	0	0	0	0	0	U(111)

13.1.5.1 七段式 SVPWM

在单电阻电流采样模式下，FOC 算法固定使用七段式 SVPWM 输出方式。双电阻电流采样模式下，配置 FOC_CR2 寄存器的 F5SEG=0，则选择七段式 SVPWM 输出方式。

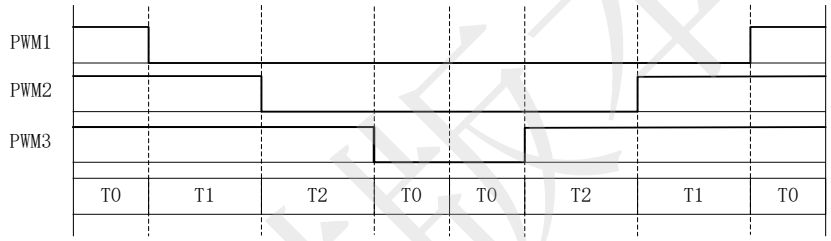


图 13-8 七段式 SVPWM 输出电平

13.1.5.2 五段式 SVPWM

五段式 SVPWM 输出方式只能在双电阻电流采样模式下使用，需要配置 FOC_CR2 寄存器的 F5SEG=1。

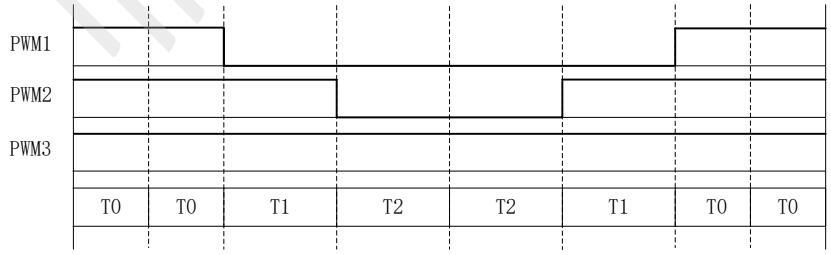


图 13-9 五段式 SVPWM 输出电平

13.1.6 过调制

单/双/三电阻模式下均可以使用过调制功能，配置 FOC_CR1 寄存器的 OVMDL 使能过调制功能。过调制使能后，输出会放大 1.15 倍，即 FOC__UD 和 FOC__UQ 和相关的限幅值 MAX/MIN 均放大 1.15 倍。

13.1.7 死区补偿

死区补偿只应用于双/三电阻模式下，配置 FOC_TSMIN 寄存器设置死区补偿值，补偿后的输出相对于补偿前会大一点，电流的正弦度会好一点。

13.1.8 电流电压采样

FOC 模块需要采集电机的母线电压和三相电流。当 FOC 模块工作之前，需要使能 ADC（配置 ADC_CR 寄存器的 ADCEN=1）和运放，并配置相关设置寄存器，但是不需要配置 ADC 通道和扫描方式。根据 FOC_CR1 寄存器的 CSM 可以选择单电阻电流采样，双电阻电流采样或者三电阻电流采样。在单电阻电流采样模式下默认通道 4 为母线电流 itrip 的采样通道；在双电阻电流采样模式下默认通道 0 为 ia 的采样通道，通道 1 为 ib 的采样通道；在三电阻电流采样模式下默认通道 0 为 ia 的采样通道，通道 1 为 ib 的采样通道，通道 4 为 ic 的采样通道。默认通道 2 为母线电压的采样通道。

13.1.8.1 单电阻采样模式

配置 FOC_CR1 寄存器的 CSM=0，即选择单电阻电流采样模式。在单电阻电流采样模式下，FOC 模块在计数器向上计数的区间对母线电流 itrip（通道 4）进行两次采样，在计数器向下计数的区间当 FOC 模块运算完成后对母线电压进行采样。

死区时间会影响电流采样的时间，FOC 模块会自动根据用户设置的死区时间对采样时间进行调整，保证在实际通电时间 T1',T2'的中间采样，同时，用户可以设置 FOC_TRGDLY 寄存器对采样时间进行提前或者延迟。假设 MCU 时钟为 24MHz(41.67ns)，FOC_TRGDLY= 5，则延迟 41.67*5=208ns；FOC_TRGDLY 为 0xFB(-5)，则提前 208ns。

单电阻采样会存在采样窗口不够宽的情况，因此需要人为地凑出最小采样窗口，用户通过设置 TS（TS=最小窗口时间+死区时间），FOC 模块根据 TS 对 PWM 波形进行调整。

随时版本

13.1.8.2 双三电阻采样模式

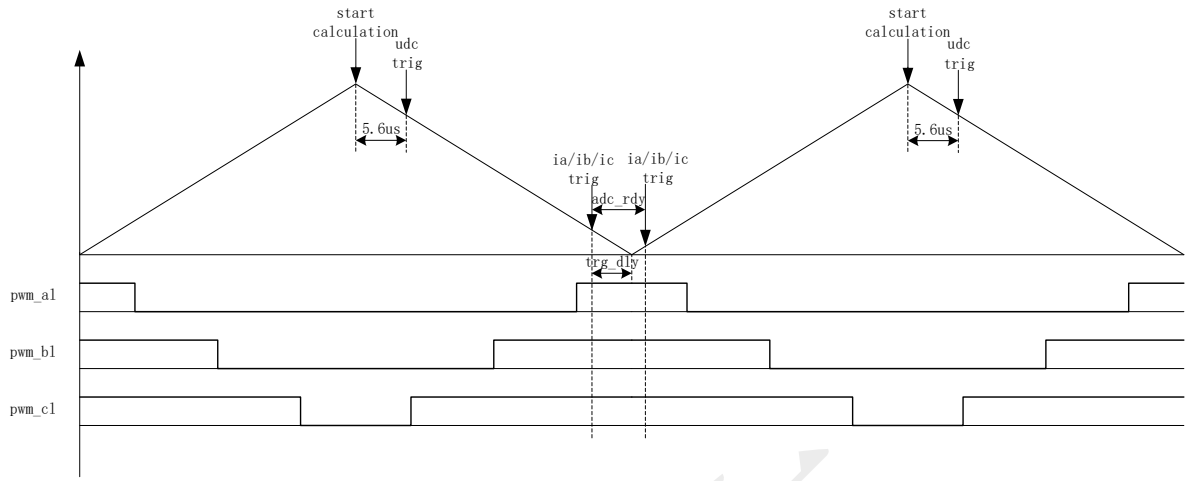


图 13-10 双三电阻电流顺序采样模式

配置 FOC_CR1 寄存器的 CSM=10/11 和 FOC_CR2 寄存器的 DSS=0，即选择双/三电阻电流顺序采样模式。在双三电阻电流顺序采样模式下，通过 FOC_TRGDLY 寄存器设置对三相电流的其中一相（根据扇区决定是 ia/ib/ic 的其中一相）的采样时机，当采样完毕后迅速对另外一相进行采样，在计数器向下计数的区间当 FOC 模块运算完成后对母线电压进行采样。需要注意的是电流采样时机的设置应该使三相电流采样点均在零矢量区间（即 pwm_al,pwm_bl,pwm_cl=111）。假设 MCU 时钟为 24MHz(41.67ns)，FOC_TRGDLY = 0xB2，则当 FOC 计数器向下计数，在下溢事件前 41.67*50=2.08us 对 ia/ib/ic 采样，采样完毕后对另外一相 ia/ib/ic 采样。

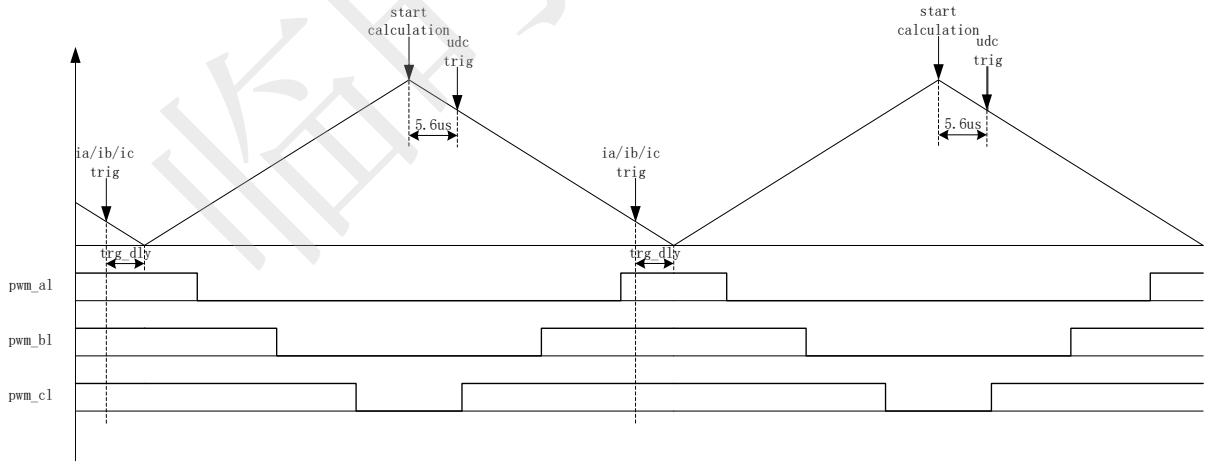


图 13-11 双三电阻电流交替采样模式

配置 FOC_CR1 寄存器的 CSM=10/11 和 FOC_CR2 寄存器的 DSS=1，即选择双/三电阻电流交替采样模式。在双三电阻电流交替采样模式下，一个载波周期运算一次，但每个载波周期只对一相电流（根据扇区决定是 ia/ib/ic 的其中一相）进行采样，第一个载波周期采集 ia/ib/ic，第二个载波周期采集另外一相电流 ia/ib/ic，如此交替对三相电流的其中进行电流采集，在计数器向下计数的区间当 FOC 模块运算完成后对母线电压进行采样。通过 FOC_TRGDLY 寄存器设置对电流 ia（通道

0），ib（通道 1），ic（通道 4）的采样时机，需要注意的是电流采样时机的设置应该使 ia/i0/icb 采样点均在零矢量区间（即 pwm_al,pwm_bl,pwm_cl=111）。假设 MCU 时钟为 24MHz(41.67ns)，FOC_TRGDLY= 0xB2，则当 FOC 计数器向下计数，在下溢事件前 41.67*50=2.08us 对电流采样。

13.1.8.3 电流采样基准

因为相电流存在正负，所以 ADC 采样前需要将输入电流提高量程的一半，因此在运算的时候需要减去基准值，FOC 模块默认是 0x4000，但是因为 ADC 基准的偏差和硬件板的偏差会导致默认值与实际值存在偏差，因此用户可以对基准值进行校准。校准方法如下：在 FOC 模块不工作，三相输出尚没有电流的时候对相应的通道进行多次采样，求平均后写进基准寄存器 FOC_CSO。假设 ADC 的电压范围 0～5V，基准为 2.5V，则 FOC_CSO = 2.5/5V*32768 = 16384(0x4000)。

1、 当 FOC_CR2[CSOC]=00/11 时，写 FOC_CSO 是修改 ITRIP 和 IC 的基准；
2、 当 FOC_CR2 [CSOC]=01 时，写 FOC_CSO 是修改 IA 的基准；
3、 当 FOC_CR2 [CSOC]=10 时，写 FOC_CSO 是修改 IB 的基准。

13.1.9 角度模式

角度模块包含角度估算模块，爬坡模块，估算角度平滑切换模块。角度的来源分四种情况：

1、 爬坡强制角度
2、 强拉角度
3、 估算器估算角度
4、 估算器强制角度

表 13-2 角度来源

RFAE	ANGM	EFAE	角度来源
1	x	x	爬坡强制角度
0	0	x	强拉角度
0	1	0	估算器估算角度
0	1	1	估算速度> EFREQMIN：估算器估算角度 估算速度< EFREQMIN：估算器强制角度

13.1.9.1 爬坡强制角度

爬坡强制角度由角度 THETA, 速度 RTHESTEP, 加速度 RTHEACC, 爬坡计数器 RTHECNT 组成。爬坡公式为：

速度 RTHESTEP(32bit) = 速度 RTHESTEP(32bit) + 加速度 RTHEACC(32bit,高 16bit 恒为 0,低 16bit 可配)；

角度 THETA(16bit) = 角度 THETA(16bit) + 速度 RTHESTEP(高 16bit)

爬坡强制角度的优先级最高，配置 FOC_CR1 寄存器的 RFAE = 1，使能爬坡功能。爬坡模块

临时版本

每个运算周期进行一次爬坡运算，爬坡计数器加一，当计数值达到 RTHECNT，RFAE 硬件清零，爬坡结束。爬坡结束后，根据 FOC_CR1 寄存器的 ANGM 的配置，ANGM=1，角度来自估算器；ANGM=0，角度来自强拉角度。

13.1.9.2 强拉角度

强拉角度由角度 THETA, 速度 RTHESTEP 组成。公式为：

角度 THETA(16bit) = 角度 THETA(16bit) + 速度 RTHESTEP(高 16bit)

强拉角度分两种情况：

1、 FOC_CR1 寄存器的 RFAE = 1，FOC_CR1 寄存器的 ANGM = 0，即爬坡功能后切换强拉模式，此时的速度 RTHESTEP 为爬坡结束当时的累加的速度。此模式可实现无角度反馈匀速强拉功能。

2、 FOC_CR1 寄存器的 RFAE = 0，FOC_CR1 寄存器的 ANGM = 0，即不经过爬坡模块，角度直接来自强拉角度，此时的速度 RTHESTEP 为软件写寄存器的初始速度。当速度 RTHESTEP = 0，可实现预定位功能；当速度 RTHESTEP != 0，可实现 HALL FOC 控制（HALL FOC 控制原理： HALL 信号到来， MCU 算出当前角度和速度，写进 THETA 和 RTHESTEP 来进行修正）。

13.1.9.3 估算器角度

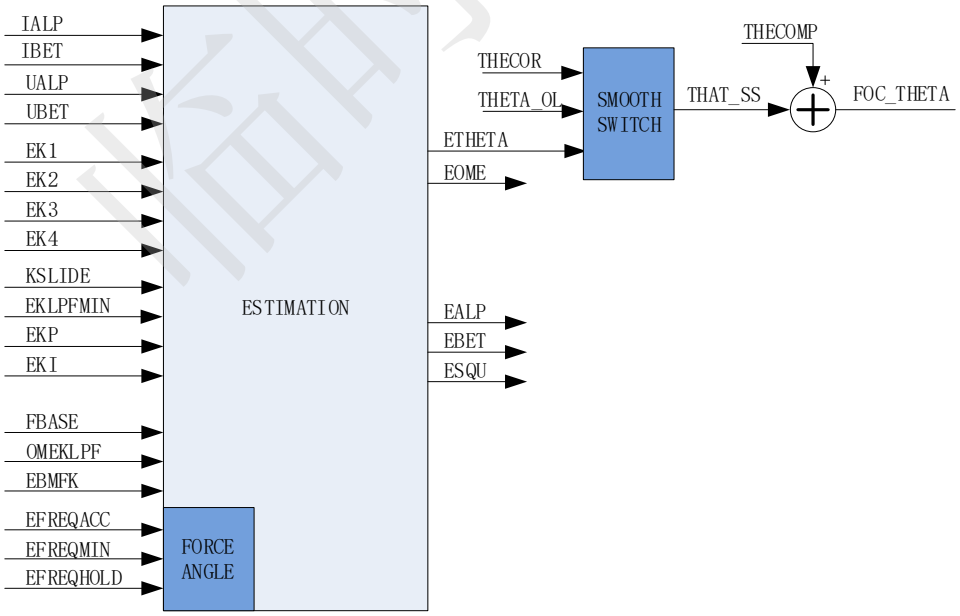


图 13-12 估算器原理框图

估算器采集的电机电流和电压，根据用户输入的电机参数和控制参数，输出角度、速度和反电动势数据。

1、 估算器估算角度

估算器根据用户输入的电机参数和控制参数构建电机模型，同时采集的电机电流和电压对估算值进行修正，输出与实际情况相符合的角度。估算器可选择 PLL 模式和滑模模式，通过 FOC_CR1 寄存器的 ESEL 进行配置。

2、 估算器强制角度

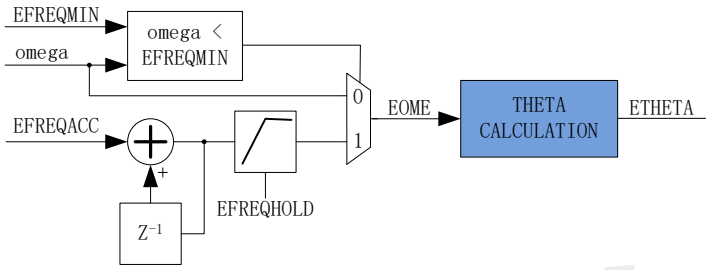


图 13-13 估算器强制角度原理框图

此功能与爬坡功能类似。由于电机启动时，电机的输出较小，导致采集的电流小，估算器模型估算的角度和速度存在较大的误差，可能令电机启动失败，所以在这种情况下，估算器输出强制角度，保证电机顺利启动。

配置 FOC_CR1 寄存器的 EFAE = 1，当估算器的估算速度 omega 小于用户设定的最小值 EFREQMIN，功能启动，强制速度从 0 开始，每个运算周期与速度增量 EFREQACC 相加，同时根据 EFREQHOLD 进行最大值限幅，输出强制速度作为最终速度 EOME 供角度计算模块算出估算器角度 ETHETA；当 omega 大于等于 EFREQMIN 时，输出估算速度 omega 作为最终速度 EOME。

3、 角度平滑切换

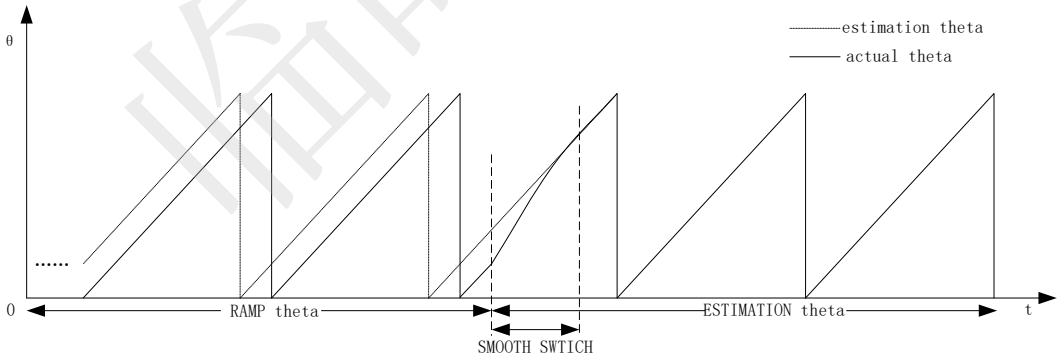


图 13-14 角度平滑切换曲线

假如配置 FOC_CR1 寄存器的 RFAE = 1，ANGM = 1，即采用爬坡功能启动电机，爬坡结束后切换估算器模式，在爬坡的过程中，估算器也在估算角度，但是估算角度通常与爬坡强制角度存在偏差，爬坡结束后，如果角度从爬坡强制角度直接切换成估算角度，可能由于角度的突变引起电机抖动，因此需要平滑切换模块。

爬坡结束时，假如估算角度 ETHETA 和爬坡强制角度 theta_ol 的偏差小于等于 THECOR，则

认为角度偏差较小，直接选择 ETHETA 作为角度输出；假如偏差大于 THECOR，则每个运算周期 theta_ol 向 ETHETA 的值靠拢，以 THECOR 的步长进行平滑修正并输出，当偏差小于 THECOR，直接选择 ETHETA 作为角度输出。

4、 角度补偿

补偿值 THECOMP 对估算角度进行补偿输出，THECOMP 的最高位为 1，为负补偿；最高位为 0，为正补偿。

13.1.10 电机实时参数

FOC 模块在运算的过程中，用户可以查看实时角度值 THETA 和估算速度 EOME，还可以查看电机的其他实时参数，用户可以根据参数判定电机的实时状态。FOC 模块提供以下实时参数：

1. 角度值 THETA
2. 估算器角度 ETHETA，估算速度 EOME
3. D 轴电压 UD， Q 轴电压 UQ
4. D 轴电流 ID，Q 轴电流 IQ
5. IPARK 模块坐标转换的 ALPHA 轴电压 VALP，BETA 轴电压 VBET
6. 母线电压 UDCFLT
7. 三相电流 IA,IB,IC
8. CLARKE 模块坐标转换的 ALPHA 电流 IALP（即 IA），BETA 轴电流 IBET
9. ALPHA 轴反电动势 EALP，BETA 轴反电动势 EBET
10. 反电动势平方 ESQU
11. 功率 POW

13.1.10.1 顺风逆风检测

FOC 提供专用的顺风逆风检测模块，配置 FOC_CR3[ESCMS]=1，同时配置参考电流输入 FOC_IDREF,FOC_IQREF 均为 0，并启动 FOC 模块，可以通过读取估算角度 ETHETA 和估算速度 EOME 的值判断电机的状态，当 ETHETA 向下递减或者 EOME 为负值，则为逆风转动状态，需要先刹车，再以强制角度模式启动电机；当 ETHETA 向下递减或者 EOME 为正值，则为顺风转动状态，可直接切换估算器角度启动电机。

13.1.10.2 反电动势检测

估算器根据输入的电机参数估算出 α 轴反电动势 EALP 和 β 轴反电动势 EBET，由此输出 $e\alpha^2+e\beta^2$ 即 ESQU。用户可根据 ESQU 的值判定启动的状态，可实现堵转保护，缺相保护等功能。

临时版本

13.1.10.3 功率

通过由 FOC 内部的 SVPWM 模块得到电流和通电时间，以及滤波后的母线电压，经过计算得到功率。

13.1.11 FG 输出产生

FG 信号需配合 TIM4 工作，FOC 模块每个载波周期根据速度基准 FOC_FBASE(单位 Hz)，低通滤波后的速度 FOC_EOMELPF 和 FG 系数 FOC_KFG 计算出 FG 的结果值，同时自动更新至 TIM4_ARR，并将 TIM4_ARR/2 更新至 TIM4_DR。TIM4 需配置为输出模式，同时根据实际情况，设置合适的时钟分频系数。

一个电周期产生 x 个 FG 的计算公式：

FOC_KFG = $24MHz/(2\text{^}T4PSC * FBASE * x)$

如计算结果超过 65535，需调整 T4PSC(TIM4 的时钟分频系数 TIM4_CR0[TPSC])。

FOC_KFG=0 时为不使能此功能，TIM4__ARR/DR 不会自动更新。

临时版本

13.2 FOC 寄存器

13.2.1 FOC_CR1（0x40A0）

表 13-3 FOC_CR1（0x40A0）

位	7	6	5	4	3	2	1	0
名称	OVMDL	EFAE	RFAE	ANGM	CSM		SPWMSEL	SVPWMEN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	OVMDL	过调制使能 0：禁止 1：使能
[6]	EFAE	ESTIMATION Force angle enable（估算器强制角度使能） 使能后，角度由估算器强制给出，并自动切换到估算器角度闭环 0：禁止 1：使能
[5]	RFAE	Ramp Force angle enable（强制爬坡角度使能） 使能后，角度由爬坡模块强制给出，爬坡结束后根据 ANGM 位自动切换到估算器模式或强拉模式，同时 RFAE 硬件清零 0：禁止 1：使能
[4]	ANGM	Angle mode（角度模式） RFAE=0 时，角度来源于估算器或强拉 RFAE=1 时，爬坡结束后切换估算器或强拉 0：强拉模式 1：估算模式
[3:2]	CSM	Current sample mode（电流采样模式） x0：单电阻采样 01：双电阻采样 11：三电阻采样
[1]	RSV	RSV
[0]	SVPWMEN	SVPWM 使能选择 0：Disable 1：Enable

13.2.2 FOC_CR2（0x40A1）

表 13-4 FOC_CR2（0x40A1）

位	7	6	5	4	3	2	1	0
名称	ESEL	RSV	F5SEG	DSS	CSOC		UQD	UDD

类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	ESEL	ESTIMATION select（估算器模式选择） 0：SMO（滑模） 1：PLL（锁相环），此时 FOC_KSILDE 寄存器为 PLL 的 PI 控制器的 KP，FOC_KLPFMIN 寄存器为 PLL 的 PI 控制器的 KI
[6]	RSV	保留位
[5]	F5SEG	FOC 双三电阻电流采样下 SVPWM 调制方式选择（单电阻电流采样禁止为 1） 0：7 段式选择 1：5 段式选择
[4]	DSS	双三电阻电流采样模式 0：顺序采样模式：一个载波周期采样两相电流 1：交替采样模式：每个载波周期交替采样两相电流，且每个载波周期运算一次
[3:2]	CSOC	Current sample offset calibrate （电流采样偏置校准） 配置该位，对 FOC_CSO 写校准值。单电阻采样时，配置为 00 或 11 对 itrip 校准；双电阻采样时，配置为 01 对 ia 校准，配置为 10 对 ib 校准；三电阻采样时，配置为 01 对 ia 校准，配置为 10 对 ib 校准，配置 00 或 11 对 ic 校准。 00,11: itrip 和 ic 01:ia 10:ib
[1]	UQD	Q 轴 PI 控制器禁止，禁止时，FOC__UQ 的值不再由 PI 控制器更新 0：不禁止 1：禁止
[0]	UDD	D 轴 PI 控制器禁止，禁止时，FOC__UD 的值不再由 PI 控制器更新 0：不禁止 1：禁止

13.2.3 FOC_TSMIN（0x40A2）

表 13-5 FOC_TSMIN（0x40A2）

位	7	6	5	4	3	2	1	0
名称	FOC_TSMIN							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	FOC_TSMIN	单电阻采样模式下，给 ADC 采样预留的最小窗口 双三电阻采样模式下，死区补偿 范围（0,255）
TS = 采样窗口△T + 死区时间 DT 假设△T=1us，DT=1us，TS=2us，载波周期为 62.5us TS=2/62.5*4096=131		

13.2.4 FOC_TGLI（0x40A3）

表 13-6 FOC_TGLI（0x40A3）

位	7	6	5	4	3	2	1	0
名称	FOC_TGLI							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	FOC_TGLI	上桥导通窄脉冲消除 此功能用于高压场合，高压 driver 的上桥有最小导通脉冲必须大于一定值的要求，设置此寄存器，导通脉冲小于设定值，不导通。 范围（0,255）
假设消除小于 1 us 的窄脉冲，DT=1us，载波周期为 62.5us　FOC_TGLI =2/62.5*4096=131		

13.2.5 FOC_TBLO（0x40A4）

表 13-7 FOC_TBLO（0x40A4）

位	7	6	5	4	3	2	1	0
名称	FOC_TBLO							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	FOC_TBLO	三电阻时为电流采样屏蔽时间，当下桥导通的时间小于 FOC_TBLO，则不采样该相的电流，采用特殊处理得到电流。 范围（0,255）
假设下桥导通时间小于 1us 不采集，FOC_ TBLO =1000/41.67=24		

13.2.6 FOC_TRGDLY（0x40A5）

表 13-8 FOC_TRGDLY（0x40A5）

位	7	6	5	4	3	2	1	0
名称	FOC_TRGDLY							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	FOC_TRGDLY	单电阻采样模式：ADC 电流采集触发延迟 范围（-128,127） 双三电阻采样模式：电流采集时机 TRGDLY[7]设置采集时机在计数器的下降区间或者上升区间：

		TRGDLY[7]=0：上升区间；TRGDLY[7]=1：下降区间 范围（0,DRV_ARR[6:0]）
单电阻采样模式：假设 MCU 时钟为 24MHz(41.67ns)，TRGDLY = 5，则延迟 41.67*5=208ns；TRGDLY 为-5，则提前 208ns 双三电阻采样模式：假设 MCU 时钟为 24MHz(41.67ns)，TRGDLY = 0x85，则当 DRV 计数器向下计数，在下溢事件前 41.67*5=0.208us 进行采样；TRGDLY = 0x05，则当 DRV 计数器向上计数，在下溢事件后 41.67*5=0.208us 进行采样；		

13.2.7 FOC_CSO（0x40A6，0x40A7）

表 13-9 FOC_CSOH（0x40A6）

位	7	6	5	4	3	2	1	0
名称	FOC_CSO[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

表 13-10 FOC_CSOL（0x40A7）

位	7	6	5	4	3	2	1	0
名称	FOC_CSO[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_CSO	电流采样基准 配置 FOC_CR1 寄存器的 CSOC，对 FOC_CSO 写校准值，可校准单电阻采样模式的 itrip 基准，双电阻采样模式的 ia，ib 基准，三电阻采样模式的 ia，ib，ic 基准。 取值范围（0,32767），MSB 恒为 0
假设 ADC 的电压范围 0～5V，基准为 2.5V 则 FOC_CSO = 2.5/5V*32768 = 16384(0x4000)		

13.2.8 FOC__RTHESTEP（0x40A8，0x40A9）

表 13-11 FOC__RTHESTEPH（0x40A8）

位	7	6	5	4	3	2	1	0
名称	FOC__RTHESTEP[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-12 FOC__RTHESTEPL（0x40A9）

位	7	6	5	4	3	2	1	0
名称	FOC__RTHESTEP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__RTHESTEP	爬坡的速度；格式与 FOC__THETA 一致 软件写：初始速度 软件读：当前速度 取值范围（-32768,32767） 注：FOC__RTHESTEP 内部为 32bit，最高位为符号位，高 16 位可配
RTHESTEP(32bit)= RTHESTEP(32bit) + RTHEACC(32bit,高 16bit 恒为 0,低 16bit 可配); THETA(16bit) = THETA(16bit) + RTHESTEP(高 16bit)		

13.2.9 FOC_RTHEACC（0x40AA，0x40AB）

表 13-13 FOC_RTHEACCH（0x40AA）

位	7	6	5	4	3	2	1	0
名称	FOC_RTHEACC[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-14 FOC_RTHEACCL（0x40AB）

位	7	6	5	4	3	2	1	0
名称	FOC_RTHEACC[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_RTHEACC	爬坡模块的加速度；格式与 FOC__THETA 一致 取值范围（-32768,32767） 注：FOC_RTHEACC 内部为 32bit，最高位为符号位，低 15 位可配
RTHESTEP(32bit)= RTHESTEP(32bit) + RTHEACC(32bit,高 16bit 恒为 0,低 15bit 可配); THETA(16bit) = THETA(16bit) + RTHESTEP(高 16bit)		

13.2.10 FOC_RTHECNT（0x40AC）

表 13-15 FOC_RTHECNT（0x40AC）

位	7	6	5	4	3	2	1	0
名称	FOC_RTHECNT							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	FOC_RTHECNT	取值范围（0,255）

		爬坡次数= RTHECNT*256 爬坡功能使能后（FOC_CR1 寄存器的 RFAE=1），每个运算周期进行一次爬坡运算，当爬坡次数达到 RTHECNT*256 后，爬坡结束

13.2.11 FOC_THECOR（0x40AD）BLDC 共用

表 13-16 FOC_THECOR（0x40AD）

位	7	6	5	4	3	2	1	0
名称	FOC_THECOR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位值	0	0	0	0	0	0	0	1

字段	名称	描述
[7:0]	FOC_THECOR	角度切换修正值： 当爬坡结束，切换到估算模式，由于估算角度和爬坡角度存在偏差，因此需要平滑切换；格式与 FOC__THETA 一致 取值范围（0,255）

13.2.12 FOC_THECOMP（0x40AE，0x40AF）

表 13-17 FOC_THECOMPH（0x40AE）

位	7	6	5	4	3	2	1	0
名称	FOC_THECOMP[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-18 FOC_THECOMPL（0x40AF）

位	7	6	5	4	3	2	1	0
名称	FOC_THECOMP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_THECOMP	角度补偿值：估算器估算出角度后加上补偿值作为估算器最终的输出角度；格式与 FOC__THETA 一致 取值范围（-32768,32767）

13.2.13 FOC_DMAX（0x40B0，0x40B1）

表 13-19 FOC_DMAXH（0x40B0）

位	7	6	5	4	3	2	1	0
名称	FOC_DMAX[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-20FOC_DMAXL（0x40B1）

位	7	6	5	4	3	2	1	0
名称	FOC_DMAX[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DMAX	D 轴的 PI 控制器的输出 UD 的上限值 取值范围（-32768,32767）

13.2.14 FOC_DMIN（0x40B2，0x40B3）

表 13-21 FOC_DMINH（0x40B2）

位	7	6	5	4	3	2	1	0
名称	FOC_DMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-22FOC_DMINL（0x40B3）

位	7	6	5	4	3	2	1	0
名称	FOC_DMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DMIN	D 轴的 PI 控制器的输出 UD 的下限值 取值范围（-32768,32767）

13.2.15 FOC_QMAX（0x40B4，0x40B5）

表 13-23 FOC_QMAXH（0x40B4）

位	7	6	5	4	3	2	1	0
名称	FOC_QMAX[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-24 FOC_QMAXL（0x40B5）

位	7	6	5	4	3	2	1	0
名称	FOC_QMAX[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述

[15:0]	FOC_QMAX	Q 轴的 PI 控制器的输出 UQ 的上限值 取值范围（-32768,32767）

13.2.16 FOC_QMIN（0x40B6，0x40B7）

表 13-25 FOC_QMINH（0x40B6）

位	7	6	5	4	3	2	1	0
名称	FOC_QMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-26 FOC_QMINL（0x40B7）

位	7	6	5	4	3	2	1	0
名称	FOC_QMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_QMIN	Q 轴的 PI 控制器的输出 UQ 的下限值 取值范围（-32768,32767）

13.2.17 FOC__UD（0x40B8，0x40B9）

表 13-27 FOC__UDH（0x40B8）

位	7	6	5	4	3	2	1	0
名称	FOC__UD[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-28 FOC__UDL（0x40B9）

位	7	6	5	4	3	2	1	0
名称	FOC__UD[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__UD	D 轴电压 通过 D 轴的 PI 控制器算出电压 取值范围（-32768,32767）

13.2.18 FOC__UQ（0x40BA，0x40BB）

表 13-29 FOC__UQH（0x40BA）

位	7	6	5	4	3	2	1	0
名称	FOC__UQ[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-30FOC__UQL（0x40BB）

位	7	6	5	4	3	2	1	0
名称	FOC__UQ[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__UQ	Q 轴电压 通过 Q 轴的 PI 控制器算出电压 取值范围（-32768,32767）

13.2.19 FOC__ID（0x40BC，0x40BD）

表 13-31 FOC__IDH（0x40BC）

位	7	6	5	4	3	2	1	0
名称	FOC__ID[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-32 FOC__IDL（0x40BD）

位	7	6	5	4	3	2	1	0
名称	FOC__ID[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__ID	PARK 变换算出的 ID 取值范围（-32768,32767）

13.2.20 FOC__IQ（0x40BE，0x40BF）

表 13-33 FOC__IQH（0x40BE）

位	7	6	5	4	3	2	1	0
名称	FOC__IQ[15:8]							
类型	R	R	R	R	R	R	R	R

复位值	0	0	0	0	0	0	0	0

表 13-34 FOC__IQL（0x40BF）

位	7	6	5	4	3	2	1	0
名称	FOC__IQ[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__IQ	PARK 变换算出的 IQ 取值范围（-32768,32767）

13.2.21 FOC__IBET（0x40C0，0x40C1）

表 13-35 FOC__IBETH（0x40C0）

位	7	6	5	4	3	2	1	0
名称	FOC__IBET [15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-36 FOC__IBETL（0x40C1）

位	7	6	5	4	3	2	1	0
名称	FOC__IBET [7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__IBET	电流 IBETA 取值范围（-32768,32767）

13.2.22 FOC__VBET（0x40C2，0x40C3）

表 13-37 FOC__VBETH（0x40C2）

位	7	6	5	4	3	2	1	0
名称	FOC__VBET[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-38 FOC__VBETL（0x40C3）

位	7	6	5	4	3	2	1	0
名称	FOC__VBET[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__VBET	IPARK 变换算出的 VBETA 取值范围（-32768,32767）

13.2.23 FOC__VALP（0x40C4，0x40C5）

表 13-39 FOC__VALPH（0x40C4）

位	7	6	5	4	3	2	1	0
名称	FOC__VALP[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-40 FOC__VALPL（0x40C5）

位	7	6	5	4	3	2	1	0
名称	FOC__VALP[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__VALP	IPARK 变换算出的 VALPHA 取值范围（-32768,32767）

13.2.24 FOC__IC（0x40C6，0x40C7）

表 13-41 FOC__ICH（0x40C6）

位	7	6	5	4	3	2	1	0
名称	FOC__IC[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-42 FOC__ICL（0x40C7）

位	7	6	5	4	3	2	1	0
名称	FOC__IC[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__IC	电流 IC 取值范围（-32768,32767）

13.2.25 FOC__IB（0x40C8，0x40C9）

表 13-43 FOC__IBH（0x40C8）

位	7	6	5	4	3	2	1	0

名称	FOC__IB[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-44 FOC__IBL（0x40C9）

位	7	6	5	4	3	2	1	0
名称	FOC__IB[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__IB	相电流 IB 取值范围（-32768,32767）

13.2.26 FOC__IA（0x40CA，0x40CB）

表 13-45 FOC__IAH（0x40CA）

位	7	6	5	4	3	2	1	0
名称	FOC__IA[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-46 FOC__IAL（0x40CB）

位	7	6	5	4	3	2	1	0
名称	FOC__IA[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__IA	相电流 IA 取值范围（-32768,32767）

13.2.27 FOC__THETA（0x40CC，0x40CD）

表 13-47 FOC__THETAH（0x40CC）

位	7	6	5	4	3	2	1	0
名称	FOC__THETA[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-48 FOC__THETAL（0x40CD）

位	7	6	5	4	3	2	1	0
名称	FOC__THETA[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__THETA	角度 软件写：强拉角度； 软件读：当前 FOC 工作的角度； 取值范围（-32768,32767）
THETA 的范围（-32768,32767）对应（-180°,180°） 假设 THETA = 8192，对应为 8192/32768*180°= 45°		

13.2.28 FOC__ETHETA（0x40CE，0x40CF）

表 13-49 FOC__ETHETAH（0x40CE）

位	7	6	5	4	3	2	1	0
名称	FOC__ETHETA[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-50 FOC__ETHETAL（0x40CF）

位	7	6	5	4	3	2	1	0
名称	FOC__ETHETA[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值	0	0	0	0	0	0	0	0
字段	名称		描述					
[15:0]	FOC__ETHETA		读：估算器估算出的角度（补偿 FOC_THECOMP 前的角度）格式与 FOC__THETA 一致 写：估算器估算的初始角度 取值范围（-32768,32767）					

13.2.29 FOC__EALP（0x40D0，0x40D1）

表 13-51 FOC__EALPH（0x40D0）

位	7	6	5	4	3	2	1	0
名称	FOC__EALP[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-52 FOC__EALPL（0x40D1）

位	7	6	5	4	3	2	1	0
名称	FOC__EALP[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述

[15:0]	FOC__EALP	估算器估算的 EALPHA 取值范围（-32768,32767）

13.2.30 FOC__EBET（0x40D2，0x40D3）

表 13-53 FOC__EBETH（0x40D2）

位	7	6	5	4	3	2	1	0
名称	FOC__EBET[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-54 FOC__EBETL（0x40D3）

位	7	6	5	4	3	2	1	0
名称	FOC__EBET[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__EBET	估算器估算的 EBETA 取值范围（-32768,32767）

13.2.31 FOC__EOME（0x40D4，0x40D5）

表 13-55 FOC__EOMEH（0x40D4）

位	7	6	5	4	3	2	1	0
名称	FOC__EOME[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-56 FOC__EOMEL（0x40D5）

位	7	6	5	4	3	2	1	0
名称	FOC__EOME[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__EOME	估算器估算的速度 OMEGA 取值范围（-32768,32767）

13.2.32 FOC__ESQU（0x40D6，0x40D7）

表 13-57 FOC__ESQUH（0x40D6）

位	7	6	5	4	3	2	1	0
名称	FOC__ESQU[15:8]							

类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-58 FOC__ESQUL（0x40D7）

位	7	6	5	4	3	2	1	0
名称	FOC__ESQU[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__ESQU	EBETA 平方+EALPHA 平方。结果取高 16 位，最高位固定为 0。 取值范围（0,32767）

13.2.33 FOC__POW（0x40D8，0x40D9）

表 13-59 FOC__POWH（0x40D8）

位	7	6	5	4	3	2	1	0
名称	FOC__POW[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-60 FOC__POWL（0x40D9）

位	7	6	5	4	3	2	1	0
名称	FOC__POW[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__POW	功率 取值范围（-32768,32767），该值如果为负数，代表错误。

13.2.34 FOC_EKP（0x4074，0x4075）BLDC 共用

表 13-61 FOC_EKPH（0x4074）

位	7	6	5	4	3	2	1	0
名称	FOC_EKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-62 FOC_EKPL（0x4075）

位	7	6	5	4	3	2	1	0
名称	FOC_EKP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EKP	估算器里的 PI 控制器的 KP 系数 取值范围（0,32767），MSB 恒为 0，Q12 格式

13.2.35 FOC_EKI（0x4076，0x4077）BLDC 共用

表 13-63 FOC_EKIH（0x4076）

位	7	6	5	4	3	2	1	0
名称	FOC_EKI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-64 FOC_EKIL（0x4077）

位	7	6	5	4	3	2	1	0
名称	FOC_EKI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EKI	估算器里的 PI 控制器的 KI 系数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.36 FOC_EBMFK（0x407C，0x407D）BLDC 共用

表 13-65 FOC_EBMFKH（0x407C）

位	7	6	5	4	3	2	1	0
名称	FOC_EBMFK[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-66 FOC_EBMFKL（0x407D）

位	7	6	5	4	3	2	1	0
名称	FOC_EBMFK[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EBMFK	估算器里算反电动势低通滤波器系数 EKLPF 的系数 取值范围（0,32767），Q15 格式
EKLPF = EBMFK * OMEGA EBMFK = 2 * pi * fbase * △T		

13.2.37 FOC_KSLIDE（0x4078，0x4079）BLDC 共用

表 13-67 FOC_KSLIDEH（0x4078）

位	7	6	5	4	3	2	1	0
名称	FOC_KSLIDE/ FOC_PLLKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-68 FOC_KSLIDEL（0x4079）

位	7	6	5	4	3	2	1	0
名称	FOC_KSLIDE/ FOC_PLLKP [7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_KSLIDE /FOC_PLLKP	当 FOC_CR2 的 ESEL=0（滑模模式）时，为估算器里的 KSLIDE 系数，Q15 格式 当 FOC_CR2 的 ESEL=1（PLL 模式）时，为 PLL 的 PI 控制器的 KP 系数，Q12 格式 取值范围（0,32767），MSB 恒为 0

13.2.38 FOC_EKLPFMIN（0x407A，0x407B）BLDC 共用

表 13-69 FOC_EKLPFMINH（0x407A）

位	7	6	5	4	3	2	1	0
名称	FOC_EKLPFMIN/ FOC_PLLKPI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-70 FOC_EKLPFMINL（0x407B）

位	7	6	5	4	3	2	1	0
名称	FOC_EKLPFMIN/ FOC_PLLKPI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EKLPFMIN / FOC_PLLKI	当 FOC_CR1 的 ESEL=0（滑模模式）时，为估算器里反电动势低通滤波系数的最小值；当估算器算出的低通滤波系数小于最小值，系数等于最小值，Q15 格式 当 FOC_CR1 的 ESEL=1（PLL 模式）时，为 PLL 的 PI 控制器的 KI 系数，Q15 格式 取值范围（0,32767），MSB 恒为 0

13.2.39 FOC_OMEKLPF（0x407E，0x407F）

表 13-71 FOC_OMEKLPFH（0x407E）

位	7	6	5	4	3	2	1	0
名称	FOC_OMEKLPF[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-72 FOC_OMEKLPFL（0x407F）

位	7	6	5	4	3	2	1	0
名称	FOC_OMEKLPF[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_OMEKLPF	估算器里速度计算的低通滤波系数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.40 FOC_FBASE（0x4080，0x4081）

表 13-73 FOC_FBASEH（0x4080）

位	7	6	5	4	3	2	1	0
名称	FOC_FBASE[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-74 FOC_FBASEL（0x4081）

位	7	6	5	4	3	2	1	0
名称	FOC_FBASE[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_FBASE	估算器里由速度 OMEGA 算出角度增量 DELTA THETA 的系数
FBASE = fbase * △T * 32768 假设 fbase = 200Hz , △T = 62.5us，则 FBASE = 409		

13.2.41 FOC_EFREQACC（0x4082，0x4083）BLDC 共用

表 13-75 FOC_EFREQACCH（0x4082）

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQACC[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-76 FOC_EFREQACCL（0x4083）

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQACC[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EFREQACC	估算器强制角度模式的 OMEGA 增量 取值范围（0,65535） 注：FOC_EFREQACC 内部为 24bit，最高位为符号位，低 16 位可配
假设 fbase = 200Hz，极对数 pp=4，则 speed_base=60*fbase/pp=3000rpm,设置 OMEGA 增量为 3rpm 则 FOC_EFREQACC = 3/speed_base*32768*256 = 8388(0x20c4)		

13.2.42 FOC_EFREQMIN（0x4084，0x4085）BLDC 共用

表 13-77 FOC_EFREQMINH（0x4084）

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-78 FOC_EFREQMINL（0x4085）

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EFREQMIN	OMEGA 最小值：估算器强制角度模式使能时，估算 OMEGA 小于该值时，强制角度模式生效 取值范围（-32768,32767） 注：FOC_EFREQMIN 内部为 24bit，最高位为符号位，高 16 位可配
假设 fbase = 200Hz，极对数 pp=4，则 speed_base=60*fbase/pp=3000rpm,设置 OMEGA 最小值为 30rpm 则 FOC_ EFREQMIN = 30/speed_base*32768 = 327(0x147)		

13.2.43 FOC_EFREQHOLD（0x4086，0x4087）BLDC 共用

表 13-79 FOC_EFREQHOLDH（0x4086）

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQHOLD[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-80 FOC_EFREQHOLDL（0x4087）

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQHOLD[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EFREQHOLD	OMEGA 保持值：当 OMEGA 增加到等于该值时，就保持为这个值 取值范围（-32768,32768） 注：FOC_ EFREQHOLD 内部为 24bit，最高位为符号位，高 16 位可配
假设 fbase = 200Hz，极对数 pp=4，则 speed_base=60*fbase/pp=3000rpm,设置 OMEGA 保持值为 60rpm 则 FOC_ EFREQHOLD = 60/speed_base*32768 = 655(0x28f)		

13.2.44 FOC_EK3（0x4088，0x4089）

表 13-81 FOC_EK3H（0x4088）

位	7	6	5	4	3	2	1	0
名称	FOC_EK3[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-82 FOC_EK3L（0x4089）

位	7	6	5	4	3	2	1	0
名称	FOC_EK3[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK3	估算器估算电流的第三个系数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.45 FOC_EK4（0x408A，0x408B）

表 13-83 FOC_EK4H（0x408A）

位	7	6	5	4	3	2	1	0
名称	FOC_EK4[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-84 FOC_EK4L（0x408B）

位	7	6	5	4	3	2	1	0
名称	FOC_EK4[7:0]							

类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK4	估算器估算电流的第四个系数 取值范围（-32768,32767），Q15 格式

13.2.46 FOC_EK1（0x408C，0x408D）

表 13-85 FOC_EK1H（0x408C）

位	7	6	5	4	3	2	1	0
名称	FOC_EK1[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-86 FOC_EK1L（0x408D）

位	7	6	5	4	3	2	1	0
名称	FOC_EK1[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK1	估算器估算电流的第一个系数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.47 FOC_EK2（0x408E，0x408F）

表 13-87 FOC_EK2H（0x408E）

位	7	6	5	4	3	2	1	0
名称	FOC_EK2[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-88 FOC_EK2L（0x408F）

位	7	6	5	4	3	2	1	0
名称	FOC_EK2[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK2	估算器估算电流的第二个系数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.48 FOC_IDREF（0x4090，0x4091）BLDC 共用

表 13-89 FOC_IDREFH（0x4090）

位	7	6	5	4	3	2	1	0
名称	FOC_IDREF[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-90FOC_IDREFL（0x4091）

位	7	6	5	4	3	2	1	0
名称	FOC_IDREF[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IDREF	用户给定的电流 ID 参考值 取值范围（-32768,32767）

13.2.49 FOC_IQREF（0x4092，0x4093）BLDC 共用

表 13-91 FOC_IQREFH（0x4092）

位	7	6	5	4	3	2	1	0
名称	FOC_IQREF[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-92 FOC_IQREFL（0x4093）

位	7	6	5	4	3	2	1	0
名称	FOC_IQREF[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IQREF	用户给定的电流 IQ 参考值 取值范围（-32768,32767）

13.2.50 FOC_DQKP（0x4094，0x4095） BLDC 共用

表 13-93 FOC_DQKPH（0x4094）

位	7	6	5	4	3	2	1	0
名称	FOC_DQKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值	0	0	0	0	0	0	0	0

表 13-94 FOC_DQKPL（0x4095）

位	7	6	5	4	3	2	1	0
名称	FOC_DQKP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DQKP	DQ 轴的 PI 控制器的 KP 系数 取值范围（0,32767），MSB 恒为 0， Q12 格式

13.2.51 FOC_DQKI（0x4096，0x4097）BLDC 共用

表 13-95 FOC_DQKIH（0x4096）

位	7	6	5	4	3	2	1	0
名称	FOC_DQKI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-96FOC_DQKIL（0x4097）

位	7	6	5	4	3	2	1	0
名称	FOC_DQKI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DQKI	DQ 轴的 PI 控制器的 KI 系数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.52 FOC__UDCFLT（0x4098，0x4099）

表 13-97 FOC__UDCFLTH（0x4098）

位	7	6	5	4	3	2	1	0
名称	FOC__UDCFLT[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-98 FOC__UDCFLTL（0x4099）

位	7	6	5	4	3	2	1	0
名称	FOC__UDCFLT[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__UDCFLT	滤波过后的母线电压 FOC 模块对母线电压采样，滤波后供软件使用，默认 ADC 通道 2 取值范围（0,32767）
假设母线电压 1/6 分压送进 ADC ，ADC 的电压范围 0～5V，即母线电压的有效范围为 0～30V，FOC__UDCFLT 为 19661（0x4CCD），则母线电压 = 19661/32768*5*6 = 18V		

13.2.53 FOC_CR3（0x40ee）

表 13-99 FOC_CR3（0x40ee）

FOC_CR3（0x40ee）								
位	7	6	5	4	3	2	1	0
名称	ICLR	RSV	MFP_EN	FOCUSTA	FOCFEN	ESCMS	TSMINH9	TSMINH8
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	ICLR	FOC__IA/B/CMAX 清零 对该位写 1，FOC__IA/B/CMAX 寄存器清零，该位自动清零 0:Disable 1:Enbale
[6]	RSV	保留
[5]	MFP_EN	自适应观测器使能 0:Disable 1:Enbale
[4]	FOCUSTA	单电阻 off 采样使能 0:Disable 1:Enbale
[3]	FOCFEN	FOC 强制使能，在 DRV_CR[MESEL]=1 的前提下，即使 DRV_CR[OCS]=0，FOC 强制计算 0:Disable 1:Enbale
[2]	ESCMS	ATAN 估算使能 0:Disable 1:Enbale
[1:0]	TSMINH[9:8]	FOC_TSMIN 高位增加两位，用于扩位。

13.2.54 FOC_DKP（0x409c,0x409d）

表 13-100 FOC_DKP（0x409c,0x409d）

FOC_DKP（0x409c，0x409d）								
FOC_DKPH（0x409c）								
位	7	6	5	4	3	2	1	0
名称	FOC_DKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值	0	0	0	0	0	0	0	0
FOC_DKPL（0x409d）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC_DKP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	**名称**	**描述**
[15:0]	FOC_DKP	D 轴 PI 的比例参数 取值范围（0,32767），MSB 恒为 0， Q12 格式 当 FOC_DKP!=0 时，生效，否则 D 轴还是使用原来的 FOC_DQKP/I

13.2.55 FOC_DKI（0x409e,0x409f）

表 13-101 FOC_DKI（0x409e,0x409f）

FOC_DKI（0x409e，0x409f）								
FOC_DKIH（0x409e）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC_DKI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
FOC_DKIL（0x409f）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC_DKI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	**名称**	**描述**
[15:0]	FOC_DKI	D 轴 PI 的积分参数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.56 FOC__IAMAX（0x40da,0x40db）

表 13-102 FOC__IAMAX（0x40da,0x40db）

FOC__IAMAX（0x40DA，0x40DB）								
FOC__IAMAXH（0x40DA）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC__IAMAX [15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
FOC__IAMAXL（0x40DB）								

位	7	6	5	4	3	2	1	0
名称	FOC__IAMAX [7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__IAMAX	A 相电流最大值 电流最大值需经过一个电周期才能得到有效的值，否则得到的值可能会偏小。同时需保证相电流没有采集错误，否则会计算错误。 电流最大值不会自动清零，需设置 FOC_CR3 的 ICLR 为 1，电流最大值清零。 取值范围（0,32767）

13.2.57 FOC__IBMAX（0x40dc,0x40dd）

表 13-103 FOC__IBMAX（0x40dc,0x40dd）

FOC__IBMAX（0x40DC，0x40DD）								
FOC__IBMAXH（0x40DC）								
位	7	6	5	4	3	2	1	0
名称	FOC__IBMAX [15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
FOC__IBMAXL（0x40DD）								
位	7	6	5	4	3	2	1	0
名称	FOC__IBMAX [7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__IBMAX	B 相电流最大值 电流最大值需经过一个电周期才能得到有效的值，否则得到的值可能会偏小。同时需保证相电流没有采集错误，否则会计算错误。 电流最大值不会自动清零，需设置 FOC_CR3 的 ICLR 为 1，电流最大值清零。 取值范围（0,32767）

13.2.58 FOC__ICMAX（0x40de,0x40df）

表 13-104 FOC__ICMAX（0x40de,0x40df）

FOC__ICMAX（0x40DE，0x40DF）								
FOC__ICMAXH（0x40DE）								
位	7	6	5	4	3	2	1	0
名称	FOC__ICMAX [15:8]							
类型	R	R	R	R	R	R	R	R

复位值	0	0	0	0	0	0	0	0
FOC__ICMAXL（0x40DF）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC__ICMAX [7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__ICMAX	C 相电流最大值 电流最大值需经过一个电周期才能得到有效的值，否则得到的值可能会偏小。同时需保证相电流没有采集错误，否则会计算错误。 电流最大值不会自动清零，需设置 FOC_CR3 的 ICLR 为 1，电流最大值清零。 取值范围（0,32767）

13.2.59 FOC__EMF（0x40e0,0x40e1）

表 13-105 FOC__EMF（0x40e0,0x40e1）

FOC__EMF（0x40E0，0x40E1）								
FOC__EMFH（0x40E0）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC__EMF [15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
FOC__EMFL（0x40E1）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC__EMF [7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__EMF	估算器估算的反电动势 EMF，等于 FOC_EALP 的平方加 FOC_EBET 的平方和开根号 取值范围（0,32767）

13.2.60 FOC__UDCPS（0x40e2,0x40e3）

表 13-106 FOC__UDCPS（0x40e2,0x40e3）

FOC__UDCPS（0x40e2，0x40e3）								
FOC__UDCPSH（0x40e2）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	FOC__UDCPS[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

FOC__UDCPSL（0x40e3）								
位	7	6	5	4	3	2	1	0
名称	FOC__UDCPS[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__UDCPS	D 轴的电压前馈补偿 D 轴 PI 计算的结果 FOC_UD 与 FOC_UDCPS 相加后送到下一模块 取值范围（-32768,32767）

13.2.61 FOC__UQCPS（0x40e4,0x40e5）

表 13-107 FOC__UQCPS（0x40e4,0x40e5）

FOC__UQCPS（0x40e4，0x40e5）								
FOC__UQCPSH（0x40e4）								
位	7	6	5	4	3	2	1	0
名称	FOC__UQCPS[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
FOC__UQCPSL（0x40e5）								
位	7	6	5	4	3	2	1	0
名称	FOC__UQCPS[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__UQCPS	Q 轴的电压前馈补偿 Q 轴 PI 计算的结果 FOC_UQ 与 FOC_UQCPS 相加后送到下一模块 取值范围（-32768,32767）

13.2.62 FOC__UQEX（0x40e6,0x40e7）

表 13-108 FOC__UQEX（0x40e6,0x40e7）

FOC__UQEX（0x40e6，0x40e7）								
FOC__UQEXH（0x40e6）								
位	7	6	5	4	3	2	1	0
名称	FOC__UQEX [15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0
FOC__UQEXL（0x40e7）								
位	7	6	5	4	3	2	1	0

名称	FOC_UQEX [7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC__UQEX	Q 轴的电压溢出值，用于弱磁控制 公式：FOC_UQ - FOC_QMAX 当 FOC_UQ > FOC_QMAX，FOC_UQEX 为正值； 当 FOC_UQ < FOC_QMAX，FOC_UQEX 为负值； 使用 FOC_UQEX 进行累加，实现弱磁功能，具体实现方法请参考示例程序的弱磁函数。 取值范围（-32768，32768）

13.2.63 FOC_ID_LPFK（0x40e8）

表 13-109 FOC_ID_LPFK（0x40e8）

FOC_ID_LPFK（0x40e8）								
位	7	6	5	4	3	2	1	0
名称	FOC_ID_LPFK [7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

字段	名称	描述
[7:0]	FOC_ID_LPFK	FOC__ID 的低通滤波系数 范围 0~255

13.2.64 FOC_IQ_LPFK（0x40e9）

表 13-110 FOC_IQ_LPFK（0x40e9）

FOC_IQ_LPFK（0x40e9）								
位	7	6	5	4	3	2	1	0
名称	FOC_IQ_LPFK [7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

字段	名称	描述
[7:0]	FOC_IQ_LPFK	FOC__IQ 的低通滤波系数 范围 0~255

13.2.65 FOC_KFG（0x40ea,0x40eb）

表 13-111 FOC_KFG（0x40ea,0x40eb）

FOC_KFG（0x40ea，0x40eb）

FOC_KFGH（0x40ea）								
位	7	6	5	4	3	2	1	0
名称	FOC_KFG[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
FOC_KFGL（0x40eb）								
位	7	6	5	4	3	2	1	0
名称	FOC_KFG[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_KFG	FG 计算系数 芯片根据 FOC_EOMELPF 和 FOC_KFG 计算出 FG 对应的重载值，并每个载波周期更新到 TIM4_ARR，重载值/2 更新到 TIM4_DR。 注：FOC_KFG=0 为不使能此功能 范围（0,65535），如果 FOC_KFG 溢出，需调节 TIM4 的时钟分频系数 T4PSC

临时版本

14 TIM1

14.1 Timer1 操作说明

Timer1 包含一个 16 位向上计数的基本定时器和一个 16 位向上计数的重载定时器，两个定时器的计数源均为内部时钟。Timer1 主要用于 BLDC 的方波自动控制或 HALL 信号的处理。Timer1 具有如下特性：

1. 16 位向上计数的基本定时器用于记录基本定时器两次位置检测或者写入时序之间的时间，即用于 60 度换相时间的计数
2. 16 位向上计数的重载定时器用于计时：位置检测到重载定时器上溢的时间，即用于续流屏蔽时间和 zcp 到换相时间的计数
3. 3-bit 可编程分频器对两个定时器的计数时钟进行分频
4. 输入滤波和采样
5. 位置检测模块根据输入信号产生位置检测信号
6. 写入时序模块更新输出状态寄存器
7. 7 组状态寄存器控制比较器和输出
8. 中断事件产生
   a) 基本定时器的上溢中断
   b) 重载定时器的上溢中断
   c) 写入时序中断
   d) 位置检测中断
   e) 屏蔽续流结束中断
   f) ADC 检测中断

Timer1 内部结构如图 14-1 所示。

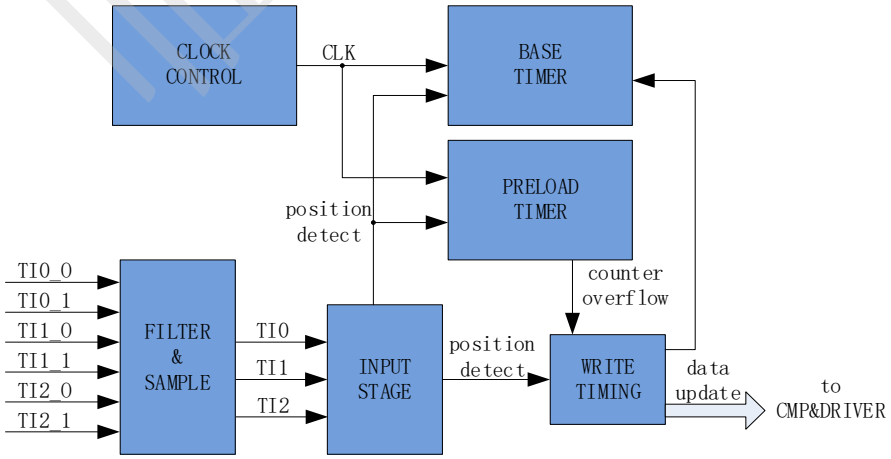


图 14-1 Timer1 内部结构

临时版本

14.1.1 Timer 计数单元

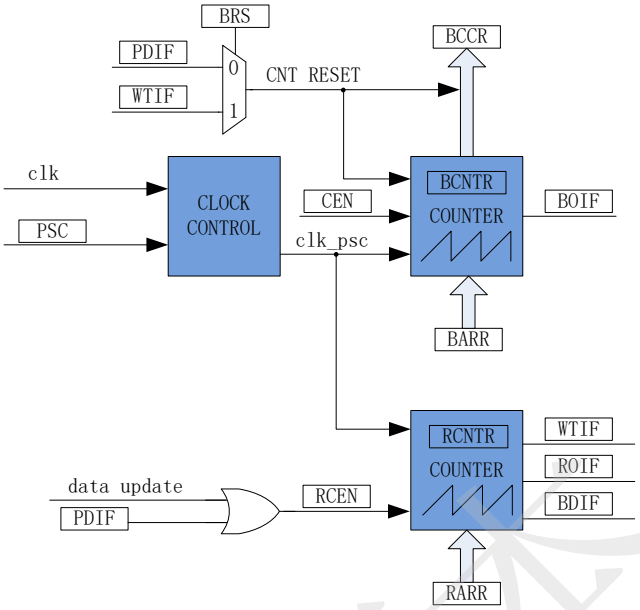


图 14-2 时基单元

Timer1 包含一个分频器，一个 16 位向上计数的基本定时器，一个 16 位向上计数的重载定时器。

14.1.1.1 Timer clock 控制器

Timer clock 控制器用于产生基本定时器和重载定时器的计数时钟源，由预分频器对计数时钟进行分频。预分频器基于一个由 3 位寄存器 PSC 控制的 12 位计数器，可选择 8 种分频系数，时钟源为内部时钟。由于这个控制寄存器没有缓冲器，分频系数改变会立刻更新，所以应该在基本定时器和重载定时器都不工作时更新分频系数。

计数器的频率可以由下式计算：

$f_{CK_CNT}=f_{CK_PSC}/PSC$

假设 MCU 时钟为 24MHz(41.67ns)

表 14-1 寄存器 PSC 不同值对应的时钟频率

PSC	系数(16进制)	CLK(Hz)	PSC	系数(16进制)	CLK(Hz)
000	0x1	24M	100	0x10	1.5M
001	0x2	12M	101	0x20	750K
010	0x4	6M	110	0x40	375K
011	0x8	3M	111	0x80	187.5K

14.1.1.2 基本定时器

基本定时器包含一个 16 位向上计数的计数器，当计数值 TIM1__BCNTR 等于 TIM1__BARR，

产生上溢事件，基本定时器上溢中断标记 BOIF 置一，但 TIM1__BCNTR 接着计数，而不是清零重新开始计数。TIM1_CR2 寄存器的 BRS 选择计数器的事件复位源来自位置检测事件还是写入时序事件，当事件复位信号产生，当前的计数值 TIM1__BCNTR 存进 TIM1__BCCR 寄存器，同时 TIM1__BCNTR 清零重新开始计数。

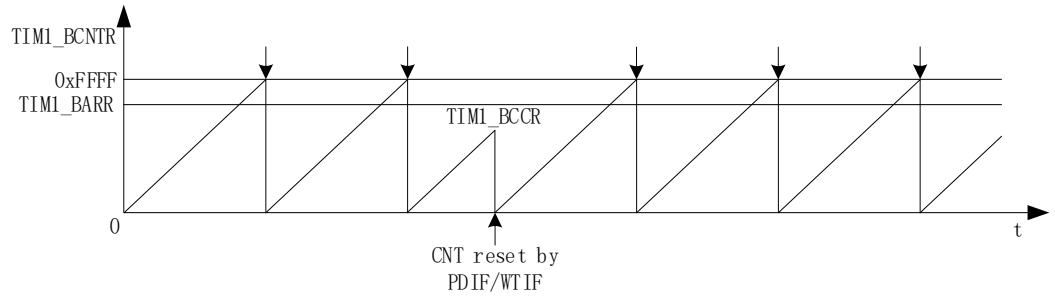


图 14-3 基本定时器计数波形图

TIM1__BARR 寄存器的值是立刻作用于计数器，所以应该在基本定时器停止工作的时候更新寄存器。只有当计数值 TIM1__BCNTR 等于 TIM1__BARR，才会产生上溢事件，假如 TIM1__BCNTR 大于 TIM1__BARR，TIM1__BCNTR 会计数到 0xFFFF 后再从 0 开始计数，因此，在寄存器复初始值时要注意 TIM1__BCNTR 不能大于 TIM1__BARR。

14.1.1.3 重载定时器

重载定时器包含一个 16 位向上计数的计数器，当计数值 TIM1__RCNTR 计数到 TIM1__RARR，产生上溢事件，重载定时器上溢中断标记 ROIF 置一，同时 RCEN 清零，TIM1__RCNTR 清零等待 RCEN 置一后重新开始计数。

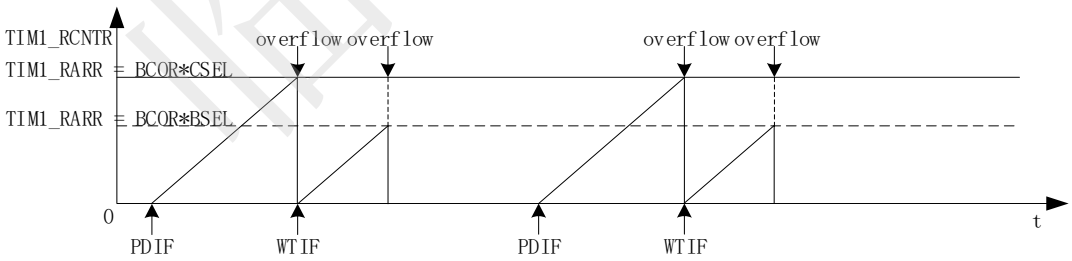


图 14-4 重载定时器计数波形图

硬件的位置检测事件和写入时序事件可自动使能 T1RCEN，当重载定时器产生上溢事件后，T1RCEN 硬件清零，重载定时器停止计数。重载定时器主要用于实现 BLDC 方波的续流屏蔽和检测过零点后延迟换相，其余时间，重载定时器不工作。

临时版本

14.1.2 输入滤波和采样

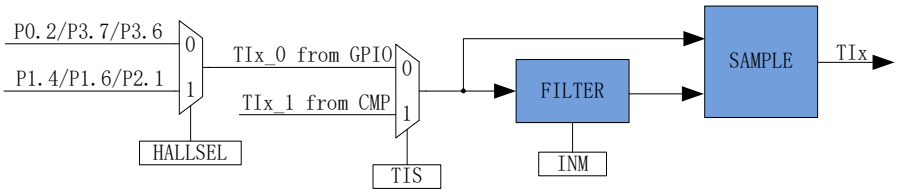


图 14-5 输入信号滤波和采样原理图

TIM1_CR3 寄存器的 T1TIS 选择输入源来自比较器还是 GPIO，其中 CMP_CR1 寄存器的 HALLSEL 选择 GPIO 来源于（P1.4/P1.6/P2.1）还是（P0.2/P3.7/P3.6），输入设置 TIM1_CR3 寄存器的 INM 可选择是否进行噪声滤波，然后设置 CMP_CR3 寄存器的 SAMSEL 选择是否采样。

14.1.2.1 滤波

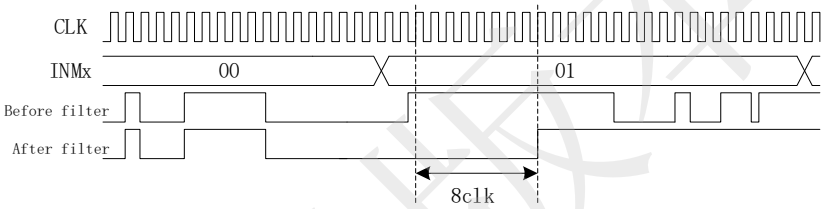


图 14-6 滤波模块时序图

滤波电路根据 TIM1_CR2 寄存器的 TIx 可选择滤除脉宽为 8/32/64 时钟周期的输入噪声。使能滤波功能，滤波后的信号会比滤波前的信号大概延迟 8～9/32～33/64～65 时钟周期。

14.1.2.2 采样

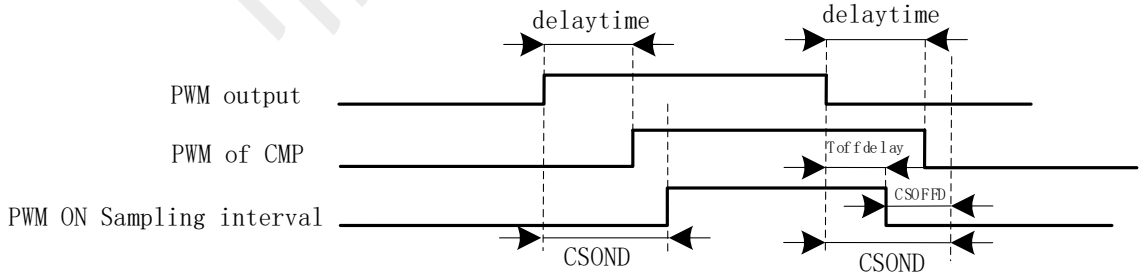


图 14-7 PWM ON 采样模式

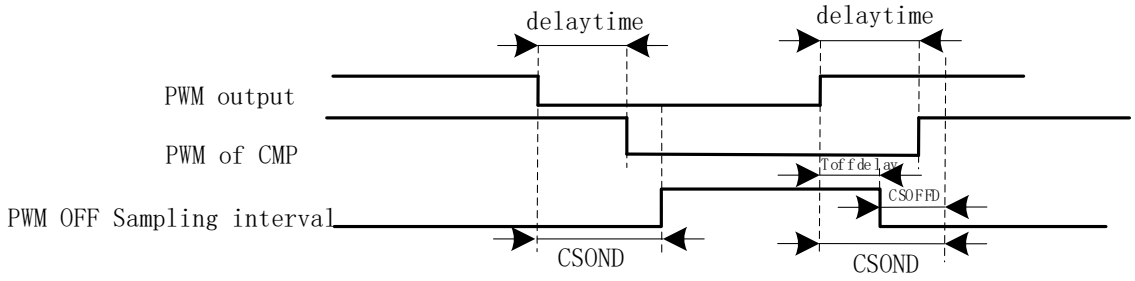


图 14-8 PWM OFF 采样模式

在 BLDC 的方波控制模式下，TI2/TI1/TI0 输入来源于比较器，由于比较器的输出有可能受到外围驱动电路 MOS 开关的干扰，从而带有 PWM 信号的干扰噪声。设置 CMP_CR3 寄存器的 SAMSEL 可选择采样模式，设置 CMP_SAMR 寄存器的 CSOFFD 和 CSOND 调节采样区间。

PWM 输出反映到比较器的干扰相对于 PWM 的跳变沿存在延迟，主要受以下因素影响：驱动电阻的大小，mos 的开关速度，比较的输入延迟和迟滞设置。设置 CSOFFD 屏蔽比较器干扰阶段，offdelay=CSOND-CSOFFD 是对比较器 CMP0,CMP1,CMP2 延迟关闭采样的时间。

例：PWM 输出到比较器的延迟为 2us，干扰宽度为 1us，则可设置

CSOFFD >1us = 1000ns/41.67ns/8 = 3

CSOND > (2+1)us = 3000ns/41.67ns/8 = 9

测量 PWM 输出到比较器的延迟方法：设置 CMP_CR3 寄存器的 SAMSEL=00 禁止比较器采样功能，设置 CMP_CR3 寄存器的 CMPSEL 输出对应比较器的比较值，使能 PWM 输出和比较器，手动转到电机使比较器值翻转，测量 PWM 输出和比较器的输出之间延迟。

测量干扰宽度的方法：以上的方法，测量比较器输出的干扰电平宽度。

14.1.3 位置检测事件

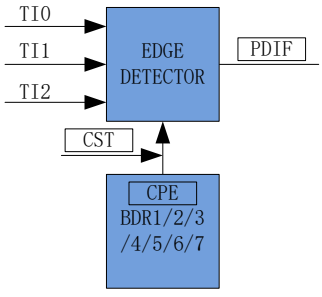


图 14-9 位置检测原理框图

位置检测事件根据 TIM1_DBR1/2/3/4/5/6/7 寄存器的 CPE 决定输入的有效沿，当输入（TI2/TI1/TI0）的有效沿到来，位置检测事件产生。其中根据 TIM1_CR4 寄存器的 CST 的状态决定对应的 TIM1_DBR1/2/3/4/5/6/7 寄存器的 CPE 生效。

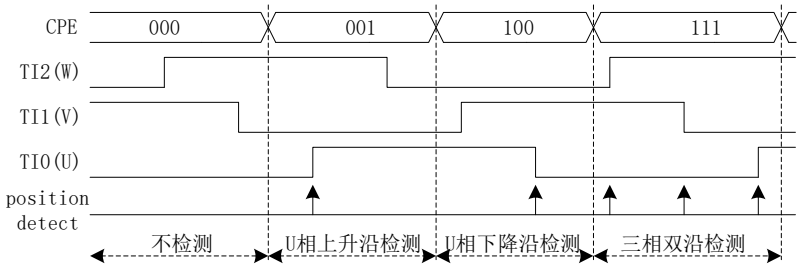


图 14-10 位置检测时序图

TIM1_DBR1/2/3/4/5/6/7 寄存器的 CPE 决定输入的有效沿如下。

CPE	描述	CPE	描述
000	0	100	检测 U 相下降沿，U 相对应比较器使能
001	检测 U 相上升沿，U 相对应比较器使能	101	检测 W 相上升沿，W 相对应比较器使能
010	检测 W 相下降沿，W 相对应比较器使能	110	检测 V 相下降沿，V 相对应比较器使能
011	检测 V 相上升沿，V 相对应比较器使能	111	检测三相双沿，三相对应比较器使能

14.1.4 写入时序事件

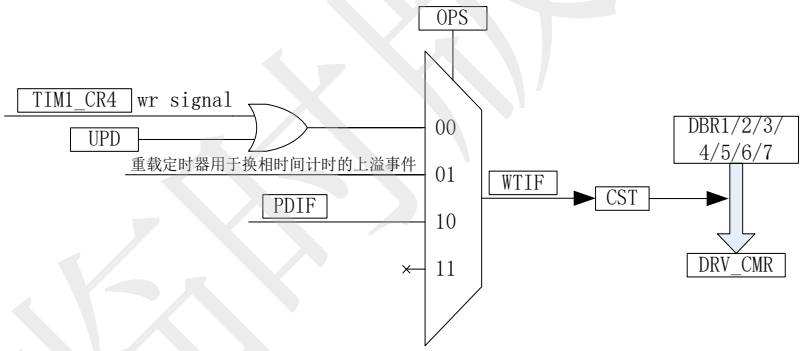


图 14-11 写入时序框图

写入时序事件根据 TIM1_CR0 寄存器的 OPS 决定事件产生来源，写入时序事件产生后，写入时序中断标记 WTIF 置一，同时如果 TIM1_CR4 寄存器的 CST 在 001～110，CST 会自动加一，对应的 TIM1_DBR1/2/3/4/5/6/7 寄存器的值会更新到 DRV_CMR。

14.1.5 Timer1 中断

Timer 有 6 个中断请求源：

1. 基本定时器的上溢中断
2. 重载定时器的上溢中断
3. 写入时序中断
4. 位置检测中断
5. 屏蔽续流结束中断

临时版本

6. ADC 检测中断

配置 TIM1_IER 对应的中断使能位可以使能对应的中断请求。

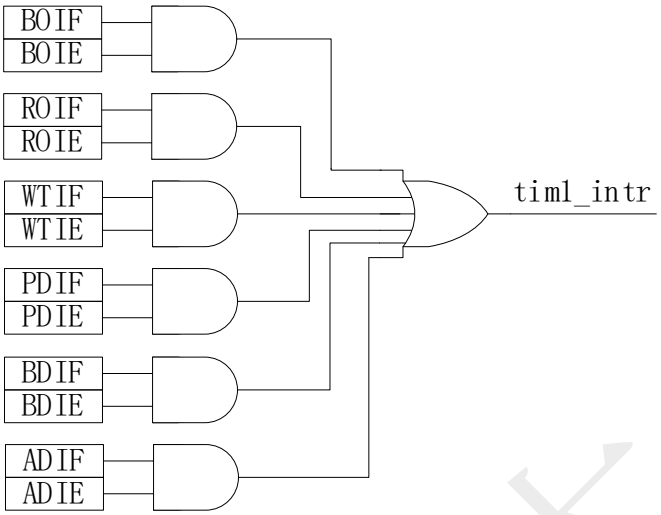


图 14-12 TIMER1 中断源

14.2 BLDC 方波应用

针对 BLDC 方波应用，Timer1 配合比较器和 DRIVER 模块具有如下功能：

1. 自动记录 60 度换相基准时间，基准时间可滤波
2. 当检测不到位置信号，可自动强制换相
3. 自动屏蔽续流，即在续流时间内，比较器不工作
4. 自动记录从检测位置信号到换相的时间，且自动换相
5. 接管 CMP_CR2 寄存器的 CMP0_SEL，自动控制比较器 0
6. 可设置比较器信号在 PWM ON/OFF 采样，信号可选择滤波
7. 接管 DRV_CMR 寄存器，自动控制 3 相 6 路 PWM 输出

BLDC 方波应用多为无感应用，实现方案为反电动势过零点后延迟 30 度换相，下面的讨论以此为基础（T1OPS=01）。

版权所有

14.2.1 BLDC 的六步换相

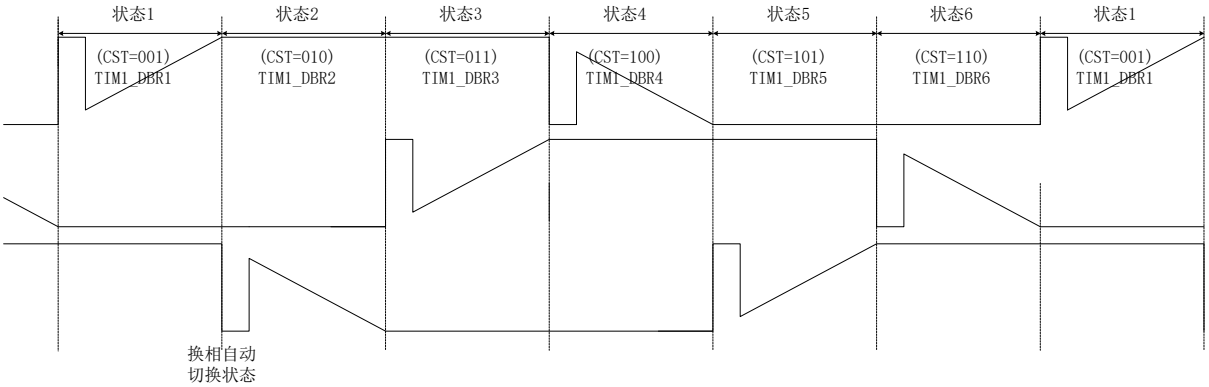


图 14-13 BLDC 的六步换相图

TIM1_CR4 寄存器的 CST 是换相状态机，其中状态 0 用于输出关闭；状态 7 用于自定义，如实现刹车，预充电，预定位，启动等功能；状态 1～6 用于六步自动换相，当换相后，状态会自动加一。

状态 1～7 对应 TIM1_DBR1～7 寄存器，当写入时序事件发生，当前状态对应的 TIM1_DBRx 会自动更新到 DRV_CMR 寄存器和 CMP_CR2 寄存器的 CMP0_SEL。

临时版本

14.2.2 BLDC 的工作原理

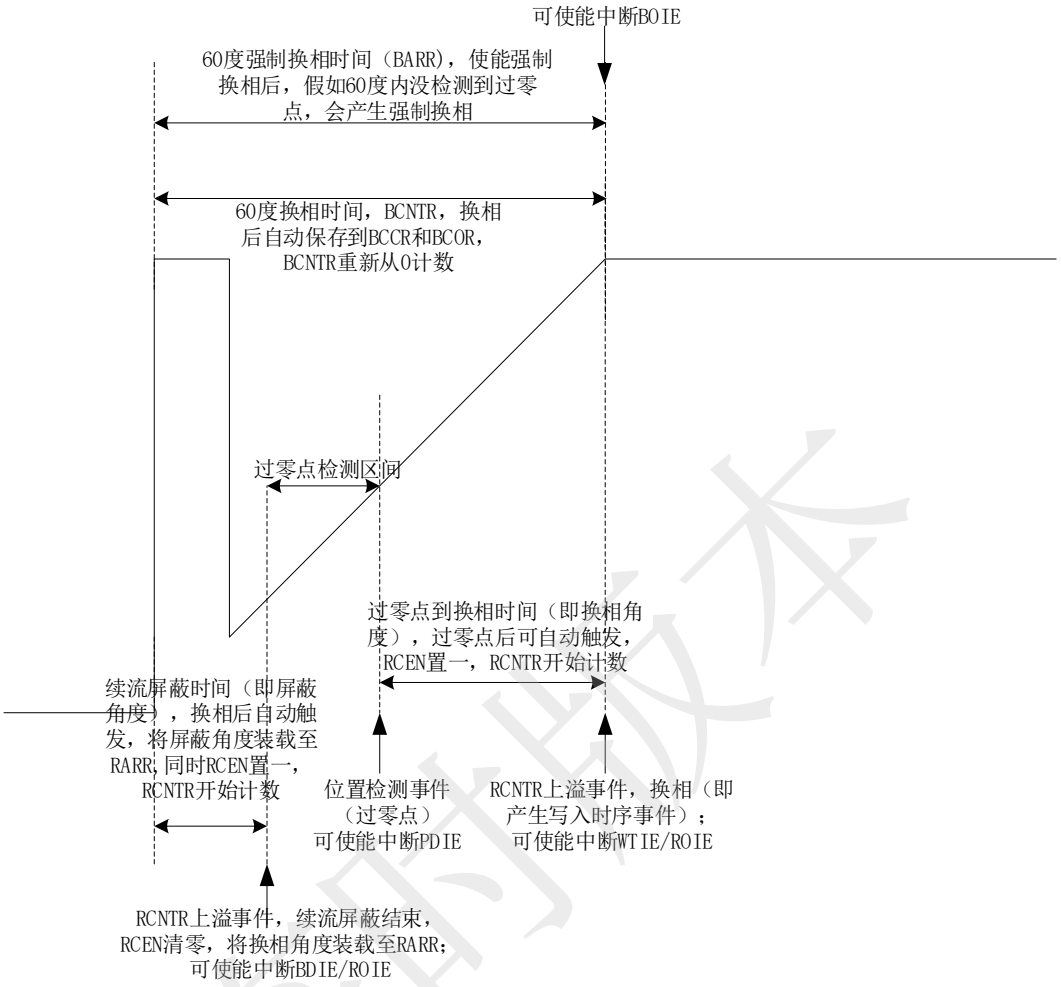


图 14-14 BLDC 的工作原理

14.2.2.1 60 度基准

TIM1__BCCR 寄存器为上一次的 60 度，设置 TIM1_CR2 寄存器的 BRS=0 为两次换相之间的时间为 60 度，设置 BRS=1 为两次检测到过零点之间的时间为 60 度。

TIM1_BCOR 寄存器为滤波后的 60 度，即 60 度基准。设置 TIM1_CR0 寄存器的 CFLT 可选择前 1/2/4/8 个 TIM1__BCCR 平均后得到 TIM1_BCOR。

BLDC 通过 60 度基准 TIM1_BCOR 来计算续流屏蔽角度、过零点 zcp 到换相的角度和强制换相角度。

14.2.2.2 换相

换相即写入时序事件，设置 TIM1_CR1 寄存器的 T1OPS 选择换相方式，其中 T1OPS=00 多用于无感启动，T1OPS==01 多用于无感自动换相，T1OPS==10 多用于有感换相。

换相后，TIM1 会自动执行如下操作：

将当前的 TIM1__BCNTR 存至 TIM1__BCCR，TIM1__BCCR 滤波后存至 TIM1_BCOR，作为 60 度基准值

TIM1__BCNTR 重新从 0 开始计数

开始续流屏蔽，将屏蔽角度装载至 TIM1__RARR，同时 RCEN 置一，TIM1__RCNTR 开始计数

假如 TIM1_CR4 寄存器的 CST 处于状态 1～6，CST 会自动切换到下一状态

可产生写入时序中断 T1WTIF 和重载定时器上溢中断 T1ROIF

14.2.2.3 60 度强制换相

电机在平稳转动的时候，一般在换相之后的 30 度左右即可检测到过零点，假如在换相之后 60 度之内都没有检测到过零点，一般需要强制换相。设置 TIM1_CR0 寄存器的 FORC=1 使能 60 度强制换相功能，当在换相之后 60 度之内都没有检测到过零点，硬件强制换相，同时基本定时器上溢中断标记 BOIF 置一（注：FORC=1，在换相之后 60 度之内检测到过零点，当 TIM1__BCNTR>TIM1__BARR，BOIF 不会置一）。设置 TIM1_CR0 寄存器的 FORC=0，当 TIM1__BCNTR>TIM1__BARR，中断标记 BOIF 置一，TIM1__BCNTR 继续计数，不会自动清零，软件可通过判断基本定时器上溢中断标记 BOIF 和位置检测中断标记 PDIF 进行手动换相。

14.2.2.4 续流屏蔽

在换相之后，由于原来的导通相变为悬空相，此时该相的电感能量需要经过续流二极管释放到电源或者地，在续流过程中，比较器会受到影响，所以需要屏蔽续流时间内的比较器产生的触发沿信号，以免续流产生的错误信号引起错误换相。续流屏蔽结束，产生屏蔽续流结束中断标记 BDIF。

在续流屏蔽时间内，TIM1 保持上次锁存的比较器电平值，当续流屏蔽结束后，TIM1 采集比较器的电平值，需要注意的是当续流屏蔽时间小于续流时间，续流屏蔽结束后的比较器电平与过零点后的比较器电平一致，会产生假的过零点触发沿，所以需要根据电机的特性调节续流屏蔽时间，令续流屏蔽时间大于续流时间。

续流屏蔽时间通过 TIM1_CR1 寄存器的 BSEL 设置，公式：屏蔽角度=BSEL/128*60

14.2.2.5 zcp 到换相的角度（延迟换相）

续流屏蔽结束之后到检测到过零点的区间为过零点检测区间，如果续流屏蔽结束之后一直检测不到过零点，则续流屏蔽结束之后到换相的区间均为过零点检测区间。位置检测事件为沿触发，而且只检测第一个有效的触发沿。当过零点检测区间检测到有效的触发沿，过零点检测区间结束，之后的触发沿均无效，所以用户需调整滤波和采样的参数，确保第一个触发沿为真正的过零点。

在过零点检测区间检测到 zcp（即位置检测事件），硬件根据软件设置 zcp 到换相的时间启动 TIM1_RCNTR 进行计时，当计时结束，硬件自动换相，产生写入时序中断标记 WTIF。

zcp 到换相的时间通过 TIM1_CR2 寄存器的 CSEL 设置，公式：换相角度=CSEL/128*60

14.2.2.6 逐波限流

参考逐波限流。

14.2.3 BLDC 的调试相关

芯片提供以下调试方法

1. 通过 GP07 实时显示比较器信号
2. 通过 GP01 实时显示 TIM1 的状态
3. 通过 SPI 调试器将 TIM1 相关寄存器显示在示波器

14.2.3.1 比较器调试

设置 CMP_CR3 寄存器的 CMPSEL 可将 BLDC 相关的 CMP0/1/2_OUT 的结果通过 GP07 端口输出，其中 CMP0/1/2_OUT 为经过滤波采样后的比较器结果。

设置 CMP_CR3 寄存器的 DBGSEL=11B,可将比较器采样区间通过 GP01 端口输出，波形请参考采样，设置 CMP_CR3 寄存器的 SAMSEL 选择比较器的采样区间，对应 GP01 输出如下表。

SAMSEL	采样区间	GP01 显示
00	在 on 和 off 均采样，没有延迟采样开启	恒高电平
01	只在 off 采样，根据 CMP_SAMR 延迟采样开启	PWM off 采样区间
10	只在 on 采样，根据 CMP_SAMR 延迟采样开启	PWM on 采样区间
11	在 on 和 off 均采样，根据 CMP_SAMR 延迟采样开启	PWM off+on 采样区间

将比较器采样区间，CMP0/1/2_OUT 的其中一个信号和对应的 UVW 输出的一相信号，通过示波器显示，调节 CMP_SAMR 寄存器，将比较器采样区间落在 UVW 对应的 PWM 区间内（需考虑比较器的滤波延迟），观测 CMP0/1/2_OUT 是否符合需求。

非商用版本

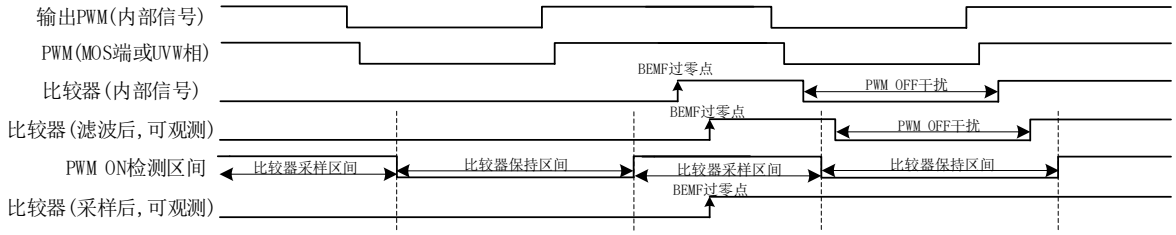


图 14-15 比较器调试

14.2.3.2 续流屏蔽与换相调试

续流屏蔽区间和延迟换相区间均使用重载定时器 RCNTR 进行计数，因此可通过 SPI 调试器将 RCNTR 的波形显示在示波器。

通过 GP01 将 TIM1 实时状态显示，配合 UVW 相得到换相点，可以得到续流屏蔽区间，等待过零点区间，延迟换相区间。

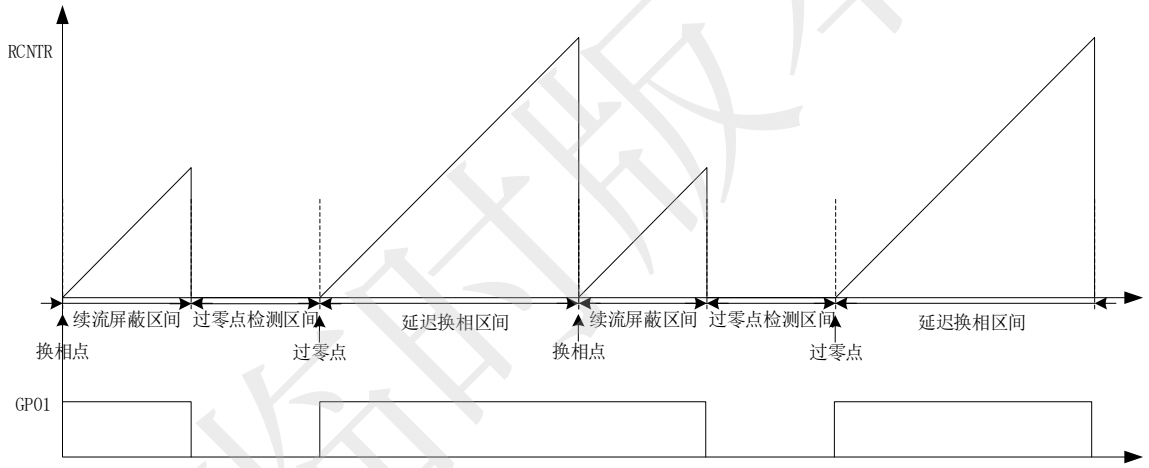


图 14-16 15°续流屏蔽与 30°延迟换相的 RCNTR/GP01 波形图

14.3 ADC 产生换相信号

计算公式 K*A-B，其中 K：系数；A：ADC 采集导通相的电压；B：ADC 采集悬空相的电压。当公式发生符号变化，即产生换相信号。

CPE	A=导通相，B=悬空相，K=参数		
000	不采样	100	A=V,B=U,K=TIM1_KF
001	A=W,B=U,K=TIM1_KR	101	A=V,B=W,K=TIM1_KR
010	A=U,B=W,K=TIM1_KF	110	A=W,B=V,K=TIM1_KF
011	A=U,B=V,K=TIM1_KR	111	保留位

ADC 采集电压和比较器采集信号一样，可设置在 PWM ON/OFF 时采样。为了防止 ADC 采样到干扰而出错，设置 TIM1_CR3 寄存器的 AFL 配置 ADC 换相信号 2/4 次滤波。

ADC 换相和比较器换相的其他配置基本一样。ADC 换相更灵活，设置不同的系数 K，计算公式的符号翻转可以是不同的位置点。设置 K=TIM1_KR=TIM1_KF=0.5，则符号翻转点为 zcp。

临时版本

14.4 Timer1 寄存器

14.4.1 TIM1_CR0（0x4068）

表 14-2 TIM1_CR0（0x4068）

位	7	6	5	4	3	2	1	0
名称	T1RWEN	T1CFLT		T1FORC	T1OPS		T1BCEN	T1RCEN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	T1RWEN	在操作TIM1_CR0时，RWEN必须写一，T1RCEN才能写. 该位读只能读到0
[6:5]	T1CFLT	换相滤波选择 X个换相时间平均后作为60度的基准 00：1个换相时间 01：2个换相时间平均 10：4个换相时间平均 11：8个换相时间平均
[4]	T1FORC	60度强制自动换相使能 当换相后60度内没有检测到过零点，硬件强制换相。当60度内检测到过零点，即使TIM1__BCNTR超过TIM1__BARR，硬件不会强制换相。 注：假如T1FORC=0，即使TIM1__BCNTR超过TIM1__BARR，TIM1__BCNTR继续计数，不会从0开始计数，硬件不会强制换相 0：不使能 1：使能
[3:2]	T1OPS	数据传输方式选择 这些位用于选择TIM1_DBRx寄存器写入DRV_CMR寄存器的传输方式，即写入时序事件/换相 00：软件对UPD写一或者写TIM1_CR4触发数据传输（主要用于无感方波启动） 01：16位重载定时器用于换相时间计时的上溢触发数据传输（主要用于无感方波） 10：位置检测输入触发数据传输（主要用于有感方波）或ADC计算结果触发传输 11：16位重载定时器用于换相时间计时的上溢触发数据传输和ADC计算结果触发传输
[1]	T1BCEN	基本定时器的计数器使能 0：禁止计数器 1：使能计数器
[0]	T1RCEN	重载定时器的计数器使能 软件必须写RWEN为1才能操作T1RCEN，硬件的位置检测时间和写入时序事件可自动使能T1RCEN，当重载定时器产生上溢事件后，

		T1RCEN硬件清零。 0：禁止计数器 1：使能计数器

14.4.2 TIM1_CR1（0x4069）

表 14-3 TIM1_CR1（0x4069）

位	7	6	5	4	3	2	1	0
名称	T1BAPE	BSEL						
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	T1BAPE	TIM1__BARR自动装载使能 使能后，当基本定时器因为位置检测事件或者写入时序事件复位时，将60度基准值存至TIM1__BARR寄存器。（用于检测不到zcp时强制60度换相） 0：不使能 1：使能
[6:0]	BSEL	屏蔽续流角度选择 换相后屏蔽续流的角度（时间），在屏蔽续流的这段时间里，不检测输入沿 公式：屏蔽角度=BSEL/128*60 注：如屏蔽角度为0，需将BSEL设置为1

14.4.3 TIM1_CR2（0x406A）

表 14-4 TIM1_CR2（0x406A）

位	7	6	5	4	3	2	1	0
名称	T1BRS	CSEL						
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	T1BRS	基本定时器复位源选择 0：写入时序复位和60度强制自动换相复位（常用设置） 1：位置检测复位（ADC无法复位）
[6:0]	CSEL	换相角度选择 位置检测输入触发后，延迟CSEL对应的度后换相 公式：换相角度=CSEL/128*60 注：如换相角度为0，需将CSEL设置为1

14.4.4 TIM1_CR3（0x406B）

表 14-5 TIM1_CR3（0x406B）

位	7	6	5	4	3	2	1	0
名称	T1AFL	T1PSC			T1TIS		T1INM	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	1	0	0

字段	名称	描述
[7]	T1AFL	ADC 采样电压计算结果滤波 0：4 次滤波 1：2次滤波
[6:4]	T1PSC	定时器时钟分频选择 这些位用于对MCU时钟进行N分频作为基本定时器和重载定时器的计数时钟，假设MCU时钟为24MHz(41.67ns) 000:0x1（24MHz）　　001:0x2（12MHz） 010:0x4 （6MHz）　　011:0x8（3MHz） 100:0x10（1.5MHz）　　101:0x20（750kHz） 110:0x40 （375kHz）　　111:0x80（187.5kHz）
[3:2]	T1TIS	输入源（TI0/TI1/TI2）选择 TIM1 对选择的输入源进行滤波、采样和产生位置检测时间。此位会影响比较器模块 CMP_SR 的 CMP0/1/2_OUT 和 CMP0/1/2_IF 结果 00：GPIO 作为输入，其中根据 CMP_CR1[7]选择（P1.4/P1.6/P2.1）还是（P0.2/P3.7/P3.6），CMP_SR 的结果通过 GPIO 产生 01：比较器（CMP0/CMP1/CMP2）的输出作为输入，CMP_SR 的结果通过 CMP 产生 1x：保留位
[1:0]	T1INM	输入TI0/TI1/TI2噪声脉宽选择，当噪声的脉宽小于设定值，噪声会被滤除。假设MCU时钟为24MHz(41.67ns) 00：不滤波 01：8个时钟周期，8 x 41.67ns 10：32个时钟周期，32 x 41.67ns 11：64个时钟周期，64 x 41.67ns

14.4.5 TIM1_CR4（0x406C）

表 14-6 TIM1_CR4（0x406C）

位	7	6	5	4	3	2	1	0
名称	RSV					T1CST		
类型	R	R	R	R	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

<table>
<tr><th>字段</th><th>名称</th><th>描述</th></tr>
<tr><td>[7:3]</td><td>RSV</td><td>保留位</td></tr>
<tr><td>[2:0]</td><td>T1CST</td><td>换相状态机
状态机在不同的状态会对应不同的CPE和CMR（TIM1_DBRx）；
当CST在001～111状态，timer1会自动接管比较器0/1/2的使能，根据对应状态的CPE决定比较器的开关
当CST在001～110状态，会在写入时序事件触发时自动循环加一
<table>
<tr><th>CST</th><th>TIM1_DBRx</th><th>CST</th><th>TIM1_DBRx</th></tr>
<tr><td>000</td><td>0</td><td>100</td><td>TIM1_DBR4</td></tr>
<tr><td>001</td><td>TIM1_DBR1</td><td>101</td><td>TIM1_DBR5</td></tr>
<tr><td>010</td><td>TIM1_DBR2</td><td>110</td><td>TIM1_DBR6</td></tr>
<tr><td>011</td><td>TIM1_DBR3</td><td>111</td><td>TIM1_DBR7</td></tr>
</table></td></tr>
</table>

14.4.6 TIM1_IER（0x406D）

表 14-7 TIM1_IER（0x406D）

位	7	6	5	4	3	2	1	0
名称	T1UPD	T1MAME	T1ADIE	T1BOIE	T1RUIE	T1WTIE	T1PDIE	T1BDIE
类型	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	T1UPD	当OPS=00时，软件对UPD写一触发数据传输。此位只写不可读，写一后硬件自动清零。
[6]	T1MAME	手动模式使能 使能后，基本定时器和重载定时器作为独立的定时器。具体细节为： 基本定时器的BCNTR不再由T1BRS控制清零，由BCNTR上溢事件清零； 重载定时器的使能RCEN不再自动使能和禁止，只通过软件操作； 重载定时器的RCNTR的清零只由RCNTR上溢事件清零； 重载定时器的RARR不会自动更新，只通过软件操作 0：禁止手动模式，即当前为硬件自动模式 1：使能手动模式
[5]	T1ADIE	ADC检测中断使能 0: 禁止ADC检测中断 1: 使能ADC检测中断
[4]	T1BOIE	基本定时器上溢中断使能 0: 禁止上溢中断 1: 使能上溢中断
[3]	T1ROIE	重载定时器上溢中断使能 0: 禁止重载定时器上溢中断 1: 使能重载定时器上溢中断
[2]	T1WTIE	写入时序中断使能 0: 禁止写入时序中断

		1: 使能写入时序中断
[1]	T1PDIE	位置检测中断使能 0: 禁止位置检测中断 1: 使能位置检测中断
[0]	T1BDIE	屏蔽续流结束中断使能 0: 禁止比较中断 1: 使能比较中断

14.4.7 TIM1_SR（0x406E）

表 14-8 TIM1_SR（0x406E）

位	7	6	5	4	3	2	1	0
名称	RSV		T1ADIF	T1BOIF	T1ROIF	T1WTIF	T1PDIF	T1BDIF
类型	R	R	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留位
[5]	T1ADIF	ADC检测中断标记 当产生位置检测事件时该位由硬件置1。它由软件清0。 0：无事件发生； 1：位置检测事件发生。
[4]	T1BOIF	基本定时器上溢中断标记 当基本定时器向上计数，当TIM1__BCNTR寄存器的值与TIM1__BARR寄存器的值比较匹配时，即发生上溢事件。如果TIM1_CR0[T1FORC]=1，TIM1__BCNTR清零，否则TIM1__BCNTR继续计数。该位由硬件置1，它由软件清0。 注：如果要在中断中清除TIM1__BCNTR，可以在TIM1_CR2[T1BRS]=0时写UPD或者TIM1_CR4 0：无事件发生； 1：上溢事件发生。
[3]	T1ROIF	重载定时器上溢中断标记 当重载定时器向上计数，当TIM1__RCNTR寄存器的值与TIM1__RARR寄存器的值比较匹配时，即发生上溢事件，TIM1__RCNTR清零，该位由硬件置1，它由软件清0。 0：无事件发生； 1：上溢事件发生。
[2]	T1WTIF	写入时序中断标记 当TIM1_DBRH/TIM1_DBRL寄存器传输到TIM1_DRH/TIM1_DRL寄存器，该位由硬件置1，它由软件清0。 注：当OPS=00时，软件对WTIF写1，会产生写入事件。 0：无事件发生； 1：写入时序发生。

[1]	T1PDIF	位置检测中断标记 当输入（TI2,TI1,TI0）与当前状态TIM1_CR4[CST]对应的TIM1_DBRx[CPE]匹配时产生位置检测事件中断。该位由硬件置1。它由软件清0。 0：无事件发生； 1：位置检测事件发生。
[0]	T1BDIF	屏蔽续流结束中断标记 换相后开始屏蔽续流时间，屏蔽结束该位由硬件置1，它由软件清0。 0：无事件发生； 1：事件发生。

14.4.8 TIM1_BCOR（0x4070，0x4071）

表 14-9 TIM1_BCORH（0x4070）

位	7	6	5	4	3	2	1	0
名称	TIM1_BCORH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-10 TIM1_BCORL（0x4071）

位	7	6	5	4	3	2	1	0
名称	TIM1_BCORL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_BCOR	捕获基本定时器计数值滤波值 TIM1__BCCR滤波后的值，即60度基准值 注：用户初始化60度基准值时，需同时初始化TIM1__BCCR和TIM1_BCOR。配置TIM1__BCCR时，直接将60度基准值写进TIM1__BCCR即可。配置TIM1_BCOR时，需按照如下操作： T1CFLT=00，60度基准值； T1CFLT=01，60度基准值/2； T1CFLT=10，60度基准值/4； T1CFLT=11，60度基准值/8。

14.4.9 TIM1_DBRx (x=1～7)(0x4074+2*x，0x4075+2*x)

TIM1_DBRx (x=1～7)分别对应 CST=1/2/3/4/5/6 时的数据。下面以 TIM1_DBR1 为例介绍 TIM1_DBRx 寄存器。

表 14-11 TIM1_DBR1H（0x4074）

位	7	6	5	4	3	2	1	0
名称	RSV	T1CPE			T1WHP	T1WLP	T1VHP	T1VLP

类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-12 TIM1_DBR1L（0x4075）

位	7	6	5	4	3	2	1	0
名称	T1UHP	T1ULP	T1WHE	T1WLE	T1VHE	T1VLE	T1UHE	T1ULE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

<table>
<tr><th>字段</th><th>名称</th><th>描述</th></tr>
<tr><td>[15]</td><td>RSV</td><td>保留位</td></tr>
<tr><td>[14:12]</td><td>T1CPE</td><td>TI0/TI1/TI2输入沿极性和比较器使能选择
这些位用于选择位置检测用的输入沿的极性和对应比较器的使能，位置检测根据设定到这些位的输入沿极性来触发。
<table>
<tr><th>CPE</th><th>描述</th><th>CPE</th><th>描述</th></tr>
<tr><td>000</td><td>0</td><td>100</td><td>检测 U 相下降沿，
U 相对应比较器使能</td></tr>
<tr><td>001</td><td>检测 U 相上升沿，
U 相对应比较器使能</td><td>101</td><td>检测 W 相上升沿，
W 相对应比较器使能</td></tr>
<tr><td>010</td><td>检测 W 相下降沿，
W 相对应比较器使能</td><td>110</td><td>检测 V 相下降沿，
V 相对应比较器使能</td></tr>
<tr><td>011</td><td>检测 V 相上升沿，
V 相对应比较器使能</td><td>111</td><td>检测三相双沿，
三相对应比较器使能</td></tr>
</table></td></tr>
<tr><td>[11]</td><td>T1WHP</td><td>W相上桥输出使能
0：高电平有效
1：低电平有效</td></tr>
<tr><td>[10]</td><td>T1WLP</td><td>W相下桥输出极性
0：高电平有效
1：低电平有效</td></tr>
<tr><td>[9]</td><td>T1VHP</td><td>V相上桥输出使能
0：高电平有效
1：低电平有效</td></tr>
<tr><td>[8]</td><td>T1VLP</td><td>V相下桥输出极性
0：高电平有效
1：低电平有效</td></tr>
<tr><td>[7]</td><td>T1UHP</td><td>U相上桥输出使能
0：高电平有效
1：低电平有效</td></tr>
<tr><td>[6]</td><td>T1ULP</td><td>U相下桥输出极性
0：高电平有效
1：低电平有效</td></tr>
<tr><td>[5]</td><td>T1WHE</td><td>W相上桥输出使能
0：关闭--禁止输出
1：开启--使能输出</td></tr>
</table>

		注：当WLE和WHE同时为1，W相上下桥互补输出，同时输出自动插入死区。
[4]	T1WLE	W相下桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当WLE和WHE同时为1，W相上下桥互补输出，同时输出自动插入死区。
[3]	T1VHE	V相上桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当VLE和VHE同时为1，V相上下桥互补输出，同时输出自动插入死区。
[2]	T1VLE	V相下桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当VLE和VHE同时为1，V相上下桥互补输出，同时输出自动插入死区。
[1]	T1UHE	U相上桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当ULE和UHE同时为1，U相上下桥互补输出，同时输出自动插入死区。
[0]	T1ULE	U相下桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当ULE和UHE同时为1，U相上下桥互补输出，同时输出自动插入死区。

14.4.10 TIM1__BCNTR（0x4082，0x4083）

表 14-13 TIM1__BCNTRH（0x4082）

位	7	6	5	4	3	2	1	0
名称	TIM1__BCNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-14 TIM1__BCNTRL（0x4083）

位	7	6	5	4	3	2	1	0
名称	TIM1__BCNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__BCNTR	基本定时器的计数值，用于60度换相时间的计数。 注：TIM1__BCNTR只根据TIM1_CR2[T1BRS]来选择复位源。 TIM1__BCNTR上溢不会使TIM1__BCNTR重新计数。

14.4.11 TIM1__BCCR（0x4084，0x4085）

表 14-15 TIM1__BCCRH（0x4084）

位	7	6	5	4	3	2	1	0

名称	TIM1__BCCRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-16 TIM1__BCCRL（0x4085）

位	7	6	5	4	3	2	1	0
名称	TIM1__BCCRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__BCCR	捕获基本定时器计数值 当基本定时器因为位置检测事件或者写入时序事件复位时，将复位前的计数值存至BCCR寄存器。

14.4.12 TIM1__BARR（0x4086，0x4087）

表 14-17 TIM1__BARRH（0x4086）

位	7	6	5	4	3	2	1	0
名称	TIM1__BARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-18 TIM1__BARRL（0x4087）

位	7	6	5	4	3	2	1	0
名称	TIM1__BARRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__BARR	基本定时器的自动重载值 当基本定时器的计数值等于BARR寄存器的值，即发生上溢中断，同时计数器的值清零

14.4.13 TIM1__RARR（0x4088，0x4089）

表 14-19 TIM1__RARRH（0x4088）

位	7	6	5	4	3	2	1	0
名称	TIM1__RARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-20 TIM1__RARRL（0x4089）

位	7	6	5	4	3	2	1	0
名称	TIM1__RARRL							

类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__RARR	重载定时器的自动重载值 当重载定时器的计数值等于RARR寄存器的值，即发生上溢中断，同时计数器的值清零

14.4.14 TIM1__RCNTR（0x408A，0x408B）

表 14-21 TIM1__RCNTRH（0x408A）

位	7	6	5	4	3	2	1	0
名称	TIM1__RCNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-22 TIM1__RCNTRL（0x408B）

位	7	6	5	4	3	2	1	0
名称	TIM1__RCNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__RCNTR	重载定时器的计数值，用于续流屏蔽时间和zcp到换相时间的计数

14.4.15 TIM1__ITRIP（0x4098，0x4099）

表 14-23 TIM1__ITRIPH（0x4098）

位	7	6	5	4	3	2	1	0
名称	TIM1__ITRIP[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 14-24 TIM1__ITRIPL（0x4099）

位	7	6	5	4	3	2	1	0
名称	TIM1__ITRIP[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__ITRIP	滤波过后的母线电流 硬核模块对母线电流采样，滤波后供软件使用，默认 ADC 通道 4 取值范围（0,32767）

14.4.16 TIM1__UCOP（0x408C，0x408D）

表 14-25 TIM1__UCOPH（0x408C）

位	7	6	5	4	3	2	1	0
名称	TIM1__UCOPH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-26 TIM1__UCOPL（0x408D）

位	7	6	5	4	3	2	1	0
名称	TIM1__UCOPL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__UCOP	导通相的电压

14.4.17 TIM1__UFLP（0x408E，0x408F）

表 14-27 TIM1__UFLPH（0x408E）

位	7	6	5	4	3	2	1	0
名称	TIM1__UFLPH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-28 TIM1__UFLPL（0x408F）

位	7	6	5	4	3	2	1	0
名称	TIM1__UFLPL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__UFLP	悬空相的电压

14.4.18 TIM1__URES（0x4090，0x4091）

表 14-29 TIM1__URESH（0x4090）

位	7	6	5	4	3	2	1	0
名称	TIM1__URESH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-30 TIM1__URESL（0x4091）

位	7	6	5	4	3	2	1	0
名称	TIM1__URESL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__URES	电压计算结果

14.4.19 TIM1__UIGN（0x4092，0x4093）

表 14-31 TIM1__UIGNH（0x4092）

位	7	6	5	4	3	2	1	0
名称	TIM1__UIGNH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-32 TIM1__UIGNL（0x4093）

位	7	6	5	4	3	2	1	0
名称	TIM1__UIGNL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1__UIGN	导通相的忽略电压 当导通相的电压低于TIM1__UIGN，导通相电压丢弃

14.4.20 TIM1_KF（0x4094，0x4095）

表 14-33 TIM1_KFH（0x4094）

位	7	6	5	4	3	2	1	0
名称	TIM1_KFH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-34 TIM1_KFL（0x4095）

位	7	6	5	4	3	2	1	0
名称	TIM1_KFL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_KF	下降沿的系数

14.4.21 TIM1_KR（0x4096，0x4097）

表 14-35 TIM1_KRH（0x4096）

位	7	6	5	4	3	2	1	0
名称	TIM1_KRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-36 TIM1__KRL（0x4097）

位	7	6	5	4	3	2	1	0
名称	TIM1__KRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_KR	上升沿的系数

14.4.22 EXT0（0x40f0）

表 14-37 EXT0（0x40f0）

EXT0（0x40f0）								
位	7	6	5	4	3	2	1	0
名称	RSV		FAEN	MOEMD2	T1COM_MD	CMPXO_P11	TIM4_CT	EXT0_P11
类型	R/W		R/W	R/W	R/W	R/W	R/W	R/W
复位值	0		0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留
[5]	FAEN	使能后 CMP_SAMR 扩大 4 倍 0:Disable 1:Enbale
[4]	MOEMD2	MOE 逐波限流的 10us 档位使能(需 MOEMD 配置为 1X) 0:Disable 1:Enbale
[3]	T1COM_MD	方波使用 ADC 实现续流屏蔽使能 0:Disable，不使用 ADC 实现屏蔽续流 1:Enbale，使用 ADC 实现屏蔽续流（需 TIM1_CR1[BSEL]≥1）
[2]	CMPXO_P11	比较器输出功能转移 0:P07 1:P11
[1]	TIM4_CT	DBG/TIME4 功能转移 0:P01 1:P06
[0]	EXT0_P11	P11 INT0 使能 0:Disable 1:Enbale

临时版本

15 TIM2

15.1 TIM2 操作说明

TIM2 共有四种模式：

1. 输出模式：产生 PWM 输出波形
2. 输入 timer 模式：检测输入 PWM 的高低电平持续时间，可用于算出 PWM 占空比
3. 输入 counter 模式：检测输入规定的 PWM 个数所需的时间
4. QEP&RSD 模式：正交编码器&顺逆风检测

TIM2 主要包括：

1. 3-bit 可编程分频器对基本计数器的计数时钟进行分频
2. 16 位向上计数的基本计数器，计数时钟源为时钟控制器的输出
3. 16 位向上向下计数的专用计数器，用于输入 counter 模式和 QEP&RSD 模式，计数时钟源为外部输入信号的有效沿
4. 输入滤波模块
5. 边沿检测模块
6. 输出模块产生 PWM
7. 中断事件产生

15.1.1 时钟控制器

时钟控制器用于产生基本定时器的计数时钟源，由预分频器对计数时钟进行分频。预分频器基于一个由 3 位寄存器 PSC 控制的 8 位计数器，可选择 8 种分频系数，时钟源为内部时钟。由于这个控制寄存器没有缓冲器，分频系数改变会立刻更新，所以应该在基本定时器不工作时更新分频系数。

计数器的频率可以由下式计算：

$f_{CK_CNT}=f_{CK_PSC}/T2PSC$

假设 MCU 时钟为 24MHz(41.67ns)

表 15-1 寄存器 T2PSC 不同的值对应不同的时钟频率

T2PSC	系数(16进制)	CLK(Hz)
000	0x01	24M
001	0x02	12M
010	0x04	6M
011	0x08	3M
100	0x10	1.5M
101	0x20	750K
110	0x40	375K
111	0x80	187.5K

临时版本

15.1.2 TIM2__CNTR 的读写和计数

TIM2__CNTR 计数仅在 T2EN=1 时进行。软件对 TIM2__CNTR 的写操作是直接改变寄存器的值，因此软件需在计数不使能时执行写操作。软件读 TIM2__CNTR 时，先读高字节，硬件会同步将此时刻低字节缓存，待软件读低字节时读取到的是缓存的数据。

15.1.3 输出模式

配置 TIM2_CR0 寄存器的 T2MOD=01B，TIM2 工作在输出模式。

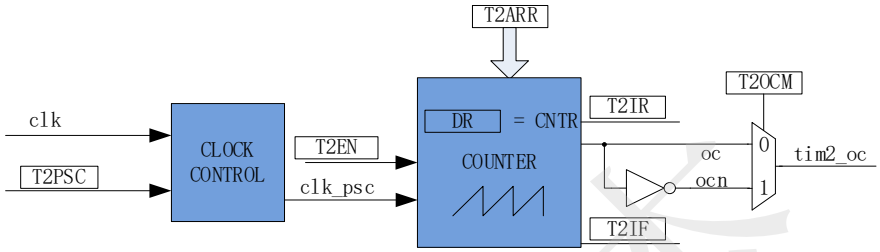


图 15-1 输出模式原理框图

输出模式根据配置 TIM2_CR0 寄存器的 T2OCM 和比较结果产生输出信号，同时产生相应中断。

15.1.3.1 TIM2__ARR/TIM2__DR 的读写

在输出模式下，TIM2__ARR/TIM2__DR 包含预装载寄存器和影子寄存器。软件写 TIM2__ARR/TIM2__DR 寄存器时，数据保存在预装载寄存器中，在上溢事件 T2IF 或者计数器不在工作（T2EN=0）时传递到影子寄存器中。

TIM2__ARR/TIM2__DR 是一个 16 位寄存器，软件需先写入高字节，再写入低字节，由硬件保证在高字节写入后至低字节写入前预装载寄存器中的数据不会更新至影子寄存器中。

15.1.3.2 高/低电平输出模式

配置 TIM2_CR0 寄存器的 T2OCM=0，TIM2__DR=TIM2__ARR，输出比较信号(TIM2_OC)始终为低电平；配置 TIM2_CR0 寄存器的 T2OCM=1，TIM2__DR=TIM2__ARR，输出比较信号(TIM2_OC)始终为高电平；

需要注意的是，只能通过配置 TIM2__DR= TIM2__ARR 能达到长期输出高/低电平的效果。配置 TIM2__DR=0 会有 1 个时钟周期的脉冲。

15.1.3.3 PWM 模式

PWM 模式根据 TIM2__ARR 决定 PWM 周期，TIM2__DR 决定占空比，占空比=TIM2__DR/TIM2__ARR x 100%。配置 TIM2_CR0 寄存器的 T2OCM=0，输出根据 TIM2__DR 寄

存器和数值 TIM2__CNTR 的比较结果（TIM2__CNTR≤TIM2__DR）输出低电平，反之输出高电平。配置 TIM2_CR0 寄存器的 T2OCM=1，输出根据 TIM2__DR 寄存器和数值 TIM2__CNTR 的比较结果（TIM2__CNTR≤TIM2__DR）输出高电平，反之输出低电平。

15.1.3.4 中断事件

a) 当 TIM2__CNTR=TIM2__DR，产生比较匹配事件，中断标记 TIM2_CR1 寄存器的 T2IR 置一，计数器接着计数；

b) 当 TIM2__CNTR=TIM2__ARR，产生上溢事件，中断标记 TIM2_CR1 寄存器的 T2IF 置一，TIM2__CNTR 清零且重新计数。

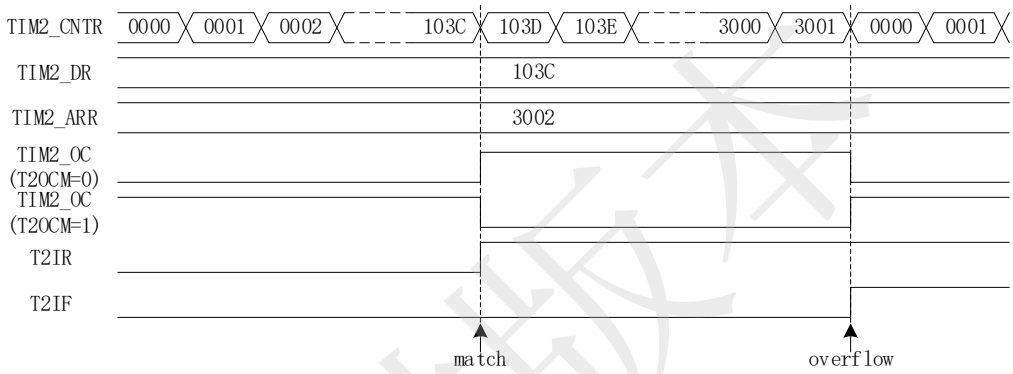


图 15-2 输出模式输出波形

15.1.4 输入信号滤波和边沿检测

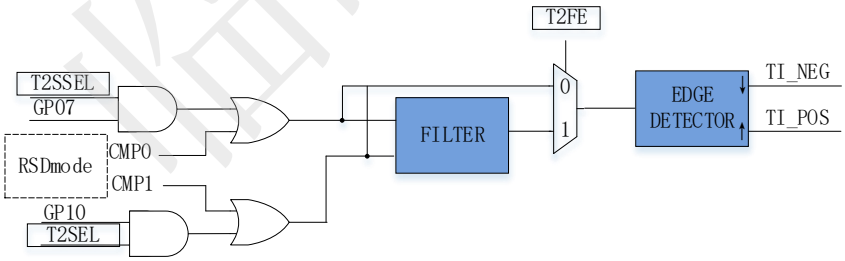


图 15-3 输入信号滤波和边沿检测框图

TIM2 的输入信号 TI 来自 GP07 或者 GP10，根据 PH_SEL 寄存器的 T2SEL 选择，输入可选择是否进行噪声滤波，边沿检测模块检测输入的上升沿和下降沿供下一模块使用。

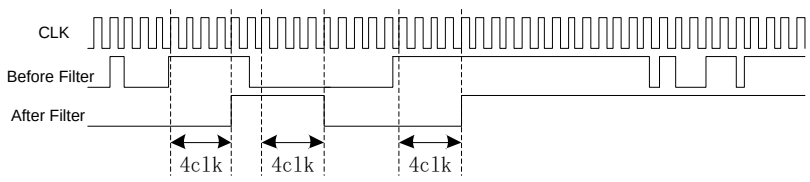


图 15-4 滤波模块时序图

滤波电路固定滤除脉宽为 4 时钟周期的输入噪声。配置 TIM2_CR1 寄存器的 T2FE = 1，即使能滤波功能，滤波后的信号会比滤波前的信号大概延迟 4～5 时钟周期。

15.1.5 输入 timer 模式

配置 TIM2_CR0 寄存器的 T2MOD=00B，TIM2 工作在输入 timer 模式。

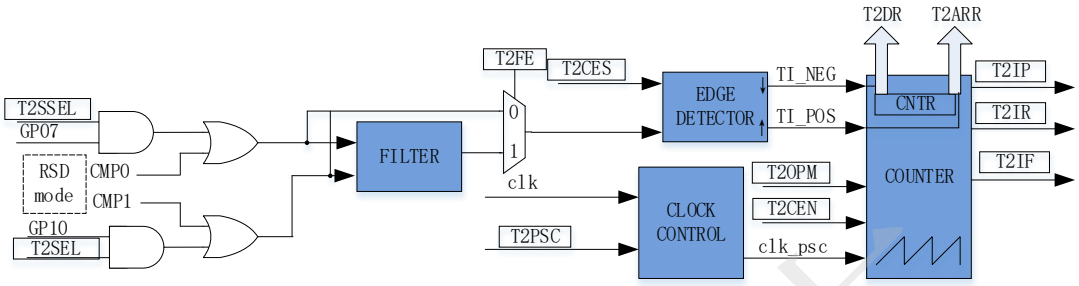


图 15-5 输入 timer 模式原理框图

输入 timer 模式检测 PWM 信号脉宽和一个周期的时长，（根据 T2CES=0 选择相邻两个上升沿为 1 个周期，上升沿到下降沿为脉宽（高电平脉宽）；T2CES=1 选择相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽（低电平脉宽）），分别将计数值 TIM2__CNTR 存在 TIM2__DR 和 TIM2__ARR；输入信号可选择是否滤波；

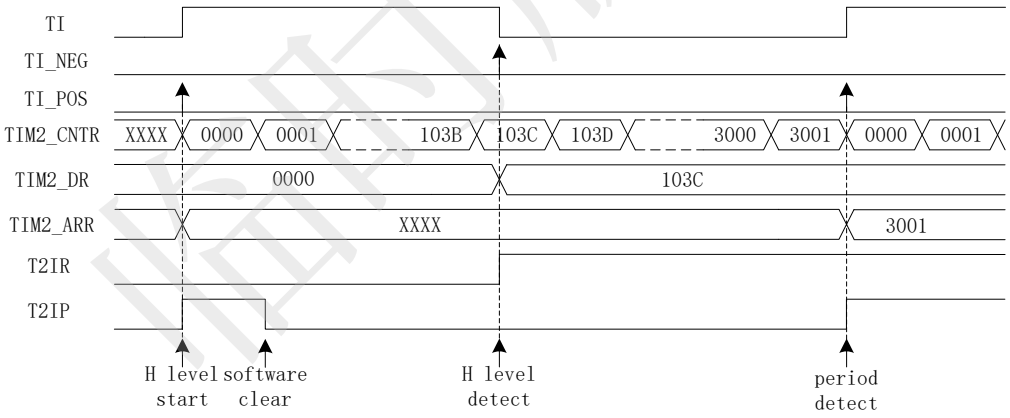


图 15-6 输入 timer 模式（T2CES=0）时序图

以 T2CES=0 为例，配置 TIM2_CR1 寄存器的 T2EN = 1，即使能计数器，计数器向上计数，当 timer 检测到输入的第一个上升沿时（下降沿无效），TIM2__CNTR 清零并重新计数；

当检测到输入的下降沿时，即输入的高电平检测完毕，此时将 TIM2__CNTR 的值存进 TIM2__DR，同时中断标记 TIM2_CR1 寄存器的 T2IR 置一，TIM2__CNTR 接着向上计数；

当检测到输入的第二个上升沿时，当检测到输入的一个 PWM 周期时，此时将 TIM2__CNTR 的值存进 TIM2__ARR，同时中断标记 TIM2_CR1 寄存器的 T2IP 置一，TIM2__CNTR 清零且重新计数。

当 timer 尚未检测到输入的第二个上升沿，计数值 TIM2__CNTR 达到 0xFFFF，发生上溢事件，

中断标记 TIM2_CR1 寄存器的 T2IF 置一，TIM2__CNTR 清零，TIM2__CNTR 重新计数。

15.1.6 输入 counter 模式

配置 TIM2_CR0 寄存器的 T2MOD=10B，TIM2 工作在输入 counter 模式。

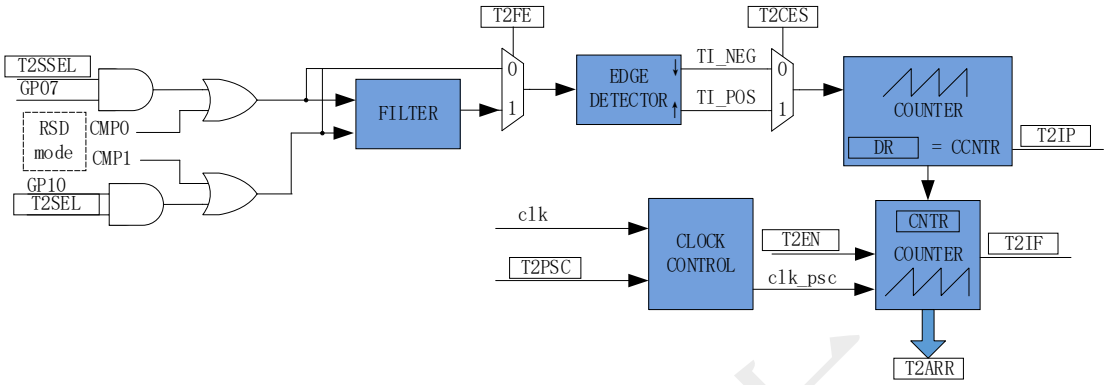


图 15-7 输入 counter 模式原理框图

在输入 counter 模式下， TIM2__DR 包含预装载寄存器和影子寄存器。软件写 TIM2__DR 寄存器时，数据保存在预装载寄存器中，在匹配事件 T2IP、上溢事件 T2IF 或者计数器不在工作（T2EN=0）时传递到影子寄存器中。TIM2__DR 是一个 16 位寄存器，软件需先写入高字节，再写入低字节，由硬件保证在高字节写入后至低字节写入前预装载寄存器中的数据不会更新至影子寄存器中。

输入 counter 模式检测输入规定的 PWM 个数所需的时长，将基本计数器的计数值 TIM2__CNTR 存进 TIM2__ARR；输入信号可选择是否滤波；配置 TIM2_CR0 寄存器的 T2CES=1，输入信号的上升沿作为专用计数器的计数有效边沿，反之输入信号的下降沿作为有效沿。

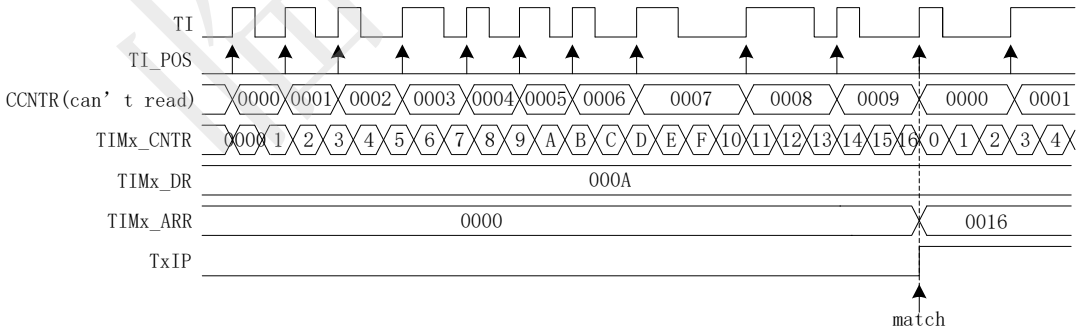


图 15-8 输入 counter 模式时序图

配置 TIM2_CR1 寄存器的 T2EN = 1，即使能计数器，计数器向上计数，当 timer 检测到输入的第一个有效沿时，TIM2__CNTR 清零并重新计数；

每当 timer 检测有效沿，专用计数器的计数值(CCNTR)加一；TIM2__DR 设定检测 PWM 个数的目标值，当专用计数器的计数值达到目标值，将基本计数器的计数值 TIM2__CNTR 存进 TIM2__ARR，同时中断标记 TIM2_CR1 寄存器的 T2IP 置一，TIM2__CNTR 和(CCNTR)清零，并

重新计数。

当检测输入的 PWM 个数尚未达到目标值，计数值 TIM2__CNTR 已经达到 0xFFFF，发生上溢事件，中断标记 TIM2_CR1 寄存器的 T2IF 置一； TIM2__CNTR 清零，(CCNTR)不清零，TIM2__CNTR 从零开始计数，(CCNTR)接着之前数值继续计数；

15.1.7 QEP&RSD 模式

配置 TIM2_CR0 寄存器的 T2MOD=11B，TIM2 工作在输入 QEP&RSD 模式。

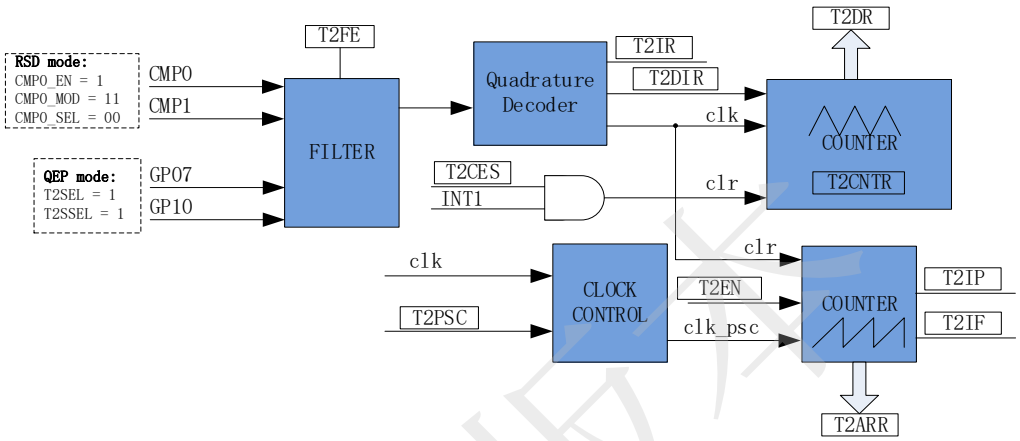


图 15-9 QEP&RSD 模式原理框图

QEP&RSD 模式通过检测 2 个通道的正交输入，得到相对位置、方向和速度信息。GP07 和 GP10（QEP 模式，两输入的相位一般为 90 度）或 CMP0 和 CMP1（RSD 模式，两输入的相位一般为 60 度）作为输入，经过滤波模块后送进正交解码模块，得到有效的计数沿和方向 T2DIR，方向改变会产生 T2IR 中断标记。

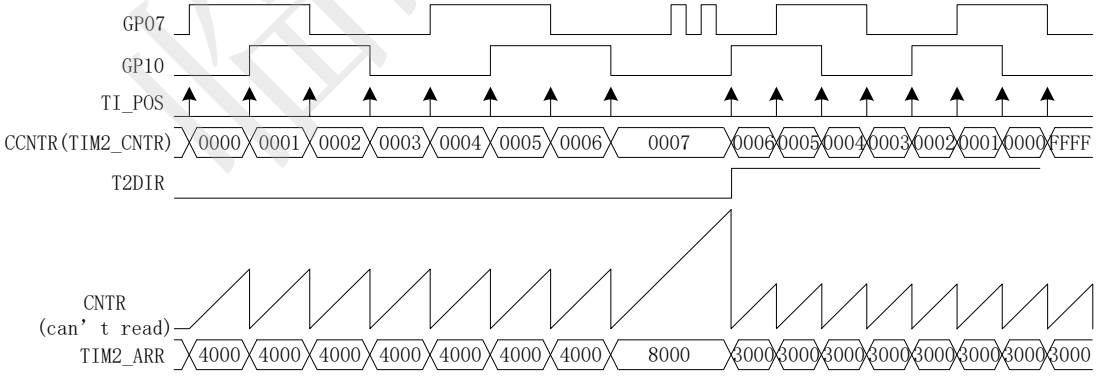


图 15-10 QEP 模式时序图(RSD 模式下正交输入的相位与 QEP 模式有差异)

专用计数器是一个向上向下计数器，计数时钟为正交编码模块输出的有效计数沿。T2DIR=0，方向为正，向上计数，当有效沿来临，计数器加一；T2DIR=1，方向为反，向下计数，当有效沿来临，计数器减一。专用计数器可以被外部中断 INT1 清零，将编码器的机械零点接到外部中断 1 的任意一个端口，使能 INT1 中断，同时配置 T2CES=1，当外部中断 1 来临，专用计数器当前的计数

器存进 TIM2__DR，同时专用计数器清零。专用计数器从 0 加到 65535 后自动清 0，从 65535 减到 0 后自动设为 65535，读寄存器 TIM2__CNTR 的值得到专用计数器的值。

基本计数器是一个向上计数器，计数时钟可分频，用于记录两个有效计数沿的时间。当有效计数沿来临，基本计数器当前的计数值存进 TIM2__ARR，同时基本计数器清零，同时 T2IP 中断标记产生。当基本计数器计数到 0xFFFF，计数溢出，产生 T2IF 中断标记。

15.1.7.1 RSD 的比较器采样

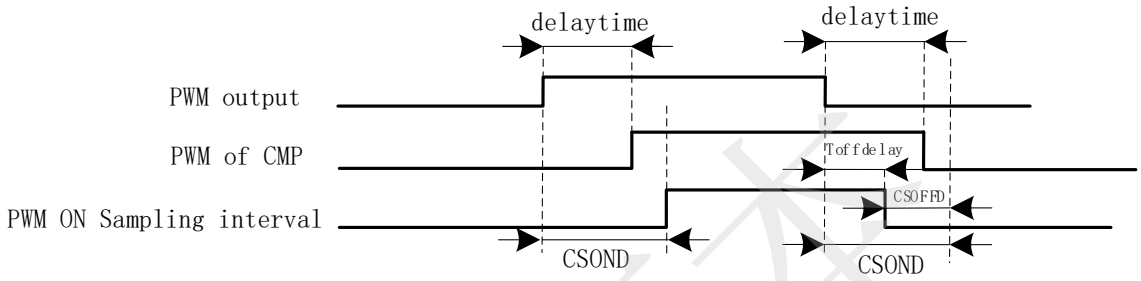


图 15-11 PWM ON 采样模式

PWM 输出(PWM out)反映到比较器的干扰相对于 PWM 的跳变沿存在延迟，主要受以下因素影响：驱动电阻的大小，mos 的开关速度，比较的输入延迟和迟滞设置，图中的 delaytime 为 IC 输出电平到比较器检测到电平的延迟时间。在进行高电平采样时采样区间应被比较器上实际读到的高电平所包络，首先设置延迟时间 CSOND 以越过延迟以及 MOS 管开关的震荡。同时，若不设置 CSOFFD 的值，采样区间的结束时刻为芯片输出 PWM 波下降沿后延迟 CSOND，此时实际采样窗口已经跃出比较器上高电平(PWM of CMP)所对应的时间,故设置 CSOFFD 的值使得实际采样窗口在 PWM out 波下降沿延迟 Toffdelay(Toffdelay=CSOND- CSOFFD)后关闭。

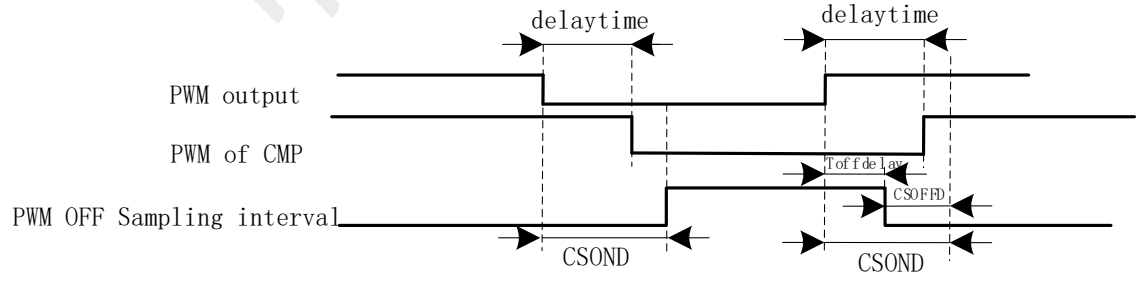


图 15-9 PWM OFF 采样模式

同理，在进行低电平采样时采样区间应该被被比较器上实际读到的低电平所包络，首先设置延迟时间 CSOND 以越过延迟以及 MOS 管开关的震荡。同时，若不设置 CSOFFD 的值，采样区间的结束时刻为芯片输出 PWM 波上升沿后延迟 CSOND，此时实际采样窗口已经跃出比较器上低电平

(PWM of CMP)所对应的时间，故设置 CSOFFD 的值使得实际采样窗口在 PWM out 波上升沿延迟 Toffdelay(Toffdelay=CSOND- CSOFFD)后关闭。

测量 PWM 输出到比较器的延迟方法：设置 CMP_CR3 寄存器的 SAMSEL=00 禁止比较器采样功能，设置 CMP_CR3 寄存器的 CMPSEL 输出对应比较器的比较值，使能 PWM 输出和比较器，手动转到电机使比较器值翻转，测量 PWM 输出和比较器的输出之间延迟。

15.1.8 步进模式

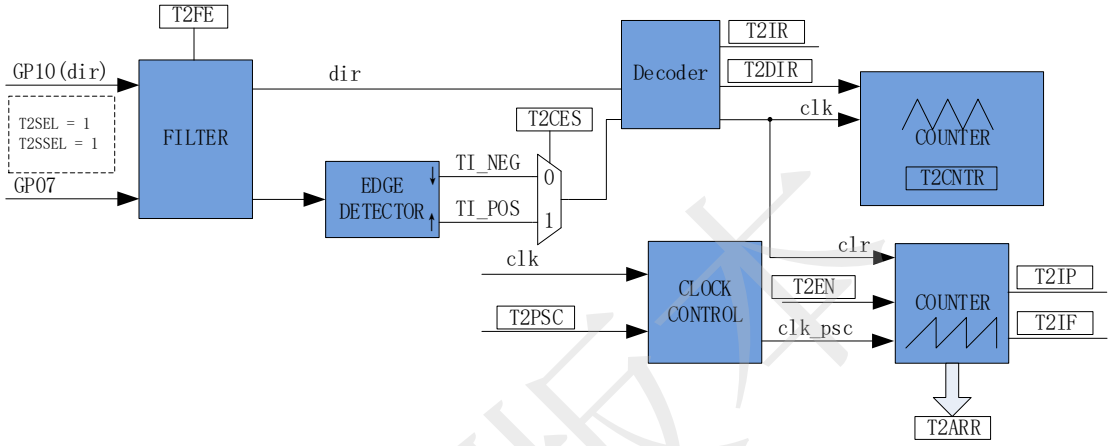


图 15-13 步进模式原理框图

步进模式通过检测 2 个通道的输入，得到相对位置、方向和速度信息。GP10 作为方向输入，GP07 作为脉冲输入根据 T2CES 选择上升沿或者下降沿作为有效沿，经过滤波模块后送进解码模块，得到有效的计数沿和方向 T2DIR，方向改变会产生 T2IR 中断标记。（注：T2DIR 和 T2IR 在 GP10 变化后，GP07 有效沿来临才会发生变化；如果想在 GP10 变化时立即产生中断，需要使用外部中断 1）

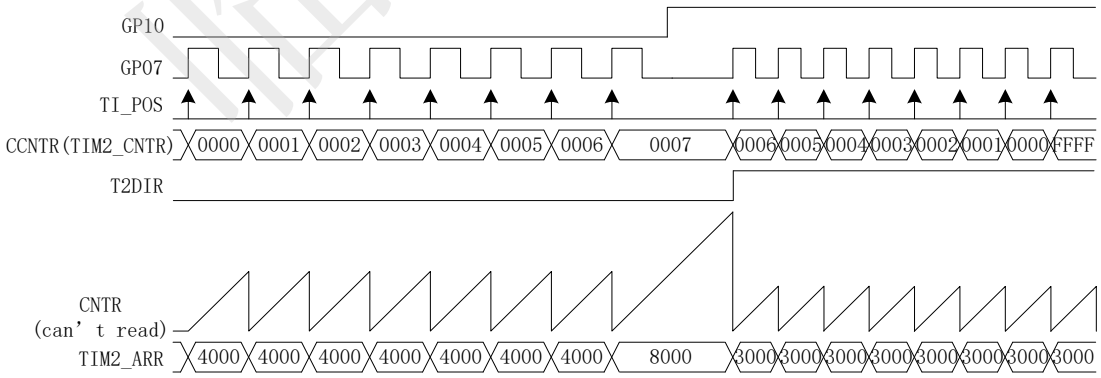


图 15-14 步进模式时序图

专用计数器是一个向上向下计数器，计数时钟为编码模块输出的有效计数沿。GP10=0，当 GP07 有效沿来临，T2DIR=0，方向为正，向上计数，计数器加一；GP10=1，当 GP07 有效沿来临，T2DIR=1，方向为反，向下计数，计数器减一。专用计数器从 0 加到 65535 后自动清 0，从 65535 减到 0 后自

动设为 65535，读寄存器 TIM2__CNTR 的值得到专用计数器的值。

基本计数器是一个向上计数器，计数时钟可分频，用于记录两个有效计数沿的时间。当有效计数沿来临，基本计数器当前的计数值存进 TIM2__ARR，同时基本计数器清零，同时 T2IP 中断标记产生。当基本计数器计数到 0xFFFF，计数溢出，产生 T2IF 中断标记。

临时版本

15.2 TIM2 寄存器

15.2.1 TIM2_CR0(0xA1)

表 15-2TIM2_CR0（0xA1）

位	7	6	5	4	3	2	1	0
名称	T2PSC			T2OCM	T2IRE	T2CES	T2MOD	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:5]	T2PSC	计数器时钟分频选择 这些位用于对MCU时钟进行N分频作为基本计数器的计数时钟，假设MCU时钟为24MHz(41.67ns) 000:0x1（24MHz） 001:0x2（12MHz） 010:0x4 （6MHz） 011:0x8（3MHz） 100:0x10（1.5MHz） 101:0x20（750kHz） 110:0x40 （375kHz） 111:0x80（187.5kHz）
[4]	T2OCM	输出模式：比较模式选择 0：TIM2__CNTR≤TIM2__DR，输出 0；TIM2__CNTR >TIM2__DR，输出 1 1：TIM2__CNTR≤TIM2__DR，输出 1；TIM2__CNTR>TIM2__DR，输出 0 输入counter模式：无 输入timer模式：无 QEP&RSD 模式&步进模式：模式选择 0：QEP&RSD 模式 1：步进模式
[3]	T2IRE	输出模式：比较匹配中断使能 输入timer模式：脉宽检测中断使能 输入counter模式：无 QEP&RSD模式&步进模式：方向改变中断使能 0: 禁止事件中断； 1: 使能事件中断
[2]	T2CES	输入timer模式：周期沿选择 0：相邻两个上升沿为1个周期，上升沿到下降沿为脉宽（高电平脉宽） 1：相邻两个下降沿为1个周期，下降沿到上升沿为脉宽（低电平脉宽） 输入counter模式&步进模式：计数有效沿选择 0：下降沿计数 1：上升沿计数 QEP&RSD模式：外部中断1（零点）清零脉冲计数器使能 0：不使能 1：使能

临时版本

[1:0]	T2MOD	模式选择 00：输入timer模式 01：输出模式 10：输入counter模式 11：QEP&RSD模式&步进模式

15.2.2 TIM2_CR1(0xA9)

表 15-3 TIM2_CR1（0xA9）

位	7	6	5	4	3	2	1	0
名称	T2IR	T2IP	T2IF	T2IPE	T2IFE	T2FE	T2DIR	T2EN
类型	R/W0	R/W0	R/W0	R/W0	R/W	R/W	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	T2IR	输出模式：比较匹配标记 当计数器值TIM2__CNTR与比较值TIM2__DR匹配时该位由硬件置1。它由软件清0。 输入timer模式：脉宽检测标记 timer检测到输入脉宽（根据T2CES选择即上升沿到下降沿或者下降沿到上升沿），该位由硬件置1。它由软件清0。 输入counter模式：无 QEP&RSD模式&步进模式：方向改变标记 0：无事件发生； 1：事件发生。
[6]	T2IP	输出模式：无 输入timer模式：PWM周期检测标记 timer检测到输入一个PWM周期（根据T2CES选择即上升沿到上升沿或者下降沿到下降沿），该位由硬件置1。它由软件清0。 输入counter模式：输入PWM计数匹配标记 当输入PWM的个数达到TIM2__DR的值，该位由硬件置1。它由软件清0。 QEP&RSD模式&步进模式：输入有效边沿变化中断标记 当输入边沿为有效边沿，该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[5]	T2IF	输出模式：计数器上溢标记 当计数器值TIM2__CNTR与比较值TIM2__ARR匹配时，TIM2__CNTR清零，该位由硬件置1。它由软件清0。 输入timer模式：计数器上溢标记 Timer尚未检测到输入一个PWM周期（根据T2CES选择即上升沿到上升沿或者下降沿到下降沿），而计数器的值TIM2__CNTR累加到0xFFFF，产生上溢事件，TIM2__CNTR清零，该位由硬件置1。它由软件清0。 输入counter模式：基本计数器上溢标记 当输入PWM的个数尚未达到TIM2__DR的值，而基本计数器的值TIM2__CNTR累加到0xFFFF，产生上溢事件，TIM2__CNTR清零，该位由硬件置1。它由软件清0。

		QEP&RSD模式&步进模式：基本计数器上溢标记 当基本计数器累加到0xFFFF，产生上溢事件，基本计数器清零，该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[4]	T2IPE	输出模式：无 输入timer模式：PWM周期检测中断使能 输入counter模式：输入PWM计数匹配中断使能 QEP&RSD模式&步进模式：输入有效边沿变化中断使能 0: 禁止事件中断； 1: 使能事件中断
[3]	T2IFE	输出模式：计数器上溢中断使能 输入timer模式：计数器上溢中断使能 输入counter模式：基本计数器上溢中断使能 QEP&RSD模式&步进模式：基本计数器上溢使能 0: 禁止更新事件中断； 1: 使能更新事件中断
[2]	T2FE	输入噪声滤波使能 当噪声的脉宽小于4个时钟周期，噪声会被滤除。假设MCU时钟为24MHz(41.67ns)，则滤波脉宽为166.67ns 0：禁止滤波功能； 1：使能滤波功能
[1]	T2DIR	QEP&RSD&步进模式专用：当前的方向 0：正向； 1：反向。
[0]	T2EN	计数器使能 0：禁止计数器； 1：使能计数器

15.2.3 PI_LPF_CR（0xF9）

表 15-4 PI_LPF_CR（0xF9）

位	7	6	5	4	3	2	1	0
名称	T2SS	RSV				PIRANGE	PISTA	LPFSTA
类型	R/W	R/W				R/W	R/W	R/W
复位值	0	0				0	0	0

字段	名称	描述
[7]	T2SS	TIM2 步进电机模式的输入模式选择 0：P10 为方向，P07 为脉冲计数 1：P10 为反向脉冲计数，P07 为正脉冲计数
[6:3]	RSV	保留位

临时版本

[2:0]		参考表 10-1

15.2.4 TIM2__CNTR(0xAA,0xAB)

表 15-5 TIM2__CNTRH（0xAB）

位	7	6	5	4	3	2	1	0
名称	TIM2__CNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-6 TIM2__CNTRL（0xAA）

位	7	6	5	4	3	2	1	0
名称	TIM2__CNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM2__CNTR	输出模式/输入timer模式/输入counter模式：基本计数器的计数值 QEP&RSD模式&步进模式：专用计数器的计数值 TIM2__CNTR为0xFFFF会自动溢出清零

15.2.5 TIM2__DR(0xAC,0xAD)

表 15-7 TIM2__DRH（0xAD）

位	7	6	5	4	3	2	1	0
名称	TIM2__DRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-8TIM2__DRL（0xAC）

位	7	6	5	4	3	2	1	0
名称	TIM2__DRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM2__DR	输出模式：比较匹配值（软件写） 输入 timer 模式：检测到输入脉宽（根据 T2CES 选择即上升沿到下降沿或者下降沿到上升沿）的计数值（硬件写） 输入counter模式：输入PWM的个数（软件写） QEP&RSD模式：T2CES=1时，外部中断1（零点）到来时，专用计数器的值（硬件写） 步进模式：无

15.2.6 TIM2__ARR(0xAE,0xAF)

表 15-9 TIM2__ARRH（0xAF）

位	7	6	5	4	3	2	1	0
名称	TIM2__ARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-10 TIM2__ARRL（0xAE）

位	7	6	5	4	3	2	1	0
名称	TIM2__ARRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM2__ARR	输出模式：重载值（软件写） 输入 timer 模式：检测到一个 PWM 周期（根据 T2CES 选择即上升沿到上升沿或者下降沿到下降沿）的计数值（硬件写） 输入counter模式：输入PWM计数匹配时基本计数器的计数值（硬件写） QEP&RSD模式&步进模式：检测到输入边沿为有效边沿时基本计数器的计数值（硬件写）

临时版本

16 TIM3/TIM4

16.1 TIM3/TIM4 操作说明

TIM3/TIM4 共有输出和输入 timer 两种模式：

1. 输出模式：产生输出波形（PWM，单次模式）
2. 输入 timer 模式：检测输入 PWM 的高低电平持续时间，可用于算出 PWM 占空比

TIM3/TIM4 主要包括：

1. 3-bit 可编程分频器对基本计数器的计数时钟进行分频
2. 16 位向上计数的基本计数器，计数时钟源为时钟控制器的输出
3. 输入滤波模块
4. 边沿检测模块
5. 输出模块产生 PWM、单次比较输出
6. 中断事件产生

16.1.1 时钟控制器

时钟控制器用于产生基本定时器的计数时钟源，由预分频器对计数时钟进行分频。预分频器基于一个由 3 位寄存器 PSC 控制的 8 位计数器，可选择 8 种分频系数，时钟源为内部时钟。由于这个控制寄存器没有缓冲器，分频系数改变会立刻更新，所以应该在基本定时器不工作时更新分频系数。

计数器的频率可以由下式计算：

$f_{CK_CNT}=f_{CK_PSC}/TxPSC$

假设 MCU 时钟为 24MHz(41.67ns)

表 16-1 寄存器 TxPSC 不同的值对应不同的时钟频率

TxPSC	系数(16进制)	CLK(Hz)
000	0x01	24M
001	0x02	12M
010	0x04	6M
011	0x08	3M
100	0x10	1.5M
101	0x20	750K
110	0x40	375K
111	0x80	187.5K

16.1.2 TIMx__CNTR 的读写和计数

TIMx__CNTR 计数仅在 TxEN=1 时进行。软件对 TIMx__CNTR 的写操作是直接改变寄存器的值，因此软件需在计数不使能时执行写操作。软件读 TIMx__CNTR 时，先读高字节，硬件会同步将此时刻低字节缓存，待软件读低字节时读取到的是缓存的数据。

临时版本

16.1.3 输出模式

配置 TIMx_CR0 寄存器的 TxMOD=1，TIM3/4 工作在输出模式。

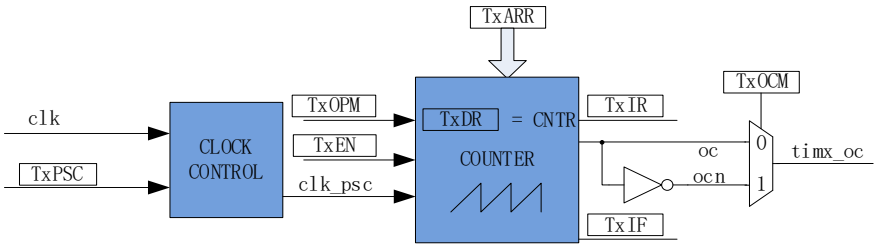


图 16-1 输出模式原理框图

输出模式根据配置 TIMx_CR0 寄存器的 TxOCM 和比较结果产生输出信号，同时产生相应中断。

16.1.3.1 高/低电平输出模式

配置 TIMx_CR0 寄存器的 TxOCM= 0，TIMx__DR= TIMx__ARR，输出比较信号(TIMx_OC)始终为低电平；配置 TIMx_CR0 寄存器的 TxOCM= 1，TIMx__DR= TIMx__ARR，输出比较信号(TIMx_OC)始终为高电平；

需要注意的是，只能通过配置 TIMx__DR = TIMx__ARR 能达到长期输出高/低电平的效果。配置 TIMx__DR=0 会有 1 个时钟周期的脉冲。

16.1.3.2 PWM 模式

PWM 模式根据 TIMx__ARR 决定 PWM 周期，TIMx__DR 决定占空比，占空比=TIMx__DR/TIMx__ARR x 100%。配置 TIMx_CR0 寄存器的 TxOCM= 0，输出根据 TIMx__DR 寄存器和数值 TIMx__CNTR 的比较结果（TIMx__CNTR≤TIMx__DR）输出低电平，反之输出高电平。配置 TIMx_CR0 寄存器的 TxOCM= 1，输出根据 TIMx__DR 寄存器和数值 TIMx__CNTR 的比较结果（TIMx__CNTR≤TIMx__DR）输出高电平，反之输出低电平。

16.1.3.3 中断事件

a) 当 TIMx__CNTR = TIMx__DR，产生比较匹配事件，中断标记 TIMx_CR1 寄存器的 TxIR 置一，计数器接着计数；

b) 当 TIMx__CNTR = TIMx__ARR，产生上溢事件，中断标记 TIMx_CR1 寄存器的 TxIF 置一，计数器清零，根据 TIMx_CR0 寄存器的 TxOPM 是否重新计数，TxOPM=1，停止计数；TxOPM=0，重新计数。

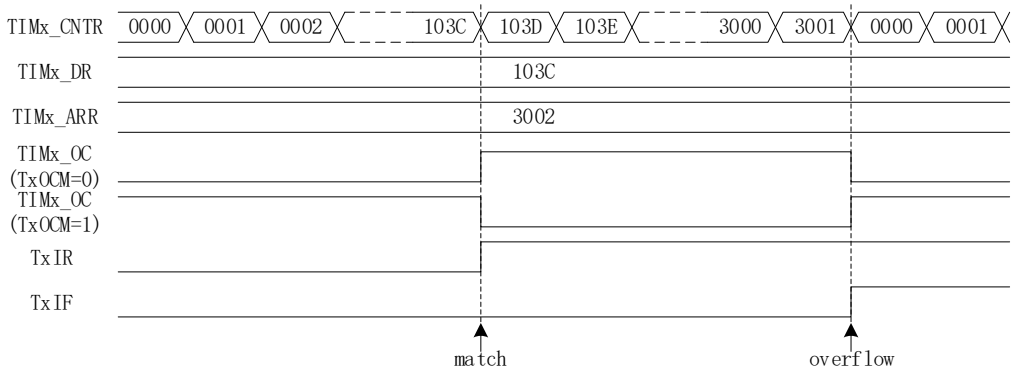


图 16-2 输出模式输出波形

16.1.4 输入信号滤波和边沿检测

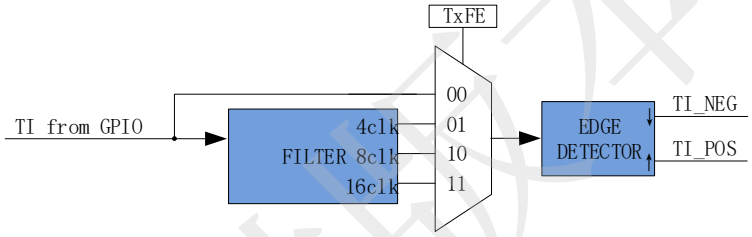


图 16-3 输入信号滤波和边沿检测框图

TIM3/TIM4 的输入信号 TI 来自 GP11/GP01，输入可选择是否进行噪声滤波，边沿检测模块检测输入的上升沿和下降沿供下一模块使用。

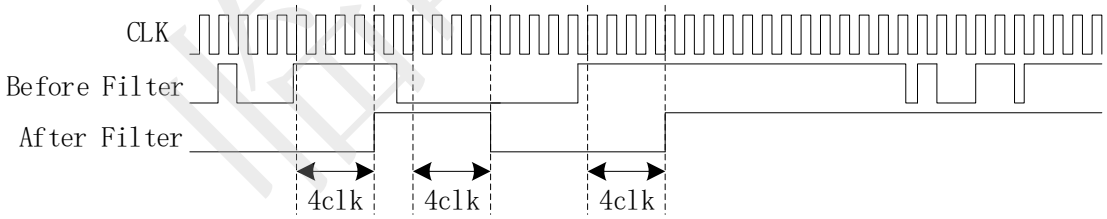


图 16-4 滤波模块滤波 4clk 时序图

滤波电路可配置滤除脉宽为4/8/16时钟周期的输入噪声。配置TIMx_CR1寄存器的TxFE = 00B，关闭滤波功能。配置 TIMx_CR1 寄存器的 TxFE = 01/10/11B，即使能滤波功能，滤波后的信号会比滤波前的信号大概延迟 4～5/8～9/16～17 时钟周期。

16.1.5 输入 timer 模式

配置 TIMx_CR0 寄存器的 TxMOD=0，TIM3/4 工作在输入 timer 模式

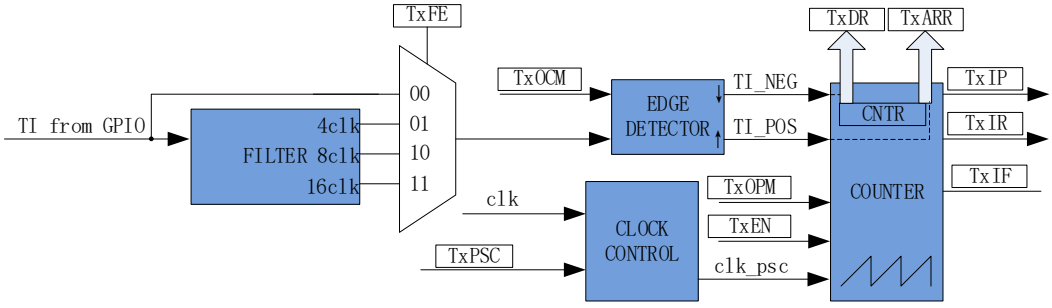


图 16-5 输入 timer 模式原理框图

输入 timer 模式检测 PWM 信号脉宽和一个周期的时长，（当 TxOCM=0 选择相邻两个上升沿为 1 个周期，上升沿到下降沿为脉宽（高电平脉宽）；TxOCM=1 选择相邻相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽（低电平脉宽）），分别将计数值 TIMx__CNTR 存在 TIMx__DR 和 TIMx__ARR；输入信号可选择是否滤波；

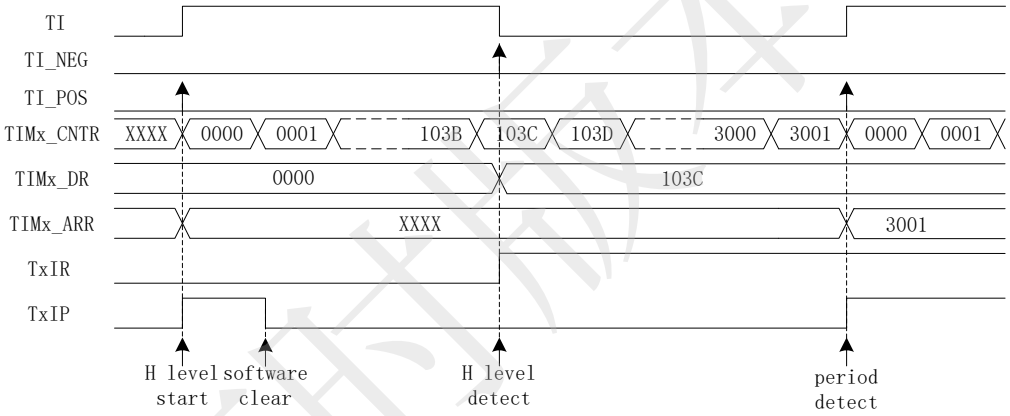


图 16-6 输入 timer 模式(TxOCM=0)时序图

以 TxOCM=0 为例，配置 TIMx_CR1 寄存器的 TxEN = 1 使能计数器，计数器向上计数；

当检测到输入的下降沿时，即输入的高电平检测完毕，此时将 TIMx__CNTR 的值存进 TIMx__DR，同时中断标记 TIMx_CR1 寄存器的 TxIR 置一，TIMx__CNTR 接着向上计数；

当检测到输入的第二个上升沿时，即检测到输入的一个 PWM 周期时，此时将 TIMx__CNTR 的值存进 TIMx__ARR，同时中断标记 TIMx_CR1 寄存器的 TxIP 置一，TIMx__CNTR 清零，根据 TIMx_CR0 寄存器的 TxOPM 是否重新计数，TxOPM=1，停止计数；TxOPM=0，重新计数。

当 timer 尚未检测到输入的第二个上升沿，计数值 TIMx__CNTR 达到 0xFFFF，发生上溢事件，中断标记 TIMx_CR1 寄存器的 TxIF 置一，TIMx__CNTR 清零，根据 TIMx_CR0 寄存器的 TxOPM 是否重新计数，TxOPM=1，停止计数；TxOPM=0，重新计数。

16.2 TIM3/TIM4 寄存器

16.2.1 TIMx_CR0(0x9C/0x9E)（x=3/4)

表 16-2TIMx_CR0（0x9C/0x9E）

位	7	6	5	4	3	2	1	0
名称	TxPSC			TxOCM	TxIRE	RSV	TxOPM	TxMOD
类型	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:5]	TxPSC	计数器时钟分频选择 这些位用于对MCU时钟进行N分频作为基本计数器的计数时钟，假设MCU时钟为24MHz(41.67ns) 000:0x1（24MHz） 001:0x2（12MHz） 010:0x4 （6MHz） 011:0x8（3MHz） 100:0x10（1.5MHz） 101:0x20（750kHz） 110:0x40 （375kHz） 111:0x80（187.5kHz）
[4]	TxOCM	**输出模式：**比较模式选择 0：TIMx__CNTR≤TIMx__DR，输出 0；TIMx__CNTR>TIMx__DR，输出 1 1：TIMx__CNTR≤TIMx__DR，输出 1；TIMx__CNTR>TIMx__DR，输出 0 **输入timer模式：**周期沿选择 0：相邻两个上升沿为1个周期，上升沿到下降沿为脉宽（高电平脉宽） 1：相邻两个下降沿为 1 个周期，下降沿到上升沿为脉宽（低电平脉宽）
[3]	TxIRE	**输出模式：**比较匹配中断使能 **输入timer模式：**脉宽检测中断使能 0: 禁止事件中断； 1: 使能事件中断
[2]	RSV	保留位
[1]	TxOPM	单次模式 下列事件发生 **输出模式：**计数器上溢事件 **输入 timer 模式：**PWM 周期检测或计数器上溢事件 0：在发生更新事件时，计数器不停止； 1：在发生更新事件时，计数器停止(清除TxEN)。
[0]	TxMOD	工作模式选择 0：输入timer模式 1：输出模式

临时版本

16.2.2 TIMx_CR1(0x9D/0x9F)（x=3/4）

表 16-3 TIMx_CR1（0x9D/0x9F）

位	7	6	5	4	3	2	1	0
名称	TxIR	TxIP	TxIF	TxIDE	TxIFE	TxFE		TxEN
类型	R/W0	R/W0	R/W0	R/W0	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	TxIR	**输出模式：**比较匹配标记 当计数器值TIMx__CNTR与比较值TIMx__DR匹配时该位由硬件置1。它由软件清0。 **输入timer模式：**脉宽检测标记 timer检测到输入脉宽（根据TxOCM选择即上升沿到下降沿或者下降沿到上升沿），该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[6]	TxIP	**输出模式：**无 **输入timer模式：**PWM周期检测标记 timer检测到输入一个PWM周期（根据TxOCM选择即上升沿到上升沿或者下降沿到下降沿），该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[5]	TxIF	**输出模式：**计数器上溢标记 当计数器值TIMx__CNTR与比较值TIMx__ARR匹配时，TIMx__CNTR清零，该位由硬件置1。它由软件清0。 **输入timer模式：**计数器上溢标记 Timer尚未检测到输入一个PWM周期（即上升沿到上升沿），而计数器的值TIMx__CNTR累加到0xFFFF，产生上溢事件，TIMx__CNTR清零，该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[4]	TxIPE	**输出模式：**无 **输入timer模式：**PWM周期检测中断使能 0: 禁止事件中断； 1: 使能事件中断
[3]	TxIFE	**输出模式：**计数器上溢中断使能 **输入timer模式：**计数器上溢中断使能 0: 禁止更新事件中断； 1: 使能更新事件中断
[2:1]	TxFE	输入噪声脉宽选择，当噪声的脉宽小于设定值，噪声会被滤除。假设MCU时钟为24MHz(41.67ns) 00：不滤波

		01：4个时钟周期，4 x 41.67ns 10：8个时钟周期，8 x 41.67ns 11：16个时钟周期，16 x 41.67ns
[0]	TxEN	基本计数器使能 0：禁止计数器； 1：使能计数器

16.2.3 TIMx__CNTR(0xA2,0xA3/0x92,0x93)（x=3/4）

表 16-4 TIMx__CNTRH（0xA3/0x93）

位	7	6	5	4	3	2	1	0
名称	TIMx__CNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-5TIMx__CNTRL（0xA2/0x92）

位	7	6	5	4	3	2	1	0
名称	TIMx__CNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIMx__CNTR	基本计数器的计数值 TIMx__CNTR为0xFFFF会自动溢出清零

16.2.4 TIMx__DR(0xA4,0xA5/0x94,0x95)（x=3/4）

表 16-6 TIMx__DRH（0xA5/0x95）

位	7	6	5	4	3	2	1	0
名称	TIMx__DRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-7TIMx__DRL（0xA4/0x94）

位	7	6	5	4	3	2	1	0
名称	TIMx__DRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIMx__DR	**输出模式：**比较匹配值（软件写） **输入 timer 模式：**检测到输入脉宽（根据 TxOCM 选择即上升沿到下降沿或者下降沿到上升沿）的计数值（硬件写）

16.2.5 TIMx__ARR(0xA6,0xA7/0x96,0x97)（x=3/4）

表 16-8 TIMx__ARRH（0xA7/0x97）

位	7	6	5	4	3	2	1	0
名称	TIMx__ARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-9 TIMx__ARRL（0xA6/0x96）

位	7	6	5	4	3	2	1	0
名称	TIMx__ARRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIMx__ARR	**输出模式：**重载值（软件写） **输入 timer 模式：**检测到一个 PWM 周期（根据 TxOCM 选择即上升沿到上升沿或者下降沿到下降沿）的计数值（硬件写）

临时版本

17 SYS_TICK

17.1 操作说明

SYS_TICK 用于固定时间产生中断。配置 SYST_ARR 设置产生中断的周期，使能 DRV_SR 寄存器的 SYSTIE 位即可使 SYS_TICK 工作且产生中断。中断入口为 10，与 TIM4 中断入口复用。

17.2 寄存器

17.2.1 DRV_SR(0x4061)

表 17-1 DRV_SR（0x4061）

位	7	6	5	4	3	2	1	0
名称	SYSTIF	SYSTIE	FGIF	DCIF	FGIE	DCIP	DCIM	
类型	R/W0	R/W	R/W0	R/W0	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	SYSTIF	SYS TICK中断标记 该位由硬件置 1。它由软件清 0。 0：无事件发生 1：SYS TICK中断产生
[6]	SYSTIE	SYS TICK中断使能 使能后产生SYS TICK中断 0：不使能 1：使能
[5:0]		请参考表 18-4

17.2.2 SYST_ARR(0x4064,0x4065)

表 17-2 SYST_ARRH（0x4064）

位	7	6	5	4	3	2	1	0
名称	SYST_ARR [15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	1	1	1	0	1

表 17-3 SYST_ARRL（0x4065）

位	7	6	5	4	3	2	1	0
名称	SYST_ARR [7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	1	1	1	1	1	1

字段	名称	描述
[15:0]	SYST_ARR	SYS_TICK 的周期值

		设置此值决定 SYS_TICK 产生中断的周期，默认为 1ms 计算公式为：SYS_TICK 频率=24M/（SYST_ARR+1） 取值范围（0,65535）

临时版本

18 Driver

18.1 操作说明

18.1.1 简介

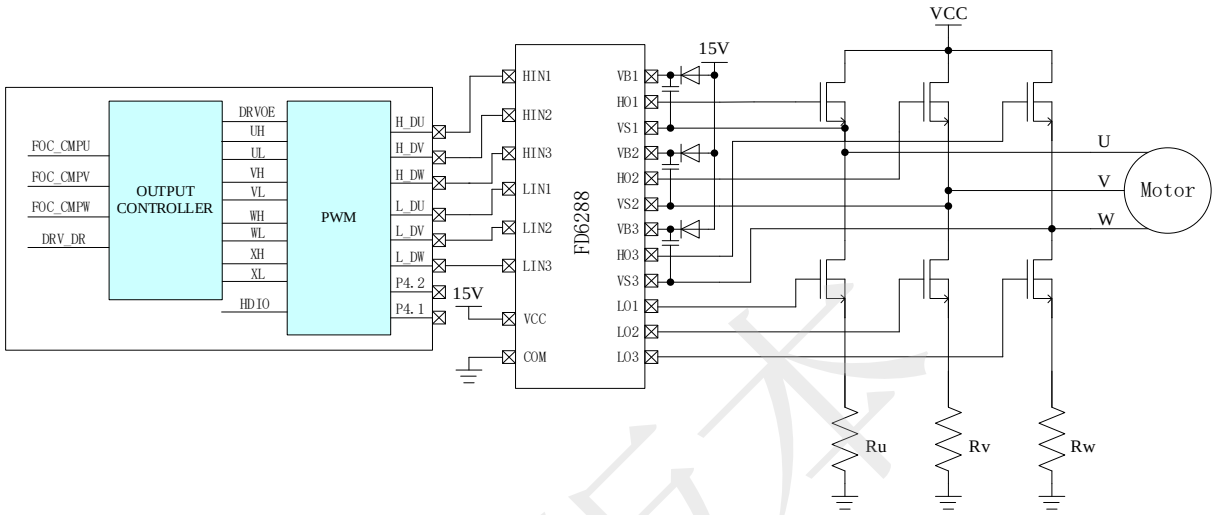


图 18-1 FU6812 DRIVER 模块框图

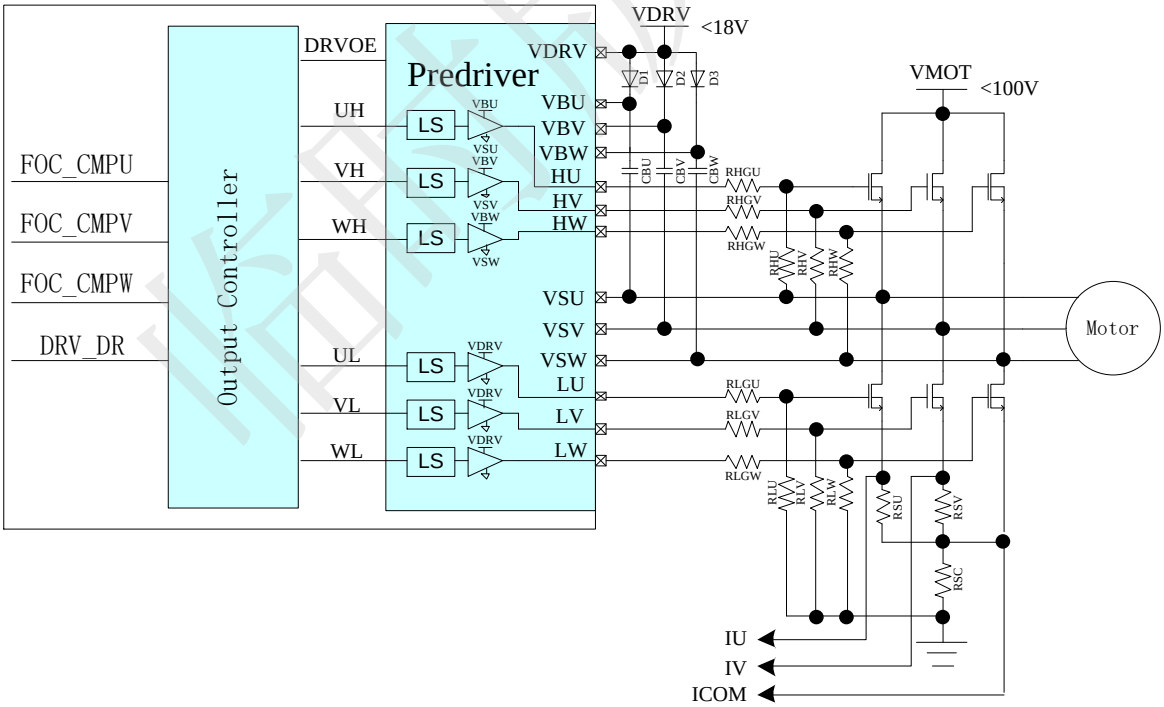


图 18-2 FU6861 DRIVER 模块框图

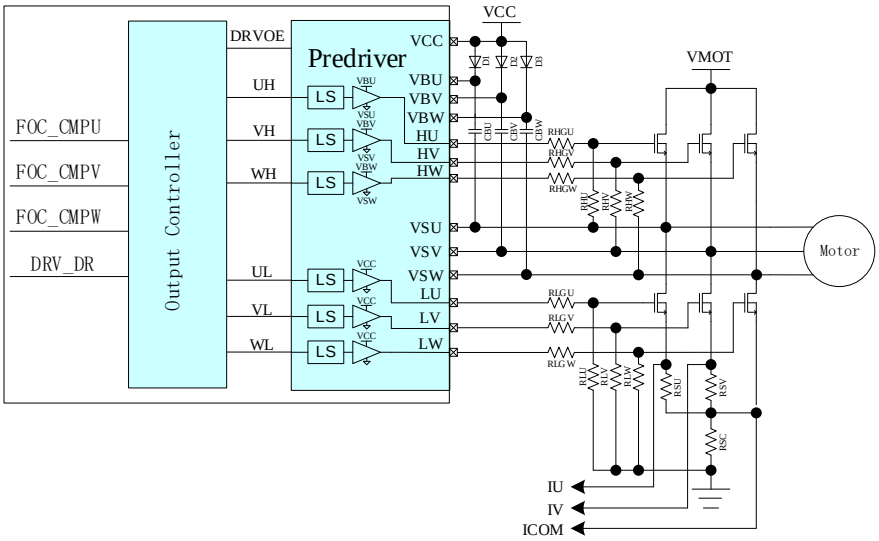


图 18-3 FU6862 DRIVER 模块框图

FOC_CMPU/V/W 是 FOC 模块输出的三路比较值，DRV_DR 是软件设置的比较值，以上比较值经过输出控制模块后输出四组电平信号 U/V/W/X 给 PWM 输出（FU6812）或者输出三组电平信号 U/V/W 给 Predriver（FU6861/ FU6861）。其中，U/V/W 三路输出应用直流无刷电机控制，U/V/W/X 四路输出应用于步进电机控制。

18.1.2 输出控制模块

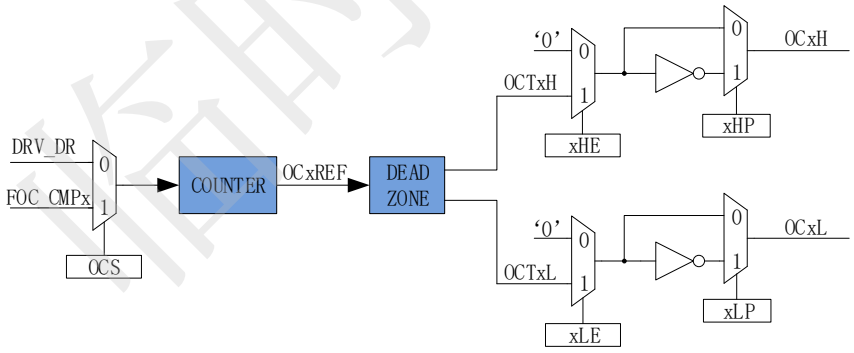


图 18-4 输出控制模块前级框图

配置 Driver 模块工作前，需配置 DRV_CR 寄存器的 MESEL=1，即电机引擎 ME 选择 FOC/SVPWM/SPWM 模式，反之，为 BLDC 控制模式。

当 OCS=0 时，PWM 的比较值来自 DRV_DR，输出的 PWM 信号是以 OCTxH 为参考，当 OCxH 和 OCxL 同时输出时，OCTxL 反相输出；当 OCS=1 时，PWM 的比较值来自 FOC，输出的 PWM 信号是以 OCTxL 为参考，当 OCxH 和 OCxL 同时输出时，OCTxH 反相输出

18.1.2.1 计数比较模块

通过 DRV_CR 寄存器的 OCS，可以选择 FOC 模块输出的三路比较值 FOC_CMPU/V/W 或者软件设置的比较值 DRV_DR，送至计数器比较后得到四路原始 PWM 信号 OCxREF，其中 DRV_DR 用于实现电机预充电、刹车、BLDC 控制。当计数值 cntr 小于目标值，OCxREF 输出高电平，反之，输出低电平。

配置 DRV_CR 寄存器的 OCS=1，选择 FOC 模块输出的三路比较值 FOC_CMPU/V/W 与计数值比较，生成 OC1REF/OC2REF/OC3REF。

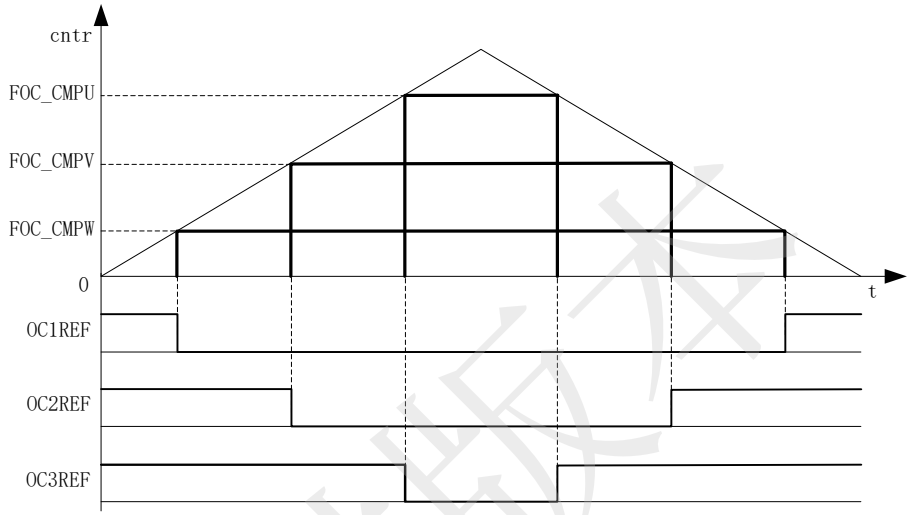


图 18-5 PWM 生成图

配置 DRV_CR 寄存器的 OCS =0，选择软件设置的比较值 DRV_DR 与计数值比较，生成三路占空比相同的 OC1REF/OC2REF/OC3REF。

占空比 = DRV_DR/ DRV_ARRx 100%（假设 DRV_ARR=750，DRV_DR=375，则占空比=50%）

18.1.2.2 死区模块

OCxREF 支持死区插入。对于互补输出，如果 DRV_DTR 寄存器不等于 0，就使能了死区插入。每个通道都有一个 8bit 的死区发生器，四个通道的死区延时相同通过 DRV_DTR 配置，通过 DRV_DTR 设置死区时间。当 OCxREF 上升沿发生时，OCxL 的实际输出高电平比 OCxREF 的上升沿延迟 DRV_DTR 设定的时间；当 OCxREF 下降沿发生时，OcxH 的实际输出高电平比 OCxREF 的下降沿延迟 DRV_DTR 设定的时间。

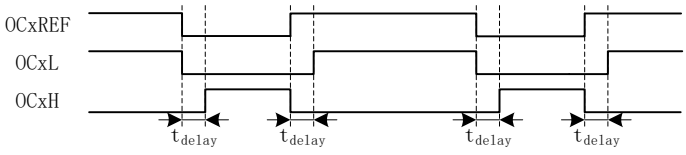


图 18-6 带死区插入的互补输出

18.1.2.3 输出使能与极性

通过配置 DRV_CMR 寄存器的 xHE 和 xLE，可以选择输出模式为无效电平或者插入死区的互补输出。通过配置 DRV_CMR 寄存器的 xHP 和 xLP 配置输出的极性。DRV_CMR 一般通过软件配置，在应用于 BLDC 方波控制，可通过配置 TIMER1 自动控制 DRV_CMR 达到自动换相的功能，配置 DRV_CR 寄存器的 MESEL=0，即电机引擎 ME 选择 BLDC 控制模式，当 TIM1 产生换相事件时，对应的 TIM1_DBRx 更新到 DRV_CMR 和比较器的 CMP_CR2[4:3]。

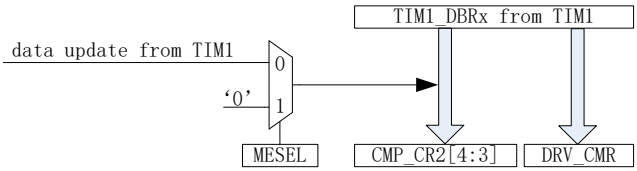


图 18-7 TIM1 自动控制 DRV_CMR 和 CMP_CR2[4:3]

配合 DRV_DR 和 DRV_ARR 寄存器，DRV_CMR 寄存器的 xHE 和 xLE 可实现预充电和刹车等功能，DRV_DR 和 DRV_ARR 控制 PWM 占空比， xHE 和 xLE 控制六路输出方式。

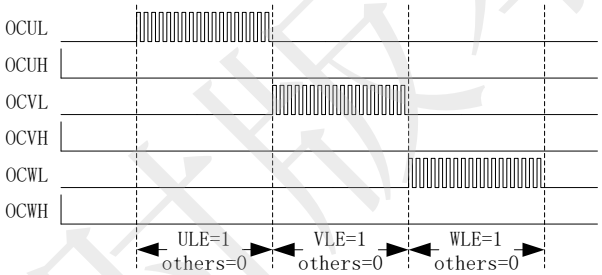


图 18-8 预充电图

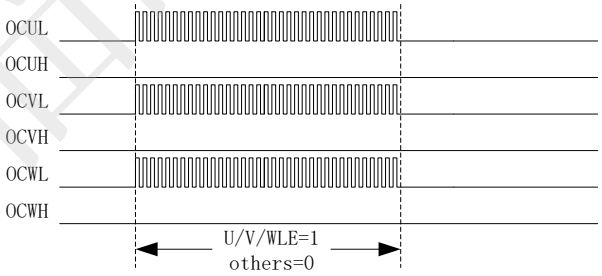


图 18-9 刹车图

18.1.2.4 主输出使能 MOE

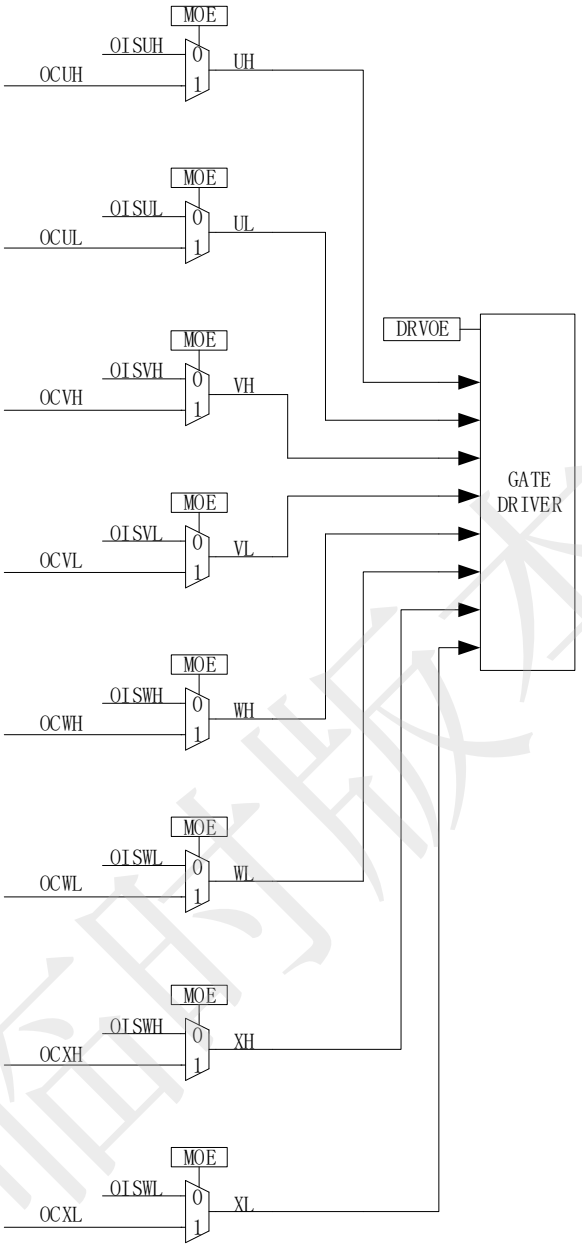


图 18-10 输出控制模块后级框图

使能 MOE 后，输出来源于计数器比较值，用于控制电机输出。禁止 MOE 后，输出来源于软件设置的空闲电平，用于控制电机不输出，即停机状态。

18.1.2.5 中断

18.1.2.5.1 比较匹配中断

设置 DRV_SR 寄存器的 DCIM 配置向上计数或者向下计数时进行比较匹配，设置比较匹配值 DRV_COMR，当计数器的计数值等于 DRV_COMR，符合 DCIM 的设置则产生中断事件，比较匹

配中断标记 DCIF 硬件置 1。软件对 DCIF 写 0 可清中断标记，写 1 无效。

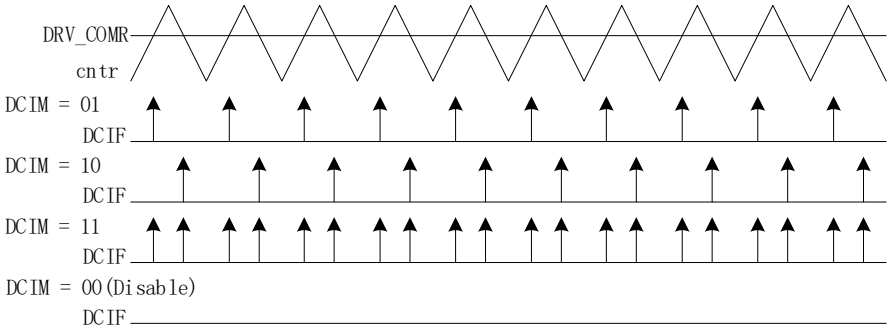


图 18-11 DRV 比较匹配中断

18.1.2.5.2 FG 中断

设置 DRV_SR 寄存器的 FGIE 使能 FG 中断，电机每转一圈（电角度），产生一次中断事件。中断事件产生后需软件清零。

18.1.3 PWM 输出模式（仅适用于 FU6812）

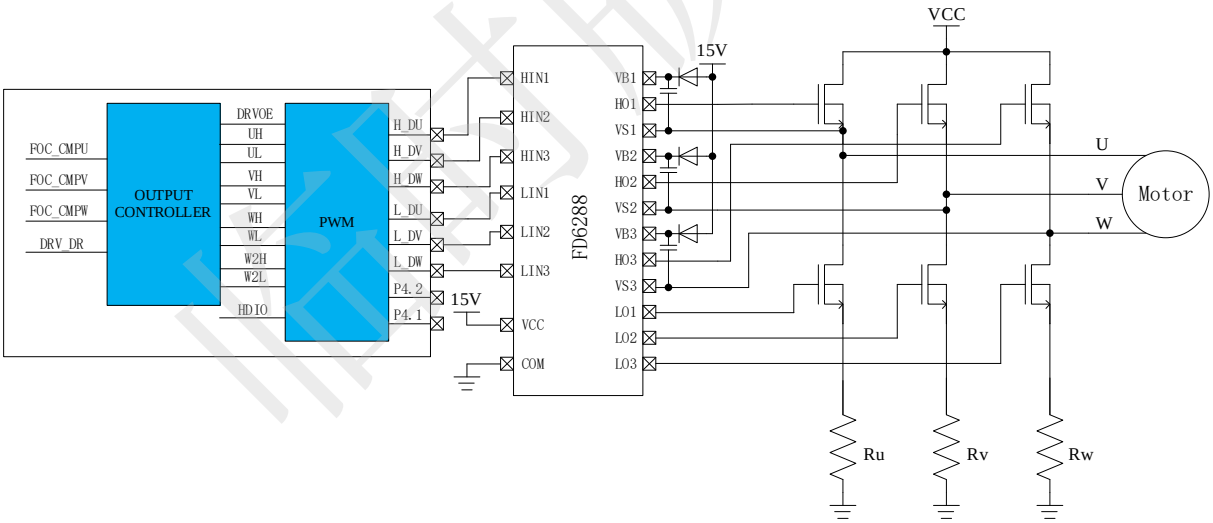


图 18-12 PWM 输出模式的原理图

FU6812 为 PWM 输出，其功能框图如图 18-12 所示。进入该模式，DRVOE 为 PWM 的使能信号，与 FU6861/ FU6862 6N Predriver 不同的是，PWM 的输出接 HVIC，通过 HVIC 来驱动 MOS 的栅极。

18.1.4 6N Predriver 模式（适用于 FU6861/FU6862）

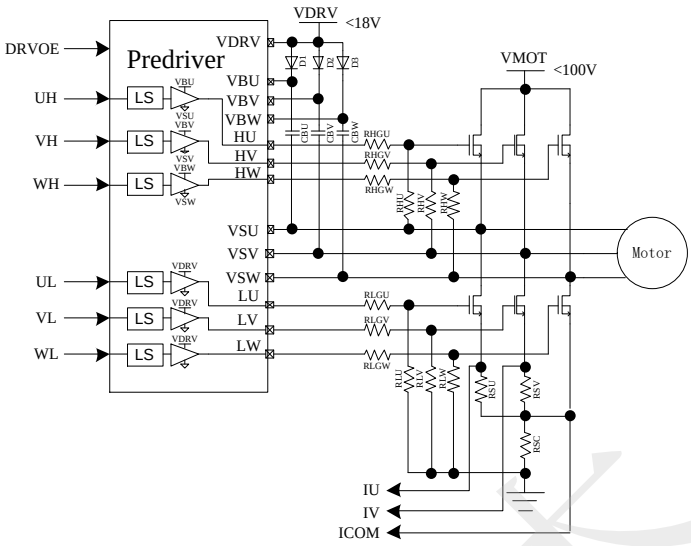


图 18-13 6N Predriver 模式的原理图(适用于 FU6861)

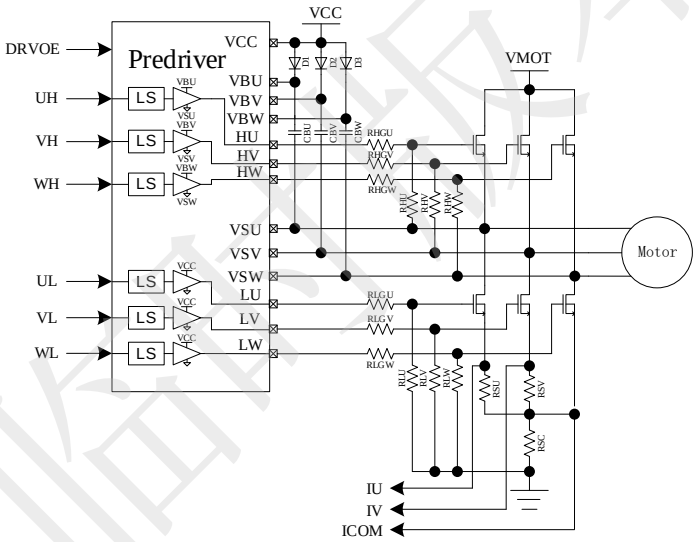


图 18-14 6N Predriver 模式的原理图(适用于 FU6862)

6N Predriver 如图 18-13 所示。该模式下，DRVOE 为 Predriver 的使能信号，Predriver 的输出接 6 个 NMOS 后分别驱动电机的 U/V/W 相。

表 18-1 FU6861Q/N/NF/L 内置 Predriver 信号真值表

Input		Output	
UH/VH/WH	UL/VL/WL	HU/HV/HW	LU/LV/LW
L	L	L	H
L	H	L	L
H	L	L	L
H	H	H	L

表 18-2 FU6862L/Q 内置 Predriver 信号真值表

Input		Output	
UH/VH/WH	UL/VL/WL	HU/HV/HW	LU/LV/LW
L	L	L	L
L	H	L	H
H	L	H	L
H	H	L	L

临时版本

18.2 寄存器

18.2.1 DRV_CR（0x4062）

表 18-3 DRV_CR（0x4062）

位	7	6	5	4	3	2	1	0
名称	DRVEN	DDIR	FOCEN	DRPE	OCS	MESEL	RSV	DRVOE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	DRVEN	计数器使能 0：禁止 1：使能
[6]	DDIR	输出方向（正反转） 改变电机的转动方向，BLDC 和 FOC 均有效，FOC 改变此位即可改变方向（有感 FOC 还需要配合软件修改角度），BLDC 无感不需要修改 TIM1 的配置，有感需修改 TIM1_DBRX 的配置改变方向 0：正转 1：反转
[5]	FOCEN	FOC/SVPWM/SPWM 模块使能 0：禁止 1：使能
[4]	DRPE	DRV_DR 预装载使能 使能预装载后，软件写 DRV_DR 后，数值在计数器发生下溢事件后更新；禁止预装载，软件写 DRV_DR 后，数值立刻更新 0：禁止 1：使能
[3]	OCS	计数器比较值来源选择 0：DRV_DR 1：FOC/SVPWM/SPWM 模块
[2]	MESEL	ME 模块模式选择 0：ME 模块工作在 BLDC 模式 1：ME 模块工作在 FOC/SVPWM/SPWM 模式
[1]	RSV	保留位
[0]	DRVOE	Driver输出使能 0: 禁止 1：使能

临时版本

18.2.2 DRV_SR(0x4061)

表 18-4DRV_SR（0x4061）

位	7	6	5	4	3	2	1	0
名称	SYSTIF	SYSTIE	FGIF	DCIF	FGIE	DCIP	DCIM	
类型	R/W0	R/W	R/W0	R/W0	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	SYSTIF	SYS TICK中断标记 该位由硬件置 1。它由软件清 0。 0：无事件发生 1：SYS TICK中断产生
[6]	SYSTIE	SYS TICK中断使能 使能后可产生SYS TICK中断 0：不使能 1：使能
[5]	FGIF	FG 中断标记 FOC/BLDC 每转一圈（电周期），产生 FGIF 标记 该位由硬件置 1。它由软件清 0。 0：无事件发生 1：FG 中断产生
[4]	DCIF	DRV 比较匹配中断标记 当计数值等于 DRV_COMR 时，根据 DCIM 设置判断计数方向，符合则产生中断标记 该位由硬件置 1。它由软件清 0。 0：无事件发生 1：比较中断产生
[3]	FGIE	FG 中断使能 中断使能后，FOC/BLDC 每转一圈（电周期），产生 FG 中断标记 0：不使能 1：使能
[2]	DCIP	几个计数周期产生一次中断 0: 1 次产生中断 1: 2 次产生中断
[1:0]	DCIM	DRV 比较匹配中断模式 当计数值等于 DRV_COMR 时，根据 DCIM 的设置判断是否产生中断标记 00：不产生中断 01：上升方向 10：下降方向 11：上升/下降方向

临时版本

18.2.3 DRV_OUT（0xF8）

表 18-5 DRV_OUT（0xF8）

位	7	6	5	4	3	2	1	0
名称	MOE	RSV	OISWXL	OISWXH	OISVL	OISVH	OISUL	OISUH
类型	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	MOE	主输出使能 该位用于选择UVWX上下桥输出的来源。该位软件可置1和清0，母线电流保护产生（见28.1.1.1）时，硬件自清零，关闭输出。 0：禁止，输出来源于空闲电平OISUH/OISVH/OISWH和OISUL/OISVL/OISWL 1：使能，输出来源于计数器比较值
[6]	RSV	保留位
[5]	OISWXL	WL和XL的输出空闲电平 参考 OISUH 描述
[4]	OISWXH	WH和XH的输出空闲电平 参考 OISUH 描述
[3]	OISVL	VL的输出空闲电平 参考 OISUH 描述
[2]	OISVH	VH的输出空闲电平 参考 OISUH 描述
[1]	OISUL	UL的输出空闲电平 参考 OISUH 描述
[0]	OISUH	UH的输出空闲电平 该位设置输出UH的空闲电平。当MOE=0，输出空闲电平关闭对应的MOS。 0：低电平 1：高电平

18.2.4 DRV_CMR(0x405C, 0x405D)

注：BLDC 控制方式，通过 TIMER1 会自动控制 DRV_CMR 寄存器。

表 18-6 DRV_CMRH（0x405C）

位	7	6	5	4	3	2	1	0
名称	XHP	XLP	XHE	XLE	WHP	WLP	VHP	VLP
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

临时版本

表 18-7 DRV_CMRL（0x405D）

位	7	6	5	4	3	2	1	0
名称	UHP	ULP	WHE	WLE	VHE	VLE	UHE	ULE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15]	XHP	X相上桥输出极性 0：高电平有效 1：低电平有效
[14]	XLP	X相下桥输出极性 0：高电平有效 1：低电平有效
[13]	XHE	X相上桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当XLE和XHE同时为1，X相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相
[12]	XLE	X相下桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当XLE和XHE同时为1，X相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相
[11]	WHP	W相上桥输出极性 0：高电平有效 1：低电平有效
[10]	WLP	W相下桥输出极性 0：高电平有效 1：低电平有效
[9]	VHP	V相上桥输出极性 0：高电平有效 1：低电平有效
[8]	VLP	V相下桥输出极性 0：高电平有效 1：低电平有效
[7]	UHP	U相上桥输出极性 0：高电平有效 1：低电平有效
[6]	ULP	U相下桥输出极性 0：高电平有效 1：低电平有效
[5]	WHE	W相上桥输出使能 0：关闭--禁止输出

		1：开启--使能输出 注：当WLE和WHE同时为1，W相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相
[4]	WLE	W相下桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当WLE和WHE同时为1，W相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相
[3]	VHE	V相上桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当VLE和VHE同时为1，V相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相
[2]	VLE	V相下桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当VLE和VHE同时为1，V相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相
[1]	UHE	U相上桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当ULE和UHE同时为1，U相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相
[0]	ULE	U相下桥输出使能 0：关闭--禁止输出 1：开启--使能输出 注：当ULE和UHE同时为1，U相上下桥互补输出，同时输出自动插入死区。输出pwm以下桥为参考，当同一相对管互补输出，上桥PWM反相

18.2.5 DRV_ARR(0x405E,0x405F)

表 18-8 DRV_ARRH（0x405E）

位	7	6	5	4	3	2	1	0
名称	DRV_ARR[11:8]							
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 18-9 DRV_ARRL（0x405F）

位	7	6	5	4	3	2	1	0
名称	DRV_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述

[11:0]	DRV_ARR	计数器的重载值，决定载波周期和运算周期（中央对齐模式） DRV 计数器从 0 开始计数到 DRV_ARR，产生上溢事件，然后向下计数到 0. 计算公式为$f_{Carrier} = f_{mcu}/2/(DRV_ARR)$ 取值范围（0,4095）

18.2.6 DRV_COMR(0x405A,0x405B)

表 18-10 DRV_COMRH（0x405A）

位	7	6	5	4	3	2	1	0
名称	DRV_COMR[11:8]							
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 18-11 DRV_COMRL（0x405B）

位	7	6	5	4	3	2	1	0
名称	DRV_COMR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[11:0]	DRV_COMR	计数器的比较匹配值，当计数值与 COMR 相等时，根据 DRV_SR 寄存器的 DCIM 是否产生比较匹配事件 取值范围（0,4095）

18.2.7 DRV_DR(0x4058,0x4059)

表 18-12 DRV_DRH（0x4058）

位	7	6	5	4	3	2	1	0
名称	DRV_DR[11:8]							
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 18-13 DRV_DRL（0x4059）

位	7	6	5	4	3	2	1	0
名称	DRV_DR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[11:0]	DRV_DR	软件写 PWM 占空比 当 DRV_CR 的 OCS=0，DRV 计数器值 DRV_CNTR 与 DRV_DR 进行比较，输出 PWM；当 DRV_CNTR 小于 DRV_DR，输出 1，反之，输出 0。 注：当使用该寄存器作为比较源时，输出 PWM 以上桥为参考，当同

		一相对管互补输出，下桥 PWM 反相 取值范围（0,4095）

18.2.8 DRV_DTR(0x4060)

表 18-14 DRV_DTR（0x4060）

位	7	6	5	4	3	2	1	0
名称	DRV_DTR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	DRV_DTR	Deadtime（死区时间） DTR为插入互补输出之间的死区持续时间。假设MCU时钟为24MHz(41.67ns) DT= (DTR+1) x 41.67ns 注：当DTR=0，不插入死区

临时版本

19 Watchdog timer(WDT)

看门狗定时器是一个工作在 LS_OSC（内部慢时钟）时钟域下的定时器，主要用于监控主程序运行，防止 MCU 出现死机的情况。看门狗的工作原理是：启动看门狗后，看门狗的定时器开始运行；当看门狗定时器溢出时，看门狗会发送信号使 MCU 复位，主程序将重新运行。所以，在主程序运行过程中，每隔一段时间就要对看门狗的定时器进行初始化，以防止看门狗定时器溢出，俗称“喂狗”。

FU6812 的看门狗在启动后就会从 0 开始计时，如果没有“喂狗”操作，当计时到 FFFC 时看门狗会输出一个长度为 4 个 LS_OSC 周期的信号使 MCU 复位，程序从头开始运行；如果程序在运行中定时给看门狗发送“喂狗”信号，那么看门狗定时器将会从设定的初始值开始计数，看门狗将不会令 MCU 复位。

19.1 WDT 使用注意事项

1、 MCU 进入待机模式或者睡眠模式时，WDT 将停止计数，但计数值仍会保留
2、 MCU 在仿真过程中，WDT 将会被自动禁用
3、 WDT 定时器溢出使 MCU 复位，那么 RST_SR[RSTWDT]将会置一

19.2 WDT 操作说明

1、 配置 CCFG1[WDTEN]启动看门狗计数，启动后看门狗会开始计数
2、 设置 WDT_REL，本步也可以放在启动看门狗之前
3、 在程序的运行中设置 WDT_CR[WDTRF]为 1，即可令看门狗定时器初始化

19.3 WDT 寄存器

19.3.1 WDT_CR（0x4026）

表 19-1 WDT_CR（0x4026）

位	7	6	5	4	3	2	1	0
名称	RSV							WDTRF
类型	R	R	R	R	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:1]	RSV	保留
[0]	WDTRF	0：无意义 1：初始化看门狗计数器；

19.3.2 WDT_REL（0x4027）

表 19-2 WDT_REL（0x4027）

位	7	6	5	4	3	2	1	0
名称	WDT_REL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	WDT_REL	设置看门狗计数器重新置位后的值的高 8 位。

临时版本

20 RTC 与时钟校准

20.1 RTC 基本功能框图

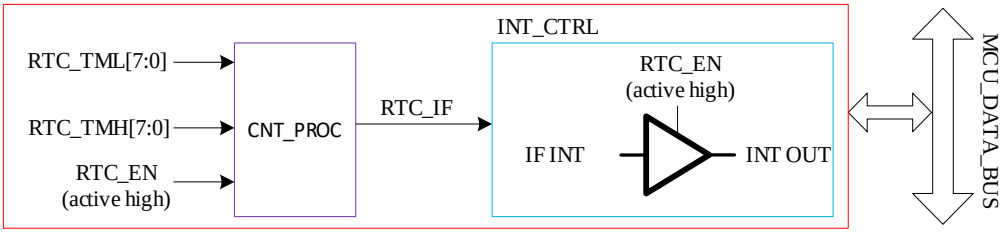


图 20-1RTC 基本功能框图

20.2 RTC 操作说明

写寄存器 RTC_TMH 和 RTC_TML，设置 RTC 计数的重载值；

设置 RTC_STA[RTC_EN]为 1，使能 RTC 计数。

20.3 RTC 寄存器

20.3.1.1 RTC_TM（0x402c,0x402d）

表 20-1 RTC_TM（0x402c,0x402d）

RTC_TM（0x402C，0x402D）								
RTC_TMH（0x402C）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	RTCOTMH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
RTC_TML（0x402D）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	RTCOTML							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

字段	**名称**	**描述**
[15:0]	RTC_TM	RTC 计数寄存器。 写入后，RTC 计数器以 32768Hz 从 0 计数到 RTC_TM[15:0]后溢出，产生中断，并重载为 0 继续计数。 读出值为正在计数的值，为计数瞬间值。

20.3.1.2 RTC_STA（0x402e）

表 20-2 RTC_STA（0x402e）

RTC_STA（0x402E）								
位	7	6	5	4	3	2	1	0
名称	RTC_EN	RTCIF	ISOSCSEL	ISOSCEN	RSV			
类型	R/W	R/W	R/W	R/W	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7	RTC_EN	RTC 使能 0：禁止 1：使能
6	RTCIF	RTC 中断标志 当 RTCIE 为 1 时，此位溢出后将产生中断，MCU 可软件清 0 此位。 当 RTCIE 为 0 时，此位溢出后不会产生中断，但仍有标志，MCU 可读取该标志后将其清 0。
5	ISOSCSEL	时钟校准外部来源 0：内部慢时钟 1：外部 P11 输入
4	ISOSCEN	内部慢时钟使能 0：内部慢时钟禁止 1：内部慢时钟使能
[3:0]	RSV	保留

临时版本

20.4 时钟校准

20.4.1 简介

时钟校准模块内建慢时钟校准快时钟功能，其中慢时钟可由寄存器 ISOSCSEL 选择慢时钟源，可以是内部慢时钟或者外部时钟输入。校准原理是使用一个长度 13 位的计数器连续累积计 8 个慢时钟周期的长度。

校准方法：MCU 写 CAL_STA=1 开始进行校准过程，读 CAL_BSY 标志位可知校准是否完成，CAL_BSY=0 表示校准结束，MCU 读取 CAL_ARR 的值即是使用快时钟连续累积计 8 个慢时钟的值。

20.4.2 寄存器

20.4.2.1 CAL_CR（0x4044,0X4045）

表 20-3 CAL_CR0（0x4044）CAL_CR1（0x4045）

CAL_CR0、CAL_CR1（0x4040、0x4041）								
CAL_CR0（0x4040）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	CAL_STA /CAL_BUSY	RSV		CAL_ARR[12:8]				
类型	R/W	R	R	R	R/W	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	0
CAL_CR1（0x4041）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	CAL_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	**名称**	**描述**
[15]	CAL_STA	CLOCK_CAL 使能 写 1：启动时钟校准功能。 读 0：表示校准过程完成。 读 1：表示校准过程正在进行中。
[14:13]	RSV	保留
[12:0]	CAL_ARR	校准计数值 使用快时钟连续累积计数 8 个慢时钟周期的值。 特别地，当此值为 0 时表示无对应慢时钟输入，当此值为 1FFF 时表示计数溢出（原因可能是慢时钟太慢或者快时钟太快）。

21 IO

21.1 IO 操作说明

1、 端口 P0.0～P0.7、P1.0～P1.7、P2.0～P2.7、P3.0～P3.7、P4.0～P4.2 映射到端口寄存器 P0、P1、P2、P3、P4

2、 P0_OE、P1_OE、P2_OE、P3_OE、P4_OE 用于配置 P0.0～P4.2 的输出使能

3、 P0.0～P4.2 均可使能上拉电阻，配置 P0_PU、P1_PU、P2_PU、P3_PU、P4_PU 对应的位为 1。其中 P0.0～P0.2、P1.3～P1.6、P2.1、P3.6～3.7 的上拉电阻阻值约为 5kΩ，其余引脚的上拉电阻阻值约为 33kΩ。P1.5～1.3 的上拉电阻可以由 P1_PU[5:3]独立使能，其余 IO 配置成模拟 IO 后，上拉电阻会自动禁止

4、 P1.4～P1.7，P2.0～P2.7，P3.0～P3.5 可配置为模拟 IO，配置 P1_AN，P2_AN，P3_AN 对应的位为 1。引脚配置为模拟 IO 后，对应引脚的所有数字功能配置失效，读端口寄存器 P1、P2、P3 相应位为 0。

5、 IO 优先级:

a) 对于所有复用端口，GPIO 的优先级最低

b) P0.1：I2C > TIMER4 > DBG_SIG > GPIO

c) P0.5：SPI > UART > GPIO

d) P0.6：SPI > UART > GPIO

e) P0.7：TIMER2 > CMP > SPI >GPIO

临时版本

21.2 IO 寄存器

21.2.1 P0_OE（0xFC）

表 21-1 P0_OE（0xFC）

位	7	6	5	4	3	2	1	0
名称	P0_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P0_OE	P0.0～P0.7的数字输出使能 1：输出 0：输入

21.2.2 P1_OE（0xFD）

表 21-2 P1_OE（0xFD）

位	7	6	5	4	3	2	1	0
名称	P1_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P1_OE	P1.0～P1.7的数字输出使能 1：输出 0：输入

21.2.3 P2_OE（0xFE）

表 21-3 P2_OE（0xFE）

位	7	6	5	4	3	2	1	0
名称	P2_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P2_OE	P2.0～P2.7的数字输出使能 1：输出 0：输入

临时版本

21.2.4 P3_OE（0xFF）

表 21-4 P3_OE（0xFF）

位	7	6	5	4	3	2	1	0
名称	P3_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P3_OE	P3.0～P3.7的数字输出使能 1：输出 0：输入

21.2.5 P4_OE（0xE9）

表 21-5 P4_OE（0xE9）

位	7	6	5	4	3	2	1	0
名称	RSV					P4_OE[2]	P4_OE[1]	P4_OE[0]
类型	R					R/W	R/W	R/W
复位值	0					0	0	0

字段	名称	描述
[7:3]	RSV	保留位
[2:0]	P4_OE	P4.0～P4.2的数字输出使能 1：输出 0：输入

21.2.6 P1_AN（0x4050）

表 21-6 P1_AN（0x4050）

位	7	6	5	4	3	2	1	0
名称	P1_AN				HBMOD	HDIO	ODE1	ODE0
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:4]	P1_AN	P1.7～P1.4的模拟模式使能 1：使能 0：禁止

临时版本

[3]	HBMOD	P1.3 模式配置，与 P1_OE.3 组合决定 P1.3 的功能模式。 HBMODE / P1_OE.3 / P1.3 模式 0 / 0 / 数字输入 0 / 1 / 数字输出 1 / 0 / 模拟模式 1 / 1 / 数字强驱动输出，输出高可提供强驱动，输出低的驱动能力同‘01’数字输出模式。
[2]	HDIO	PWM 输出 IO 输出驱动能力选择，只对 FU6812 的 L_DU、L_DV、L_DW、H_DU、H_DV、H_DW 有效。 0：正常驱动能力 1：高驱动能力
[1]	ODE1	P0.1 的漏极开路（open drain）使能 1：使能 0：禁止
[0]	ODE0	P0.0 的漏极开路（open drain）使能 1：使能 0：禁止

21.2.7 P2_AN（0x4051）

表 21-7 P2_AN（0x4051）

位	7	6	5	4	3	2	1	0
名称	P2_AN							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P2_AN	P2.7～P2.0的模拟模式使能 1：使能 0：禁止

21.2.8 P3_AN（0x4052）

表 21-8 P3_AN（0x4052）

位	7	6	5	4	3	2	1	0
名称	RSV		P3_AN					
类型	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留位

原厂版本

[5:0]	P3_AN	P3.5～P3.0的模拟模式使能 1：使能 0：禁止

21.2.9 P0_PU（0x4053）

表 21-9 P0_PU（0x4053）

位	7	6	5	4	3	2	1	0
名称	P0_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P0_PU	P0.7～P0.0的上拉电阻使能 1：使能 0：禁止

21.2.10 P1_PU（0x4054）

表 21-10 P1_PU（0x4054）

位	7	6	5	4	3	2	1	0
名称	P1_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P1_PU	P1.7～P1.0的上拉电阻使能 1：使能 0：禁止

21.2.11 P2_PU（0x4055）

表 21-11 P2_PU（0x4055）

位	7	6	5	4	3	2	1	0
名称	P2_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P2_PU	P2.7～P2.0的上拉电阻使能 1：使能 0：禁止

临时版本

21.2.12 P3_PU（0x4056）

表 21-12 P3_PU（0x4056）

位	7	6	5	4	3	2	1	0
名称	P3_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P3_PU	P3.7～P3.0的上拉电阻使能 1：使能 0：禁止

21.2.13 P4_PU（0x4057）

表 21-13 P4_PU（0x4057）

位	7	6	5	4	3	2	1	0
名称	RSV					P4_PU[2]	P4_PU[1]	P4_PU[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:3]	RSV	保留位
[2:0]	P4_PU	P4.2～P4.0的上拉电阻使能 1：使能 0：禁止

21.2.14 PH_SEL（0x404C）

表 21-14 PH_SEL（0x404C）

位	7	6	5	4	3	2	1	0
名称	SPITMOD	UARTEN	UARTCH	T4SEL	T3SEL	T2SEL	T2SSEL	XOE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	SPITMOD	SPI 从机发送端模式 0： 作为从机时，SPI 发送完毕后，MISO 管脚处于输出状态。 1： 作为从机时，SPI 发送完毕后，MISO 管脚处于高阻态。

[6]	UARTEN	UART 使能 0： UART 功能禁止 1： UART 功能使能
[5]	UARTCH	UART 端口功能转移使能 0: UART 端口功能不转移，P0.6 作为 UART 的 RXD；P0.5 作为 UART 的 TXD 1: UART 端口功能转移，P3.3 作为 UART 的 RXD；P3.4 作为 UART 的 TXD
[4]	T4SEL	TIMER4端口使能 0：P0.1作为GPIO 1：P0.1作为TIMER4的输入输出 注：I2C 的优先级高于 TIMER4，当使能 I2C，P0.1 作为 I2C 的端口 SCL
[3]	T3SEL	TIMER3端口使能 0：P1.1 作为 GPIO 1：P1.1作为TIMER3的输入输出
[2]	T2SEL	TIMER2端口使能 0：P1.0 作为 GPIO 1：P1.0作为TIMER2的输入输出
[1]	T2SSEL	TIMER2端口2使能 0：P0.7作为GPIO 1：P0.7作为TIMER2的端口2输入输出 注：TIMER2 优先级最高，其次是比较器输出，再次是 SPI 的 MISO
[0]	XOE	XH/L端口使能 0：P4.2/P4.1 作为 GPIO 1：P4.2/P4.1作为XH/XL的输出，根据DRVOE寄存器的MOE输出有效输出还是空闲电平OISWH/OISWL

21.2.15 P0（0x80）/P1（0x90）/P2（0xA0）/P3（0xB0）/P4(0xE8)

端口输出寄存器 P0/1/2/3/4 支持读写访问，RMW（read-modify-write）指令访问的是寄存器的值（RMW 指令参见表 21-15），其他指令访问的是 PORT 管脚。

表 21-16 P0/P1/P2/P3/P4

位	7	6	5	4	3	2	1	0
名称	GPx[7]	GPx[6]	GPx[5]	GPx[4]	GPx[3]	GPx[2]	GPx[1]	GPx[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

寄存器名称	功能描述	R/W	初始值
P0[7:0]	端口寄存器 0	R/W	0x00
P1[7:0]	端口寄存器 1	R/W	0x00
P2[7:0]	端口寄存器 2	R/W	0x00
P3[7:0]	端口寄存器 3	R/W	0x00

P4[2:0]	端口寄存器 4	R/W	0x00

注：端口 P4 共有 3 个 PIN，对应 P4 输出寄存器为 P4[2:0]。

表 21-17 read modify write instructions

指令	功能描述
ANL	Logic AND
ORL	Logic OR
XRL	Logic exclusive OR
JBC	Jump if bit is set and clear
CPL	Complement bit
INC,DEC	Increment, decrement byte
DJNZ	Decrement and jump if not zero
MOV Px,y, C	Move carry bit to bit y of port x
CLR Px,y	Clear bit y of port x
SETB Px,y	Set bit y of port x

临时版本

22 ADC

22.1 ADC 功能框图

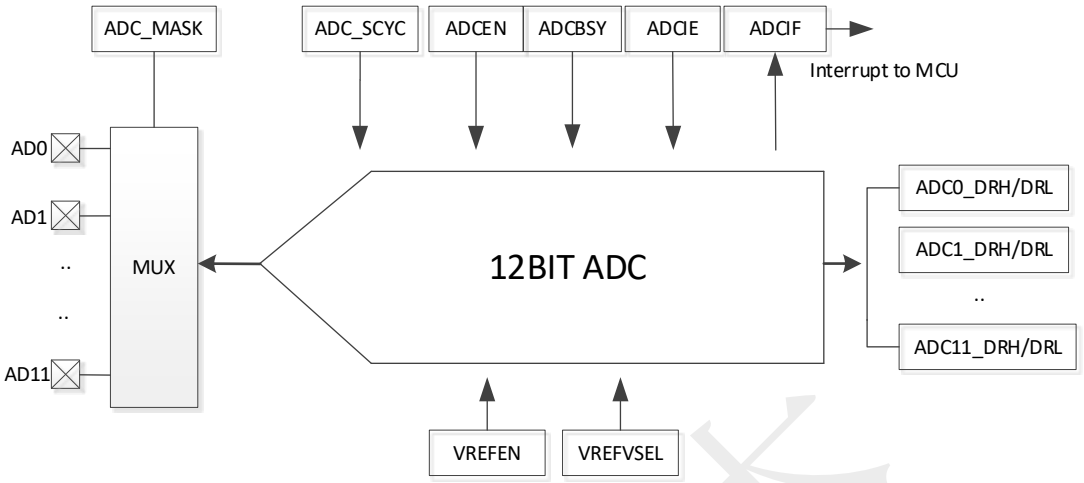


图 22-1 ADC 功能框图

22.2 ADC 操作说明

芯片内部集成一路 12 位逐次逼近式的 ADC，支持 12 个通道，支持突发模式采样。MCU 软件写寄存器 ADC_CR 相关启动位时将进行顺序扫描模式，而当 FOC 功能启动后，芯片内部电路实时自动切入触发模式以支持电机驱动时序，触发结束后自动恢复为顺序扫描模式。

22.2.1 顺序扫描模式

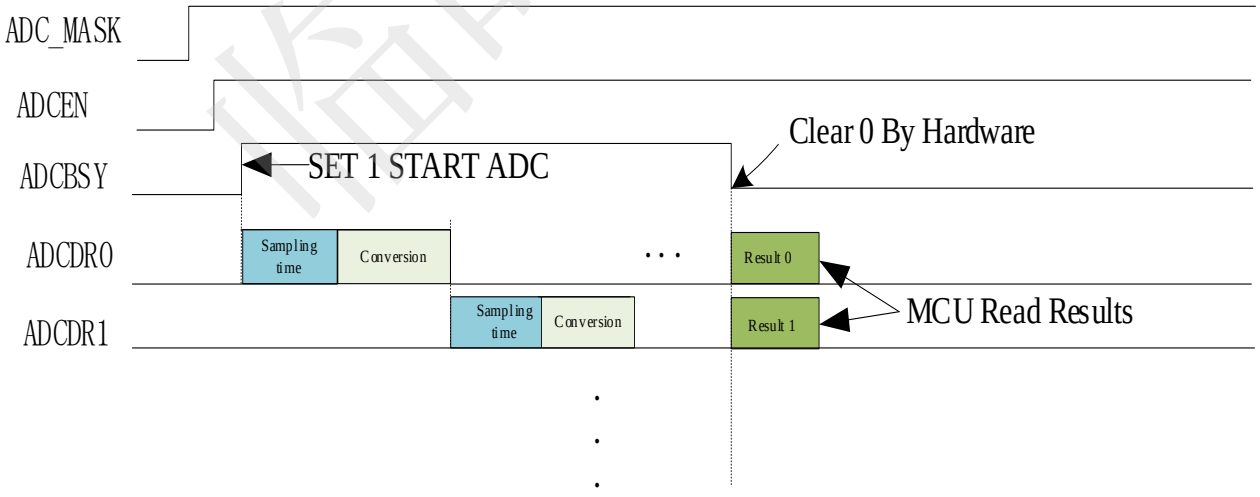


图 22-2 ADC 顺序扫描采样时序图

如图 22-2 所示，启动 ADC 操作

- 设置合适的 ADC 参考电压 ADCREF
- 设置对应通道的编号即设置寄存器 ADC_MASK

- 设置合适的每个通道的采样时钟周期延时（最小值为 3）
- 设置 ADC_CR 寄存器的 ADCEN 位为 1
- 设置 ADC_CR 寄存器的 ADCBSY 位为 1 后，ADC 开始工作
- 当读取 ADCBSY 为零后可以读取 ADC 转换结果
- ADC 转换顺序根据使能的通道号从低到高（即当使能 CH2/3/4 后，依次采样转换 CH2/3/4，然后在读取 ADCBSY 为零后读取单次转换结果）

芯片内部集成一个支持 12 通道精度为 12bit 的 ADC。启动 ADC 操作前，设置好需要采样的对应通道的编号即设置寄存器 ADC_MASK，设置合适的每个通道的采样时钟周期延时（最小值为 3），设置 ADC_CR 寄存器的 ADCEN 和 ADCBSY 位为 1 后，ADC 开始工作。

另外，ADC 支持触发功能，且触发功能优先级比 MCU 软件操作优先级高，触发源可来自于 FOC 模块。

若启动 FOC 功能（配置 DRV_CR 寄存器的 FOCEN=1），FOC 模块将自动启动 ADC 模块并在需要的时候触发 ADC 采样，并将采样的值自动送至 FOC 模块。

注：ADC 的触发功能优先级较高，当触发条件满足需要 ADC 采样时，如果当前正在软件操作 ADC 采样，ADC 会打断当前操作，执行触发功能，触发功能采样完毕后自动恢复之前 ADC 软件操作的动作。当 ADC 触发功能正在采样时，若 MCU 启动 ADC 软件操作模式，则 ADC 先完成触发采样功能，再自动启动软件操作模式。

22.2.2 ADC 触发模式

启动 FOC 功能后，ADC 可在电机驱动需要的时刻自动触发 ADC 采样。触发模式与顺序扫描模式可同时进行，内部电路自动匹配两种不同模式的时序，但触发模式与顺序扫描模式的 ADC 通道不宜重叠。

若启动 FOC 功能（配置 DRV_CR 寄存器的 FOCEN=1），FOC 模块将自动启动 ADC 模块并在需要的时候触发 ADC 采样，并将采样的值自动送至 FOC 模块。

旧版本

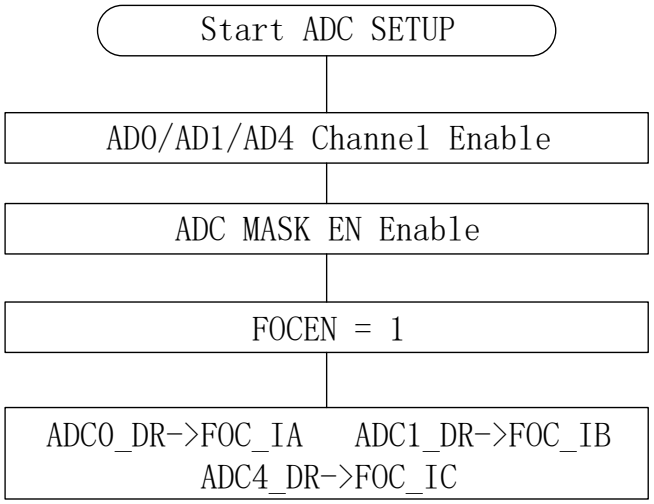


图 22-3 ADC 硬件触发采样流程

如图 22-3 所示，当 ADC 通道 0/1/4 使能，并且在 FOC 使能后，可由 FOC 模块硬件触发采样并直接读取结果。

临时版本

22.3 ADC 寄存器

22.3.1 ADC_CR（0x4039）

表 22-1 ADC_CR（0x4039）

位	7	6	5	4	3	2	1	0
名称	ADCEN	ADCBSY	RSV			ADCALIGN	ADCIE	ADCIF
类型	R/W	R/W1	R	R	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	ADCEN	使能ADC功能 0:禁止。 1:使能。
[6]	ADCBSY	ADC 忙标志。 MCU 操作 ADC 时应先写 ADCEN 位，使电路准备好，再写 ADCBSY 进行转换。MCU 写 1 后开始 ADC 转换，转换完毕硬件自动清 0。MCU 也可以读取此位以判断 ADC 是否处于转换过程中。若此位已经为 1 时 MCU 再写 1 无意义。此位 MCU 只可写 1，写 0 无意义，读出时表示 ADC 状态。 ADC_MASK=0 时此位写 1 无意义。
[5:3]	RSV	保留
[2]	ADCALIGN	ADC数据次高位对齐使能 0：ADC数据右对齐。 1：ADC数据次高位对齐。（TRIG模式不受影响）
[1]	ADCIE	ADC 中断使能。用于控制 ADCIF 是否向 MCU 发起中断事件。（不包含 TRIG 模式中断） 0:禁止。 1:使能。
[0]	ADCIF	ADC转换结束标志位。当本次ADC转换完毕时，若ADCIE=1则向MCU发起ADC中断事件。此位不受ADCIE控制。 0:本次ADC转换未完毕。 1:本次ADC转换完毕。

22.3.2 ADC_MASK={ADC_MASKH,ADC_MASKL}（0x4036～0x4037）

表 22-2 ADC_MASK={ ADC_MASKH, ADC_MASKL}（0x4036～0x4037）

ADC_MASKH(0x4036)

位	7	6	5	4	3	2	1	0
名称	ADC_SCYC[11:8]				CH11EN	CH10EN	CH9EN	CH8EN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	1	1	0	0	0	0

ADC_MASKL(0x4037)

位	7	6	5	4	3	2	1	0
名称	CH7EN	CH6EN	CH5EN	CH4EN	CH3EN	CH2EN	CH1EN	CH0EN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[11]	CH11EN	ADC 第 11 通道使能 请参考 ADC_MASK[CH0EN]
[10]	CH10EN	ADC 第 10 通道使能 请参考 ADC_MASK[CH0EN]
[9]	CH9EN	ADC 第 9 通道使能 请参考 ADC_MASK[CH0EN]
[8]	CH8EN	ADC 第 8 通道使能 请参考 ADC_MASK[CH0EN]
[7]	CH7EN	ADC 第 7 通道使能 请参考 ADC_MASK[CH0EN]
[6]	CH6EN	ADC 第 6 通道使能 请参考 ADC_MASK[CH0EN]
[5]	CH5EN	ADC 第 5 通道使能 请参考 ADC_MASK[CH0EN]
[4]	CH4EN	ADC 第 4 通道使能 请参考 ADC_MASK[CH0EN]
[3]	CH3EN	ADC 第 3 通道使能 请参考 ADC_MASK[CH0EN]
[2]	CH2EN	ADC 第 2 通道使能 请参考 ADC_MASK[CH0EN]
[1]	CH1EN	ADC 第 1 通道使能 请参考 ADC_MASK[CH0EN]
[0]	CH0EN	ADC 第 0 通道使能 0：禁能通道 1：使能通道

22.3.3 ADC_SCYC={ADC_MASKH[7:4],ADC_SCYCL）（0x4036[7:4],0x4038）

表 22-3 ADC_SCYCL（0x4038）

ADC_SCYCL(0x4038)

位	7	6	5	4	3	2	1	0
名称	ADC_SCYC [7:4]				ADC_SCYC [3:0]			
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	1	1	0	0	1	1

字段	名称	描述

[11:8]	ADC_SCYC [11:8]	ADC采样周期设置，通道AD8、AD9、AD10、AD11共用设置。 ADC_SCYC [11] = 0时， 通道AD8、AD9、AD10、AD11采样周期为ADC_SCYC [10:8]个ADC时钟周期。 ADC_SCYC [11] = 1 时， 通道 AD8、AD9、AD10、AD11 采样周期为(ADC_SCYC [10:8]*8 + 7)个 ADC 时钟周期。
[7:4]	ADC_SCYC [7:4]	ADC采样周期设置，通道AD5、AD6、AD7共用设置。 ADC_SCYC [7] = 0时， 通道AD5、AD6、AD7采样周期为ADC_SCYC [6:4]个ADC时钟周期。 ADC_SCYC [7] = 1 时， 通道 AD5、AD6、AD7 采样周期为(ADC_SCYC [6:4]*8 + 7)个 ADC 时钟周期。
[3:0]	ADC_SCYC [3:0]	ADC采样周期设置，通道AD0、AD1、AD2、AD3、AD4共用设置。 ADC_SCYC [3] = 0时， 通道AD0、AD1、AD2、AD3、AD4采样周期为ADC_SCYC [2:0]个ADC时钟周期。 ADC_SCYC [3] = 1 时， 通道 AD0、AD1、AD2、AD3、AD4 采样周期为(ADC_SCYC [2:0]*8 + 7)个 ADC 时钟周期。

22.3.4 ADC0_DR={ADC0_DRH,ADC0_DRL}（0x0300～0x0301）

表 22-4 ADC0_DR={ADC0_DRH,ADC0_DRL}（0x0300～0x0301）

ADC0_DRH（0x0300）

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC0_DRL（0x0301）

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	ADC转换完成后，第0通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 0 通道的低 8 位数据

22.3.5 ADC1_DR={ADC1_DRH,ADC1_DRL}（0x0302～0x0303）

表 22-5 ADC1_DR={ADC1_DRH，ADC1_DRL}（0x0302～0x0303）

ADC1_DRH(0x0302)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC1_DRL(0x0303)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	ADC转换完成后，第1通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 1 通道的低 8 位数据

22.3.6 ADC2_DR={ADC2_DRH,ADC2_DRL}（0x0304～0x0305）

表 22-6 ADC2_DR={ADC2_DRH, ADC2_DRL}（0x0304～0x0305）

ADC2_DRH(0x0304)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC2_DRL(0x0305)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	ADC转换完成后，第2通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 2 通道的低 8 位数据

22.3.7 ADC3_DR={ADC3_DRH,ADC3_DRL}（0x0306～0x0307）

表 22-7 ADC3_DR={ADC3_DRH, ADC3_DRL}（0x0306～0x0307）

ADC3_DRH(0x0306)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC3_DRL(0x0307)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	ADC转换完成后，第3通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 3 通道的低 8 位数据

22.3.8 ADC4_DR={ADC4_DRH,ADC4_DRL}（0x0308～0x0309）

表 22-8 ADC4_DR={ADC4_DRH，ADC4_DRL}（0x0308～0x0309）

ADC4_DRH(0x0308)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC4_DRL(0x0309)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	ADC转换完成后，第4通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 4 通道的低 8 位数据

22.3.9 ADC5_DR={ADC5_DRH,ADC5_DRL}（0x030A～0x030B）

表 22-9 ADC5_DR={ADC5_DRH, ADC5_DRL}（0x030A～0x030B）

ADC5_DRH(0x030A)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC5_DRL(0x030B)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	第5通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 5 通道的低 8 位数据

22.3.10 ADC6_DR={ADC6_DRH,ADC6_DRL}（0x030C～0x030D）

表 22-10 ADC6_DR={ADC6_DRH, ADC6_DRL}（0x030C～0x030D）

ADC6_DRH(0x030C)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC6_DRL(0x030D)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	第6通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 6 通道的低 8 位数据

22.3.11 ADC7_DR={ADC7_DRH,ADC7_DRL}（0x030E～0x030F）

表 22-11 ADC7_DR={ADC7_DRH，ADC7_DRL}（0x030E～0x030F）

ADC7_DRH(0x030E)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC7_DRL(0x030F)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	第7通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 7 通道的低 8 位数据

22.3.12 ADC8_DR={ADC8_DRH,ADC8_DRL}（0x0310～0x0311）

表 22-12 ADC8_DR={ADC8_DRH，ADC8_DRL}（0x0310～0x0311）

ADC8_DRH(0x0310)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC8_DRL(0x0311)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	第8通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 8 通道的低 8 位数据

22.3.13 ADC9_DR={ADC9_DRH,ADC9_DRL}（0x0312～0x0313）

表 22-13 ADC9_DR={ADC9_DRH，ADC9_DRL}（0x0312～0x0313）

ADC9_DRH(0x0312)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC9_DRL(0x0313)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	第9通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 9 通道的低 8 位数据

22.3.14 ADC10_DR={ADC10_DRH,ADC10_DRL}（0x0314～0x0315）

表 22-14 ADC10_DR={ADC10_DRH，ADC10_DRL}（0x0314～0x0315）

ADC10_DRH(0x0314)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC10_DRL(0x0315)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	第10通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 10 通道的低 8 位数据

22.3.15 ADC11_DR={ADC11_DRH,ADC11_DRL}（0x0316～0x0317）

表 22-15 ADC11_DR={ADC11_DRH，ADC11_DRL}（0x0316～0x0317）

ADC11_DRH(0x0316)

位	7	6	5	4	3	2	1	0
名称	RSV				DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

ADC11_DRL(0x0317)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	第11通道的高4位ADC转换数据
[7:0]	DL	ADC 转换完成后，第 11 通道的低 8 位数据

临时版本

23 DAC

23.1 DAC 功能框图

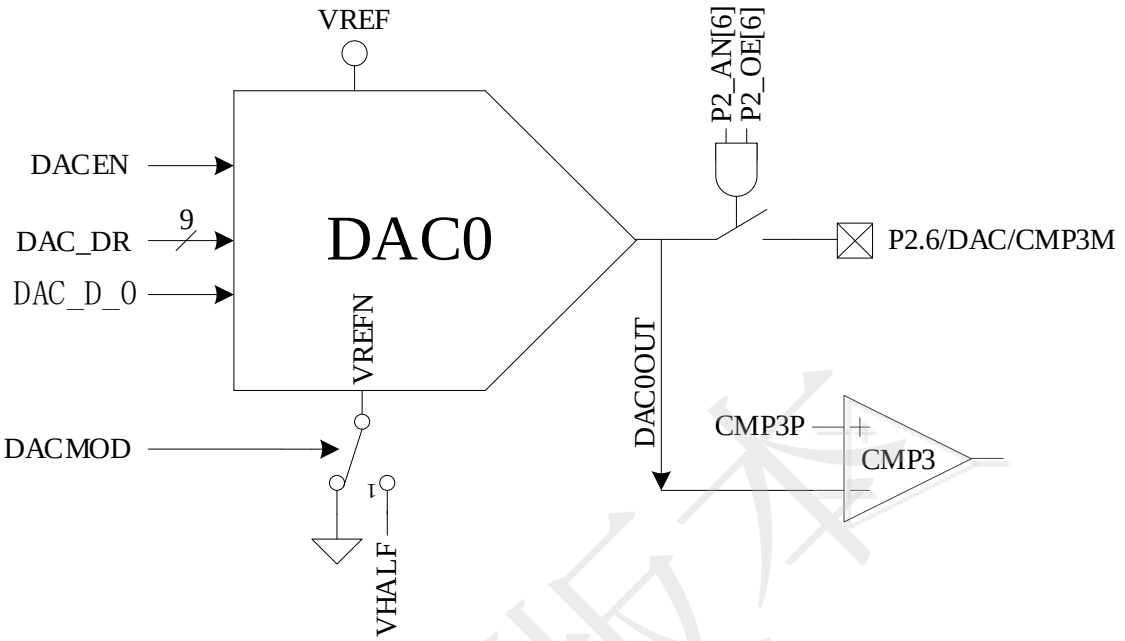


图 23-1 DAC 功能框图

注意：

1. DAC0 输出无电流驱动能力，只能带容性负载，片外如需用作阻性负载，需用运放电压跟随后输出
2. 如需 DAC0 输出至 P2.6/DAC 引脚，需配置：P2_AN[6]=1，P2_OE[6]=1
3. DAC0 使用 VREF 做参考电压，使能 DAC 需要 VREFEN=1, DACEN=1

23.2 DAC 寄存器

23.2.1 DAC_CR（0x4035）

表 23-1 DAC_CR（0x4035）

位	7	6	5	4	3	2	1	0
名称	DACEN	DACMOD	RSV					
类型	R/W	R/W	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	DACEN	DAC 使能 0：DAC 禁止。 1：DAC 使能。
[6]	DACMOD	DAC 模式设置

		0: 正常模式，DAC 输出电压范围为 0 到 VREF。 1: 半电压转换模式，DAC 输出电压范围为 VHALF 到 VREF。
[5:0]	RSV	保留

23.2.2 DAC_DR（0x404B）

表 23-2 DAC_DR（0x404B）

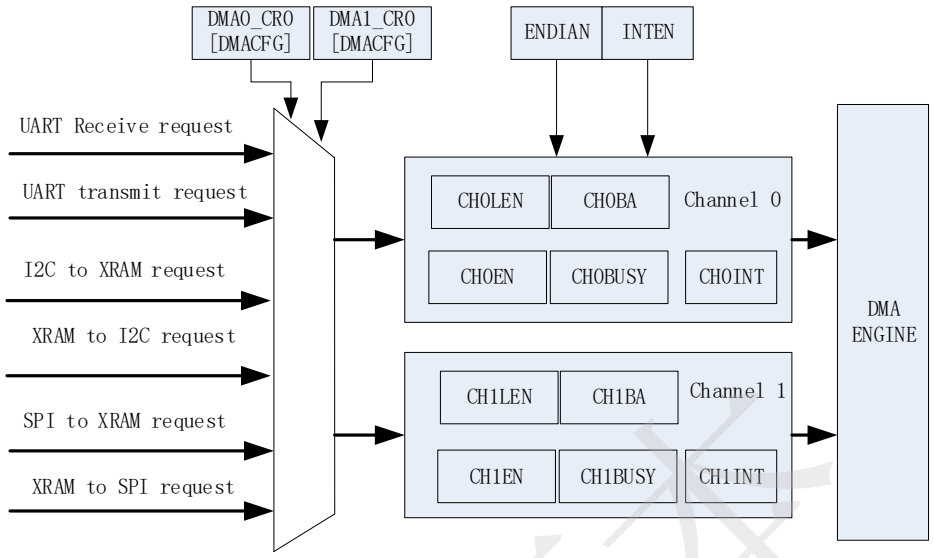
位	7	6	5	4	3	2	1	0
名称	DAC_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	DAC_DR	DAC 控制器数据输入。

临时版本

24 DMA

24.1 DMA 功能与说明



DMA 子模块包含一个双通道的 DMA 控制器，它实现了外设（SPI、UART、I2C）与 XRAM 之间的直接数据传输，传输过程中 DMA 对 XRAM 的访问动作不干扰 MCU 对 XRAM 的正常读写操作。传输的长度和 XRAM 访问的起始地址可设置，支持传输过程中的大小端模式设置，支持中断使能。

启动 DMA 的操作过程一般是：先配置好外设并使能外设，再根据需求通过 DMAx_CR0[CFG]设置 DMA 接管外设输入输出通道，设置 DMA 中断、传输顺序以及传输长度和 XRAM 起始地址，然后写 DMAx_CR0[EN]和 DMAx_CR0[BSY]为 1，即可启动 DMA。数据传输完毕后可清对应 DMA 中断，再次启动 DMA 时无须再次设置配置位，只需写 DMAx_CR0[BSY]为 1，即可再次启动 DMA。

24.2 DMA 寄存器

ADDR	XSFR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0x403A	DMA0_CR0	DAMEN	DMABSY	DMACFG[2:0]			DMA_IE	ENDIAN	DMAIF
0x403B	DMA1_CR0	DMAEN	DMABSY	DMACFG[2:0]			DBG_SW	DBG_EN	DMAIF
0x403C	DMA0_CR1	CH0LEN[5:0]						CH0BA[9:8]	
0x403D		CH0BA[7:0]							
0x403E	DMA1_CR1	CH1LEN[5:0]						CH1BA[9:8]	
0x403F		CH1BA[7:0]							

24.2.1 DMA0_CR0（0x403A）

表 DMA0_CR0（0x403A）

位	7	6	5	4	3	2	1	0
名称	DMAEN	DMABSY	DMACFG			DMAIE	ENDIAN	DMAIF
类型	R/W	R/W1	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	DMAEN	DMA 通道 0 使能
[6]	DMABSY	DMA 通道 0 忙状态/开始 读： 0：通道 0 传输已完成，或者未进入传输状态。 1: 通道 0 正在传输。 写： 0: 无意义。 1: 启动通道 0 开始传输。
[5:3]	DMACFG [2:0]	通道 0 外设选择 000: 从 UART 到 XRAM 001: 从 XRAM 到 UART. 010: 从 I2C 到 XRAM 011: 从 XRAM 到 I2C 100: 从 SPI 到 XRAM 101: 从 XRAM 到 SPI 当通道 0 状态忙时不可改变。
[2]	DMAIE	DMA 中断请求使能。 0: 禁止 DMA 向 MCU 发出中断请求。 1: 使能 DMA 向 MCU 发出中断请求，当中断标志 CH0INT 或 CH1INT 为 1 时，即向 MCU 发出中断请求。
[1]	ENDIAN	DMA 数据传输顺序模式。 0: 高位字节先接收或发送。 1: 低位字节先接收或发送。 此位的设置针对 16 位数据模式，8 位数据模式时应配置为 0。 当通道 0 或 1 状态忙时不可改变。
[0]	DMAIF	DMA 通道 0 传输完成中断标志。硬件置 1，软件清 0。 0: 无中断产生。 1: 通道 0 传输完成标志。（INTEN=1 时，向 MCU 发出中断请求，否则仅产生标志）

24.2.2 DMA1_CR0（0x403B）

表 DMA1_CR0（0x403B）

位	7	6	5	4	3	2	1	0
名称	DMAEN	DMABSY	DMACFG			DBGSW	DBGEN	DMAIF

调试版本

类型	R/W	R/W1	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	DMAEN	DMA 通道 1 使能
[6]	DMABSY	DMA 通道 1 忙状态/开始 读： 0：通道 1 传输已完成，或者未进入传输状态。 1: 通道 1 正在传输。 写： 0: 无意义。 1: 启动通道 1 开始传输。
[5:3]	DMACFG [2:0]	通道 1 外设选择 000: 从 UART 到 XRAM 001: 从 XRAM 到 UART. 010: 从 I2C 到 XRAM 011: 从 XRAM 到 I2C 100: 从 SPI 到 XRAM 101: 从 XRAM 到 SPI 当通道 1 状态忙时不可改变。
[2]	DBGSW	DEBUG 模式区域选择 0: DEBUG 区域选择 XSFR(导出地址空间：0x4020 ～ 0x40FF) 1:DEBUG 区域选择 XRAM(导出地址空间：0x0000 ～ 0x0317)
[1]	DBGEN	DEBUG 模式使能 0: 正常模式 1: DEBUG 模式 当 CH1CFG 配置为 101，DBG_EN=1 时，DMA 将进入 DEBUG 模式，此时 SPI_EN=1 时，SPI 为 3 线主机只发模式(MISO 线无效)。DMA 自动、反复将 DBG_SW 区域相关数据通过 SPI MOSI 发送出去，CH1BA/CH1LEN 用于指定区域内的地址，发送时 NSS 自动变为低，每发送完一次循环，NSS 自动变为高电平一次，然后继续下一次循环发送。进入 DEBUG 模式后，DMA0CH1 中断自动关闭。
[0]	DMAIF	DMA 通道 1 传输完成中断标志。硬件置 1，软件清 0。 0: 无中断产生。 1: 通道 1 传输完成标志。（INTEN=1 时，向 MCU 发出中断请求，否则仅产生标志）

24.2.3 DMA0_CR1（0x403C)

表 DMA0_CR1H（0x403C）

位	7	6	5	4	3	2	1	0
名称	CH0LEN						CH0BA[9:8]	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 DMA0_CR1L（0x403D）

位	7	6	5	4	3	2	1	0
名称	CH0BA[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:10]	CH0LEN[5:0]	写：DMA 通道 0 XRAM 数据传输长度。 当通道 0 状态忙时不可改变。当 ENDIAN=1 时，推荐 CH0LEN 设置为奇数。 读：DMA 通道 0 目前传输的字节是第几字节（0 表示第 1 字节）。
[9:0]	CH0BA[9:0]	DMA 通道 0 XRAM 首地址。 当通道 0 状态忙时不可改变。 注意，通道 0 传输的 XRAM 地址空间区域为：CH0BA[9:0] ～ (CH0BA[9:0] + CH0LEN[5:0])。

24.2.4 DMA1_CR1（0x403E）

表 DMA1_CR1H（0x403E）

位	7	6	5	4	3	2	1	0
名称	CH1LEN						CH1BA[9:8]	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 DMA1_CR1L（0x403F）

位	7	6	5	4	3	2	1	0
名称	CH1BA[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:10]	CH1LEN[5:0]	写：DMA 通道 1 XRAM 数据传输长度。 当通道 1 状态忙时不可改变。 当 ENDIAN=1 时，推荐 CH1LEN 设置为奇数。 读：DMA 通道 1 目前传输的字节是第几字节（0 表示第 1 字节）。
[9:0]	CH1BA[9:0]	DMA 通道 1 XRAM 首地址。 当通道 1 状态忙时不可改变。 注意，通道 1 传输的 XRAM 地址空间区域为：CH1BA[9:0] ～ (CH1BA[9:0] + CH1LEN[5:0])。

当 DMA 通道外设选择为 I2C 时（包括从 I2C 到 XRAM、从 XRAM 到 I2C），I2C 通讯的 START+Address 中断仍需 MCU 软件清除。I2C 为从机时，若遇到 STOP，需软件清 0 寄存器 I2C_SR[STOP]，以清除 I2C 中断，并应重新开启 DMA 传输。

25 VREF 参考电压

25.1 VREF 模块的操作说明

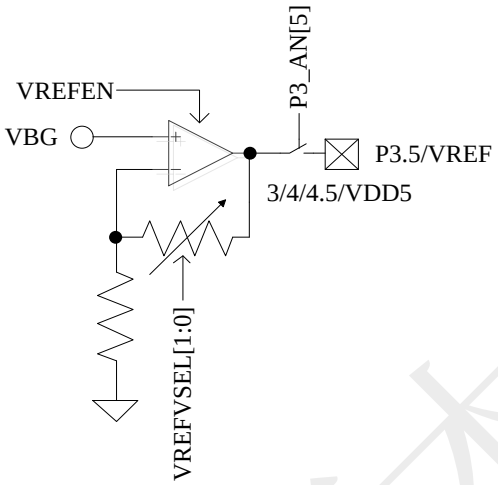


图 25-1 VREF 模块的端口输入输出情况

VREF 模块的端口情况如图 25-1 所示。VREF 是参考电压生成模块，可向 ADC 提供内部参考基准。

要使 VREF 工作，需要配置寄存器如下：VREFEN=1，VREFVSEL 选择输出电压，具体见表 25-1。如需输出 VREF 电压至芯片引脚，配置 P3_AN[5]=1。VREF 电压在芯片内部用于 ADC 的参考电压和 DAC 的参考电压。（备注：FU6812S2/V 只能使用内部 VDD5 作为参考电压选择端）

临时版本

25.2 VREF 模块的寄存器

25.2.1 VREF_VHALF_CR(XRAM: 0x404F)

表 25-1 VREF_CR（0x404F）

位	7	6	5	4	3	2	1	0
名称	VREFVSEL		RSV	VREFEN	RSV			VHALFEN
类型	R/W		R	R/W	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7：6	VREFVSEL	VREF 模块输出参考电压选择端 01: VDD5 00: 4.5V 11: 4V 10: 3V
~~5~~	RSV	保留位
4	VREFEN	VREF 模块使能信号，用于给 ADC 提供内部参考基准 0：禁止内部 VREF 参考，如设置 P3_AN[5]=1，外部参考从 P3.5 输入 1：使能内部VREF参考，如设置P3_AN[5]=1，内部VREF参考送出至P3.5引脚，可接0.1～1uF电容提高VREF稳定性
3:1	RSV	保留位
0	VHALFEN	VHALF 工作使能 0：禁止 1：使能

临时版本

26 VHALF 参考电压

26.1 VHALF 模块的操作说明

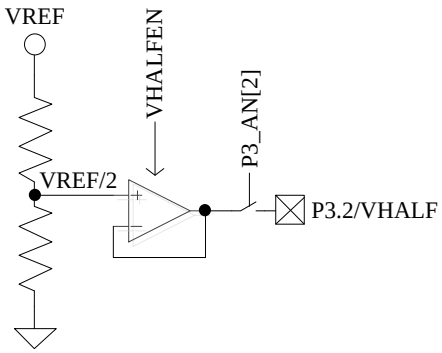


图 26-1 VHALF 模块的端口输入输出情况

VHALF 模块的端口情况如图 26-1 所示。VHALF 的作用是产生一个参考电压。

要使 VHALF 模块正常工作，需配置寄存器如下：VHALFEN=1；P3_AN[2]=1，将 VHALF 电压输出至 P3.2 引脚。

26.2 VHALF 模块的寄存器

VHALF 配置寄存器参考表 25-1。

临时版本

27 运放

FU6812x2/61x2 集成有 3 个高速独立运算放大器（运放），分别为 AMP0、AMP1、AMP2。每个运放均有独立的使能端。FU6812N/S、FU6861N/NF 只集成 1 个运放 AMP0。

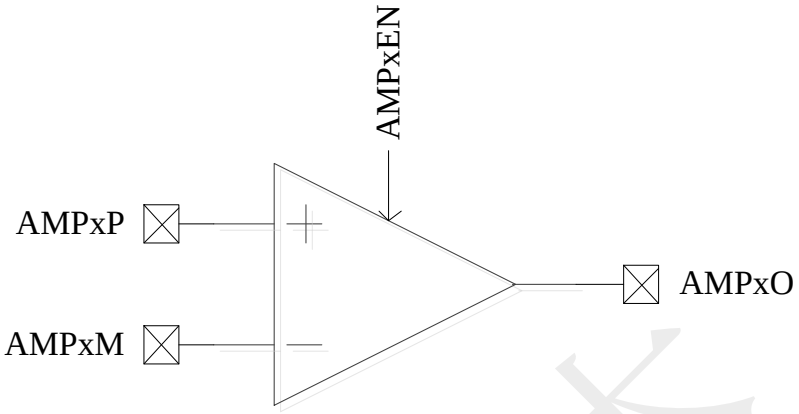


图 27-1 运算放大模块示意图

27.1 运放操作说明

27.1.1 母线电流运放（AMP0）

运放连接如图 27-2 所示。

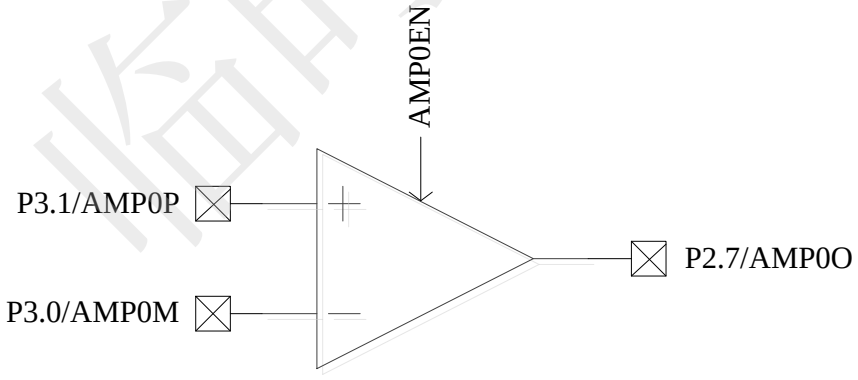


图 27-2 母线电流运放（AMP0）

如果要使能母线电流模块，需配置：AMP0EN=1。

母线电流运放的输入输出端对应的引脚如图 27-2 所示。使能 AMP0 运放前，应先使此运放相关的三个 GPIO 口全变成模拟模式，即 P2.7，P3.0，P3.1 全变成模拟模式，设置 P2_AN[7]=1, P3_AN[1:0]=11B。

临时版本

27.1.2 相电流运放（AMP1/AMP2）

27.1.2.1 AMP1

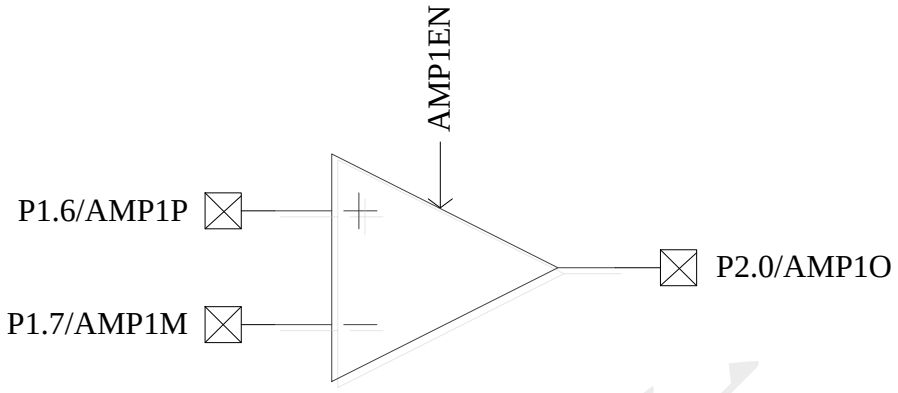


图 27-3 AMP1 输入输出相关引脚的情况

如果要使能相电流运放 AMP1，需配置：AMP1EN=1。

相电流运放的输入输出端对应的引脚如图 27-3 所示。使能 AMP1 运放前，应先使此运放相关的三个 GPIO 口全变成模拟模式，即 P1.6，P1.7，P2.0 全变成模拟模式，设置 P1_AN[7:6]=11B, P2_AN[0]=1B。

27.1.2.2 AMP2

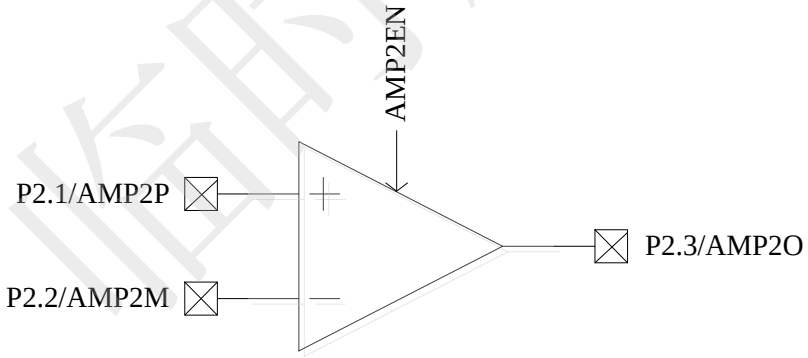


图 27-4 AMP2 输入输出相关 pad 的情况

如果要使能相电流运放 AMP2，需配置：AMP2EN=1。

相电流运放的输入输出端对应的引脚如图 27-4 所示。使能 AMP2 运放前，应先使与此运放相关的三个 GPIO 口全变成模拟模式，即 P2.1，P2.2，P2.3 全变成模拟模式，设置 P2_AN[3:1]=111B。

临时版本

27.1.3 运放 PGA 模式，3 组运放都支持 PGA

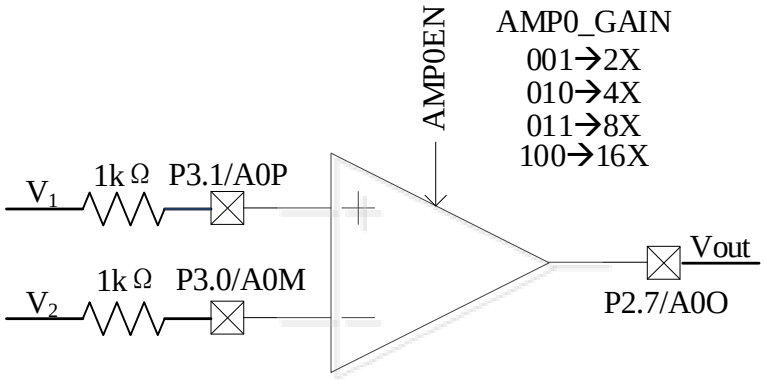


图 27-5 AMP0 工作在 PGA 差分输入模式

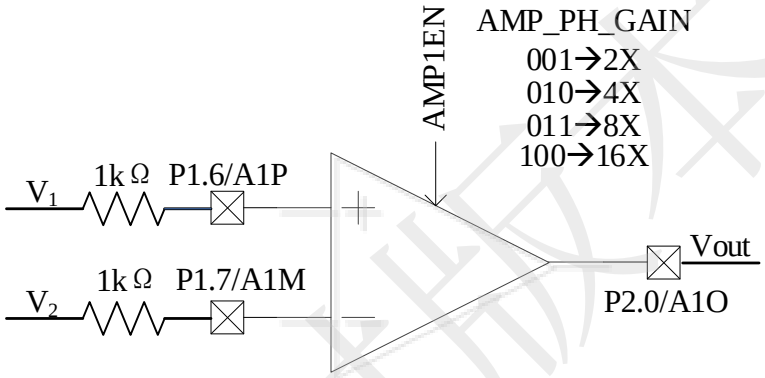


图 27-6 AMP1 工作在 PGA 差分输入模式

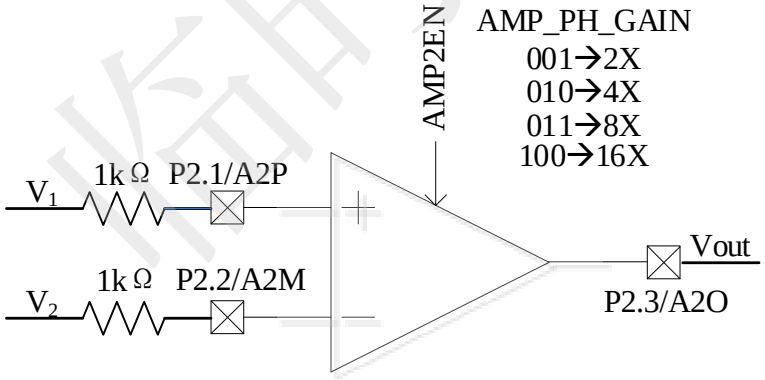


图 27-7 AMP2 工作在 PGA 差分输入模式

运放工作在 PGA 模式时，运放的正输入端和负输入端分别串联一个 1kΩ 的电阻。放大倍数参考如上图所示

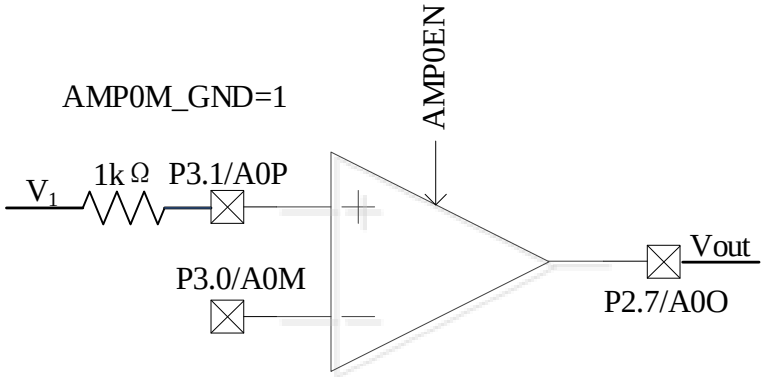


图 27-8 AMP0 工作在 PGA 输入模式（负端内部接 GND）

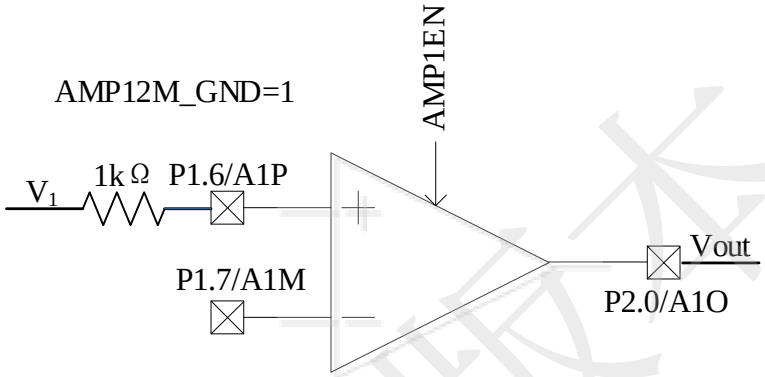


图 27-9 AMP1 工作在 PGA 输入模式（负端内部接 GND）

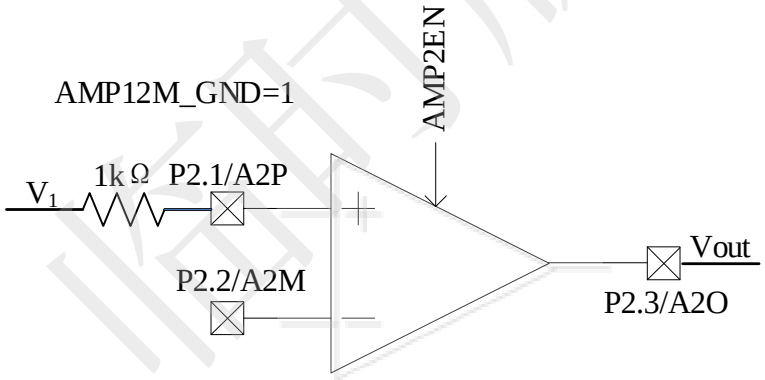


图 27-10 AMP2 工作在 PGA 输入模式（负端内部接 GND）

运放工作在单端 PGA 模式时，运放的负端 Pin 脚需要悬空，软件配置 AMP12M_GND/AMP0M_GND 后芯片内部将运放的负端接 GND，此时 VHALF 参考电压等于 25/64*VREF。

当 PGA 负端内部接 GND 时，输出端理论电压的计算方法如下:

- AMP_GAIN = 2X　　Vout=7/6*V_{half} + 7/3*V1
- AMP_GAIN = 4X　　Vout=6/5*V_{half} + 24/5*V1
- AMP_GAIN = 8X　　Vout=11/9*V_{half} + 88/9*V1
- AMP_GAIN = 16X　　Vout=21/17*V_{half} + 336/17*V1

27.2 运放寄存器

27.2.1 AMP_CR（0x404E）

表 27-1 AMP_CR（0x404E）

位	7	6	5	4	3	2	1	0
名称	RSV					AMP2EN	AMP1EN	AMP0EN
类型	R	R	R	R	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:3]	RSV	保留位
[2]	AMP2EN	使能AMP 2
[1]	AMP1EN	使能AMP 1
[0]	AMP0EN	使能AMP 0

27.2.2 CMP_AMP（0x40f2）

表 27-2 CMP_AMP（0x40f2）

CMP_AMP（0x40f2）								
位	7	6	5	4	3	2	1	0
名称	DAC_D_0	AMP_PH_GAIN[2:0]			AMP0_GAIN[2:0]			CMP3P4M_FS
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	DAC_D_0	9 位 DAC 数据最低位数据
[6:4]	AMP_PH_GAIN[2:0]	AMP1&2 PGA 运放放大倍数设置(放大倍数的标定外部引脚串 1kΩ 电阻) 000:放大倍数由外部配置 001:2X 010:4X 011:8X 100:16X 101:保留 110/111:放大倍数由外部配置
[3:1]	AMP0_GAIN[2:0]	AMP0 PGA 运放放大倍数设置(放大倍数的标定外部引脚串 1kΩ 电阻) 000:放大倍数由外部配置 001:2X 010:4X 011:8X 100:16X

		101:保留 110/111:放大倍数由外部配置
[0]	CMP3P4M_FS	P27 CMP3 正端和 CMP4 负端功能转移至 P34 0:Disable 1:Enbale

27.2.3 TSD_ADJ（0x40f3）

表 27-3 TSD_ADJ（0x40f3）

TSD_ADJ（0x40f3）								
位	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
名称	RSV				AMP12M_GND	AMPOM_GND	TSDADJ3	TSDADJ0_0
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	**名称**	**描述**
[7:4]	RSV	保留
[3]	AMP12M_GND	使能后，AMP1&2 PGA 模式时 P17/P22 端内部接 GND，此时 VHALF=25/64*VREF 0:Disable 1:Enbale
[2]	AMPOM_GND	使能后，AMP0 PGA 模式时 P30 端内部接 GND，此时 VHALF=25/64*VREF 0:Disable 1:Enbale
[1:0]	TSDADJ3/ TSDADJ0_0	与 EVT_FILT 组合 TSDADJ3 为最高位，EVT_FILT[6:5]为中间位，TSDADJ0_0 为最低位

TSD_ADJ[3:0]	温度(℃)
1000	65
1001	70
1010	75
1011	80
1100	86
1101	91
1110	97
1111	103
0000	105
0001	115
0010	120
0011	128
0100	135
0101	142
0110	150
0111	保留

28 比较器

28.1 比较器操作说明

28.1.1 比较器 CMP3

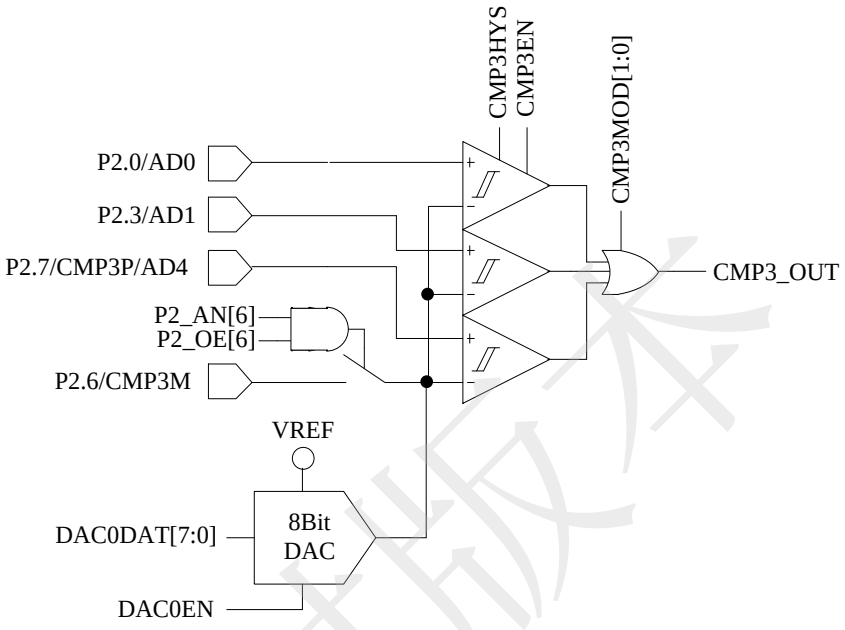


图 28-1 比较器 CMP3 的输入输出相关信号

如果要使能比较器 CMP3，需配置：

1. 配置负输入端电压，可使用来自片内 DAC0 输出或使用外部电路输入。使用外部电路设定参考电压时，需要 P2_AN[6]和 P2_OE[6]同时置 1。使用 DAC0 输出作为参考电压时，如果 P2_AN[6]和 P2_OE[6]同时置 1，需要在 P2.6 端子和 GND 之间加稳定电容（推荐 100pF，输出后需等待 DAC0 输出稳定）
2. 配置 CMP_CR1[CMP3MOD]，选择单输入、双输入、三输入模式
3. 配置 CMP_CR1[CMP3HYS]，选择是否使用迟滞
4. 设置 CMP_CR1[CMP3EN]=1，使能 CMP3

比较器的输入输出端对应的引脚如图 28-1 所示。

CMP3 有三种输入模式选择，由 CMP_CR1[CMP3MOD]决定。

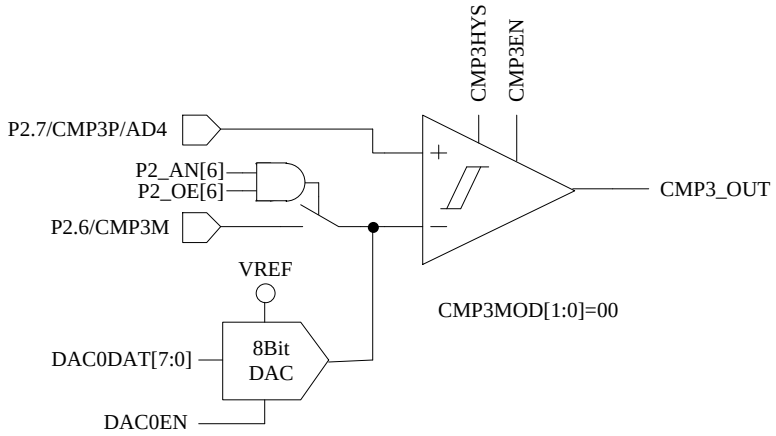


图 28-2 CMP3MOD[1:0]=00B，选择单比较器输入模式

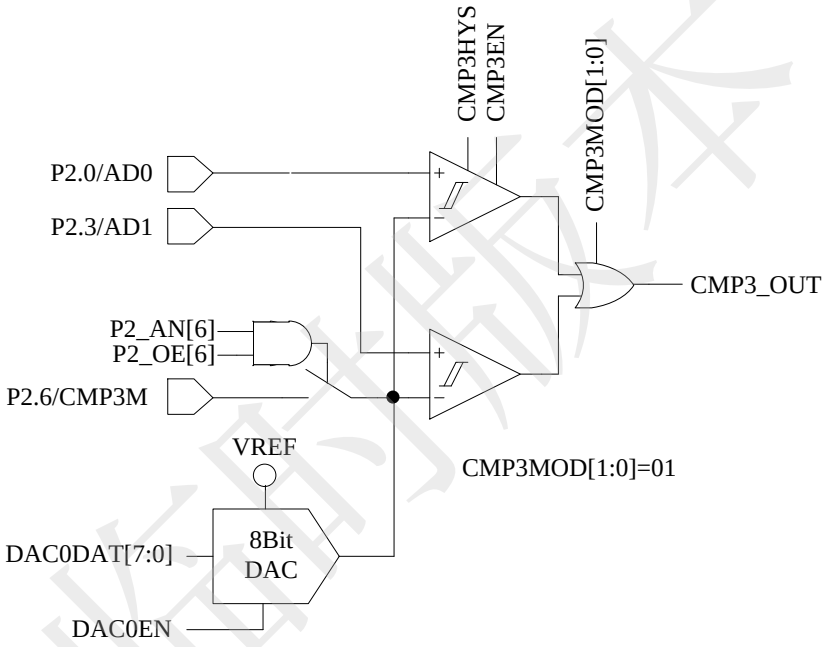


图 28-3 CMP3MOD[1:0]=01B，选择双比较器输入模式

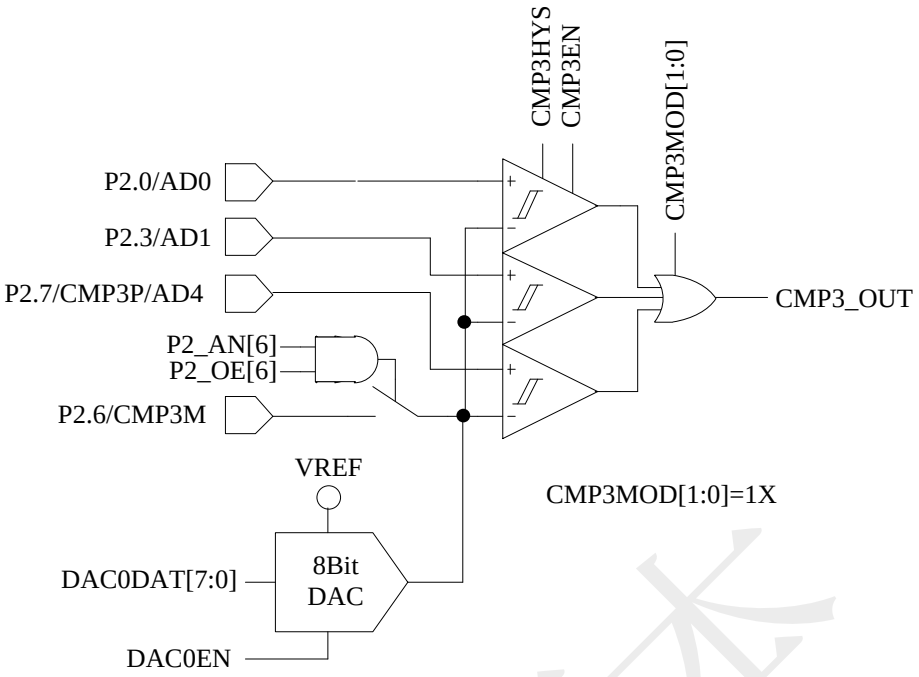


图 28-4 CMP3MOD[1:0]=1XB，选择三比较器输入模式

28.1.1.1 母线电流保护

母线电流保护是当母线电流保护信号发生时，自动将 DRV_OUT[MOE]清零，输出空闲电压，停止电机的驱动，以达到保护芯片和电机的目的。配置 EVT_FILT[MOEMD]=01，产生保护事件自动关闭输出，同时上报保护中断。配置 EVT_FILT[MOEMD]=00，产生保护事件不会自动关闭输出，但是会上报保护中断。

母线电流保护事件可以配置 EVT_FILT[EFSRC]选择由比较器 CMP3 产生，或者通过外部中断 INT0 产生。当芯片外接 IPM 模块控制电机，IPM 的 FALUT 信号接 INT0 入口，配置 EVT_FILT[EFSRC]=1，通过外部中断 INT0 产生母线电流保护信号，此时保护中断为外部中断 INT0。配置 EVT_FILT[EFSRC]=0，母线电流保护信号由比较器 CMP3 产生，通过比较母线上采样电压的电压值，产生保护信号，此时保护中断为比较 CMP3 的中断。

母线电流保护事件的输入信号可以配置 EVT_FILT[EFDIV] != 0 使能滤波功能，通过 EVT_FILT[EFDIV]=01/10/11 选择滤波宽度 4/8/16 个时钟周期。使能滤波功能，滤波后的信号会比滤波前的信号大概延迟 4～5/8～9/16～17 时钟周期。

当 CMP3 用于母线电流保护时，可以配合内部模块直接控制关闭电机输出，达到保护作用。

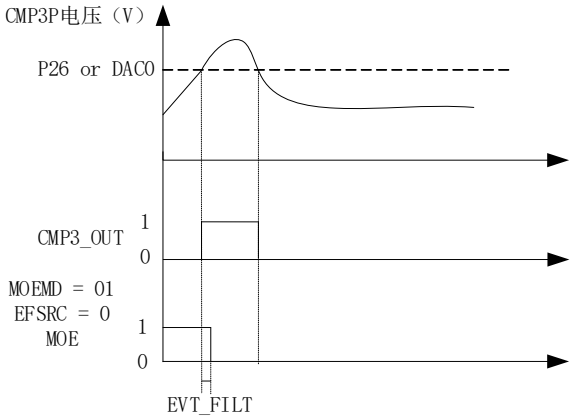


图 28-5 母线过流保护关闭 MOE 示意图

配置 CMP3IM 为上升沿产生中断，配置 EVT_FILT[MOEMD]=01，产生保护事件自动关闭输出，同时上报保护中断，配置 EVT_FILT[EFSRC]=0，母线电流保护信号由比较器 CMP3 产生，通过比较母线上采样电压的电压值，产生保护信号。配置 EVT_FILT[EFDIV]=01/10/11 选择滤波宽度 4/8/16 个时钟周期，选择滤波后的信号会比滤波前的信号大概延迟 4～5/8～9/16～17 时钟周期。如图图 28-5 所示，当比较器正输入端电压高于负输入端电压时，CMP3_OUT1 被置 1，产生 CMP3 比较中断，经过 EFDIV 滤波后硬件自动关闭 MOE（MOE 被清零），6 路输出都关断，从而起到保护作用。

28.1.1.2 逐波限流

逐波限流主要应用于 BLDC 的方波控制，配置 EVT_FILT[MOEMD]=10，产生保护事件自动关闭输出，在 DRV 计数器的上溢事件自动使能 MOE；配置 EVT_FILT[MOEMD]=11，产生保护事件自动关闭输出，在 DRV 计数器的上溢、下溢事件或每隔 5us 自动使能 MOE。

逐波限流需配置 CMP_CR0[CMP3IM]，同时会产生 CMP3 的中断，如果不需要中断，可以将 CMP3 的中断的优先级设置为最低，同时写一个空的 CMP3 中断处理函数。

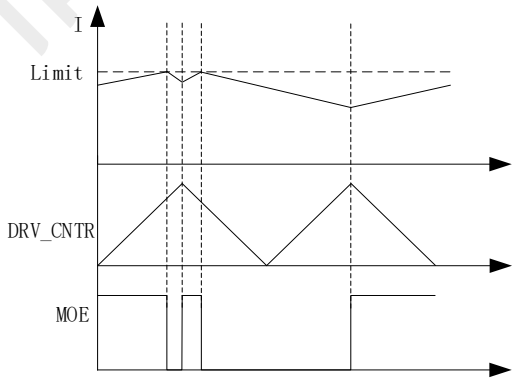


图 28-6 MOEMD=10 模式的逐波限流

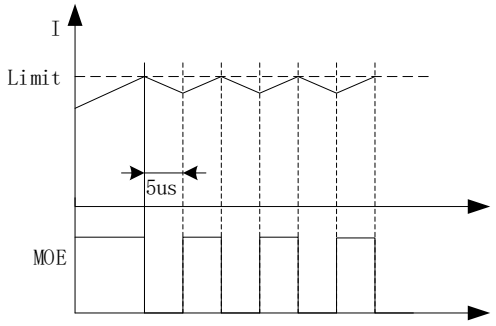


图 28-7 MOEMD=11 模式的逐波限流

28.1.2 比较器 CMP4

比较器 CMP4 为一迟滞比较器，参考图 28-8，通过外部中断 0 判断是否触发 CMP4 的翻转或者配置 CMPSEL 选择比较器输出信号。使能 CMP4 时，CMP3MOD[1:0]不能为 01B。CMP4 一般不单独使用，配合 CMP3 做 BLDC 方波控制时逐波限流用。

如需使能 CMP4，配置 CMP4 的用法如下：

1. P2_AN[3]=1、P2_AN[7]=1，配置 P2.3/CMP4P 和 P2.7/CMP4M 引脚为模拟形式
2. CMP_CR2[CMP4EN]=1，使能 CMP4
3. 配置 LVSR[EXT0CFG]为 CMP4 触发外部中断 INT0
4. 清除外部中断 INT0 标志，设置 INT0 的触发沿，使能外部中断 INT0
5. 当比较器输出由 1 到 0 翻转时触发外部中断 INT0

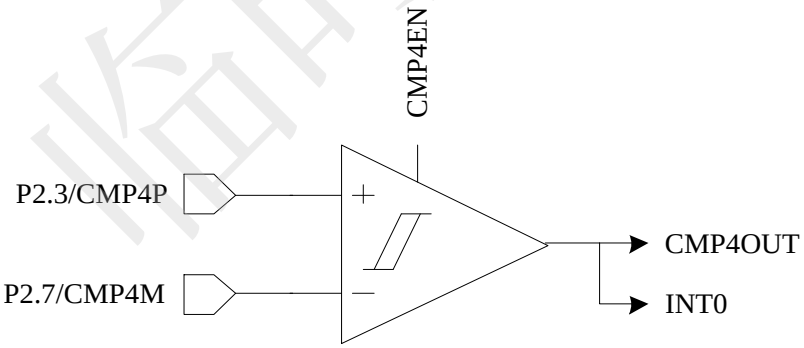


图 28-8 CMP4 模块示意图

28.1.3 比较器 CMP0

比较器 CMP0 有多种比较模式，其会根据配置自动使能 CMP0、CMP1、CMP2，可用于实时检测电机转子的位置和转速。

比较器 CMP0 的 3 路输出信号 CMP0OUT～CMP2OUT 先经过 TIM1 的滤波和采样模块模块，因此使用 CMP0 前需确保 TIM1_CR3[T1TIS]=01B，CMP_SR 关于 CMP0 的结果才是基于 CMP0

产生，否则 CMP_SR 关于 CMP0 的结果是基于 HALL 信号产生。

CMP0MOD[1:0]=00B，选择无内置电阻 3 比较器模式。参考图 28-9，可用于片外虚拟中心点电阻情况下的电机 BEMF 检测，负输入端固定接 P1.5/CMP0M，正输入端为 P1.4/CMP0P、P1.6/CMP1P、P2.1/CMP2P，与之对应的输出分别送至 CMP0OUT、CMP1OUT、CMP2OUT。

无内置电阻 3 比较器模式寄存器配置：

1. TIM1_CR3[T1TIS]=01B，选择比较器作为输入
2. CMP0MOD[1:0]=00B，选择无内置电阻 3 比较器模式
3. P1_AN[6:4]=111B，P2_AN[1]=1 配置相关端口为模拟形式
4. P1_PU[5:4]=00B，复位值即为 00B，如无修改可忽略此步
5. 配置 CMP0HYS[2:0]，设置需要的迟滞电压，复位值为 000B
6. CMP0EN=1，使能比较器
7. 程序根据需要配置 CMP0SEL[1:0]，选择一路或多路输入，参考表 28-3 之 CMP0SEL 描述
8. 比较器输出分别送至寄存器 CMP2OUT～CMP0OUT，即 CMP_SR[2:0]

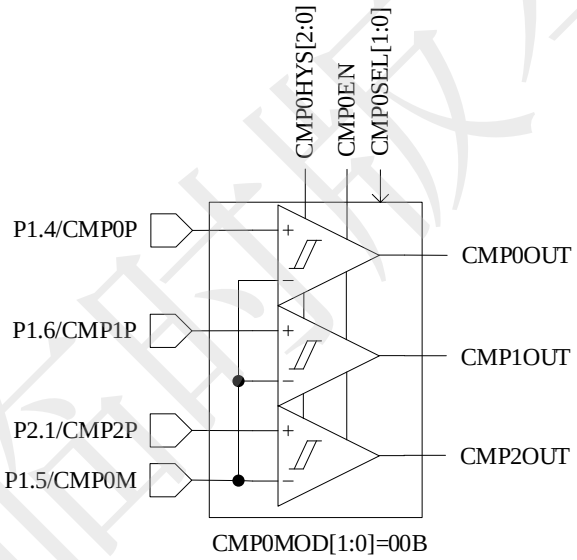


图 28-9 CMP0MOD[1:0]=00B，选择无内置电阻 3 比较器模式，可用于片外虚拟中心点电阻情况下的电机 BEMF 检测

CMP0MOD[1:0]=01B，选择有内置电阻 3 比较器模式，参考图 28-10，可用于有内置虚拟中心点电阻的电机 BEMF 检测，负输入端接片内接内置电阻中心点，正输入端为 P1.4/CMP0P、P1.6/CMP1P、P2.1/CMP2P，与之对应的输出分别送至 CMP0OUT、CMP1OUT、CMP2OUT。

内置电阻 3 比较器模式寄存器配置：

1. TIM1_CR3[T1TIS]=01B，选择比较器作为输入
2. CMP0MOD[1:0]=01B，选择有内置电阻 3 比较器模式
3. P1_AN[6]=1, P1_AN[4]=1，P2_AN[1]=1 配置相关端口为模拟形式
4. P1_PU[4]=0，复位值即为 0，如无修改可忽略此步

5. 配置 CMP0HYS[2:0]，设置需要的迟滞电压，复位值为 000B
6. CMP0EN=1，使能比较器
7. 程序根据需要配置 CMP0SEL[1:0]，选择一路或多路输入，参考表 28-3 之 CMP0SEL 描述
8. 比较器输出分别送至寄存器 CMP2OUT～CMP0OUT，即 CMP_SR[2:0]

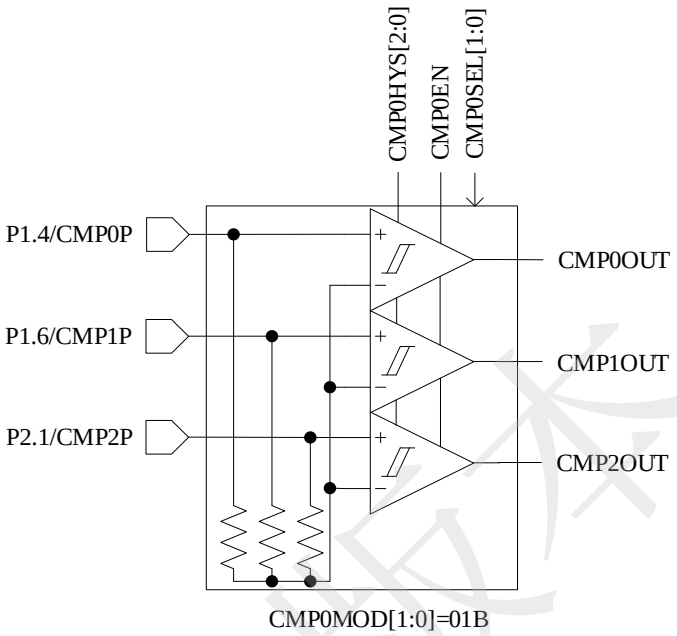


图 28-10 CMP0MOD[1:0]=01B，选择有内置电阻 3 比较器模式
可用于有内置虚拟中心点电阻的电机 BEMF 检测

CMP0MOD[1:0]=10B，选择 3 差分比较器模式，参考图 28-11，可用于差分 HALL 输入时检测电机转子位置。负输入端为 P1.5/CMP0M、P1.7/CMP1M、P2.1/CMP2M，与之对应的正输入端分别为 P1.4/CMP0P、P1.6/CMP1P、P2.1/CMP2P，与之对应的输出分别送至 CMP0OUT、CMP1OUT、CMP2OUT。

3 差分比较器模式寄存器配置：

1. TIM1_CR3[T1TIS]=01B，选择比较器作为输入
2. CMP0MOD[1:0]=10B，选择 3 差分比较器模式
3. P1_AN[7:4]=1111B, P2_AN[2:1]=11B 配置相关端口为模拟形式
4. P1_PU[4]=0，复位值即为 0，如无修改可忽略此步
5. 配置 CMP0HYS[2:0]，设置需要的迟滞电压，复位值为 000B
6. CMP0EN=1，使能比较器
7. 程序根据需要配置 CMP0SEL[1:0]，选择一路或多路输入，参考表 28-3 之 CMP0SEL 描述
8. 比较器输出分别送至寄存器 CMP2OUT～CMP0OUT，即 CMP_SR[2:0]

临时版本

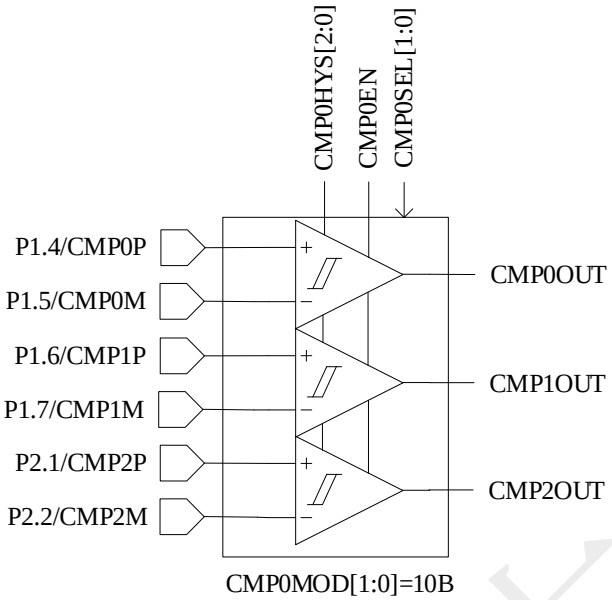


图 28-11 CMP0MOD[1:0]=10B，选择 3 差分比较器模式
可用于差分 HALL 输入时检测电机转子位置

CMP0MOD[1:0]=11B，选择双比较器模式，参考图 28-12，负输入端接 P1.5/CMP0M，正输入端为 P1.4/CMP0P、P1.3/CMP1PS，与之对应的输出分别送至 CMP0OUT、CMP1OUT。

双比较器模式寄存器配置：

1. TIM1_CR3[T1TIS]=01B，选择比较器作为输入
2. CMP0MOD[1:0]=11B，选择双比较器模式
3. P1_AN[5:3]=111B, P1_OE[3]=0B 配置相关端口为模拟形式
4. P1[5:3]的上拉电阻可根据需要选择开启 P1_PU[5:3]=111B 或者关闭 P1_PU[5:3]=000B，复位值为 0，如无修改可忽略此步。双比较器模式下，P1[5:3]的上拉只用于特殊场合应用，一般情况下选择关闭
5. 配置 CMP0HYS[2:0]，设置需要的迟滞电压，复位值为 000B
6. CMP0EN=1，使能比较器
7. 程序根据需要配置 CMP0SEL[1:0]，选择一路或多路输入，参考表 28-3 之 CMP0SEL 描述
8. 比较器输出分别送至寄存器 CMP1OUT、CMP0OUT，即 CMP_SR[1:0]

临时版本

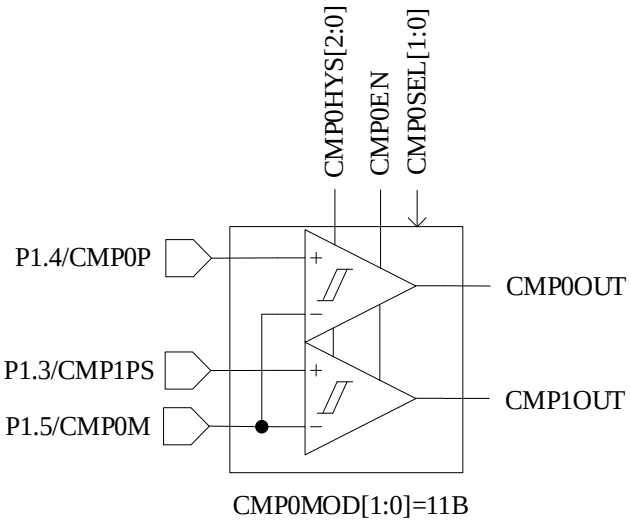


图 28-12 双比较器模式

比较器 0 迟滞电压可通过寄存器设置，可根据实际需求配置合理的正负迟滞电压。

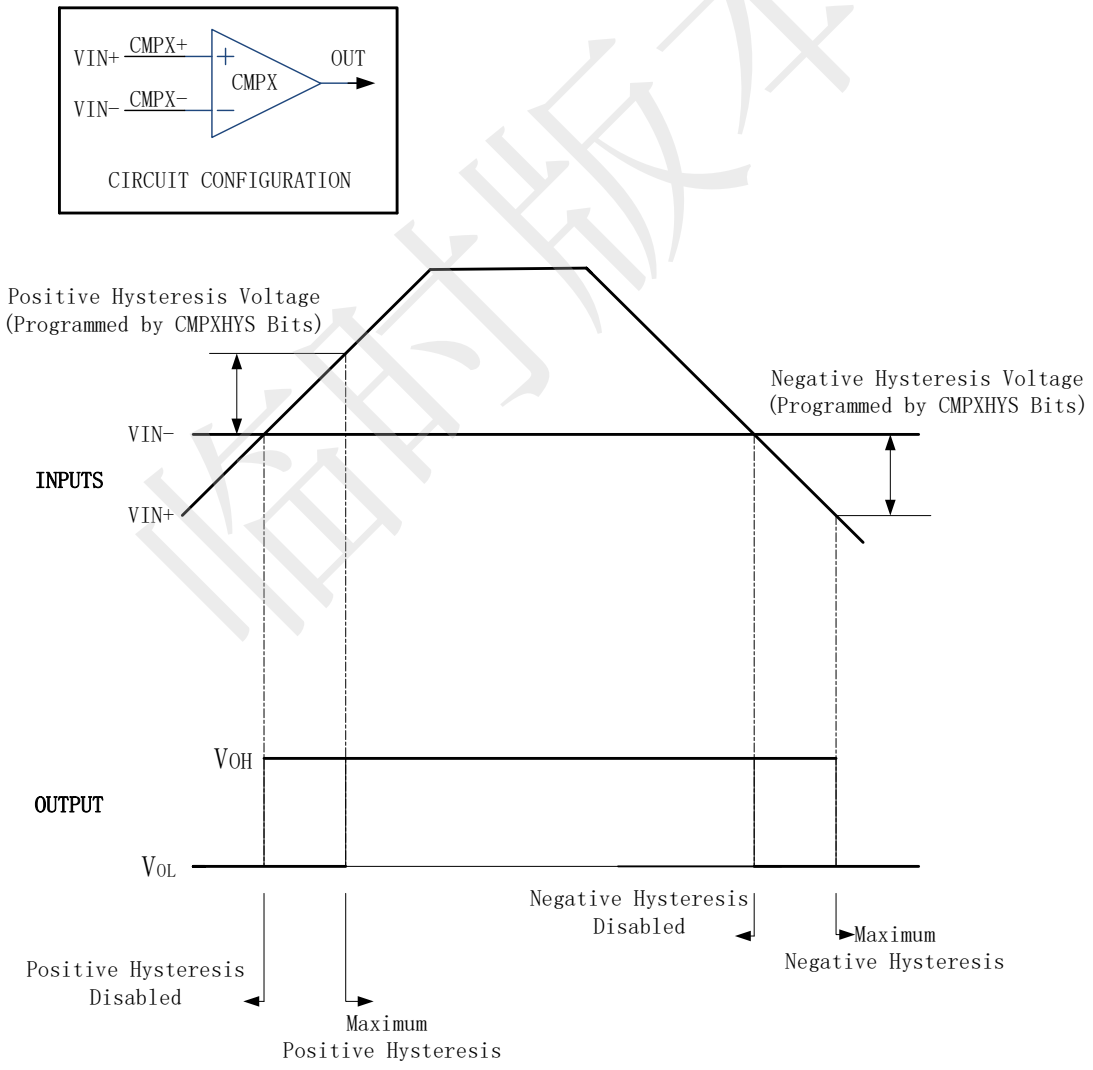


图 28-13 比较器 0 迟滞输入输出图

28.1.4 比较器采样

比较器采样功能主要用于 BLDC 驱动和 RSD 功能，作用是消除来自于驱动电路的开关干扰。应用于 BLDC 驱动请参考采样，应用于 RSD 请参考 RSD 的比较器采样。

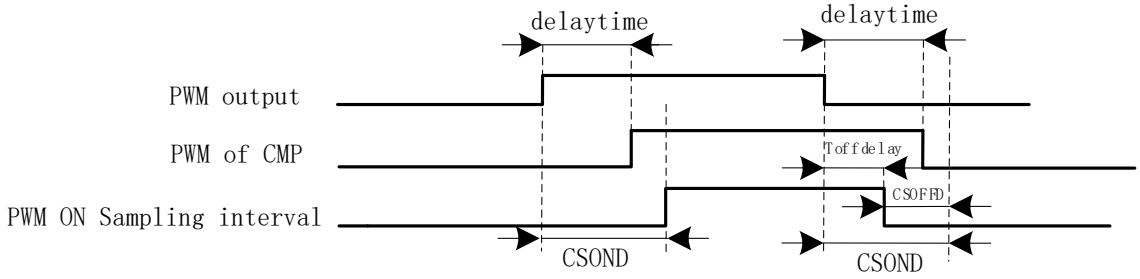


图 28-14 PWM ON 采样模式

PWM 输出(PWM out)反映到比较器的干扰相对于 PWM 的跳变沿存在延迟，主要受以下因素影响：驱动电阻的大小，mos 的开关速度，比较的输入延迟和迟滞设置，图中的 delaytime 为 IC 输出电平到比较器检测到电平的延迟时间。在进行高电平采样时采样区间应被比较器上实际读到的高电平所包络，首先设置延迟时间 CSOND 以越过延迟以及 MOS 管开关的震荡。同时，若不设置 CSOFFD 的值，采样区间的结束时刻为芯片输出 PWM 波下降沿后延迟 CSOND，此时实际采样窗口已经跃出比较器上高电平(PWM of CMP)所对应的时间,故设置 CSOFFD 的值使得实际采样窗口在 PWM out 波下降沿延迟 Toffdelay(Toffdelay=CSOND- CSOFFD)后关闭。

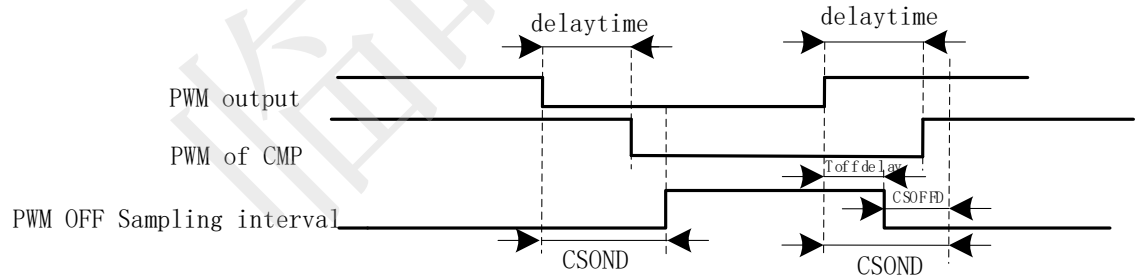


图 28-15 PWM OFF 采样模式

同理，在进行低电平采样时采样区间应该被比较器上实际读到的低电平所包络，首先设置延迟时间 CSOND 以越过延迟以及 MOS 管开关的震荡。同时，若不设置 CSOFFD 的值，采样区间的结束时刻为芯片输出 PWM 波上升沿后延迟 CSOND，此时实际采样窗口已经跃出比较器上低电平(PWM of CMP)所对应的时间，故设置 CSOFFD 的值使得实际采样窗口在 PWM out 波上升沿延迟 Toffdelay(Toffdelay=CSOND- CSOFFD)后关闭。

测量 PWM 输出到比较器的延迟方法：设置 CMP_CR3 寄存器的 SAMSEL=00 禁止比较器采样功能，设置 CMP_CR3 寄存器的 CMPSEL 输出对应比较器的比较值，使能 PWM 输出和比较器，

手动转到电机使比较器值翻转，测量 PWM 输出和比较器的输出之间延迟。

28.1.5 比较器输出

四个比较器的输出接到多路选择器中，同时由 CMP_CR2 寄存器的 CMPSEL 选择其中一个比较器信号输出到特定的引脚上。

28.2 比较器寄存器

28.2.1 CMP_CR0（0xD5）

表 28-1CMP_CR0（0xD5）

位	7	6	5	4	3	2	1	0
名称	CMP3IM		CMP2IM		CMP1IM		CMP0IM	
类型	R/W		R/W		R/W		R/W	
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	CMP3IM	比较器CMP3中断模式 参考 CMP0IM 描述
[5:4]	CMP2IM	比较器CMP2中断模式 参考 CMP0IM 描述
[3:2]	CMP1IM	比较器CMP1中断模式 参考 CMP0IM 描述
[1:0]	CMP0IM	比较器CMP0中断模式 00：不产生中断 01：上升沿产生中断 10：下降沿产生中断 11：上升/下降沿均产生中断

28.2.2 CMP_CR1（0xD6）

表 28-2CMP_CR1（0xD6）

位	7	6	5	4	3	2	1	0
名称	HALLSEL	CMP3MOD		CMP3EN	CMP3HYS	CMP0HYS		
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	HALLSEL	HALL 信号输入选择 0：P0.2/P3.7/P3.6 1：P1.4/P1.6/P2.1
[6:5]	CMP3MOD	比较器 3 的正输入端选择，参考图 28-1，负输入端接 P2.6 或 DAC

		输出。 00：单正输入端模式，P2.7 接正输入端，参考图 28-2 01：双比较器模式，P2.0 和 P2.3 接正输入端，参考图 28-3 1X：3比较器模式，P2.0、P2.3和P2.7接正输入端，参考图 28-4
[4]	CMP3EN	比较器 3 使能端 0：不使能 1：使能
[3]	CMP3HYS	比较器 3 的迟滞配置 0：无迟滞 1：有迟滞
[2:0]	CMP0HYS	CMP0迟滞电压选择 000：无迟滞 001：±2.5mV 010：-5mV 011：+5mV 100：±5mV 101：-10mV 110：+10mV 111：±10mV

28.2.3 CMP_CR2（0xDA）

表 28-3 CMP_CR2（0xDA）

位	7	6	5	4	3	2	1	0
名称	CMP4EN	CMP0MOD		CMP0SEL		RSV		CMP0EN
类型	R/W	R/W	R/W	R/W	R/W	R/W		R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	CMP4EN	使能比较器CMP4 0：不使能 1：使能
[6:5]	CMP0MOD	比较器 CMP0/1/2 的模式设置 00：无内置电阻 3 比较器模式，参考图 28-9 01：有内置电阻 3 比较器模式，参考图 28-10 10：3 差分比较器模式，参考图 28-11 11：双比较器模式, CMP0、CMP1 工作，CMP2 不工作，参考图 28-12
[4:3]	CMP0SEL	比较器 0 的端口组合选择，与 CMP0MOD 组合使用，客户一般配置 CMP0SEL=00。在 BLDC 应用下，TIM1 会自动控制 CMP0SEL，请参考输出使能与极性 CMP0MOD | CMP0SEL | 功能描述

			00	00	比较器 CMP0/1/2 同时工作，3 个比较器的输入端均接 CMP0M，硬件自动将正输入端 CMP0P、CMP1P、CMP2P 分别与公共负输入端 CMP0M 比较，其输出结果分别送至 CMP0OUT、CMP1OUT、CMP2OUT
				01	比较器 CMP0 工作，CMP1/2 闲置，正端接 CMP0P，负端接 CMP0M，输出接 CMP0OUT
				10	比较器 CMP1 工作，CMP0/2 闲置，正端接 CMP1P，负端接 CMP0M，输出接 CMP1OUT
				11	比较器 CMP2 工作，CMP0/1 闲置，正端接 CMP2P，负端接 CMP0M，输出接 CMP2OUT
			01	00	比较器 CMP0/1/2 同时工作，3 个比较器的输入端均接内置 BEMF 电阻的中心点，硬件自动将正输入端 CMP0P、CMP1P、CMP2P 分别与公共负输入端 CMP0M 比较，其输出结果分别送至 CMP0OUT、CMP1OUT、CMP2OUT
				01	比较器 0 选择 CMP0 对应的端口组合，正端接 CMP0P，负端接内置 BEMF 电阻的中心点，输出接 CMP0OUT
				10	比较器 0 选择 CMP1 对应的端口组合，正端接 CMP1P，负端接内置 BEMF 电阻的中心点，输出接 CMP1OUT
				11	比较器 0 选择 CMP2 对应的端口组合，正端接 CMP2P，负端接内置 BEMF 电阻的中心点，输出接 CMP2OUT
			10	00	比较器 CMP0/1/2 同时工作，3 个比较器的正输入端分别接 CMP0P、CMP1P、CMP2P，与之对应的负输入端分别接 CMP0M、CMP1M、CMP2M，其输出结果分别送至 CMP0OUT、CMP1OUT、CMP2OUT
				01	比较器 0 选择 CMP0 对应的端口组合，正输入端接 CMP0P，负输入端接 CMP0M，输出接 CMP0OUT
				10	比较器 0 选择 CMP1 对应的端口组合，正输入端接 CMP1P，负输入端接 CMP1M，输出接 CMP1OUT
				11	比较器 0 选择 CMP2 对应的端口组合，正输入端接 CMP2P，负输入端接 CMP2M，输出接 CMP2OUT
			11	00	比较器 CMP0/1 同时工作，正输入端分别接 CMP0P、CMP1PS，负输入端固定接 CMP0M，其输出结果分别送至 CMP0OUT、CMP1OUT

临时版本

				01	比较器 0 选择 CMP0 对应的端口组合，即正输入端接 CMP0P，负输入端接 CMP0M，输出接 CMP0OUT
				10	比较器 0 选择 CMP1 对应的端口组合，即正输入端接 CMP1PS，负输入端接 CMP0M，输出接 CMP1OUT
				11	保留
[2:1]	RSV	保留位			
[0]	CMP0EN	使能比较CMP0 0：不使能 1：使能			

28.2.4 CMP_CR3（0xDC）

表 28-4 CMP_CR3（0xDC）

位	7	6	5	4	3	2	1	0
名称	CMPDTEN	DBGSEL		SAMSEL		CMPSEL		
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	CMPDTEN	比较器死区采样使能 0：不使能 1：使能
[6:5]	DBGSEL	DEBUG信号选择 选择一路debug信号输出到P01端口 00：不使能debug信号 01：方波屏蔽续流结束和检测到过零点信号，参考续流屏蔽与换相调试 10：ADC trigger信号 11：比较器采样区间，参考比较器调试
[4:3]	SAMSEL	使能比较器CMP0,CMP1,CMP2和ADC在pwm on/off采样功能，参考比较器采样 00：在on和off均采样，没有延迟采样开启 01：只在off采样，根据CMP_SAMR延迟采样开启 10：只在on采样，根据CMP_SAMR延迟采样开启 11：在on和off均采样，根据CMP_SAMR延迟采样开启
[2:0]	CMPSEL	比较器输出选择 选择一路比较器信号输出到端口，参考比较器调试 000：不输出 001：CMP0 010：CMP1 011：CMP2 100：CMP3 101：CMP4

		110：保留 111：ADC计算结果比较位

28.2.5 CMP_SAMR(0x40AD)

表 28-5 CMP_SAMR（0x40AD）

位	7	6	5	4	3	2	1	0
名称	CMP_SAMR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	1

字段	名称	描述
[7:4]	CSOND	比较器CMP0,CMP1,CMP2延迟开启采样时间 在pwm off->on或者pwm on->off时，MOS管的导通和关闭会干扰比较器，设置CSOND对比较器CMP0,CMP1,CMP2延迟开启采样，从而避开干扰。计算CSOND时需将驱动电路产生延迟计算在内。 假设MCU时钟为24MHz(41.67ns) 延迟时间= CSOND x 41.67 x 8ns 注：CSOND 必须>= CSOFFD 应用于BLDC驱动请参考采样，应用于RSD请参考RSD的比较器采样。
[3:0]	CSOFFD	比较器CMP0,CMP1,CMP2关闭采样时间 在pwm off->on或者pwm on->off时，MOS管的导通和关闭会干扰比较器。PWM反映到比较器的干扰，设置CSOFFD屏蔽比较器干扰阶段。 假设MCU时钟为24MHz(41.67ns) 关闭采样时间= CSOFFD x 41.67 x 8ns 注：CSOND 必须>= CSOFFD 应用于BLDC驱动请参考采样，应用于RSD请参考RSD的比较器采样。

28.2.6 CMP_SR（0xD7）

表 28-6 CMP_SR(0xD7)

位	7	6	5	4	3	2	1	0
名称	CMP3IF	CMP2IF	CMP1IF	CMP0IF	CMP3OUT	CMP2OUT	CMP1OUT	CMP0OUT
类型	R/W0	R/W0	R/W0	R/W0	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	CMP3IF	比较CMP3的中断标记 CMP3中断事件产生，该位由硬件置1。它由软件清0。 0：无事件产生 1：中断事件产生
[6]	CMP2IF	比较CMP2的中断标记 CMP2中断事件产生，该位由硬件置1。它由软件清0。必须设置TIM1_CR3[T1TIS]=01b，否则为HALL的中断标记。

		0：无事件产生 1：中断事件产生
[5]	CMP1IF	比较CMP1的中断标记 CMP1中断事件产生，该位由硬件置1。它由软件清0。必须设置TIM1_CR3[T1TIS]=01b，否则为HALL的中断标记。 0：无事件产生 1：中断事件产生
[4]	CMP0IF	比较CMP0的中断标记 CMP0中断事件产生，该位由硬件置1。它由软件清0。必须设置TIM1_CR3[T1TIS]=01b，否则为HALL的中断标记。 0：无事件产生 1：中断事件产生
[3]	CMP3OUT	比较CMP3的比较结果 0：CMP3当前的比较结果为0 1：CMP3当前的比较结果为1
[2]	CMP2OUT	比较CMP2的比较结果 必须设置TIM1_CR3[T1TIS]=01b，否则为HALL的当前电平。 0：CMP2当前的比较结果为0 1：CMP2当前的比较结果为1
[1]	CMP1OUT	比较CMP1的比较结果 必须设置TIM1_CR3[T1TIS]=01b，否则为HALL的当前电平。 0：CMP1当前的比较结果为0 1：CMP1当前的比较结果为1
[0]	CMP0OUT	比较CMP0的比较结果 必须设置TIM1_CR3[T1TIS]=01b，否则为HALL的当前电平。 0：CMP0当前的比较结果为0 1：CMP0当前的比较结果为1

28.2.7 EVT_FILT（0xD9）

表 28-7 EVT_FILT(0xD9)

位	7	6	5	4	3	2	1	0
名称	TSDEN	TSDADJ		MOEMD		EFSRC	EFDIV	
类型	R/W	R/W		R/W	R/W	R/W	R/W	
复位值	0	1	1	0	0	0	0	0

字段	名称	描述
[7]	TSDEN	Temperature sensor detect enable. 温度感应帧测使能。 0：不使能 1：使能。
[6:5]	TSDADJ	Temperature sensor detect adj。温度感应帧测调节。见表27-3
[4:3]	MOEMD	MOE信号硬件清零和使能

		发生母线电流过冲事件会使MOE硬件清零和使能 00 ： MOE不自动清零 01 ： MOE自动清零 10 ： MOE自动清零，且在DRV计数器的上溢事件自动使能MOE（主要用于方波） 11 ： MOE自动清零，且在DRV计数器的上溢、下溢事件或每隔5us自动使能MOE（主要用于方波）
[2]	EFSRC	母线电流保护事件的滤波模块输入来源 0：比较器CMP3，保护中断为CMP3中断 1：外部中断INT0，保护中断为外部中断INT0
[1:0]	EFDIV	母线电流保护事件滤波宽度： 00 ：不滤波 01 ：4 系统时钟周期 10 ：8 系统时钟周期 11 ：16 系统时钟周期

临时版本

29 电源模块

29.1 LDO

29.1.1 LDO 模块的操作说明

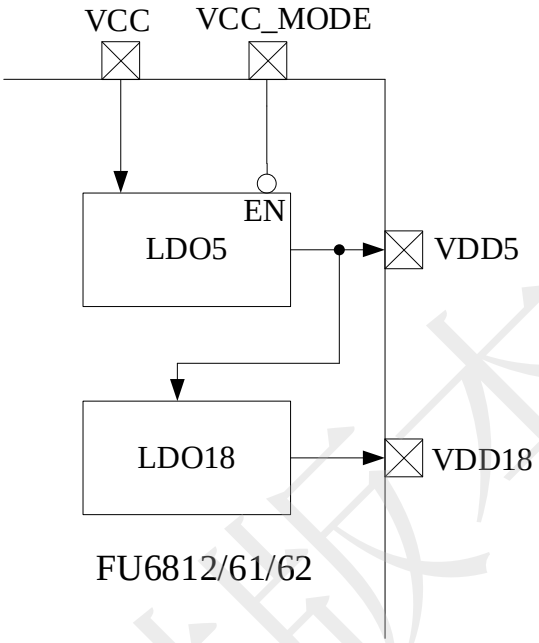


图 29-1 电源模块功能框图

LDO 模块对应的端口情况如图 29-1 所示。LDO 的作用是输入电源降压至 5V VDD5 和 1.8V VDD18，分别给芯片内部模拟和数字模块供电，其中 VDD5 可选择是内部 LDO5 产生或者外部供给，由 VCC_MODE 决定。

FU6812x2:

单电源高压模式(VCC_MODE=0). VCC= 5～24V。参考图 29-2

双电源模式(VCC_MODE=1), VCC≥VDD5. VCC= 5～36V， VDD5=5V。参考图 29-3。

单电源低压模式(VCC_MODE=1). VCC=VDD5= 3～5.5V。参考图 29-4。

FU6862L/Q:

单电源高压模式(VCC_MODE=0). VCC= 12～20V。参考图 29-2

FU6861Q2:

模式 1：VCC_MODE=0, VCC= 5～24V，VDRV=7～18V

模式 2：VCC_MODE=1, VCC=VDD5=3～5.5V，VDRV=7～18V

FU6861N2/FU6861NF2:

模式 1：VCC= 5～24V，VDRV=7～18V

注意：VCC_MODE=1 的电压为 VDD5

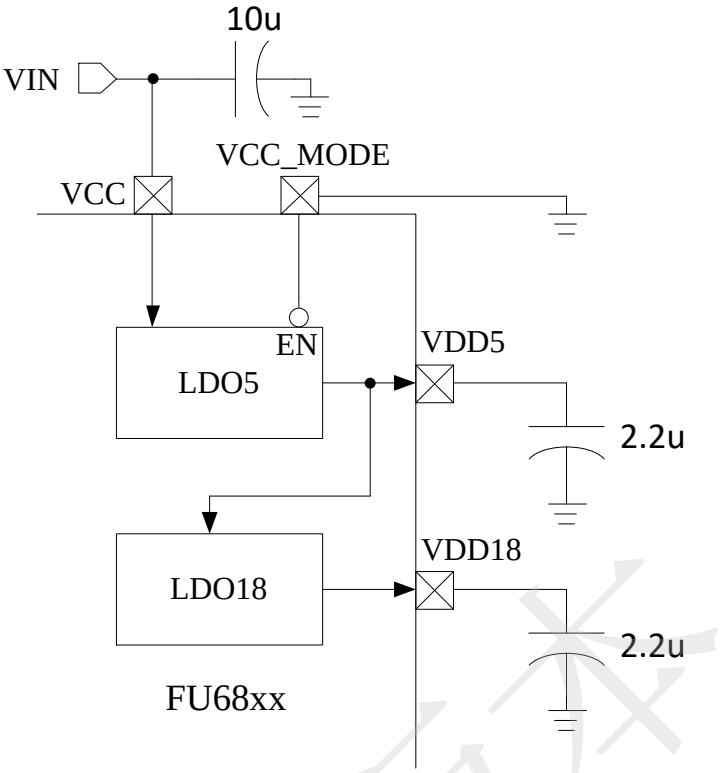


图 29-2 单电源高压模式电源连接

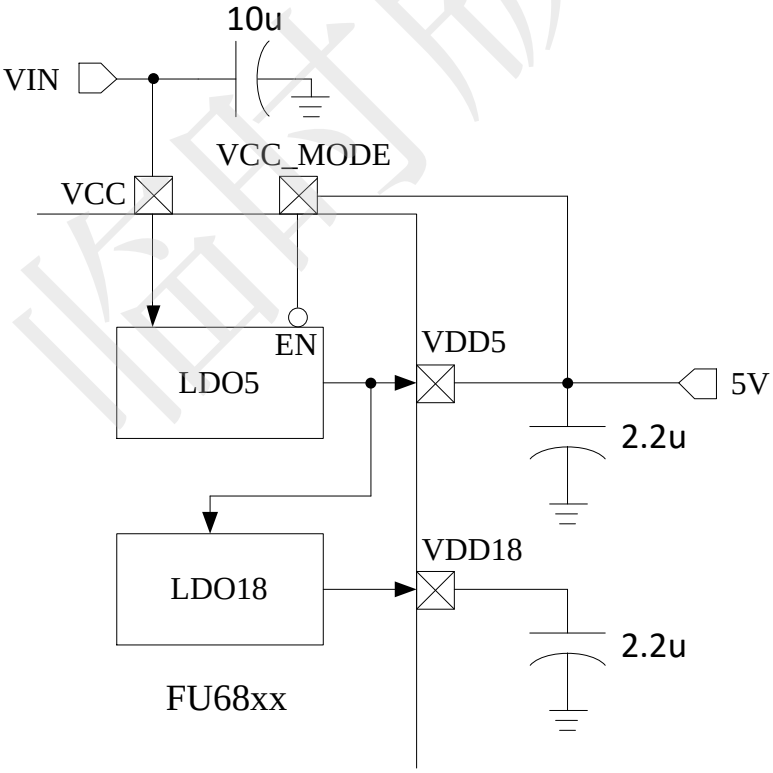


图 29-3 双电源模式电源连接

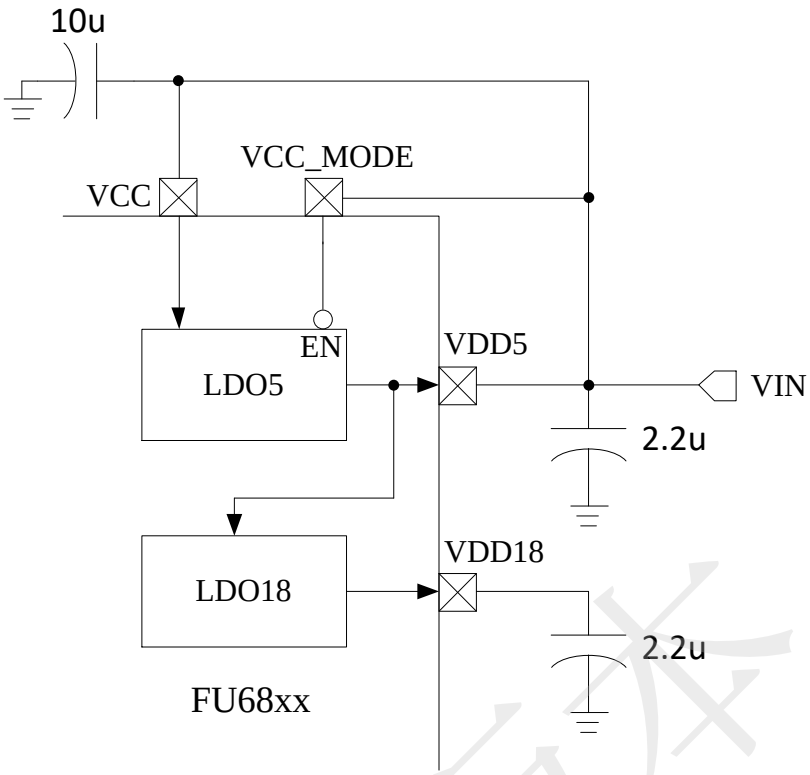


图 29-4 单电源低压模式电源连接

29.2 低压检测

29.2.1 低压检测模块操作说明

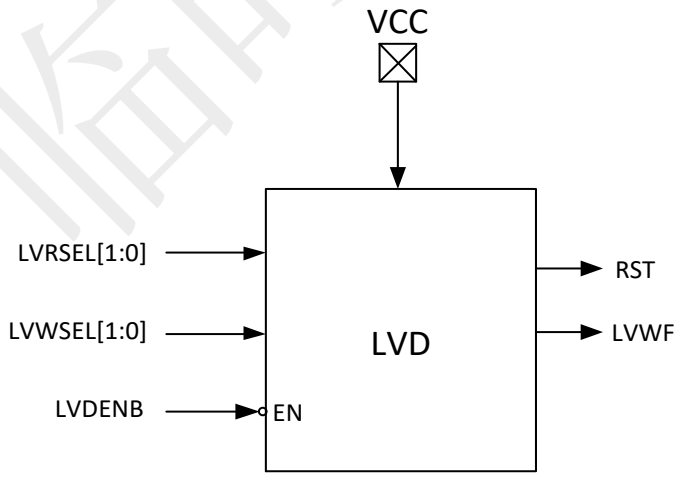


图 29-5 低电压检测模块

要使能低电压检测模块，需配置寄存器如下：LVDENB=0。

临时版本

29.2.2 CCFG2:RST_MOD（0x401D）

表 29-1 低压检测模块相关寄存器 1

位	7	6	5	4	3	2	1	0
名称	LVRSEL		WDTBTEN	WDTRSTEN	RSV		LVWSEL	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7:6	LVRSEL	低电压复位电压选择端。低电压复位检测的是 VDD5 的电压值。 00：对应的 VDD5 复位电压为 2.8V； 01：对应的 VDD5 复位电压为 3.0V； 10：对应的 VDD5 复位电压为 3.5V； 11：对应的 VDD5 复位电压为 3.8V。
5:2		请参考表 34-2。
1:0	LVWSEL	低电压预警电压选择端。低电压预警检测的是 VCC 的电压值。 00：对应的 VCC 预警电压为 7V； 01：对应的 VCC 预警电压为 8V； 10：对应的 VCC 预警电压为 9V； 11：对应的 VCC 预警电压为 10V。

29.2.3 CCFG1:CK_RST_CFG（0x401E）

表 29-2 低压检测模块相关寄存器 2

位	7	6	5	4	3	2	1	0
名称	LVWENB	LVWIE	WDTEN	RSV		FCK_SEL		RSV
类型	R/W	R/W	R/W	R		R/W		R
复位值	0	0	0	0		0		0

字段	名称	描述
7	LVWENB	低电压预警使能 0：使能 1：关闭
6	LVWIE	VCC 低电压告警中断使能，由 LVWSEL 设定 VCC 预警电压阈值。 0：关闭 1：使能，若需要低电压告警中断使能，还必须使能低电压复位检测电路（即置 LVDENB=0）。
5:0		请参考表 34-1。

29.2.4 LVSR(0xDB)

表 29-3 LVSR(0xDB)

位	7	6	5	4	3	2	1	0
名称	RSV		EXT0CFG			TSDF	LVWF	LVWIF
类型	R	R	R/W	R/W	R/W	R	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留位。
[5:3]	EXT0CFG	P0 接口外部中断 0 配置 000：配置 P0.0 为外部中断 0 接口 001：配置 P0.1 为外部中断 0 接口 010：配置 P0.2 为外部中断 0 接口 011：配置 P0.3 为外部中断 0 接口 100：配置 P0.4 为外部中断 0 接口 101：配置 P0.5 为外部中断 0 接口 110：配置 P0.6 为外部中断 0 接口 111：配置比较器 CMP4 输出端为外部中断 0 接口
[2]	TSDF	过温状态位 0：当前温度未处于超过设定温度的状态。 1：当前温度处于超过设定温度的状态。 此标志位常与温度保护中断标志位(TSDIF，即 TCON[5])配合使用，此位反应的是动态过温状态。
[1]	LVWF	VCC 低电标记 低电标记反映当前是否处于低电状态 0：当前没有报警 1：当前低电检测报警
[0]	LVWIF	VCC 低电中断标记 该位反映是否曾经发生低电事件，当低电检测中断使能，产生低电检测中断后，该位置一，同时进入中断。该位硬件置一，软件写零清零。低电检测中断不使能，该位不会硬件置一。 0：无事件发生 1：发生低点检测报警

修改版本

30 FLASH

30.1 主要特性

- 总计 16kB Flash ROM；
- 每个扇区 128Bytes，总计 128 个扇区；
- 前 127 个扇区支持扇区自擦除/写入操作，支持在线编程和在应用编程；
- Flash 支持扇区擦除（第 128 扇区除外）；

30.2 FLA_CR：编程控制寄存器

表 30-1 FLA_CR（0x85）

位	7	6	5	4	3	2	1	0
名称	RSV			FLAERR	FLAACT	RSV	FLAERS	FLAWEN
类型	R	R	R	R/W	R/W	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7:5	RSV	保留
4	FLAERR	编程出错标志，可读 0：对 FLASH 自写时，编程或擦除操作成功。 1：对 FLASH 自写时，编程或擦除操作失败。
3	FLAACT	FLASH 擦除/写入操作激发位 写 0 无效 写 1 表示开始 Flash 操作，如编程、擦除
2	RSV	保留
1	FLAERS	扇区擦除使能 0：禁止 1：使能 注意：只有在 FLAWEN 为 1 时，FLAERS 才起作用
0	FLAWEN	编程使能 0：禁止 1：使能 注意：只有在 FLAWEN 为 1 时，FLAERS 才起作用

30.3 FLA_KEY：FLASH 编程开锁寄存器

表 30-2 FLA_KEY（0x84）

位	7	6	5	4	3	2	1	0
名称	FLA_KEY							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述

7:0	FLA_KEY	FLASH 擦除/编程开锁寄存器 顺序往 FLA_KEY 写 0x5A、0x1F 将开启“软件编程 FLASH”功能。若顺序不对或者写其他值将使此功能冻结，直到下一次系统复位。开锁后，任何一次写 FLA_CR 的动作都会使 FLA_KEY 再次上锁。
		读：最低 2 位反映的是内部状态，高 6 位返回的是 0x00： 00：上锁 01：0x5A 已经写入，等待 0x1F 写入 11：开锁 10：冻结

30.4 FLASH 自写操作说明

1、 注意：

为确保对 FLASH 操作的安全性，强烈建议在自烧录前禁止所有中断事件，以免中断处理中的 MOVX 指令对 FLASH 进行误操作。

2、 软件自擦除 FLASH 扇区操作步骤：

Step0 : Disable EA 中断总使能位。

Step1 : 往寄存器 FLA_CR 写入 0x03。

Step2: 顺序往寄存器 FLA_KEY 写入 5A、0x1F 进行 FLASH 开锁。

Step3: 用 MOVX 指令向需要擦除的 FLASH 扇区写任意值。

Step4: 将 FLA_CR.FLAACT 写 1 即进入软件擦除过程，指令执行完毕后擦除操作自动完成，并再次自动上锁。

3、 软件自写 FLASH 数据操作步骤：

Step0 : Disable EA 中断总使能位。

Step1 : 往寄存器 FLA_CR 写入 0x01。

Step2: 顺序往寄存器 FLA_KEY 写入 0x5A、0x1F 进行 FLASH 开锁。

Step3: 以 MOVX 指令将数据写入到指定 FLASH 地址中

Step4: 将 FLA_CR.FLAACT 写 1 即可执行自写 1 字节数据操作，本指令执行结束后数据即写入，并再次上锁。

注意：

1）为确保用户程序安全，在进行自写操作前，务必关闭所有中断。以防止 movx 操作误写了 rom_code。

2）以上对 flash 的三种操作，内部电路均需要较长时间完成，其中擦除一个扇区约需要 120～150ms。

3）每扇区大小为 128 字节，最后一扇区（地址范围：0x3F80～0x3FFF）任何时刻不会被擦除。任何处于非保护区域的指令在访问（包括读、写、擦除操作）保护区域时，都会使 MCU 复位。

临时版本

31 CRC（循环冗余校验计算单元）

31.1 CRC 功能框图

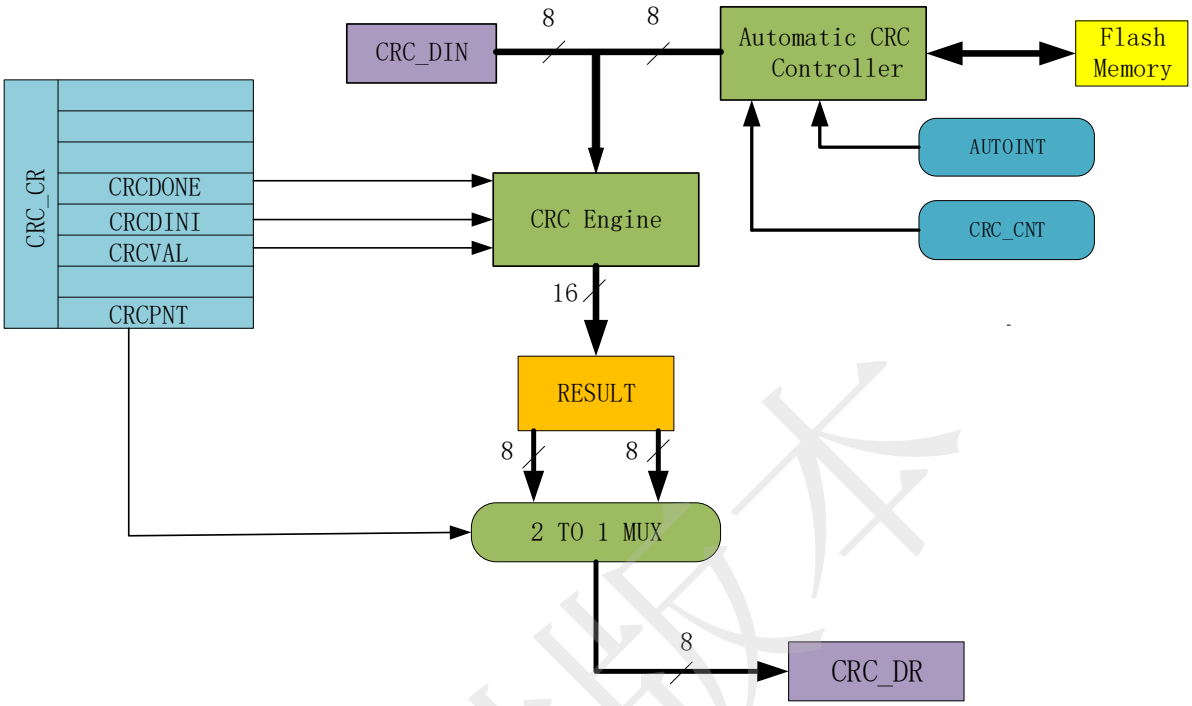


图 31-1 CRC 功能框图

CRC（循环冗余校验计算单元）是根据固定的生成多项式得到任一 8 位数据的 CRC 计算结果。如图 31-1 所示，CRC 接收 CRC_DIN 寄存器的 8 位数据，计算完成后将 16 位结果发送至内部寄存器，通过 CRCPNT 和 CRC_DR 间接访问内部结果寄存器。

表 31-1 CRC 标准与生成多项式

序号	CRC 标准	生成多项式	16 进制表示
1	CRC12	x^12+x^11+x^3+x^2+x+1	80F
2	CRC16	x^16+x^15+x^2+1	8005
3	CRC16-CCITT	x^16+x^12+x^5+1	1021
4	CRC32	x^32+x^26+x^23+x^22+x^16+x^12 +x^11+x^10+x^8+x^9+x^5+x^4+x+1	04C11DB7

31.2 CRC16 生成多项式

FU6812/61 选择基于 CRC16-CCITT 标准的生成多项式：$X^{16}+X^{12}+X^{5}+1$。

31.3 CRC16 基本逻辑图

如图 31-2 所示是串行 CRC16 电路原理图，FU6812/61 采用并行算法实现，对每个输入字节 MCU 用一个系统时钟即可计算出结果。

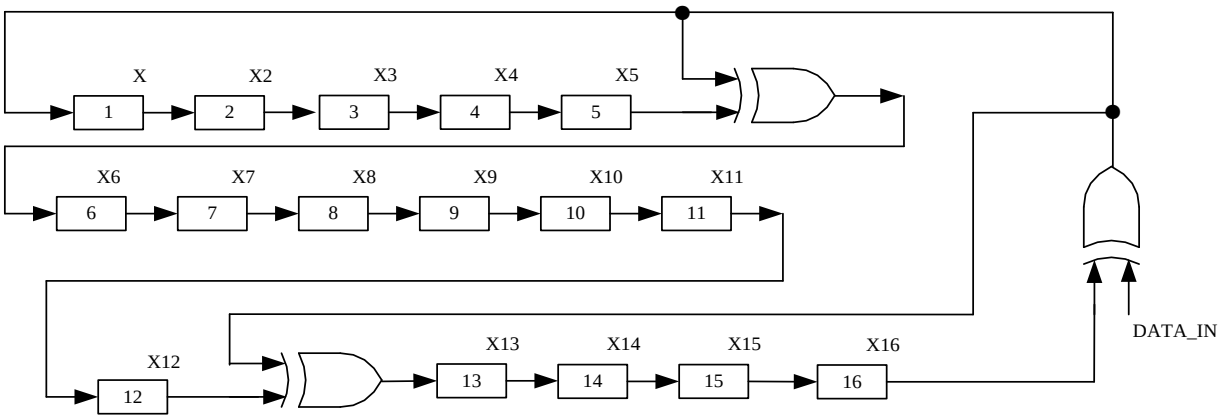


图 31-2 CRC16 电路原理图

31.4 操作说明

31.4.1 计算单个字节的 CRC

要计算单个字节的 CRC 值，请按以下步骤进行：

1、 根据需要，初始化 CRC_DR，这里有两种方式可以初始化：如果初始值为 0x0000 或 0xffff，那么可以通过配置 CRC_CR[CRCVAL]并且将 CRC_CR[CRCDINI]置 1；如果想初始值为任意值，那么可以通过 CRC_CR[CRCPNT]和 CRC_DR 配合进行 CRC 初始操作。

2、 向输入数据寄存器 CRC_DIN 写入一个数据，例如 0x63，则在下一个时钟周期内，CRC 结果将被计算出来

3、 读取 CRC 结果：写 CRC_CR[CRCPNT]位为 1，软件读取结果输出寄存器 CRC_DR，得到高字节数据；写 CRC_CR[CRCPNT]位为 0，再读 CRC_DR，得到低字节数；合并起来就是正确的 CRC 结果。

31.4.2 批量计算 ROM 数据 CRC

要计算 ROM 中某片连续区域数据的 CRC 值，请按以下步骤进行：

1、 初始化 CRC_DR，方法同单字节 CRC 初始化；

2、 向 CRC_BEG 写入适当值，设置要计算的 ROM 的起始扇区；

3、 向 CRC_CNT 写入适当值，设置起始扇区到结束扇区的扇区偏移量

4、 向 CRC_CR[AUTOINT]写 1，保持其它位不变，会启动自动计算过程。

5、 读取 CRC 结果的方法同单字节 CRC 的读取方法

临时版本

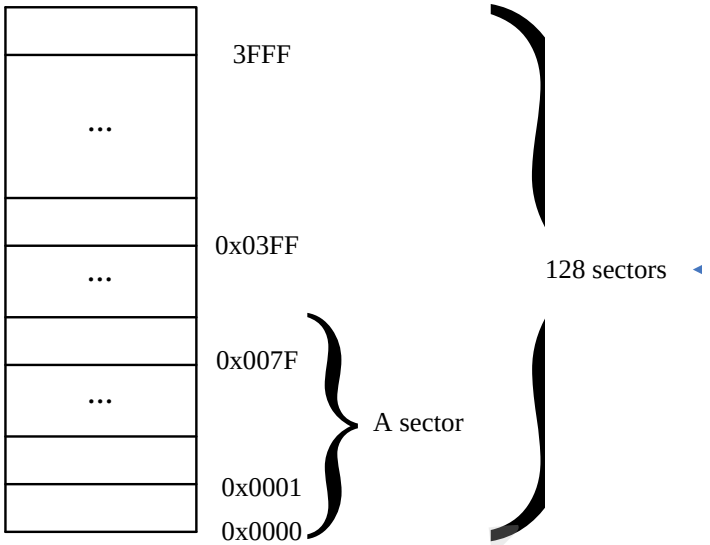


图 31-3 ROM 访问分区图

如图 31-3 所示。整个 ROM 共 16K 字节，分成 128 个 sector，编号从 sector0 到 sector127。每个 sector 包含 128 个字节。在进行 CRC 批量计算时，起始 sector 的值 CRC0BEG 可以是 0x00～0x7F 之间的任何值，包括 0x00 和 0x7F；需要计算的 sector 总数的数值 CRC0CNT 可以是 0x00～0x7F，包括 0x00 和 0x7F。

需要注意的是，随着 CRC_BEG 的值的增大，CRC_CNT 的值应该相应减小。例如，如果 CRC_BEG 的值为 0x7F，则 CRC_CNT 的值只能是 0x00，即只能计算最后一个 sector 中数据的 CRC 值。此时，如果不小心将 CRC_CNT 的值设置为 0x01 或更大的值，则 CRC 控制器硬件会自动限制计算的字节数，使 CRC 引擎只计算最后一个 sector 中数据的 CRC 值。

31.5 CRC 寄存器

31.5.1 控制寄存器：CRC_CR

表 31-2 CRC_CR（0x4022）

位	7	6	5	4	3	2	1	0
名称	RSV			CRCDONE	CRCDINI	CRCVAL	AUTOINT	CRCPNT
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	1	0	0	0	0

字段	名称	描述
[7:5]	RSV	保留
[4]	CRCDONE	自动 CRC 计算完成标志。 在自动 CRC 计算模式过程中，硬件自动将这一位写 0，并且软件代码也会停止执

		行；在其它情况下，硬件自动将这一位置为 1，所以，软件读取这一位始终返回 1。
[3]	CRCDINI	CRC 结果初始化使能 0：初始化无效 1：初始化有效； 当软件向这一位写 1 时，硬件并没有真正将 1 写入此位，而是同步产生一个时钟周期的高电平脉冲，送到 CRC 引擎，作为 CRC 结果初始化的条件。所以，不管软件向这一位写入什么值，读取时总是返回 0。
[2]	CRCVAL	CRC 结果初始化选择位。 0：将 CRC 结果初始化为 0x0000 1：将 CRC 结果初始化为 0xFFFF
[1]	AUTOINT	CRC 自动计算使能。 当向此位写 1 时，会自动对 Flash 的某片连续的块中的数据进行 CRC 计算。计算的起始块为 CRC_BEG，共计算 CRC_CNT 个块。 注：在启用自动 CRC 计算功能之前，应先将其它位配置好，再将这一位写 1。换句说话，这一位不能与其它位同时配置。
[0]	CRCPNT	CRC 结果指针。 0：读取 CRC_DR 寄存器时，访问的是 16 位 CRC 结果的低字节(7-0 位) 1：读取 CRC_DR 寄存器时，访问的是 16 位 CRC 结果的高字节(15-8 位)

注：由于 CRC 计算过程分为两大类，一类是单个字节的 CRC 计算，一类是 ROM 数据批量 CRC 自动计算。向控制寄存器 CRC_CR 的 bit[1]写入 1，会立即启动 CRC 自动计算过程。如果要计算软件写入 CRC_DIN 寄存器中的单个字节的 CRC 值，则 CRC_CR 寄存器的 bit[1]只能为 0。

31.5.2 输入数据寄存器：CRC_DIN

表 31-3 CRC_DIN（0x4021）

位	7	6	5	4	3	2	1	0
名称	CRC_DIN							
类型	W	W	W	W	W	W	W	W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	CRC_DIN	CRC 模块输入数据。 每次向此寄存器写入一个数据时，CRC 模块就自动在现有 CRC 结果的基础上，根据输入数据计算出新的 CRC 结果，并覆盖原 CRC 结果。 注：此寄存器是一个虚拟寄存器，写入的数据并不保存。读取此地址时返回 0x00。

31.5.3 结果输出寄存器：CRC_DR

表 31-4 CRC_DR（0x4023）

位	7	6	5	4	3	2	1	0
名称	CRC_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	CRC_DR	CRC 结果输出。 每次读、写此寄存器时，会根据控制寄存器 CRC_CR 中的结果指针 CRC_PNT 来决定访问的是 CRC 结果的高字节还是低字节。

注：由于此寄存器的值除了直接由软件决定以外，还可由其它信号导致发生变化，所以直接放在 CRC 模块内部，而不放在寄存器专用模块里。

31.5.4 自动计算起点寄存器：CRC_BEG

表 31-5 CRC_BEG（0x4024）

位	7	6	5	4	3	2	1	0
名称	RSV	CRC_BEG						
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	RSV	保留位
[6:0]	CRC_BEG	自动计算 CRC 的 ROM 起始 sector。 例如：如果 CRC_BEG[7:0]的值是 1，每个 Sector size 是 128 个字节，则自动 CRC 计算的起始地址是：1×128=128，实际上是从第二个 sector 的第一个字节开始。

31.5.5 自动计算块数寄存器：CRC_CNT

表 31-6 CRC_CNT（0x4025）

位	7	6	5	4	3	2	1	0
名称	RSV	CRC_CNT						
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7	RSV	保留位。
[6:0]	CRC_CNT	自动 CRC 计算的扇区偏移。 此值定义了需要计算 CRC 值的 ROM 扇区的偏移，通过此值可决定自动 CRC 计算的结束扇区。

临时版本

32 休眠模式

32.1 功耗模式

有三种功耗模式，分别是正常、待机、睡眠。通过设置寄存器 PCON 的值选择不同的工作模式。各种功耗模式下的模块工作情况总结如下：

表 32-1 功耗模式

模式	描述	唤醒源	功耗性能
正常	除去被关掉的外设，其他模块全速工作	NA	功耗较高， 性能最好。
待机	CPU 时钟被门控，其他功能模块关闭或工作，由其控制位决定。 看门狗时钟被门控住。	任何中断 外部/Debug 复位	功耗低 性能灵活
睡眠	FLASH Deep-Sleep。 模拟快时钟电路关闭，MCU 软件应注意在进入睡眠前，确保 ADC、FOC、电机控制/驱动电路已处于空闲。 看门狗时钟被关闭。	外部中断， RTC 外部/Debug 复位	功耗很低 性能灵活

※注：程序进入待机或睡眠模式建议程序插入 3 条空语句，PCON = 0x02;_nop_();_nop_();_nop_();

临时版本

32.2 PCON 寄存器

表 32-2 PCON（0x87）

位	7	6	5	4	3	2	1	0
名称	RSV		GF3	GF2	GF1	RSV	STOP	IDLE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名字	功能
[7:6]	RSV	保留位
5	GF3	通用标志位 3
4	GF2	通用标志位 2
3	GF1	通用标志位 1
2	RSV	RSV
1	STOP	写 1 使芯片进入睡眠模式，唤醒后由硬件自动清 0
0	IDLE	写 1 使芯片进入待机模式，唤醒后由硬件自动清 0 功耗模式： {STOP，IDLE} =1x，系统睡眠 {STOP，IDLE} =01，系统待机 {STOP，IDLE} =00，系统正常工作

临时版本

33 代码保护

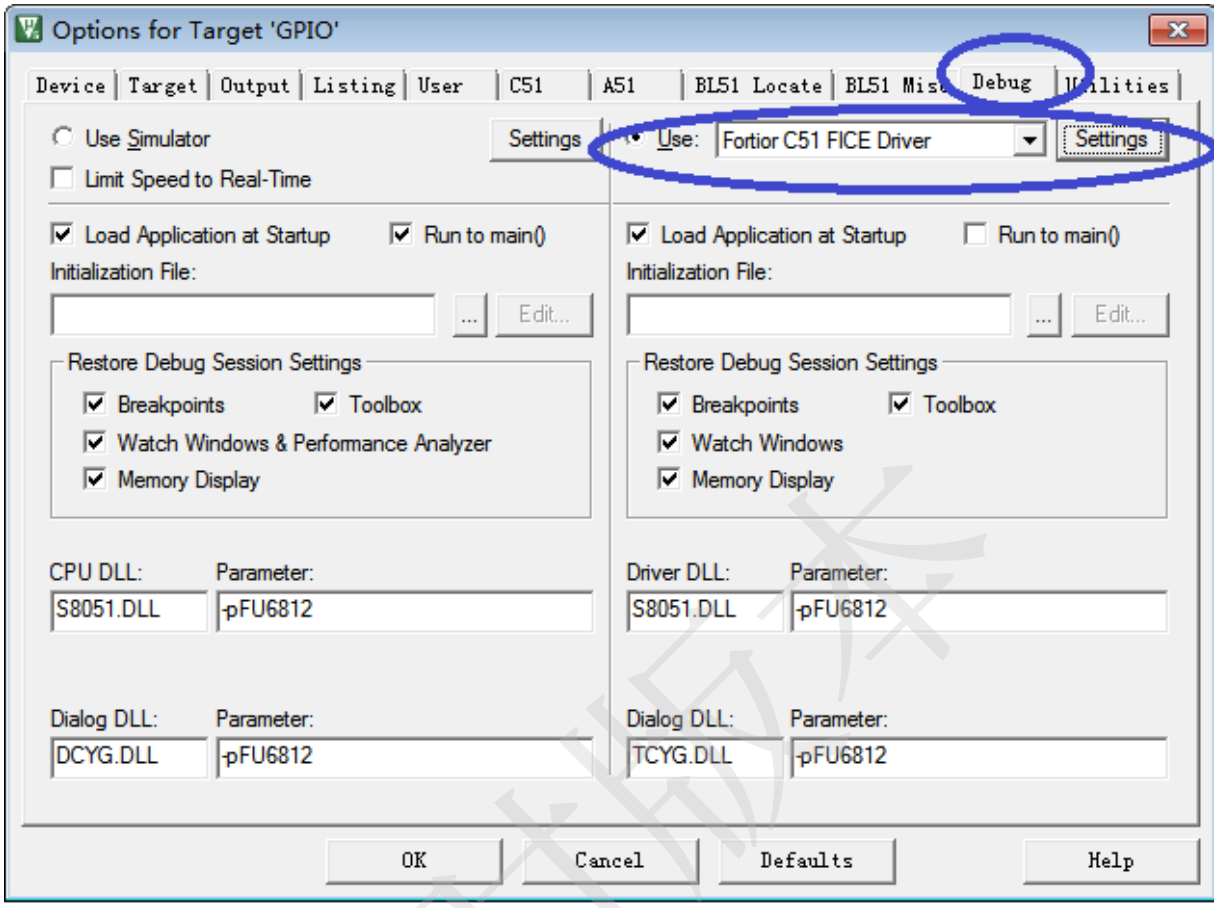


图 32-1 代码保护第 1 步

临时版本

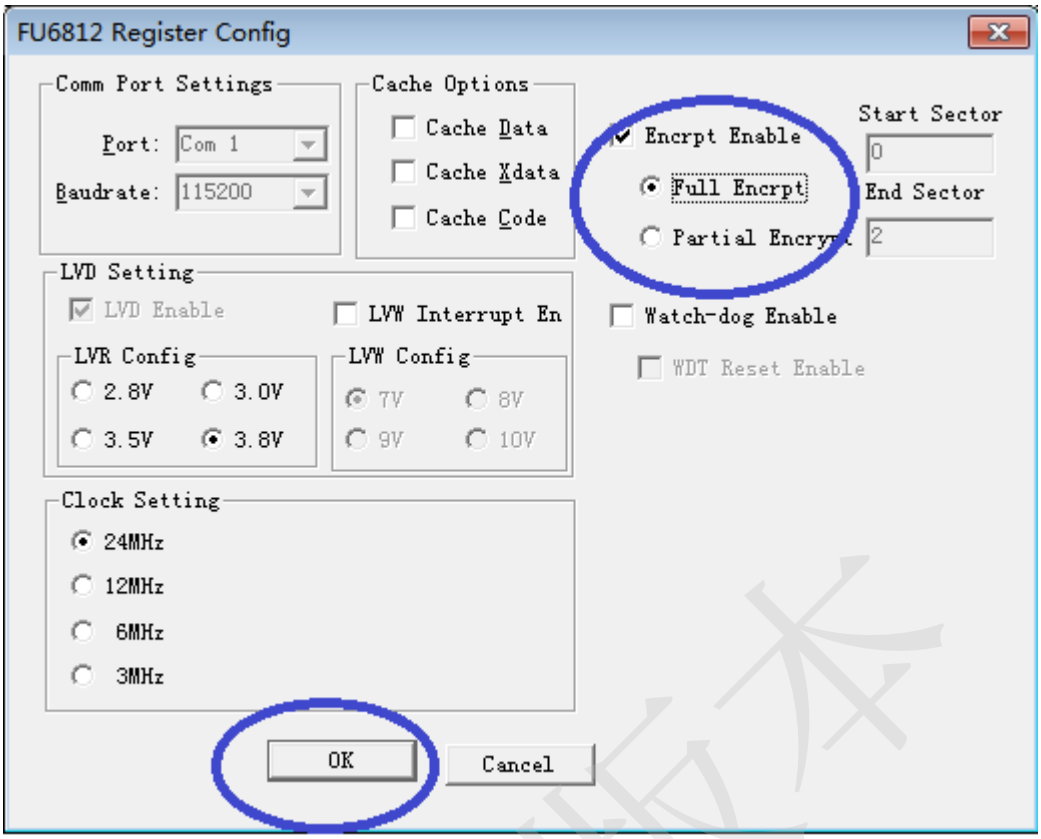


图 32-2 代码保护 全保护模式

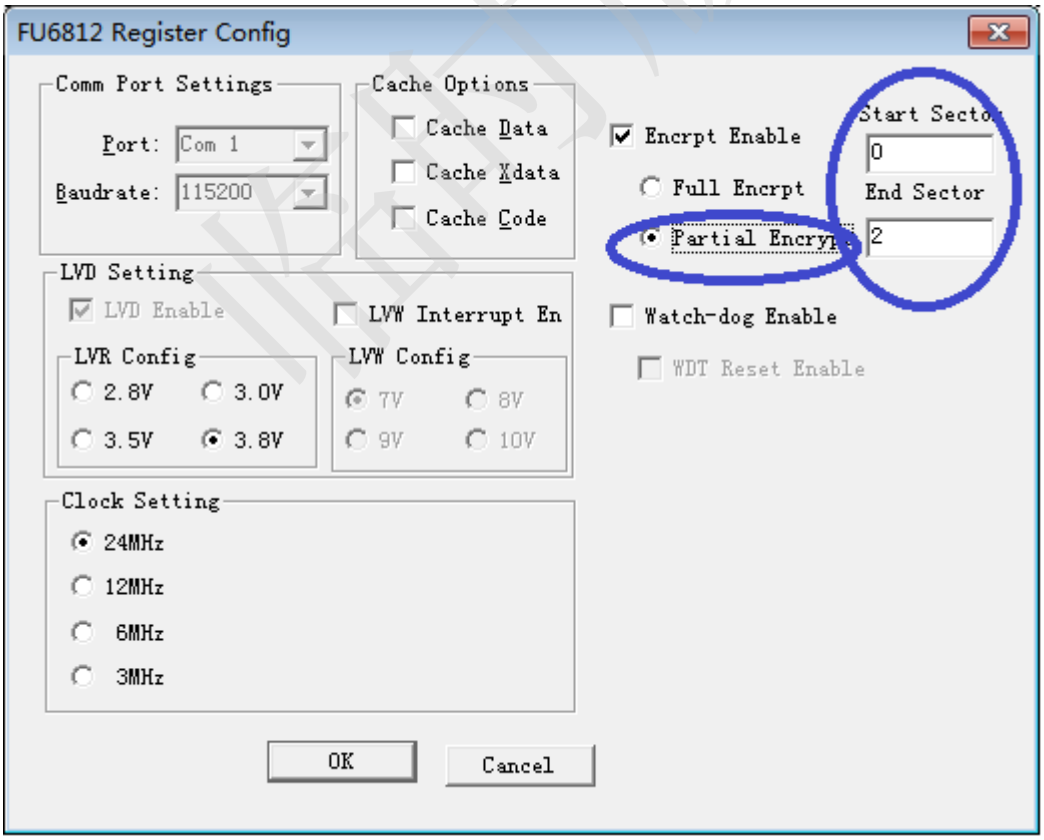


图 32-3 代码保护 局部保护模式

FU6812/61 支持用户对烧录到 FLASH 的代码进行知识产权保护，方法及步骤如下：

步骤一：

打开 8051 集成开发工具，编译前进入 Target Options 中并选择 Debug 选项卡，按照上图 32-1 所示进行选择，并点击 Settings 进入下一步设置。

步骤二：

按照图 32-2 所示进行选择并设置，点击 OK。然后编译工程并下载，得到的.BIN 文件烧录到 FLASH 中之后即可达到代码保护的效果。

需要说明的是，芯片具有全代码保护模式和局部代码保护模式，图 32-2 所示设置为全代码保护模式，设置之后 FLASH 中的所有代码都会被保护。图 32-3 所示设置为局部代码保护模式，设置后仅保护从扇区 0 到 END　SECTOR 所指扇区的区域，任何扇区的保护设置都会使最后一扇区被保护。

每扇区大小为 128 字节。

临时版本

34 配置寄存器

34.1 CCFG，客户配置寄存器

34.1.1 CCFG1: CK_RST_CFG

表 34-1 CCFG1（0x401E）

位	7	6	5	4	3	2	1	0
名称	LVDENB	LVWIE	WDTEN	RSV		FCK_SEL		RSV
类型	R/W	R/W	R/W	R	R	R/W	R/W	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7	LVDENB	低电压复位检测使能 0：使能，若 VDD5 低于 LVRSEL 设定的阈值电压，则系统复位。 1：关闭 注意： 低电压检测功能分为两部分：一是低电压复位检测，一旦检测到 VDD5 低于 LVRSEL 设定的阈值电压，芯片将发生复位。二是低电压告警功能，一旦系统检测到 VCC 低于 LVWSEL 设定的阈值电压，将产生低电压报警中断。若需要以上任何一个功能工作，前提条件必须置 LVDENB 为 0（即使能低电压复位检测功能）。并且低电压告警中断受低电压告警中断使能节制。
6	LVWIE	VCC 低电压告警中断使能，由 LVWSEL 设定 VCC 预警电压阈值。 0：关闭 1：使能，若需要低电压告警中断使能，还必须使能低电压复位检测电路（即置 LVDENB=0）。
5	WDTEN	Watch-dog 使能。 0：禁止 1：使能
4:3	RSV	保留
2:1	FCK_SEL	系统时钟频率选择 00：24MHz 01：12MHz 10：6MHz 11：3MHz
0	RSV	保留

此寄存器可被软件直接访问。推荐的作法是在 IDE 工具中先设置好以初始化，设置好后，软件中可以不必再次写入。

34.1.2 CCFG2: RST_MOD

此寄存器仅通过 IDE 工具进行设置，设置后通过编译生成相关寄存器值与 ROM_CODE 合并产生烧录文件 BIN 文件。此寄存器不可在软件中进行写入，但其值可以读出。

表 34-2 CCFG2（0x401D）

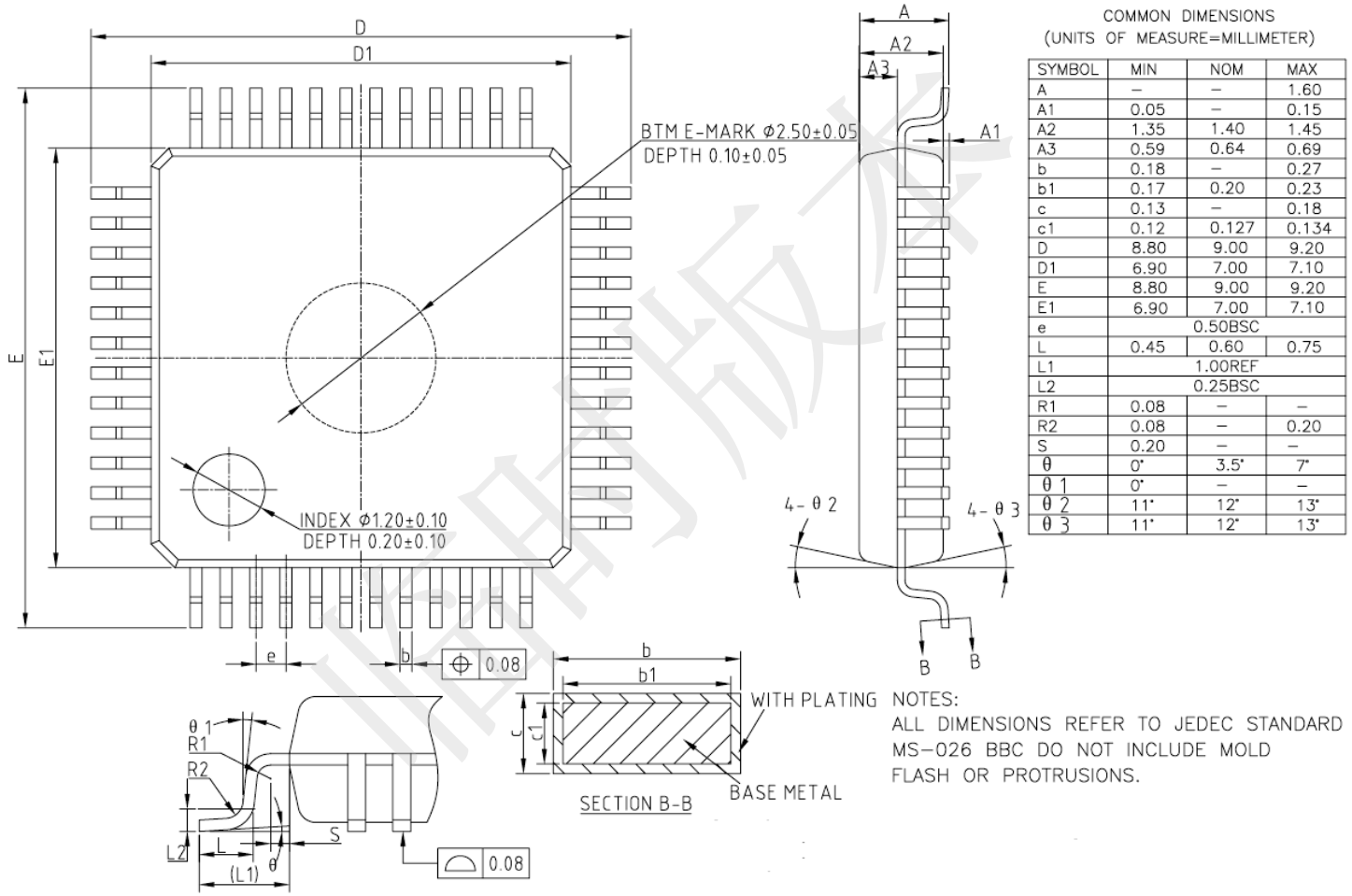
位	7	6	5	4	3	2	1	0
名称	LVRSEL		WDTBTEN	WDTRSTEN	RSV		LVWSEL	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7:6	LVRSEL	低电压复位电压选择端。低电压复位检测的是 VDD5 的电压值。 00：对应的 VDD5 复位电压为 2.8V； 01：对应的 VDD5 复位电压为 3.0V； 10：对应的 VDD5 复位电压为 3.5V； 11：对应的 VDD5 复位电压为 3.8V。
5	WDTBTEN	1：Watch-dog 复位时启动 BOOT
4	WDTRSTEN	Watch-dog 溢出复位使能，1：溢出后引发数字复位
3:2	RSV	保留
1:0	LVWSEL	低电压预警电压选择端。低电压预警检测的是 VCC 的电压值。 00：对应的 VCC 预警电压为 7V； 01：对应的 VCC 预警电压为 8V； 10：对应的 VCC 预警电压为 9V； 11：对应的 VCC 预警电压为 10V。

临时版本

35 封装信息

35.1 LQFP48_7X7

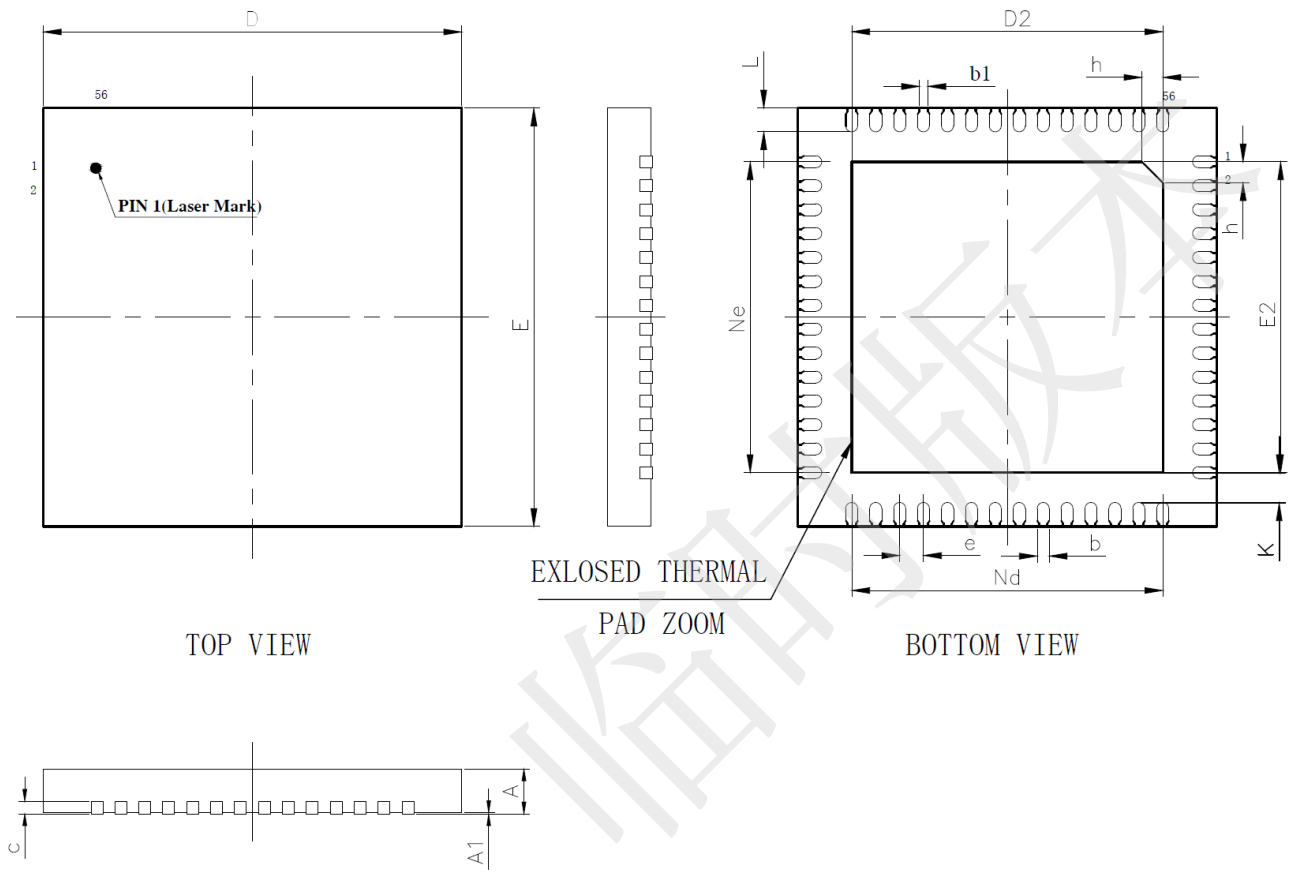


COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	–	0.27
b1	0.17	0.20	0.23
c	0.13	–	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e		0.50BSC	
L	0.45	0.60	0.75
L1		1.00REF	
L2		0.25BSC	
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ1	0°	–	–
θ2	11°	12°	13°
θ3	11°	12°	13°

图 35-1 LQFP48_7X7 封装尺寸图

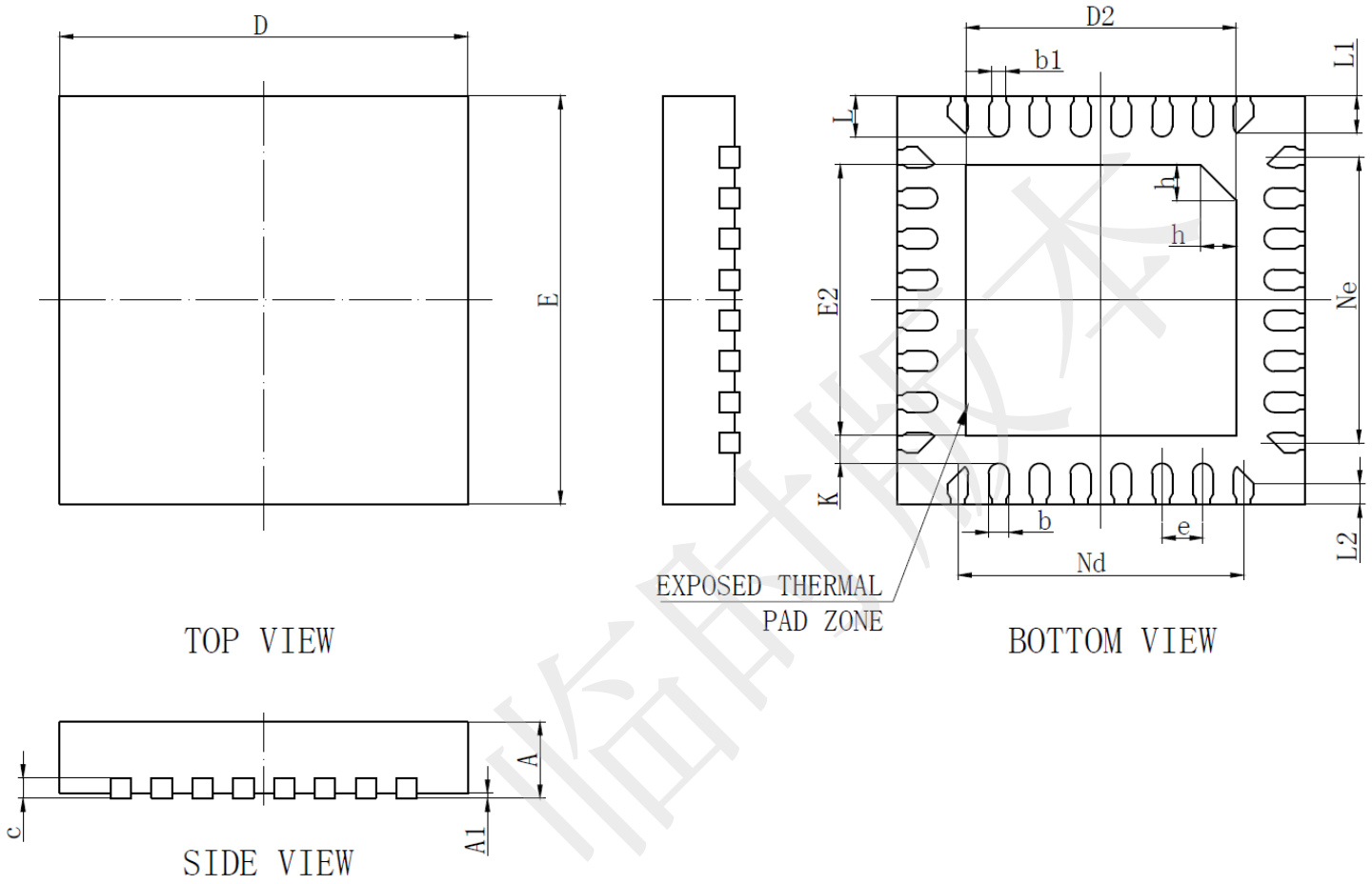
35.2 QFN56_7X7



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.18	0.20	0.25
D	6.90	7.00	7.10
D2	5.10	5.20	5.30
e	0.40BSC		
Nd	5.20BSC		
Ne	5.20BSC		
E	6.90	7.00	7.10
E2	5.10	5.20	5.30
K	0.20	--	--
L	0.35	0.40	0.45
h	0.30	0.35	0.40

图 35-2 QFN56_7X7 封装尺寸图

35.3 QFN32_4X4

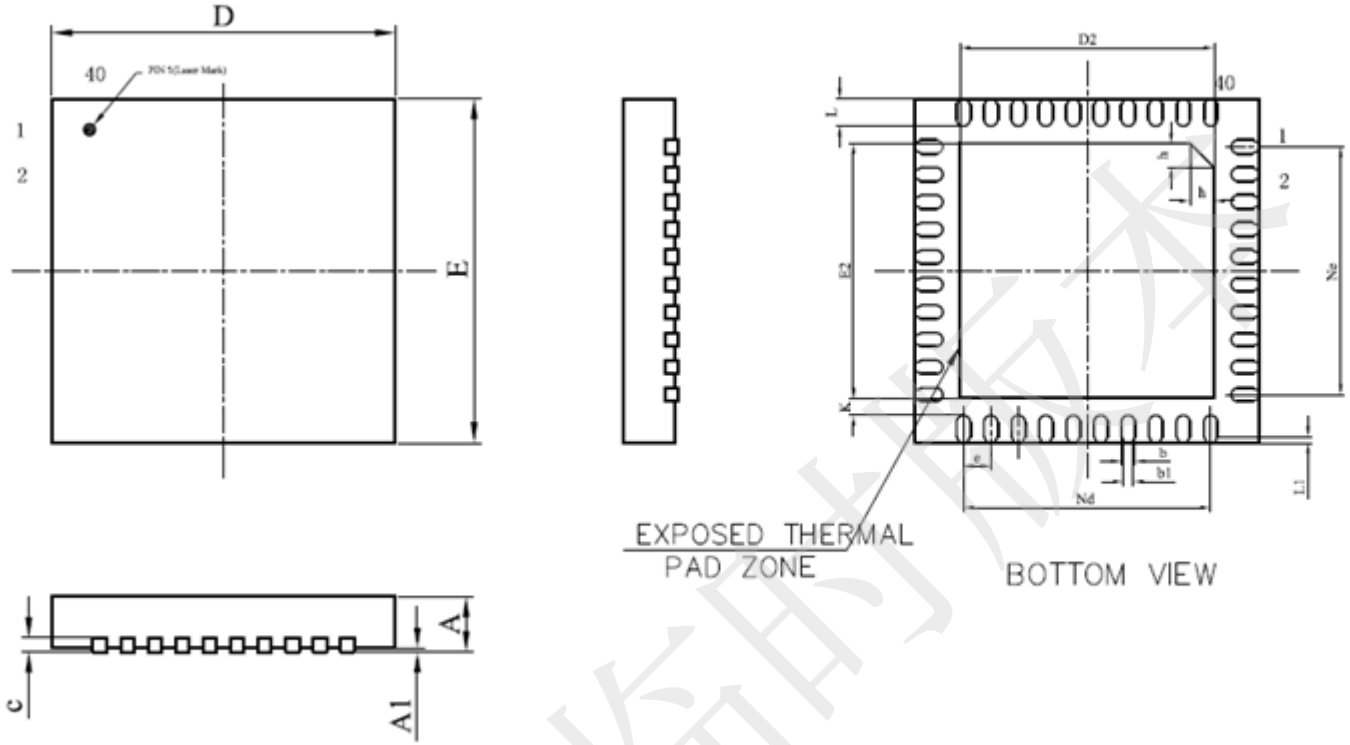


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1		0.14REF	
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.60	2.65	2.70
e		0.40BSC	
Nd		2.80BSC	
E	3.90	4.00	4.10
E2	2.60	2.65	2.70
Ne		2.80BSC	
K	0.20	-	-
L	0.35	0.40	0.45
L1	0.30	0.35	0.40
L2	0.15	0.20	0.25
h	0.30	0.35	0.40

图 35-3 QFN32 4mm X 4mm X 0.75mm 封装尺寸图

临时版本

35.4 QFN40_5X5

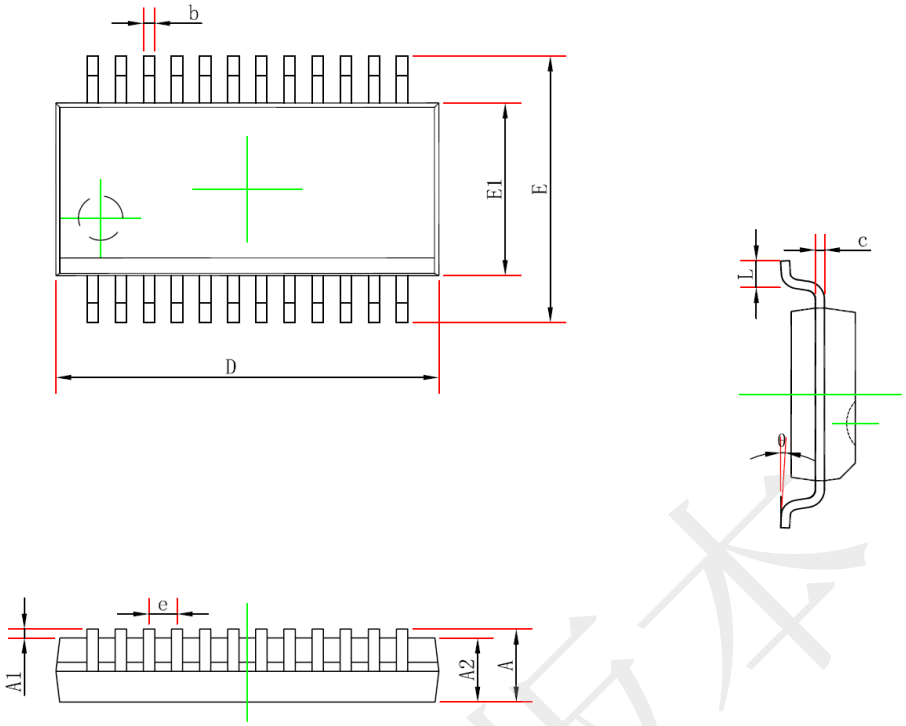


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
e	0.40BSC		
Nd	3.60BSC		
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
Ne	3.60BSC		
L	0.35	0.40	0.45
L1	0.10REF		
K	0.20	–	--
h	0.30	0.35	0.40

图 35-4 QFN40 5mm X 5mm X 0.4mm 封装尺寸图

临时版本

35.5 SSOP24_8.65X3.9

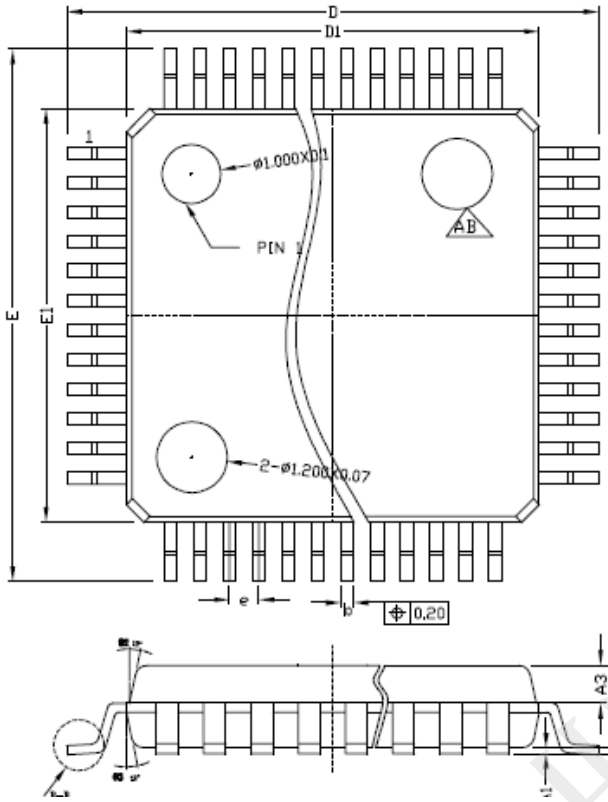


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	**Max**	**Min**	**Max**
A	——	1.750	——	0.069
A1	0.100	0.250	0.004	0.010
A2	1.250	——	0.049	——
b	0.203	0.305	0.008	0.012
c	0.102	0.254	0.004	0.010
D	8.450	8.850	0.333	0.348
E1	3.800	4.000	0.150	0.157
E	5.800	6.200	0.228	0.244
e	0.635(BSC)		0.025(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

图 35-5 SSOP24 8.65mm X 3.9mm 封装尺寸图

临时版本

35.6 LQFP32_7X7

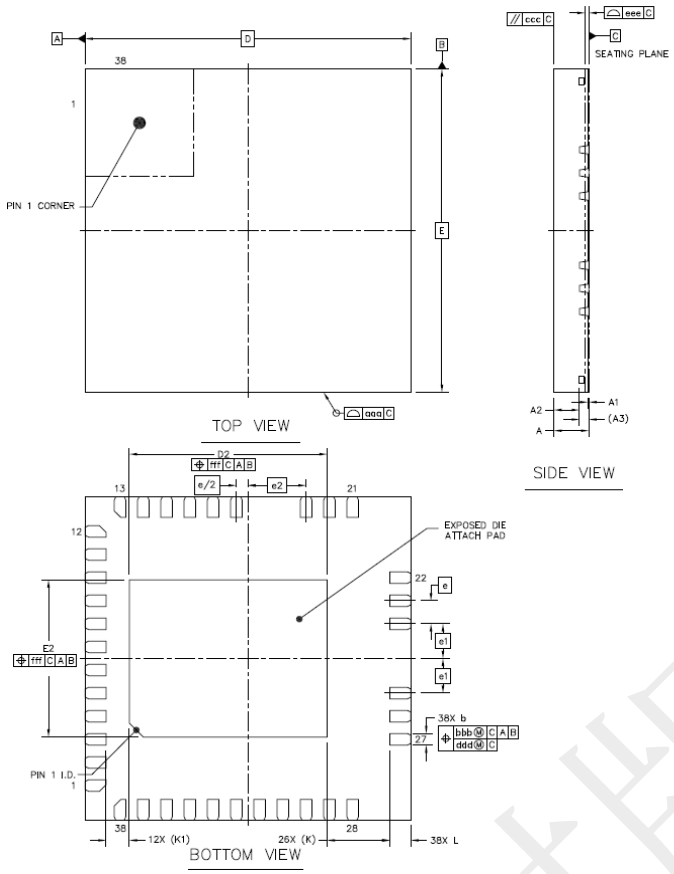


DIM / SYMBOL	LQFP32		
	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.32	–	0.43
b1	0.31	0.35	0.39
c	0.13	–	0.18
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.80BSC		
L	0.45	–	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ1	0°	–	–
θ2	11°	12°	13°
θ3	11°	12°	13°

图 35-6 LQFP32 7mm X 7mm 封装尺寸图

临时版本

35.7 QFN48_7X7



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.55	---
L/F THICKNESS		A3		0.203 REF	
LEAD WIDTH		b	0.2	0.25	0.3
BODY SIZE	X	D		7 BSC	
	Y	E		7 BSC	
LEAD PITCH		e		0.5 BSC	
		e1		0.75 BSC	
		e2		1.25 BSC	
EP SIZE	X	D2	4.15	4.25	4.35
	Y	E2	3.3	3.4	3.5
LEAD LENGTH		L	0.35	0.45	0.55
LEAD TIP TO EXPOSED PAD EDGE		K		1.35 REF	
		K1		0.5 REF	
PACKAGE EDGE TOLERANCE		aaa		0.1	
MOLD FLATNESS		ccc		0.1	
COPLANARITY		eee		0.08	
LEAD OFFSET		bbb		0.1	
		ddd		0.05	
EXPOSED PAD OFFSET		fff		0.1	

图 35-7 QFN48 7mm X 7mm 封装尺寸图

临时版本

36 订购信息

表 36-1 产品型号选择

型号	MIPS(Peak)	FLASH(kB)	XRAM(kB)	时钟电路				驱动接口			驱动类型			I2C/UART/SPI	DMA	GPIO	定时器	模拟外设								无铅	封装
																		ADC			DAC						
				内部快时钟	外部快时钟	内部慢时钟	外部慢时钟	6N Predriver	3P3N Predriver	PWM	方波	SVPWM	FOC					个数	通道数	位数	个数	位数	VREF	运放	比较器		
FU6812L2	24	16	0.75	√	—	√	—	—	—	√	√	√	√	√	√	34	6	1	12	12	1	8	√	3	3	√	LQFP48 (7x7 mm)
FU6812N2	24	16	0.75	√	—	√	—	—	—	√	√	√	√	√	√	20	5	1	7	12	1	8	√	1	2	√	QFN32 (4x4 mm)
FU6812S2	24	16	0.75	√	—	√	—	—	—	√	√	√	√	UART	√	12	5	1	5	12	1	8	√	1	2	√	SSOP24 (8.65x3.9 mm)
FU6861Q2	24	16	0.75	√	—	√	—	√	—	—	√	√	√	√	√	32	5	1	12	12	1	8	√	3	3	√	QFN56 (7x7 mm)
FU6861N2	24	16	0.75	√	—	√	—	√	—	—	√	√	√	√	√	19	5	1	9	12	1	8	√	1	3	√	QFN40 (5x5 mm)
FU6861NF2	24	16	0.75	√	—	√	—	√	—	—	√	—	—	√	√	19	5	1	9	12	1	8	√	1	3	√	QFN40 (5x5 mm)
FU6861L2	24	16	0.75	√	—	√	—	√	—	—	√	√	√	√	√	27	5	1	11	12	1	8	√	3	3	√	LQFP48 (7x7 mm)
FU6862L	24	16	0.75	√	—	√	—	√	—	—	√	√	√	SPI/UART	√	20	5	1	8	12	1	8	√	1	3	√	LQFP48 (7x7 mm)
FU6862Q	24	16	0.75	√	—	√	—	√	—	—	√	√	√	SPI/UART	√	20	5	1	8	12	1	8	√	1	3	√	QFN48 (7x7 mm)
FU6812V	24	16	0.75	√	—	√	—	—	—	√	√	√	√	UART	√	12	5	1	7	12	1	9	√	3	4	√	SSOP24 (8.65x3.9 mm)

37 修改记录

Date	Revision	Changes
2021/04/02	V1.00	初始版本
2021/08/04	V1.01	1. 增加 TIM1 ADC 换相相关说明及寄存器 2. 勘误了部分信号描述错误
	V1.02	1. 增加第一章 1.1 特性说明 内部慢时钟振荡器 2. 修改第一章 1.4 系统框图说明，增加慢时钟 3. 增加第三章 3.10 OSC 电气特性 内部慢时钟振荡器 4. 修改 FOC_CR3 寄存器描述
2022/06/01	V1.03	增加 FU6861NF2 信息; 增加 F6862L/Q 信息

临时版本

Copyright Notice

Copyright by Fortior Technology (Shenzhen) Co., Ltd. All Rights Reserved.

Right to make changes —Fortior Technology (Shenzhen) Co., Ltd RSVs the right to make changes in the products - including circuits, standard cells, and/or software - described or contained herein in order to improve design and/or performance. The information contained in this manual is provided for the general use by our customers. Our customers should be aware that the personal computer field is the subject of many patents. Our customers should ensure that they take appropriate action so that their use of our products does not infringe upon any patents. It is the policy of Fortior Technology (Shenzhen) Co., Ltd. to respect the valid patent rights of third parties and not to infringe upon or assist others to infringe upon such rights.

This manual is copyrighted by Fortior Technology (Shenzhen) Co., Ltd. You may not reproduce, transmit, transcribe, store in a retrieval system, or translate into any language, in any form or by any means, electronic, mechanical, magnetic, optical, chemical, manual, or otherwise, any part of this publication without the expressly written permission from Fortior Technology (Shenzhen) Co., Ltd.

Fortior Technology(Shenzhen) Co.,Ltd.

Room203,2/F, Building No.11,Keji Central Road2,
SoftwarePark, High-Tech Industrial Park, Shenzhen, P.R. China 518057
Tel: 0755-26867710
Fax: 0755-26867715
URL: http://www.fortiortech.com

Contained herein
Copyright by Fortior Technology (Shenzhen) Co.,Ltd all rights Reserved.

峰岹科技（深圳）有限公司
ISO9001 质量管控文件

FU6812x2/61x2/62x2

Datasheet

文件版本管制

版本	修订者	主要修改内容	工程变更单编号	生效日期	审核/批准
V1.00	Bruce	在 FU6812 版本 V1.36 基础上新增寄存器 初版发行		2021/04/02	
V1.01		1. 增加 TIM1 ADC 换相相关说明及寄存器 2. 勘误了部分信号描述错误		2021/08/04	
V1.02		1. 增加第一章 1.1 特性说明 内部慢时钟振荡器 2. 修改第一章 1.4 系统框图说明，增加慢时钟 3. 增加第三章 3.10 OSC 电气特性 内部慢时钟振荡器 4. 修改 FOC_CR3 寄存器描述			
V1.03	Michelle	增加 FU6861NF2 信息		2022/06/01	

会签单位	签核人员	签核时间
研发部		
品质部		
应用部		
最终核准		

临时版本