

MS1826

HD 多功能视频处理器

数据手册

本文所包含的信息是宏晶微电子科技股份有限公司的专有财产，在没有宏晶微电子科技股份有限公司许可的情况下，不允许分发、复制或披露此类信息或部分信息。

1. 基本介绍

MS1826 是一款多功能视频处理器，包含 4 路独立 HD 音视频输入通道、4 路独立 HD 音视频输出通道以及四路独立可配置为输入或者输出的 SPDIF、I2S 音频信号。支持 4 个独立的字库定制型 OSD；可处理隔行和逐行视频或者图形输入信号；有四路独立视频播放引擎可支持视频多路播放。该产品提供了高质量的视频输出，有解隔行输入、视频增强以及帧率转换的处理能力。

2. 功能特征

视频输入输出

- ◆ 输入输出各四路独立 HD 通道
- ◆ 最高支持 4K@30Hz 分辨率
- ◆ 信号幅度：500mV
- ◆ 支持 UHD@30Hz
- ◆ 支持 VESA、CEA-861-F 输入
- ◆ 支持 RGB / YCbCr444 / YCbCr422 / YCbCr420（仅支持输入）色彩空间
- ◆ 支持 RGB/BT601/BT709 比色标准
- ◆ 支持 8/10/12/16 位色深
- ◆ 输入模式自动侦测
- ◆ 输入自动 EQ
- ◆ 可编程 EDID
- ◆ 输入信号 HPD 输出可编程
- ◆ 输出信号 HPD 状态检测
- ◆ 音频采样率 32KHz~192KHz
- ◆ 支持 HBR 音频

数字音频信号输入输出

- ◆ 四通道数字音频 I2S 和 SPDIF 输入输出

- ◆ 音频采样率 32KHz~192KHz

帧率转换

- ◆ 独立的行、列缩放
- ◆ 灵活的帧率转换

内嵌 DDR3 SDRAM 及控制器

- ◆ 内嵌 128MB DDR3 SDRAM
- ◆ 16 位访问
- ◆ DDR 速率 1600MT/s

去隔行

- ◆ 支持隔行到逐行的转换
- ◆ 去隔行边缘校正
- ◆ 全局噪声滤波
- ◆ 3:2/2:2 下拉检测

视频增强

- ◆ 动态图像边缘锐化
- ◆ 亮度、饱和度、对比度、色度调整

视频处理

- ◆ 四路独立缩放处理
- ◆ 最大八路视频数据叠加输出

-
- ◆ 支持一路输入视频固定角度旋转（90°、180° 和 270°）
 - ◆ 支持淡入淡出
 - ◆ 视频压缩帧缓存
 - ◆ 支持窗口放大、旋转（90°、180° 和 270°）处理
 - ◆ 视频输入裁剪
 - ◆ 支持透明、高亮、前景色、背景色处理
 - ◆ 支持视频水平和垂直方向镜像
 - ◆ 支持视频叠加以及 Color Key 处理
- 内置 OSD**
- 标准 I2C 总线编程接口**
- 封装**
- ◆ 可定制 1bpp、2bpp 或者 4bpp 混合型字符库，容量为 128KB，字符最大 32*64
 - ◆ HLQFP-256（28mm×28mm）
 - ◆ 支持 4 个独立 OSD 窗口，单个窗口最大显示 4096 个字符
 - ◆ 3.3V、2.5V、1.35V 和 1.1V 供电
 - ◆ 不含铅，符合 RoHS 2.0

3. 应用场景

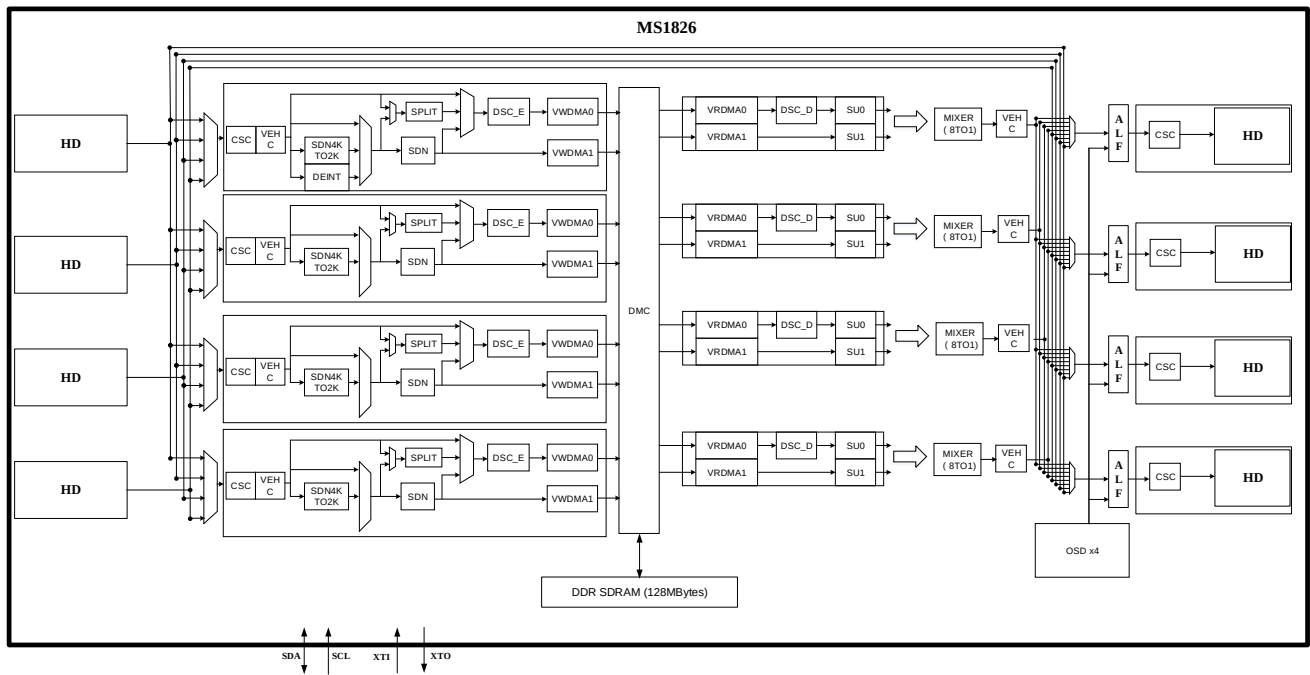
- ◆ 视频拼接应用（电视墙）
- ◆ 视频分割应用
- ◆ 视频矩阵
- ◆ 视频处理器
- ◆ 视频切换器

4. 目录

1. 基本介绍.....	2
2. 功能特征.....	2
3. 应用场景.....	3
4. 目录.....	4
5. 功能框图.....	6
6. 功能描述.....	7
6.1 编程接口	7
6.1.1 I2C 写寄存器时序.....	7
6.1.2 I2C 读寄存器时序.....	8
6.1.3 单个和连续读写寄存器序列	8
6.2 HD 音视频输入	8
6.3 HD 音视频输出	9
6.4 输入视频裁剪功能	9
6.5 数字音频输入输出	9
6.6 运动自适应解隔行	9
6.7 缩放及帧率转换	10
6.8 图像增强处理	10
6.8.1 锐化处理.....	10
6.8.2 色度和饱和度处理.....	10
6.8.3 亮度和对比度处理.....	10
6.9 字符型 OSD	10
6.10 图像旋转及镜像.....	11
6.11 视频叠加.....	11
6.12 视频存储及压缩处理.....	11
7. 典型应用.....	12
7.1 视频拼接应用	12
7.2 视频分割应用	12
7.3 视频矩阵应用	13

8. 引脚图	14
9. 引脚描述	15
10. 典型应用电路	20
11. PCB 设计说明	22
11.1 MS1826 重要信号分布	22
11.2 PCB 设计建议	23
11.3 时钟	24
11.4 REXT 参考电阻	24
11.5 HD 信号线	25
11.6 VREF_DDR 参考电压	27
11.7 DDR_ZQ 参考电阻	27
11.8 PCB 散热处理	27
12. 电气特性	29
12.1 极限参数	29
12.2 直流参数	29
13. 封装信息	31
14. 芯片标识	32
15. 包装信息	33
15.1 包装信息:	33
15.2 Tray 盘尺寸信息	34
16. 回流焊温度规范	38
17. 版本记录	39

5. 功能框图



图一 功能框图

6. 功能描述

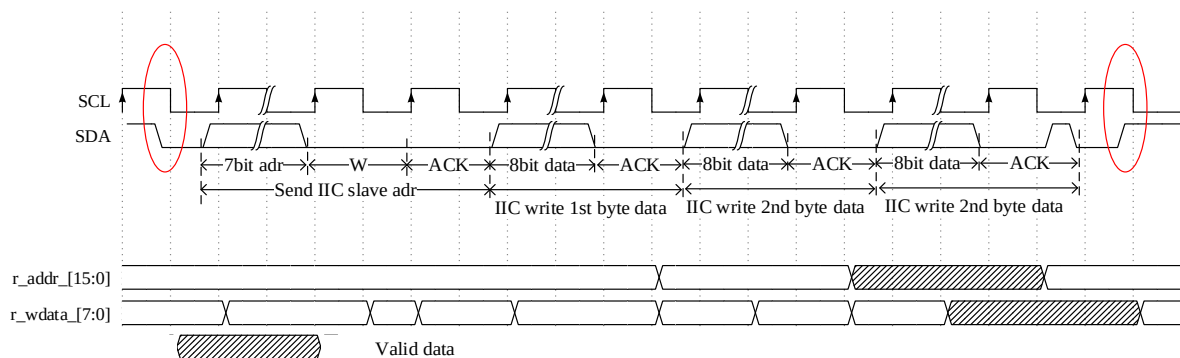
6.1 编程接口

MS1826 内部寄存器采用标准 I2C 访问方式，其速度可达到 400Kb/s。系统当中 MS1826 作为 I2C 从设备，其访问地址选择如下表所示：

表 6.1 MS1826 I2C 从地址选择表格

SASEL 引脚电平	读取地址	写入地址
低电平	0xB7	0xB6
高电平或浮空	0xBF	0xBE

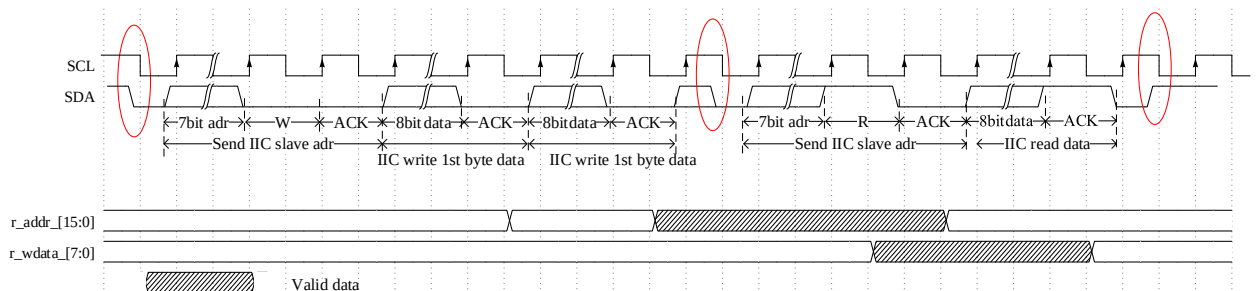
6.1.1 I2C 写寄存器时序



图二 I2C 写寄存器时序

- I2C 首先发送从地址，w/r 位必须为 0 才能将数据写入从地址。
- 第一字节数据写入所要写的寄存器的低 8 位地址。
- 第二字节数据写入所要写的寄存器的高 8 位地址。
- 第三字节数据写入寄存器中的数据。

6.1.2 I2C 读寄存器时序

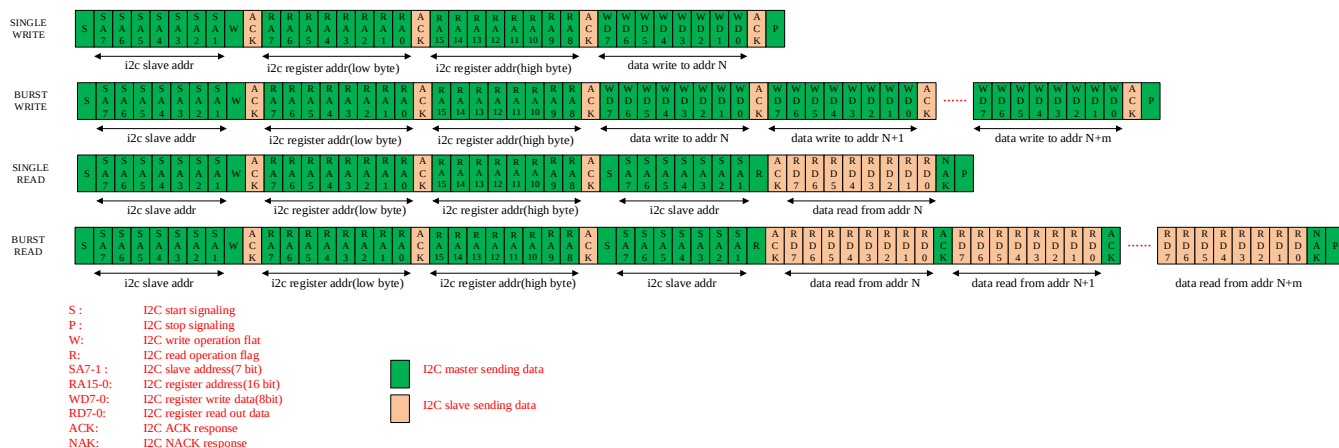


图三 I2C 读寄存器时序

- I2C 首先发送从地址，w/r 位必须为 0 才能将数据写入从地址。
- 第一字节数据写要读取的寄存器的低 8 位地址。
- 第二字节数据写要读取的寄存器的高 8 位地址。
- I2C 再次发送从地址，w/r 位必须为 1 才能从从机读取数据。
- I2C 从机将寄存器读取的数据发送出去。

6.1.3 单个和连续读写寄存器序列

MS1826 I2C 总线接收单元支持单个和连续寄存器读写方式，读写序列可参考下图：



图四 I2C 读写序列

6.2 HD 音视频输入

MS1826 具有四路独立的 HD 输入端口，支持 UHD@30Hz。

- ◆ 最大输入 TMDS 时钟 300MHz，4K@30Hz 输入；

- ◆ 支持输入模式自动检测、EQ 自动校准、错误信息检测功能；
- ◆ 音频时钟自恢复；
- ◆ 支持 HBR 音频传输；
- ◆ 支持最大 8 通道、采样率从 32KHz 到 192KHz 的 I2S 和 SPDIF 音频输入；
- ◆ 最大 512 字节 EDID 可编程和 HPD 握手信号输出。

6.3 HD 音视频输出

MS1826 具有四路独立的 HD 输出端口：

- ◆ 支持 UHD@30Hz；
- ◆ 最大输出 TMDS 时钟 300MHz，4K@30Hz 输出；
- ◆ 支持 HBR 音频传输；
- ◆ 音频支持最大 8 通道、采样率从 32KHz 到 192KHz 的 I2S 和 SPDIF 音频输出；
- ◆ 硬件 DDC 通道可读取显示设备的 EDID 数据和 HPD 握手信号检测。

6.4 输入视频裁剪功能

每路 HD 输入可做水平和垂直方向裁剪功能，可截取部分输入画面送至后端处理模块。

6.5 数字音频输入输出

数字音频方面，MS1826 包含四路 I2S 和四路 SPDIF 数字音频端口，同一时间内可作为输入或者输出来处理，每路音频单独可控制，采样率从 32KHz 到 192KHz。

6.6 运动自适应解隔行

MS1826 内部集成了一个运动自适应隔行处理模块，最高支持 1080I@60Hz 输入。该模块可自动侦测输入是电影、静态隔行或者动态隔行影像视频，进而使用不同的算法进行处理并最终输出逐行视频信号。解析过程中自动消除动态噪声。解隔行信号过程中产生的边界毛刺会用针对性的边界算法进行优化。

6.7 缩放及帧率转换

MS1826 可以对垂直和水平方向进行缩放处理，缩放系数可编程。输入和输出视频的帧率不同时，需要进行帧率的转换处理以避免视频播放过程中出现的卡顿和抖动现象。

6.8 图像增强处理

6.8.1 锐化处理

锐化功能包括改善亮度和色度信号的响应，使亮度和色度信号的过渡边缘更锐化。该模块采用三部分滤波器组成：高通、带通以及低通。三组滤波器使用可编程增益调整并累加处理。在高通和低通处理中低于信号幅度的部分会被当作噪声处理掉。

6.8.2 色度和饱和度处理

色度用于处理区别于波长特性的颜色信号，以用于定位针对不同基准颜色的处理；饱和度用于调节色彩的鲜艳程度。

6.8.3 亮度 and 对比度处理

亮度调节原理是用增加亮度信号的偏移度来增加和减少亮度；对比度则调节亮度信号的增益来调节图案明亮差异的大小。

注：以上处理模块可分别独立处理单个输入视频源以及处理后送至输出端的视频源。

6.9 字符型 OSD

- ◆ 可编程的字符大小，Font size 最大支持 32×64、最大同时显示 4096 个 Font；
- ◆ 支持 1bpp/2bpp/4bpp 及混合型字符类型；
- ◆ 支持四个 OSD 窗口，单个 OSD 窗口包含一个显示框和三个高亮框，窗口位置和大小任意可选；
- ◆ 支持行高亮功能；
- ◆ 支持窗口渐变显示功能；
- ◆ 支持 OSD 窗口透明显示功能；

- ◆ 支持 Color Key 功能；
- ◆ 支持 OSD 窗口固定 90°、180° 及 270° 旋转。

6.10 图像旋转及镜像

- ◆ 支持单路视频固定 90°、180° 及 270° 旋转；
- ◆ 支持四路图像左右及上下镜像处理功能。

6.11 视频叠加

每路视频输出支持最多八路视频叠加功能，透明度可调，窗口大小及位置可调整功能。

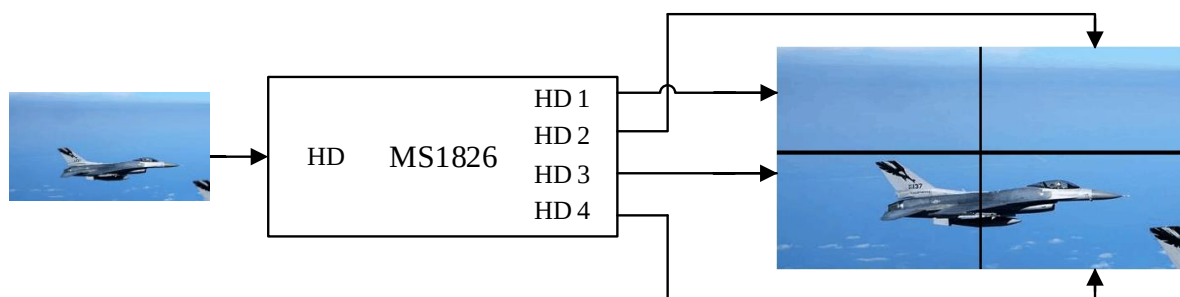
6.12 视频存储及压缩处理

内置 128MBytes DDR3 SDRAM 存储单元用于缓存输入视频。在必要时可采用压缩处理以节省视频数据的存取带宽，一共四对压缩和解压缩引擎，每对最大接收水平方向不超过 2048 点的视频数据。

7. 典型应用

7.1 视频拼接应用

单颗 MS1826 芯片可实现四画面拼接应用，多颗芯片级联的方式可实现多拼接应用。拼接模式和截取原图的位置、大小均可定制。该应用示意图如下：

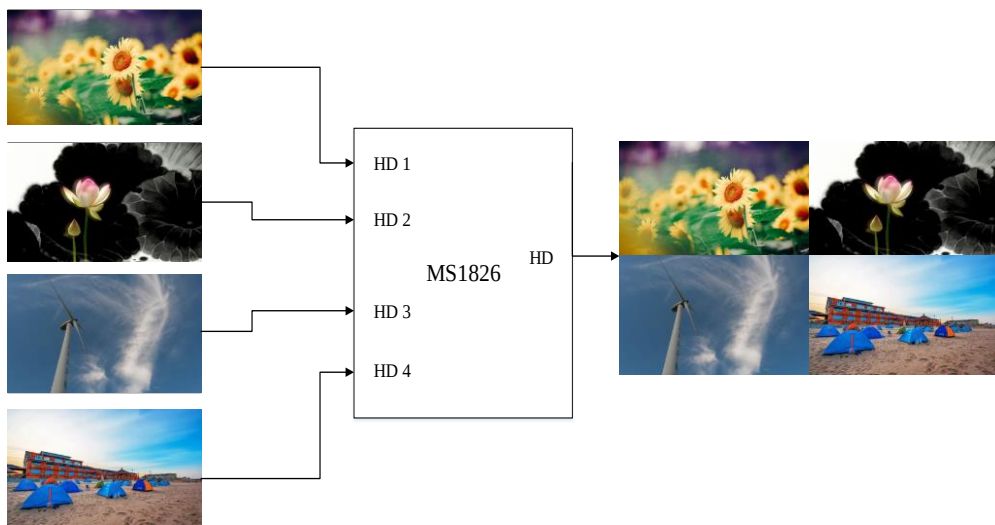


图五 拼接应用

说明：前端可选择从四路输入的任意一路进入。

7.2 视频分割应用

单颗 MS1826 芯片可实现四画面视频分割应用，多颗芯片级联的方式可实现多画面分割应用。分割模式和各个原图窗口叠加方式均可定制。该应用示意图如下：

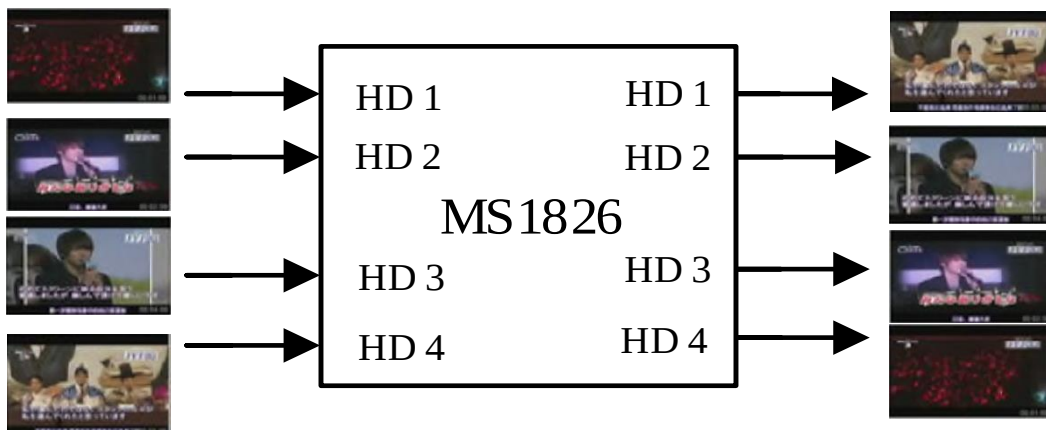


图六 分割应用

说明：后端可选择从四路输出的任意一路输出。

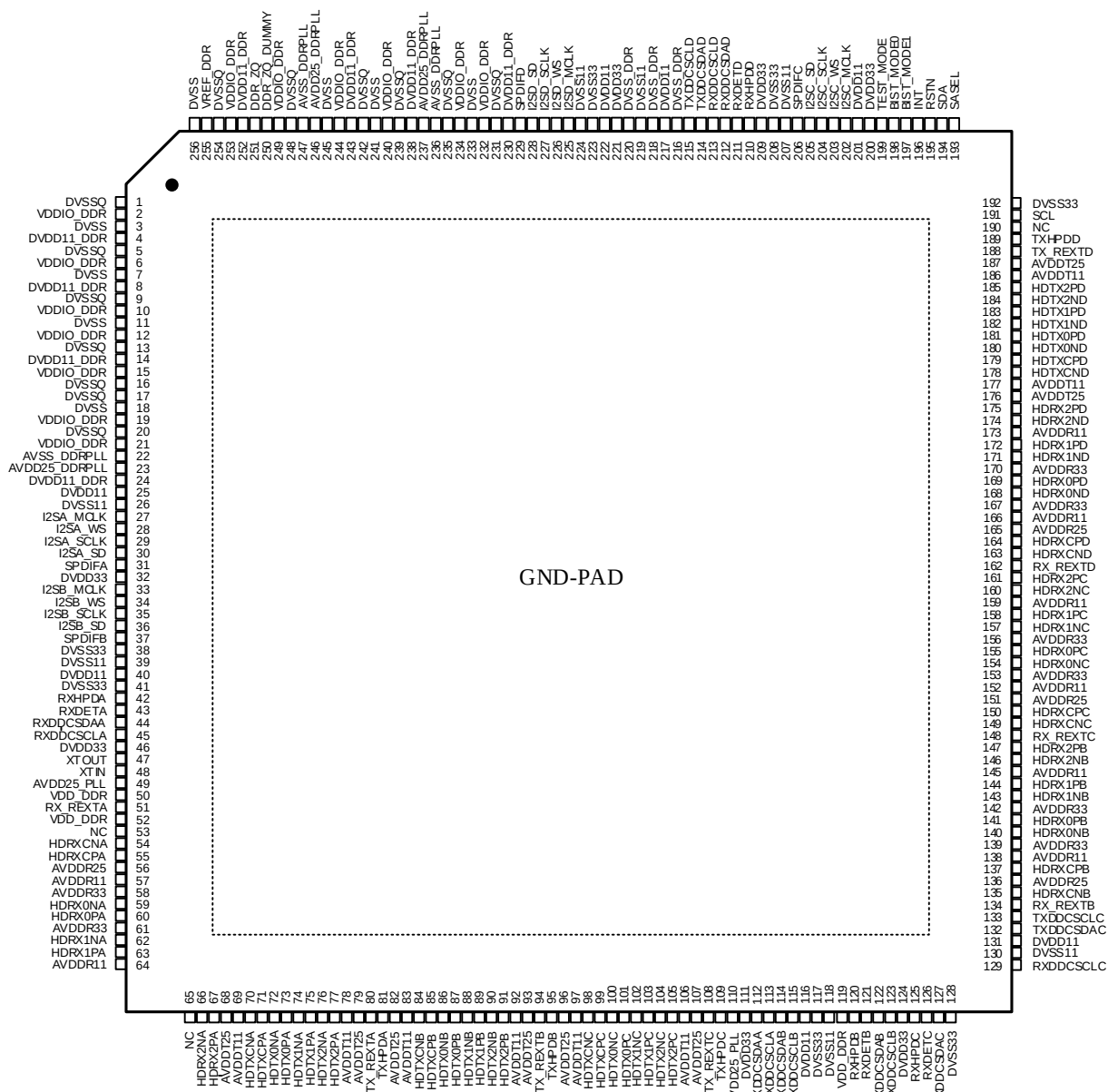
7.3 视频矩阵应用

单颗 MS1826 芯片可实现四进四出视频矩阵应用，多颗芯片级联的方式可实现多通道的矩阵切换应用，并可实现无缝切换功能。该应用示意图如下：



图七 矩阵应用

8. 引脚图



图八 引脚分配（俯视图）

9. 引脚描述

表 9.1. 引脚描述

引脚名称	引脚号	类型	描述
系统			
INT	196	输出	内部中断输出
BIST_MODE0	198	输入	内部测试使能信号，不接
BIST_MODE1	197	输入	内部测试使能信号，不接
RSTN	195	输入	芯片复位脚，低电平有效
SCL	191	输入	串行时钟总线
SDA	194	输入输出	串行数据总线
SASEL	193	输入	芯片地址选择，0: 0xB6, 1: 0xBE（浮空）
XTIN	48	输入	外部晶振输入
XTOUT	47	输出	外部晶振输出
TESTMODE	199	输入	测试模式使能信号，不接
HD 信号输入			
HDRXCNA	54	输入	HD 接收端 A 差分时钟输入
HDRXCPA	55	输入	HD 接收端 A 差分时钟输入
HDRX0NA	59	输入	HD 接收端 A 差分通道 0 数据输入
HDRX0PA	60	输入	HD 接收端 A 差分通道 0 数据输入
HDRX1NA	62	输入	HD 接收端 A 差分通道 1 数据输入
HDRX1PA	63	输入	HD 接收端 A 差分通道 1 数据输入
HDRX2NA	66	输入	HD 接收端 A 差分通道 2 数据输入
HDRX2PA	67	输入	HD 接收端 A 差分通道 2 数据输入
RXHPDA	42	输出	HD 接收端 A 热插拔信号输出
RXDETA	43	输入	HD 接收端 A 5V 输入检测
RXDDCSDA	44	输入输出	HD 接收端 A 显示数据通道串行数据总线
RXDDCSCLA	45	输入	HD 接收端 A 显示数据通道串行时钟总线
RX_REXTA	51	输入	HD 接收端 A 输入参考电阻
HDRXCNB	135	输入	HD 接收端 B 差分时钟输入
HDRXCPB	137	输入	HD 接收端 B 差分时钟输入
HDRX0NB	140	输入	HD 接收端 B 差分通道 0 数据输入
HDRX0PB	141	输入	HD 接收端 B 差分通道 0 数据输入
HDRX1NB	143	输入	HD 接收端 B 差分通道 1 数据输入
HDRX1PB	144	输入	HD 接收端 B 差分通道 1 数据输入
HDRX2NB	146	输入	HD 接收端 B 差分通道 2 数据输入
HDRX2PB	147	输入	HD 接收端 B 差分通道 2 数据输入

引脚名称	引脚号	类型	描述
RXHPDB	120	输出	HD 接收端 B 热插拔信号输出
RXDETB	121	输入	HD 接收端 B 5V 输入检测
RXDDCSDB	122	输入输出	HD 接收端 B 显示数据通道串行数据总线
RXDDCSCLB	123	输入	HD 接收端 B 显示数据通道串行时钟总线
RX_REXTB	134	输入	HD 接收端 B 输入参考电阻
HDRXCNC	149	输入	HD 接收端 C 差分时钟输入
HDRXCPC	150	输入	HD 接收端 C 差分时钟输入
HDRX0NC	154	输入	HD 接收端 C 差分通道 0 数据输入
HDRX0PC	155	输入	HD 接收端 C 差分通道 0 数据输入
HDRX1NC	157	输入	HD 接收端 C 差分通道 1 数据输入
HDRX1PC	158	输入	HD 接收端 C 差分通道 1 数据输入
HDRX2NC	160	输入	HD 接收端 C 差分通道 2 数据输入
HDRX2PC	161	输入	HD 接收端 C 差分通道 2 数据输入
RXHPDC	125	输出	HD 接收端 C 热插拔信号输出
RXDETC	126	输入	HD 接收端 C 5V 输入检测
RXDDCSDAC	127	输入输出	HD 接收端 C 显示数据通道串行数据总线
RXDDCSCLC	129	输入	HD 接收端 C 显示数据通道串行时钟总线
RX_REXTC	148	输入	HD 接收端 C 输入参考电阻
HDRXCND	163	输入	HD 接收端 D 差分时钟输入
HDRXCPD	164	输入	HD 接收端 D 差分时钟输入
HDRX0ND	168	输入	HD 接收端 D 差分通道 0 数据输入
HDRX0PD	169	输入	HD 接收端 D 差分通道 0 数据输入
HDRX1ND	171	输入	HD 接收端 D 差分通道 1 数据输入
HDRX1PD	172	输入	HD 接收端 D 差分通道 1 数据输入
HDRX2ND	174	输入	HD 接收端 D 差分通道 2 数据输入
HDRX2PD	175	输入	HD 接收端 D 差分通道 2 数据输入
RXHPDD	210	输出	HD 接收端 D 热插拔信号输出
RXDETD	211	输入	HD 接收端 D 5V 输入检测
RXDDCSDB	212	输入输出	HD 接收端 D 显示数据通道串行数据总线
RXDDCSCLD	213	输入	HD 接收端 D 显示数据通道串行时钟总线
RX_REXTD	162	输入	HD 接收端 D 输入参考电阻
HD 信号输出			
HDTXCNA	70	输出	HD 发送端 A 差分时钟输出



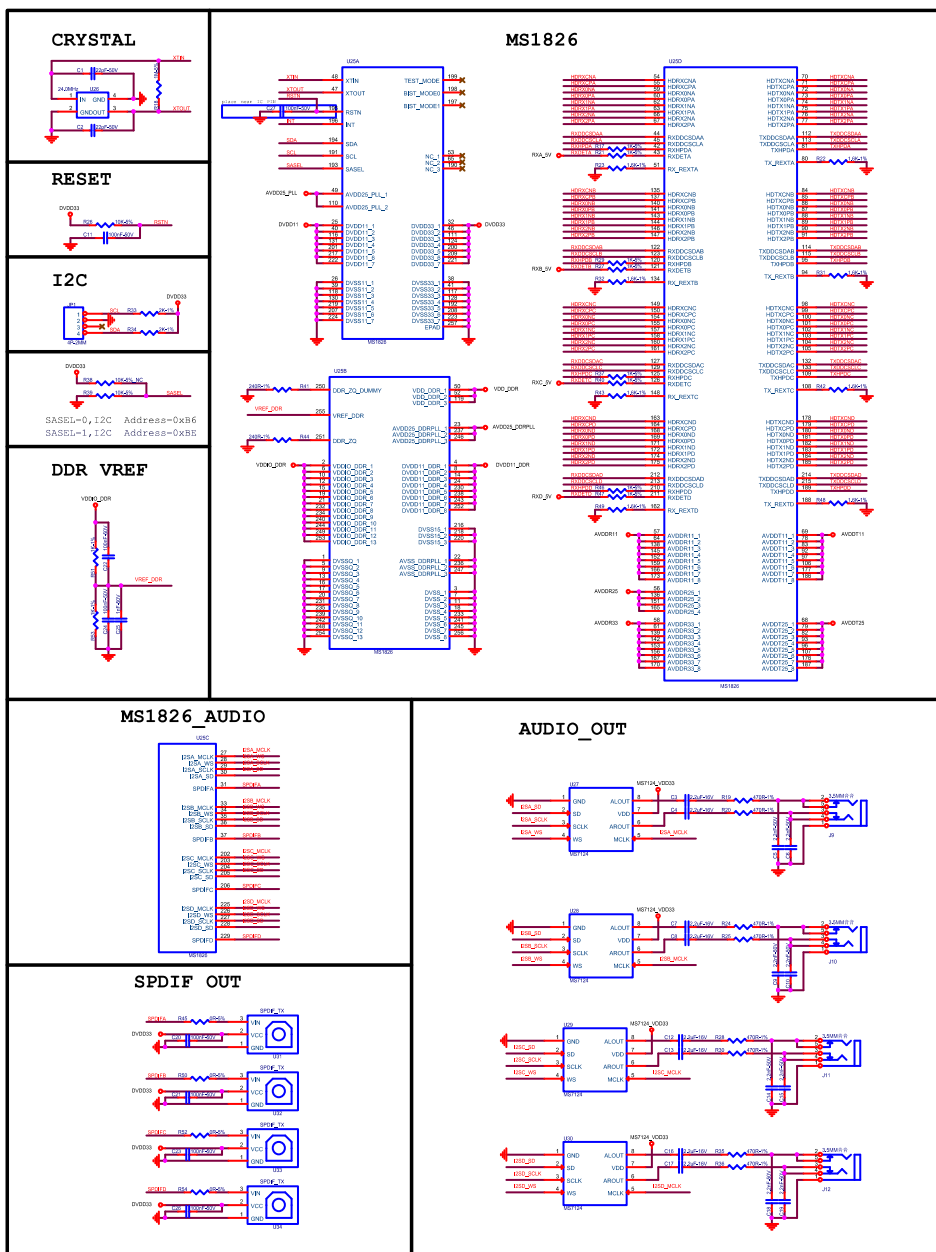
引脚名称	引脚号	类型	描述
HDTXCPA	71	输出	HD 发送端 A 差分时钟输出
HDTX0NA	72	输出	HD 发送端 A 差分通道 0 数据输出
HDTX0PA	73	输出	HD 发送端 A 差分通道 0 数据输出
HDTX1NA	74	输出	HD 发送端 A 差分通道 1 数据输出
HDTX1PA	75	输出	HD 发送端 A 差分通道 1 数据输出
HDTX2NA	76	输出	HD 发送端 A 差分通道 2 数据输出
HDTX2PA	77	输出	HD 发送端 A 差分通道 2 数据输出
TXHPDA	81	输入	HD 发送端 A 热插拔信号输入
TXDDCSDA	112	输入输出	HD 发送端 A 显示数据通道串行数据总线
TXDDCSCLA	113	输出	HD 发送端 A 显示数据通道串行时钟总线
TX_REXTA	80	输入	HD 发送端 A 输入参考电阻
HDTXCNB	84	输出	HD 发送端 B 差分时钟输出
HDTXCPB	85	输出	HD 发送端 B 差分时钟输出
HDTX0NB	86	输出	HD 发送端 B 差分通道 0 数据输出
HDTX0PB	87	输出	HD 发送端 B 差分通道 0 数据输出
HDTX1NB	88	输出	HD 发送端 B 差分通道 1 数据输出
HDTX1PB	89	输出	HD 发送端 B 差分通道 1 数据输出
HDTX2NB	90	输出	HD 发送端 B 差分通道 2 数据输出
HDTX2PB	91	输出	HD 发送端 B 差分通道 2 数据输出
TXHPDB	95	输入	HD 发送端 B 热插拔信号输入
TXDDCSDB	114	输入输出	HD 发送端 B 显示数据通道串行数据总线
TXDDCSCLB	115	输出	HD 发送端 B 显示数据通道串行时钟总线
TX_REXTB	94	输入	HD 发送端 B 输入参考电阻
HDTXCNC	98	输出	HD 发送端 C 差分时钟输出
HDTXCPC	99	输出	HD 发送端 C 差分时钟输出
HDTX0NC	100	输出	HD 发送端 C 差分通道 0 数据输出
HDTX0PC	101	输出	HD 发送端 C 差分通道 0 数据输出
HDTX1NC	102	输出	HD 发送端 C 差分通道 1 数据输出
HDTX1PC	103	输出	HD 发送端 C 差分通道 1 数据输出
HDTX2NC	104	输出	HD 发送端 C 差分通道 2 数据输出
HDTX2PC	105	输出	HD 发送端 C 差分通道 2 数据输出
TXHPDC	109	输入	HD 发送端 C 热插拔信号输入
TXDDCSDAC	132	输入输出	HD 发送端 C 显示数据通道串行数据总线
TXDDCSCLC	133	输出	HD 发送端 C 显示数据通道串行时钟总线
TX_REXTC	108	输入	HD 发送端 C 输入参考电阻
HDTXCND	178	输出	HD 发送端 D 差分时钟输出
HDTXCPD	179	输出	HD 发送端 D 差分时钟输出
HDTX0ND	180	输出	HD 发送端 D 差分通道 0 数据输出

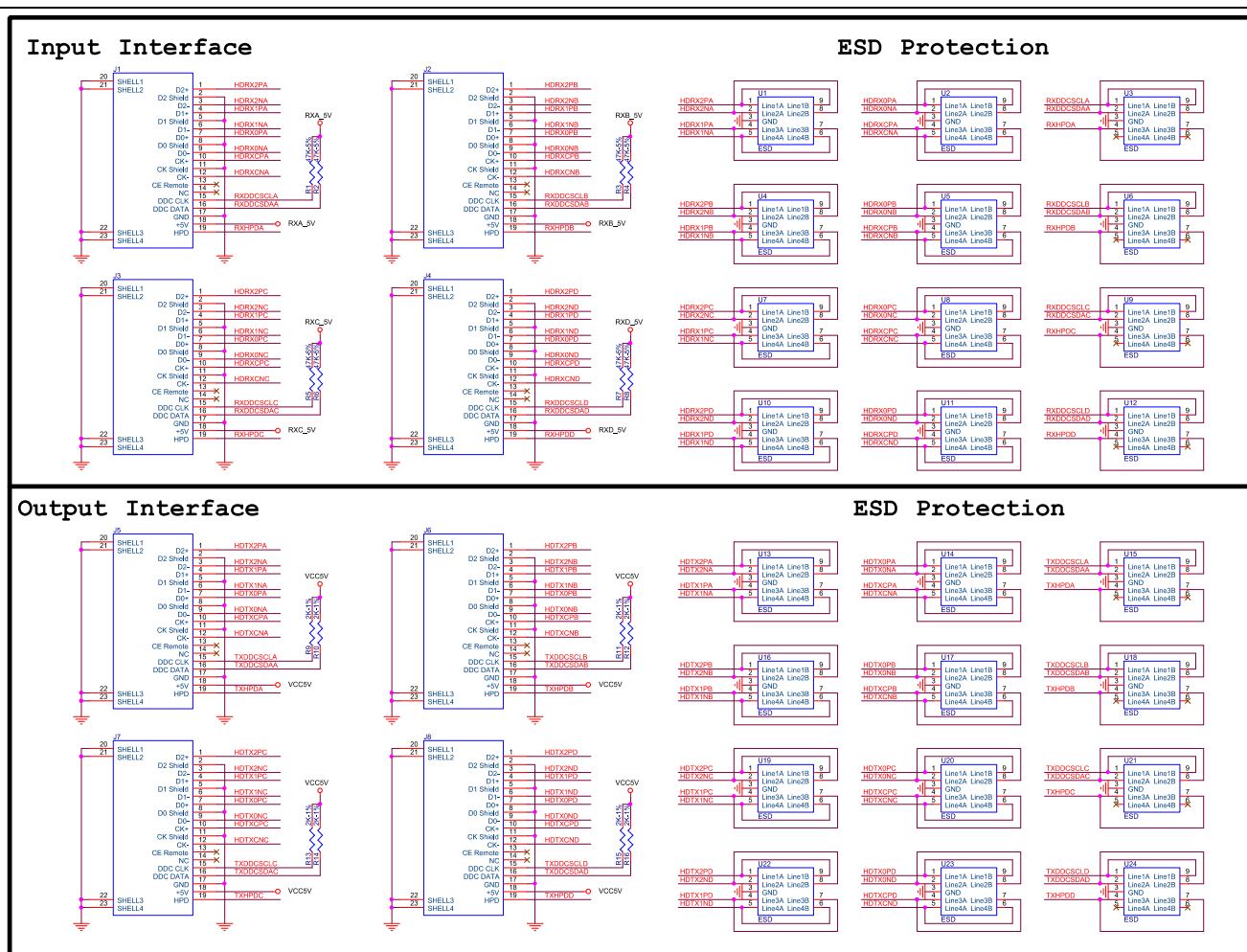
引脚名称	引脚号	类型	描述
HDTX0PD	181	输出	HD 发送端 D 差分通道 0 数据输出
HDTX1ND	182	输出	HD 发送端 D 差分通道 1 数据输出
HDTX1PD	183	输出	HD 发送端 D 差分通道 1 数据输出
HDTX2ND	184	输出	HD 发送端 D 差分通道 2 数据输出
HDTX2PD	185	输出	HD 发送端 D 差分通道 2 数据输出
TXHPDD	189	输入	HD 发送端 D 热插拔信号输入
TXDDCSAD	214	输入输出	HD 发送端 D 显示数据通道串行数据总线
TXDDCSCLD	215	输出	HD 发送端 D 显示数据通道串行时钟总线
TX_REXTD	188	输入	HD 发送端 D 输入参考电阻
数字音频信号			
I2SA_MCLK	27	输入输出	I2SA 主时钟输入/输出
I2SA_WS	28	输入输出	I2SA 左右声道选择输入/输出
I2SA_SCLK	29	输入输出	I2SA 串行时钟输入/输出
I2SA_SD	30	输入输出	I2SA 数据输入/输出
SPDIFA	31	输入输出	SPDIFA 数据输入/输出
I2SB_MCLK	33	输入输出	I2SB 主时钟输入/输出
I2SB_WS	34	输入输出	I2SB 左右声道选择输入/输出
I2SB_SCLK	35	输入输出	I2SB 串行时钟输入/输出
I2SB_SD	36	输入输出	I2SB 数据输入/输出
SPDIFB	37	输入输出	SPDIFB 数据输入/输出
I2SC_MCLK	202	输入输出	I2SC 主时钟输入/输出
I2SC_WS	203	输入输出	I2SC 左右声道选择输入/输出
I2SC_SCLK	204	输入输出	I2SC 串行时钟输入/输出
I2SC_SD	205	输入输出	I2SC 数据输入/输出
SPDIFC	206	输入输出	SPDIFC 数据输入/输出
I2SD_MCLK	225	输入输出	I2SD 主时钟输入/输出
I2SD_WS	226	输入输出	I2SD 左右声道选择输入/输出
I2SD_SCLK	227	输入输出	I2SD 串行时钟输入/输出
I2SD_SD	228	输入输出	I2SD 数据输入/输出
SPDIFD	229	输入输出	SPDIFD 数据输入/输出
DDR 信号			
DDR_ZQ_DUMMY	250	输入	DDR 输入校准参考电阻, 240 Ω -1%接地
DDR_ZQ	251	输入	DDR 输入校准参考电阻, 240 Ω -1%接地
VREF_DDR	255	输入	1/2 VDDIO_DDR 电压输入
电源和地			
VDDIO_DDR	2,6,10,12,15,19,21,232,234,240,244,249,253	电源	DDR IO 1.35V 电源
DVDD11_DDR	4,8,14,24,230,238,243,252	电源	DDR 1.1V 电源



引脚名称	引脚号	类型	描述
AVDD25_DDRPLL	23,237,246	电源	DDR PLL 模拟 2.5V 电源
AVDD25_PLL	49,110	电源	PLL 模拟 2.5V 电源
VDD_DDR	50,52,119	电源	DDR 1.35V 电源
AVDDR25	56,136,151,165	电源	HD 接收端模拟 2.5V 电源
AVDDR11	57,64,138,145,152,159,166,173	电源	HD 接收端模拟 1.1V 电源
AVDDR33	58,61,139,142,153,156,167,170	电源	HD 接收端模拟 3.3V 电源
AVDDT25	68,79,82,93,96,107,176,187	电源	HD 发送端模拟 2.5V 电源
AVDDT11	69,78,83,92,97,106,177,186	电源	HD 发送端模拟 1.1V 电源
DVDD33	32,46,111,124,200,209,221	电源	数字 3.3V 电源
DVDD11	25,40,116,131,201,217,222	电源	数字 1.1V 电源
DVSS	3,7,11,18,233,241,245,256	地	地
DVSSQ	1,5,9,13,16,17,20,231,235,239,242,248,254	地	地
AVSS_DDRPLL	22,236,247	地	地
DVSS11	26,39,118,130,207,219,224	地	地
DVSS_DDR	216,218,220	地	地
DVSS33	38,41,117,128,192,208,223	地	地
NC	53,65,190	空脚	无需连接

10. 典型应用电路

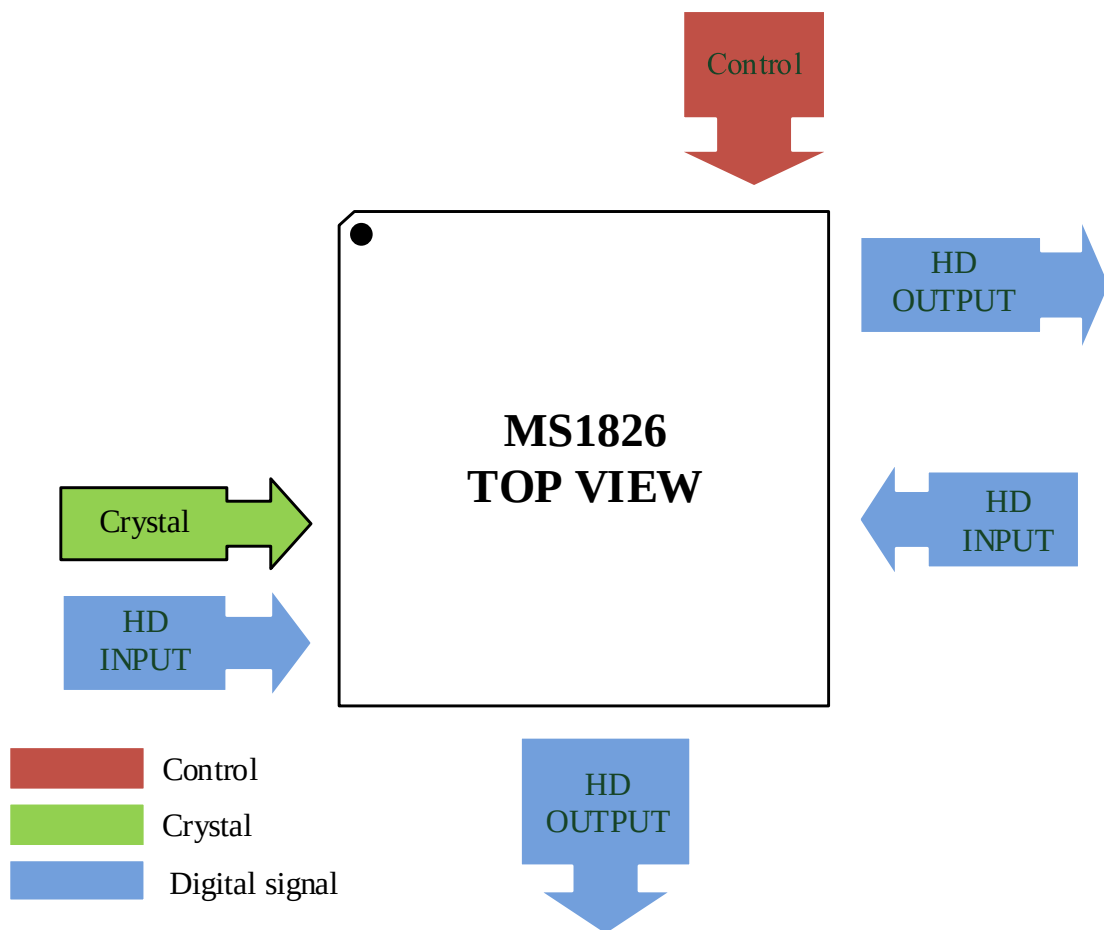




图九 典型应用电路

11. PCB 设计说明

11.1 MS1826 重要信号分布



图十 MS1826 重要信号分布图

11.2 PCB 设计建议

电源/地

(1) 地走线宽度需与流过的电流对应，各模块电源/地电流的具体大小可参考 MS1826 Datasheet 电气特性章节。

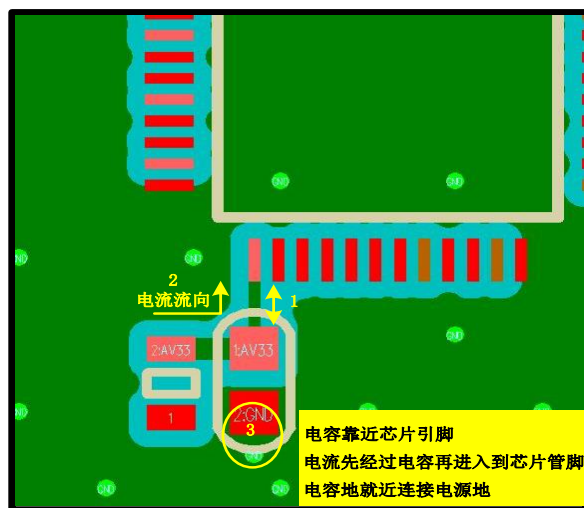
在绘制 PCB 时电源/地走线应尽量宽，实际走线宽度建议不小于下表参考值：

表 11.1 电源走线宽度与电流值对应表

最大载流量 (mA)	建议画线宽度 (mil)
50	≥ 12
100	≥ 16
200	≥ 20
400	≥ 30
600	≥ 40
800	≥ 50
1000	≥ 60

备注：以上对应参数均铜皮为 1 盎司为参考。

(2) 芯片供电的滤波电容需靠近芯片电源管脚，电源要求先经过电容再进入到芯片管脚，滤波电容地需就近打孔连接电源地；



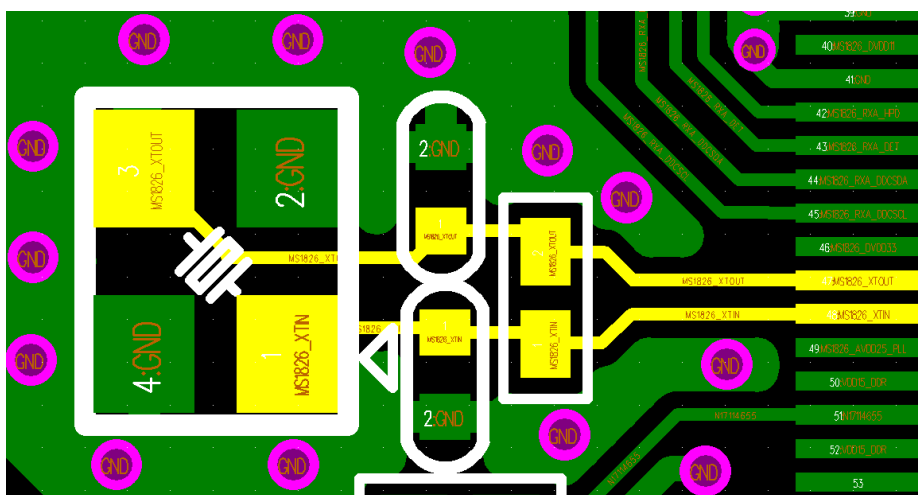
图十一 芯片供电滤波电容 PCB 绘制示意图

(3) 地平面要求完整，4 层板要求要有一层完整地平面；

(4) 电源走线避免与信号线平行走线，如果有电源与信号平行走线时，建议电源与信号线之间使用地线隔离或保证间距满足 3W。

11.3 时钟

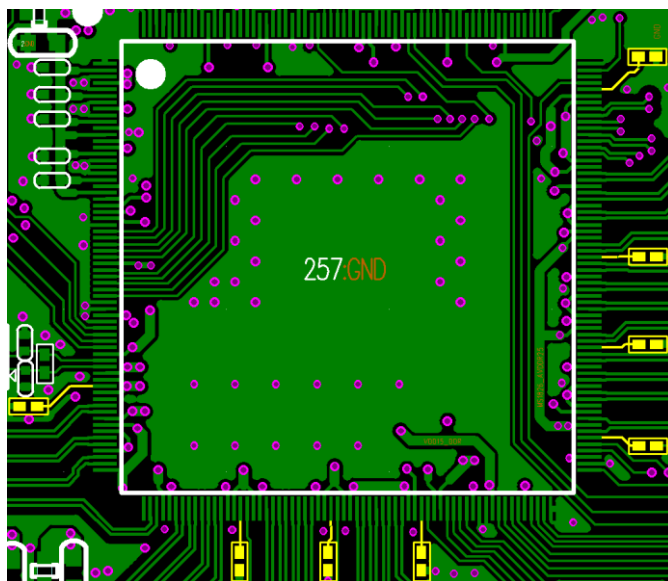
- (1) 晶振布局尽量靠近芯片；
- (2) 走线要求尽量短，要求进行包地处理；
- (3) 禁止其他信号线靠近或从其他层穿过 MS1826 的晶振。



图十二 晶振 PCB 绘制示意图

11.4 REXT 参考电阻

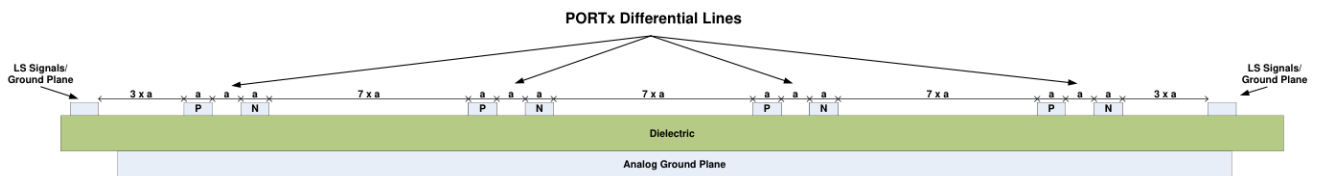
RX_REXTA/B/C/D 及 TX_REXTA/B/C/D 外部参考电阻，必须靠近芯片 Pin 放置。



图十三 REXT 电阻 PCB 绘制示意图

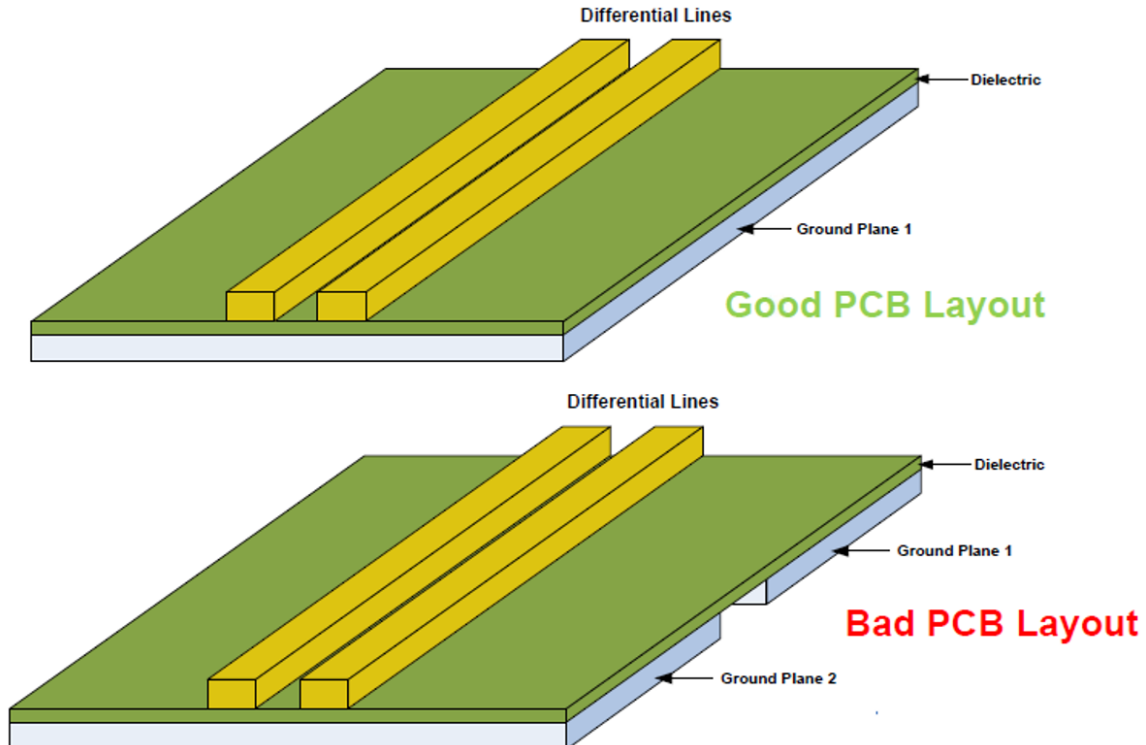
11.5 HD 信号线

- (1) 差分走线，阻抗要求 $100 \pm 10\% \Omega$;
- (2) 差分线布线，建议尽量短且直;
- (3) 4 对差分线需等长、等间距，每对线间误差尽量在 5mil 之内;
- (4) TMDS 差分对与差分对间最小间距推荐为 $7 \times a$ ，TMDS 差分对与地间最小间距推荐为 $3 \times a$;



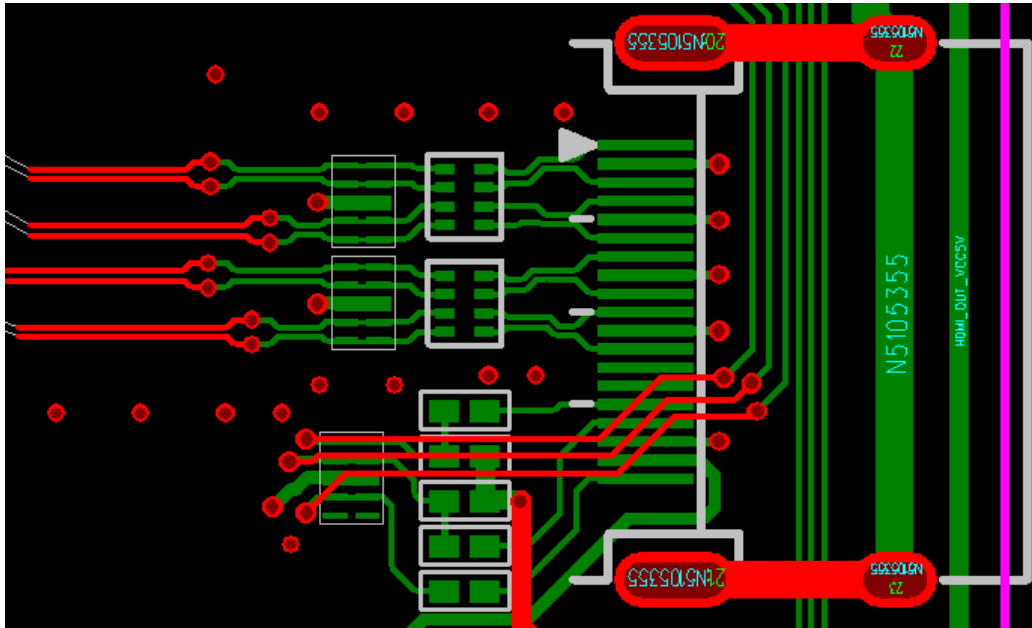
图十四 TMDS 差分对间距示意图

- (5) 禁止差分线背面有其他信号线穿过或放置其他元器件，保证差分线背面参考地的完整性;



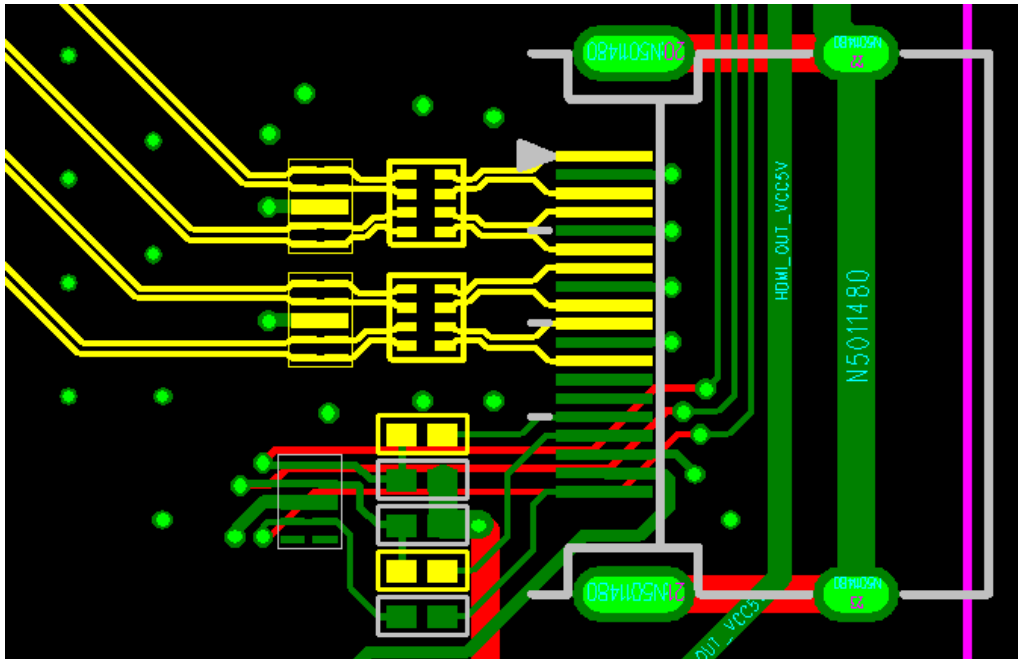
图十五 TMDS PCB Layout 示意图

(6) 每对差分线换层打过孔不能超过 2 次，打孔换层走线，需要保证一组 HD 线都在同一层走线；



图十六 HD 走线换层 PCB Layout 示意图

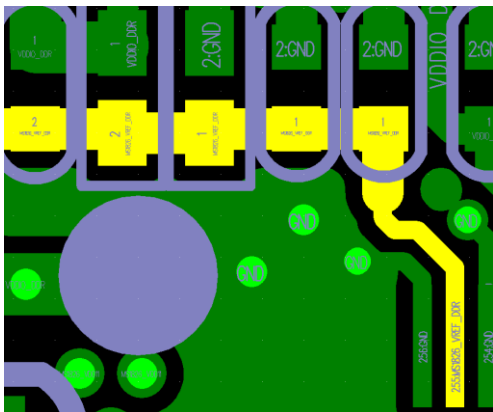
(7) ESD 器件以及串联排阻和串联电阻需靠近 HD 的接口放置(HD 接口->排阻/电阻->ESD 器件)。



图十七 HD 信号线 PCB 绘制示意图

11.6 VREF DDR 参考电压

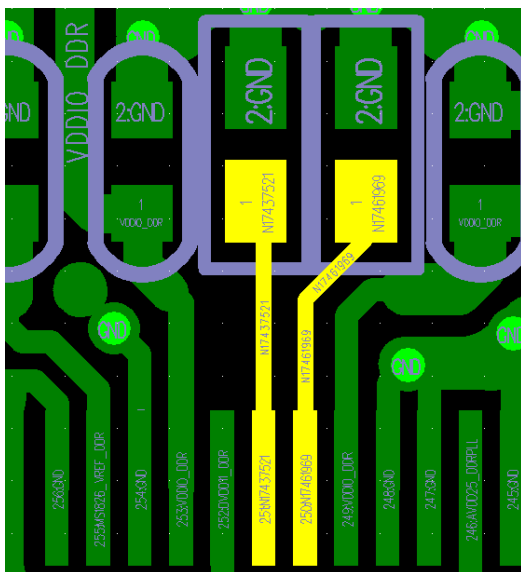
VREF DDR 参考电压分压电阻，尽量靠近芯片摆放，电容必须靠近芯片 Pin 放置。



图十八 VREF DDR 参考电压 PCB 绘制示意图

11.7 DDR ZQ 参考电阻

DDR_ZQ、DDR_ZQ_DUMMY 外部参考电阻，必须靠近芯片 Pin 放置。



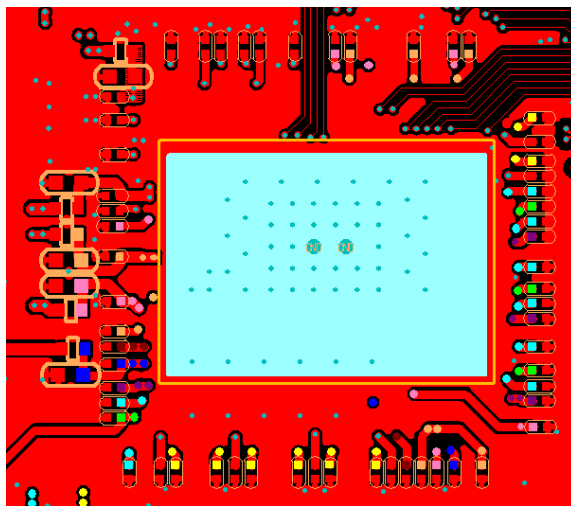
图十九 DDR ZQ 参考电阻 PCB 绘制示意图

11.8 PCB 散热处理

- (1) MS1826 EPAD 热焊盘需多打 GND 过孔到背面铺铜区域;
- (2) PCB 背面没有布线区域, 可开窗露铜, 有利于芯片散热;

(3) PCB 布局时，发热器件（如电源、电感等）及对热量敏感器件需要远离 MS1826 芯片放置。

(4) 注意：贴片加工时需注意 MS1826 的 EPAD 必须保证焊接上，如 EPAD 没有焊上会导致 HD 工作异常。



图二十 PCB 散热处理绘制示意图

12. 电气特性

12.1 极限参数

表 12.1 极限电气参数

参数	符号	数值	单位
极限工作电压	V_{DD33}	3.63	V
	V_{DD25}	2.75	V
	$V_{DD1.35}$	1.575	V
	V_{DD11}	1.21	V
环境工作温度	T_A	-40 to +85	°C
存储温度	T_{sto}	-65 to +150	°C
极限结温温度	T_{jmax}	125	°C

注意：如果器件的工作条件超过上述“极限参数”的范围，将造成器件永久性破坏。只有当器件工作在说明书所规定的范围内时，功能才能得到保障。器件在极限参数列举的条件下工作，将会影响到器件工作的可靠性。

表 12.2 极限防静电参数

参数	符号	数值	单位
人体模型（HBM）	$V_{ESD}(HBM)$	±2000	V
机器模型（MM）	$V_{ESD}(MM)$	±100	V
带电模型（CDM）	$V_{ESD}(CDM)$	±500	V

静电保护注意事项：静电荷积聚在人体和测试设备上，可以在不被检测的情况下放电。虽然本产品具有专用的静电保护电路，但在高能量静电放电的设备上可能发生永久性损坏。因此，建议采取适当的静电预防措施。

12.2 直流参数

表 12.3 推荐工作电压(测试条件:4 路接收端和 4 路发送端同时工作,输入/输出分辨率 4K×2K@30Hz)

参数	符号	最小值	典型值	最大值	单位
HD 接收端模拟 3.3V 电压	AVDDR33	3.135	3.3	3.465	V
HD 接收端模拟 2.5V 电压	AVDDR25	2.25	2.5	2.75	V
HD 接收端模拟 1.1V 电压	AVDDR11	0.99	1.1	1.21	V

参数	符号	最小值	典型值	最大值	单位
HD 发送端模拟 2.5V 电压	AVDDT25	2.25	2.5	2.75	V
HD 发送端模拟 1.1V 电压	AVDDT11	0.99	1.1	1.21	V
PLL 模块模拟 2.5V 电压	AVDD25_PLL	2.25	2.5	2.75	V
DDR PLL 模块模拟 2.5V 电压	AVDD25_DDRPLL	2.25	2.5	2.75	V
数字 3.3V 电压	DVDD33	2.97	3.3	3.63	V
数字 1.1V 电压	DVDD11	0.99	1.1	1.21	V
DDR IO 1.35V 电压	VDDIO_DDR	1.283	1.35	1.45	V
DDR 数字 1.1V 电压	DVDD11_DDR	0.99	1.1	1.21	V
DDR 模拟 1.35V 电压	VDD_DDR	1.283	1.35	1.45	V
DDR 参考电压	VREF_DDR	0.49*VDDIO _DDR	0.5*VDDIO _DDR	0.51*VDDIO _DDR	V

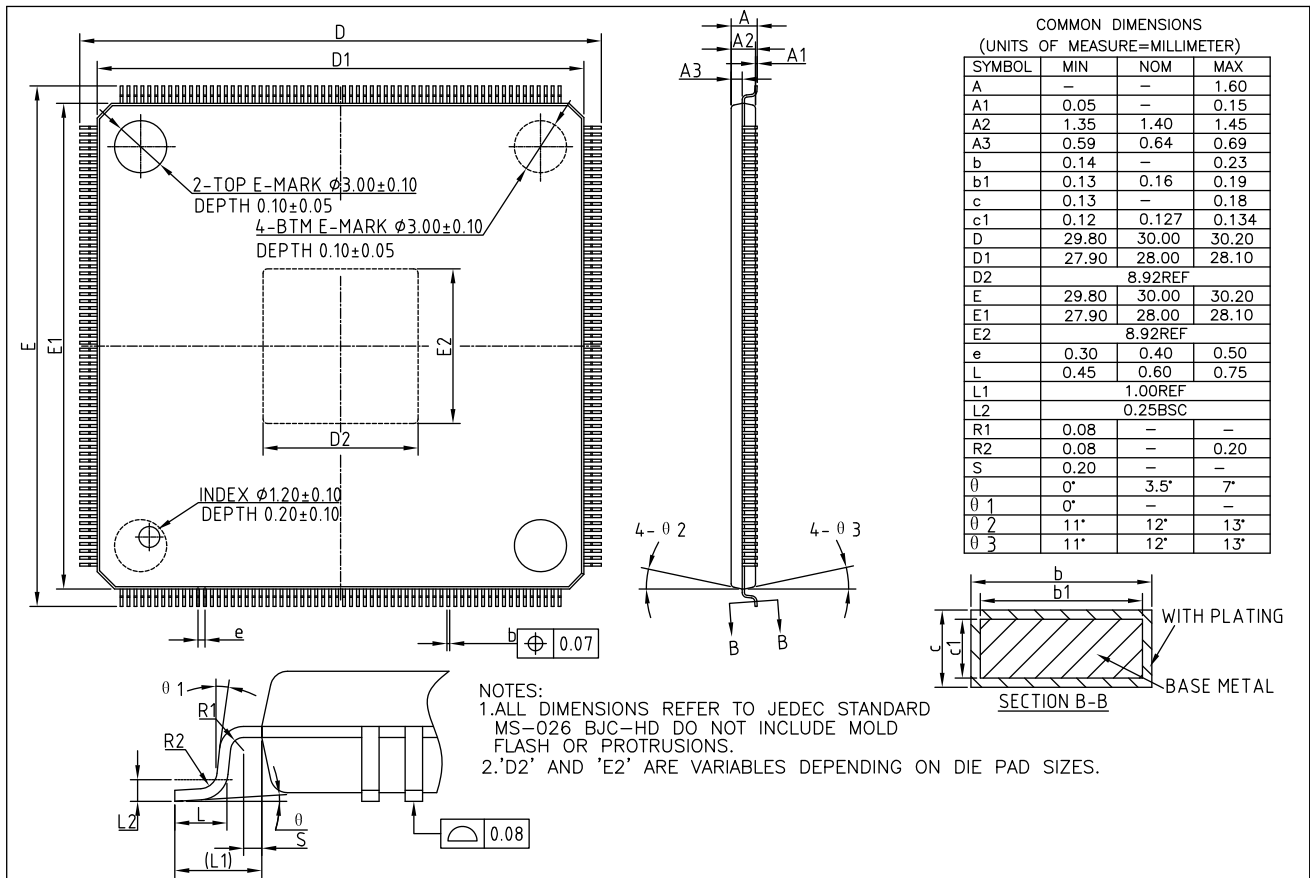
表 12.4 电流参数（测试条件：4 路接收端和 4 路发送端同时工作）

参数	符号	最小值	典型值	最大值	单位	备注
HD 接收端模拟 3.3V 电流	I _{AVDDR33}			352	mA	1, 2
HD 接收端模拟 2.5V 电流	I _{AVDDR25}		96		mA	2
HD 接收端模拟 1.1V 电流	I _{AVDDR11}		148	216	mA	2, 3
HD 发送端模拟 2.5V 电流	I _{AVDDT25}		64	72	mA	2, 3
HD 发送端模拟 1.1V 电流	I _{AVDDT11}		32	64	mA	2, 3
PLL 模块模拟 2.5V 电压	I _{AVDD25_PLL}		18		mA	
DDR PLL 模块模拟 2.5V 电压	I _{AVDD25_DDRPLL}		36		mA	
数字 3.3V 电流	I _{DVDD33}		6		mA	
DDR IO 1.35V 电流	I _{VDDIO_DDR}		165		mA	
DDR 模拟 1.35V 电流	I _{VDD_DDR}		195		mA	
数字 1.1V 电流	Bypass 模式	I _{DVDD11} & I _{DVDD11_DDR}	215	310	mA	3, 4
	SDN 模式		580		mA	4

备注：

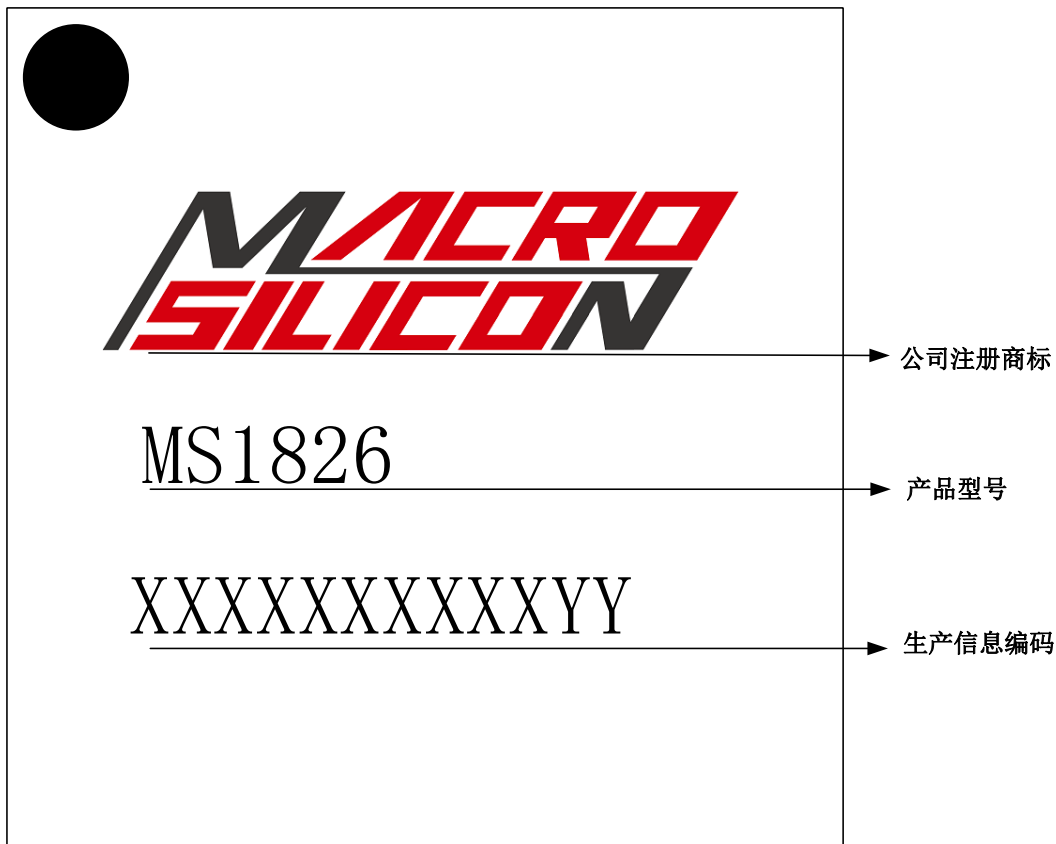
- 1、I_{AVDDR33} 的数值与 HD 接收端所接的信号源和输入路数有关，表格中所列的最大值为 4 路 HD 接收端都接入相同的播放盒信号源所测得的 4 路 AVDDR33 总值，仅作为参考，实际应用时此数据依输入信号源和输入路数所定；
- 2、所表示的数据为 4 路 HD 接收端同时工作的电流总和；
- 3、典型值表示在 1080P@60Hz 输入分辨率下的数据，最大值表示在 4K@30Hz 输入分辨率下的数据；
- 4、数字 1.1V 电流包括 DVDD11 和 DVDD11_DDR 两组电源的电流消耗总和，设计时可以用同一电源网络供电。

13. 封装信息



图二十一 封装视图

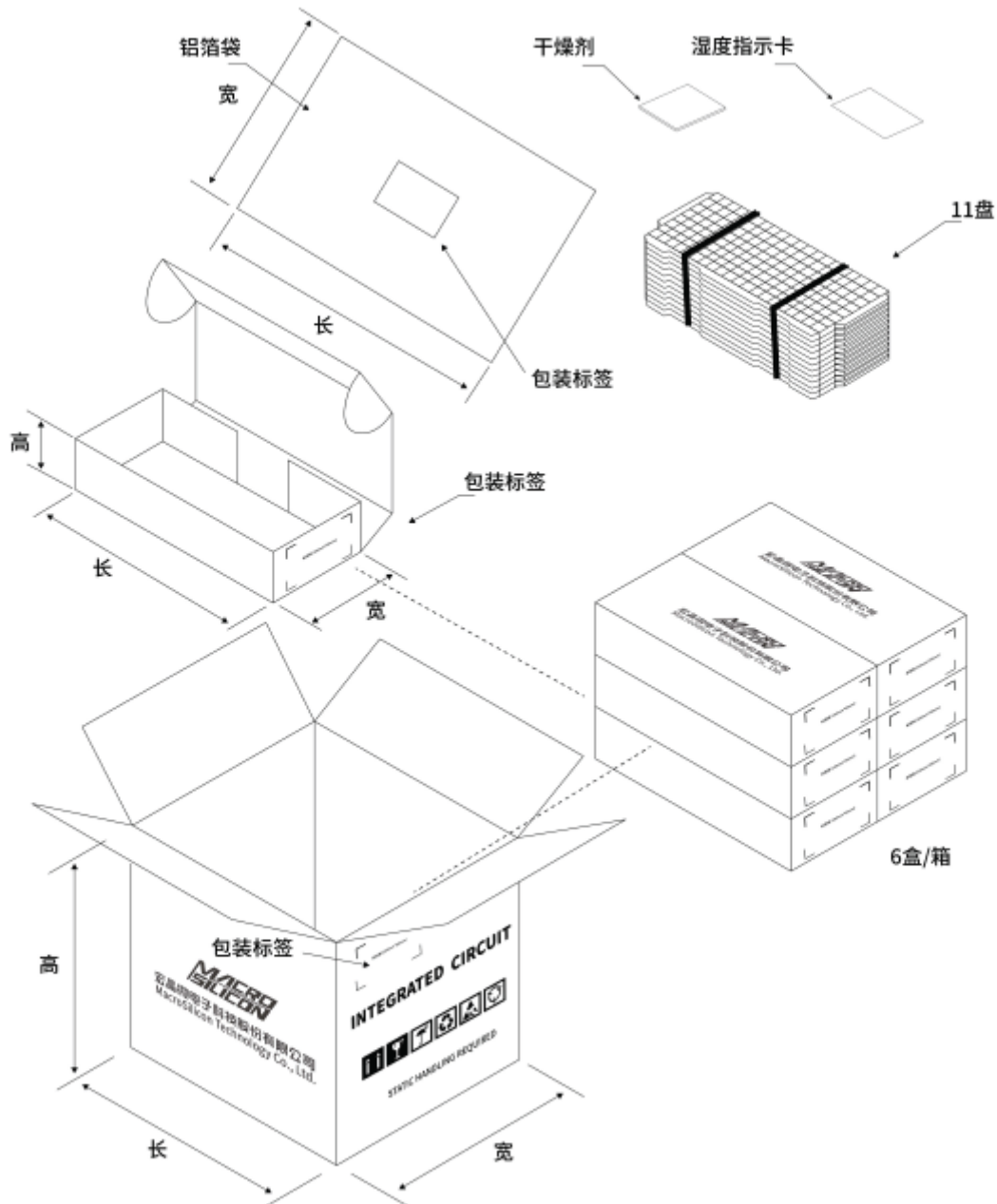
14. 芯片标识



图二十二 芯片标识

15. 包装信息

15.1 包装信息：



图二十三 包装示意图

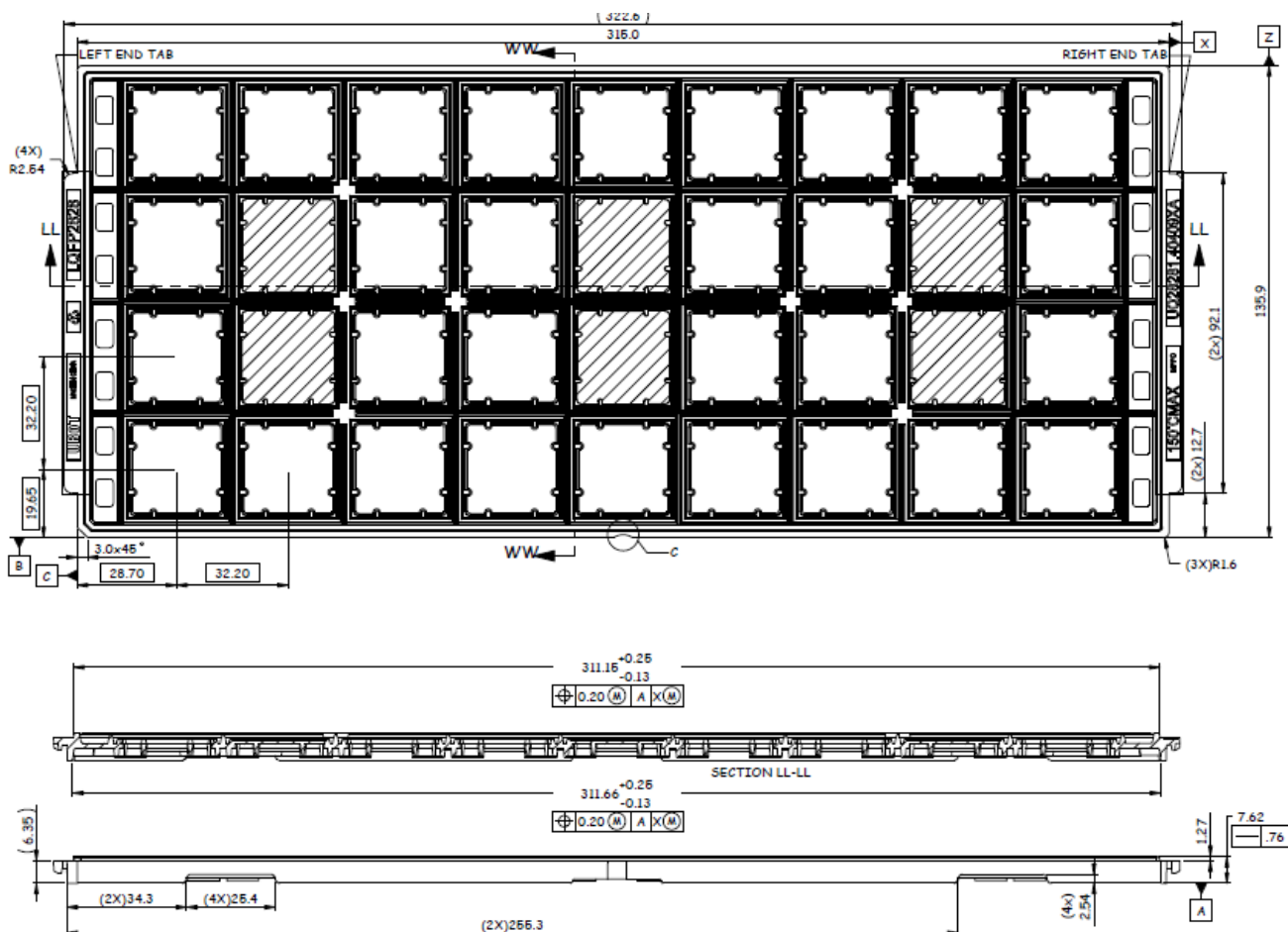
表 15.1 包装纸箱箱尺寸

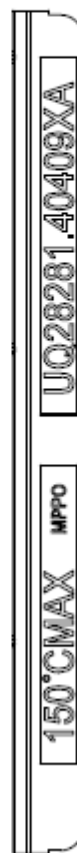
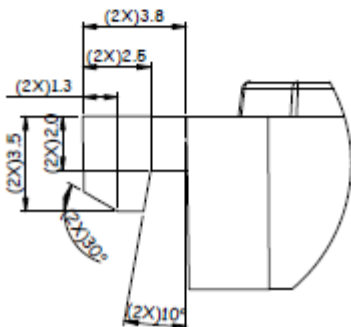
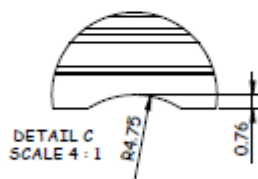
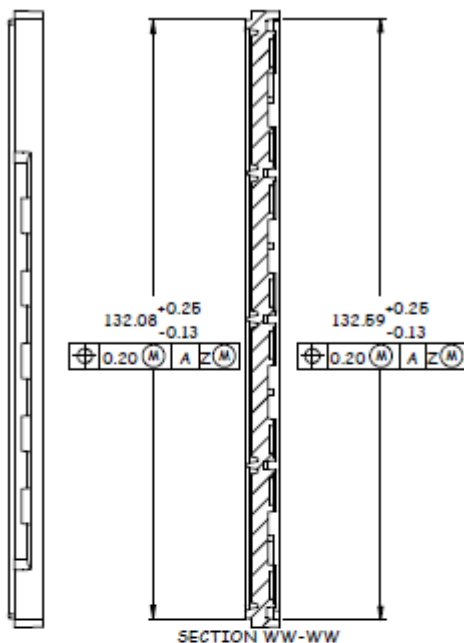
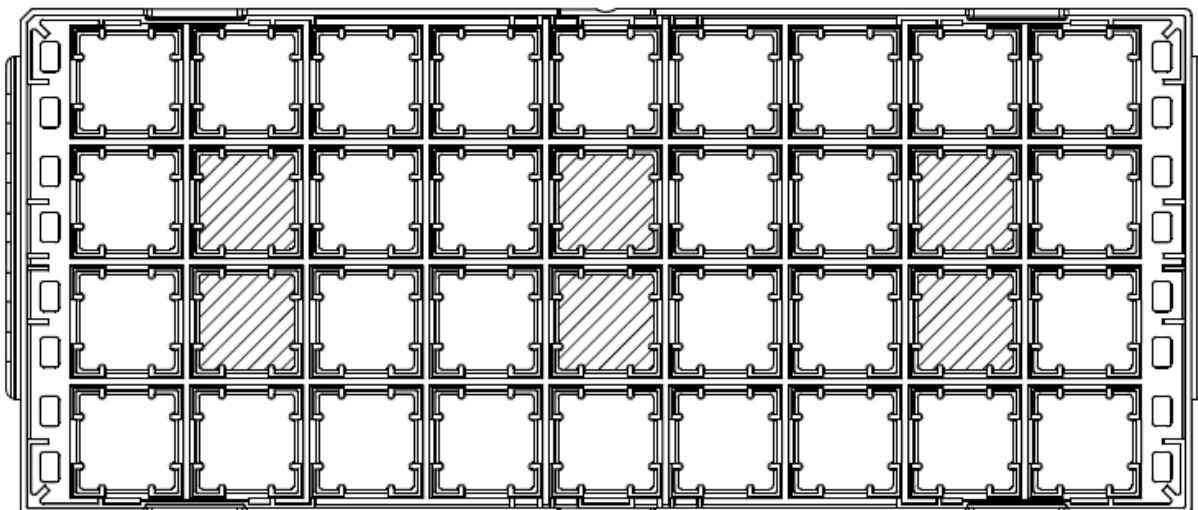
包装箱尺寸信息 (单位:mm)	
内箱	370(L)*155(W)*85(H)
外箱	390(L)*330(W)*280(H)

表 15.2 包装标准:

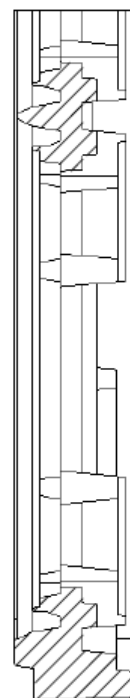
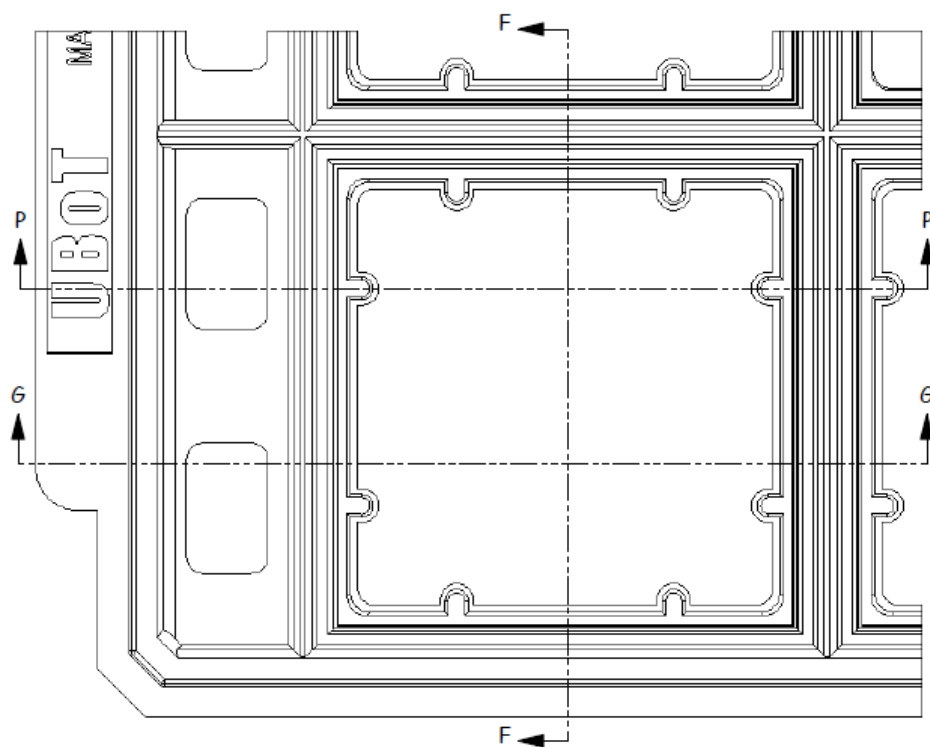
封装外形	每 TRAY 盘数量 (单位: PCS)	每内箱数量 (单位: PCS)	每外箱数量 (单位: PCS)	内外箱数比
HLQFP-256(28mm×28mm)	36	360	2160	6:1

15.2 Tray 盘尺寸信息

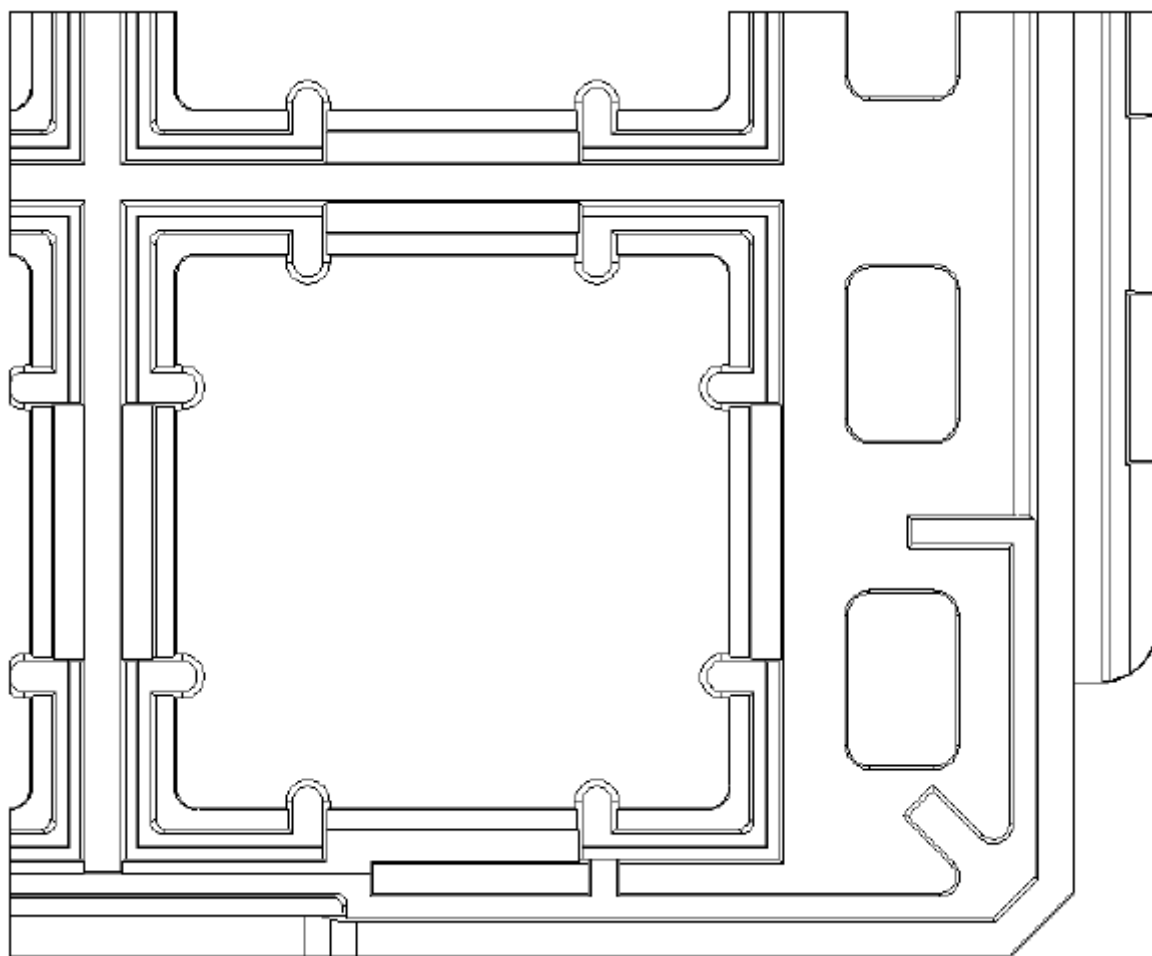


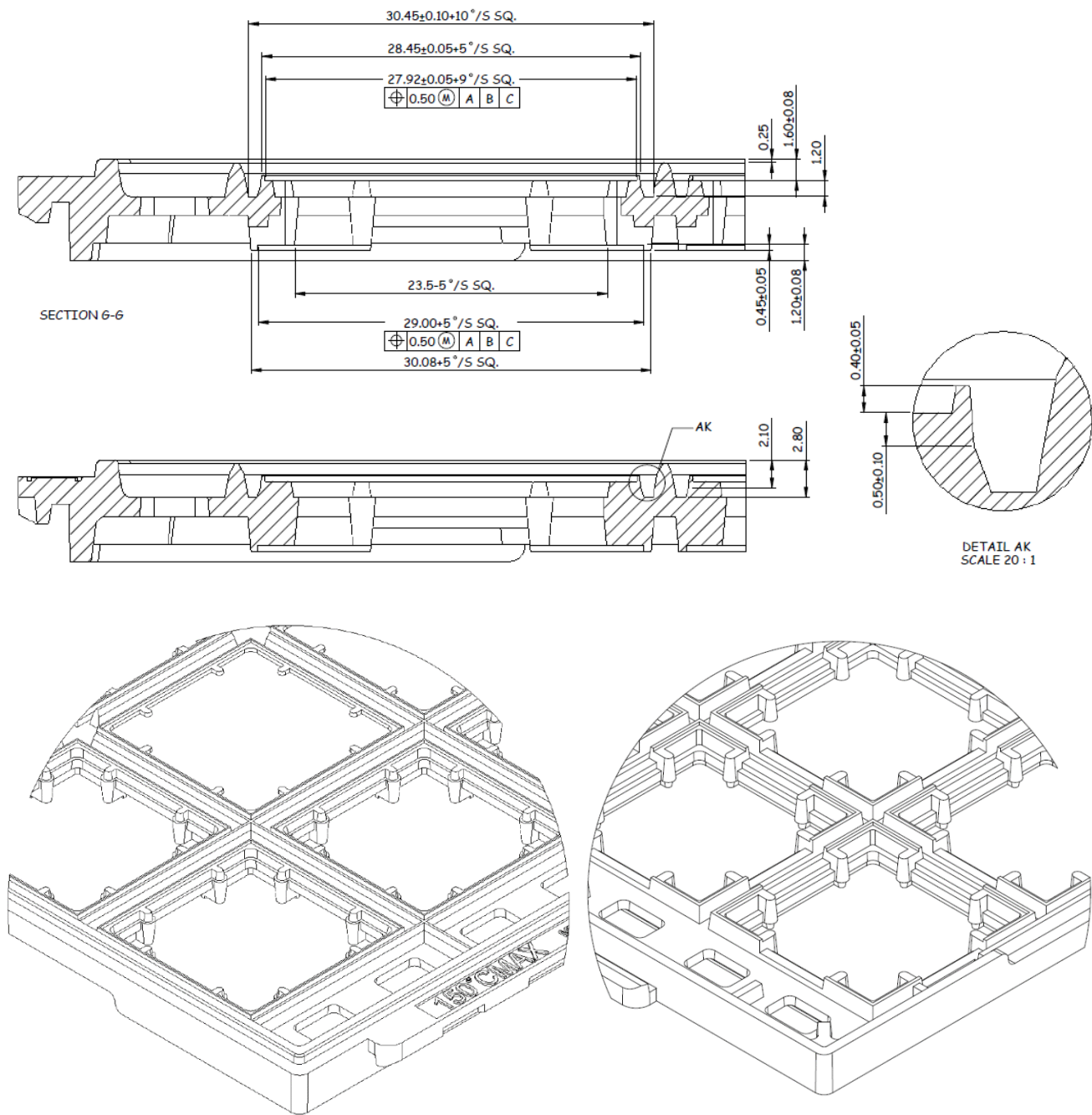


DETAIL LEFT END TAB SCALE 2:1 DETAIL RIGHT END TAB SCALE 2:1



SECTION F-F



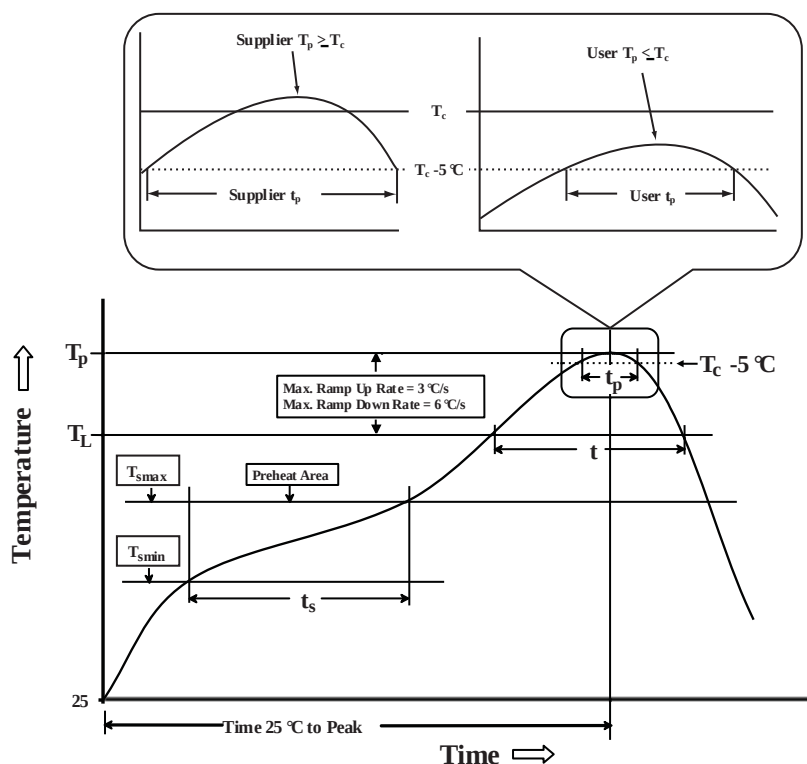


图二十四 托盘示意图

16. 回流焊温度规范

表 16.1 回流焊温度曲线描述

回流焊温度曲线	Pb-Free Assembly
预热时间 ($T_{smin} \sim T_{smax}$)	60~120 秒 (150~200℃)
液态温度 (T_L)	217℃
峰值温度 (T_P)	260℃ (+5/-0℃)
上升速率 ($T_L \sim T_P$)	$\leq 3.0^\circ\text{C}/\text{秒}$
维持时间 (217℃以上)	60~150 秒
峰值温度 5℃ 范围内维持时间 (255℃以上)	30~40 秒
下降速率 ($T_P \sim T_L$)	$\leq 6.0^\circ\text{C}/\text{秒}$
25℃ 至峰值温度时间	≤ 8 分钟



图二十五 回流焊温度曲线图



17.版本记录

日期	版本	备注
2022-11	V1.0	初版
2022-12	V1.1	修正引脚信息及部分功能描述。
2023-3	V1.2	更新 PCB 设计说明
2023-6	V1.3	修改参考电路部分问题
2023-7	V1.4	修改封装信息
2023-8	V1.5	修改 DDR 电气参数
2023-8	V1.6	修订功能框图
2024-5	V1.7	修正 DDR 速率为 1600MT/s