

256Mb/512Mb/1Gb SEMPER™ フラッシュ

クアッド SPI, 1.8V/3.0V

機能

- 各メモリアレイセルに2データビットを保存するインフィニオン 45nm MirrorBit 技術
- セクタアーキテクチャオプション
 - ユニフォーム: アドレス空間はすべて 256KB セクタで構成
 - ハイブリッドコンフィギュレーション 1: アドレス空間は、最上部または最下部でグループ化された 32 の 4KB セクタと、残りの部分にある全 256KB セクタで構成
 - ハイブリッドコンフィギュレーション 2: アドレス空間は、最上部と最下部の両方で均等に分割された 32 の 4KB セクタと、残りの部分にある全 256KB セクタで構成
- 256 または 512 バイトのページプログラムバッファ
- 1024 バイト (32×32 バイト) の OTP セキュアシリコンアレイ
- クアッド SPI
 - 1S-1S-4S、1S-4S-4S、1S-4D-4D、4S-4S-4S、4S-4D-4D プロトコルをサポート
 - SDR オプションは最大 83Mbps (166MHz クロック速度)
 - DDR オプションは最大 102Mbps (102MHz クロック速度)
- デュアル SPI
 - 1S-2S-2S プロトコルをサポート
 - SDR オプションは最大 41.5Mbps (166MHz クロック速度)
- SPI
 - 1S-1S-1S プロトコルをサポート
 - SDR オプションは最大 21Mbps (166MHz クロック速度)
- 安全性機能
 - 業界初の ISO 26262 ASIL B 準拠および ASIL D 対応 NOR フラッシュによる安全性機能
 - インフィニオン Endurance Flex アーキテクチャ: 高耐久性および長期データ保持のパーティションを提供
 - データ整合性 CRC: メモリアレイでエラーを検出
 - セーフブート: デバイスの初期化失敗を報告し、コンフィギュレーション破損を検出し、回復オプションを提供
 - 内蔵エラー訂正コード (ECC): メモリアレイデータでシングルビットエラー訂正およびダブルビットエラー検出 (SECEDED) を実行
 - 消去中の電力喪失を示すセクタ消去ステータスインジケータ
- 保護機能
 - メモリアレイとデバイスコンフィギュレーションのレガシーブロック保護コンフィギュレーション
 - 個別メモリアレイセクタ単位での高度セクタ保護
- 電源投入後のメモリアレイへの即時アクセスを有効化
- CS# シグナリング方式 (JEDEC)/ 個別 RESET# ピン /DQ3_RESET# ピンによるハードウェアリセット
- デバイス機能と特長を記述するシリアルフラッシュ検出可能パラメーター (SFDP)
- デバイス ID、メーカー ID、固有 ID
- データ整合性
 - 256Mb デバイス
 - メインアレイは最小 640,000 回のプログラム / 消去サイクル
 - 512Mb デバイス
 - メインアレイは最小 1,280,000 回のプログラム / 消去サイクル

256Mb/512Mb/1Gb SEMPER™ フラッシュ クアッド SPI, 1.8V/3.0V



性能要約

- 1Gb デバイス
 - メイン アレイは最小 2,560,000 回のプログラム / 消去サイクル
- すべてのデバイス
 - 4KB セクタは最小 300,000 回のプログラム / 消去サイクル
 - 少なくとも 25 年間のデータ保持
- 電源電圧
 - 1.7V ~ 2.0V (HS-T)
 - 2.7V ~ 3.6V (HS-T)
- グレード / 温度範囲
 - 産業用 (-40°C ~ +85°C)
 - 産業用プラス (-40°C ~ +105°C)
 - 車載用 AEC-Q100 グレード 3 (-40 °C ~ + 85 °C)。
 - 車載用 AEC-Q100 グレード 2 (-40 °C ~ + 105 °C)。
 - 車載用 AEC-Q100 グレード 1 (-40 °C ~ + 125 °C)。
- パッケージ
 - 256MB と 512MB
 - 16 リード SOIC (300mil) - SO3016
 - 24 ボール BGA 6×8mm
 - 16 リード SOIC (300mil)
 - 8 接点 WSON 6×8mm
 - 1GB
 - 16 リード SOIC (300mil) - SO3016
 - 24 ボール BGA 8×8mm
 - 16 リード SOIC (300mil)

性能要約

最大読み出し速度

トランザクション	初期アクセスレイテンシ (サイクル)	クロック レート (MHz)	Mbps
SPI 読み出し	0	50	6.25
SPI 高速読み出し	9	166	20.75
SDR デュアル読み出し	7	166	41.5
SDR クアッド読み出し	10	166	83
DDR クアッド読み出し	7	102	102

標準プログラムと消去速度

動作	Kbps
256B ページプログラム (4KB セクタ /256KB セクタ)	595/533
512B ページプログラム (4KB セクタ /256KB セクタ)	753/898
256KB セクタ消去	331
4KB セクタ消去	95

標準消費電力

動作	電流 (mA)
SDR 読み出し 50MHz	10
SDR 読み出し 166MHz	53

標準消費電力

動作	電流 (mA)
DDR 読み出し 102MHz	50
プログラム	50
消去	50
スタンバイ (HS-T)	0.011
スタンバイ (HL-T)	0.014
ディープパワー ダウン (HS-T)	0.0013
ディープパワー ダウン (HL-T)	0.0022

データ整合性

プログラム / 消去 (PE) 可能回数 - 高耐久性 (256KB セクタ)

パーティション内のセクタ数	最小 PE サイクル数	最小データ保持期間	単位
512 (1GB デバイスのデフォルト値)	2,560,000	2	年
508	2,540,000		
504	2,520,000		
...	...		
256 (512MB デバイスのデフォルト値)	1,280,000		
252	1,260,000		
128 (256MB デバイスのデフォルト値)	640,000		
...			
28	140,000		
24	120,000		
20	100,000		

注 最小サイクル数は高耐久性パーティション全体に対するものです。

プログラム / 消去可能回数 - 長期データ保持パーティション (256KB セクタ)

最小 PE サイクル数	最小データ保持期間	単位
500	25	年

注 最小サイクル数は各々のセクタに対するものです。

4KB セクタおよび不揮発性レジスタ アレイのプログラム / 消去可能回数

フラッシュ メモリ タイプ	最小サイクル数	単位	最小データ保持期間	単位
4KB セクタのプログラム / 消去サイクル数	500	PE サイクル	25	年
	300,000		2	
	注: 上記の書き換え可能回数を達成するためには、プログラムまたは消去動作中に電力喪失イベントをセクタあたり 300 回に制限する必要があります。			
恒久的な保護ビット (PPB) アレイまたは不揮発性レジスタ アレイのプログラム / 消去サイクル数	500		25	
注 不揮発性レジスタへの書き込みトランザクションを実行するたびに、不揮発性レジスタ アレイ全体で PE サイクルが発生します。				

目次

機能	1
性能要約	2
データ整合性	3
目次	4
1 ピン配置および信号の説明	7
2 インターフェースの概要	9
2.1 概要	9
2.2 信号プロトコル	11
2.2.1 クアッド SPI を備える SEMPER™ フラッシュのクロック モード	11
2.3 トランザクション プロトコル	12
2.3.1 シリアル ペリフェラル インターフェース (SPI、1S-1S-1S)	14
2.3.2 デュアル IO SPI (DIO、1S-2S-2S)	16
2.3.3 クアッド出力読み出し SPI (QOR、1S-1S-4S)	17
2.3.4 クアッド IO SPI (QIO、1S-4S-4S、1S-4D-4D)	17
2.3.5 クアッド ペリフェラル インターフェース (QPI、4S-4S-4S、4S-4D-4D)	19
2.4 レジスタ命名規則	22
2.5 トランザクション命名規則	22
3 アドレス空間マップ	23
3.1 SEMPER™ フラッシュ メモリ アレイ	23
3.2 ID アドレス空間	25
3.3 JEDEC JESD216 シリアル フラッシュ検出可能パラメーター (SFDP) 空間	26
3.4 SSR アドレス空間	26
3.5 レジスタ	27
4 機能	29
4.1 エラー検出と訂正	29
4.1.1 ECC エラー報告	30
4.1.2 ECC に関連するレジスタとトランザクション	32
4.2 インフィニオン Endurance Flex アーキテクチャ (ウェア レベリング)	32
4.2.1 コンフィギュレーション 1: 最大耐久性 - 1 高耐久性領域	35
4.2.2 コンフィギュレーション 2: 2 領域選択 - 1 長期データ保持領域と 1 高耐久性領域	35
4.2.3 インフィニオン Endurance Flex アーキテクチャ関連レジスタとトランザクション	36
4.3 データ整合性 CRC	36
4.3.1 データ整合性チェックに関連するレジスタとトランザクション	36
4.4 データ保護スキーム	37
4.4.1 レガシー ブロック保護 (LBP)	37
4.4.2 高度セクタ保護 (ASP)	39
4.4.3 セキュアシリコン領域 (SSR)	46
4.5 セーフブート	47
4.5.1 マイクロコントローラーの初期化失敗の検出	47
4.5.2 コンフィギュレーション破損検出	49
4.6 オートブート	51
4.6.1 オートブートに関連するレジスタとトランザクション	51
4.7 読み出し	51
4.7.1 ID 読み出しトランザクション	52
4.7.2 メモリ アレイ読み出しトランザクション	53
4.7.3 レジスタ読み出しトランザクション	54
4.7.4 データ学習パターン (DLP)	56
4.8 書き込み	57
4.8.1 書き込みイネーブル トランザクション	57
4.8.2 揮発性レジスタ用書き込みイネーブル	57
4.8.3 書き込みディセーブル トランザクション	57

目次

4.8.4 プログラムおよび消去失敗フラグ クリア トランザクション	57
4.8.5 ECC ステータス レジスタ クリア トランザクション	57
4.8.6 レジスタ書き込み トランザクション	57
4.8.7 任意レジスタ書き込み トランザクション	58
4.8.8 PPB ロック ビット 書き込み	58
4.8.9 書き込み トランザクションに関連するレジスタと トランザクション	59
4.9 プログラム	59
4.9.1 プログラム粒度	59
4.9.2 ページ プログラム	59
4.9.3 ページ プログラム トランザクション	60
4.9.4 セキュア シリコン 領域 プログラム トランザクション	60
4.9.5 持続的保護ビット (PPB) プログラム	60
4.9.6 プログラムに関連するレジスタと トランザクション	60
4.10 消去	61
4.10.1 4KB セクタ消去 トランザクション	61
4.10.2 256KB セクタ消去 トランザクション	61
4.10.3 チップ消去 トランザクション	61
4.10.4 持続的保護ビット (PPB) 消去 トランザクション	61
4.10.5 消去ステータスおよびカウンタ	62
4.10.6 消去に関連するレジスタと トランザクション	62
4.11 組込み動作の一時停止と再開	63
4.11.1 消去 / プログラム / データ整合性チェック一時停止	63
4.11.2 消去 / プログラム / データ整合性チェック一時再開	65
4.11.3 一時停止と再開関連レジスタと トランザクション	65
4.12 リセット	66
4.12.1 ハードウェア リセット (RESET# 入力ピンと DQ3_RESET# ピン)	66
4.12.2 パワーオン リセット (POR)	68
4.12.3 CS# シグナリング リセット	68
4.12.4 ソフトウェア リセット	69
4.12.5 リセット動作	70
4.13 電力モード	70
4.13.1 アクティブ電力モードとスタンバイ電力モード	70
4.13.2 ディープ パワー ダウン (DPD) モード	71
4.14 電源投入と電源切断	72
4.14.1 電源投入	72
4.14.2 電源切断	73
5 レジスタ	74
5.1 レジスタ命名規則	75
5.2 ステータス レジスタ 1 (STR1x)	75
5.3 ステータス レジスタ 2 (STR2x)	77
5.4 コンフィギュレーション レジスタ 1 (CFR1x)	78
5.5 コンフィギュレーション レジスタ 2 (CFR2x)	80
5.6 コンフィギュレーション レジスタ 3 (CFR3x)	82
5.7 コンフィギュレーション レジスタ 4 (CFR4x)	83
5.8 メモリ アレイ データ整合性チェック CRC レジスタ (DCRV)	85
5.9 ECC ステータス レジスタ (ECSV)	85
5.10 ECC アドレス ラップ レジスタ (EATV)	86
5.11 ECC エラー検出カウンタ レジスタ (ECTV)	87
5.12 高度セクタ保護レジスタ (ASPO)	87
5.13 ASP パスワード レジスタ (PWDO)	88
5.14 ASP PPB ロック レジスタ (PPLV)	89
5.15 ASP PPB アクセス レジスタ (PPAV)	89
5.16 ASP ダイナミック ブロック アクセス レジスタ (DYAV)	89

目次

5.17 データ学習レジスタ (DLPx)	90
5.18 オートブート レジスタ (ATBN)	90
5.19 セクタ消去カウント レジスタ (SECV)	91
5.20 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx)	91
6 トランザクションテーブル.....	94
6.1 1-1-1 トランザクションテーブル	94
6.2 1-2-2 トランザクションテーブル	100
6.3 1-1-4 トランザクションテーブル	100
6.4 1-4-4 トランザクションテーブル	101
6.5 4-4-4 トランザクションテーブル	102
7 電気的特性.....	108
7.1 絶対最大定格 [33、34、35]	108
7.2 動作範囲	108
7.2.1 電源電圧	108
7.2.2 温度範囲 [36]	108
7.3 熱抵抗	109
7.4 静電容量特性	109
7.5 ラッチアップ仕様	109
7.6 DC 特性.....	110
7.6.1 入力信号オーバーシュート	110
7.6.2 DC 特性 (全温度範囲)	111
7.7 AC テスト条件	113
8 タイミング特性	114
8.1 タイミング波形	118
8.1.1 タイミング波形の重要な要素	118
8.1.2 タイミング参照レベル	118
8.1.3 クロック タイミング	119
8.1.4 入力 / 出力タイミング	119
9 デバイス ID	122
9.1 JEDEC SFDP レビジョン D	122
9.1.1 JEDEC SFDP Rev D ヘッダ テーブル.....	122
9.1.2 JEDEC SFDP Rev D パラメーター テーブル.....	123
9.2 メーカーおよびデバイス ID	135
9.3 固有デバイス ID.....	135
10 パッケージ図.....	136
11 注文情報	140
11.1 有効な組合せ – 標準グレード	141
11.2 有効な組合せ – 車載向けグレード /AEC-Q100	142
改訂履歴.....	144

1 ピン配置および信号の説明

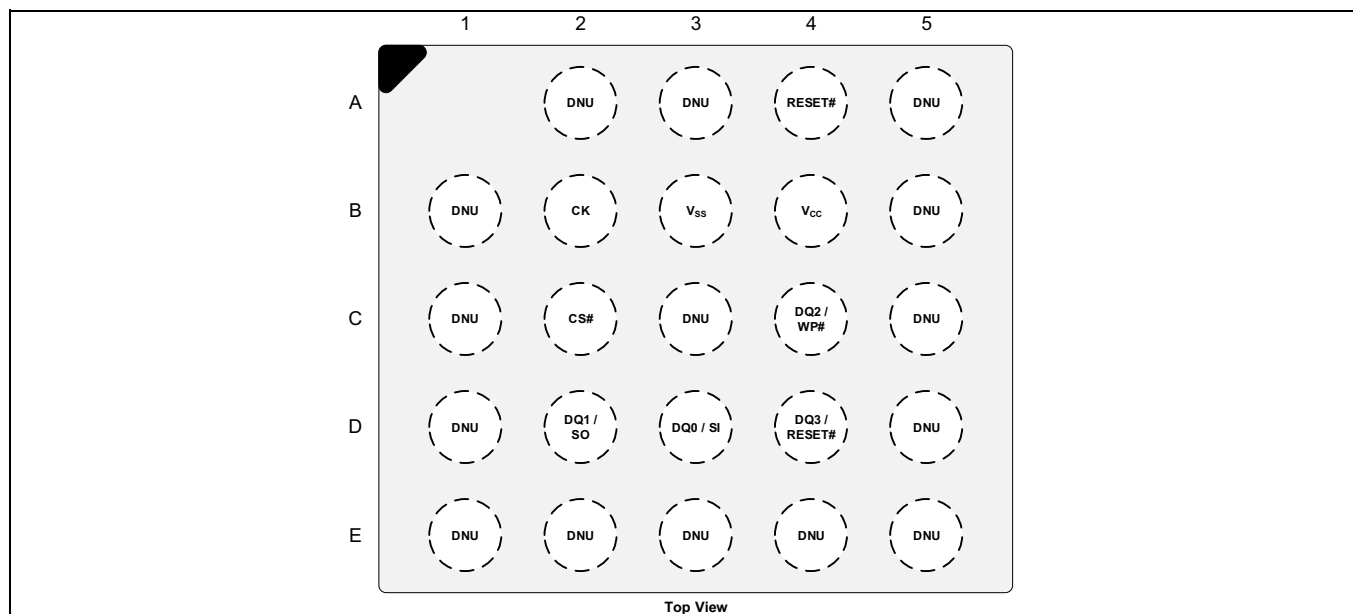


Figure 1 24 ボール BGA ピン配置 [1]

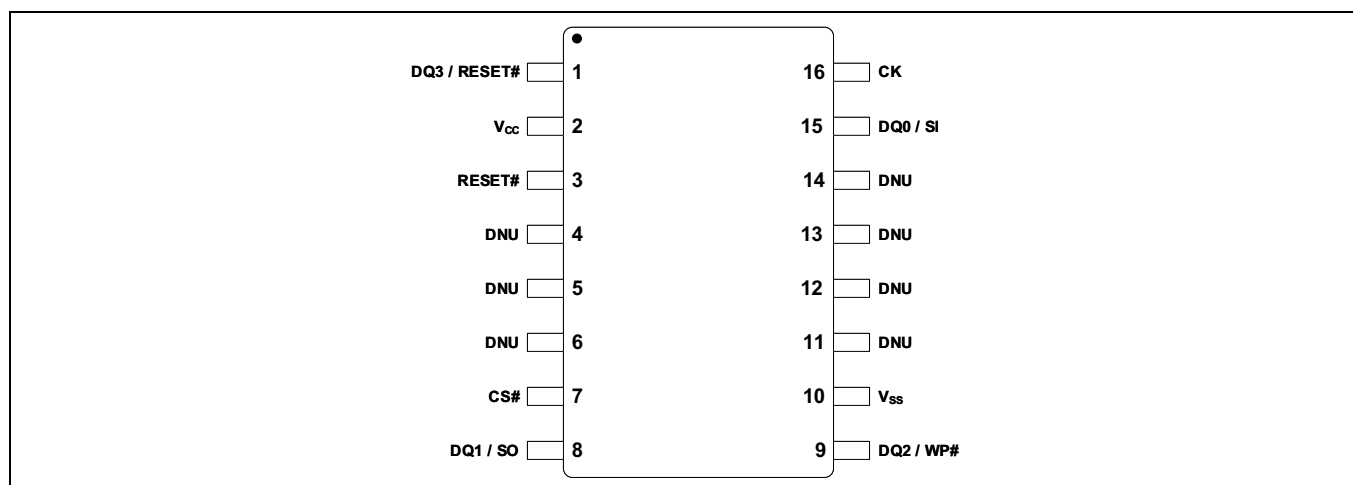


Figure 2 16 リード SOIC パッケージ (S0316) の上面図

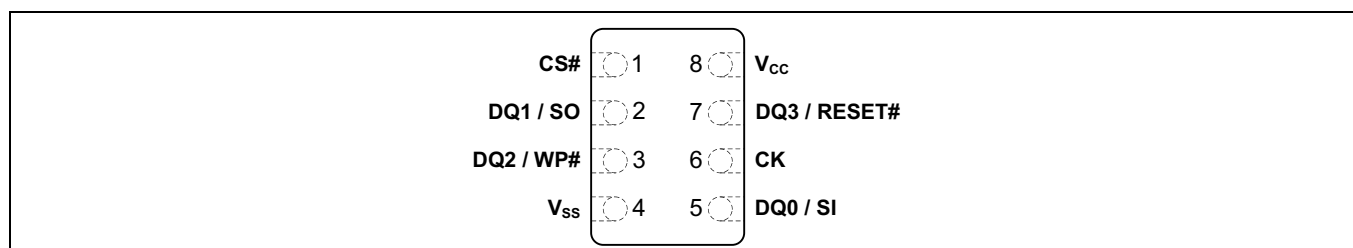


Figure 3 8 コネクタ パッケージ (WS0N 6×8) の上面図

注

1. BGA パッケージのフラッシュメモリ デバイスは超音波洗浄にさらされると損傷する場合があります。パッケージ本体を長時間にわたって温度 150°C 以上の環境に放置すると、パッケージならびにデータの整合性が損なわれることがあります。

Table 1 信号の説明

記号	タイプ	必須 / オプション	説明
CS#	入力	必須	チップ選択 (CS#): すべてのバス トランザクションは CS# の HIGH から LOW への遷移で開始され、CS# の LOW から HIGH への遷移で終了します。CS# を LOW にすると、デバイスはアクティブ モードになります。CS# が HIGH になると、内部組込み動作が実行中でないかぎり、デバイスはスタンバイモードになります。他のすべての入力ピンは無視され、出力ピンは高インピーダンス状態になります。ピン コンフィギュレーションで専用 RESET# ピンがあるデバイスでは、CS# が HIGH であってもアクティブのままです。
CK	入力	必須	クロック (CK): クロックはシリアル インターフェースのタイミングを提供します。トランザクションはクロックの立ち上りエッジでラッチされます。SDR プロトコルでは、コマンド、アドレスおよびデータ入力クロックの立ち上りエッジでラッチされ、クロックの立ち下りエッジでデータが出力されます。DDR プロトコルでは、コマンド、アドレスおよびデータ入力クロックの両エッジでラッチされ、データがクロックの両エッジで出力されます。
DQ0/SI	入力 / 出力	必須	シングル SPI プロトコル用のシリアル入力 (SI)。デュアルまたはクアッド SPI プロトコル用の DQ0 入力 / 出力
DQ1/SO	入力 / 出力	必須	シングル SPI プロトコル用のシリアル出力 (SO)。デュアルまたはクアッド SPI プロトコル用の DQ1 入力 / 出力
DQ2/WP#	入力 / 出力 (弱プルアップ)	必須	シングルまたはデュアル SPI プロトコル用の書き込み保護 (WP#)。クアッド SPI プロトコル用の DQ2 入力 / 出力 。 この信号には内蔵プルアップ抵抗があり、クアッド トランザクションや書き込み保護に使用されない場合、ホスト システムでは未接続のままにできます。書き込み保護が有効になっている場合、ホスト システムはレジスタ書き込み トランザクション中に WP# を HIGH または LOW に駆動する必要があります。
DQ3/RESET#	入力 / 出力 (弱プルアップ)	必須	シングルおよびデュアル SPI プロトコル用の RESET# 。CS# が HIGH またはクアッド SPI プロトコルが無効のとき、この信号は RESET# として設定できます。 クアッド SPI プロトコル用の DQ3 入力 / 出力 。 この信号には内蔵プルアップ抵抗があり、クアッド SPI トランザクションまたは RESET# に使用されない場合、ホスト システムでは未接続のままにできます。
RESET#	入力 (弱プルアップ)	任意	ハードウェアリセット (RESET#): LOW のとき、デバイスは自己初期化してアレイ読み出し状態に戻ります。RESET# が LOW のとき、DQ[3:0] は高インピーダンス状態になります。RESET# は弱プルアップが含まれており、RESET# を未接続のままにすると、それ自身で HIGH 状態にプルアップされます。
V _{CC}	電源	必須	コア電源
V _{SS}	グランド 電源	必須	コア グランド
DNU	-	-	使用禁止

2 インターフェースの概要

2.1 概要

クアッド SPI を備えるインフィニオン SEMPER™ フラッシュ製品ファミリは、高速 CMOS、MIRRORBIT™ NOR フラッシュ デバイスです。SEMPER™ フラッシュは、ASIL-B に準拠および ASIL-D に対応するために ISO 26262 規格による機能安全用に設計されています。

クアッド SPI を備える SEMPER™ フラッシュ デバイスは、従来の SPI シングルビットシリアル入出力、オプションとして 2 ビット (DIO) と 4 ビット幅クアッド I/O (QIO)、およびクアッド ペリフェラル インターフェース (QPI) プロトコルをサポートします。さらに、アドレスと読み出しデータをクロックの両方のエッジで転送する、QIO および QPI 用の DDR 読み出しトランザクションもサポートします。

デバイスからの読み出し動作はバースト指向です。読み出しトランザクションはラップバーストかリニアバースト方式で行うよう設定できます。ラップバーストは単一ページから読み出しますが、リニアバーストはメモリアレイ全体を読み出します。

各メモリビットの消去済み状態は論理 1 です。プログラム動作により論理 1 (HIGH) から論理 0 (LOW) に変更します。消去動作だけがメモリビットを「0」から「1」に変更できます。消去動作はセクタ全体 (4KB または 256KB) に対して行わなければなりません。

SEMPER™ フラッシュは柔軟性のあるセクタアーキテクチャを提供します。アドレス空間は、ユニフォーム 256KB セクタアレイあるいはハイブリッドコンフィギュレーション 1 (32 個の 4KB セクタが上部と下部にグループされ、残りのセクタがすべて 256KB)、またはハイブリッドコンフィギュレーション 2 (32 個の 4KB セクタが上下で均等に分けられ、残りのセクタがすべて 256KB) のどちらかに設定できます。

単一のプログラム動作で使用するページプログラムバッファは、256 バイトまたは 512 バイトのどちらかに設定できます。512 バイトオプションでは、最大のプログラムスループットが得られます。

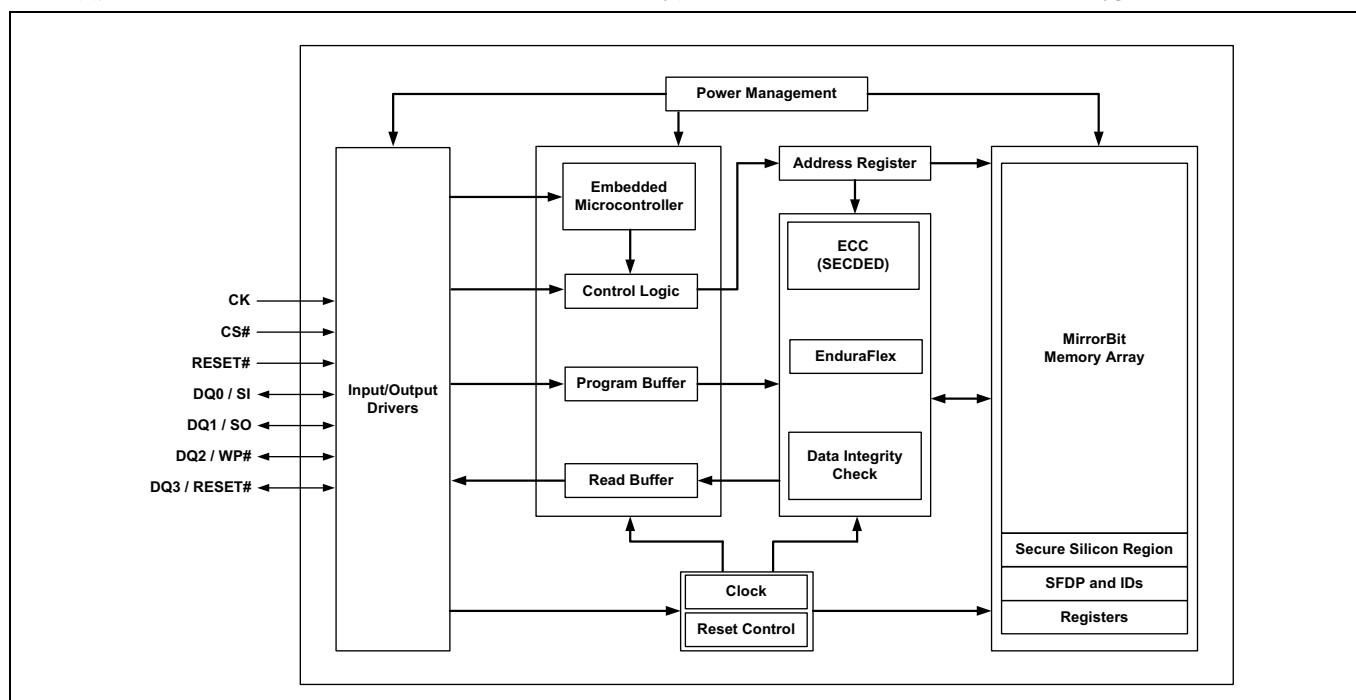


Figure 4 論理ブロックダイアグラム

クアッド SPI を備える SEMPER™ フラッシュファミリは、複数のメモリ容量、1.8V と 3.0V コアおよび I/O 電圧オプションを含みます。

デバイス制御ロジックは、ホスト インターフェース コントローラー (HIC) と組込みアルゴリズム コントローラー (EAC) の 2 つの並行して動作するセクションに分かれています。HIC はデバイス入力の信号レベルを監視し、かつ必要に応じてデバイス出力を駆動し、ホストシステムとのデータ読み出し、プログラム、書き込み転送を実行します。HIC は読み出し転送で、アクセス中のアドレス空間からデータを出し、書き込み転送アドレスとデータ情報を EAC コマンド メモリに配置し、また、電源遷移および書き込み転送を EAC に通知します。EAC は、プログラム / 書き込み転送後に、コマンドシーケンスが適正かどうかについてコマンドメモリをチェックして、そして関連する組込みアルゴリズムを実行します。

メモリ アレイ内の不揮発性データの書き換えには、組込みアルゴリズム (EA) の一部である一連の動作を必要とします。アルゴリズムは内部の EAC によって完全に管理されます。主要なアルゴリズムは、メインアレイデータのプログラムと消去を実行します。ホストシステムはフラッシュデバイスにコマンドコードを書き込みます。EAC はコマンドを受け取り、トランザクションを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

フラッシュ メモリからの直接のコードの実行はしばしば Execute-In-Place (XIP) と呼ばれます。高いクロックレートでクアッドまたは DDR クアッド SPI トランザクションを備える SEMPER™ フラッシュデバイスで XIP を使用することにより、データ転送速度は、従来のパラレルまたは非同期 NOR フラッシュメモリの転送速度以上となり、信号数を著しく減少させます。

インフィニオン Endurance Flex アーキテクチャにより、システム設計者は特定のアプリケーション用に NOR フラッシュの耐久性とデータ保持期間をカスタマイズすることが可能です。ホストは高耐久性または長期データ保持用のパーティションを定義し、最大 100 万回以上のサイクルまたは 25 年のデータ保持期間を実現します。

クアッド SPI を備える SEMPER™ フラッシュデバイスは、メモリ アレイのプログラミング中に組込みハミングエラー訂正コードを生成することでエラー検出と訂正をサポートします。その後、この ECC コードは読み出し中に 1 ビットと 2 ビット エラー検出および 1 ビット訂正に使用されます。

クアッド SPI を備える SEMPER™ フラッシュデバイスは、ホストシステムにデバイスの状態を提供する診断機能を内蔵します。

- プログラムおよび消去動作: プログラムまたは消去の成功、失敗および一時停止状態の報告
- エラー検出と訂正: アドレストラップおよびエラー カウントを含む 1 ビットおよび / または 2 ビット エラー ステータス
- データ整合性チェック: メモリ アレイ内容に対するエラー検出
- セーフブート: 適切なフラッシュデバイス初期化およびコンフィギュレーション破損からの回復の報告
- セクタ消去ステータス: セクタごとの消去の成功と失敗状態の報告
- セクタ消去カウンター: セクタごとの消去サイクルのカウント

2.2 信号プロトコル

2.2.1 クアッド SPI を備える SEMPER™ フラッシュのクロック モード

クアッド SPI を備える SEMPER™ フラッシュは、以下の 2 つのクロック モードのどちらかで、組み込みマイクロコントローラ (バス マスター) により駆動されます。

- **モード 0:** クロックの極性は CS# の立ち下りで LOW であり、キャプチャ入力では HIGH になるまで LOW のままです。
- **モード 3:** クロックの極性は CS# の立ち下りで HIGH であり、キャプチャ入力では LOW から HIGH になります。

両方のモードでデータは、SDR プロトコルの場合 CK 信号の立ち上りエッジで、DDR プロトコルの場合 CK 信号の両エッジでデバイスにラッチされます。出力データは CK クロック信号の立ち下りエッジで得られます。DDR プロトコルの場合、モード 3 はサポートされません。

2 つのモードの異なる点は、バス マスターがスタンバイ モードであり、データを転送しないときのクロック極性です。

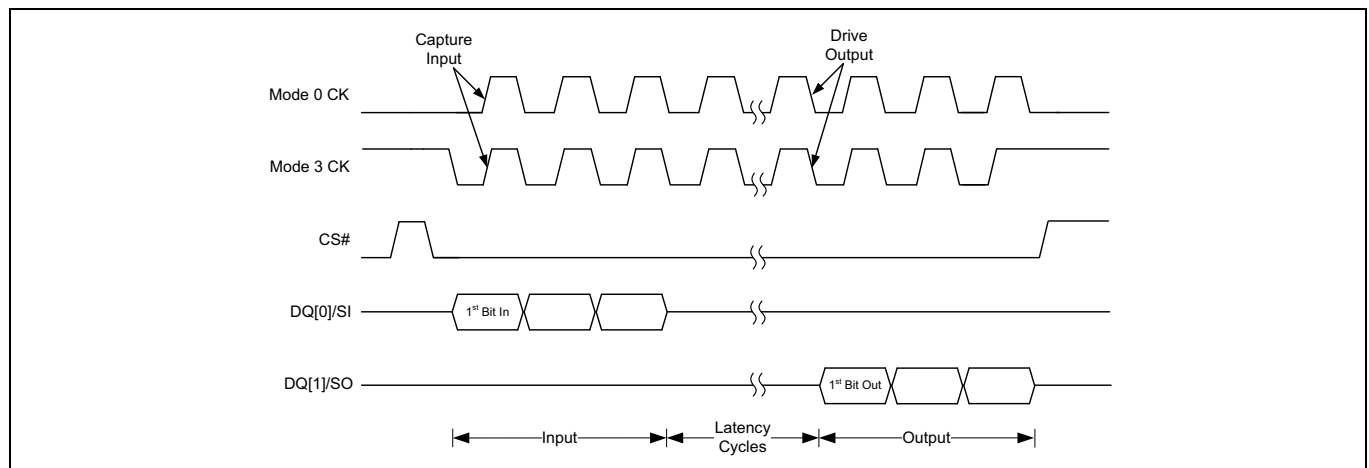


Figure 5 サポートされる SPI SDR モード

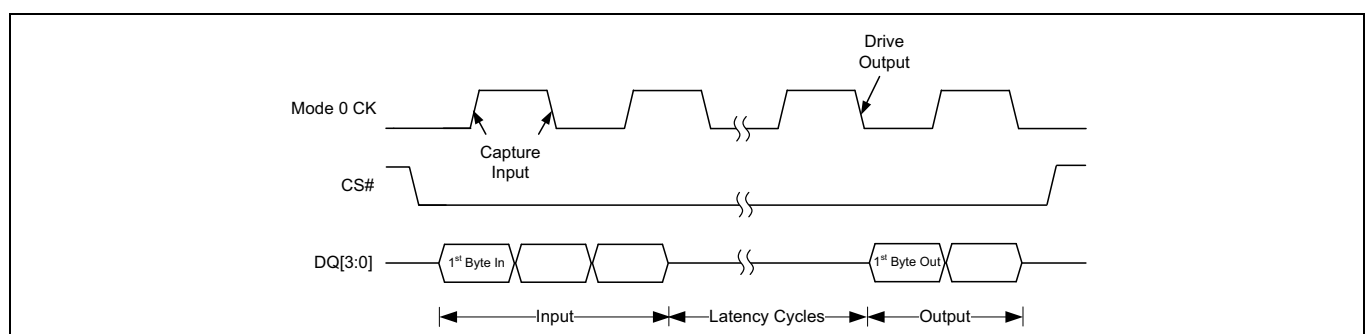


Figure 6 サポートされる SPI DDR モード

2.3 トランザクションプロトコル

トランザクション

- CS# がアクティブ (LOW) のとき、データ (DQ) 信号上でまずコマンド情報、次にアドレスおよびデータがホストからフラッシュ デバイスに転送されている間、クロック信号 (CK) はトグルします。フラッシュ デバイスからホストへの読み出しデータ、またはホストからフラッシュ デバイスへの書き込みデータの転送中にクロックはトグルし続けます。ホストは所望のデータ量を転送した後、CS# を非アクティブ (HIGH) に駆動します。CS# がアクティブである期間は、バス上のトランザクションと呼ばれます。
- CS# が非アクティブのとき、CK はトグルする必要がありません。
- コマンド転送はすべてのトランザクションの開始時に行われます。アドレス、レイテンシ サイクルおよびデータ転送フェーズはオプションで、それらの存在はプロトコル モードまたは転送されるコマンドに依存します。

トランザクションキャプチャ

- CK はホストとメモリの間の各ビットまたは各ビット グループの転送を示します。コマンド、アドレスおよび書き込みデータ ビットの転送は、SDR トランザクションでは CK の立ち上がりエッジで、DDR トランザクションではすべての CK エッジで行われます。

注 プログラムまたは消去 (組込み動作) 中に、フラッシュ メモリ アレイを読み出そうとすると無視されます。組込み動作はそれに影響されず、実行が継続されます。組込み動作中、ごく限られたコマンドセットは受け入れられます。それらは 63 ページの[組込み動作の一時停止と再開](#)で説明されます。

プロトコル用語

- トランザクション中に使用される DQ 信号の数は、現在のプロトコル モードまたは転送されるコマンドによって異なります。レイテンシ サイクルは DQ 信号を情報転送に使用しません。プロトコル モード オプションは、コマンド、アドレスおよびデータ フェーズで使用されるデータ レートおよび DQ 幅 (DQ 信号の数) によって示されます。形式は次のとおりです。

WR-WR-WR、ここでは:

- 最初の WR はコマンド ビットの幅とレート
- 2 番目の WR はアドレス ビットの幅とレート
- 3 番目の WR はデータ ビットの幅とレート

- ビット幅の値は 1、2 または 4 のいずれかです。R の値は、SDR の場合は S で、DDR の場合は D です。SDR の場合では、転送値はクロック サイクルの立ち上がりエッジと立ち下りエッジの両方で同じです。DDR は、各クロックの立ち上がりエッジと立ち下りエッジで、異なる転送値を持ちます。

例:

- 1S-1S-1S は、コマンドが 1 ビット幅の SDR、アドレスが 1 ビット幅の SDR、データが 1 ビット幅の SDR であることを意味します。
- 4S-4D-4D は、コマンドが 4 ビット幅の SDR、アドレスおよびデータ転送は 4 ビット幅の DDR であることを意味します。

プロトコル定義

- クアッド SPI を備える SEMPER™ フラッシュ向けに定義されているプロトコル モード:
 - 1S-1S-1S: コマンド転送、アドレス転送およびデータ転送中に 1 つの DQ 信号が使用されます。すべてのフェーズは SDR です。
 - 1S-2S-2S: コマンド転送中に 1 つの DQ 信号が、アドレス転送およびデータ転送中に 2 つの DQ 信号が使用されます。すべてのフェーズは SDR です。
 - 1S-1S-4S: コマンドおよびアドレス転送中に 1 つの DQ 信号が、データ転送中に 4 つの DQ 信号が使用されます。すべてのフェーズは SDR です。

- 4. 1S-4S-4S: コマンド転送中に 1 つの DQ 信号が、アドレス転送およびデータ転送中に 4 つの DQ 信号が使用されます。すべてのフェーズは SDR です。
- 5. 1S-4D-4D: コマンド転送中に 1 つの DQ 信号が SDR で使用され、アドレスおよびデータ転送中に 4 つの DQ 信号が DDR で使用されます。
- 6. 4S-4S-4S: コマンド転送、アドレス転送およびデータ転送中に 4 つの DQ 信号が使用されます。すべてのフェーズは SDR です。
- 7. 4S-4D-4D: コマンド転送中に 4 つの DQ 信号が SDR で使用され、アドレス転送およびデータ転送中に 4 つの DQ 信号が DDR で使用されます。
- 各トランザクションは 8 ビット (1 バイト) コマンドで始まります。コマンドは、情報転送のタイプ、または実行するデバイスの動作を選択します。
- すべてのプロトコルは 3 バイトまたは 4 バイトのアドレス指定をサポートします。

1S-1S-1S プロトコル (単一入出力、SIO)

- 1S-1S-1S モードはパワーオンリセット (POR) の後に推奨されるデフォルトのプロトコルですが、フラッシュデバイスはクアッドモードにリセットするように設定できます。
- このプロトコルは、DQ[0]/SI を使用してホストからフラッシュデバイスへ、DQ[1]/SO を使用してフラッシュデバイスからホストへ情報を転送します。各 DQ ライン上で、情報は各バイト内で最上位ビット (MSb) から最下位ビット (LSb) へ順に配置されます。シーケンシャルアドレスバイトは最上位から最下位に順に転送されます。シーケンシャルデータバイトは最下位アドレスから最上位アドレスへ順に転送されます。
- 1S-1S-1S プロトコルでは、DQ[3:2] はデータ転送期間中に使用されません。DQ[2] は WP# として使用でき、DQ[3] は RESET# 入力として使用できます。それ以外の場合、DQ[3:2] 信号は高インピーダンスです。

1S-2S-2S プロトコル (デュアル入出力、DIO)

- このプロトコルは DQ[1:0] 信号を使用します。8 ビット コマンドは MSb から LSb の順に DQ[0] に配置されます。アドレスバイトの LSb ビットは DQ[0] 信号に、その次のビットは DQ[1] 信号に順に配置されます。シーケンシャルアドレスバイトは最上位から最下位に順に転送されます。SDR でのシーケンシャルデータバイトは、最下位アドレスから最上位アドレスへの順で転送されます。
- 1S-2S-2S プロトコルでは、DQ[3:2] はデータ転送期間中に使用されません。DQ[2] は WP# として使用でき、DQ[3] は RESET# 入力として使用できます。それ以外の場合、DQ[3:2] 信号は高インピーダンスです。

1S-1S-4S プロトコル (クアッド出力読み出し、QOR)

- このプロトコルは DQ[3:0] 信号を使用します。8 ビット コマンドとアドレスは MSb から LSb の順に DQ[0] に配置されます。SDR でのシーケンシャルデータバイトは、最下位アドレスから最上位アドレスへの順で転送されます。

1S-4S-4S および 1S-4D-4D プロトコル (クアッド入出力、QIO)

- このプロトコルは DQ[3:0] 信号を使用します。8 ビット コマンドは MSb から LSb の順に DQ[0] に配置されます。アドレスバイトの LSb ビットは DQ[0] 信号に、その次のビットは DQ[1] 信号に順に配置されます。シーケンシャルアドレスバイトは最上位から最下位に順に転送されます。SDR でのシーケンシャルデータバイトは、最下位アドレスから最上位アドレスへの順で転送されます。DDR でシーケンシャルデータバイトはバイトペア (ワード) でのみ転送され、バイト順序は、バイトがそのプロトコルモードで書き込まれるまたはプログラムされる順序に依存します。シーケンシャルデータバイトは最下位アドレスから最上位アドレスへ順に転送されます。

4S-4S-4S および 4S-4D-4D プロトコル (クアッドペリフェラルインターフェース、QPI)

- このプロトコルは DQ[3:0] 信号を使用します。アドレスバイトの LSb ビットは DQ[0] 信号に、その次のビットは DQ[1] 信号に順に配置されます。シーケンシャルアドレスバイトは最上位から最下位に順に

転送されます。SDR でのシーケンシャルデータバイトは、最下位アドレスから最上位アドレスへの順で転送されます。DDR でシーケンシャルデータバイトはバイトペア (ワード) でのみ転送され、バイト順序は、バイトがそのプロトコルモードで書き込まれるまたはプログラムされる順序に依存します。シーケンシャルデータバイトは最下位アドレスから最上位アドレスへ順に転送されます。14 ページの **シリアルペリフェラルインターフェース (SPI、1S-1S-1S)** から **クアッドペリフェラルインターフェース (QPI、4S-4S-4S、4S-4D-4D)** まではすべてのトランザクションフォーマットをプロトコルモードで示します。

2.3.1 シリアルペリフェラルインターフェース (SPI、1S-1S-1S)

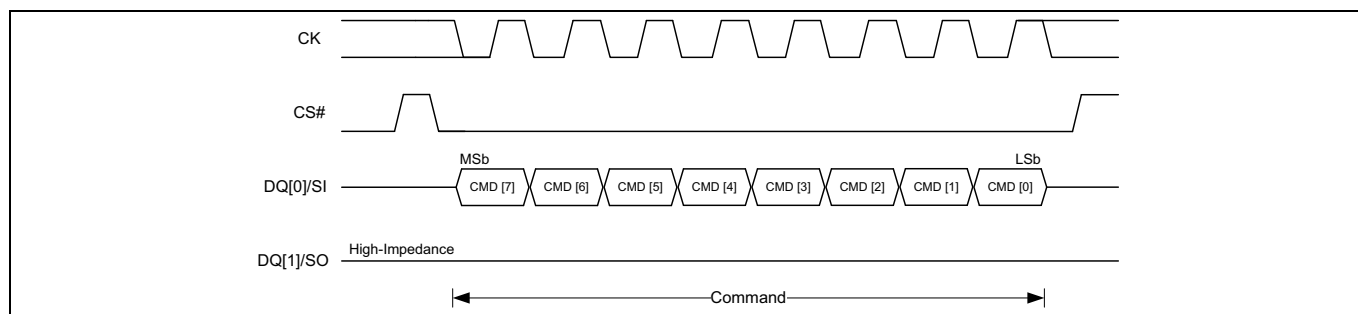


Figure 7 コマンド入力のある SPI トランザクション

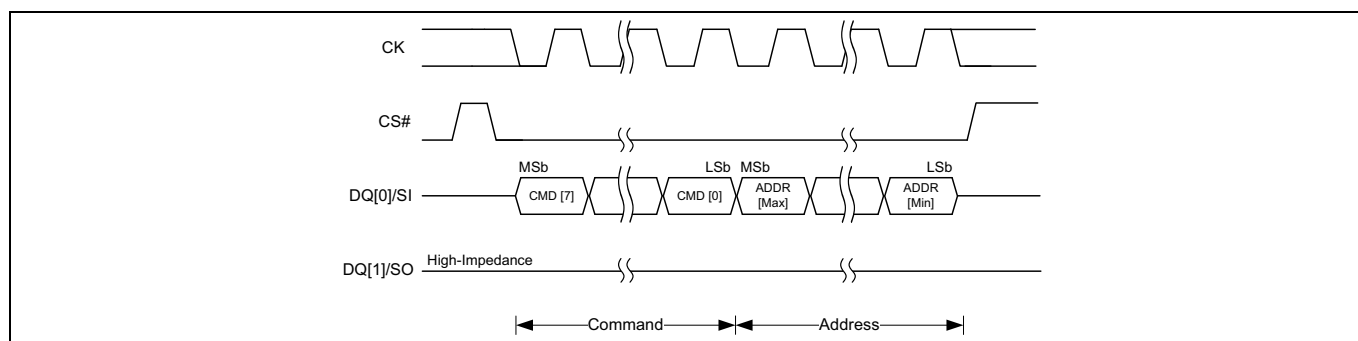


Figure 8 コマンドとアドレス入力のある SPI トランザクション

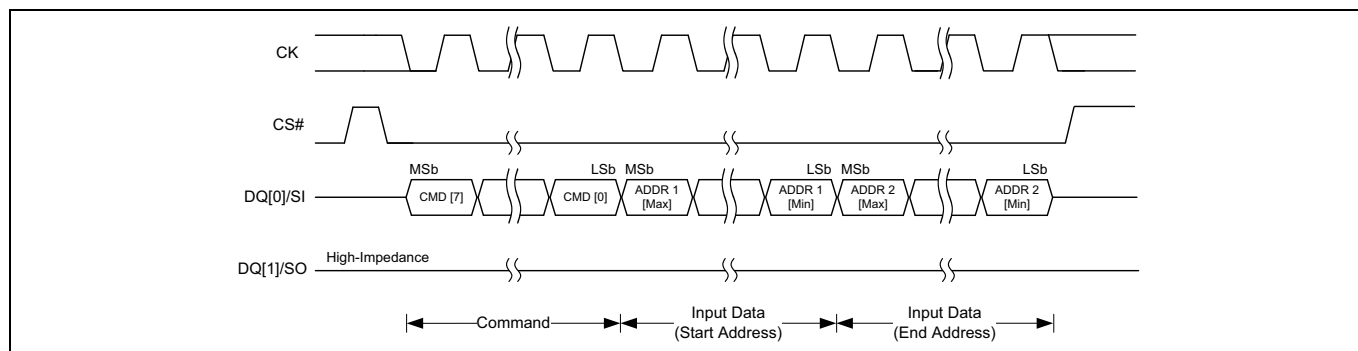


Figure 9 コマンドと 2 アドレス入力のある SPI トランザクション

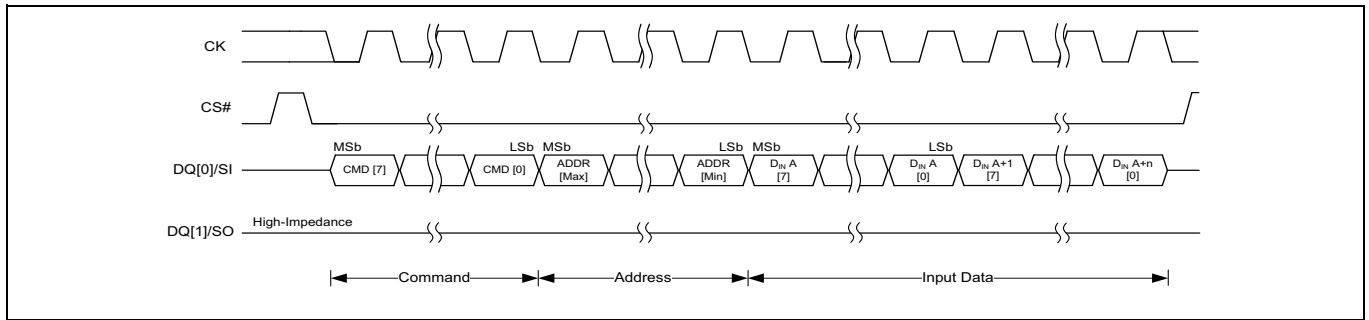


Figure 10 コマンド、アドレスおよびデータ入力のある SPI プログラム トランザクション

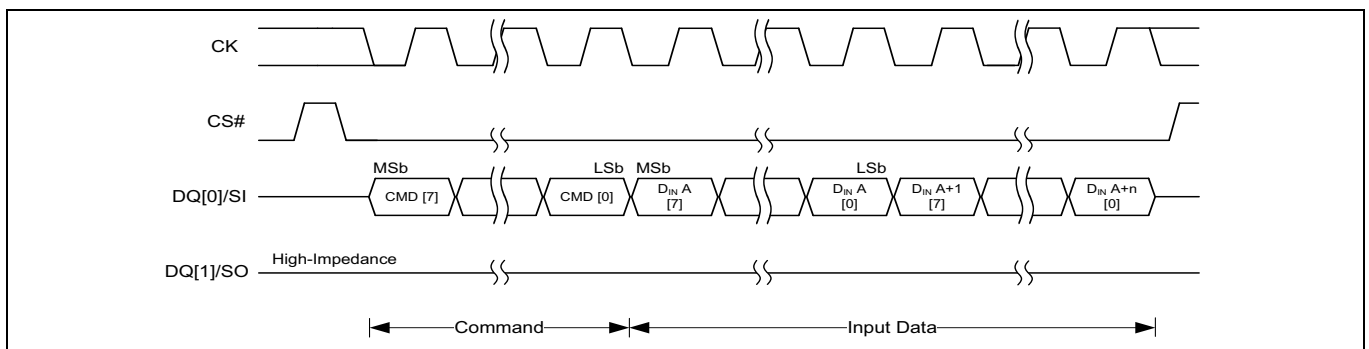


Figure 11 コマンドとデータ入力のある SPI プログラム トランザクション

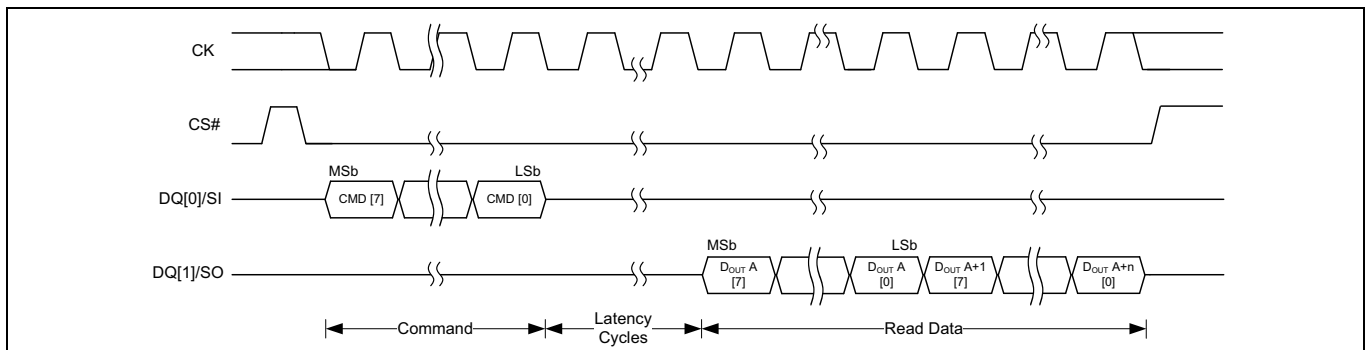


Figure 12 コマンド入力のある SPI 読み出し トランザクション (出力レイテンシ有り) [2, 3]

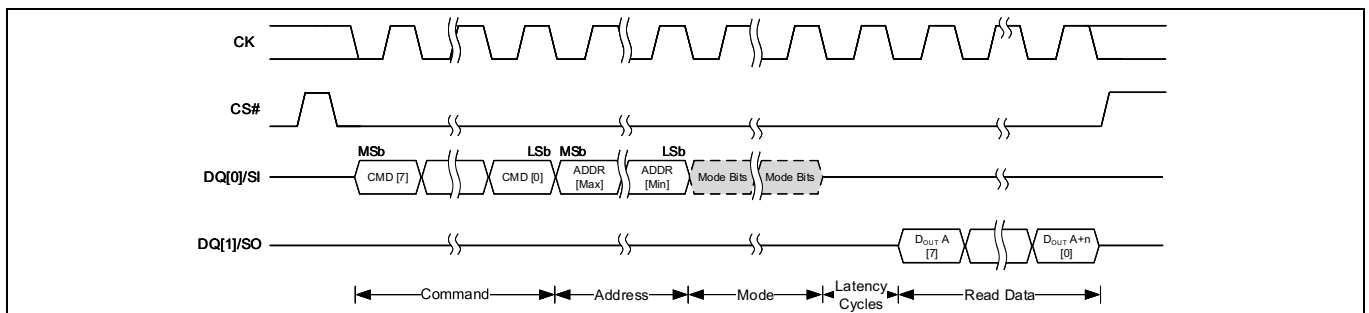


Figure 13 コマンドとアドレス入力のある SPI 読み出し トランザクション (出力レイテンシ有り) [4]

注

- ステータスレジスタ 1 と 2 の場合、読み出されるバイトデータは更新されたステータスです。
- データ学習パターン読み出しの場合、各バイトは DLP を出力します。
- RDAY2_4_0 トランザクションの場合、ホストはモードビットを提供する必要があります。

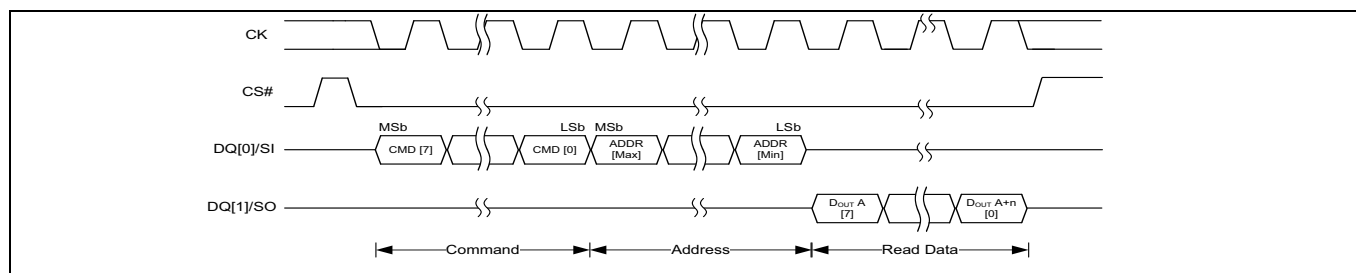


Figure 14 コマンドとアドレス入力のある SPI 読み出しトランザクション (出力レイテンシ無し)

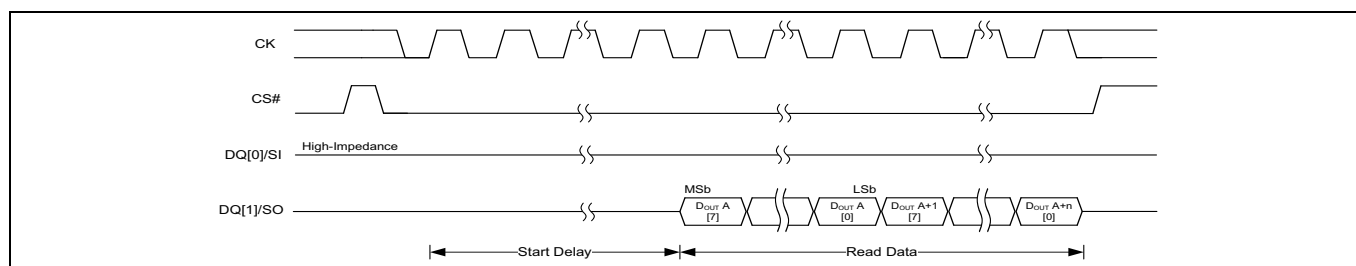


Figure 15 出力データシーケンスのある SPI トランザクション (オートブート)

2.3.2 デュアル IO SPI (DIO、1S-2S-2S)

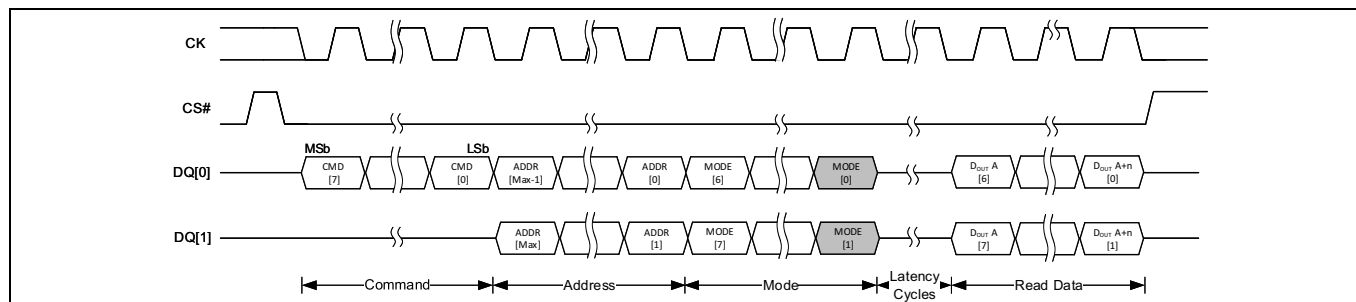


Figure 16 コマンド、アドレスおよびモード入力のある DIO 読み出しトランザクション (出力レイテンシ有り)

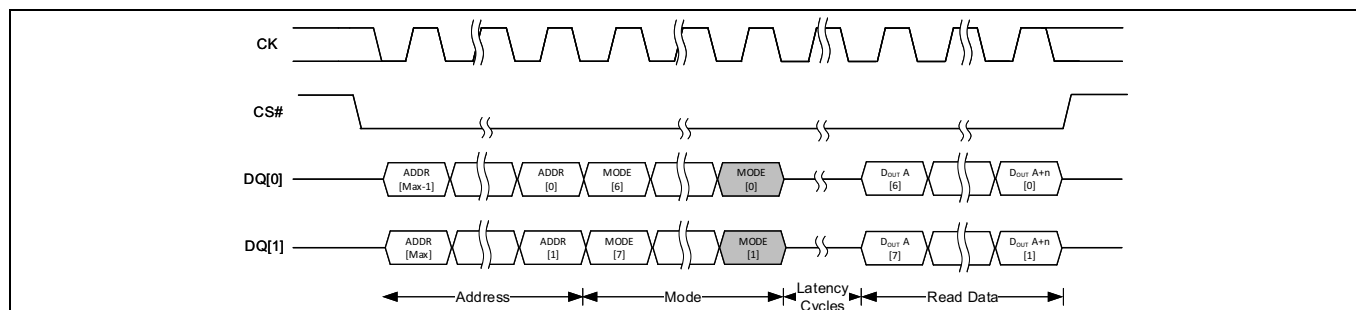


Figure 17 アドレスとモード入力のある DIO 連続読み出しトランザクション (出力レイテンシ有り)

2.3.3 クアッド出力読み出し SPI (QOR、1S-1S-4S)

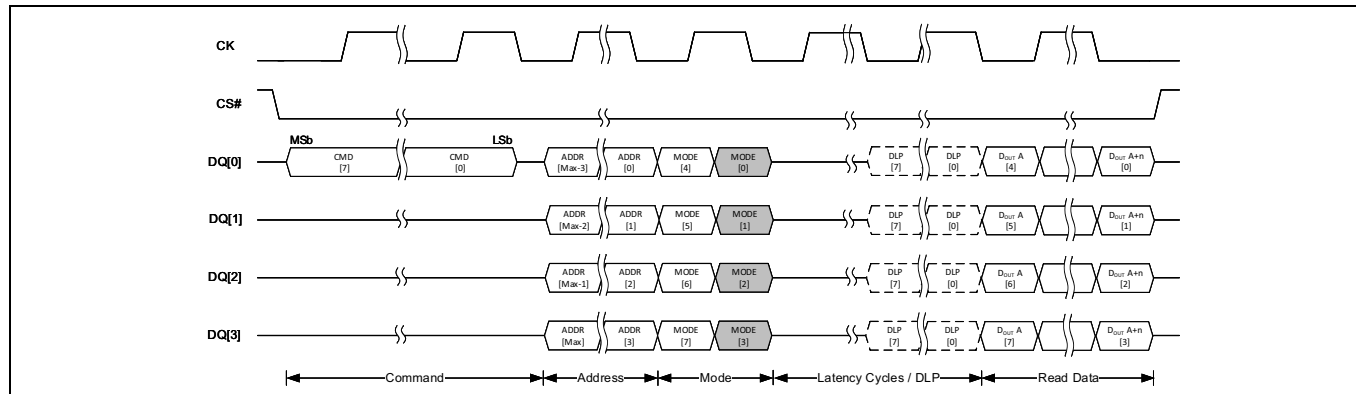


Figure 18 コマンド、アドレスおよびモード入力のある QOR SDR 読み出しトランザクション (出力レイテンシ有り)

2.3.4 クアッド IO SPI (QIO、1S-4S-4S、1S-4D-4D)

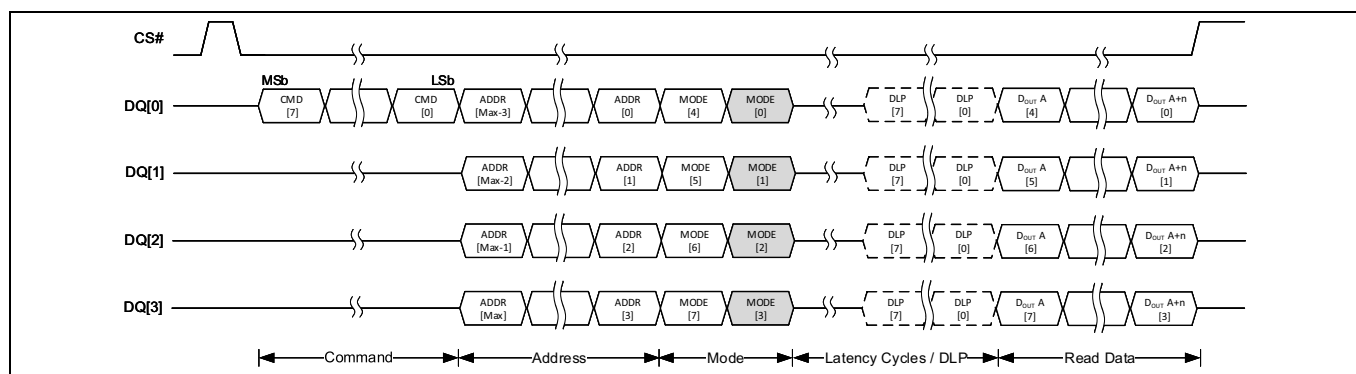


Figure 19 コマンド、アドレスおよびモード入力のある QIO SDR 読み出しトランザクション (出力レイテンシ有り)^[5]

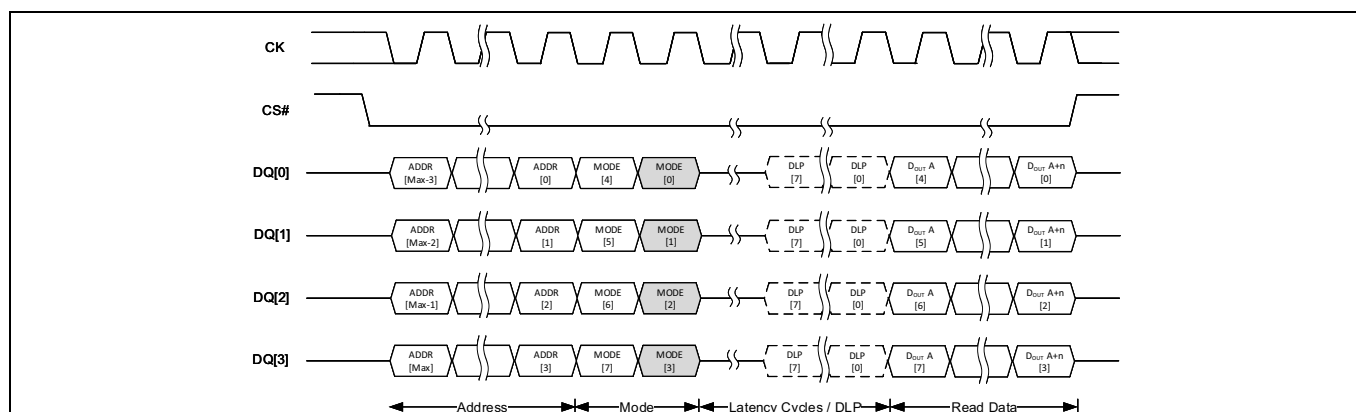


Figure 20 アドレスとモード入力のある QIO SDR 連続読み出しトランザクション (出力レイテンシ有り)^[5]

注

5. グレイビットのデータはドントケアです。

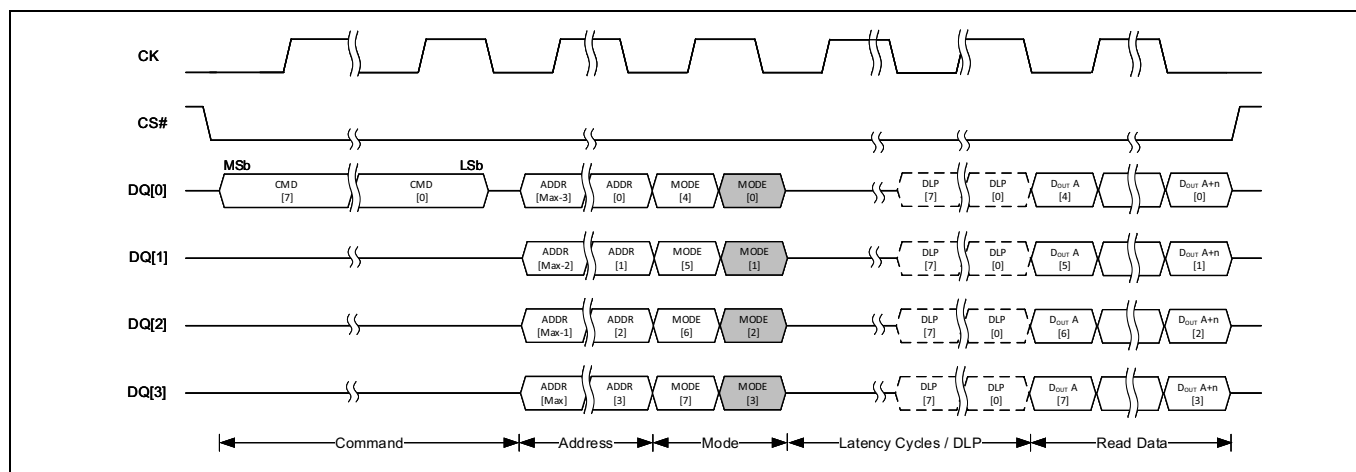


Figure 21 コマンド、アドレスおよびモード入力のある QIO DDR 読み出しトランザクション (出力レイテンシ有り)

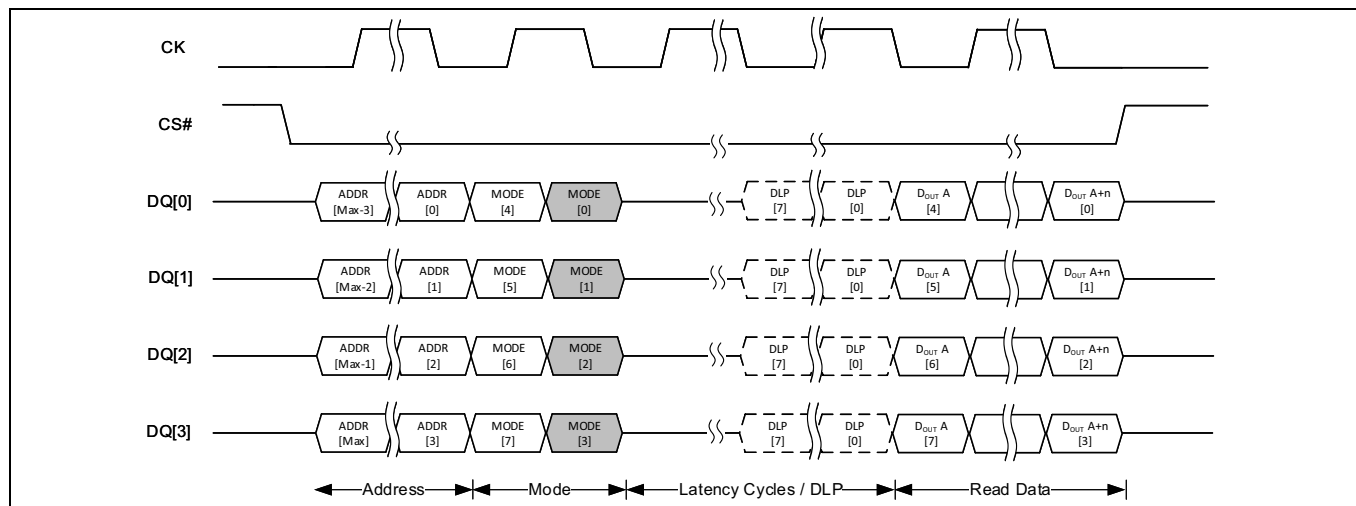


Figure 22 アドレスとモード入力のある QIO DDR 連続読み出しトランザクション (出力レイテンシ有り)

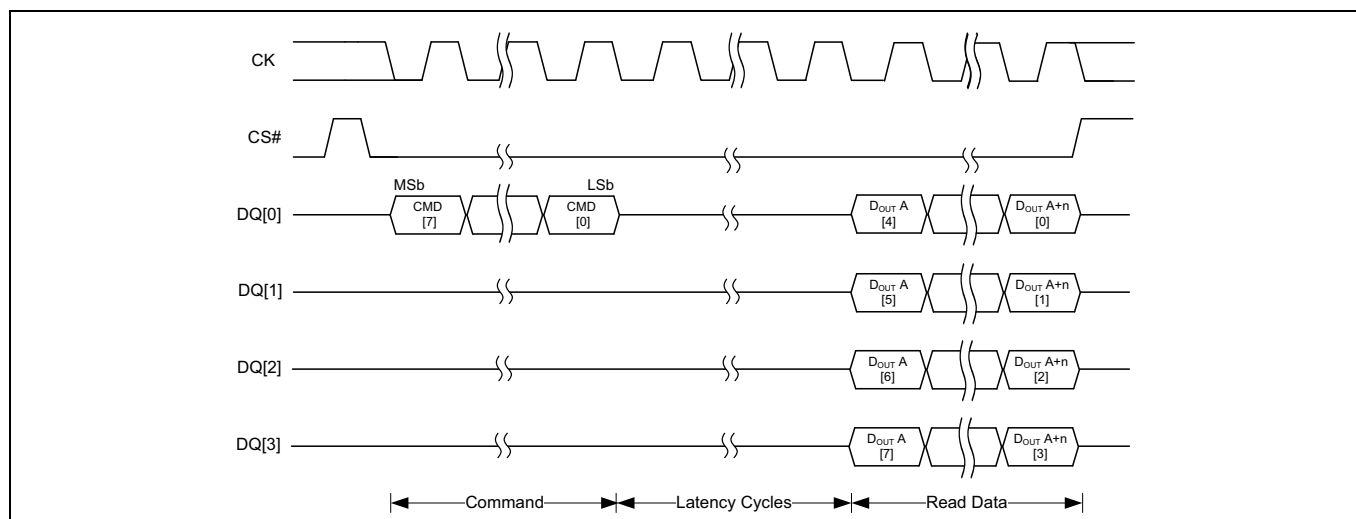


Figure 23 コマンド入力のあるクアッド ID 読み出しトランザクション (出力レイテンシ有り)

2.3.5 クアッド ペリフェラル インターフェース (QPI、4S-4S-4S、4S-4D-4D)

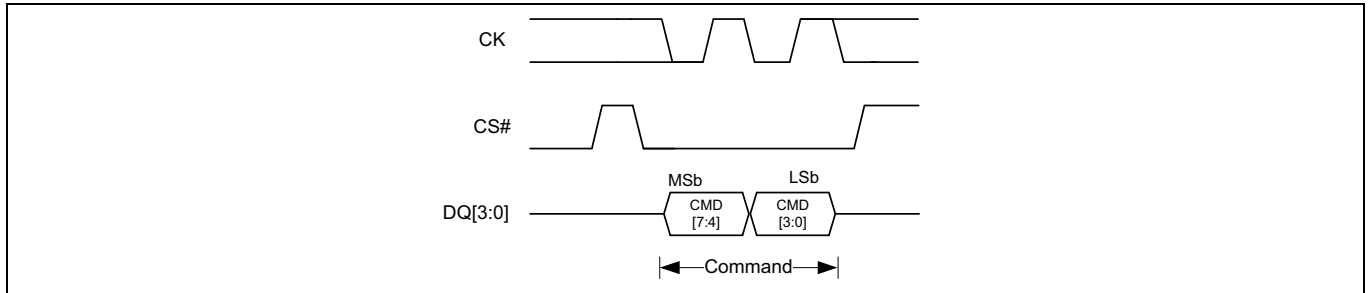


Figure 24 コマンド入力のある QPI SDR トランザクション

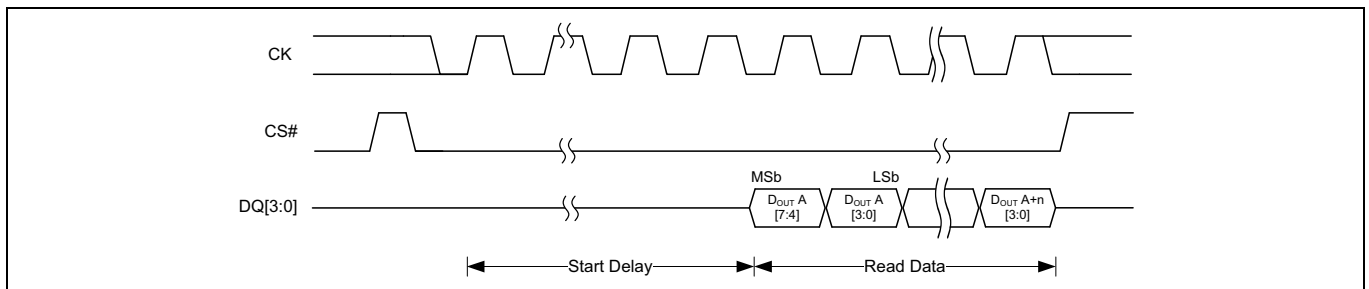


Figure 25 出力データシーケンスのある QPI トランザクション (オートブート)

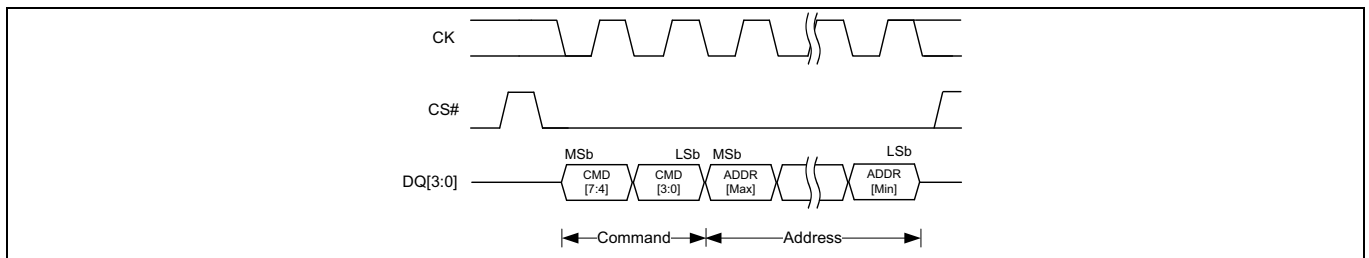


Figure 26 コマンドとアドレス入力のある QPI SDR トランザクション

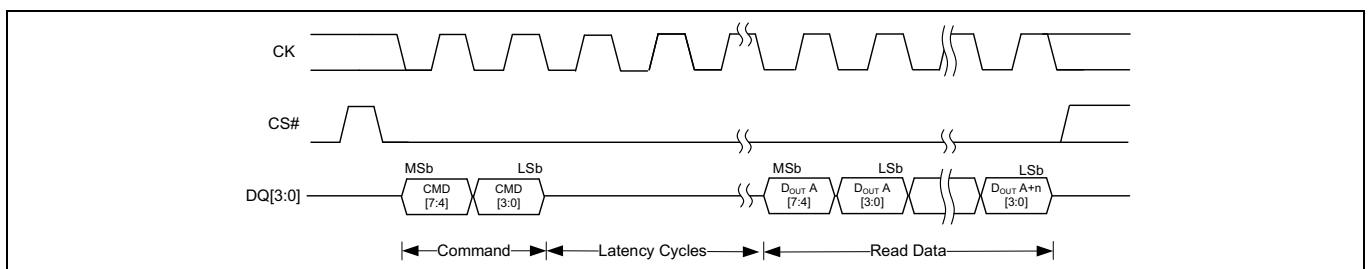


Figure 27 コマンド入力のある QPI SDR 読み出しトランザクション (出力レイテンシ有り)

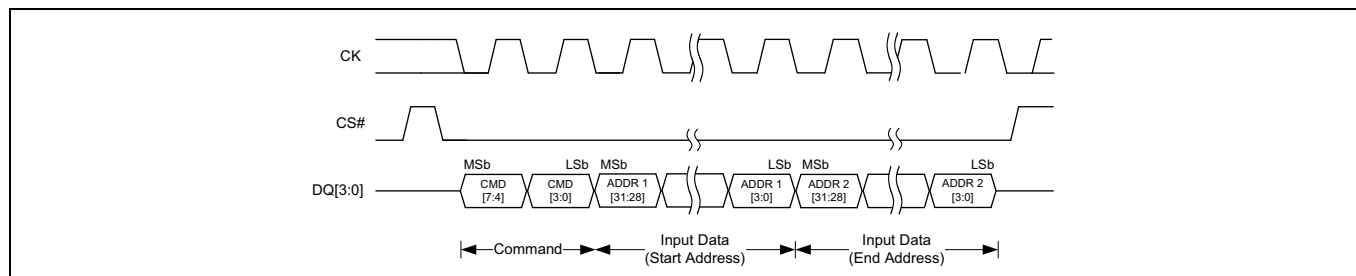


Figure 28 コマンドと 2 アドレス入力のある QPI SDR トランザクション

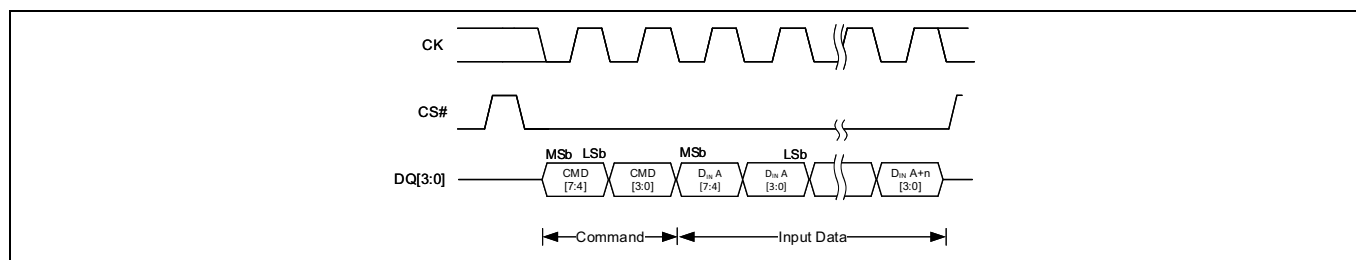


Figure 29 コマンドとデータ入力のある QPI SDR トランザクション

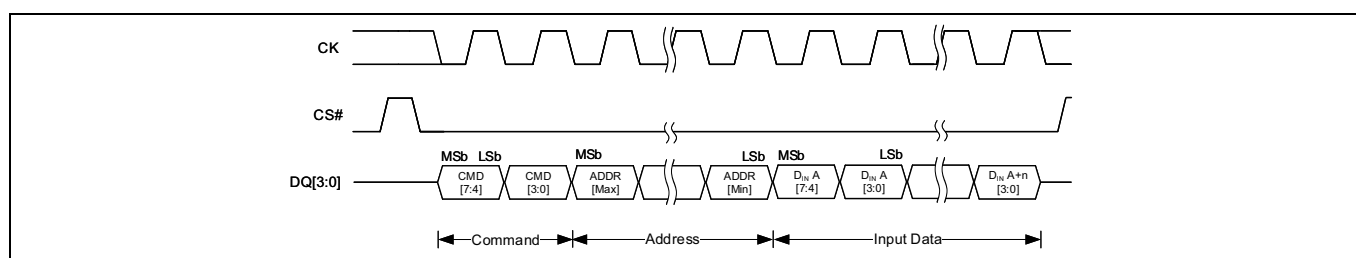


Figure 30 コマンド、アドレスおよびデータ入力のある QPI SDR プログラム トランザクション

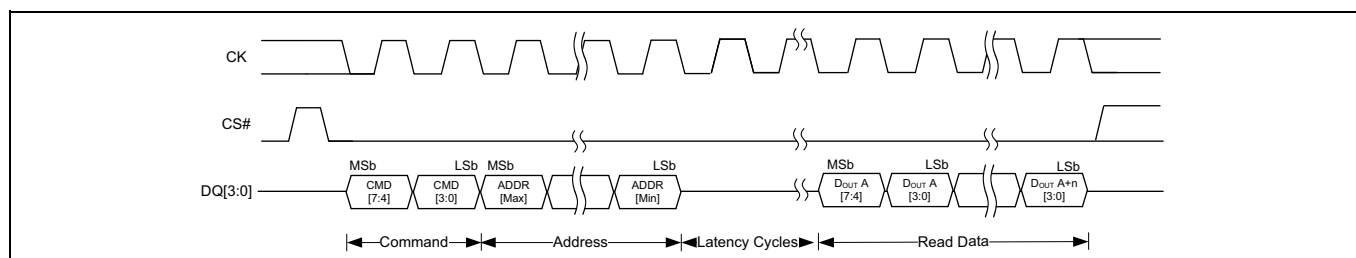
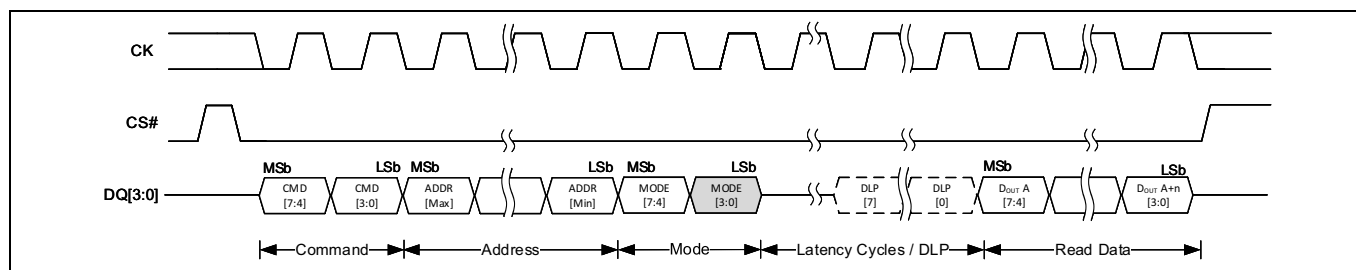


Figure 31 コマンドとアドレス入力のある QPI SDR 読み出し トランザクション (出力レイテンシ有り)

Figure 32 コマンド、アドレスおよびモード入力のある QPI SDR 読み出し トランザクション (出力レイテンシ有り)^[6]

注

6. グレイビットのデータはドントケアです。

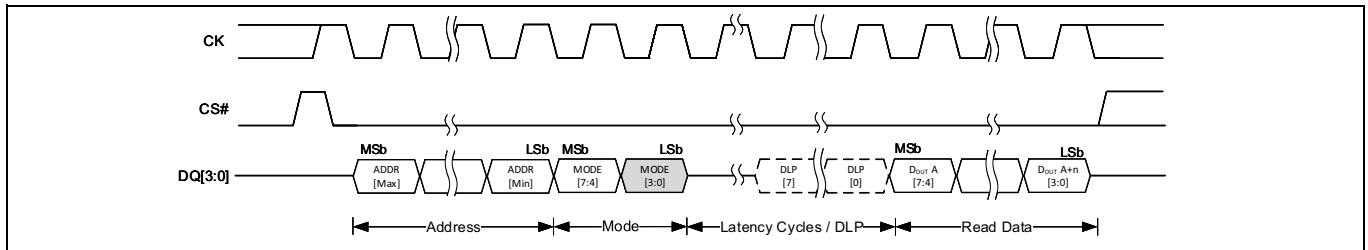


Figure 33 アドレスとモード入力のある QPI SDR 連続読み出しトランザクション (出力レイテンシ有り)^[6]

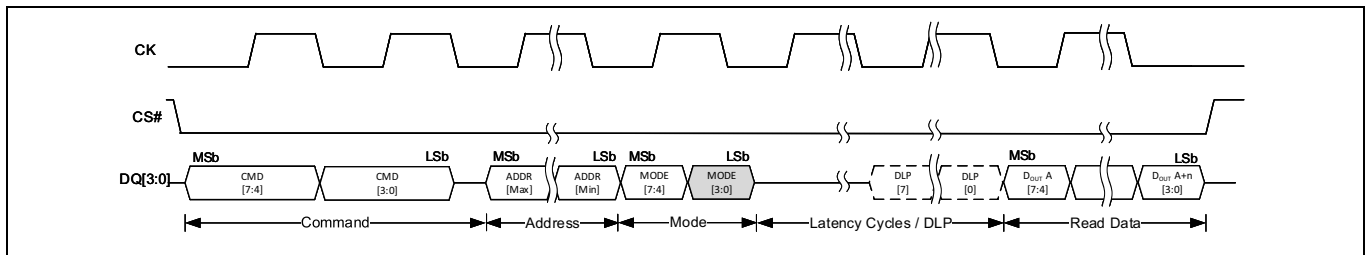


Figure 34 コマンド、アドレスおよびモード入力のある QPI DDR 読み出しトランザクション (出力レイテンシ有り)^[6]

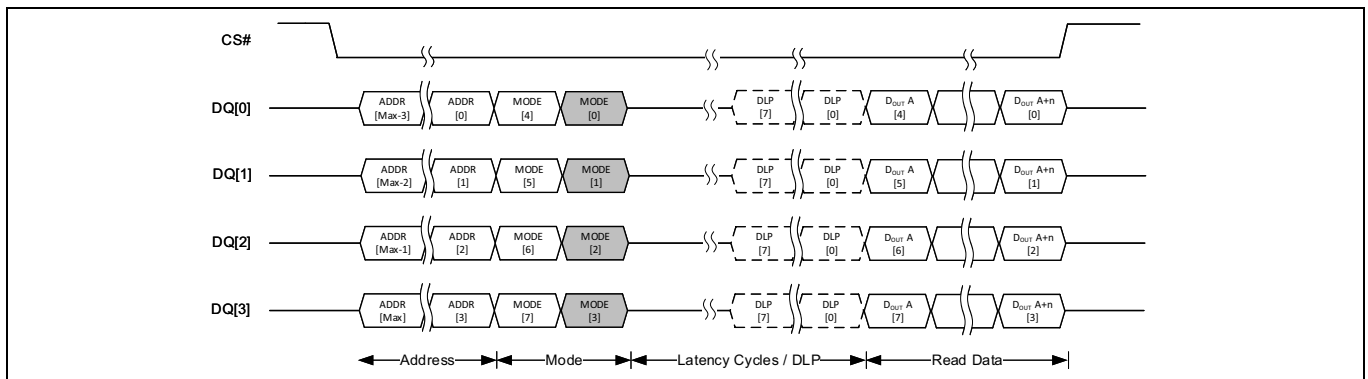


Figure 35 アドレスとモード入力のある QPI DDR 連続読み出しトランザクション (出力レイテンシ有り)^[7]

注

7. グレイビットのデータはドントケアです。

2.4 レジスタ命名規則

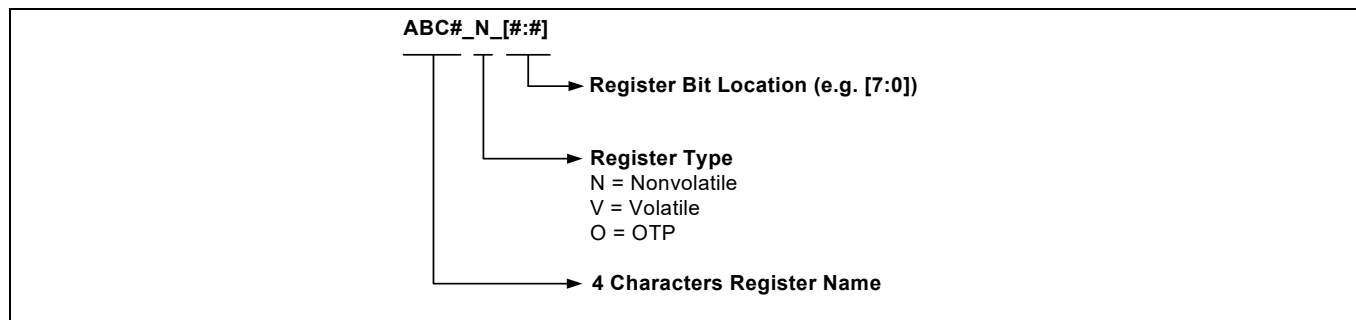


Figure 36 レジスタ命名規則

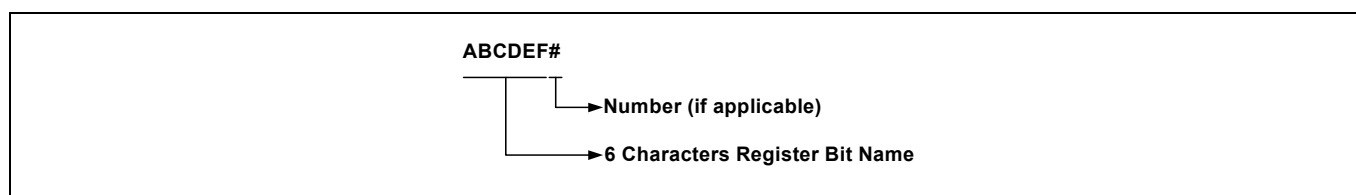


Figure 37 レジスタ ビット命名規則

2.5 トランザクション命名規則

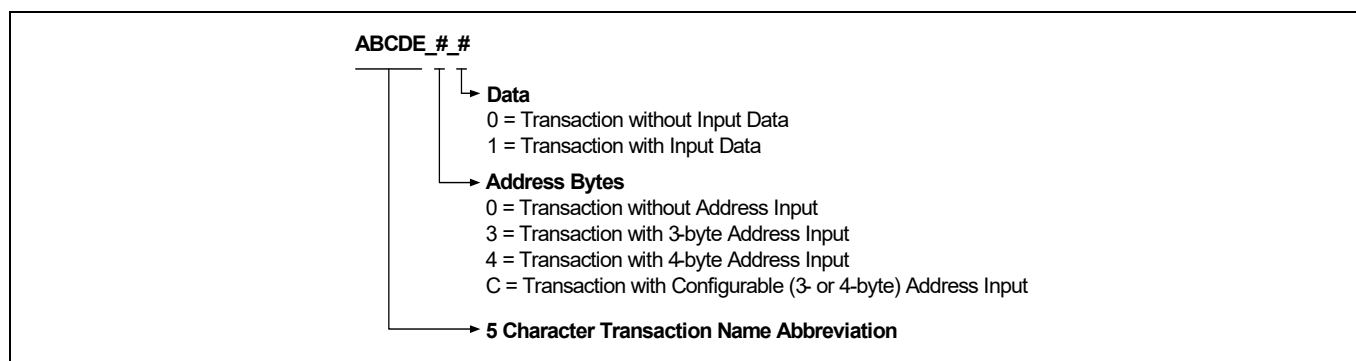


Figure 38 トランザクション命名規則

3 アドレス空間マップ

HL-T/HS-T ファミリは、メモリ容量が 256Mb、512Mb または 1Gb のデバイスを有効にするために 24 ビットおよび 32 ビット (4 バイト) アドレスをサポートします。4 バイトアドレスにより、最大 4GB (32Gb) のアドレス空間を直接アドレス指定することが可能です。アドレス バイト オプションは、対応するコンフィギュレーションレジスタに書き込むことで変更できます。また、4 バイトアドレスモードに入る (EN4BA_0_0) ためおよびモードから出る (EX4BA_0_0) ための個別のトランザクションもあります。

フラッシュ メモリ アレイに加え、HL-T/HS-T ファミリは、メーカー ID、デバイス ID、固有 ID、シリアルフラッシュ検出可能パラメーター (SFDP)、セキュアシリコン領域 (SSR) およびレジスタ用の個別のアドレス空間を含みます。

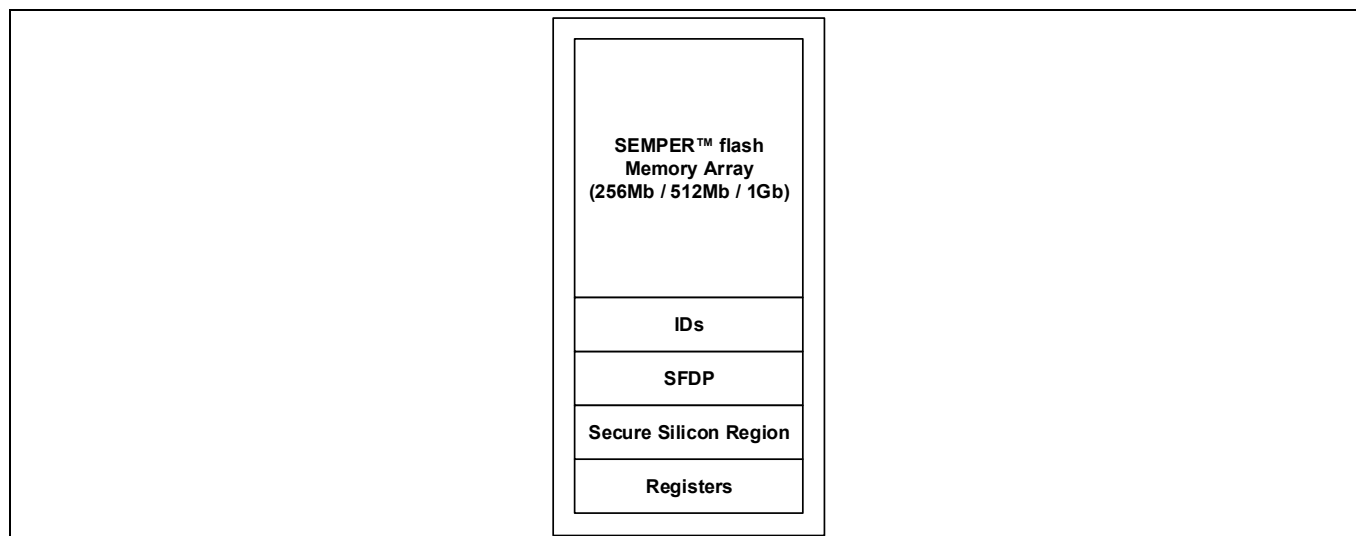


Figure 39 HL-T/HS-T アドレス空間マップ概要

3.1 SEMPER™ フラッシュ メモリ アレイ

メインフラッシュアレイは物理セクタと呼ばれるユニットに分けられます。

HL-T/HS-T ファミリのセクタアーキテクチャは以下のオプションに対応します。

- 256KB ユニフォームセクタオプション対応の 256Mb、512Mb、1Gb
- ハイブリッドセクタオプション対応の 256Mb、512Mb、1Gb
 - アドレス空間の最上部または最下部にある 32 の 4KB セクタおよび 1 つの 128KB セクタと、256KB の残りのセクタの物理セット
 - アドレス空間の最上部と最下部の両方にある 16 の 4KB セクタおよび 1 つの 192KB セクタと、256KB の残りのセクタの物理セット

コンフィギュレーションレジスタ 1 およびコンフィギュレーションレジスタ 3 内のセクタアーキテクチャ選択ビットの組合せは、HL-T/HS-T ファミリの異なるセクタアーキテクチャオプションをサポートします。詳細は 74 ページの [レジスタ](#) を参照してください。

Table 2 256KB ユニフォーム セクタ アドレス マップ^[8]

セクタ サイズ (KB)	S25HL01GT および S25HS01GT			S25HL512T および S25HS512T			S25HL256T および S25HS256T		
	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)
256	512	SA00	00000000h ～ 0003FFFFh	256	SA00	00000000h ～ 0003FFFFh	128	SA00	00000000h ～ 0003FFFFh
		:	:		:	:		:	:
		SA511	07FC0000h ～ 07FFFFFFh		SA255	03FC0000h ～ 03FFFFFFh		SA127	01FC0000h ～ 01FFFFFFh

注

8. コンフィギュレーション: CFR3N[3]=1。

Table 3 最下部のハイブリッド コンフィギュレーション 1:32 の 4KB セクタと 256KB ユニフォーム セクタのアドレス マップ^[9]

セクタ サイズ (KB)	S25HL01GT および S25HS01GT			S25HL512T および S25HS512T			S25HL256T および S25HS256T		
	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)
4	32	SA00	00000000h ～ 0000FFFFh	32	SA00	00000000h ～ 0000FFFFh	32	SA00	00000000h ～ 0000FFFFh
		:	:		:	:		:	:
		SA31	0001F000h ～ 0001FFFFh		SA31	0001F000h ～ 0001FFFFh		SA31	0001F000h ～ 0001FFFFh
128	1	SA32	00020000h ～ 0003FFFFh	1	SA32	00020000h ～ 0003FFFFh	1	SA32	00020000h ～ 0003FFFFh
256	511	SA33	00040000h ～ 0007FFFFh	255	SA33	00040000h ～ 0007FFFFh	127	SA33	00040000h ～ 0007FFFFh
		:	:		:	:		:	:
		SA543	07FC0000h ～ 07FFFFFFh		SA287	03FC0000h ～ 03FFFFFFh		SA159	01FC0000h ～ 01FFFFFFh

注

9. コンフィギュレーション: CFR3N[3]=0, CFR1N[6]=0, CFR1N[2]=0。

Table 4 最上部のハイブリッド コンフィギュレーション 1:32 の 4KB セクタと 256KB ユニフォーム セクタのアドレス マップ^[10]

セクタ サイズ (KB)	S25HL01GT および S25HS01GT			S25HL512T および S25HS512T			S25HL256T および S25HS256T		
	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)
256	511	SA00	00000000h ～ 0003FFFFh	255	SA00	00000000h ～ 0003FFFFh	127	SA00	00000000h ～ 0003FFFFh
		:	:		:	:		:	:
		SA510	07F80000h ～ 07FBFFFFh		SA254	03F80000h ～ 03FBFFFFh		SA126	01F80000h ～ 01FBFFFFh
128	1	SA511	07FC0000h ～ 07FDFFFFh	1	SA255	03FC0000h ～ 03FDFFFFh	1	SA127	01FC0000h ～ 01FDFFFFh
4	32	SA512	07FE0000h ～ 07FEFFFFh	32	SA256	03FE0000h ～ 03FEFFFFh	32	SA128	01FE0000h ～ 01FEFFFFh
		:	:		:	:		:	:
		SA543	07FFF000h ～ 07FFFFFFh		SA287	03FFF000h ～ 03FFFFFFh		SA159	01FFF000h ～ 01FFFFFFh

注

10. コンフィギュレーション: CFR3N[3]=0, CFR1N[6]=0, CFR1N[2]=1。

Table 5 ハイブリッド コンフィギュレーション 2: 最下位 16 と最上位 16 の 4KB セクタのアドレスマップ^[11]

セクタ サイズ (KB)	S25HL01GT および S25HS01GT			S25HL512T および S25HS512T			S25HL256T および S25HS256T		
	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)	セクタ 数	セクタ 範囲	バイトアドレス範囲 (セクタ開始アドレス ～ セクタ終了アドレス)
4	16	SA00	00000000h ～ 0000FFFFh	16	SA00	00000000h ～ 0000FFFFh	16	SA00	00000000h ～ 0000FFFFh
		:	:		:	:		:	:
		SA15	0000F000h ～ 0000FFFFh		SA15	0000F000h ～ 0000FFFFh		SA15	0000F000h ～ 0000FFFFh
192	1	SA16	00010000h ～ 0003FFFFh	1	SA16	00010000h ～ 0003FFFFh	1	SA16	00010000h ～ 0003FFFFh
256	510	SA17	00040000h ～ 0007FFFFh	254	SA17	00040000h ～ 0007FFFFh	126	SA17	00040000h ～ 0007FFFFh
		:	:		:	:		:	:
		SA526	07F80000h ～ 07FBFFFFh		SA270	03F80000h ～ 03FBFFFFh		SA142	01F80000h ～ 01FBFFFFh
192	1	SA527	07FC0000h ～ 07FEFFFFh	1	SA271	03FC0000h ～ 03FEFFFFh	1	SA143	01FC0000h ～ 01FEFFFFh
4	16	SA528	07FF0000h ～ 07FF0FFFh	16	SA272	03FF0000h ～ 03FF0FFFh	16	SA144	01FF0000h ～ 01FF0FFFh
		:	:		:	:		:	:
		SA543	07FFF000h ～ 07FFFFFFh		SA287	03FFF000h ～ 03FFFFFFh		SA159	01FFF000h ～ 01FFFFFFh

注

11. コンフィギュレーション: CFR3N[3]=0、CFR1N[6]=1。

上記の表は参考としていくつかのセクタを使用する要約された表です。明示的にリストされていないアドレス範囲があります。すべての 4KB セクタのパターンは xxxxx000h ～ xxxxxFFFh です。すべての 256KB セクタのパターンは xxx00000h ～ xxx3FFFFh、xxx40000h ～ xxx7FFFFh、xx80000h ～ xxxCFFFFh、または xxD0000h ～ xxxFFFFh です。

3.2 ID アドレス空間

メモリのこの特別な領域は、メーカー ID、デバイス ID および固有 ID に割り当てられます。

- メーカー ID は JEDEC によって割り当てられます (Table 89 を参照)。
- デバイス ID はインフィニオンによって割り当てられます (Table 89 を参照)。
- 64 ビット固有番号は固有デバイス ID アドレス空間の 8 バイトにあります。この固有 ID は、各デバイスに固有のソフトウェア読み取り可能なシリアル番号として使用できます (Table 90 を参照してください)。

ID のために定義されるアドレス空間がなく、対応するトランザクションを提供することでのみ読み出せます。ID を読み出すためにトランザクションにアドレスは必要ありません。このアドレス空間内のデータは読み出し専用データです。

3.3 JEDEC JESD216 シリアルフラッシュ検出可能パラメーター (SFDP) 空間

SFDP 規格は、内部パラメーター テーブルの標準的な一式でこのシリアルフラッシュ デバイスの機能と特長を記述する一貫性のある方法を提供します。これらのパラメーター テーブルはホストシステムソフトウェアのチェックを受け、標準的でない特徴を受け入れるために必要な調整を可能にします。SFDP アドレス空間には、SFDP データ構造を識別し、各パラメーターへのポインターを提供する、アドレス 0 から始まるヘッダが含まれます。SFDP アドレス空間はインフィニオンによってプログラムされ、ホストシステムに対しては読み出し専用です (Table 85 ~ Table 88 を参照してください)。

Table 6 SFDP アドレス マップ概要

バイト アドレス	説明
0000h	JEDEC JESD216D SFDP 空間の位置 0 - SFDP ヘッダの開始
...	SFDP ヘッダの残りの部分に続いて未定義の空間
0100h	SFDP パラメーター テーブルの開始 SFDP パラメーター テーブルのデータは 0100h で始まる
...	SFDP パラメーター テーブルの残りの部分に続いてさらなるパラメーターまたは未定義空間

3.4 SSR アドレス空間

各メモリ デバイスは OTP アドレス空間である 1024 バイトのセキュアシリコン領域を持ちます。このアドレス空間はメインフラッシュ アレイから分離されています。SSR 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイトの領域では、

- 16 最下位バイトは 128 ビットの乱数を含みます。この乱数は書き込み、消去またはプログラムは不可であり、行おうとすると PRGERR フラグが返されます。
- 次の 4 バイトは、セキュア領域ごとに 1 ビット (合計 32 ビット) を提供し、いったん「0」にセットされたら、書き込み、消去またはプログラムから恒久的に保護されます。
- 他のすべてのバイトは予約されています。

残りの領域は、出荷時に消去され、追加の恒久的なデータのプログラミングに使用できます。

Table 7 SSR アドレス マップ

領域	バイト アドレス範囲	内容	工場出荷初期状態
領域 0	000h	インフィニオンがプログラムした乱数の LSB	インフィニオンによりプログラムされた乱数
	...	...	
	00Fh	インフィニオンがプログラムした乱数の MSB	
	010h ~ 013h	領域ロックビット バイト 10h [ビット 0] = 「0」のとき、領域 0 をプログラムから保護します。 ... バイト 13h [ビット 7] = 「0」のとき、領域 31 をプログラムから保護します。	全バイト = FFh
	014h ~ 01Fh	将来使用するために予約済み (RFU)	全バイト = FFh
領域 1	020h ~ 03Fh	ユーザー プログラミング用に使用可能	全バイト = FFh
領域 2	040h ~ 05Fh	ユーザー プログラミング用に使用可能	全バイト = FFh
...	...	ユーザー プログラミング用に使用可能	全バイト = FFh
領域 31	3E0h ~ 3FFh	ユーザー プログラミング用に使用可能	全バイト = FFh

3.5 レジスタ

レジスタは、メモリ デバイスの動作方法を設定する、またはデバイス動作のステータスを報告するために使用される、小さなグループのメモリ セルです。レジスタは特定のコマンドおよびアドレスでアクセスされます。**Table 8** に、本フラッシュ メモリ デバイスの利用可能なレジスタのアドレス マップを示します。

Table 8 レジスタ アドレス マップ

機能	レジスタ タイプ	レジスタ名	揮発性コンポーネント アドレス (16 進)	不揮発性コンポーネント アドレス (16 進)
デバイス ステータス	ステータス レジスタ 1	STR1N[7:0]、STR1V[7:0]	0x00800000	0x00000000
	ステータス レジスタ 2	STR2V[7:0]	0x00800001	該当なし
デバイス コンフィギュレーション	コンフィギュレーション レジスタ 1	CFR1N[7:0]、CFR1V[7:0]	0x00800002	0x00000002
	コンフィギュレーション レジスタ 2	CFR2N[7:0]、CFR2V[7:0]	0x00800003	0x00000003
	コンフィギュレーション レジスタ 3	CFR3N[7:0]、CFR3V[7:0]	0x00800004	0x00000004
	コンフィギュレーション レジスタ 4	CFR4N[7:0]、CFR4V[7:0]	0x00800005	0x00000005
インフィニオン Endurance Flex アーキテクチャ	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 0 [1:0]	EFX00[1:0]	該当なし	0x00000050
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 1 [7:0]	EFX10[7:0]		0x00000052
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 1 [10:8]	EFX10[10:8]		0x00000053
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 2 [7:0]	EFX20[7:0]		0x00000054
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 2 [10:8]	EFX20[10:8]		0x00000055
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 3 [7:0]	EFX30[7:0]		0x00000056
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 3 [10:8]	EFX30[10:8]		0x00000057
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 4 [7:0]	EFX40[7:0]		0x00000058
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 4 [10:8]	EFX40[10:8]		0x00000059
エラー訂正	ECC ステータス レジスタ	ESCV[7:0]	0x00800089	該当なし
	ECC エラー検出カウンタ レジスタ [7:0]	ECTV[7:0]	0x0080008A	
	ECC エラー検出カウンタ レジスタ [15:8]	ECTV[15:8]	0x0080008B	
	ECC アドレストラップ レジスタ [7:0]	EATV[7:0]	0x0080008E	
	ECC アドレストラップ レジスタ [15:8]	EATV[15:8]	0x0080008F	
	ECC アドレストラップ レジスタ [23:16]	EATV[23:16]	0x00800040	
	ECC アドレストラップ レジスタ [31:24]	EATV[31:24]	0x00800041	
オートブート	オートブート レジスタ [7:0]	ATBN[7:0]	該当なし	0x00000042
	オートブート レジスタ [15:8]	ATBN[15:8]		0x00000043
	オートブート レジスタ [23:16]	ATBN[23:16]		0x00000044
	オートブート レジスタ [31:24]	ATBN[31:24]		0x00000045
データ学習	データ学習 レジスタ [7:0]	DLPN[7:0]、DLPV[7:0]	0x00800010	0x00000010
消去カウント	セクタ消去カウンタ レジスタ [7:0]	SECV[7:0]	0x00800091	該当なし
	セクタ消去カウンタ レジスタ [15:8]	SECV[15:8]	0x00800092	
	セクタ消去カウンタ レジスタ [23:16]	SECV[23:16]	0x00800093	
データ整合性チェック	データ整合性チェック CRC レジスタ [7:0]	DCRV[7:0]	0x00800095	
	データ整合性チェック CRC レジスタ [15:8]	DCRV[15:8]	0x00800096	
	データ整合性チェック CRC レジスタ [23:16]	DCRV[23:16]	0x00800097	
	データ整合性チェック CRC レジスタ [31:24]	DCRV[31:24]	0x00800098	

Table 8 レジスタ アドレス マップ (続き)

機能	レジスタ タイプ	レジスタ名	揮発性コンポーネント アドレス (16 進)	不揮発性コンポー ネント アドレス (16 進)
保護とセキュリ ティ	高度セクタ保護レジスタ [7:0]	ASPO[7:0]	該当なし	0x00000030
	高度セクタ保護レジスタ [15:8]	ASPO[15:8]		0x00000031
	ASP PPB ロック レジスタ (持続的保護ブロック)	PPLV[7:0]	0x0080009B	該当なし
	ASP パスワード レジスタ [7:0]	PWDO[7:0]	該当なし	0x00000020
	ASP パスワード レジスタ [15:8]	PWDO[15:8]		0x00000021
	ASP パスワード レジスタ [23:16]	PWDO[23:16]		0x00000022
	ASP パスワード レジスタ [31:24]	PWDO[31:24]		0x00000023
	ASP パスワード レジスタ [39:32]	PWDO[39:32]		0x00000024
	ASP パスワード レジスタ [47:40]	PWDO[47:40]		0x00000025
	ASP パスワード レジスタ [55:48]	PWDO[55:48]		0x00000026
	ASP パスワード レジスタ [63:56]	PWDO[63:56]		0x00000027

4 機能

4.1 エラー検出と訂正

HL-T/HS-T ファミリのデバイスは、メモリアレイのプログラム中に組み込みハミングエラー訂正コードを生成することで、エラー検出と訂正をサポートします。その後、この ECC コードは読み出し中にエラーの検出と修正に使用されます。ECC は 16 バイトデータユニットをベースとします。16 バイトデータユニットがプログラムバッファにロードされ、(消去後の)プログラム用に 128 ビットのフラッシュメモリアレイラインに転送される時、各データユニットごとの 8 ビットエラー訂正コード (ECC) も、ホストシステムソフトウェアに見えないメモリアレイの部分にプログラムされます。その後、この ECC 情報は各フラッシュアレイの読み出し動作中にチェックされます。データユニット内のいかなる 1 ビットエラーも ECC ロジックによって訂正されます。16 バイトデータユニットは、ECC が有効である最小のプログラム粒度です。

あるデータ量が最初に 16 バイトデータユニット内にプログラムされたとき、ECC 値はデータユニット全体に対してセットされます。消去を行わず、その後に追加のデータが同じデータユニットにプログラムされた場合、データユニットの ECC は無効にされ、1 ビット ECC ディセーブルビットがセットされます。データユニットの ECC を再び有効にするためにセクタ消去が必要です。

これらは、ユーザーに対してトランスペアレント (透明) な自動動作です。ECC 機能の透明性は、各データユニットに一回のデータ書き込みを行う標準的なプログラム動作に対するデータの信頼性を向上させます。また同時に、シングルバイトプログラムおよび同じデータユニットが複数回プログラムされるビットウォーキング (この場合、ECC は無効) を可能にすることで、旧世代の製品とのソフトウェア互換性を可能にします。

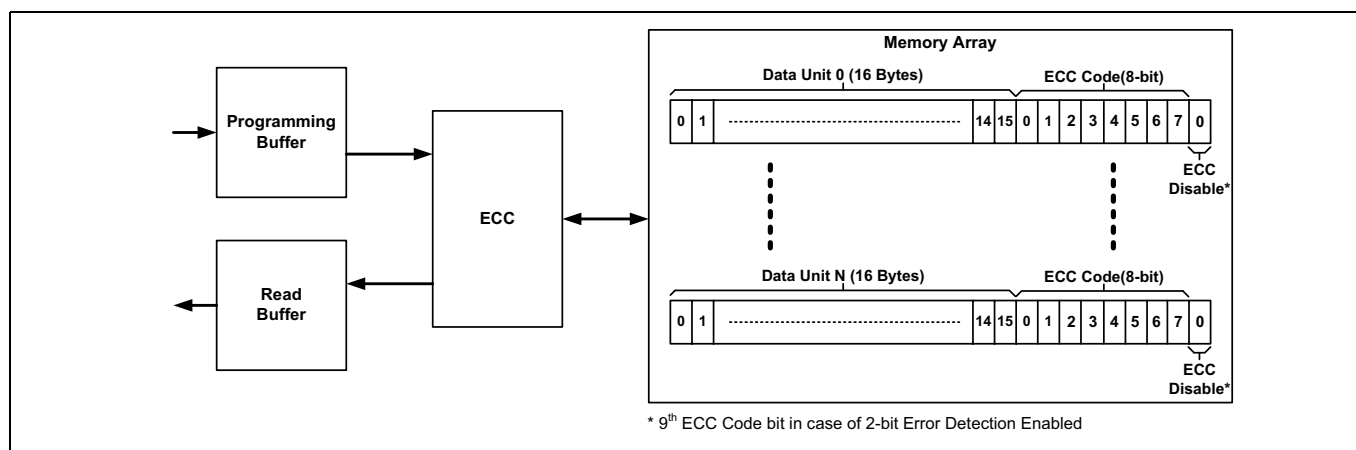


Figure 40 16 バイト ECC データユニットの例

SEMPER™ NOR フラッシュはデフォルト ECC コンフィギュレーションとして 2 ビットエラー検出をサポートします。このコンフィギュレーションでは、データユニット内のどの 1 ビットエラーも訂正され、どの 2 ビットエラーも検出され報告されます。16 バイトユニットデータは、2 ビットエラー検出のために 9 ビットエラー訂正コードを必要とします。2 ビットエラー検出が有効にされたとき、(消去を行わず) 同じデータユニットに対するバイトプログラム、ビットウォーキングや複数回のプログラム動作は不可であり、プログラムエラーとなります。ECC モードを 1 ビットエラー検出から 2 ビットエラー検出に、または 2 ビットエラー検出から 1 ビットエラー検出に変更すると、メモリアレイ内のすべてのデータが無効になります。ECC モードを変更する際、まずホストはデバイス内のすべてのセクタを消去する必要があります。プログラムされたデータを消去せずに ECC モードを変更した場合、その後の読み出し動作は未定義の動作となります。

4.1.1 ECC エラー報告

ECC エラーを検出したとき、4つの方法でホストシステムに通知できます。

- ECC データユニットステータスは、データユニット内の1ビットまたは2ビットエラーの状態を提供します。
- ECC ステータスレジスタは、最後の ECC クリアまたはリセット後の、1ビットまたは2ビットエラーの状態を示します。
- アドレストラップレジスタは、メモリアレイ読み出し中の POR またはリセットの後に発生する最初の ECC エラーのアドレス位置をキャプチャします。
- ECC エラー検出カウンタは、読み出し中にデータユニットに発生した1ビットまたは2ビットエラーの数を記録します。

4.1.1.1 ECC データユニットステータス (EDUS)

- 各データユニットの ECC ステータスは8ビット ECC データユニットステータスによって提供されます。
- ECC ステータス トランザクションは、アドレス指定されたデータユニットの ECC ステータスを出力します。ECC データユニットステータスの内容は、選択されたデータユニットに対して、訂正済みの1ビットエラーまたは検出済みの2ビットエラーがあるか、またはそのデータユニットに対する ECC が無効にされたかを示します。

Table 9 ECC データユニットステータス

ビット	フィールド名	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EDUS[7:4]	RESRVD	将来使用するために予約済み	V->R	0000	これらのビットは将来使用するために予約されています。
EDUS[3]	ECC2BD	2ビット ECC エラー検出フラグ	V->R	0	このビットは、2ビット ECC エラー検出が有効な場合 (CFR4V[3]=1)、2ビットエラーがデータユニットで検出されたかどうかを示します。 2ビットエラー検出が無効な場合 (CFR4V[3]=0)、ECC2BD ビットは常に「0」になります。 注: 2ビットエラー検出が有効 (CFR4V[3]=1) の場合、シングルバイトプログラミングまたはすでに部分的にプログラミングされたデータユニットでビットウォーキングを実行している間、ECCOFF ビットは1b に設定されません。このようなバイトプログラミングまたはビットウォーキングを実行しようとすると、プログラムエラーが発生します。 選択オプション: 1=2ビットエラーが検出されました。 0=エラーが発生しませんでした。
EDUS[2]	RESRVD	将来使用するために予約済み	V->R	0	このビットは将来使用するために予約されています。
EDUS[1]	ECC1BC	1ビット ECC エラー検出と訂正フラグ	V->R	0	このビットはエラーがデータユニットで訂正されたかどうかを示します。 選択オプション: 1=1ビットエラーがアドレス指定されたデータユニットで訂正されました。 0=アドレス指定されたデータユニットで訂正された1ビットエラーはありませんでした。
EDUS[0]	ECCOFF	データユニット ECC オフ/オンフラグ	V->R	0	このビットは ECC シンドロームがデータユニットでオフになっているかどうかを示します。 選択オプション: 1= 選択されたデータユニットで ECC はオフです。 0= 選択されたデータユニットで ECC はオンです。 依存性: CFR4x[3]

4.1.1.2 ECC ステータス レジスタ (ECSV)

- 8 ビットの ECC ステータスレジスタは、最後の ECC クリアまたはリセット後の通常読み出し中に発生した 1 ビットまたは 2 ビット エラーの状態を示します。ECC ステータスレジスタはユーザーがプログラム可能な不揮発性ビットを持っていません。定義されたすべてのビットは揮発性読み出し専用ビットです。これらのビットのデフォルト状態はハードウェアにより設定されます。
- ECC ステータスレジスタは任意レジスタ読み出しトランザクションによってアクセスできます。任意レジスタ読み出しに基づく ECSV の正しいシーケンスは次のとおりです。
 - 任意の読み出しトランザクションを使用してデータをメモリ アレイから読み出します。
 - ECSV はデバイスによって更新されます。
 - ECSV の任意レジスタ読み出しトランザクションは最後のクリアまたはリセット後のあらゆる ECC イベントの状態を提供します。
- ECSV は、POR、CS# シグナリングリセット、ハードウェア / ソフトウェアリセット、または ECC ステータスレジスタクリアトランザクションによってクリアされます。

4.1.1.3 ECC エラー アドレストラップ (EATV)

- フラッシュアレイ読み出し中に初めて発生した ECC エラーの ECC データユニットアドレスをキャプチャするための 32 ビットレジスタが用意されています。POR、ハードウェアリセットまたは ECC クリアトランザクション後に最初に発生した有効なエラータイプ (CFR4N[3] での選択によって「2 ビットのみ」または「1 ビットか 2 ビット」) のアドレスのみがキャプチャされます。EATV レジスタは読み出しトランザクションの間にのみ更新されます。

EATV レジスタは、エラーが検出されたときにアクセスされたアドレスを格納します。不良ビットはレジスタで示された正確なアドレスに見つけられないことがあります。エラーが検出された整列済みの 16 バイト ECC データユニット内に見つけられます。単一の読み出し動作中に複数の ECC データユニットにエラーが見つかった場合、最初の不良の ECC ユニットのアドレスのみが EATV レジスタにキャプチャされます。

2 ビット エラー検出が有効でなく、同じ ECC ユニットが複数回プログラムされた場合、その ECC ユニットの ECC エラー検出が無効にされ、エラーが認識できないのでアドレスをトラップできません。

ECC ステータスレジスタ (ECSV) ビット 3 または 4 が 1 の場合、アドレストラップレジスタは有効なアドレスを持ちます。
- アドレストラップレジスタは任意レジスタ読み出しトランザクションで読み出されます。
- ECC ステータスレジスタクリアトランザクション、POR または CS# シグナリング / ハードウェア / ソフトウェアリセットは、アドレストラップレジスタをクリアします。

4.1.1.4 ECC エラー検出カウンタ (ECTV)

- フラッシュメモリアレイからデータが読み出されるときに発生した 1 ビットまたは 2 ビットエラーの数をカウントするための 16 ビットレジスタが用意されています。メインアレイで認識されたエラーのみが、エラー検出カウンタを増分させます。ECTV レジスタは読み出しトランザクションの間にのみ更新されます。ECC ステータス読み出しトランザクションは ECTV レジスタに影響しません。

16 ビットエラー検出カウンタは FFFFh を越えて増分しませんが、ECC は動作を継続します。

注：連続した読み出し動作中に、1 ビットまたは 2 ビットエラーが検出されると、クロックがトリグルし続け、メモリデバイスはデータアドレスの増分および DQ 信号上の新データの配置を継続することがあります。エラーが発生した追加のデータユニットは CS# が HIGH に戻されるまでカウントされます。

読み出しトランザクション中は、エラーが発生したデータユニットごとに 1 つのエラーのみがカウントされます。各読み出しトランザクションにより、対象のデータユニットの新たな読み出しが行われます。もし複数の読み出しトランザクションがエラーのある同じデータユニットにアクセスしたら、エラーカウンタはデータユニットが読み出されるたびに増分します。

2 ビットエラー検出が有効でなく、同じデータユニットが複数回プログラムされた場合、そのデータユニットの ECC エラー検出が無効にされ、エラーが認識されず、カウントされません。
- ECC エラー検出カウンタレジスタは、任意レジスタ読み出しトランザクションで読み出されます。

機能

- POR、CS#シグナリング/ハードウェア/ソフトウェアリセットまたはECCステータスレジスタクリアトランザクションでは、ECTV レジスタは「0」にセットされます。

4.1.2 ECC に関連するレジスタとトランザクション

Table 10 ECC に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
コンフィギュレーションレジスタ 4 (CFR4N, CFR4V) (83 ページの Table 52 を参照してください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_C_0)
ECC ステータス レジスタ (ECSV) (85 ページの Table 55 を参照してください)	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
ECC アドレストラップレジスタ (EATV) (86 ページの Table 56 を参照してください)	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_C_1)
ECC エラー検出カウント レジスタ (ECTV) (87 ページの Table 57 を参照してください)	ECC ステータス読み出し (RDECC_4_0、RDECC_C_0)	ECC ステータス読み出し (RDECC_4_0、RDECC_C_0)
	ECC ステータスレジスタクリア (CLECC_0_0)	ECC ステータスレジスタクリア (CLECC_0_0)

4.2 インフィニオン Endurance Flex アーキテクチャ (ウェアレベリング)

インフィニオン Endurance Flex アーキテクチャでは、高耐久性か長期データ保持に設定可能な領域へメインメモリアレイを分割できます。インフィニオン Endurance Flex アーキテクチャは、ウェアレベリングプールの一部であるすべてのセクタにプログラム / 消去サイクルが均等に分布される高耐久性領域にウェアレベリングを実装します。これは、個々のセクタの早期摩耗を防止し、デバイスの信頼性を大きく向上させます。

アーキテクチャ上では、インフィニオン Endurance Flex のウェアレベリングアルゴリズムは論理セクタの物理セクタへのマッピングに基づきます。製品の寿命期間中に、このマッピングはすべての物理セクタにおけるプログラム / 消去サイクルの均等な分布を維持するように変更されます。論理から物理へのマッピング情報は、セクタがスワップされたときに更新される専用フラッシュアレイに格納されます。セクタスワップは、消去トランザクションが発行されると行われます。

インフィニオン Endurance Flex アーキテクチャの高耐久性領域は少なくとも 20 セクタのセットを必要とします。長期データ保持期間、高耐久性、または両方の領域の設定に柔軟性を提供するために、4 ポインタアーキテクチャが用意されています。工場出荷時の設定では、すべてのポインタを無効にしておき、ウェアレベリングの一部としてすべてのセクタを高耐久性として指定しています。4 ポインタを使用して最大 5 つの領域を形成し、それぞれを長期データ保持または高耐久性に設定できます。

Figure 41 はインフィニオン Endurance Flex アーキテクチャの概要を提供します。異なるセクタアーキテクチャに基づいた 5 つの可能な領域を示します。

注

12.4KB セクタはインフィニオン Endurance Flex アーキテクチャの一部ではありません。

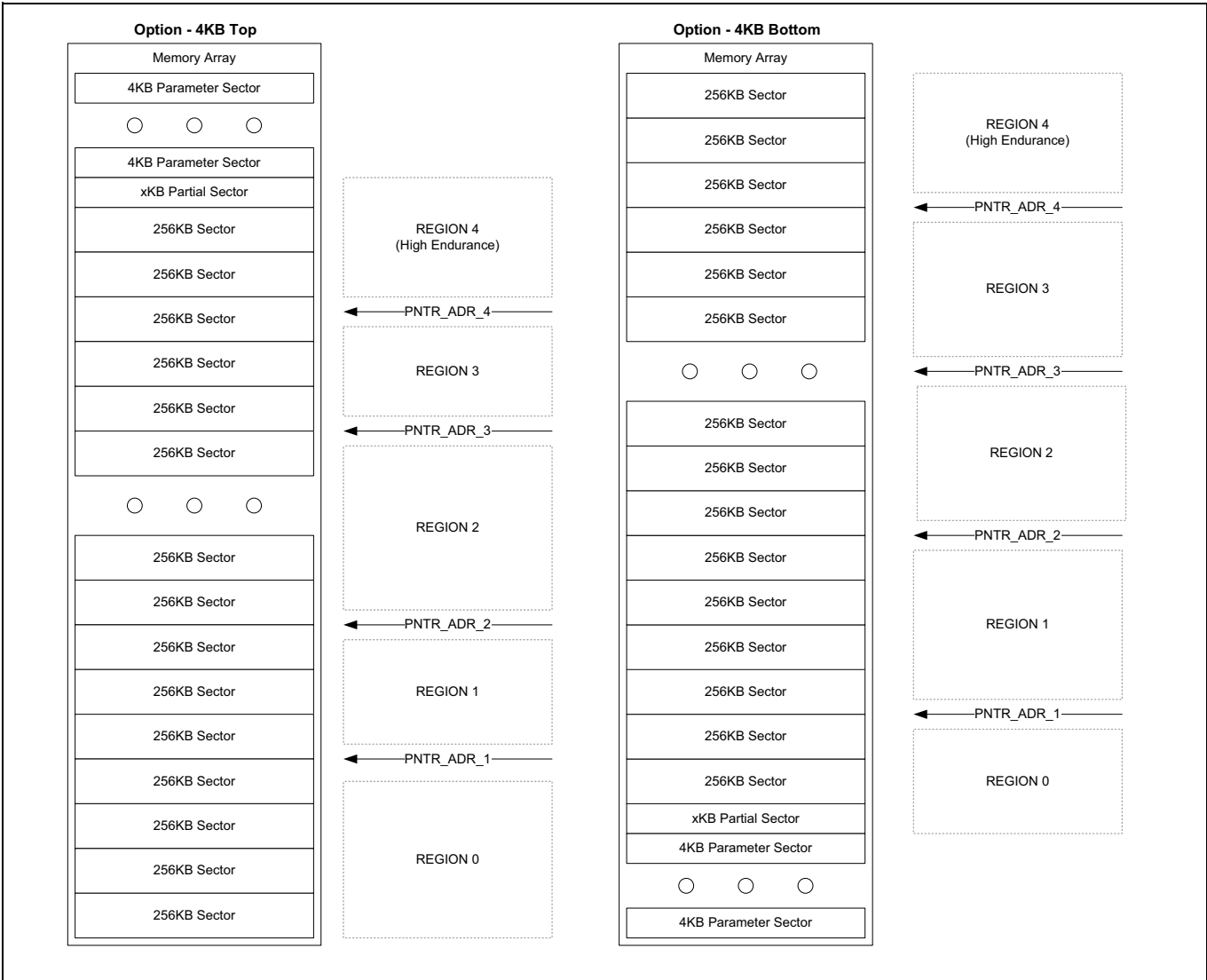


Figure 41 インフィニオン Endurance Flex アーキテクチャ概要



Table 11 領域定義 [13, 14, 15, 16]

領域	下限	上限
0	セクタ 0	アドレス ポインタ 1
1	アドレス ポインタ 1	アドレス ポインタ 2
2	アドレス ポインタ 2	アドレス ポインタ 3
3	アドレス ポインタ 3	アドレス ポインタ 4
4	アドレス ポインタ 4	最上位セクタ

注

13. ポインタ アドレスは以下の規則に従う必要があります。

ポインタ 4 アドレス > ポインタ 3 アドレス

ポインタ 3 アドレス > ポインタ 2 アドレス

ポインタ 2 アドレス > ポインタ 1 アドレス

14. 4KB セクタは含まれません。

15. 高耐久性領域と長期データ保持領域は、デバイスが最初に電源投入されたときに設定する必要があります。これらは 1 度設定されると、変更できません。

16. いずれの高耐久性領域もその最小サイズは 20 セクタです。

4.2.1 コンフィギュレーション 1: 最大耐久性 - 1 高耐久性領域

最大耐久性は、すべての 256KB セクタを高耐久性として指定することで達成できます。すべてのセクタはインフィニオン Endurance Flex ポインタ アーキテクチャを使用して高耐久性として指定する必要があります。最大耐久性のポインタ コンフィギュレーションを、[Table 12](#) に示します。

Table 12 インフィニオン最大耐久性コンフィギュレーション用の Endurance Flex ポインタ値 [17]

ポインタ番号	ポインタアドレス EPTADn[8:0]	領域タイプ ERGNTn	ポインタイネーブル 番号 EPTENn	グローバル領域選択 GBLSEL	ウェアレベリング イネーブル WRLVEN
0	該当なし	該当なし	該当なし	1'b1	1'b1
1	9'b111111111	1'b1	1'b1	該当なし	該当なし
2	9'b111111111				
3	9'b111111111				
4	9'b111111111				

注

17. これもデバイスのデフォルト コンフィギュレーションです。

4.2.2 コンフィギュレーション 2: 2 領域選択 - 1 長期データ保持領域と 1 高耐久性領域

高耐久性または長期データ保持用のセクタはインフィニオン Endurance Flex アーキテクチャポインタを使用して指定する必要があります。領域 0 は長期データ保持として指定され、16 セクタから成ります。領域 1 は高耐久性として指定され、240 セクタから成ります。2 領域コンフィギュレーションのポインタセットアップを、[Table 13](#) に示します。定義されるポインタの数は、構成される領域の数に基づきます。

Table 13 2 つの領域コンフィギュレーション用のインフィニオン Endurance Flex アーキテクチャポインタ値

ポインタ番号	ポインタ アドレス EPTADn[8:0]	領域タイプ ERGNTn	ポインタイネーブル 番号 EPTENn	グローバル領域選択 GBLSEL	ウェアレベリングイ ネーブル WRLVEN
0	該当なし	該当なし	該当なし	1'b0	1'b1
1	9'b0000010000	1'b1	1'b0	該当なし	該当なし
2	9'b1111111111	1'b1	1'b1		
3					
4					

4.2.3 インフィニオン Endurance Flex アーキテクチャ関連レジスタとトランザクション

Table 14 インフィニオン Endurance Flex アーキテクチャ関連レジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
インフィニオン Endurance Flex アーキテクチャ 選択レジスタ (EFX40、EFX30、EFX20、EFX10、EFX00) (91 ページの インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx) を参照し てください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_C_0)
	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_C_1)

4.3 データ整合性 CRC

HL-T/HS-T ファミリ デバイスは、メモリアレイ内のユーザー定義アドレス範囲に対してハードウェア加速の巡回冗長チェック (CRC) 計算を実行するために一連のトランザクションを備えます。計算はプログラムや消去と同じような組込み動作のもう一つのタイプであり、計算実行中はデバイスがビジーになります。CRC 動作は次の CRC32 多項式を使用して CRC チェック値を計算します。

$$\text{CRC32 多項式} : X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$$

チェック値の生成シーケンスは、DICCHK_4_1 トランザクションの入力で開始します。このトランザクションは、CRC 計算の対象となるアドレス範囲の開始を定義する CRC 開始アドレス レジスタに開始アドレスをロードすることを含みます。また、CRC 終了アドレス レジスタに終了アドレスをロードすることを含みます。CS# を HIGH にすると、CRC 計算が始まります。CRC プロセスは、開始アドレスと終了アドレスの間に格納されているデータのチェック値を計算します。

計算期間中、デバイスはビジー状態 (STR1V[0] - RDYBSY=1) に入ります。チェック値の計算が完了すると、デバイスはレディ状態 (STR1V[0] - RDYBSY=0) に戻り、計算結果のチェック値は読み出し可能になります。チェック値はデータ整合性 CRC レジスタ (DCRV[31:0]) に格納され、任意レジスタ読み出し (RDARG_C_0) トランザクションを使用して読み出せます。

チェック値の計算はデバイスがスタンバイ状態のときにのみ開始できます。始まった計算は、メモリアレイからデータを読み出すために CRC 一時停止 トランザクション (SPEPD_0_0) で一時停止できます。一時停止状態では、ステータス レジスタ 2 の CRC 一時停止ステータス ビットがセットされます (STR2V[4] - DICRCS=1)。いったん一時停止されたら、ホストはステータス レジスタを読み出したり、メモリアレイからデータを読み出したり、CRC 再開 トランザクション (RSEPD_0_0) で CRC 計算を再開したりできます。

終了アドレス (ENDADD) は、開始アドレス (STRADD) より少なくとも 2 アドレス高くなければなりません。[ENDADD<STRADD+3] の場合、チェック値の計算は中止され、デバイスはレディ状態に戻ります (STR1V[0] - RDYBSY=0)。データ整合性 CRC 中止ステータス ビットはセットされ (STR2V[3] - DICRCA=1)、中止状態を示します。DICRCA ビットはセットされたら、ソフトウェアリセットまたは後続の有効な CRC コマンド実行でクリアできます。[ENDADD<STRADD+3] の場合、チェック値は不定のデータを保持します。

注: CRC チェック値の計算中に無効なトランザクションがあると、チェック値データが壊れることがあります。

4.3.1 データ整合性チェックに関連するレジスタとトランザクション

Table 15 データ整合性 CRC に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
ステータス レジスタ 1 (STR1N、STR1V) (75 ページの Table 41 を参照してください)	データ整合性チェック (DICCHK_4_1)	データ整合性チェック (DICCHK_4_1)
ステータス レジスタ 2 (STR2V) (77 ページの Table 44 を参照してください)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)
データ整合性 CRC チェック値レジスタ (DCRV) (85 ページの Table 54 を参照してください)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)

4.4 データ保護スキーム

データ保護は、保存されているデータおよびデバイス コンフィギュレーションへの誤った変更を防止するために必要です。誤った変更には、メモリアレイの誤った消去やプログラムだけでなく、デバイスの機能を変化させる可能性のあるコンフィギュレーションレジスタへの書き込みも含まれます。保護スキームは、単一のセクタやセクタグループ、メモリアレイの一部または全体を対象とする3つのタイプがあります。Figure 43 に、異なる保護スキームと該当するデータ領域の概要を示します。

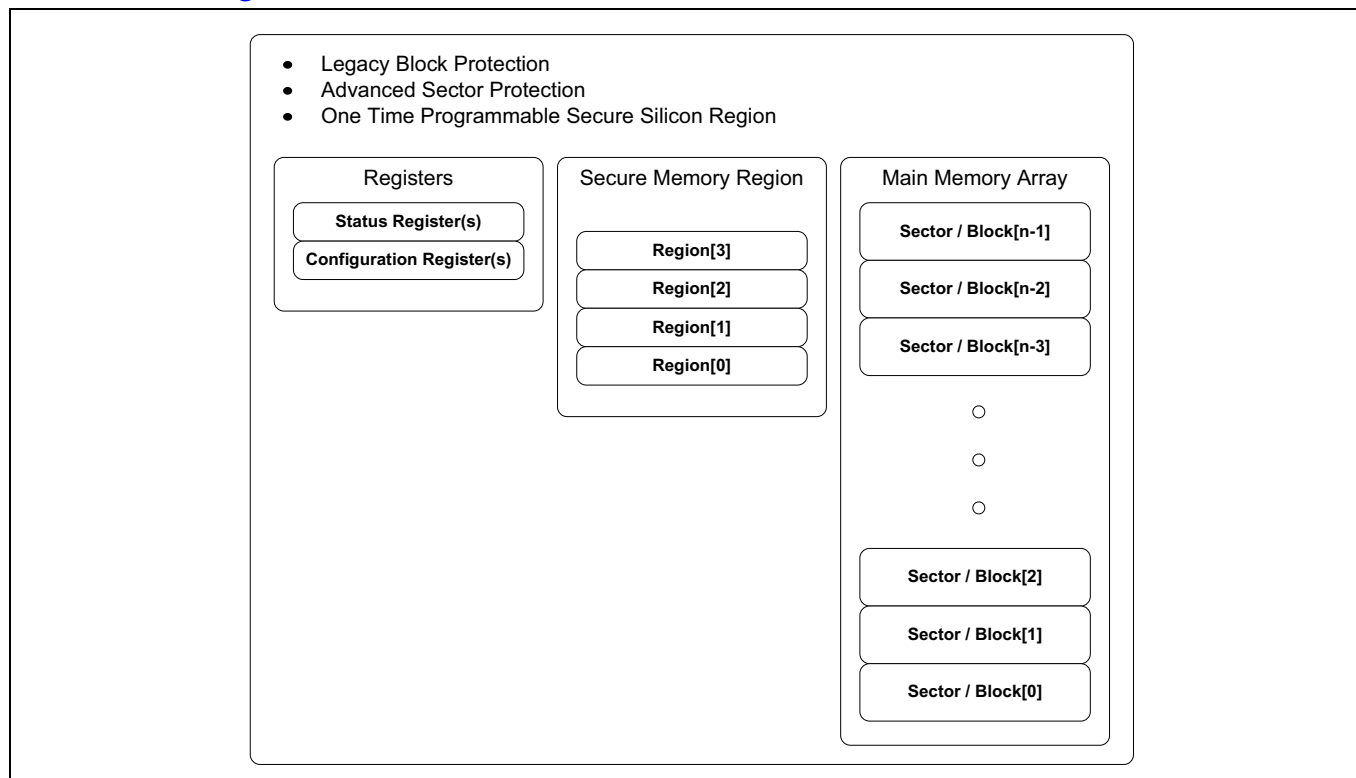


Figure 43 データ保護およびセキュリティ (書き込み / プログラム / 消去) スキーム

4.4.1 レガシー ブロック保護 (LBP)

レガシー ブロック保護 (LBP) はブロック ベースのデータ保護スキームです。LBP は、レガシー シリアル NOR フラッシュ デバイスとの互換性をサポートします。LBP は、ステータスとコンフィギュレーションレジスタを保護することにより、メモリアレイおよびデバイス コンフィギュレーション内のデータを保護します。

4.4.1.1 メモリアレイ保護

メモリアレイの保護は、ステータス レジスタ 1 (STR1N[4:2]/STR1V[4:2] - LBPROT[2:0]) およびコンフィギュレーションレジスタ 1 (CFR1N[5]/CFR1V[5] - TBPROT) のビットの組合せによるブロックサイズの選択に依存します。

Table 16 は、LBP メモリ アレイのブロック選択のまとめを示します。

Table 16 レガシー ブロック メモリ アレイ保護の選択

CFR1N[5]/CFR1V[5] TBPROT	STR1N[4]/STR1V[4] LBPROT[2]	STR1N[3]/STR1V[3] LBPROT[1]	STR1N[2]/STR1V[2] LBPROT[0]	メモリ アレイ ブロックサイ ズ	256Mb (KB)	512Mb (KB)	1Gb (KB)
0	0	0	0	無	0	0	0
0	0	0	1	上位 1/64	512	1024	2048
0	0	1	0	上位 1/32	1024	2048	4096
0	0	1	1	上位 1/16	2048	4096	8192
0	1	0	0	上位 1/8	4096	8192	16384
0	1	0	1	上位 1/4	8192	16384	32768
0	1	1	0	上位 1/2	16384	32768	65536
0	1	1	1	全セクタ	32768	65536	131072
1	0	0	0	無	0	0	0
1	0	0	1	下位 1/64	512	1024	2048
1	0	1	0	下位 1/32	1024	2048	4096
1	0	1	1	下位 1/16	2048	4096	8192
1	1	0	0	下位 1/8	4096	8192	16384
1	1	0	1	下位 1/4	8192	16384	32768
1	1	1	0	下位 1/2	16384	32768	65536
1	1	1	1	全セクタ	32768	65536	131072

4.4.1.2 コンフィギュレーション保護

LBP はコンフィギュレーション レジスタ 1 (CFR1N[4, 0]/CFR1V[4, 0] - PLPROT、TLPROT) で選択ビットを持ちます。これらの選択ビットはステータスとコンフィギュレーション レジスタを恒久的または一時的に保護し、したがってデバイスのコンフィギュレーションを保護します。一時的保護は、次の電源切断、ハードウェア リセット、または CS# シグナリング リセットまで有効なままです。

Table 17 オプション 2 - レガシー ブロック コンフィギュレーション保護の選択^[18]

CFR1N[4]/CFR1V[4] PLPROT	CFR1N[0]/CFR1V[0] TLPROT	レジスタ保護ステータス
0	0	ステータスとコンフィギュレーション レジスタは保護されません。
1	X	ステータスとコンフィギュレーション レジスタは恒久的に保護されます (TBPROT、LBPROT[2:0]、SP4KBS、TB4KBS)。
0	1	ステータスとコンフィギュレーション レジスタは次の電源切断まで保護されます (TBPROT、LBPROT[2:0]、SP4KBS、TB4KBS)。

注

18. コンフィギュレーションを保護することで、保護のために選択されたメモリ アレイ ブロックも保護されます。

4.4.1.3 書き込み保護信号

書き込み保護 (DQ2_WP#) 入力は、ステータス レジスタ書き込みディセーブル ビット (STR1x[7]) とともに、ハードウェア入力信号で制御される保護を提供します。WP# が LOW で、STR1x[7] が「1」にセットされている場合、ステータス レジスタ 1 (STR1N と STR1V) およびコンフィギュレーション レジスタ 1 (CFR1N と CFR1V) は変更できません。これにより、ブロック保護ビットで定義された保護の無効化あるいは変更を防ぎます。

4.4.1.4 レガシー ブロック保護のフローチャート

LBP 保護スキームのフローチャートを、**Figure 44** に示します。

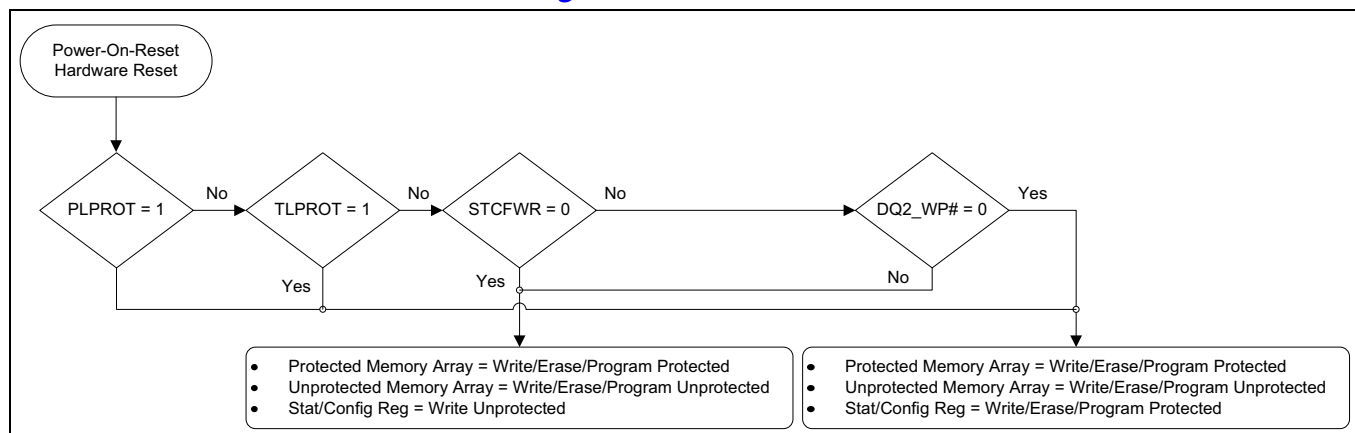


Figure 44 レガシー ブロック保護のフローチャート

4.4.1.5 LBP に関連するレジスタとトランザクション

Table 18 LBP に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
ステータス レジスタ 1 (STR1N、STR1V) (75 ページの Table 41 を参照してください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_C_0)
コンフィギュレーションレジスタ 1 (CFR1N、CFR1V) (78 ページの Table 45 を参照してください)	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_C_1)
	ステータス レジスタ 1 読み出し (RDSR1_0_0)	ステータス レジスタ 1 読み出し (RDSR1_0_0)
	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)

4.4.2 高度セクタ保護 (ASP)

高度セクタ保護 (ASP) スキームでは、消去やプログラムを防止するために揮発性または不揮発性ロック機能によって個々のメモリ アレイ セクタを独立して制御できます。不揮発性ロック コンフィギュレーションもロックされるか、またはパスワードで保護されます。

メイン メモリ アレイのセクタは、揮発性 (DYB) と不揮発性 (PPB) の保護ビットペアにより消去やプログラムから保護されます。各 DYB/PPB ビットペアは個別に、該当セクタを保護するために「0」にセットされ、該当セクタの保護を解除するために「1」にクリアされます。DYB 保護ビットは何回でもセットおよびクリアできますが、不揮発性の PPB ビットそれぞれは対応する技術的な耐久性要件を満たす必要があります。**Figure 45** に、ASP の概要を示します。

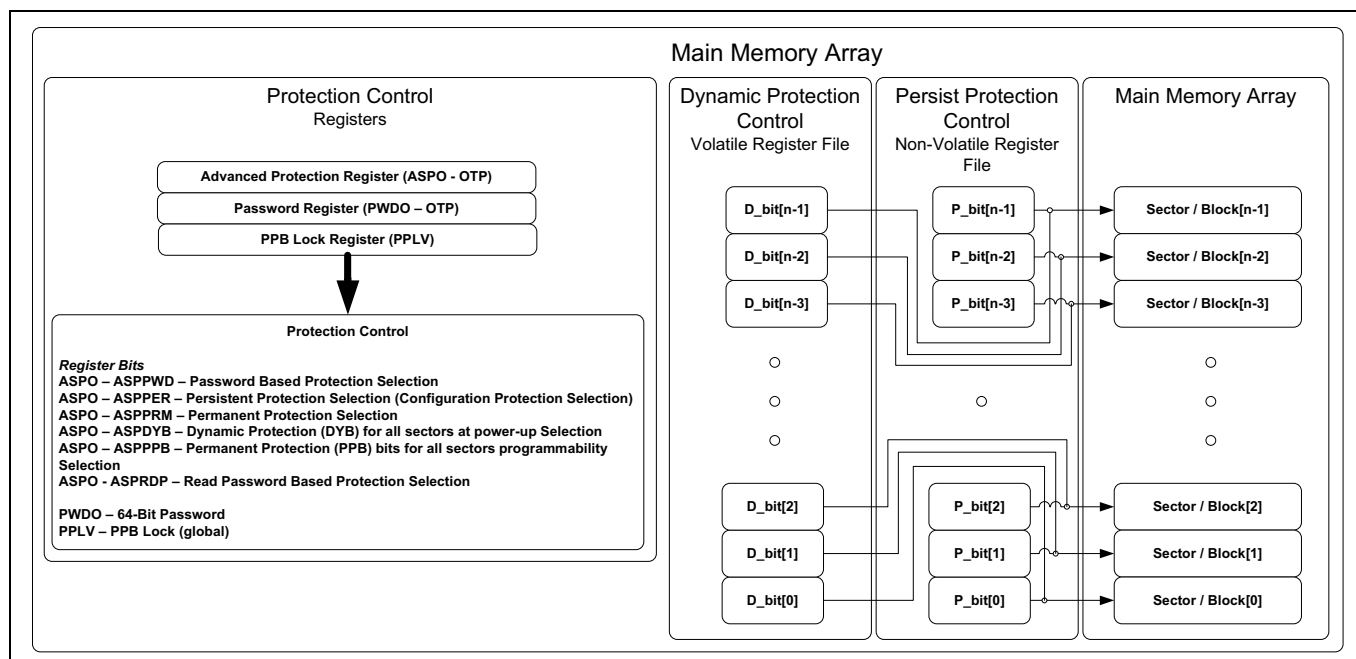


Figure 45 高度セクタ保護 (不揮発性)

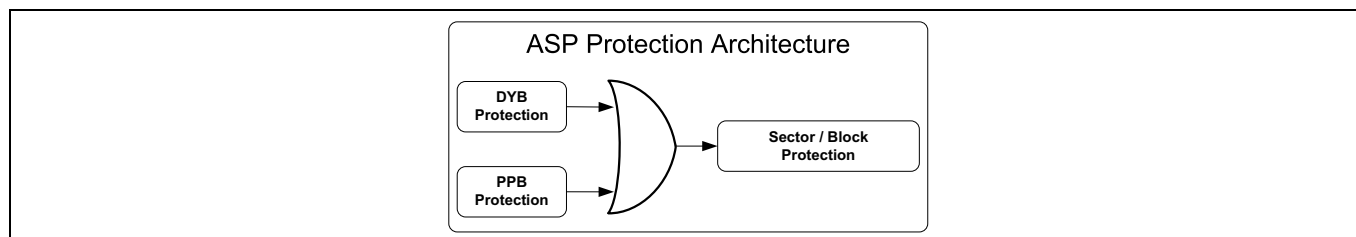


Figure 46 DVB と PPB の保護制御

ASP は、設計やシステムのニーズに応じて採用される複数のデータ保護スキームを作り出す豊富なコンフィギュレーションオプションセットを提供します。それらのコンフィギュレーションオプションは、41 ページの [コンフィギュレーション保護](#) ～ 46 ページの [ASP に関連するレジスタとトランザクション](#) で説明します。

4.4.2.1 コンフィギュレーション保護

ASP は持続的保護スキームを用いてデバイスのコンフィギュレーションを保護します。高度セクタ保護レジスタのビット 1 (ASPO[1] - ASPPER) は持続的保護スキームを選択し、次のレジスタまたはレジスタビットを書き込みやプログラムから保護します。

- CFR1V[6, 5, 4, 2]/CFR1N[6, 5, 4, 2] - SP4KBS、TBPROT、PLPROT、TB4KBS
- CFR3N[3]/CFR3V[3] - UNHYSA
- ASPO[15:0]
- PWDO[63:0]

持続的保護スキームのフローチャートを、**Figure 47** に示します。

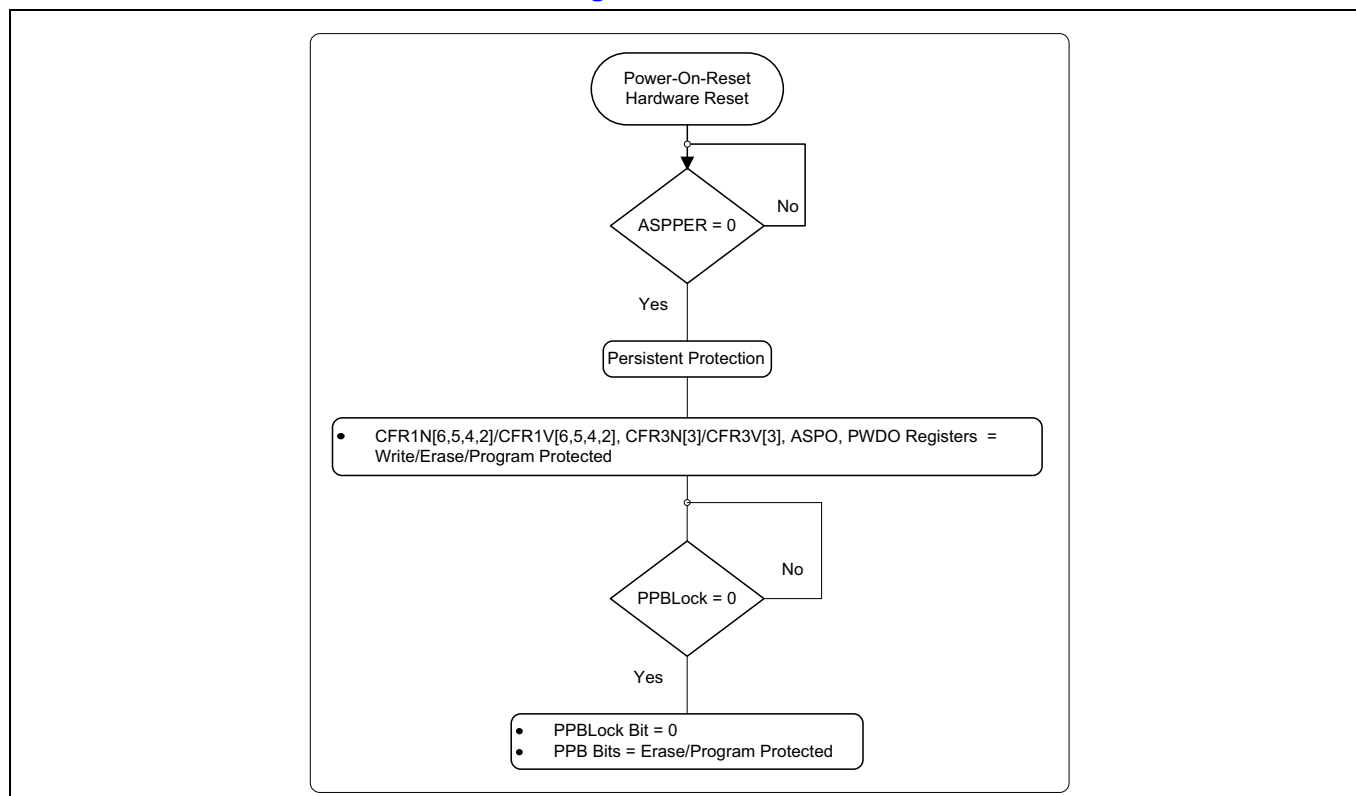


Figure 47 持続的保護スキームのフローチャート

4.4.2.2 ダイナミック DYB (揮発性) セクタ保護

ダイナミック保護ビット (DYB) は揮発性で各セクタに固有であり、個別に変更できます。DYB は、PPB がクリアされたセクタに対してのみ保護を制御します。DYB 書き込みトランザクションを実行することで、DYB を「0」にセットするか、または「1」にクリアし、各セクタはそれぞれ保護または非保護の状態になります。この機能により、ソフトウェアが意図しない変更からセクタを簡単に保護できますが、変更が必要なときには保護を簡単に取り除くことを妨げません。DYB は、何度でも必要なだけ、「0」にセットまたは「1」にクリアできます。

ダイナミックセクタ保護スキームでは、電源投入時にすべての DYB 揮発性保護ビットを「0」にリセットするオプション (保護済み) があり、基本的にはすべてのセクタを消去やプログラムから保護します。高度セクタ保護レジスタのビット 4 (ASPO[4] - ASPDYB) を選択すると、電源投入保護スキームですべてのセクタに対してダイナミック保護 (DYB) を選択します。これらの DYB ビットは、必要に応じて個別に「1」にセットできます。電源投入時の保護を示すダイナミックセクタ保護スキームのフローチャートを、**Figure 48** に示します。

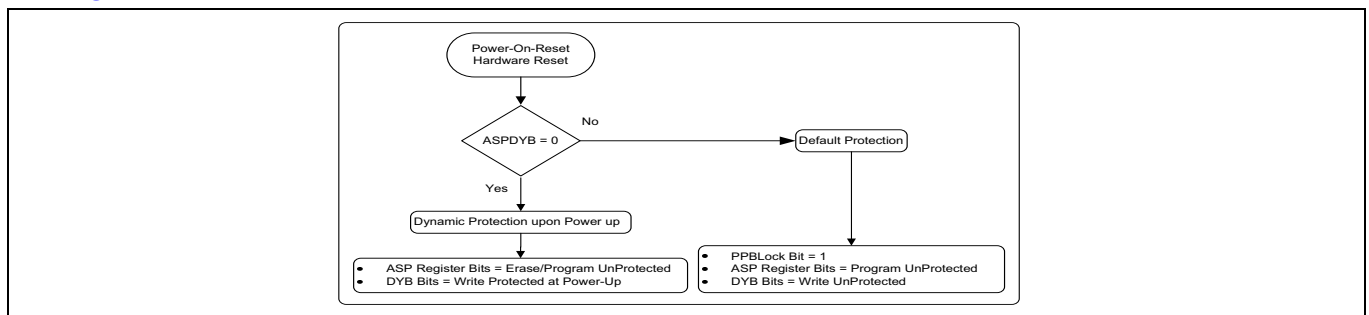


Figure 48 ダイナミックセクタ保護スキームのフローチャート

4.4.2.3 恒久的 / 一時的 PPB (不揮発性) セクタ保護

各不揮発性ビット (PPB) は個別のメモリセクタに対する不揮発性保護を提供します。すなわち、対応するビットが「1」にクリアされるまでメモリセクタはロックされたまま (保護が有効) です。ASP で PPB ベースの不揮発性選択を制御するには、恒久的および一時的と呼ばれる 2 つのオプションが用意されています。

4.4.2.4 恒久的 PPB 保護スキーム

PPB は、個別の不揮発性フラッシュアレイに配置されます。セクタごとに 1 つの PPB ビットが割り当てられます。PPB が「0」にプログラムされた場合、該当するセクタはプログラムおよび消去動作から保護されます。PPB は個別にプログラムされますが、グループとして消去される必要があります。これは、個々のワードがメインアレイでプログラム可能であるが PPB セクタ全体が一括での消去を必要とすることと同様です。PPB ビットのプログラムには、通常のワードプログラム時間が必要です。PPB ビットプログラムまたは PPB ビット消去の間に、ステータスレジスタにアクセスしていつ動作が完了したかを確認できます。すべての PPB を消去するには、標準のセクタ消去時間が必要です。

恒久的 PPB ベースの保護スキームは、その名のとおり、恒久的であり変更されることは決してありません。PPB アーキテクチャがいったん決定されたら、高度セクタ保護レジスタのビット 0 (ASPO[0]) を選択することにより、すべての PPB ビットに対して恒久的保護が有効になり、基本的にはすべての PPB 消去とプログラム動作が無効になります。ASPO は書き込みまたはプログラムからも保護されます。

恒久的 PPB 保護スキームのフローチャートを、**Figure 49** に示します。

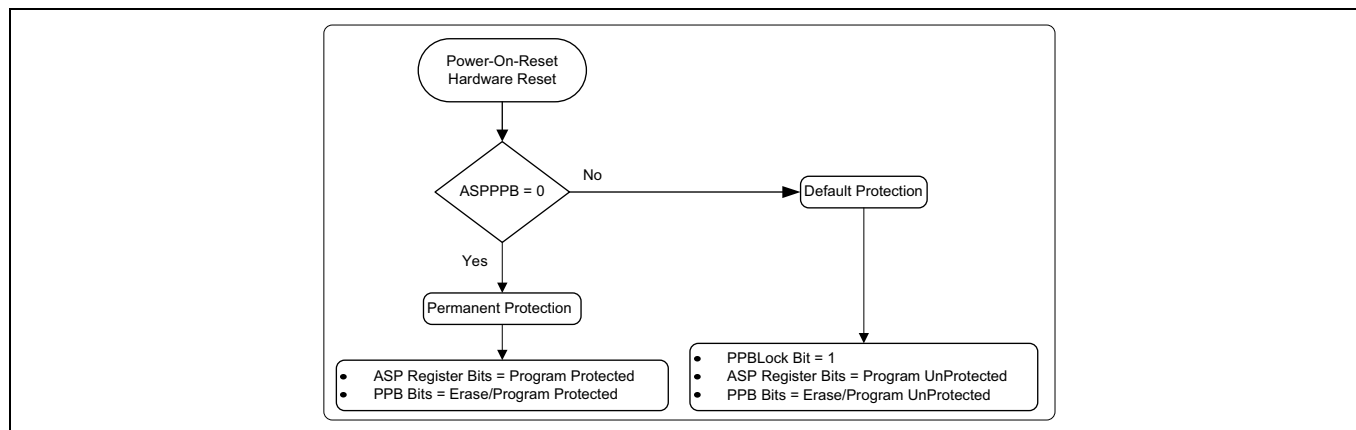


Figure 49 恒久的 PPB セクタ保護のフローチャート

4.4.2.5 一時的 PPB 保護スキーム

PPB ベースの不揮発性保護アーキテクチャは一時的にロックできます。その間、個別の PPB ビットの消去とプログラムは禁止されます。持続的保護ロックビット (PPB Lock) は、すべての PPB ビットを保護するための揮発性ビットです。「0」にクリアすると、すべての PPB をロックし、「1」にセットすると PPB の変更を許可します。PPB ロックビットはデバイスあたり 1 つのみです。PPB ロックトランザクション (WRPLB_0_0) を使用してこのビットを「0」にクリアします。PPB ロックビットは、すべての PPB を所望の設定にした後にのみ「0」にクリアしなければなりません。PPB ロックビットは、POR またはハードウェアリセット時に「1」にセットされます。PPB ロックトランザクションでクリアされた場合、PPB Lock をセットできるソフトウェアコマンドシーケンスはなく、別のハードウェアリセットまたは電源投入のみが PPB Lock をセットできます。

注：一時的 PPB 保護では、ASP コンフィギュレーションは必要とされません。

4.4.2.6 パスワード保護スキーム

パスワード保護スキームは、PPB Lock をセットするために 64 ビットのパスワードを必要とすることにより、更なる高いレベルのセキュリティを実現します。このパスワード要件に加えて、電源投入またはハードウェアリセット後、電源投入時の保護を確実にするために PPB ロックは「0」にクリアされます。完全なパスワードを入力してパスワードロック解除トランザクションを正常に完了すると、PPB ロックビットが「1」にセットされ、セクタの PPB の変更が可能になります。パスワード保護スキームは高度セクタ保護レジスタのビット 2 (ASPO[2] - ASPPWD) により選択されます。パスワード保護スキームは ASPO を書き込みやプログラムからも保護します。

注 パスワード保護スキームを選択する前にパスワードをプログラムする必要があります。パスワードロック解除 SPI トランザクション (PWDUL_0_1) は、比較用のパスワードを提供するために使用されます。パスワード保護スキームのフローチャートを [Figure 50](#) に示します。

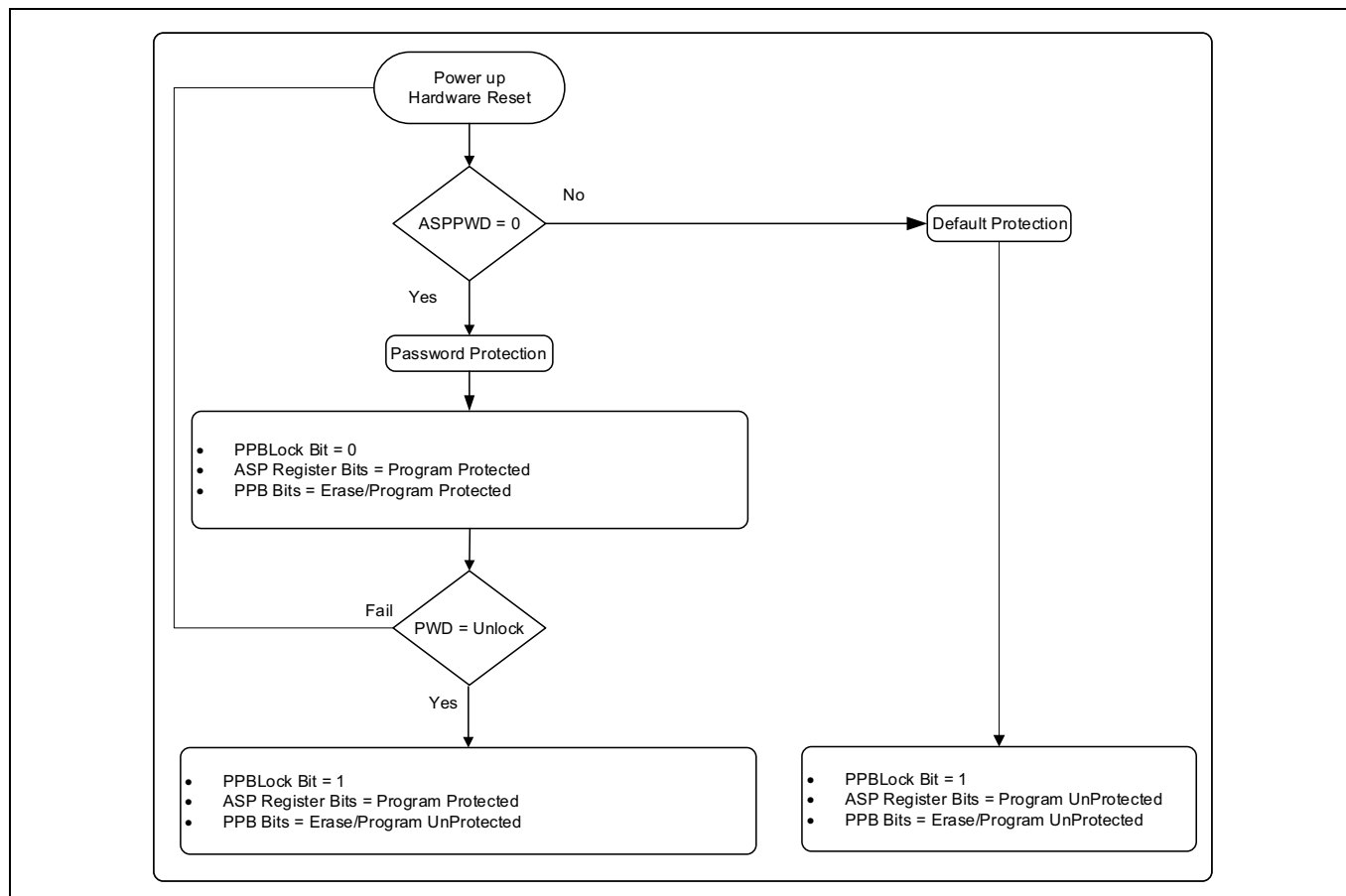


Figure 50 パスワード保護スキームのフローチャート

4.4.2.7 パスワード読み出し保護スキーム

パスワード読み出し保護スキームはパスワード保護スキームに代わり、最も優れたデータ保護を実現します。パスワード読み出し保護スキームでは、フラッシュメモリアレイは読み出し、プログラムおよび消去から保護されます。パスワードロック解除トランザクションが正常に完了するまでは、コンフィギュレーションレジスタ1のビット5 (CFR1x[5] - TBPROT) によって選択された最下位または最上位 (256KB) セクタアドレス範囲のみが読み出せます。読み出しトランザクションで提供されたセクタアドレスに関係なく、「0」は最上位セクタから、「1」は最下位セクタから選択します。アレイの読み出し保護部分からの読み出しは、読み出し可能なセクタにリダイレクトします。

パスワードが提供される前に、パスワード読み出し保護モード中に次のトランザクションが許可されます。プログラムおよび消去失敗フラグクリアトランザクション、メモリアレイ全体読み出しトランザクション、パスワードロック解除トランザクション、メーカーとデバイスID読み出しトランザクション、SFDP読み出しトランザクション、ステータスレジスタ1読み出しトランザクション、ステータスレジスタ2読み出しトランザクション、ECCステータス読み出しトランザクション、ECCステータスレジスタクリアトランザクション、DPDモード開始トランザクション。

注 パスワード読み出し保護スキームを選択する前にパスワードをプログラムする必要があります。パスワードロック解除 SPI トランザクション (PWDUL_0_1) は比較のためにパスワードを提供します。

パスワード読み出し保護スキームのフローチャートを、[Figure 51](#) に示します。

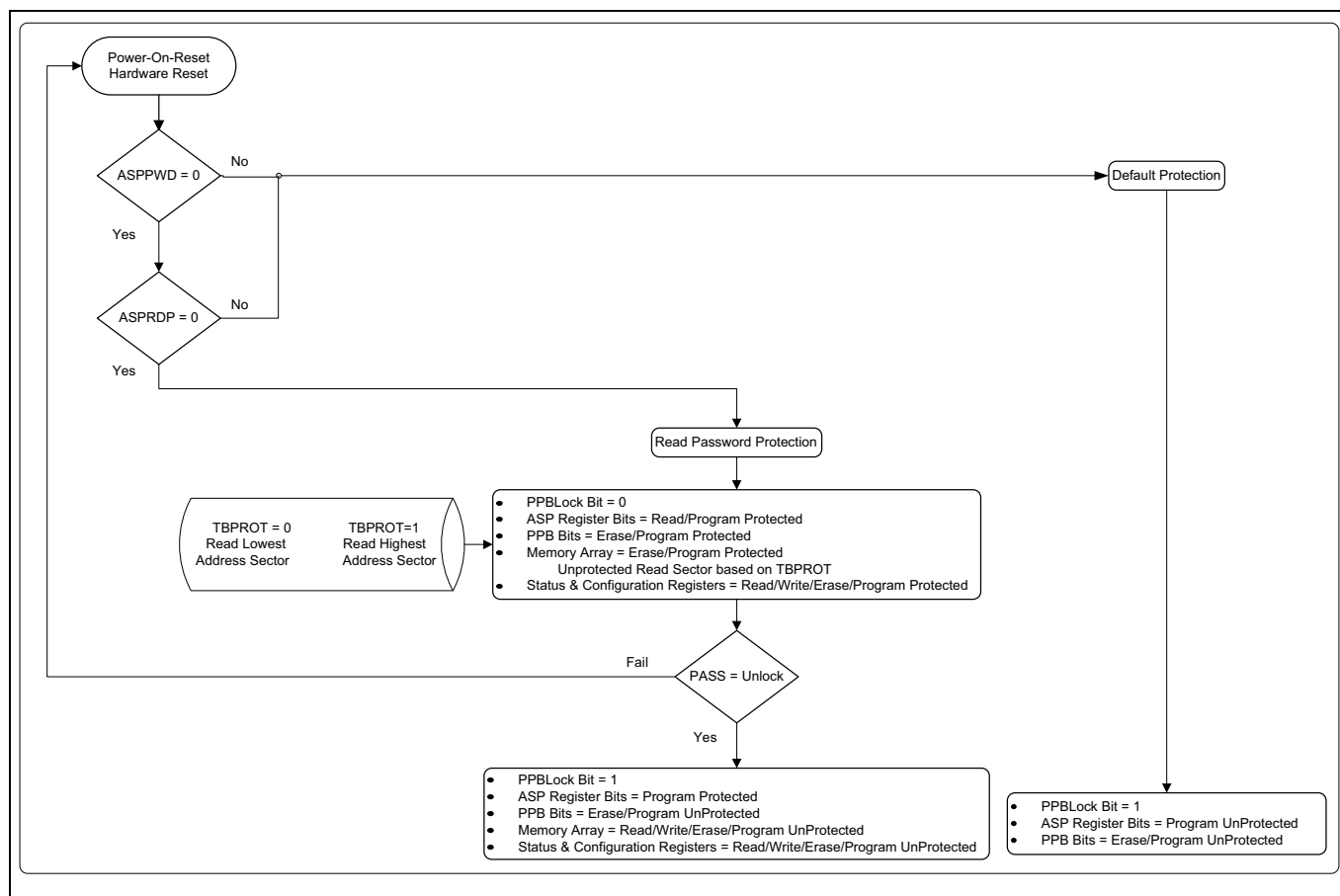


Figure 51 パスワード読み出し保護スキームのフローチャート

4.4.2.8 PPB ビット - OTP 選択

ASP は、PPB 消去トランザクション (ERPPB_0_0) を永久に無効にするコンフィギュレーション オプションを提供します。これにより、すべての PPB ビットが OTP になります。このオプションを使用すれば、PPB 保護はいったん選択されたら変更できなくなります。高度セクタ保護レジスタのビット 3 (ASPO[3] - ASPPPB) を選択することで PPB ビットが OTP になります。

4.4.2.9 一般的な ASP ガイドライン

- 持続的保護 (ASPPER) およびパスワード保護 (ASPPWD) は相互に排他的であり、一つのオプションしかプログラムできません。
- パスワード読み出し保護 (ASPRDP) は、必要な場合、パスワード保護 (ASPPWD) と同時にプログラムする必要があります。
- いったんパスワードがプログラムされ検証されたら、パスワードの読み出しを防ぐために、パスワード保護スキーム (ASPPWD) を「0」にプログラムする必要があります。
- パスワード読み出し保護スキームおよびパスワード保護スキームが有効になった (すなわち、ASPO[5] - ASPRDP、ASPO[2] - ASPPWD が「0」にプログラムされた) 場合、パスワードロック解除シーケンスに正しいパスワードが正常に入力されるまで、すべてのアドレスがブートセクタにリダイレクトされます。正しいパスワードが入力されると、パスワード読み出し保護モードが無効になり、すべてのアドレス指定が適切な位置を選択します。
- パスワード読み出し保護モードがアクティブの場合、メモリ空間のプログラムまたはレジスタへの書き込みは許可されません。

4.4.2.10 ASP に関連するレジスタとトランザクション

Table 19 ASP に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
高度セクタ保護レジスタ (ASPO) (87 ページの Table 58 を参照してください)	ダイナミック保護ビット読み出し (RDDYB_4_0、RDDYB_C_0)	ダイナミック保護ビット読み出し (RDDYB_4_0、RDDYB_C_0)
コンフィギュレーションレジスタ 1 (CFR1N、CFR1V) (78 ページの Table 45 を参照してください)	ダイナミック保護ビット書き込み (WRDYB_4_1、WRDYB_C_1)	ダイナミック保護ビット書き込み (WRDYB_4_1、WRDYB_C_1)
	持続的保護ビット読み出し (RDPPB_4_0、RDPPB_C_0)	持続的保護ビット読み出し (RDPPB_4_0、RDPPB_C_0)
	持続的保護ビットプログラム (PRPPB_4_0、PRPPB_C_0)	持続的保護ビットプログラム (PRPPB_4_0、PRPPB_C_0)
	持続的保護ビット消去 (ERPPB_0_0)	持続的保護ビット消去 (ERPPB_0_0)
	PPB 保護ロックビット書き込み (WRPLB_0_0)	PPB 保護ロックビット書き込み (WRPLB_0_0)
	パスワード読み出し保護モード ロックビット (RDPLB_0_0)	パスワード読み出し保護モード ロックビット (RDPLB_4_0)
	パスワードロック解除 (PWDUL_0_1)	パスワードロック解除 (PWDUL_4_1)
	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_C_0)
	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_C_1)

4.4.3 セキュアシリコン領域 (SSR)

セキュアシリコン領域 (SSR) はメイン メモリアレイから独立した 1024 バイトのメモリ領域です。1024 バイトは 32 の個別にロック可能な 32 バイト領域に分割されます。Figure 52 に SSR の概要を示します。

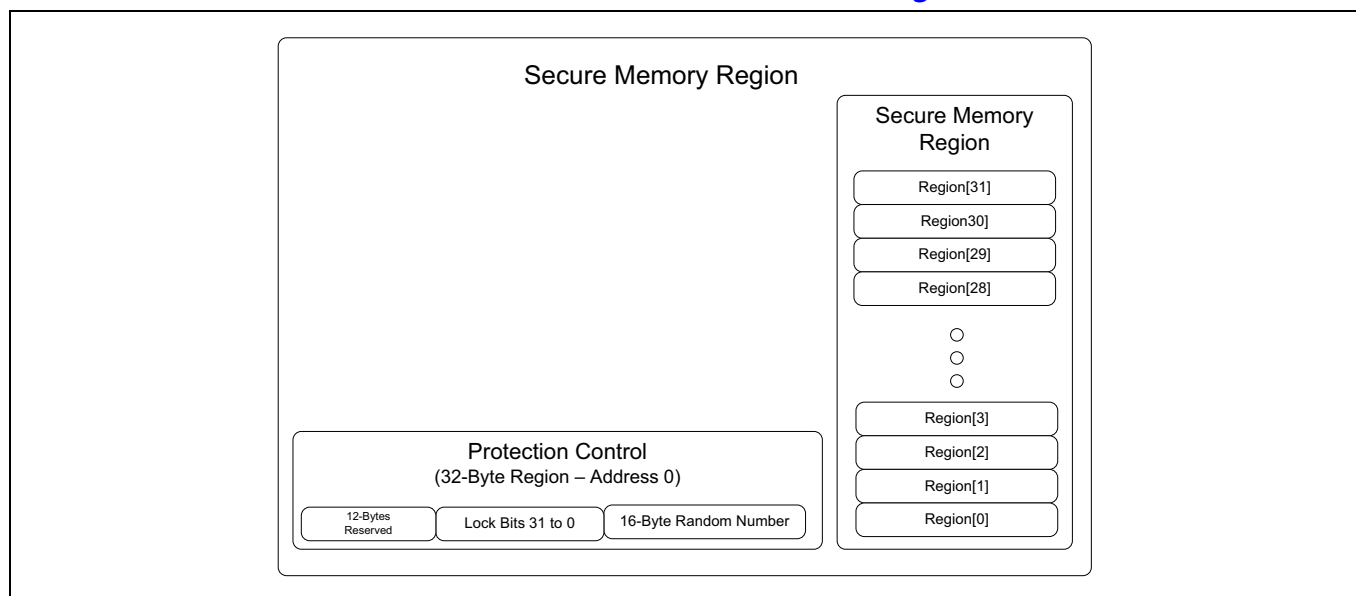


Figure 52 OTP 保護 (不揮発性)

最初の 32 バイト領域 (アドレス 0 で始まる) は、他の 32 バイト領域に対して保護メカニズムを提供します。この領域の 16 最下位バイトは 128 ビットの乱数を含みます。この乱数は書き込み、消去またはプログラム不可です。この領域の次の 4 バイト (計 32 ビット) は「0」にセットされると、残りの 32 バイト領域をプログラムから保護します (32 バイト領域ごとに 1 ビット)。他のすべてのバイトは予約されています。

注 128 ビットの乱数を消去またはプログラムしようとする、ERSERR または PRGERR になります。デバイスをスタンバイ モードに復帰させるためにはハードウェアリセットが必要となります。

4.4.3.1 SSR に関連するレジスタとトランザクション

Table 20 SSR に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
該当なし	セキュアシリコン領域プログラム (PRSSR_C_1)	セキュアシリコン領域プログラム (PRSSR_C_1)
	セキュアシリコン領域読み出し (RDSSR_C_0)	セキュアシリコン領域読み出し (RDSSR_C_0)

4.5 セーフブート

SEMPER™ フラッシュ メモリ デバイスは、デバイスを初期化し、組込み動作を管理し、その他の高度な機能を実装するために使用する組込みマイクロコントローラーを内蔵します。組込みマイクロコントローラーの初期化失敗や不揮発性コンフィギュレーションレジスタの破損のため、フラッシュ デバイスは使用できなくなることがあります。組込みマイクロコントローラー ファームウェアの恒久的な破損などの壊滅的なイベントがなければ、デバイスを回復することが可能です。

セーフブート機能の使用では、ステータスレジスタをポーリングすることで、エラー シグネチャによる組込みマイクロコントローラーの初期化失敗やコンフィギュレーションレジスタの破損を検出できます。

4.5.1 マイクロコントローラーの初期化失敗の検出

フラッシュ デバイスの組込みマイクロコントローラーが正常に初期化しなかった場合、破滅的な故障でなければ、ハードウェアリセットによりデバイスを回復できます。ハードウェアリセットはホスト コントローラーによって開始されなければなりません。マイクロコントローラーの初期化不良を検出すると、フラッシュ デバイスは自動的にそのデフォルトのブート モード (1S-1S-1S) に戻り、ステータスレジスタに不良のシグネチャを与えます。

Table 21 に、初期化失敗検出時のデバイスのステータスレジスタビットを示します。

Table 21 ステータスレジスタ 1 電源投入検出シグネチャ

ビット	フィールド名	機能	検出シグネチャ
STR1V[7]	STCFWR	ステータスレジスタおよびコンフィギュレーションレジスタの書き込み保護 (消去 / プログラム)	0
STR1V[6]	PRGERR	プログラム エラー ステータス フラグ	1
STR1V[5]	ERSERR	消去エラー ステータス フラグ	1
STR1V[4]	LBPROT[2:0]	レガシー ブロック保護に基づくメモリ アレイ サイズの選択	0
STR1V[3]		注: LBPROT[2:0] はブロック保護コンフィギュレーションに基づいて 000 ~ 111 の任意の値になります。	0
STR1V[2]			0
STR1V[1]	WRPGEN	書き込み / プログラム イネーブル ステータス フラグ	0
STR1V[0]	RDYBSY	デバイス レディ / ビジー ステータス フラグ	1

Table 22 電源投入時の故障検出時のインターフェース コンフィギュレーション ^[19]

インターフェース	サポートされるトランザクション	レジスタタイプ	アドレス (バイト数)	動作周波数	レジスタ読み出しレイテンシ (クロックサイクル数)	出力インピーダンス
SPI (1S-1S-1S)	ステータスレジスタ 1 読み出し (RDSR1_0_0) 任意レジスタ読み出し (RDARG_C_0)	ステータスレジスタ (揮発性専用)	4	最大 (RDSR1_0_0、RDARG_C_0 用)	2	45Ω

注

19. ステータスレジスタの読み出しで、不揮発性ステータスレジスタのアドレスを RDARG_C_0 に指定すると不確定な結果になります。

4.5.1.1 ホスト ポーリング動作

ホストは、デバイスに初期化失敗が発生したかどうかを判断するために、ステータスレジスタポーリングシーケンスを実行する必要があります。Figure 53 にシーケンスのフローチャートを示します。

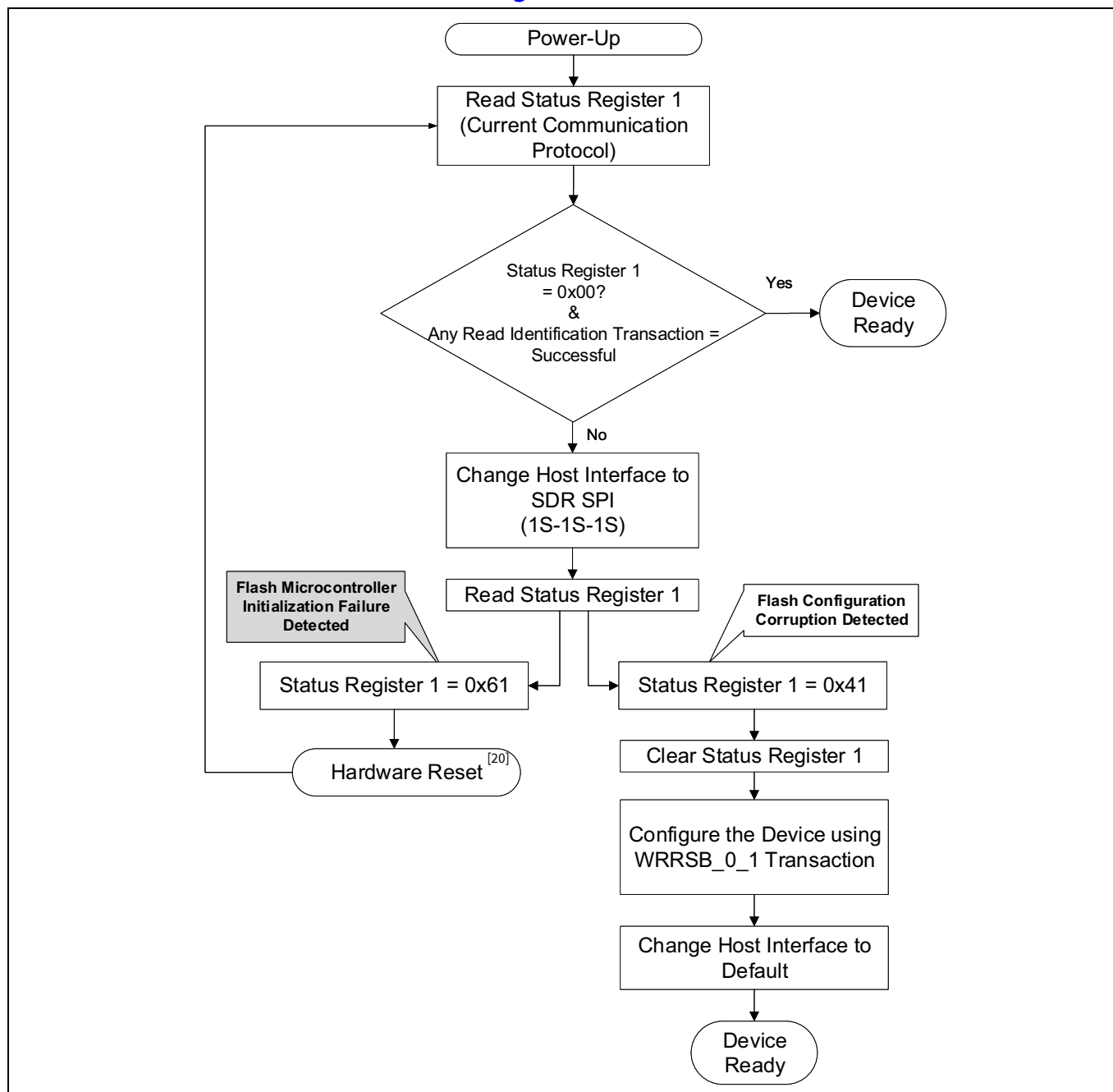


Figure 53 マイクロコントローラー初期化失敗検出用のホスト ポーリング シーケンス

注 ポーリングシーケンスは上位のI/Oインターフェースコンフィギュレーションから下位のI/Oインターフェースコンフィギュレーションへの順にのみ開始する必要があります。例えば、4S-4D-4D から 1S-1S-1S までです。

注

20. 仕様範囲内の Vcc で、ハードウェアリセットでは問題が解決しない場合、フラッシュデバイスを交換してください。

4.5.1.2 マイクロコントローラ初期化失敗検出関連レジスタとトランザクション

Table 23 マイクロコントローラ初期化失敗関連レジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連するクアッド SPI トランザクション (102 ページの Table 77 を参照してください)
揮発性ステータス レジスタ 1 (STR1V) (75 ページの Table 41 を参照してください)	任意レジスタ読み出し (RDARG_C_0) ステータス レジスタ 1 読み出し (RDSR1_0_0)	該当なし

4.5.2 コンフィギュレーション破損検出

不揮発性レジスタへの書き込みなどのデバイス コンフィギュレーションの更新時に電力喪失が起こった場合やハードウェアリセットが行われた場合、レジスタ書き込みトランザクションは中断されます。デバイスはスタンバイ モードに戻りますが、組込みの書き込み動作の終了が早すぎるため、不揮発性レジスタ データは高い確率で破損しています。次の電源投入時に、コンフィギュレーション破損が検出され、デバイスはデフォルトのブート モード (1S-1S-1S) に戻り、コンフィギュレーションの再度書き込みが可能になります。デバイスは設定された保護スキームを維持します。

Table 24 に、コンフィギュレーション破損検出時のデバイスのステータス レジスタ ビットを示します。

Table 24 ステータス レジスタ 1 コンフィギュレーション破損検出シグネチャ

ビット	フィールド名	機能	検出シグネチャ
STR1V[7]	STCFWR	ステータス レジスタおよびコンフィギュレーション レジスタの書き込み保護 (消去 / プログラム)	0
STR1V[6]	PRGERR	プログラム エラー ステータス フラグ	1
STR1V[5]	ERSERR	消去エラー ステータス フラグ	0
STR1V[4]	LBPROT[2:0]	レガシー ブロック保護に基づくメモリ アレイ サイズの選択	0
STR1V[3]		注 : LBPROT[2:0] はブロック保護コンフィギュレーションに基づいて 000 ~ 111 の任意の値になります。	0
STR1V[2]			0
STR1V[1]	WRPGEN	書き込み / プログラム イネーブル ステータス フラグ	0
STR1V[0]	RDYBSY	デバイス レディ / ビジー ステータス フラグ	1

Table 25 コンフィギュレーション破損検出時のインターフェース コンフィギュレーション

インターフェース	サポートされる トランザクション	アドレス (バイト数)	動作周波数	レジスタ読み出し レイテンシ (クロック サイクル数)	出力インピーダンス
SPI (1S-1S-1S)	すべての SPI (1S-1S-1S) トランザクション	4	最大	2	45Ω

4.5.2.1 ホスト ポーリング動作

ホストは、デバイスにコンフィギュレーション破損が発生したかどうかを判断するために、ステータスレジスタポーリングシーケンスを実行する必要があります。Figure 54 にシーケンスのフローチャートを示します。

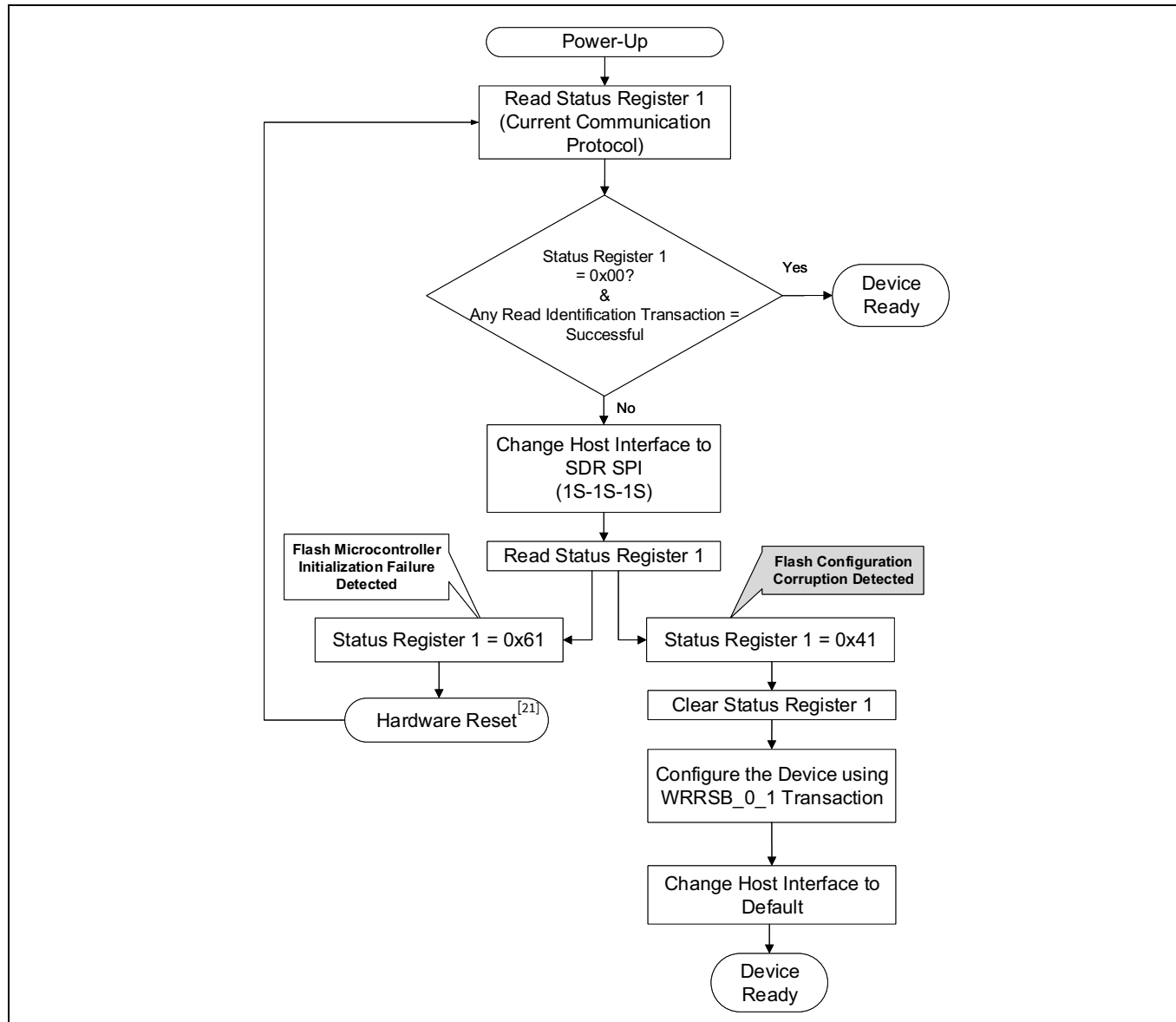


Figure 54 コンフィギュレーション破損検出用のホスト ポーリング シーケンス

注: ポーリングシーケンスは上位の I/O インターフェース コンフィギュレーションから下位の I/O インターフェース コンフィギュレーションへの順にのみ開始する必要があります。例えば、4S-4D-4D から 1S-1S-1S までです。その逆ではありません。

注

21. 仕様範囲内の Vcc で、ハードウェアリセットでは問題が解決しない場合、フラッシュデバイスを交換してください。

4.5.2.2 コンフィギュレーション破損検出関連レジスタ

Table 26 コンフィギュレーション破損検出関連レジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
揮発性ステータス レジスタ 1 (STR1V) (75 ページの Table 41 を参照してください)	すべての 1S-1S-1S トランザクション	該当なし

4.6 オートブート

オートブート機能の使用では、電源投入またはハードウェアリセット後に、読み出しトランザクション (アドレスを含む) を発行する必要なく、ホストは HL-T/HS-T ファミリのデバイスからデータを読み出せます。デバイス コンフィギュレーションに基づき、CS# が LOW にされ CK がトグルすると、データはインターフェース I/O に出力されます。

読み出しデータの開始アドレスはオートブート レジスタ (ATBN[31:9] - STADR[22:0]) で指定されます。開始アドレスはメモリ内のいかなる (512 バイト) ページ境界の位置にあっても構いません。クロック サイクル数で表される開始遅延時間 (ATBN[8:1] - STDLY[7:0]) もオートブート レジスタで指定されます。遅延時間は、データが読み出される前に設定されます。遅延時間はホストの要件を満たすようにプログラムできますが、動作周波数に基づいたメモリ アクセス時間を満たすために最小時間が必要です。オートブートの実行が成功または失敗した後、ステータス レジスタ 1 の値をチェックし、コンフィギュレーションの破損を検証することを強く推奨します (セーフブート)。

注: オートブートでは、ラップ機能を無効にしなければなりません。

注: 高度セクタ保護の一部として、オートブートはパスワード読み出し保護機能が有効になったときに無効にされます。パスワード読み出し保護機能が有効になったとき、オートブート (ATBN[0] - ATBTEN) を無効にすることを推奨します。

注: 最初のオートブート アドレスを長期データ保持領域に割り当てることを強く推奨します。

4.6.1 オートブートに関連するレジスタとトランザクション

Table 27 オートブートに関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
オートブート レジスタ (ATBN) (90 ページの Table 66 を参照してください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_C_0)
	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_C_1)
	オートブート トランザクション (16 ページの Figure 15 を参照してください)	オートブート QPI トランザクション (19 ページの Figure 26 を参照してください)

4.7 読み出し

HL-T/HS-T は、異なるメモリ マップにアクセスするために次の異なる読み出しトランザクションに対応します。メモリ アレイ読み出し、デバイス ID 読み出し、レジスタ読み出し、セキュアシリコン読み出し、保護 DYB ビットと PPB ビット読み出し。

これらの読み出しトランザクションは、トランザクション プロトコル節で記載されているすべてのプロトコルを使用でき、次の機能を使用する可能性が考えられます。

- 読み出しトランザクションは、メモリ アレイにアクセスする時間を得るためにアドレスに続いてレイテンシ サイクルを必要とします (1S-1S-1S プロトコルの RDAY1_4_0 と RDAY1_C_0 を除く) ([Table 49](#) を参照してください)。
- 読み出しトランザクションは、データの始まりの直前のレイテンシ サイクル中に、すべてのデータ出力上でメモリによって駆動されたデータ学習パターン (DLP) を使用できます (56 ページの [データ学習パターン \(DLP\)](#) を参照してください)。
- 読み出しトランザクションは、ラップ読み出し長および 8、16、32 または 64 バイトの整列グループのオプションがあります ([Table 52](#) と [Table 53](#) を参照してください)。

4.7.1 ID 読み出しトランザクション

固有 ID トランザクションは 3 つあり、それぞれがシングルとクアッド SPI プロトコルに対応します (94 ページの [トランザクションテーブル](#) を参照してください)。

4.7.1.1 デバイス ID 読み出しトランザクション

デバイス ID 読み出し (RDIDN_0_0) トランザクションはメーカー ID とデバイス ID への読み出しアクセスを提供します。このトランザクションは、CFR3V[7:6] で設定されたレイテンシサイクルを使用して 166MHz の最大クロック周波数を有効にします。

4.7.1.2 クアッド ID 読み出し

クアッド ID 読み出し (RDQID_0) トランザクションはメーカー ID とデバイス ID の情報への読み出しアクセスを提供します。このトランザクションは、RDIDN_0_0 トランザクションが提供する同じ情報を QPI モードで読み出す別の方法です。他のあらゆる点において、このトランザクションは RDIDN_0_0 トランザクションと同じように動作します。

このトランザクションは、デバイスがクアッドモード (CFR1V[1]=1) にある場合にのみ認識されます。命令は DQ0 ~ DQ3 上でシフトインされます。命令の最後のビットがデバイスへシフトインされた後、ダミーサイクルが経過すると、メーカー ID の 1 バイトおよびデバイス ID の 2 バイトは DQ0 ~ DQ3 で順次にシフトアウトされます。定義された ID アドレス空間の終わりを越えて出力を継続的にシフトすると、未定義のデータが発生します。トランザクションの最大のクロック周波数は 166MHz です。

4.7.1.3 SFDP 読み出しトランザクション

シリアルフラッシュ検出可能パラメータ読み出し (RSFDP_3_0) トランザクションは JEDEC シリアルフラッシュ検出可能パラメータ (SFDP) へのアクセスを提供します (94 ページの [トランザクションテーブル](#) を参照してください)。このトランザクションは 3 バイトのアドレススキームを使用します。0 以外のアドレスがセットされた場合、SFDP 空間内の選択された位置は読み出しデータの開始点となります。これにより、SFDP 空間の任意のパラメータヘランダムにアクセスできます。連続 (順次) 読み出しは RSFDP_3_0 トランザクションで対応されます。8 レイテンシサイクルが必要です。SFDP 読み出しトランザクションは、パスワードが与えられる前にはパスワード読み出し保護モードで無効です。SFDP 読み出しトランザクションの最大のクロック周波数は 50MHz です。

4.7.1.4 固有 ID 読み出しトランザクション

固有 ID 読み出し (RDUID_0_0) トランザクションはデバイス ID 読み出しトランザクションと同様ですが、デバイス独自の異なる 64 ビットの番号にアクセスします。固有 ID は工場出荷時にプログラムされます。

4.7.1.5 ID 読み出しに関連するレジスタとトランザクション

Table 28 ID 読み出しに関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
コンフィギュレーションレジスタ 3 (CFR3N, CFR3V) (82 ページの Table 50 を参照してください)	ID 読み出し (RDIDN_0_0)	ID 読み出し (RDIDN_0_0)
	シリアルフラッシュ検出可能パラメータ読み出し (RSFDP_3_0)	シリアルフラッシュ検出可能パラメータ読み出し (RSFDP_3_0)
	固有 ID 読み出し (RDUID_0_0)	固有 ID 読み出し (RDUID_0_0) メーカーおよびデバイス ID のクアッド読み出し (RDQID_0_0)

4.7.2 メモリ アレイ読み出しトランザクション

メモリ アレイ データは、任意のバイト境界で始まるメモリから読み出せます。データ バイトは、ホストが CS# 入力を HIGH に駆動してデータ転送を完了させるまで、下位バイト アドレスから上位バイト アドレスへ順次に読み出されます。バイト アドレスがメモリ アレイの最大アドレスに達すると、読み出しはアレイのゼロ アドレスで続きます。

4.7.2.1 SPI 読み出しおよび高速読み出しトランザクション

SPI SDR 読み出しおよび SDR 高速読み出しトランザクション (1S-1S-1S) は、レガシー SPI との後方互換性を必要とするホストシステムに対してサポートされます。SDR 高速読み出しトランザクションは 3 または 4 バイト アドレス オプションで利用可能です。このプロトコルはデータ キャプチャ用に DLP に対応していません。ラップ読み出し長のオプションは利用可能です。読み出しトランザクションは 50MHz の最大クロック周波数に対応しており、レイテンシ サイクルは必要ありません。高速読み出しトランザクションは、CFR2V[3:0] で設定されたレイテンシ サイクルを使用して 166MHz の最大クロック周波数を有効にします (94 ページの [トランザクション テーブル](#) を参照してください)。

4 バイト高速読み出しトランザクションはアドレスの後に続く連続読み出しモード ビットを持ちます。これにより、最初の 4 バイト高速読み出しコマンドが、次のトランザクションも 4 バイト高速読み出しコマンドであることを示すモード ビット パターン Axh を送信した後、一連の 4 バイト高速読み出しトランザクションは 8 ビット命令を不要にできます。一連の 4 バイト高速読み出しトランザクションの最初のコマンドは 8 ビット命令で始まり、その後にアドレス、8 サイクルのモード ビットおよび任意のレイテンシ期間が続きます。モード ビット パターンが Axh であれば、次のトランザクションはコマンド ビットを持たない追加の 4 バイト高速読み出しトランザクションであると見なされます。このトランザクションはアドレスで始まり、その後にモード ビットおよび任意のレイテンシが続きます。その後、与えられたアドレスでのメモリ内容は DQ1_SO 上でシフトアウトされます。

4.7.2.2 SDR デュアル I/O 読み出しトランザクション

SDR デュアル I/O 読み出しトランザクションはデュアル I/O SDR (1S-2S-2S) プロトコルを使用して高データ スループットを実現します。このプロトコルはデータ キャプチャ用に DLP に対応していません。ラップ読み出し長のオプションは利用可能です。これは 3 または 4 バイト アドレス オプションをサポートします。モード ビットおよび連続読み出しトランザクションもサポートします。このトランザクションは、CFR2V[3:0] で設定されたレイテンシ サイクルを使用し、最大 166MHz のクロック周波数を有効にします (94 ページの [トランザクション テーブル](#) を参照してください)。

4.7.2.3 SDR クアッド出力読み出しトランザクション

SDR クアッド出力読み出しトランザクションは SDR クアッド出力 (1S-1S-4S) プロトコルを使用します。このプロトコルはデータ キャプチャ用に DLP に対応します。ラップ読み出し長のオプションは利用可能です。これは 3 または 4 バイト アドレス オプションをサポートします。このトランザクションは、CFR2V[3:0] で設定されたレイテンシ サイクルを使用し、最大 166MHz のクロック周波数を有効にします (94 ページの [トランザクション テーブル](#) を参照してください)。

4.7.2.4 SDR と DDR クアッド I/O 読み出しトランザクション

SDR クアッド I/O 読み出しトランザクションは SDR クアッド I/O (1S-4S-4S) プロトコルを、DDR クアッド I/O 読み出しトランザクションは DDR クアッド I/O (1S-4D-4D) プロトコルを使用します。これらのプロトコルはデータ キャプチャ用に DLP に対応します。ラップ読み出し長のオプションは利用可能です。両方のトランザクションはモード ビットおよび連続読み出しトランザクションもサポートします。SDR クアッド I/O トランザクションでは、モード ビット パターンは Axh であり、次のトランザクションはコマンド ビットを提供しない追加の SDR クアッド I/O トランザクションであると見なされます。

DDR クアッド I/O トランザクションでは、モード ビット パターンは A5h となり、次のトランザクションはコマンド ビットを提供しない追加の DDR クアッド I/O トランザクションであると見なされます。3 または 4 バイト アドレス オプションをサポートします。これらのトランザクションは、CFR2V[3:0] で設定されたレイテンシ サイクルを使用し、最大 166MHz のクロック周波数を有効にします (94 ページの [トランザクション テーブル](#) を参照してください)。

4.7.2.5 QPI SDR と DDR 読み出しトランザクション

QPI SDR 読み出しトランザクションは SDR QPI (4S-4S-4S) プロトコルを、QPI DDR 読み出しトランザクションは DDR QPI (4S-4D-4D) プロトコルを使用します。これらのプロトコルはデータ キャプチャ用に DLP に対応します。ラップ読み出し長のオプションは利用可能です。両方のトランザクションはモードビットおよび連続読み出しトランザクションもサポートします。SDR QPI トランザクションでは、モードビットパターンは Axh であり、次のトランザクションはコマンドビットを提供しない追加の SDR QPI トランザクションであると見なされます。

DDR QPI トランザクションでは、モードビットパターンは A5h となり、次のトランザクションはコマンドビットを提供しない追加の DDR QPI トランザクションであると見なされます。3 または 4 バイトアドレス オプションをサポートします。これらのトランザクションは、CFR2V[3:0] で設定されたレイテンシサイクルを使用し、最大 166MHz のクロック周波数を有効にします (94 ページの [トランザクションテーブル](#) を参照してください)。

4.7.2.6 メモリ アレイ読み出しに関連するレジスタとトランザクション

Table 29 メモリ アレイ読み出しに関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連デュアル I/O トランザクション (100 ページの Table 74 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
コンフィギュレーションレジスタ 2(CFR2N, CFR2V) (80 ページの Table 48 を参照してください)	SDR 読み出し (RDAY1_4_0、RDAY1_C_0)	SDR デュアル I/O 読み出し (RDAY3_4_0、RDAY3_C_0)	SDR クアッド出力読み出し (RDAY4_4_0、RDAY4_C_0)
コンフィギュレーションレジスタ 4(CFR4N, CFR4V) (83 ページの Table 52 を参照してください)	高速 SDR 読み出し (RDAY2_4_0、RDAY2_C_0)	SDR デュアル I/O 連続読み出し (RDAY6_4_0、RDAY6_C_0)	SDR クアッド I/O 読み出し (RDAY5_4_0、RDAY5_C_0)
デー学習パターン (DLPN, DLPV) (90 ページの Table 63 を参照してください)	-	-	SDR クアッド I/O 連続読み出し (RDAY6_4_0、RDAY6_C_0)
	-	-	DDR クアッド I/O 読み出し (RDAY7_4_0、RDAY7_C_0)
	-	-	DDR クアッド I/O 連続読み出し (RDAY8_4_0、RDAY8_C_0)
	-	-	QPI SDR 読み出し (RDAY5_4_0、RDAY5_C_0)
	-	-	QPI SDR 連続読み出し (RDAY6_4_0、RDAY6_C_0)
	-	-	QPI DDR 読み出し (RDAY7_4_0、RDAY7_C_0)
	-	-	QPI DDR 連続読み出し (RDAY8_4_0、RDAY8_C_0)

4.7.3 レジスタ読み出しトランザクション

組込み動作ステータスを報告するか、またはデバイス設定オプションを制御するためのレジスタが複数あります。レジスタには揮発性ビットと不揮発性ビットがあります。レジスタを読み出すには 2 つの方法があります。任意レジスタ読み出しトランザクションは、アドレス指定により不揮発性と揮発性のすべてのデバイスレジスタを読み出す方法を提供します。レジスタごとに定義され、そのレジスタの内容のみを読み出す専用のレジスタ読み出しトランザクションもあります。

4.7.3.1 任意レジスタ読み出し

任意レジスタ読み出し (RDARG_C_0) トランザクションは不揮発性と揮発性のすべてのデバイスレジスタを読み出す最良の方法です。トランザクションは読み出すレジスタのアドレスを含みます (94 ページの [トランザクションテーブル](#) を参照してください)。その後、不揮発性レジスタの読み出しのために CFR2V[3:0]、揮発性レジスタの読み出しのために CFR3V[7:6] で設定されたレイテンシサイクル数が続きます。不揮発性レジスタレイテンシサイクルについては [Table 49](#) を、揮発性レジスタレイテンシサイクルについては [Table 51](#) を参照してください。そして、選択したレジスタの内容が返されます。読み出しアクセスが続くと、トランザクションが終了されるまでレジスタ内容が返されます。各 RDARG_C_0 トランザクションで 1 バイトのレジスタ位置のみを読み出します。2 データバイト以上のレ

レジスタに対しては、各データ バイトを読み出すために RDARG_C_0 トランザクションを再度使用する必要があります。

RDARG_C_0 トランザクションの最大のクロック周波数は 166MHz です。

RDARG_C_0 トランザクションは、ステータス レジスタ 1 (STR1V) を読み出すために組込み動作中に使用できます。これは、ASP PPB アクセス レジスタ (PPAV) や ASP ダイナミック ブロック アクセス レジスタ (DYAV) などのレジスタを読み出すために使用されません。アクセスしたアレイの位置を選択し、読み出すために個別のコマンドが必要です。ASPR[2:0] をプログラムすることで ASP パスワード保護モードを選択した場合、RDARG_C_0 トランザクションは PASS レジスタ位置から無効なデータを読み出します。未定義の位置を読み出すと未定義のデータが返ります。

4.7.3.2 ステータス レジスタ読み出し トランザクション

ステータス レジスタ読み出し (RDSR1_0_0、RDSR2_0_0) トランザクションはステータス レジスタの揮発性内容を読み出します。このトランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166MHz の最大クロック周波数を有効にします。

揮発性ステータス レジスタの内容はプログラム、消去または書き込み動作の実行中でもいつでも読み出せます。

8 の倍数のクロック サイクルを提供することでステータス レジスタ 1 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。

4.7.3.3 コンフィギュレーション レジスタ読み出し トランザクション

コンフィギュレーション レジスタ読み出し (RDCR1_0_0) トランザクションはコンフィギュレーション レジスタの揮発性内容を読み出します。このトランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166MHz の最大クロック周波数を有効にします。

揮発性ステータス レジスタの内容はプログラム、消去または書き込み動作の実行中でもいつでも読み出せます。

コンフィギュレーション レジスタは 8 の倍数のクロック サイクルを提供することで連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。

4.7.3.4 ダイナミック保護ビット (DYB) アクセス レジスタ読み出し トランザクション

DYB アクセス レジスタ読み出し (RDDYB_4_0、RDDYB_C_0) トランザクションは DYB アクセス レジスタの内容を読み出します。このトランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166MHz の最大クロック周波数を有効にします。DYB アクセス レジスタは連続的に読み出せますが、DYB レジスタのアドレスはインクリメントしないため、この方法で DYB アレイ全体を読み出すことはできません。各位置は別々の DYB 読み出し トランザクションで読み出さなければなりません。

4.7.3.5 持続的保護ビット (PPB) アクセス レジスタ読み出し トランザクション

PPB アクセス レジスタ読み出し (RDPBB_4_0、RDPBB_C_0) トランザクションは PPB アクセス レジスタの内容を読み出します。このトランザクションは、CFR2V[3:0] で設定されたレイテンシ サイクルを使用して 166MHz の最大クロック周波数を有効にします。PPB アクセス レジスタは連続的に読み出せますが、PPB レジスタのアドレスはインクリメントしないため、この方法で PPB アレイ全体を読み出すことはできません。各位置は別々の PPB 読み出し トランザクションで読み出さなければなりません。

4.7.3.6 PPB ロック レジスタ読み出し トランザクション

PPB ロック レジスタ読み出し (RDPLB_0_0) トランザクションは不揮発性レジスタの内容を読み出します。このトランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166MHz の最大クロック周波数を有効にします。PPB ロック ビットを連続的に読み出すことは可能です。

4.7.3.7 ECC データユニット ステータス読み出し

ECC データユニット ステータス読み出し (RDECC_4_0、RDECC_C_0) トランザクションはアドレス指定したデータユニットの ECC ステータスを判定するために使用されます。アドレスの LSb は ECC データユニットに整列されなければなりません。トランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166MHz の最大クロック周波数を有効にします。その後、選択した ECC ユニットの ECC ステータス バイト内容を読み出します。それ以降のデータは不定です。次の ECC ユニットのステータスを読み出すには、別の RDECC_4_0 または RDECC_C_0 トランザクションを 16 バイト (データユニット サイズ /8) で増分する次のアドレスに送信する必要があります。

4.7.3.8 レジスタ読み出しに関連するレジスタとトランザクション

Table 30 レジスタ読み出しに関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
コンフィギュレーションレジスタ 2 (CFR2N、CFR2V) (80 ページの Table 48 を参照してください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_C_0)
コンフィギュレーションレジスタ 3 (CFR3N、CFR3V) (82 ページの Table 50 を参照してください)	ステータス レジスタ 1 読み出し (RDSR1_0_0)	ステータス レジスタ 1 読み出し (RDSR1_0_0)
	ステータス レジスタ 2 読み出し (RDSR2_0_0)	ステータス レジスタ 2 読み出し (RDSR2_0_0)
	DYB 読み出し (RDDYB_4_0、RDDYB_C_0)	DYB 読み出し (RDDYB_4_0、RDDYB_C_0)
	PPB 読み出し (RDPPB_4_0、RDPPB_C_0)	PPB 読み出し (RDPPB_4_0、RDPPB_C_0)
	PPB ロック読み出し (RDPLB_0_0)	PPB ロック読み出し (RDPLB_0_0)
	ECC ステータス読み出し (RDECC_4_0、RDECC_C_0)	ECC ステータス読み出し (RDECC_4_0、RDECC_C_0)
	コンフィギュレーションレジスタ 1 読み出し (RDCR1_0_0)	コンフィギュレーションレジスタ 1 読み出し (RDCR1_0_0)

4.7.4 データ学習パターン (DLP)

デバイスは、ホストコントローラーがデータキャプチャウィンドウを最適化することを可能にするデータ学習パターン (DLP) に対応します。読み出しプリアンブルトレーニングはクアッドモードの読み出し動作に対してのみ利用可能です。プログラム可能な学習パターンは DLP レジスタに格納されます。学習を有効にするためには、非ゼロのパターンを DLP レジスタに格納する必要があります。デバイスはレイテンシサイクル中にパターンを出力します。最初の 3 レイテンシクロックサイクルがダミーサイクルとして扱われるため、ホストによって入力されたアドレスの終了と、デバイスによって出力されたパターンとの間のバスターンアラウンドは問題ではありません。すべての IO 信号は同じデータ学習パターンビットを転送します。

デバイスはレイテンシサイクル中に学習パターンを出力します。IO 信号で駆動されるパターンは、読み出しトランザクションのために利用可能なレイテンシサイクルの数によって異なります。SDR 動作のためにレイテンシが少なくとも 9 クロックサイクルにセットされた場合、デバイスは読み出しデータを出力する前に最後の 8 クロックサイクルで IO 上でパターンを出力します。しかし、レイテンシが 9 クロックサイクル未満にセットされた場合、データ学習パターンは出力されません。DDR 動作のためにレイテンシが少なくとも 5 クロックサイクルにセットされた場合、デバイスは読み出しデータを出力する前に最後の 4 クロックサイクルで IO 上でパターンを出力します。しかし、レイテンシが 4 クロックサイクル未満にセットされた場合、データ学習パターンは出力されません。

4.7.4.1 データ学習パターンに関連するレジスタとトランザクション

Table 31 DLP に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
データ学習レジスタ (DLPN、DLPV) (80 ページの Table 48 を参照してください)	データ学習パターン プログラム (PRDLP_0_1)	データ学習パターン プログラム (PRDLP_0_1)
	データ学習パターン書き込み (WRDLP_0_1)	データ学習パターン書き込み (WRDLP_0_1)
	データ学習パターン レジスタ読み出し (RDDLP_0_0)	データ学習パターン レジスタ読み出し (RDDLP_0_0)

4.8 書き込み

レジスタに書き込むために書き込みトランザクションがあります。トランザクション プロトコル節に記載されているように、書き込みトランザクションは SPI とクアッド SPI プロトコルを使用します。

4.8.1 書き込みイネーブル トランザクション

書き込みイネーブル (WRENB_0_0) トランザクションは、ステータス レジスタ 1 の書き込み / プログラム イネーブル ステータス ビット WRPGEN (STR1V[1]) を「1」にセットします。書き込み、プログラムおよび消去トランザクションを有効にするためには、書き込みイネーブル (WRENB_0_0) トランザクションを発行することで WRPGEN ビットを「1」にセットする必要があります (94 ページの[トランザクション テーブル](#)を参照してください)。

4.8.2 揮発性レジスタ用書き込みイネーブル

揮発性ステータスとコンフィギュレーション レジスタに書き込むために、WRENV_0_0 トランザクションの後に任意のレジスタ書き込みトランザクションを送信します。これにより、典型的な不揮発性ビット書き込みサイクルを待機させたり、不揮発性ステータスまたはコンフィギュレーション レジスタビットの書き換え可能回数に影響を与えたりせず、システム コンフィギュレーションおよびメモリ保護方式は迅速かつ柔軟に変更できます。WRENV_0_0 トランザクションは単に、後続のレジスタ書き込みトランザクションに揮発性ステータスとコンフィギュレーション レジスタ ビット値を変更するように指示するだけです。

4.8.3 書き込みディセーブル トランザクション

書き込みディセーブル (WRDIS_0_0) トランザクションはステータス レジスタ 1 の書き込み / プログラム イネーブル ステータス ビット WRPGEN (STR1V[1]) を「0」にクリアします。

実行用に WRPGEN を「1」にセットすることを必要とするコマンドを無効にするために、WRPGEN は書き込みディセーブル (WRDIS_0_0) を発行することで「0」にクリアされます。メモリの内容を破壊する可能性がある不注意な書き込み、プログラム、消去からメモリ領域を保護するために、ユーザーは WRDIS_0_0 トランザクションを使用できます。RDYBSY ビット (STR1V[0]) = 1 のとき、組込み動作中の WRDIS_0_0 トランザクションは無視されます (94 ページの[トランザクション テーブル](#)を参照してください)。

4.8.4 プログラムおよび消去失敗フラグ クリア トランザクション

プログラムおよび消去失敗フラグ クリア (CLPEF_0_0) トランザクションは、STR1V[5] ビット (消去エラーフラグ) と STR1V[6] ビット (プログラムエラーフラグ) を「0」にリセットします。いずれかのエラー ビットがセットされたときデバイスはビジーの状態を維持するため、RDYBSY が「1」にセットされてデバイスがビジーの状態であっても、このトランザクションは受け入れられます。WRPGEN ビットはこのトランザクションの実行後も変化しません (94 ページの[トランザクション テーブル](#)を参照してください)。

4.8.5 ECC ステータス レジスタ クリア トランザクション

ECC ステータス レジスタ クリア (CLECC_0_0) トランザクションは ECSV[4] ビット (2 ビット ECC 検出)、ECSV[3] ビット (1 ビット ECC 訂正)、INSV[1:0] の ECC 検出ステータス ビット、アドレスラップ レジスタ EATV[31:0] および ECC 検出カウンタ ECTV[15:0] をリセットします。このトランザクションの実行前に WRPGEN ビットをセットする必要はありません。いずれかのエラー ビットがセットされたときデバイスはビジーの状態を維持するため、WRPGEN が「1」にセットされてデバイスがビジーの状態であっても、ECC ステータス レジスタ クリア トランザクションは受け入れられます。WRPGEN ビットはこのコマンドの実行後も変化しません (94 ページの[トランザクション テーブル](#)を参照してください)。

4.8.6 レジスタ書き込み トランザクション

レジスタ書き込み (WRREG_0_1) トランザクションはステータス レジスタおよびコンフィギュレーション レジスタに新しい値を書き込みます。デバイスはレジスタ書き込みトランザクションを受け入れる前に、書き込みイネーブルまたは揮発性レジスタ用書き込みイネーブル トランザクションを受信する必要があります。書き込みイネーブル コマンドを正常に復号した後、デバイスはステータス レジスタの WRPGEN をセットしてすべての書き込み動作を有効にします。

機能

レジスタ書き込みトランザクションは命令およびデータ バイトを DQ0_SI 上でシフトすることで入力されます。ステータスおよびコンフィギュレーション レジスタの長さは 1 データ バイトです。

WRR 動作は単一の動作として、レジスタを消去してから新しい値をプログラムします。WRREG_0_1 動作に不具合がある場合、レジスタ書き込みトランザクションは PRGERR または ERSERR ビットをセットします。

4.8.7 任意レジスタ書き込みトランザクション

任意レジスタ書き込み (WRARG_C_1) トランザクションは不揮発性と揮発性のすべてのデバイス レジスタに書き込む方法を提供します。このトランザクションは、書き込むレジスタのアドレスと、それに続いてアドレス指定したレジスタに書き込む 1 データ バイトを含みます (94 ページの [トランザクションテーブル](#) を参照してください)。

デバイスが WRARG_C_1 トランザクションを受け入れる前に、書き込みイネーブル (WRENB_0_0) トランザクションを発行して復号する必要があります。これにより、ステータス レジスタの書き込み / プログラム イネーブル ビット (WRPGEN) がセットされ、いかなる書き込み動作も可能になります。動作完了を判定するために、RDYBSY ビット (STR1V[0]) がチェックされます。動作中にエラーが発生したかを判定するために、PRGERR と ERSERR ビット (STR1V[6:5]) がチェックされます。

いくつかのレジスタには、混合したビット タイプおよびどのビットを修正するかを制御する個別のルールを持つものがあります。ビットには読み出し専用、OTP、予約済み (DNU) のタイプがあります。

読み出し専用ビットは変更できず、WRARG_C_1 トランザクション データ バイト内の対応するビットは、プログラム / 消去エラーの表示 (STR1V[6:5] の PRGERR または ERSERR) をセットせずに無視されます。したがって、WRARG_C_1 データ バイト内のこれらのビット値は関係ありません。

OTP ビットはデフォルト状態の逆のレベルにのみプログラムできます。OTP ビットをデフォルト状態に復帰させるための書き込みは無視され、エラーはセットされません。

WRARG_C_1 データで変更された不揮発性ビットを更新するには不揮発性レジスタ書き込み時間 (t_w) を要します。更新プロセスは不揮発性レジスタ ビットに対する消去およびプログラム動作を含みます。更新プロセスの消去またはプログラム部分が失敗した場合、対応するエラー ビットおよび STR1V の RDYBSY ビットは「1」にセットされます。

レジスタ書き込みが完了 / 失敗したタイミングを判定するために、ステータス レジスタ 1 を繰り返し読み出して (ポーリングして) RDYBSY ビット (STR1V[0]) とエラー ビット (STR1V[6, 5]) を監視します。書き込みが失敗した場合、CLPEF_0_0 トランザクションを使用してエラー ステータスをクリアし、デバイスをスタンバイ状態に復帰させられます。

ASP PPB ロック レジスタ (PPLV) は WRARG_C_1 トランザクションで書き込めません。PPLV レジスタに書き込めるのは PPB ロック ビット書き込み (WRPLB_0_0) トランザクションのみです。

データ整合性チェック レジスタは WRARG_C_1 トランザクションで書き込めません。データ整合性チェック レジスタはデータ整合性チェック トランザクション (DICHK_4_1) を実行することでロードされます。

4.8.8 PPB ロック ビット書き込み

PPB ロック ビット書き込み (WRPLB_0_0) トランザクションは PPB ロック レジスタの PPLV[0] を「0」にクリアします。PPBLCK ビットは PPB ビットを保護するために使用されます。PPLV[0]=0 のとき、PPB プログラム / 消去トランザクションは中止されます。パスワード読み出し保護モードでは、パスワードが供給されるまで、アドレス範囲をブート コードを格納している 1 セクタに制限することによりアドレスの上位ビットを制御するために、PPBLCK ビットも使用されます (94 ページの [トランザクションテーブル](#) を参照してください)。

デバイスは WRPLB_0_0 トランザクションを受け入れる前に、書き込みイネーブル (WRENB_0_0) トランザクションを発行して復号する必要があります。これにより、ステータス レジスタ 1 の書き込み / プログラム イネーブル ビット (WRPGEN) がセットされ、いかなる書き込み動作も可能になります。

動作の進行中に、ステータス レジスタを読み出して RDYBSY ビット値を確認することはまだ可能です。WRPGEN ビットはセルフタイム動作の間で「1」に、その動作が完了すると「0」になります。PPB ロック書き込みトランザクションが完了すると、RDYBSY ビットは「0」にセットされます (94 ページの [トランザクションテーブル](#) を参照してください)。

4.8.9 書き込みトランザクションに関連するレジスタとトランザクション

Table 32 書き込みトランザクションに関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
ステータス レジスタ 1 (STR1N、STR1V) (75 ページの Table 41 を参照してください)	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
	レジスタ書き込み (WRREG_0_1)	レジスタ書き込み (WRREG_0_1)
	揮発性レジスタ書き込みイネーブル (WRENV_0_0)	揮発性レジスタ書き込みイネーブル (WRENV_0_0)
	書き込みディセーブル (WRDIS_0_0)	書き込みディセーブル (WRDIS_0_0)
ECC ステータス レジスタ (ECSV) (85 ページの Table 55 を参照してください)	プログラムおよび消去失敗フラグ クリア (CLPEF_0_0)	プログラムおよび消去失敗フラグ クリア (CLPEF_0_0)
	ECC ステータス レジスタ クリア (CLECC_0_0)	ECC ステータス レジスタ クリア (CLECC_0_0)
アドレストラップ レジスタ (EATV) (86 ページの Table 56 を参照してください)	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_C_1)
ECC 検出カウンタ (ECTV) (87 ページの Table 57 を参照してください)	PPB ロック ビット書き込み (WRPLB_0_0)	PPB ロック ビット書き込み (WRPLB_0_0)

4.9 プログラム

データをメモリ アレイ、セキュア シリコン領域および持続的保護ビットにプログラムするためのプログラム トランザクションがあります。

プログラム トランザクションは SPI またはクアッド SPI プロトコルを使用します。

デバイスはプログラム トランザクションを受け入れる前に、書き込みイネーブル (WRENB_0_0) トランザクションを発行して復号する必要があります。ステータス レジスタ中の書き込み / プログラム イネーブル ビット (WRPGEN) がプログラム動作を有効にするために「1」にセットされた場合にのみ、デバイスはプログラム トランザクションを実行できます。プログラム トランザクションが完了すると、WRPGEN ビットは「0」にリセットされます。

プログラム トランザクション進行中に、ステータス レジスタ 1 を読み出してデバイスのレディ / ビジー (RDYBSY) ビットの値を確認できます。RDYBSY ビットはセルフタイムのプログラム トランザクション中に「1」であり、そのトランザクションが完了すると「0」になります。

PGMERR ビット (STR1V[6]) を確認することで、プログラム トランザクション中にエラーが発生したかどうかを判定できます。

いずれかの保護スキームにより書き込み保護されたセクタに適用されたプログラム トランザクションは実行されずに、PGMERR 失敗ステータス ビットをセットします。

CS# が論理 HIGH 状態に駆動されると、プログラム トランザクションは開始されます。

4.9.1 プログラム粒度

は、セクタに対して消去動作を実行せずに「1」から「0」にプログラムするマルチパス プログラム (ビットウォーキング) に対応します。ビットウォーキングは本デバイスの非 AEC-Q100 産業用温度範囲 (−40°C ~ +85°C) でサポートされます。より高い温度範囲 (−40°C ~ +105°C) と (−40°C ~ +125°C) のデバイスおよびすべての AEC-Q100 デバイスでは、各 ECC データ ユニットに対して消去動作と消去動作の間に 1 つのプログラム動作のみ (シングルパス プログラム) を実行する必要があります。

消去動作のないマルチパス プログラムは、そのデータ ユニットに対するデバイスの ECC 機能を無効にします。2 ビット ECC が有効な場合、同じセクタ内のマルチパス プログラムはプログラム エラーを引き起こすことに注意してください。

4.9.2 ページ プログラム

ページ プログラムはプログラムされるデータをページ バッファにロードし、データをバッファからメモリ アレイへ転送するプログラム トランザクションを発行することで行われます。これは単一のプログラム トランザクションでプログラムできるデータ量に上限を設定します。ページ プログラムにより、1 つの動作で最大 1 ページ サイズ (256 または 512 バイト) までプログラムできます。ページ サイズはコンフィギュレーション レジスタ 3 の CFR3V[4] ビットで決まります。ページはページ サイズのアドレス

境界に整列されます。各ページプログラム動作で1ビットからページサイズまでプログラムすることが可能です。16バイトの倍数である長さの整列されたプログラムブロックで書き込むことが推奨されます。これは、ECCが無効にならないようにするためです。ページプログラムの最高のスループットを得るために、プログラムは512バイト境界に整列された512バイトのフルページに対して行い、各ページを一度だけプログラムするべきです。

4.9.3 ページプログラムトランザクション

ページプログラムトランザクション (PRPGE_4_1、PRPGE_C_1) はデータをメモリアレイにプログラムします。開始アドレスとページ整列終了境界間の空間であるページサイズ (256B または 512B) よりも多くのデータがデバイスに送信された場合、データロードシーケンスはページの最後のバイトから同ページの0バイト位置にラップし、同ページに既にロードされているデータを上書きします。1ページより少ないデータがデバイスに送信された場合、データバイトはページ内の他のバイトに影響することなく、ページ内の与えられたアドレスから順々にプログラムされます。プログラムプロセスはデバイスの内部制御ロジックで制御されます。PRGERR ビットは、プログラムを正常に完了させないエラーがプログラムトランザクションに発生したかどうかを示します。これには保護された領域をプログラムすることが含まれます (94 ページの [トランザクションテーブル](#) を参照してください)。

4.9.4 セキュアシリコン領域プログラムトランザクション

セキュアシリコンプログラム (PRSSR_C_1) トランザクションは、メインアレイから独立した異なるアドレス空間かつ OTP である SSR にデータをプログラムします。SSR は 1024 バイトであるため、このトランザクションでは A31 ~ A10 のアドレスビットは 0 でなければなりません (94 ページの [トランザクションテーブル](#) を参照してください)。SSR 空間をプログラムするとき、開始アドレスを 32 ビットに整列する必要があります。つまり、アドレスの A1 と A0 ビットは 0'b であり、ホストは CS# をデアサートして 32bit に整列する必要があります。

PRGERR ビット (STR1V[6]) を確認することで、動作中にエラーが発生したかどうかを判定できます。

OTP アレイをビット単位でプログラムするために、データバイト内の残りのビットを「1」にセットできます。

各 SSR メモリ空間は、ロックされていない限り、1 回以上プログラムできます。ロックされた領域に「0」をプログラムしようとする、動作は失敗し、PRGERR ビット (STR1V[6]) が「1」にセットされます。保護された領域であっても「1」をプログラムしたら、エラーが発生せず、PRGERR ビットもセットされません。後続のプログラムはプログラムされていないビット (「1」のデータ) に対してのみ行えます。ECC ユニット内で 2 回以上プログラムすると、そのデータユニットでの ECC は無効になります。

4.9.5 持続的保護ビット (PPB) プログラム

持続的保護ビットプログラム (PRPPB_4_0、PRPPB_C_0) トランザクションは PPB レジスタのビットをプログラムし、与えられたアドレスのセクタをプログラムや消去から保護します (94 ページの [トランザクションテーブル](#) を参照してください)。

PRGERR ビット (STR1V[6]) を確認することで、動作中にエラーが発生したかどうかを判定できます。

ASPPPB (ASPO[3])、ASPPRM (ASPO[0]) および PPBLCK (PPLV[0]) ビットによって保護されている PPB ビットをプログラムしようとする、PPB ビットプログラムトランザクションは中止します。

4.9.6 プログラムに関連するレジスタとトランザクション

Table 33 プログラムに関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
ステータスレジスタ 1 (STR1N、STR1V) (75 ページの Table 41 を参照してください)	書き込みイネーブル (WRENB_0_0) ページプログラム (PRPGE_4_1、PRPGE_C_1)	書き込みイネーブル (WRENB_0_0) ページプログラム (PRPGE_4_1、PRPGE_C_1)
高度セクタ保護レジスタ (ASPO) (87 ページの Table 58 を参照してください)	セキュアシリコンプログラム (PRSSR_C_1)	セキュアシリコンプログラム (PRSSR_C_1)
ASP PPB ロック (PPLV) (89 ページの Table 60 を参照してください)	持続的保護ビットプログラム (PRPPB_4_0、PRPPB_C_0)	持続的保護ビットプログラム (PRPPB_4_0、PRPPB_C_0)
ECC ステータスレジスタ (ECSV) (85 ページの Table 55 を参照してください)	プログラムおよび消去失敗フラグ クリア (CLPEF_0_0)	プログラムおよび消去失敗フラグ クリア (CLPEF_0_0)

4.10 消去

消去トランザクションはメモリ アレイと持続的保護ビットのデータ ビットを「1」に消去します (すべてのバイトは FFh)。

デバイスは消去トランザクションを受け入れる前に、書き込みイネーブル (WRENB_0_0) トランザクションを発行して復号する必要があります。ステータスレジスタの書き込み / プログラム イネーブル ビット (WRPGEN) が「1」にセットされ消去動作を有効にする場合にのみ、デバイスは消去トランザクションを実行できます。消去トランザクションが完了すると、WRPGEN ビットは「0」にリセットされます。

消去トランザクション進行中に、ステータス レジスタ 1 を読み出してデバイスのレディ / ビジー (RDYBSY) ビットの値を確認できます。RDYBSY ビットはセルフタイムの消去トランザクション中は「1」で、完了時には「0」です。

ERSERR ビット (STR1V[5]) を確認することで、消去トランザクション中にエラーが発生したかどうかを判定できます。

ブロック保護ビットまたは ASP により書き込み保護されたセクタに消去トランザクションを適用すると、トランザクションは実行せずに、ERSERR 失敗ステータス ビットをセットします。

CS# が論理 HIGH 状態に駆動されると、消去トランザクションは開始されます。

工場出荷時の消去状態は、全バイトが FFh です。

4.10.1 4KB セクタ消去トランザクション

4KB セクタ消去 (ER004_4_0、ER004_C_0) トランザクションは 4KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh) (94 ページの [トランザクションテーブル](#) を参照してください)。

デバイスがユニフォーム セクタのみに設定された場合 (CFR3V[3]=1)、このトランザクションは無視されます。4KB セクタ消去トランザクションが 4KB でないセクタ アドレスに対して発行された場合、デバイスは動作を中止し、ERSERR 失敗ステータス ビットをセットしません。

4.10.2 256KB セクタ消去トランザクション

256KB セクタ消去 (ER256_4_0、ER256_C_0) トランザクションはアドレス指定されたセクタのすべてのビットを「1」にセットします (すべてのバイトは FFh) (94 ページの [トランザクションテーブル](#) を参照してください)。

デバイス コンフィギュレーション オプション (CFR3V[3]) はハイブリッド セクタ アーキテクチャが使用されているかどうかを判定します。CFR3V[3]=0 の場合、4KB セクタはデバイス アドレス空間の最上位または最下位 アドレス (128KB または 64KB) の一部に重なります。4KB セクタによって重ねられた 256KB セクタにセクタ消去トランザクションを適用すると、重ねられた 4KB セクタは消去動作に影響されません。消去されるのは、128KB または 192KB セクタの可視の (重ねられていない) 部分のみです。CFR3V[3]=1 の場合、デバイス アドレス空間には 4KB セクタがなく、セクタ消去トランザクションは常に完全に可視の 256KB セクタで動作します。

BLKCHK が有効にされると、消去トランザクションは最初にセクタの消去状態を判断します。セクタが消去された場合、消去動作は中止されます。消去動作はセクタでプログラムされたビットが検出された場合にのみ実行されます。BLKCHK を無効にすると、消去動作が無条件に実行されます。

4.10.3 チップ消去トランザクション

チップ消去 (ERCHP_0_0) トランザクションは、フラッシュ メモリ アレイ全体のすべてのビットを「1」にセットします (すべてのバイトは FFh) (94 ページの [トランザクションテーブル](#) を参照してください)。

チップ消去トランザクションは、ブロック保護 (BP2、BP1、BP0) ビットが「0」にセットされた場合にのみ実行できます。BP ビットが 0 でない場合、トランザクションは実行されず、ERSERR 失敗ステータス ビットがセットされません。トランザクションは高度セクタ保護 DYB または PPB により保護されているすべてのセクタを飛ばし、ERSERR 失敗ステータス ビットがセットされません。

4.10.4 持続的保護ビット (PPB) 消去トランザクション

PPB 消去 (ERPPB_0_0) トランザクションはすべての PPB ビットを「1」にセットします (94 ページの [トランザクションテーブル](#) を参照してください)。PPB ビットが ASPPPB (ASPO[3])、ASPPRM (ASPO[0]) および PPBLCK (PPLV[0]) ビットにより保護されている場合、トランザクションは中止します。

4.10.5 消去ステータスおよびカウント

4.10.5.1 消去ステータス判断トランザクション

消去ステータス判定 (EVERS_C_0) トランザクションはアドレス指定されたセクタの直前の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合、消去ステータスビット (STR2V[2]) は「1」にセットされます。完全に消去されていない場合、STR2V[2] は「0」です。このトランザクションの前に書き込み / プログラム イネーブル トランザクション (WRPGEN ビットをセットするため) を実行する必要がありません。ただし、RDYBSY ビットは、ステータス読み出し中に STR1V[0] に示されるように、デバイスによってセットされ動作終了時にクリアされます (94 ページの [トランザクションテーブル](#) を参照してください)。

消去ステータス判定トランザクションは、消去動作中の電力喪失、リセットや動作失敗による消去動作不良を検出するために使用されます。このトランザクションは、完了し STR2V での消去ステータスを更新するために t_{EES} を要します。RDYBSY ビット (STR1V[0]) を読み出して消去ステータス判定トランザクションがいつ完了したかを判定できます。STR2V[2]=0 でセクタが消去されなかったことを検出した場合、そのセクタ内のデータ格納を確保するために、そのセクタを再び消去しなければなりません。

4.10.5.2 セクタ消去カウント トランザクション

セクタ消去カウント (SEERC_C_0) トランザクションは、アドレス指定されたセクタの消去サイクル数を出力します。消去サイクル数はセクタ消去カウント (SECV[22:0]) レジスタに格納され、任意レジスタ読み出し (RDARG_C_0) トランザクションで読み出せます。RDYBSY ビットは、ステータス読み出し中に STR1V[0] に示されるようにデバイスによってセットされ、動作終了時にクリアされます (94 ページの [トランザクションテーブル](#) を参照してください)。

トランザクションは、完了して SECV[22:0] レジスタを更新するために t_{SEC} を要します。RDYBSY ビット (STR1V[0]) を読み出してセクタ消去カウント トランザクションがいつ完了したかを判定できます。SECV[23] ビットは、報告されたセクタ消去カウントが破損しリセットされたかを判定するために使用されます。

4.10.6 消去に関連するレジスタとトランザクション

Table 34 消去に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
ステータス レジスタ 1 (STR1N、STR1V) (75 ページの Table 41 を参照してください)	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
ステータス レジスタ 2 (STR2V) (77 ページの Table 44 を参照してください)	4KB セクタ消去 (ER004_4_0、ER004_C_0)	4KB セクタ消去 (ER004_4_0、ER004_C_0)
	256KB セクタ消去 (ER256_4_0、ER256_C_0)	256KB セクタ消去 (ER256_4_0、ER256_C_0)
ASP PPB ロック (PPLV) (89 ページの Table 60 を参照してください)	チップ消去 (ERCHP_0_0)	チップ消去 (ERCHP_0_0)
ECC ステータス レジスタ (ECSV) (85 ページの Table 55 を参照してください)	消去ステータス判定 (EVERS_C_0)	消去ステータス判定 (EVERS_C_0)
セクタ消去カウント レジスタ (SECV) (91 ページの Table 67 を参照してください)	セクタ消去カウント (SEERC_C_0)	セクタ消去カウント (SEERC_C_0)
	持続的保護ビット (PPB) 消去 (ERPPB_0_0)	持続的保護ビット (PPB) 消去 (ERPPB_0_0)

4.11 組込み動作の一時停止と再開

HL-T/HS-T デバイスは、消去、プログラムまたはデータ整合性チェックなど実行中の組込み動作を中断し、一時停止させられます。ホストが中間動作を終了し、該当する再開トランザクションをデバイスに送信すると、一時停止された動作を再開することもできます。

4.11.1 消去 / プログラム / データ整合性チェック一時停止

一時停止トランザクションにより、システムはプログラム / 消去 / データ整合性チェック動作を中断させ、他の消去一時停止ではないセクタ、プログラム一時停止ではないページ、またはアレイから読み出すことが可能になります。プログラム / 消去 / データ整合性チェック動作がいつ停止したかを確認するために、ステータス レジスタ 1 のデバイス レディ / ビジー ステータス フラグ (RDYBSY - STR1V[0]) をチェックする必要があります。

4.11.1.1 プログラム一時停止

- ・プログラム一時停止はプログラム動作の間にのみ有効です。
- ・ステータス レジスタ 2 のプログラム動作一時停止ステータス フラグ (PROGMS - STR2V[0]) は、RDYBSY が「0」になったときにプログラム動作が一時停止されたか、または完了したかを判定するために使用されます。
- ・読み出し動作を可能にするためにプログラム動作を一時停止できます。
- ・プログラム一時停止されたページ内のいかなるアドレスを読み出しても、不確定なデータが返されます。

4.11.1.2 消去一時停止

- ・消去一時停止はセクタ消去動作の間にのみ有効です。
- ・ステータス レジスタ 2 の消去動作一時停止ステータス フラグ (ERASES - STR2V[1]) は、RDYBSY が「0」になったときに消去動作が一時停止されたか、または完了したかを判定するために使用されます。
- ・チップ消去動作を一時停止できません。
- ・プログラム動作または読み出し動作を可能にするために消去動作を一時停止できます。
- ・消去一時停止中に、DYB アレイを読み出してセクタ保護を確認できます。
- ・既に一時停止された消去 / プログラム / データ整合性チェック動作では新しい消去動作を行えません。この場合、消去トランザクションは無視されます。
- ・消去一時停止されたセクタ内のいかなるアドレスから読み出しても、不確定なデータが返されます。

4.11.1.3 データ整合性チェック一時停止

- ・データ整合性チェック一時停止はデータ整合性チェック計算動作の間にのみ有効です。
- ・ステータス レジスタ 2 のメモリ アレイ データ整合性巡回冗長チェック一時停止ステータス フラグ (DICRCS - STR2V[4]) は、RDYBSY が「0」になったときにデータ整合性チェック動作が一時停止されたか、または完了したかを判定するために使用されます。
- ・読み出し動作を可能にするためにデータ整合性チェック動作を一時停止できます。

任意レジスタ読み出しまたは持続的保護ビット消去トランザクションは、消去 / プログラム / データ整合性チェック一時停止の間には実行されません。したがって、消去一時停止中にブロック保護または PPB ビットを変更できません。消去一時停止中にプログラムを必要とするセクタがあれば、セクタは消去一時停止中にオフに切り替えられる DYB ビットによってのみ保護される必要があります。

一時停止動作は完了するために t_{PEDS} を要します。

消去一時停止されたプログラム動作が完了すると、デバイスは消去一時停止モードに戻ります。通常のプログラム動作と同じように、システムはステータス レジスタ 1 の RDYBSY ビットを読み出すことでプログラム動作の状態を確認できます。

機能

Table 35 に、一時停止動作中に許可されるトランザクションの一覧を示します。

Table 35 一時停止中に許可されるトランザクション

トランザクション名	消去一時停止中に許可	プログラム一時停止中に許可	データ整合性チェック一時停止中に許可		
書き込みディセーブル (WRDIS_0_0)	有	無	無		
ステータス レジスタ 1 読み出し (RDSR1_0_0)		有	有		
書き込みイネーブル (WRENB_0_0)		無	無		
揮発性レジスタ書き込みイネーブル (WRENV_0_0)		有	有		
ステータス レジスタ 2 読み出し (RDSR2_0_0)					
コンフィギュレーションレジスタ 1 読み出し (RDCR1_0_0)		無	無		
ページ プログラム (PRPGE_4_1、PRPGE_C_1)		有	有		
ECC ステータス読み出し (RDECC_4_0、RDECC_C_0)					
ECC ステータス レジスタ クリア (CLECC_0_0)		有	有		
PPB ロックビット読み出し (RDPLB_0_0)					
プログラム / 消去 / データ整合性チェックの再開 (RSEPD_0_0)		無	無		
プログラム / 消去再開 (RSEPA_0_0)					
SSR プログラム (PRSSR_C_1)		有	有		
SSR 読み出し (RDSSR_C_0)		有			
固有 ID 読み出し (RDUID_0_0)					
SFDP 読み出し (RSFDP_3_0)					
メーカーおよびデバイス ID クアッド読み出し (RDQID_0_0)					
任意レジスタ読み出し (RDARG_C_0)					
ソフトウェアリセット イネーブル (SRSTE_0_0)					
プログラムおよび消去失敗フラグ クリア (CLPEF_0_0)					
ソフトウェアリセット (SFRST_0_0)					
レガシー ソフトウェアリセット (SFRSL_0_0)					
ID レジスタ読み出し (RDIDIN_0_0) (メーカーおよびデバイス ID)					
プログラム / 消去 / データ整合性チェック一時停止 (SPEPD_0_0)				無	無
プログラム / 消去一時停止 (SPEPA_0_0)					
DYB 読み出し (RDDYB_4_0、RDDYB_C_0)		有	有		
PPB 読み出し (RDPPB_4_0、RDPPB_C_0)					
SDR 読み出し (RDAY1_C_0、RDAY1_4_0)					
高速 SDR 読み出し (RDAY2_C_0、RDAY2_4_0)					
SDR デュアル I/O 読み出し (RDAY3_C_0、RDAY3_4_0)					
SDR クアッド出力読み出し (RDAY4_C_0、RDAY4_4_0)					
SDR クアッド I/O 読み出し (RDAY5_C_0、RDAY5_4_0)					
DDR クアッド I/O 読み出し (RDAY7_C_0、RDAY7_4_0)					
データ学習パターン読み出し (RDDLP_0_0)					
	有	有	有		

4.11.2 消去 / プログラム / データ整合性チェック一時再開

一時停止した消去 / プログラム / データ整合性チェック動作を再開するために再開トランザクションを書き込まなければなりません。プログラム / 消去 / データ整合性チェック一時停止中にプログラムまたは読み出し動作が完了すると、一時停止中の動作を再開するために再開トランザクションが送信されます。

プログラム / 消去 / データ整合性チェック再開トランザクションが発行された後、ステータスレジスタ 1 の RDYBSY ビットが「1」にセットされ、一時停止されたプログラム動作が再開されます。一時停止されたプログラム動作がない場合、一時停止された消去動作は再開されます。一時停止されたプログラム / 消去 / データ整合性チェック動作がない場合、再開トランザクションは無視されます。

プログラム / 消去 / データ整合性チェック動作は必要に応じて何度でも中断できます。例えば、プログラム一時停止トランザクションをプログラム再開トランザクションの直後に発行できます。ただし、プログラムまたは消去動作が完了するには、再開と次の一時停止トランザクションの間に t_{PEDRS} 以上の時間が必要です。

Figure 55 に、一時停止と再開の動作フローを示します。

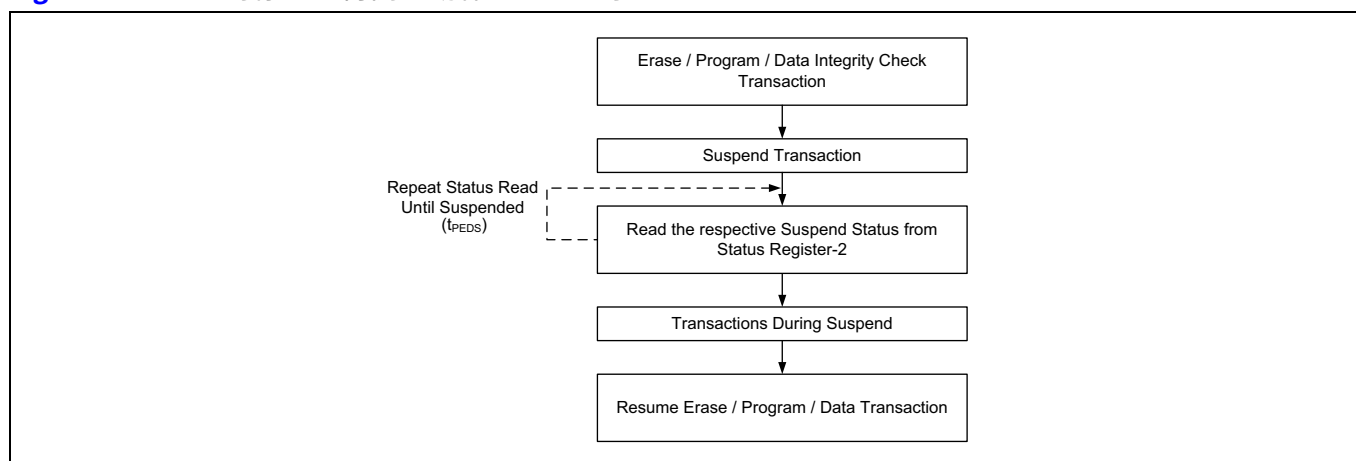


Figure 55 一時停止と再開シーケンス

4.11.3 一時停止と再開関連レジスタとトランザクション

Table 36 消去に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
ステータス レジスタ 1 (STR1N、STR1V) (75 ページの Table 41 を参照してください)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)
	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)
ステータス レジスタ 2 (STR2V) (77 ページの Table 44 を参照してください)	消去 / プログラム一時停止 (SPEPA_0_0)	消去 / プログラム一時停止 (SPEPA_0_0)
	消去 / プログラム再開 (RSEPA_0_0)	消去 / プログラム再開 (RSEPA_0_0)
	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_C_0)
	ステータス レジスタ 1 読み出し (RDSR1_0_0)	ステータス レジスタ 1 読み出し (RDSR1_4_0)
	ステータス レジスタ 2 読み出し (RDSR2_0_0)	ステータス レジスタ 2 読み出し (RDSR2_4_0)

4.12 リセット

HL-T/HS-T デバイスは 4 種類のリセット メカニズムに対応します。

- ・ ハードウェアリセット (RESET# 入力ピンと DQ3_RESET# ピン)
- ・ パワーオンリセット (POR)
- ・ CS# シグナリングリセット
- ・ ソフトウェアリセット

4.12.1 ハードウェアリセット (RESET# 入力ピンと DQ3_RESET# ピン)

RESET# 入力がある t_{RP} より長い時間で論理 HIGH から論理 LOW に遷移するとリセット動作が始まり、デバイスは POR で実行する完全なリセット プロセスを実行します。ハードウェアリセット プロセスは完了するために t_{RH} を要します。タイミング仕様は [Table 84](#) を参照してください。

DQ3_RESET# 入力は、CS# が t_{CS} より長い時間 HIGH であるか、あるいはクアッド モードまたは QPI モードが有効でない場合、リセット動作を開始します。DQ3_RESET# 入力は V_{CC} に接続する内部プルアップ抵抗を備えており、クアッド モードまたは QPI モードが使用されていない場合は解放のままにできます。CS# が HIGH になった後の t_{CS} 遅延により、メモリまたはホストシステムは CS# が LOW の間 DQ3 をクアッド モードまたは QPI モードの I/O 信号として使用した後、HIGH に駆動する時間を取れます。その後、 V_{CC} に接続する内部プルアップは、ホストシステムが DQ3_RESET# を駆動し始めるまで DQ3_RESET# を HIGH に保持します。意図しないリセット動作を回避するために、 t_{CS} 時間で CS# が HIGH の間は、DQ3_RESET# 入力が無視されます。新しいトランザクションを開始するために CS# が LOW に駆動された場合、DQ3_RESET# は DQ3 として使用されます。

デバイスがクアッド モードまたは QPI モードでない場合、あるいは CS# が HIGH になりかつ V_{IL} から V_{IH} への DQ3_RESET# の遷移時間が t_{CS} の後の t_{RP} より長い場合、デバイスは POR と同じ方法でレジスタの状態をリセットします。ハードウェアリセット プロセスは完了するために t_{RH} を要します。電源投入 (t_{PU}) 中にパワーオンリセット (POR) プロセスが何らかの理由で正常に完了しない場合、RESET# が LOW になると、ハードウェアリセット プロセスの代わりに完全な POR プロセスが開始され、POR プロセスを完了するために t_{PU} 時間を要します。

追加の DQ3_RESET# の注意事項

- ・ RESET# と DQ3_RESET# 入力の両方が使用可能な場合、お使いのシステムに 1 つのみのリセット オプションを使用してください。CFR2N[5] を「0」にセットして、DQ3 のみとして動作するように DQ3_RESET# を設定することで、DQ3_RESET# 入力のリセット動作を無効にできます。RESET# 入力は V_{IH} に接続しないことにより、無効にすることができます。RESET# および DQ3_RESET# は LOW に戻してハードウェアリセットを開始する前に、 t_{PU} の後の t_{RS} の間、HIGH にしなければなりません。
- ・ DQ3_RESET# が t_{CS} の後、最短時間 (t_{RP}) でも LOW に駆動されると、デバイスは実行中の動作をすべて終了させ、すべての出力を高インピーダンスにし、 t_{RH} の間、読み出し / 書き込みトランザクションをすべて無視します。デバイスはインターフェースをスタンバイ状態にリセットします。
- ・ クアッドまたは QPI モードおよび DQ3_RESET# 機能が有効な場合、DQ3 でのドライバの競合を避けるために、ホストシステムは t_{CS} の間 DQ3 を LOW に駆動してはいけません。クアッドまたは QPI モードでデータをホストに転送するトランザクション (クアッド I/O 読み出しなど) の直後に、意図しないリセット動作を回避するために、メモリは t_{CS} の間 DQ3_RESET# を HIGH に駆動します。クアッド モードでデータをメモリに転送するトランザクション (ページ プログラムなど) の直後に、意図しないリセット動作を回避するために、ホストシステムは t_{CS} の間 DQ3_RESET# を HIGH に駆動する必要があります。クアッド モードが有効な場合、DQ3_RESET# LOW は t_{CS} の間無視されます。

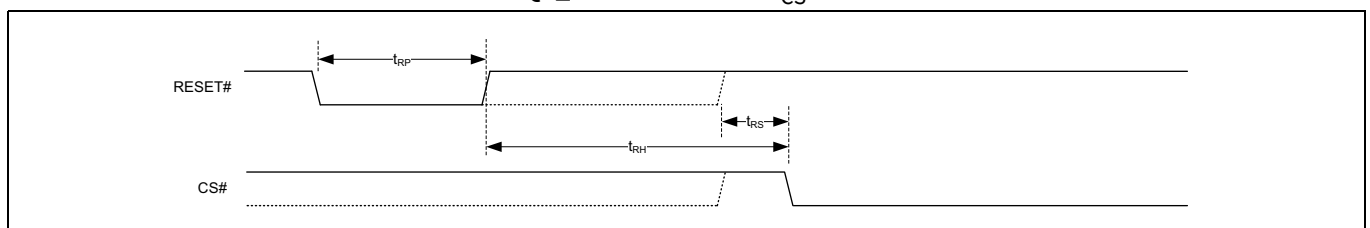


Figure 56 RESET# 入力によるハードウェアリセット (リセットパルス = $t_{RP}(\min)$)

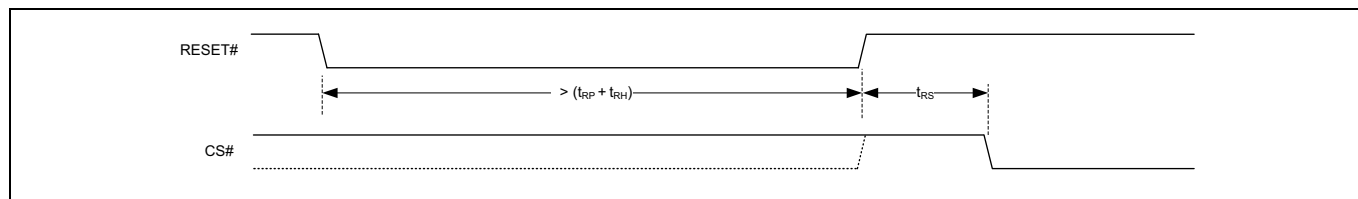


Figure 57 RESET# 入力によるハードウェアリセット (リセットパルス $>(t_{RP} + t_{RH})$)

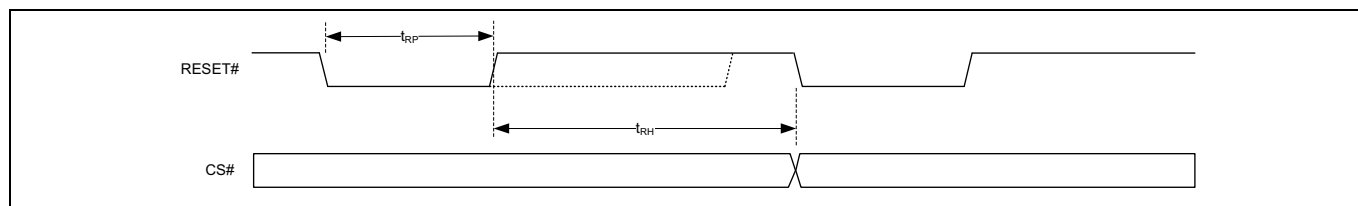


Figure 58 RESET# 入力によるハードウェアリセット (連続したハードウェアリセット)

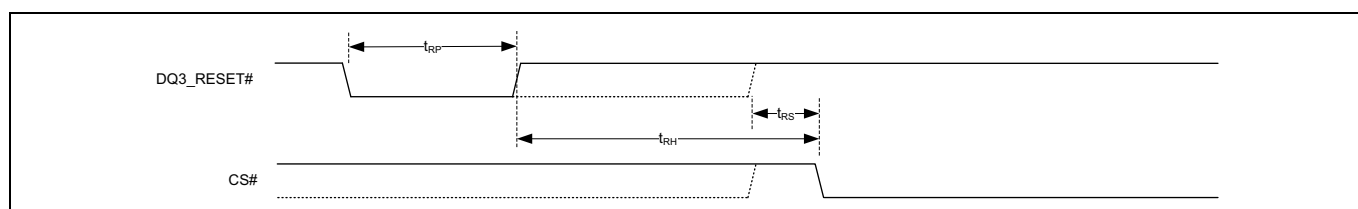


Figure 59 クアドまたは QPI モードが無効で、DQ3_RESET# が有効な場合のハードウェアリセット

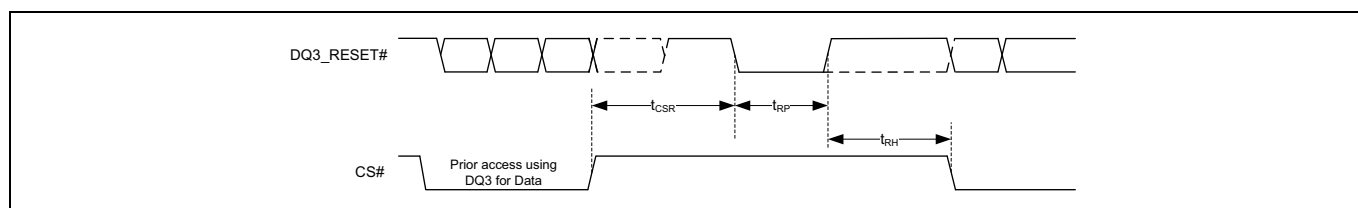


Figure 60 クアドまたは QPI モードおよび DQ3_RESET# が有効な場合のハードウェアリセット

4.12.2 パワーオンリセット (POR)

デバイスは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の遅延時間が経過するまで、POR プロセスを実行します (Figure 61 と Figure 62 を参照してください)。電源投入 (t_{PU}) 時にデバイスを選択できません。したがって、CS# は V_{CC} とともに立ち上がる必要があります。 t_{PU} が経過するまで、デバイスにトランザクションは送信できません。タイミング仕様は Table 84 を参照してください。

RESET# は POR 中は無視されます。RESET# が POR 中に LOW であり、 t_{PU} 期間中およびこの時間が経過した後も LOW のままであれば、RESET# が HIGH に戻ってから t_{RS} が経過するまで CS# は HIGH のままでなければなりません。

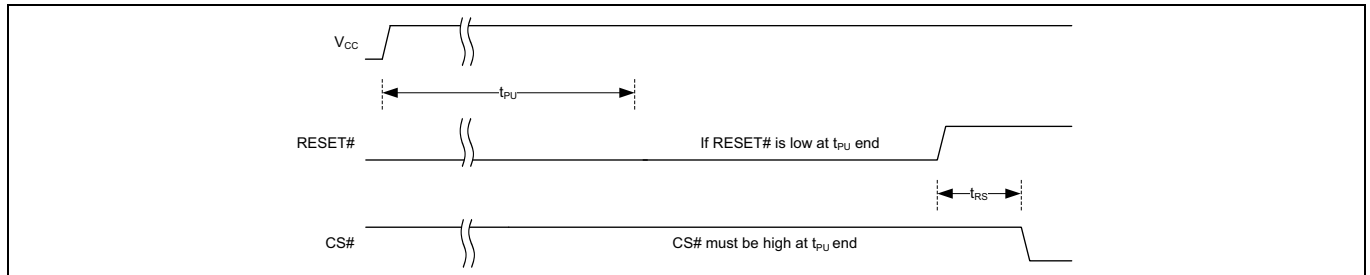


Figure 61 POR 終了時の RESET# LOW

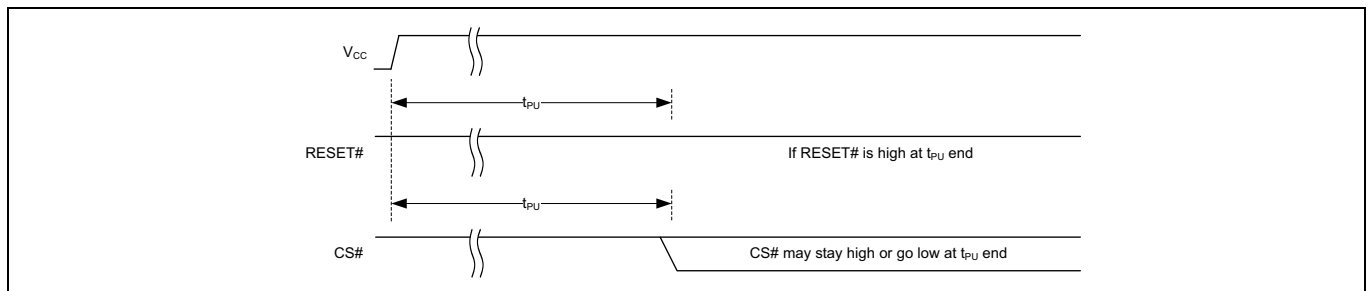


Figure 62 POR 終了時の RESET# HIGH

4.12.3 CS# シグナリングリセット

CS# シグナリングリセットには CS# と DQ0 信号が必要です。このリセット方式は、既存の信号を用いてシグナリングプロトコルを定義し、デバイスの動作モードやパッケージピン数に関係しない SPI フラッシュハードウェアリセットを実行します。

シグナリングプロトコルを Figure 63 に示します。タイミング仕様は Table 84 を参照してください。CS# シグナリングリセットの手順は以下のとおりです。

- CS# はアクティブ LOW に駆動されます。
 - CK は HIGH または LOW のいずれかで安定したままです。
 - CS# と DQ0 の両方は LOW に駆動されます。
 - CS# は HIGH (非アクティブ) に駆動されます。
 - DQ0 の状態を変更するたびに上記の 4 ステップを繰り返します (合計で 4 回)。
 - 4 番目の CS# サイクルが完了し、CS# が HIGH (非アクティブ) になった後、リセットは行われます。
- 4 番目の CS# パルスの後、スレーブは内部リセットをトリガーし、デバイスは t_{RESET} の間に実行中の動作を終了させ、すべての出力を高インピーダンスにし、すべての読み書きトランザクションを無視します。その後、デバイスはスタンバイ状態になります。

機能

このリセットシーケンスは通常の電源投入時に使用されず、デバイスがシステムに 응답していないときにのみ使用されます。このリセットシーケンスはデバイスのいかなる状態でも実行可能です。したがって CS# シグナリングリセットは、RESET# ピンをサポートしないパッケージでは、ハードウェアリセットと同じ動作を提供するために役立ちます。

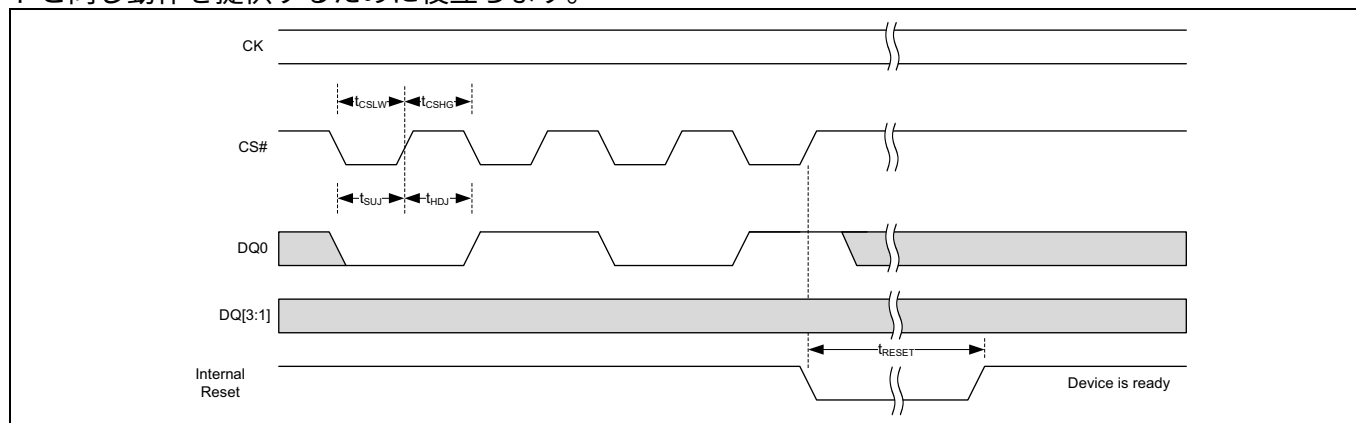


Figure 63 CS# シグナリングリセットプロトコル

4.12.4 ソフトウェアリセット

ソフトウェアで制御されたリセットトランザクションは、保護レジスタを除き、揮発性レジスタを不揮発性デフォルト値からリロードすることで、デバイスを電源投入時の初期状態に復帰させます。また、組込み動作も終了させます。トランザクション終了時に CS# が HIGH になると、リセット (SFRST_0_0) トランザクションは実行され、完了するのに t_{SR} を要します。タイミング仕様は [Table 84](#) を参照してください。

ソフトウェアリセットが2つのトランザクションから成るシーケンスとなるように、リセットイネーブル (SRSTE_0_0) トランザクションはリセットトランザクション (SFRST_0_0) の直前に必要とされます。SRSTE_0_0 トランザクションの後に続く SFRST_0_0 以外のいかなるトランザクションも、リセットイネーブル条件をクリアし、それ以降の SFRST_0_0 トランザクションが認識されないようにします。

SRSTE_0_0 トランザクションの直後にリセット (SFRST_0_0) トランザクションを実行することで、ソフトウェアリセットプロセスは開始します。ソフトウェアリセット中にデバイスの揮発性と不揮発性のコンフィギュレーション状態が同じである限り、ステータスレジスタ1の RDSR1_0_0 と RDARG_C_0 のみがサポートされます。ソフトウェアリセット中にコンフィギュレーション状態が変更された場合、ステータスレジスタ1の読み出しはソフトウェアリセット期間が経過した後にのみ行う必要があります。

ソフトウェアリセットは RESET# の状態に依存しません。RESET# が HIGH または未接続のときにソフトウェアリセットトランザクションが発行された場合、デバイスはソフトウェアリセットを実行します。

レガシーソフトウェアリセット (SFRSL_0_0) は、ソフトウェアリセットプロセスを開始する単一のトランザクションです。このコマンドはデフォルトで無効になっていますが、インフィニオンのレガシーデバイスとのソフトウェア互換性を実現するために、CFR3V[0] を「1」にプログラムすることで有効にできます。

4.12.4.1 ソフトウェアリセットに関連レジスタとトランザクション

Table 37 消去に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
該当なし	ソフトウェアリセットイネーブル (SRSTE_0_0)	ソフトウェアリセットイネーブル (SRSTE_0_0)
	ソフトウェアリセット (SFRST_0_0)	ソフトウェアリセット (SFRST_0_0)
	レガシーソフトウェアリセット (SFRSL_0_0)	レガシーソフトウェアリセット (SFRSL_0_0)

機能

4.12.5 リセット動作

Table 38 リセット動作

トランザクション/ レジスタ名	POR	ハードウェアリセットと CS# シグナリングリセット	ソフトウェアリセット
まとめ	・ デバイスはリセットします。 ・ ステータス ビットはリセットします。 ・ すべての揮発性レジスタはリセットします。 ・ コンフィギュレーションはデフォルトに再ロードします。 ・ 揮発性保護はデフォルトにリセットします。 ・ 不揮発性保護は変化しません。 ・ すべての組込み動作はリセットします。	・ デバイスはリセットします。 ・ ステータス ビットはリセットします。 ・ すべての揮発性レジスタはリセットします。 ・ コンフィギュレーションはデフォルトに再ロードします。 ・ 揮発性保護はデフォルトにリセットします。 ・ 不揮発性保護は変化しません。 ・ すべての組込み動作はリセットします。	・ デバイスはリセットします。 ・ ステータス ビットはリセットします。 ・ コンフィギュレーションはデフォルトに再ロードします。 ・ 揮発性保護はデフォルトにリセットします。 ・ 不揮発性保護は変化しません。 ・ すべての組込み動作はリセットします。
インターフェース要件	・ すべての入力は無視されます。 ・ すべての出力はトライステートになります。	・ すべての入力は無視されます。 ・ すべての出力はトライステートになります。	トランザクション (SRSTE_0_0、SFRST_0_0)
ステータス レジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。
コンフィギュレーション レジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。
保護レジスタ	PPB ロック レジスタは ASPO[2:1] に基づいてロードします。	PPB ロック レジスタは ASPO[2:1] に基づいてロードします。	PPB ロック レジスタは変化しません。
	DYB アクセス レジスタは ASPO[4] に基づいてロードします。	DYB アクセス レジスタは ASPO[4] に基づいてロードします。	DYB アクセス レジスタは変化しません。
	パスワード レジスタは ASPO[2] および ASPO[0] に基づいてロードします。	パスワード レジスタは ASPO[2] および ASPO[0] に基づいてロードします。	パスワード レジスタは変化しません。
ECC ステータス レジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
データ学習パターン レジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
オートブート レジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
データ整合性チェック レジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
ECC エラー カウント レジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
アドレストラップ レジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
インフィニオン Endurance Flex アーキテクチャレジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
I/O モード	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
進行中のメモリ / レジスタ消去	該当なし	消去を中止します。	消去を中止します。
進行中のメモリ / レジスタプログラム	該当なし	プログラムを中止します。	プログラムを中止します。
進行中のメモリ / レジスタ読み出し	該当なし	読み出しを中止します。	該当なし

4.13 電力モード

4.13.1 アクティブ電力モードとスタンバイ電力モード

チップセレクト (CS#) が LOW のとき、デバイスは有効になり、アクティブ電力モードに入ります。CS# が HIGH になると、デバイスは無効になりますが、プログラム / 消去 / 書き込み動作が完了するまではアクティブ電力モードのままです。その後、デバイスはスタンバイ電力モードに移行し、消費電力は I_{SB} に低下します。パラメーター仕様は、Table 82 を参照してください。

4.13.2 ディープパワーダウン (DPD) モード

通常動作時のスタンバイ電流は比較的低いですが、DPD モードを使うとさらにスタンバイ電流を減らせます。低い消費電力により、DPD モードは特にバッテリー駆動アプリケーションに役立ちます。

4.13.2.1 DPD 開始

デバイスは DPD モードを開始するには 2 つの方法があります。

1. トランザクションによる DPD モード開始
2. 電源投入またはリセットによる DPD モード開始

ディープパワーダウンモード開始トランザクションによる DPD モード開始

DPD モードは、ディープパワーダウンモード開始トランザクション (ENDDPD_0_0) を送信して t_{ENTDPD} の遅延時間待機することで有効にされます。コマンドバイトがラッチされた後に、CS# ピンを HIGH に駆動する必要があります。そうしないと、DPD トランザクションは実行されません。CS# が HIGH に駆動された後、 t_{ENTDPD} の期間内にパワーダウン状態に入り (タイミング仕様は [Table 84](#) を参照してください)、消費電力が I_{DPD} に低下します。パラメーター仕様は、[Table 82](#) を参照してください。

デバイスは、アイドル状態からのみ DPD に移行します。DPD トランザクションは、デバイスが組み込みアルゴリズムを実行していないときにのみ受け入れられます。揮発性ステータスレジスタ 1 によって示されるように、デバイスレディ/ビジーステータスフラグ (RDYBSY) ビットは「0」にクリアされます (STR1V[0]=0)。 t_{ENTDPD} 時間中にデバイスにトランザクションを送信できません。

電源投入またはリセットによる DPD モード開始

DPDPOR コンフィギュレーションビットが有効 (CFR4NV[2]=1) になった場合、デバイスは、電源投入、ハードウェアリセットまたは CS# シグナリングリセットの完了後に、DPD モードに入ります。POR またはリセット中、[Figure 64](#) に示すように DPD モードに入るために CS# は VCC に印加された電圧に従う必要があります。 t_{ENTDPD} 時間中にデバイスにトランザクションを送信できません。

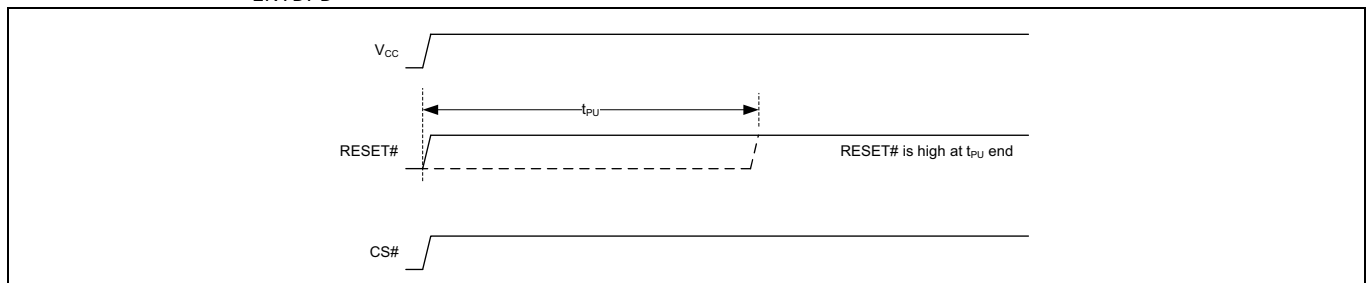


Figure 64 電源投入またはリセットによる DPD モード開始

4.13.2.2 DPD 終了

デバイスは DPD モードを終了するために以下の方法があります。

ハードウェアリセットによる DPD モード終了

デバイスが DPD モードおよび CFR4NV[2] が「0」のとき、ハードウェアリセットはデバイスをスタンバイモードに復帰させます。

CS# パルスによる DPD モード終了

デバイスは、パルス幅が t_{CSDPD} の CS# パルスを受信すると DPD モードを終了します。パルスの後に CS# を HIGH に駆動する必要があります。DPD 終了後にトランザクションサイクルを開始するために CS# の HIGH から LOW への遷移が必要です。DPD モードを終了するために t_{EXTDPD} を要します。デバイスは t_{EXTDPD} が経過するまで応答しません。

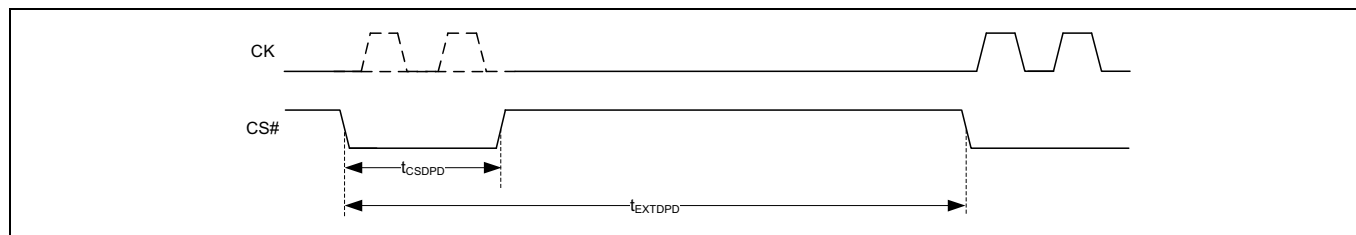


Figure 65 DPD モード終了

DPD 中にデバイスはコンフィギュレーションを維持する、すなわち、デバイスは DPD の開始時と同じ状態で DPD を終了します。ECC ステータス、ECC エラー検出カウンタ、アドレストラップ、割込みステータスレジスタなどのレジスタはクリアされます。

4.13.2.3 DPD に関連するレジスタとトランザクション

Table 39 消去に関連するレジスタとトランザクション

関連レジスタ	関連 SPI トランザクション (94 ページの Table 73 を参照してください)	関連クアッド SPI トランザクション (102 ページの Table 77 を参照してください)
コンフィギュレーションレジスタ 4 (CFR4N、CFR4V) (83 ページの Table 52 を参照してください)	ディープ パワー ダウン モード開始 (ENDPD_0_0)	ディープ パワー ダウン モード開始 (ENDPD_0_0)

4.14 電源投入と電源切断

電源投入と電源切断時に、以下のように V_{CC} が正しい値に達するまでデバイスを選択してはいけません。

- 電源投入時、そして、 t_{PU} の遅延時間の間 $V_{CC}(\min)$
- 電源切断時には V_{SS}

4.14.1 電源投入

デバイスは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の遅延時間が経過するまですべてのトランザクションを無視します (Figure 66 を参照してください)。ただし、 t_{PU} 中に V_{CC} が $V_{CC}(\min)$ 以下になった場合、デバイスの正常な動作は保証されません。 t_{PU} が経過するまで、トランザクションをデバイスに送信しないようにしてください。

デバイスは t_{PU} 中に I_{POR} 電流を消費します。電源投入 (t_{PU}) 後、WRPGEN ビットがリセットされ、デバイスは DPD モードまたはスタンバイ モードに入るオプションがあります。コンフィギュレーションレジスタ 4 の DPDPOR ビット (CFR4N[2]) は、POR 完了後にデバイスが DPD モードまたはスタンバイ モードのどちらになるかを制御します (Table 52 を参照してください)。DPDPOR ビットが有効 (CFR4N[2]=1) の場合、デバイスは電源投入後に DPD モードに入ります。POR 後にデバイスをスタンバイ モードに戻すには、ハードウェアリセット (RESET# と DQ3_RESET#) が必要です。

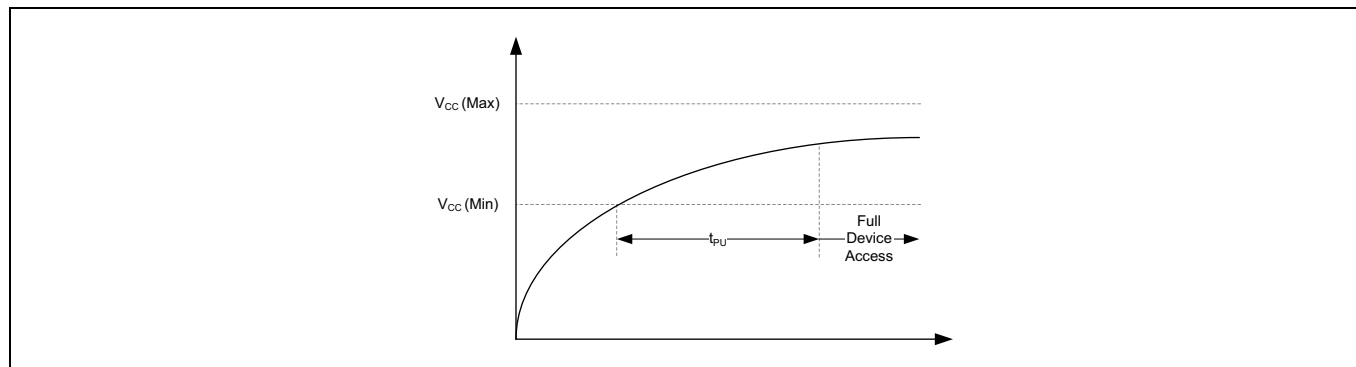


Figure 66 電源投入

4.14.2 電源切断

電源切断中または電圧が $V_{CC}(\text{cut-off})$ を下回っている間、電圧は t_{PD} 時間の間 $V_{CC}(\text{Low})$ を下回る必要があります。これにより、デバイスは電源投入時に正常に初期化できます (Figure 67 を参照してください)。電圧低下中に、 V_{CC} が $V_{CC}(\text{cut-off})$ を上回ったままの場合は、デバイスは初期化状態のままとなり、 V_{CC} が再度 $V_{CC}(\text{min})$ を上回ったとき、正常に動作します。電源投入後に POR が正常に完了しない場合、RESET# のアサート時に POR プロセスが再起動されます。

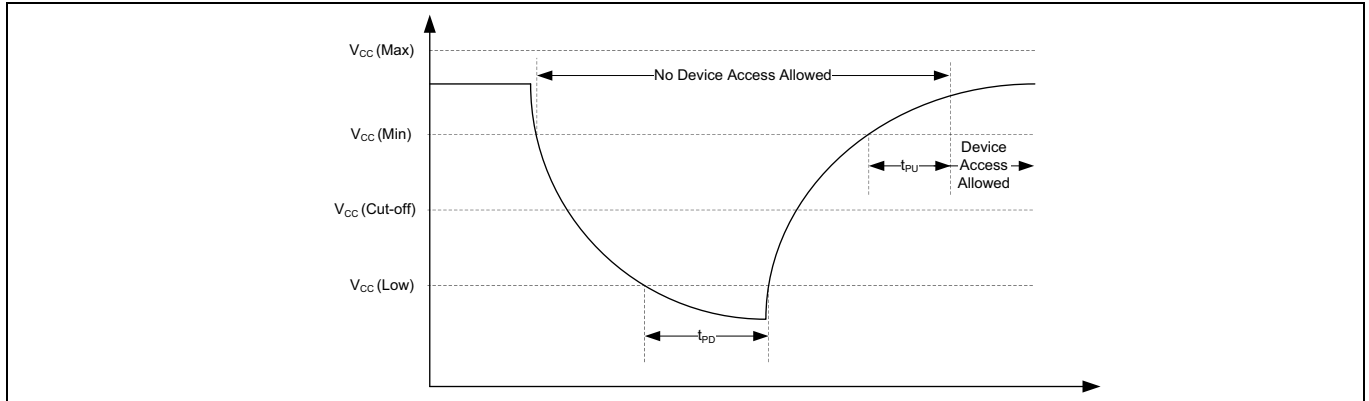


Figure 67 電源切断と電圧低下

5 レジスタ

レジスタは、デバイス動作の設定およびステータス報告のために使用される小さなストレージセルグループです。HL-T/HS-T デバイス ファミリは、レガシー互換性および新機能のために、個別の不揮発性と揮発性ストレージグループを使用して異なるレジスタビットタイプを実装します。各レジスタは、揮発性ビットと対応する不揮発性ビット (恒久的な保存が必要な場合) のグループとして構成されます。電源投入、ハードウェアリセットまたはソフトウェアリセットのとき、レジスタの不揮発性ビットのデータは揮発性ビットに転送され、揮発性ビットのデフォルト状態を提供します。レジスタの不揮発性ビットに新しいデータを書き込むと、揮発性ビットも新しいデータで更新されます。しかし、揮発性レジスタビットに新しいデータを書く込むと、不揮発性ビットは古いデータを保持します。レジスタ構造を [Figure 68](#) に示します。

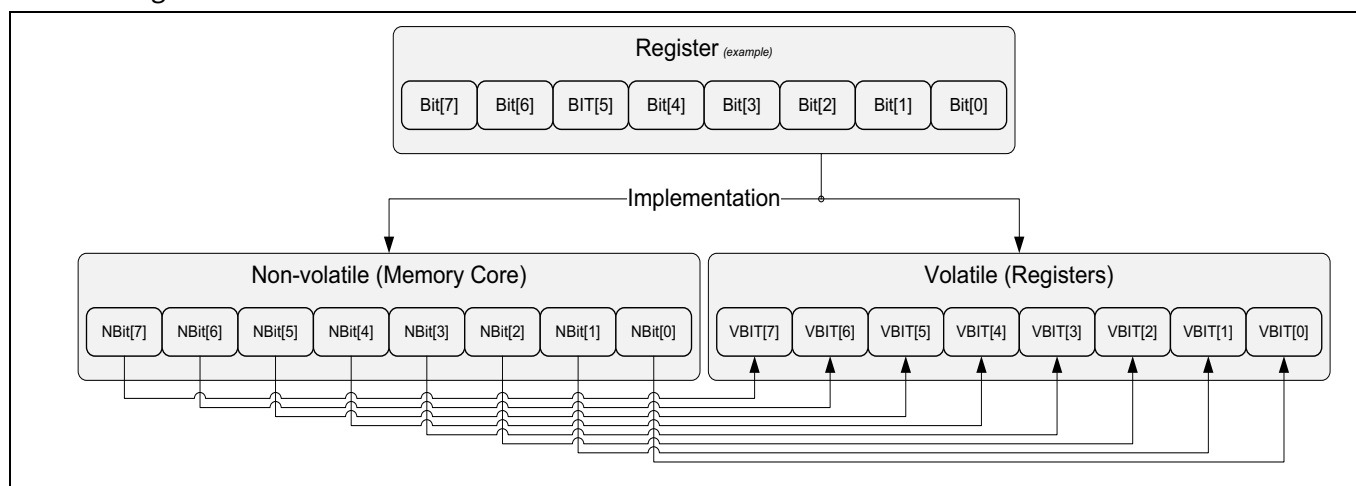


Figure 68 レジスタ構造

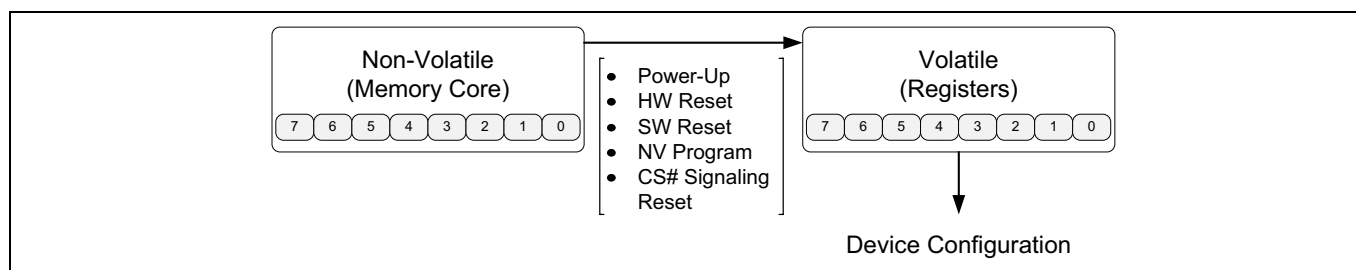


Figure 69 レジスタ要素内のデータ移動

レジスタ

5.1 レジスタ命名規則

Table 40 レジスタ ビットの表記法

ビット番号	名称	機能	読み出し / 書き込み (R/W)	工場出荷時設定 (2 進)	説明
REGNAME#T[x] T=N、V、O 降順	-	-	オプション: N/A-該当なし R-読み出し専用 R/W-読み出し / 書き込み R/1-読み出し / ワンタイム プログラマブル	オプション: 0 1	フォーマット: コンフィギュレーションビットの説明 0= ビットを「0」に選択するオプション 1= ビットを「1」に選択するオプション 依存性: このビットは実装に複数のビットを必要とする機能の一部ですか?

5.2 ステータス レジスタ 1 (STR1x)

ステータス レジスタ 1 はステータス ビットおよび制御ビットを含みます。Table 41 で、サポートされたステータス レジスタ 1 の機能を説明します。

Table 41 ステータス レジスタ 1^[22]

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
STR1N[7] STR1V[7]	STCFWR	ステータス レジスタ 1 およびコンフィギュレーションレジスタ 1、2、3、4 の書き込み保護の選択 (消去 / プログラム)	N->R/W V->R/W	0	説明: STCFWR ビットはシングル SPI モードで WP# (書き込み保護ピン) に基づいてステータス レジスタ 1 とコンフィギュレーションレジスタ 1、2、3、4 への書き込み (消去 / プログラム) の有効および無効を選択します。WP# LOW で STCFWR ビットが有効になると、ステータス レジスタまたはコンフィギュレーションレジスタを変更するトランザクションは無視され、デバイスが効果的にロックされます。WP#/DQ[2] が HIGH (STCFWR に無関係) の場合、ステータスおよびコンフィギュレーションレジスタは変更できません。 選択オプション: 1=WP# に基づく保護は有効です。 0=WP# に基づく保護は無効です。 依存性: 該当なし
STR1V[6]	PRGERR	プログラム エラーステータス フラグ	V->R	0	説明: PRGERR ビットはプログラム動作の成功または失敗を示します。PRGERR ビットが「1」の場合、最後のプログラム動作にエラーがあったことを示します。PRGERR ビットは保護されたメモリ領域でプログラム動作が行われたときにもセットされます。PRGERR がセットされている場合、プログラムおよび消去失敗フラグクリアトランザクションまたはハードウェア / ソフトウェアのリセットでのみクリアできます (Table 42 を参照してください)。注: デバイスは PRGERR フラグがクリアされた場合にのみスタンバイモードになります。 選択オプション: 0= 前回のプログラム動作は成功しました。 1= 前回のプログラム動作は成功しませんでした。 依存性: 該当なし
STR1V[5]	ERSERR	消去エラー ステータス フラグ	V->R	0	説明: ERSERR ビットは消去動作の成功または失敗を示します。ERSERR ビットが「1」にセットされたとき、最終の消去動作にエラーがあったことを示します。ERSERR ビットは保護されたメモリセクタで消去動作が行われたときにもセットされます。ERSERR がセットされている場合、プログラムおよび消去失敗フラグクリアトランザクションまたはハードウェア / ソフトウェアのリセットでのみクリアできます (Table 43 を参照してください)。注: デバイスは、ERSERR フラグがクリアされた場合にのみスタンバイモードに入ります。 選択オプション: 0= 前回の消去動作は成功しました。 1= 前回の消去動作は成功しませんでした。 依存性: 該当なし

注

22. POR、ハードウェアリセット、ソフトウェアリセット、DPD 終了、および CS# シグナリングリセット中の STR1x の値は無効です。

レジスタ

Table 41 ステータスレジスタ 1^[22] (続き)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
STR1N[4:2] STR1V[4:2]	LBPROT[2:0]	メモリ アレイ サイズ選択に基づくレガシーブロック保護	PLPROT=0 の場合 N->R/W V->R/W PLPROT=1 の場合 N->R V->R	000	説明: LBPROT[2:0] ビットはプログラムおよび消去トランザクションから保護されるメモリ アレイ サイズを定義します。LBPROT[2:0] コンフィギュレーションに基づき、上位 1/64、1/4、1/2 など、または下位 1/64、1/4、1/2 など、またはアレイ全体が保護されます。 注: レガシーブロック保護および 4KB セクタアーキテクチャの恒久的ロック選択である PLPROT ビットが「1」の場合、LBPROT[2:0] ビットは消去またはプログラムされません。 選択オプション: 000= 保護は無効です。 001= 上位 / 下位 1/64 のアレイ保護は有効です。 010= 上位 / 下位 1/32 のアレイ保護は有効です。 111= すべてのセクタは保護されます。 依存性: TBPROT (CFR1x[5])
STR1V[1]	WRPGEN	書き込み / プログラム イネーブル ステータス フラグ	V->R	0	説明: WRPGEN ビットに「1」をセットし、すべてのプログラム、消去またはレジスタ書き込み動作を有効にします。これにより、メモリやレジスタ値を誤って変更することを防げます。書き込み イネーブルおよび揮発性レジスタ書き込みイネーブルのトランザクションは WRPGEN ビットを「1」に設定し、プログラム、消去または書き込みトランザクションの実行を許可します。書き込み ディセーブル (WRDIS_0_0) トランザクションは WRPGEN を「0」にリセットし、プログラム、消去および書き込みトランザクションの実行をすべて禁止します。WRPGEN ビットは、プログラム、消去またはレジスタ書き込み動作が正常に終了すると、「0」にクリアされます。電源切断 / 電源投入シーケンスまたはハードウェア / ソフトウェアリセットの後、ディープパワーダウン WRPGEN ビットは「0」にクリアされます。 選択オプション: 0= プログラム / 消去 / レジスタ書き込みは無効です。 1= プログラム / 消去 / レジスタ書き込みは有効です。 依存性: 該当なし
STR1V[0]	RDYBSY	デバイスレディ / ビジー ステータス フラグ	V->R	0	説明: RDYBSY ビットはデバイスが組み込み動作を実行している、またはスタンバイモードで新しいトランザクションを受け入れる準備ができていることを示します。 注: RDYBSY がセットされている間、PRGERR および ERSERR ステータスビットは更新されます。PRGERR または ERSERR がセットされている場合、RDYBSY ビットはセットしたままで、デバイスがビジーであり、新しいトランザクションが受け入れられないことを示します。プログラムおよび消去失敗フラグクリアトランザクションはデバイスをスタンバイモードに戻すために実行する必要があります。 選択オプション: 0= デバイスはスタンバイモードにあり、新しい動作トランザクションを受け入れられます。 1= デバイスはビジーであり、新しい動作トランザクションを受け入れられません。 依存性: 該当なし

注

22. POR、ハードウェアリセット、ソフトウェアリセット、DPD 終了、および CS# シグナリングリセット中の STR1x の値は無効です。

Table 42 PRGERR のまとめ

エラーフラグ	記号	条件
プログラムエラー	PRGERR	ビットを「1」から「0」にプログラムできない
		保護領域をプログラムしようとする試み
		ASP0[2] または ASP0[1] が 0 の場合、CFR1N[6:2]/CFR1V[6:2] の値を変更しようとする不揮発性レジスタの書き込み
		パスワード保護モードが選択され、ASP パスワードレジスタ更新トランザクションが実行された後
		セーフブート失敗
		コンフィギュレーション失敗

Table 43 ERSERR のまとめ

エラー フラグ	記号	条件
消去エラー	ERSERR	セクタデバイス消去 - すべてのビットを「1」に消去できません。
		保護領域を消去しようとする試み
		レジスタ消去 - レジスタ書き込みの消去部分中にすべてのビットを「1」に消去できません。
		セーフブート失敗

5.3 ステータス レジスタ 2 (STR2x)

ステータス レジスタ 2 はデバイスの動作時のステータスを提供します。Table 44 で、サポートされたステータス レジスタ 2 の機能を説明します。

Table 44 ステータス レジスタ 2^[23]

ビット 番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷 時設定 (2 進)	説明
STR2V[7:5]	RESRVD	将来使用するために予約済み	V->R	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
STR2V[4]	DICRCS	メモリ アレイ データ整合性巡回冗長検査一時停止ステータスフラグ	V->R	0	説明: DICRCS ビットは、デバイスがメモリ アレイ データ整合性巡回冗長検査一時停止モードに入っているかどうかを判断するために使用されます。 選択オプション: 0= メモリ アレイ データ整合性巡回冗長検査が一時停止モードではありません。 1= メモリ アレイ データ整合性巡回冗長検査が一時停止モードです。 依存性: 該当なし
STR2V[3]	DICRCA	メモリ アレイ データ整合性巡回冗長検査中止ステータスフラグ	V->R	0	説明: DICRCA ビットはメモリ アレイ データ整合性巡回冗長検査演算が中止されたことを示します。中止条件は終了アドレス (ENDADD) と開始アドレス (STRADD) の関係に基づきます。[ENDADD<STRADD+3] の場合、DICRCA はセットされ、デバイスはスタンバイ状態に戻ります。[ENDADD≥STRADD+3] の場合、DICRCA フラグは次のデータ整合性巡回冗長検査動作でクリアされます。 選択オプション: 0= メモリ アレイ データ整合性巡回冗長検査演算は中止されていません。 1= メモリ アレイ データ整合性巡回冗長検査演算は中止されています。 依存性: 該当なし
STR2V[2]	SESTAT	セクタ消去成功 / 失敗ステータスフラグ	V->R	0	説明: SESTAT ビットはセクタでの消去動作が正常に完了したかどうかを示します。消去ステータス判定トランザクションはセクタアドレスを指定する SESTAT ビットを読み出す前に実行する必要があります。 選択オプション: 1= アドレス指定したセクタは正常に消去されました。 0= アドレス指定したセクタは正常に消去されていません。 依存性: 該当なし

注

23. STR2x 値は、POR、ハードウェアリセット、ソフトウェアリセット、DPD 終了、および CS# シグナリングリセット中は、無効です。
STR2x ビットは STR1V[0]/RDYBSY が 0 のときにのみ有効です。

Table 44 ステータスレジスタ 2^[23] (続き)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
STR2V[1]	ERASES	消去動作一時停止ステータスフラグ	V->R	0	説明: ERASES ビットは消去動作が一時停止されているかどうかを示すために使用されます。 選択オプション: 0= 消去動作は一時停止モードではありません。 1= 消去動作は一時停止モードです。 依存性: 該当なし
STR2V[0]	PROGMS	プログラム動作一時停止ステータスフラグ	V->R	0	説明: PROGMS ビットはプログラム動作が一時停止されているかどうかを示すために使用されます。 選択オプション: 0= プログラム動作は一時停止モードではありません。 1= プログラム動作は一時停止モードです。 依存性: 該当なし

注

23. STR2x 値は、POR、ハードウェアリセット、ソフトウェアリセット、DPD 終了、および CS# シグナリングリセット中は、無効です。
STR2x ビットは STR1V[0]/RDYBSY が 0 のときにのみ有効です。

5.4 コンフィギュレーションレジスタ 1 (CFR1x)

コンフィギュレーションレジスタ 1 はインターフェースとデータ保護機能を制御します。

Table 45 コンフィギュレーションレジスタ 1

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR1N[7] CFR1V[7]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
CFR1N[6] CFR1V[6]	SP4KBS	最上位と最下位のアドレス空間の間での 4KB セクタの分割	PLPROT=0 の場合 N->R/W V->R PLPROT=1 の場合 N->R V->R	0	説明: SP4KBS ビットは 4KB セクタがグループ化されるか、または上位と下位のアドレス範囲で均等に分割されるかを選択します (Table 46 を参照してください)。 選択オプション: 0=4KB セクタは一緒にグループ化されます。 1=4KB セクタは上位アドレスと下位アドレスの間で分割されます。 依存性: TB4KBS (CFR1N[2])
CFR1N[5] CFR1V[5]	TBPROT	レガシー保護モードにおける最上部または最下部の保護の選択	PLPROT=0 の場合 N->R/W V->R PLPROT=1 の場合 N->R V->R	0	説明: TBPROT ビットはステータスレジスタのレガシーブロック保護ビット (LBPROT[2:0]) の参照ポイントを選択し、保護がアドレス範囲の最上部から開始するか、または最下部から開始するかを決定します。 また、このビットは読み出し可能にするメモリ アドレス範囲 (最下位または最上位) も選択し、パスワード入力成功の前でもパスワード読み出し保護モード中に読み出せます (Table 47 を参照してください)。 選択オプション: 0= レガシー保護はアドレス範囲の上位半分に適用されます。 1= レガシー保護はアドレス範囲の下位半分に適用されます。 依存性: LBPROT[2:0] (STR1x[3:1])
CFR1N[4] CFR1V[4]	PLPROT	レガシーブロック保護および 4KB セクタアーキテクチャの恒久的ロック選択	N->R/1 V->R	0	説明: PLPROT ビットは恒久的にレガシーブロック保護と 4KB セクタを保護します。これによって、メモリアレイ保護スキームおよびセクタアーキテクチャを恒久的に保護します (Table 47 を参照してください)。 注: PLPROT は LBPROT[2:0]、SP4KBS、TBPROT および TB4KBS ビットをプログラムと消去から保護します。PLPROT ビットを設定する前に、これらのビットを設定することを推奨します。 選択オプション: 0= レガシーブロック保護および 4KB セクタは保護されません。 1= レガシーブロック保護および 4KB セクタは保護されます。 依存性: 該当なし

Table 45 コンフィギュレーションレジスタ 1 (続き)

ビット 番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR1N[3] CFR1V[3]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
CFR1N[2] CFR1V[2]	TB4KBS	4KB セクタ ブロック用の最上位または最下位アドレス範囲の選択	PLPROT=0 の場合 N->R/W V->R PLPROT=1 の場合 N->R V->R	0	説明: TB4KBS ビットは 4KB セクタ ブロックの論理アドレス位置を定義します。4KB セクタ ブロックは最上位または最下位アドレス セクタの該当領域を置き換えます (Table 46 を参照してください)。 選択オプション: 0=4KB セクタ ブロックはメモリ アドレス空間の最下部にあります。 1=4KB セクタ ブロックはメモリ アドレス空間の最上部にあります。 依存性: SP4KBS (CFR1x[6])
CFR1N[1] CFR1V[1]	QUADIT	クアッド SPI インターフェース選択 - I/O 幅を 4 ビットに設定 (1-1-4、1-4-4)	N->R/W V->R/W	0	説明: QUADIT ビットはデバイスの I/O 幅を選択します。4 ビット (クアッド) に設定されると、WP# は DQ2 に、DQ3_RESET# は DQ3 になります。QUADIT トランザクションではオペコードがシングル I/O で、アドレスがシングルまたは 4 つのすべての I/O で、データは常に 4 つのすべての I/O で送信する必要があります。 選択オプション: 0= データ幅を 1 または 2 ビット幅に設定します (1x-シングル、2x-デュアル)。 1= データ幅を 4 ビット幅に設定します (4x-クアッド)。 依存性: 該当なし
CFR1N[0] CFR1V[0]	TLPROT	レガシー ブロック保護とセクタ アーキテクチャの一時的ロック選択	N->R V->R/W	0	説明: TLPROT ビットは一時的にレガシーブロック保護と 4KB セクタを保護します。電源投入時またはハードウェアリセットで、TLPROT はデフォルト状態に設定されます。選択されると、メモリ アレイ保護方式とセクタ アーキテクチャを変更されないよう保護します。 注: TLPROT は LBPROT[2:0]、SP4KBS、TBPROT および TB4KBS ビットをプログラムと消去から保護します。 選択オプション: 0= レガシー ブロック保護および 4KB セクタは保護されません。 1= レガシー ブロック保護および 4KB セクタは一時的に保護されます。 依存性: 該当なし

Table 46 4KB パラメーター セクタ位置の選択

SP4KBS	TB4KBS	4KB 位置
0	0	4KB 物理セクタは最下部 (下位アドレス) にあります。
0	1	4KB 物理セクタは最上部 (上位アドレス) にあります。
1	X	4KB パラメーター セクタは最上部 (上位アドレス) と最下部 (下位アドレス) の間で分割されます。

Table 47 PLPROT と TLPROT 保護

PLPROT	TLPROT	アレイ保護と 4K セクタ
0	0	非保護 (ロック解除)
1	x	TBPROT、LBPROTx、SP4KBS、TB4KBS: 恒久的に保護 (ロック) されます。
0	1	TBPROT、LBPROTx、SP4KBS、TB4KBS: 次の電源切断まで保護 (ロック) されます。

5.5 コンフィギュレーションレジスタ 2 (CFR2x)

コンフィギュレーションレジスタ 2 は、インターフェース、メモリ読み出しレイテンシおよびアドレスバイト長の選択を制御します。

Table 48 **コンフィギュレーションレジスタ 2**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR2N[7] CFR2V[7]	ADRBYT	命令用の 3 または 4 バイトのアドレスバイト長選択	N->R/W V->R/W	0	説明: ADRBYT ビットはアドレスを必要とするすべての命令で期待するアドレス長を制御し、3 または 4 バイトのどちらかに選択できます。 選択オプション: 0= 命令は 3 バイト アドレスを使用します。 1= 命令は 4 バイト アドレスを使用します。 依存性: 該当なし
CFR2N[6] CFR2V[6]	QPI-IT	QPI インターフェースとプロトコル選択 - I/O 幅は 4 ビットに設定 (4-4-4)	N->R/W V->R/W	0	説明: QPI-IT ビットはデバイスの I/O 幅を 4 ビット幅に選択します。4 ビット (QPI-IT、QUADIT) に設定されると、WP# は DQ2 に、DQ3_RESET# は DQ3 になります。QPI-IT トランザクションは、オペコード、アドレスおよびデータが常にすべての 4 つの I/O で送信を必要とします。 選択オプション: 0= データ幅は 1 または 2 ビット幅 (1x-シングル、2x-デュアル)-レガシー プロトコル 1= データ幅は 4 ビット幅 (4x-クアッド)-QPI プロトコル 依存性: 該当なし
CFR2N[5] CFR2V[5]	DQ3RST	DQ3 での DQ3 と RESET の選択 - I/O#3 の多重動作	N->R/W V->R/W	0	説明: DQ3RST ビットは DQ3 信号で RESET# 動作を制御します。有効である場合、CS# が HIGH の間に DQ3 が LOW になると、ハードウェアリセットが実行されます。この DQ3 の多重化機能は QUADIT または QPI-IT インターフェースモードが有効な場合にのみ使用できます。QUADIT または QPI-IT モードが無効である場合、DQ3 は専用の RESET# ピンになります。 選択オプション: 0=DQ3 は非多重化 RESET# 機能です。 1=CS# が HIGH であり、DQ3 が LOW になると、ハードウェアリセットを実行します。 依存性: 該当なし
CFR2N[4] CFR2V[4]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	これらのビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
CFR2N[3:0] CFR2V[3:0]	MEMLAT[3:0]	メモリ アレイ読み出しレイテンシの選択 - 初期データアクセスに必要なダミーサイクル	N->R/W V->R/W	1000	説明: MEMLAT[3:0] ビットはすべての可変レイテンシメモリアレイおよび不揮発性レジスタ読み出しトランザクションにおける読み出しレイテンシ (ダミーサイクル) 遅延を制御します。MEMLAT により、異なる動作周波数に応じて通常動作での読み出しレイテンシを調整できます (Table 49 を参照してください)。 選択オプション: 0000= トランザクション オペコードに基づいて 0 レイテンシサイクルを選択します。 1111= トランザクション オペコードに基づいて 15 レイテンシサイクルを選択します。 依存性: 該当なし

Table 49 レイテンシコード (サイクル) と周波数 [24、25、26、28]

レイテンシ コード/ サイクル	読み出しトランザクション最大周波数 (MHz)					
	RDAY2_C_0 (1-1-1) RDSSR_C_0 (1-1-1) RDECC_C_0 (1-1-1) RDECC_4_0 (1-1-1) RDARG_C_0 (1-1-1) ^[27] RDAY4_C_0 (1-1-4) RDAY4_4_0 (1-1-4) RDPPB_C_0 (1-1-1) RDPPB_4_0 (1-1-1)	RDAY2_4_0 (1-1-1)	RDAY3_C_0 (1-2-2) RDAY3_4_0 (1-2-2)	RDAY2_4_0 (4-4-4) RDAY5_4_0 (4-4-4) RDAY5_C_0 (4-4-4) RDAY5_C_0 (1-4-4) RDAY5_4_0 (1-4-4) RDPPB_C_0 (4-4-4) RDPPB_4_0 (4-4-4)	RDSSR_C_0 (4-4-4) ^[29] RDARG_C_0 (4-4-4) ^[27] RDECC_C_0 (4-4-4) RDECC_4_0 (4-4-4)	RDAY7_C_0 (1-4-4) RDAY7_4_0 (1-4-4) RDAY7_C_0 (4-4-4) RDAY7_4_0 (4-4-4)
	モード サイクル=0	モード サイクル=8	モード サイクル=4	モード サイクル=2	モード サイクル=0	モード サイクル=1
0	50	156	81	43	18	該当なし
1	68	166	93	56	31	該当なし
2	81	166	106	68	43	43
3	93	166	118	81	56	56
4	106	166	131	93	68	68
5	118	166	143	106	81	81
6	131	166	156	118	93	93
7	143	166	166	131	106	102
8 (デフォルト)	156	166	166	143	118	102
9	166	166	166	156	131	102
10	166	166	166	166	143	102
11	166	166	166	166	156	102
12	166	166	166	166	166	102
13	166	166	166	166	166	102
14	166	166	166	166	166	102
15	166	166	166	166	166	102

- 注
24. ECC エラー レポート メカニズムを使用する場合、正しい ECC レポートのために出力読み出しデータは少なくとも 2 バイトである必要があります。
25. CK 周波数が 166MHz より大きい SDR または 102MHz より大きい DDR はこのデバイス ファミリでサポートされません。
26. 高速読み出し 4 バイト アドレス、QPI、デュアル I/O、クアッド I/O、QPI、DDR クアッド I/O および DDR QPI プロトコルは、アドレスに続いて連続読み出しモード ビットが含まれます。ビットのクロック サイクルはこの表に示されるレイテンシ サイクルの一部として計算されません。例えば、レガシー クアッド I/O トランザクションはアドレスに続いて 2 つの連続読み出しモード サイクルを持ちます。したがって、追加の読み出しレイテンシがないレガシー クアッド I/O トランザクションは、0 サイクル読み出しレイテンシのためにこの表に示す周波数までのみサポートされます。可変読み出しレイテンシを増やすと、クアッド I/O トランザクションの周波数は最大周波数 (166MHz) の動作に対応できるまで増やせます。
27. 任意レジスタ読み出しトランザクションは不揮発性レジスタ読み出しのためにこれらのレイテンシ サイクルを使用します。
28. SFDP 読み出しトランザクションは常に 8 ダミー サイクルおよび 8 ダミー サイクルに応じる異なるインターフェースの最大周波数があります。固有 ID 読み出しは 32 サイクルレイテンシを持ちます。
29. セキュア シリコン読み出し (4-4-4) レイテンシ サイクルは 0 より大きいです。

5.6 コンフィギュレーションレジスタ 3 (CFR3x)

コンフィギュレーションレジスタ 3 はトランザクション動作を制御します。

Table 50 **コンフィギュレーションレジスタ 3**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR3N[7:6] CFR3V[7:6]	VRGLAT[1:0]	揮発性レジスタ読み出しレイテンシ選択 - 初期データアクセスに必要なダミー サイクル	N->R/W V->R/W	00	説明: VRGLAT[1:0] ビットはすべての可変レイテンシのレジスタ読み出しトランザクションでの読み出しレイテンシ (ダミー サイクル) を制御します。VRGLAT[1:0] により、異なる動作周波数に応じて通常動作での読み出しレイテンシは調整できます (Table 51 を参照してください)。 選択オプション: トランザクション オペコードに基づいて 00, 01, 10, 11 レイテンシ サイクルを選択します。 依存性: 該当なし
CFR3N[5] CFR3V[5]	BLKCHK	耐久性を向上させるための消去動作中のブランク チェック選択	N->R/W V->R/W	0	説明: この機能を有効にすると、消去トランザクションは最初にセクタの消去状態を判断します。セクタが消去されている場合、消去動作は中止されます。言い換えると、消去動作は、プログラムされたビットがセクタで検出された場合にのみ実行されます。BLKCHK を無効にすると、消去動作が無条件に実行されます。 選択オプション: 0= ブランク チェックは消去動作前に無効にされます。 1= ブランク チェックの判定は消去動作実行前に有効にされます。 依存性: 該当なし
CFR3N[4] CFR3V[4]	PGMBUF	プログラム バッファ サイズ選択	N->R/W V->R/W	0	説明: PGMBUF ビットはページ プログラムに使用されるプログラム バッファ サイズを選択します。プログラム バッファ サイズはデバイス プログラム時間に影響します。 注: プログラム データがプログラム バッファ サイズを越えると、データはラップされます。 選択オプション: 0=256 バイト書き込みバッファ サイズ 1=512 バイト書き込みバッファ サイズ 依存性: 該当なし
CFR3N[3] CFR3V[3]	UNHYSA	ユニフォーム / ハイブリッドセクタのアーキテクチャ選択	N->R/W V->R	0	説明: UNHYSA ビットはユニフォーム (全セクタが 256KB) またはハイブリッド (4KB セクタと 256KB セクタの組合せ) セクタアーキテクチャのどちらかを選択します。ハイブリッドセクタアーキテクチャを選択した場合、4KB セクタブロックはメインフラッシュ アレイ アドレス マップの一部になります。4KB セクタブロックはデバイスの最上位または最下位のアドレス範囲のいずれかを重ねられます。ユニフォームセクタアーキテクチャを選択した場合、4KB セクタブロックはアドレス マップから削除され、すべてのセクタはユニフォーム サイズになります。 注: ハイブリッドセクタアーキテクチャは 4KB セクタ消去トランザクション (20h) も有効にします。そうでない場合、4KB セクタ消去トランザクションは、発行されると、デバイスによって無視されます。 選択オプション: 0= ハイブリッドセクタアーキテクチャ (4K セクタと 256KB セクタの組合せ) 1= ユニフォームセクタアーキテクチャ (すべては 256KB セクタ) 依存性: SP4KBS (CFR1N[6])、TB4KBS (CFR1N[2])
CFR3N[2] CFR3V[2]	CLSRSM	ステータス クリアまたは 30h トランザクション再開の選択	N->R/W V->R/W	0	説明: CLSRSM ビットはデバイスの 30h トランザクションの使用方法を選択します。CLSRSM は 30h トランザクションをステータス クリア トランザクションとして使用するか、代替のプログラム / 消去 / データ整合性チェックの再開トランザクションとして使用するかを制御します。 選択オプション: 0= ステータス レジスタ クリア トランザクション 1= プログラム / 消去 / データ整合性チェックの再開トランザクション 依存性: 該当なし
CFR3N[1] CFR3V[1]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。

レジスタ

Table 50 コンフィギュレーションレジスタ 3 (続き)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR3N[0] CFR3V[0]	LSFRST	レガシーソフトウェアリセットトランザクション F0h の選択	N->R/W V->R/W	0	説明: LSFRST ビットはソフトウェアリセットトランザクションを選択します。これはソフトウェアリセット用のレガシー F0h シングルトランザクションを許可します。 選択オプション: 0= レガシーソフトウェアリセットは無効です。 1= レガシーソフトウェアリセットは有効です。 依存性: 該当なし

Table 51 レジスタレイテンシコード (サイクル) と周波数 [30, 32]

レイテンシコード	周波数	レジスタ高速読み出し (アドレス無し)	通常のレジスタ読み出し (アドレス無し)	通常のレジスタ読み出し (アドレス付き)
		RDSR1_0_0 (1-1-1) RDSR1_0_0 (4-4-4) RDSR2_0_0 (1-1-1) RDCL1_0_0 (1-1-1) RDDLP_0_0 (1-1-1) RDIDN_0_0 (1-1-1) RDIDN_0_0 (4-4-4) RDPLB_0_0 (1-1-1) RDQID_0_0 (1-4-4, 4-4-4)	RDSR2_0_0 (4-4-4) RDCL1_0_0 (4-4-4) RDDLP_0_0 (4-4-4) RDPLB_0_0 (4-4-4)	RDDYB_C_0 (1-1-1) (4-4-4) RDDYB_4_0 (1-1-1) (4-4-4) RDARG_C_0 ^[31] (1-1-1) (4-4-4)
00 (デフォルト)	50MHz	0	0	0
01	133MHz	0	1	1
10	133MHz	1	1	1
11	166MHz	2	2	2

注
30. CK 周波数が 166MHz より大きい SDR または 102MHz より大きい DDR はこのデバイス ファミリでサポートされません。
31. 任意レジスタ読み出しトランザクションは揮発性レジスタ読み出しのためにこれらのレイテンシサイクルを使用します。
32. SFDP 読み出しトランザクションは常に 8 ダミーサイクルおよび 8 ダミーサイクルに応じる異なるインターフェースの最大周波数があります。固有 ID 読み出しは 32 サイクルレイテンシを持ちます。

5.7 コンフィギュレーションレジスタ 4 (CFR4x)

コンフィギュレーションレジスタ 4 はメインフラッシュアレイの読み出しトランザクションのバーストラップトランザクションおよび出力ドライバインピーダンスを制御します。

Table 52 コンフィギュレーションレジスタ 4

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR4N[7:5] CFR4V[7:5]	IOIMPD[2:0]	I/O ドライバ出力インピーダンス選択	N->R/W V->R/W	000	説明: IOIMPD[2:0] ビットは IO ドライバ出力インピーダンス (駆動強度) を選択します。出力インピーダンスコンフィギュレーションビットは、システム信号の整合性要件を満たすために、通常のデバイス動作中の駆動強度を調整します。 選択オプション: 000=45Ω (工場出荷時設定) 001=120Ω 010=90Ω 011=60Ω 100=45Ω 101=30Ω 110=20Ω 111=15Ω 依存性: 該当なし

Table 52 コンフィギュレーションレジスタ 4 (続き)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR4N[4] CFR4V[4]	RBSTWP	バースト ラップ読み出しインエーブル選択	N->R/W V->R/W	0	説明: RBSTWP ビットはバースト ラップ読み出し機能を選択します。これにより、デバイスは通常動作中にバースト ラップ読み出しモードになるかまたは終了します。ラップ長は RBSTWL[1:0] ビットにより選択されます。 選択オプション: 0= バースト ラップ読み出しは無効です。 1= バースト ラップ読み出しは有効です。 依存性: RBSTWL[1:0] (CFR4x[1:0])
CFR4N[3] CFR4V[3]	ECC12S	エラー訂正コード (ECC) の 1 ビットまたは 1 ビット / 2 ビットエラー訂正の選択	N->R/W V->R/W	1	説明: ECC12S ビットは 1 ビット ECC エラー検出 / 訂正、または 1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出の両方を選択します。このコンフィギュレーションオプションは、アドレスラップレジスタと ECC カウントレジスタの機能に影響します。ホストは、ECC コンフィギュレーションの変更により (1 ビット訂正から 1 ビット訂正および 2 ビット検出、またはその逆)、SEMPER™ フラッシュメモリのデータを消去および再プログラムする必要があります。 選択オプション: 0=1 ビット ECC エラー検出 / 訂正 1=1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出 依存性: 該当なし
CFR4N[2] CFR4V[2]	DPDPOR	POR 時のディープパワーダウン電力節約モード開始選択	N->R/W V->R	0	説明: DPDPOR ビットは、デバイスが POR 完了後にディープパワーダウン (DPD) モードまたはスタンバイモードになるかどうかを選択します。有効の場合、DPDPOR はデバイスが DPD モードで開始するように設定し、デバイス動作が必要となるまで消費電流を減らします。デバイスが DPD モードにある場合、CS# パルスまたはハードウェアリセットはデバイスをスタンバイモードに戻します。 選択オプション: 0=POR 完了時にスタンバイモードになります。 1=POR 完了時にディープパワーダウン電力モードに入ります。 依存性: 該当なし
CFR4N[1:0] CFR4V[1:0]	RBSTWL[1:0]	バースト ラップ読み出し長選択	N->R/W V->R/W	00	説明: RBSTWL[1:0] ビットは通常動作でのバースト ラップ読み出しの長さを選択します。これは 8、16、32 または 64 バイトの固定された長さ / 境界を選択します (Table 53 を参照してください)。 選択オプション: 00=8 バイトラップ長 01=16 バイトラップ長 10=32 バイトラップ長 11=64 バイトラップ長 依存性: RBSTWP (CFR4x[4])

Table 53 出力データラップシーケンス

ラップ境界 (バイト)	開始アドレス (16 進)	アドレスシーケンス (16 進)
シーケンシャル	XXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18
8	XXXXXX00	00、01、02、03、04、05、06、07、00、01、02
8	XXXXXX07	07、00、01、02、03、04、05、06、07、00、01
16	XXXXXX02	02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、00、01、02、03
16	XXXXXX0C	0C、0D、0E、0F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E
32	XXXXXX0A	0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F
32	XXXXXX1E	1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00

Table 53 出力データ ラップ シーケンス

ラップ境界 (バイト)	開始アドレス (16 進)	アドレス シーケンス (16 進)
64	XXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D、2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F、00、01、02
64	XXXXXX2E	2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D

5.8 メモリ アレイ データ整合性チェック CRC レジスタ (DCRV)

メモリ アレイ データ整合性チェック CRC レジスタ (DCRV) は、指定された開始アドレスと終了アドレスの間に格納されたデータに対する CRC 計算の結果を格納します。

Table 54 メモリ アレイ データ整合性チェック CRC レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (16 進)	説明
DCRV[31:0]	DTCRCV[31:0]	メモリ アレイ データ CRC チェックサム値	V->R	0x00000000	説明: DTCRCV[31:0] ビットは、開始アドレスと終了アドレスの間に格納されたメモリ アレイ データに対する CRC プロセスのチェックサム値を格納します。 選択オプション: チェックサム値 依存性: 該当なし

5.9 ECC ステータス レジスタ (ECSV)

ECC ステータス レジスタ (ECSV) は、バイトが最後の読み出し中にアドレス指定されたユニット データに対するエラー訂正の状態を格納します。

注: ユニット データは ECC が計算されるバイト数として定義されます。HL-T/HS-T ファミリは、16 バイト (128 ビット) のユニット データを持ちます。

Table 55 ECC ステータス レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ECSV[7:5]	RESRVD	将来使用するために予約済み	V->R	000	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
ECSV[4]	ECC2BT	2 ビット ECC エラー検出フラグ	V->R	0	説明: ECC2BT ビットは 2 ビット ECC エラーがデータユニット (16 バイト) で検出されたかどうかを示します。ECC ステータスレジスタクリアトランザクション (CLECC_0_0) は ECC2BT をリセットします。 注: 任意のメモリ アドレスが読み出されるたびに ECC2BT は更新され、保持されます。すなわち、セットされると、セットされたままになります。ECC2BT ステータスは ECC ステータスレジスタクリアトランザクション (CLECC_0_0) が実行されるまで維持されます。 注: ECC2BT ステータス フラグがセットされている場合、ECC1BT は無効です。 選択オプション: 0=2 ビット ECC エラーがデータユニット (16 バイト) で検出されていません。 1=2 ビット ECC エラーがデータユニット (16 バイト) で検出されました。 依存性: CFR4x[3]

レジスタ

Table 55 ECC ステータス レジスタ (続き)

ビット 番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ECSV[3]	ECC1BT	1 ビット ECC エラー検出と訂正フラグ	V->R	0	説明: ECC1BT ビットは 1 ビット ECC エラーがデータユニット (16 バイト) で検出されて訂正されたかどうかを示します。ECC ステータス レジスタ クリアトランザクション (CLECC_0_0) は ECC1BT をリセットします。 注: 任意のメモリ アドレスが読み出されるたびに ECC1BT は更新され、保持されます。すなわち、セットされると、セットされたままになります。ECC1BT ステータスは ECC ステータス レジスタ クリアトランザクション (CLECC_0_0) が実行されるまで維持されます。 選択オプション: 0=1 ビット ECC エラーがデータユニット (16 バイト) で検出されませんでした。 1=1 ビット ECC エラーがデータユニット (16 バイト) で検出されました。 依存性: 該当なし
ECSV[2:0]	RESRVD	将来使用するために予約済み	V->R	000	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。

5.10 ECC アドレストラップレジスタ (EATV)

ECC アドレストラップレジスタ (EATV) は、読み出し動作中に 1 ビット /2 ビット エラーまたは 1 ビット エラーのみが発生した ECC ユニット データのアドレスを格納します。前回の ECC クリアトランザクション (CLECC_0_0) 以降のメモリ読み出し動作中にキャプチャされた最初の ECC エラーの ECC ユニットアドレスを格納します。

Table 56 ECC アドレストラップレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (16 進)	説明
EATV[31:0]	ECCATP[31:0]	ECC 1 ビットと 2 ビットエラーアドレストラップレジスタ	V->R	0x00000000	説明: アドレストラップレジスタ (ECCATP[31:0]) は、読み出し動作中に 1 ビット /2 ビット エラーが発生した ECC ユニット データアドレスを格納します。 ECCATP[31:0] は、前回の ECC ステータス レジスタ クリアトランザクション (CLECC_0_0) 以降にメモリ読み出し動作中にキャプチャされた最初の ECC エラーの ECC ユニットアドレスを格納します。 注: ECCATP[31:0] は読み出し命令中にのみ更新されます。注: ECC ユニットアドレスから、有効ではない上位 ECCATP アドレスビットをマスクします。 注: ECC ステータス レジスタ クリアトランザクション (CLECC_0_0)、POR またはハードウェア / ソフトウェアリセットは EATV[31:0] を 0x00000000 にクリアします。 選択オプション: ECC エラー データユニット アドレス 依存性: 該当なし

5.11 ECC エラー検出カウント レジスタ (ECTV)

ECC エラー検出カウント レジスタ (ECTV) は、最後の POR またはハードウェア / ソフトウェアリセット後に読み出し動作中に発生した 1 ビット / 2 ビットまたは 1 ビットのための ECC エラーの数を格納します。

Table 57 ECC カウント レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (16 進)	説明
ECTV[15:0]	ECCCNT[15:0]	ECC 1 ビットと 2 ビットエラー カウント レジスタ	V->R	0x0000	説明: ECCCNT[15:0] は、前回の POR またはハードウェア / ソフトウェアリセット以降の読み出し動作中に発生した 1 ビット / 2 ビット ECC エラーの数を格納します。 注: ECCCNT[15:0] は読み出し命令中にのみ更新されます。 注: データユニットごとに 1 つの ECC エラーのみがカウントされます。もし複数の読み出しトランザクションが ECC エラーのある同じデータユニットにアクセスした場合は、ECCCNT[15:0] はデータユニットが読み出されるたびにインクリメントします。 注: カウントが 0xFFFF に達すると、ECCCNT[15:0] はインクリメントを停止します。 注: POR またはハードウェア / ソフトウェアリセットは、ECCCNT[15:0] を 0x0000 にクリアします。 選択オプション: ECC エラー カウント 依存性: 該当なし

5.12 高度セクタ保護レジスタ (ASPO)

ASP レジスタ (ASPO) は高度セクタ保護スキームの動作を設定します。

Table 58 高度セクタ保護レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ASPO[15:6]	RESRVD	将来使用するために予約済み	N->R/1	111111111	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
ASPO[5]	ASPRDP	パスワード読み出しベース保護の選択	N->R/1	1	説明: ASPRDP ビットはパスワード読み出し保護モードを選択します。パスワード読み出し保護モードは、すべてのセクタを読み出し / 消去 / プログラムから保護するために、パスワード保護モードと連携して動作します。TBPROT コンフィギュレーションビット (CFR1x[5]) に基づき、最上位または最下位のどちらかのセクタが読み出せます。 選択オプション: 0= パスワード読み出し保護モードは有効です。 1= パスワード読み出し保護モードは無効です。 依存性: TBPROT (CFR1x[5])
ASPO[4]	ASPDYB	電源投入時の全セクタに対するダイナミック保護 (DYB) の選択	N->R/1	1	説明: ASPDYB ビットは、電源投入時またはハードウェアリセット後、すべての DYB ビット (セクタ) が保護状態にあるかどうかを選択します。DYB ビットはセクタ保護を変更するために、個別にリセットされる必要があります。 選択オプション: 0= 電源投入またはハードウェアリセットで、DYB ベースのセクタ保護が有効になります。 1= 電源投入またはハードウェアリセットで、DYB ベースのセクタ保護が無効になります。 依存性: 該当なし
ASPO[3]	ASPPPB	全セクタ プログラムビリティに対する恒久的保護 (PPB) の選択	N->R/1	1	説明: ASPPPB ビットは、すべての PPB ビットが OTP である (PPB セクタ保護を恒久的にする) かどうかを選択します。 注: ASPPPB は PPB 消去トランザクション (ERPPB_0_0) を無効にします。 選択オプション: 0= PPB ビットは OTP です。 1= PPB ビットは必要に応じて消去およびプログラムできます。 依存性: 該当なし

Table 58 高度セクタ保護レジスタ (続き)

ビット 番号	名称	機能	読み出し / 書き 込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設 定 (2 進)	説明
ASPO[2]	ASPPWD	パスワード ベース保 護の選択	N->R/1	1	説明: ASPPWD ビットはパスワード保護モードを選択し ます。パスワード保護モードは、正しいパスワードが入 力されるまで、すべての PPB ビットを保護するモードで す。ASPPWD は、すべてのレジスタとすべてのメモリを 消去 / プログラムから保護するため、および正しいパス ワードが提供されるまでセクタを読み出しから保護する ために、ASPRDP と組合わせて使用できます。ただし TBPROT コンフィギュレーションビット (CFR1x[5]) に基 づき、最上位または最下位のどちらかのセクタは読み出 せません。 注: ASPPWD が選択されている場合、ASPO[15:0]、 CFR1N[7:2]、PWDO[63:0] は書き込み動作から保護されま す。 選択オプション: 0= パスワード保護モードは有効です。 1= パスワード保護モードは無効です。 依存性: 該当なし
ASPO[1]	ASPPER	持続的保護の選択 (レ ジスタ保護の選択)	N->R/1	1	説明: ASPPER ビットは持続的保護モードを選択します。 持続的保護モード (ASPPER) は、ASPO[15:0]、CFR1x[6、5、 4、2] および CFR3x[3] レジスタを消去またはプログラム から保護します。 選択オプション: 0= 持続的保護モードは有効です。 1= 持続的保護モードは無効です。 依存性: 該当なし
ASPO[0]	ASPPRM	恒久的保護の選択	N->R/1	1	説明: ASPPRM ビットは恒久的保護モードを選択します。 恒久的保護モード (ASPPRM) は、恒久的に PPB ビットを 消去またはプログラムから保護します。ASPPRM ビット は、すべての PPB ベースのセクタ保護が確定した後にプ ログラムする必要があります。 注: 恒久的保護は PPBLOCK ビットとは独立しています。 選択オプション: 0= 恒久的保護モードは有効です。 1= 恒久的保護モードは無効です。 依存性: 該当なし

5.13 ASP パスワード レジスタ (PWDO)

ASP パスワード レジスタ (PWDO) はパスワードを恒久的に定義するために使用されます。

Table 59 パスワード レジスタ

ビット 番号	名称	機能	読み出し / 書き 込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設 定 (16 進)	説明
PWDO[63:0]	PASWRD[63:0]	パスワード レジスタ	N->R/1	0xFFFFFFFFFFFF FFFF	説明: PASWRD[63:0] は、パスワード保護動作モードで 使用されるパスワードを恒久的に保持します。パス ワード保護モードが有効の場合、このレジスタはパス ワード読み出し要求のときに未定義のデータを出力し ます。 選択オプション: パスワード 依存性: 該当なし

5.14 ASP PPB ロック レジスタ (PPLV)

ASP PPB ロック レジスタ (PPLV) の PPBLCK ビットは PPB ビットを保護するために使用されます。

Table 60 ASP PPB ロック レジスタ

ビット 番号	名称	機能	読み出し / 書き 込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設 定 (2 進)	説明
PPLV[7:1]	RESVRD	将来使用するために 予約済み	V->R	0000000	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
PPLV[0]	PPBLCK	PPB 一時的保護の選 択	V->R/W	1、ASPO[2:1]	説明: PPBLCK ビットは、すべての PPB ビットを一時的保護するために使用されます。 選択オプション: 1=PPB ビットは消去またはプログラムできます。 0=PPB ビットは、次の POR またはハードウェアリセットまで消去またはプログラムから保護されます。 依存性: 該当なし

5.15 ASP PPB アクセス レジスタ (PPAV)

ASP PPB アクセス レジスタ (PPAV) は各セクタの PPB 保護ビットの状態を提供するために使用されます。

Table 61 ASP PPB アクセス レジスタ

ビット 番号	名称	機能	読み出し / 書き 込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設 定 (2 進)	説明
PPAV[7:0]	PPBACS[7:0]	セクタ ベース PPB 保 護ステータス	N->R/W	11111111	説明: PPBACS[7:0] ビットは、個別セクタの PPB ビットの状態を提供するために使用されます。 選択オプション: FF=PPB 読み出しトランザクション (RDPPB_4_0) によってアドレス指定されたセクタの PPB は「1」であり、セクタをプログラムまたは消去動作から保護しません。 00=PPB 読み出しトランザクション (RDPPB_4_0) によってアドレス指定されたセクタの PPB は「0」であり、セクタをプログラムまたは消去動作から保護します。 依存性: 該当なし

5.16 ASP ダイナミック ブロック アクセス レジスタ (DYAV)

ASP DYB アクセス レジスタ (DYAV) は各セクタの DYB 保護ビットの状態を提供するために使用されます。

Table 62 ASP DYB アクセス レジスタ

ビット 番号	名称	機能	読み出し / 書き 込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設 定 (2 進)	説明
DYAV[7:0]	DYBACS[7:0]	セクタ ベース DYB 保 護ステータス	V->R/W	11111111	説明: DYBACS[7:0] ビットは個別セクタの DYB ビットの状態を提供するために使用されます。 選択オプション: FF=DYB 読み出しトランザクション (RDDYB_4_0) によってアドレス指定されたセクタの DYB は「1」であり、セクタをプログラムまたは消去動作から保護しません。 00=DYB 読み出しトランザクション (RDDYB_4_0) によってアドレス指定されたセクタの DYB は「0」であり、セクタをプログラムまたは消去動作から保護します。 依存性: 該当なし

5.17 データ学習レジスタ (DLPx)

データ学習パターンレジスタ (DLPx) は 8 ビットのデータ学習パターンを格納します。

Table 63 データ学習レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (16 進)	説明
DLPN[7:0] DLPV[7:0]	DTLRPT[7:0]	データ学習パターン 選択	N->R/W V->R/W	0x00	説明: DTLRPT[7:0] ビットは読み出しレイテンシサイクル中の出力であるデータパターンを提供します。このパターンは SDR/DDR 読み出しトランザクションレイテンシサイクル中にホストに転送され、ホストが受信データビットでデータキャプチャポイントを正確に中央に位置付けるために役立つトレーニングパターンを提供します。 選択オプション: パターン 依存性: 該当なし

Table 64 DLR 機能のまとめ

インターフェースタイプ	SDR	DDR
1-1-1	有	該当なし
1-2-2		
1-1-4		
1-4-4		有
4-4-4		
オートブート	該当なし	該当なし
レジスタ アクセス		

Table 65 データ学習パターンの動作

インターフェースデータタイプ	レイテンシタイプ 1	レイテンシタイプ 2
SDR	9 以上; 最後の 8 クロックサイクルでの DLP	9 未満; DLP は切り捨てられる
DDR	5 以上; 最後の 4 クロックサイクルでの DLP	5 未満; DLP は切り捨てられる

5.18 オートブート レジスタ (ATBN)

オートブートレジスタ (ATBN) は、パワーオンリセットまたはハードウェアリセットプロセスの一部として、ブートコードを自動的に読み出す方法を提供します。

Table 66 オートブートレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ATBN[31:9]	STADR[22:0]	オートブートがデータ読み出しを始める 開始アドレスの選択	N->R/W	0000000000000000 00000000	説明: STADR[22:0] ビットは、デバイスが読み出しデータを出力する開始アドレスを設定します。 選択オプション: アドレス ビット 依存性: 該当なし
ATBN[8:1]	STDLY[7:0]	オートブート読み出し 初期遅延の選択	N->R/W	00000000	説明: STDLY[7:0] ビットは、ホストがデータを受け入れる前に必要な初期遅延 (クロックサイクル) を指定します。 注: STDLY[7:0]=0x00 は最大 50MHz に対応します。 STDLY[7:0]>0x00 は最大 166MHz に対応します。 選択オプション: アドレス ビット 依存性: 該当なし
ATBN[0]	ATBTEN	オートブート機能の 選択	N->R/W	0	説明: ATBTEN ビットはオートブート機能を有効または無効にします。 選択オプション: 0= オートブート機能は無効です。 1= オートブート機能は有効です。 依存性: 該当なし

5.19 セクタ消去カウント レジスタ (SECV)

セクタ消去カウント レジスタ (SECV) はアドレス セクタが消去された回数を格納します。

Table 67 セクタ消去カウント レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (16 進)	説明
SECV[23]	SECCPT	セクタ消去カウント破損ステータス フラグ	V->R	0x0	説明: SECCPT ビットは、報告されたセクタ消去カウントが破損してリセットされたかを判定するために使用されます。 注: SECCPT がカウント破損でセットされた場合、選択されたセクタに対する次の消去動作が正常に終了すると「0」にリセットされます。 選択オプション: 0= セクタ消去カウントは破損せず、有効です。 1= セクタ消去カウントは破損し、無効です。 依存性: 該当なし
SECV[22:0]	SECVAL[22:0]	セクタ消去カウント値	V->R	0x000000	説明: SECVAL[22:0] ビットはセクタが消去された回数を格納します。 選択オプション: 値 依存性: 該当なし

5.20 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx)

インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx) は、4 ポインタ アーキテクチャに基づいて長期データ保持または高耐久性領域を定義します。

Table 68 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 4)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX40[10:2]	EPTAD4[8:0]	インフィニオン Endurance Flex アーキテクチャ ポインタ 4 アドレス選択	N->R/1	11111111	説明: EPTAD4[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビット アドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX40[1]	ERGNT4	インフィニオン Endurance Flex アーキテクチャ ポインタ 4 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT4 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX40[0]	EPTEB4	インフィニオン Endurance Flex アーキテクチャ ポインタ 4 イネーブル選択	N->R/1	1	説明: EPTEN4 ビットはウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

Table 69 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 3)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX3O[10:2]	EPTAD3[8:0]	インフィニオン Endurance Flex アーキテクチャポインタ 3 アドレス選択	N->R/1	111111111	説明: EPTAD3[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビット アドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX3O[1]	ERGNT3	インフィニオン Endurance Flex アーキテクチャポインタ 3 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT3 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX3O[0]	EPTEB3	インフィニオン Endurance Flex アーキテクチャポインタ 3 イネーブル選択	N->R/1	1	説明: EPTEN3 ビットは、ウェアレベリングポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

Table 70 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX2O[10:2]	EPTAD2[8:0]	インフィニオン Endurance Flex アーキテクチャポインタ 2 アドレス選択	N->R/1	111111111	説明: EPTAD2[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビット アドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX2O[1]	ERGNT2	インフィニオン Endurance Flex アーキテクチャポインタ 2 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT2 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX2O[0]	EPTEB2	インフィニオン Endurance Flex アーキテクチャポインタ 2 イネーブル選択	N->R/1	1	説明: EPTEN2 ビットは、ウェアレベリングポインタが有効であるか無効であるかを定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

Table 71 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX10[10:2]	EPTAD1[8:0]	インフィニオン Endurance Flex アーキテクチャポインタ 1 アドレス選択	N->R/1	11111111	説明: EPTAD1[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX10[1]	ERGNT1	インフィニオン Endurance Flex アーキテクチャポインタ 1 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT1 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX10[0]	EPTEB1	インフィニオン Endurance Flex アーキテクチャポインタ 1 イネーブル選択	N->R/1	1	説明: EPTEN1 ビットは、ウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

Table 72 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 0)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX00[1]	GBLSEL	全セクタ ベースの領域タイプ選択	N->R/1	1	説明: GBLSEL ビットは、すべてのセクタが長期データ保持領域であるか高耐久性領域であるかを定義します。 注: 他のすべてのポインタレジスタが無効の場合、このビットはメモリ空間全体の動作を定義し、セクタ 0 から始まるように固定されます。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX00[0]	WRLVEN	ウェア レベリングイネーブル選択	N->R/1	1	説明: WRLVEN ビットはウェア レベリング機能を有効 / 無効にします。 選択オプション: 0= ウェア レベリングは無効です。 1= ウェア レベリングは有効です。 依存性: 該当なし

トランザクションテーブル

6

6.1

1-1-1 トランザクションテーブル

Table 73 1-1-1 トランザクションテーブル

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1 (16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大 周波数 (MHz)	アドレ ス長		
デバイス ID 読 み出し	RDIDN_0_0	メーカーとデバイス ID 読み出し トランザクションは、メーカーと デバイス ID への読み出しアクセス を提供します。	-	9F (CMD)	-	-	-	-	-	-	-	-	Figure 12	166	該当な し		
	RSFDP_3_0	JEDEC シリアル フラッシュ検出可 能パラメーター読み出しトランザ クションは、シリアル フラッシュ 検出パラメーター (SFDP) に順次ア クセスします。	-	5A (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 13	50	3		
	RDUID_0_0	固有 ID 読み出しはデバイスごと に固有である工場出荷時の 64 ビット番号にアクセスします。	-	4C (CMD)	-	-	-	-	-	-	-	-	Figure 12	166	該当な し		
レジスタ アクセ ス	RDSR1_0_0	ステータス レジスタ 1 読み出しト ランザクションはステータス レジ スタ 1 の内容を DQ1/SO から読み 出します。	-	05 (CMD)	-	-	-	-	-	-	-	-				Figure 13	3
	RDSR2_0_0	ステータス レジスタ 2 読み出しト ランザクションはステータス レジ スタ 2 の内容を DQ1/SO から読み 出します。	-	07 (CMD)	-	-	-	-	-	-	-	-					
	RDCR1_0_0	コンフィギュレーションレジスタ 1 読み出しトランザクションはコ ンフィギュレーションレジスタ 1 の内容を DQ1/SO から読み出しま す。	-	35 (CMD)	-	-	-	-	-	-	-	-	Figure 7		該当な し		
	RDARG_C_0	任意レジスタ読み出しトランザク ションは、すべてのアドレス指定 された不揮発性と揮発性のデバイ スレジスタを読み出す方法を提供 します。	-	65 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-				Figure 13	
			-		ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-					
	WRENB_0_0	書き込みイネーブルはステータス レジスタ 1 の書き込みイネーブル ラッチ ビットを「1」にセットし、 書き込み、プログラムおよび消去 のトランザクションを有効にしま す。	-	06 (CMD)	-	-	-	-	-	-	-	-	-			Figure 7	
	WRENV_0_0	揮発性レジスタ書き込みイネー ブルは揮発性レジスタの書き込み を有効にします。	-	50 (CMD)	-	-	-	-	-	-	-	-	-				
WRDIS_0_0	書き込みディセーブルはステータ スレジスタ 1 の書き込みイネー ブルラッチ ビットを「0」にセッ トし、書き込み、プログラムおよ び消去のトランザクションを無効 にします。	-	04 (CMD)	-	-	-	-	-	-	-	-	-					

Table 73 1-1-1 トランザクションテーブル (続き)

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1 (16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大 周波数 (MHz)	アドレ ス長	
レジスタアクセ ス	WRREG_0_1	レジスタ書き込みトランザクシ ョンはステータス レジスタ 1 およ びコンフィギュレーションレジスタ 1 ～ 4 を書き込む方法を提供しま す。	WRENB_0_0	01 (CMD)	STR1 入 力データ [7:0]	CFR1 入 力データ [7:0]	CFR2 入力 データ [7:0]	CFR3 入 力データ [7:0]	CFR4 入 力データ [7:0]	-	-	-	Figure 11	166	該当な し	
	WRRSB_0_1	セーフブート書き込みレジスタト ランザクションはコンフィギュ レーション破損からデバイスを回 復させます。	WRENB_0_0	01 (CMD)	STR1 入 力データ [7:0]	CFR1 入 力データ [7:0]	CFR2 入力 データ [7:0]	CFR3 入 力データ [7:0]	CFR4 入 力データ [7:0]	0x00 入力	-	-				
	WRARG_C_1	任意レジスタ書き込みトランザク ションは、すべてのアドレス指定 された不揮発性と揮発性のデバイ ス レジスタに書き込む方法を提供 します。	WRENB_0_0	71 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入力デー タ [7:0]	-	-	-	-	Figure 10		3	
					ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	入力デー タ [7:0]	-	-	-			4	
	CLPEF_0_0	プログラムおよび消去失敗フラグ クリアトランザクションは STR1V[5] (消去失敗フラグ) およ び STR1V[6] (プログラム失敗フラグ) をリセットします。 注 : このコマンドは無効になり、 命令値はその代わりにプログラム / 消去再開コマンドのために使用 されることがあります。82 ページ の コンフィギュレーションレジ スタ 3 (CFR3x) を参照してください。	-	30 (CMD)	-	-	-	-	-	-	-	-	Figure 7		該当な し	
			-	82 (CMD)	-	-	-	-	-	-	-	-				
	EN4BA_0_0	4 バイト アドレス モード開始トラ ンザクションはアドレス長ビット CFR2V[7] を「1」にセットします。	-	B7 (CMD)	-	-	-	-	-	-	-	-				
	EX4BA_0_0	4 バイト アドレス モード終了トラ ンザクションはアドレス長ビット CFR2V[7] を「0」にセットします。	-	B8 (CMD)	-	-	-	-	-	-	-	-				
	RDDL_P_0_0	データ学習パターンレジスタ読み 出しトランザクションは DLP パ ターンを読み出します。	-	41 (CMD)	-	-	-	-	-	-	-	-	Figure 12			Figure 11
	PRDLP_0_1	データ学習パターンプログラム ト ランザクションは不揮発性レジス タに DLP パターンをプログラムし ます。	WRENB_0_0	43 (CMD)	DLP 入力 データ [7:0]	-	-	-	-	-	-	-				
WRDLP_0_1	データ学習パターン書き込みトラ ンザクションは揮発性レジスタに DLP パターンを書き込みます。	WRENB_0_0	4A (CMD)	DLP 入力 データ [7:0]	-	-	-	-	-	-	-					
WRAUB_0_1	オートブート レジスタ書き込みト ランザクションはレジスタにオー トブートパターンを書き込みま す。	WRENB_0_0	15 (CMD)	入力デー タ 1[7:0]	入力デー タ 2[7:0]	(続く)	-	-	-	-	-					

Table 73 1-1-1 トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1 (16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長
ECC	RDECC_C_0	ECC ステータス読み出しはアドレス指定されたデータユニットの ECC ステータスを判断するために使用されます。	-	19 (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	Figure 13	166	3
	-		ADDR[31:24]		ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-					
	RDECC_4_0		-	18 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			
ECC	CLECC_0_0	ECC ステータスレジスタクリアトランザクションは ECC ステータスレジスタビット [4] (2 ビット ECC 検出)、ECC ステータスレジスタビット [3] (1 ビット ECC 訂正)、アドレストラップレジスタおよび ECC 検出カウンタをリセットします。	-	1B (CMD)	-	-	-	-	-	-	-	-	Figure 7		
CRC	DICHK_4_1	データ整合性チェックトランザクションは、デバイスがユーザー定義アドレス範囲でデータ整合性チェックを実行します。	-	5B (CMD)	開始 ADDR[31:24]	開始 ADDR[23:16]	開始 ADDR[15:8]	開始 ADDR[7:0]	終了 ADDR[31:24]	終了 ADDR[23:16]	終了 ADDR[15:8]	終了 ADDR[7:0]	Figure 9		4
フラッシュアレイ読み出し	RDAY1_C_0	SDR 読み出しトランザクションは指定された開始アドレスからメモリ内容を読み出します。	-	03 (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	Figure 14	50	3
			-		ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			
			-	13 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			
	RDAY2_C_0	SDR 高速読み出しトランザクションは指定された開始アドレスからメモリ内容を読み出します。	-	0B (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	Figure 13	166	3
			-		ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			
			-	0C (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	モード [7:0]	-	-	-			
フラッシュアレイプログラム	PRPGE_C_1	ページプログラムは 1 つのトランザクションで 256B または 512B のデータをメモリアレイにプログラムします。	WRENB_0_0	02 (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ 1[7:0]	入力データ 2[7:0]	(続く)	-	-	Figure 10		3
	PRPGE_4_1		WRENB_0_0		12 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ 1[7:0]	入力データ 2[7:0]	(続く)			-

Table 73 1-1-1 トランザクションテーブル (続き)

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1 (16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォー マッ ト	最大 周波数 (MHz)	アドレ ス長		
フラッシュアレ イ消去	ER004_C_0	4KB セクタ消去トランザクション は 4KB セクタのすべてのビットを 「1」にセットします (すべてのバ イトは FFh)。	WRENB_0_0	20 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 8	166	3		
	WRENB_0_0		ADDR[31: 24]		ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	4					
			ER004_4_0	21 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			3		
フラッシュアレ イ消去	ER256_C_0	256KB セクタ消去トランザクシ ョンは 256KB セクタのすべてのビッ トを「1」にセットします (すべて のバイトは FFh)。	WRENB_0_0	D8 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-			Figure 7	166	4
	WRENB_0_0		DC (CMD)		ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-					3
		ER256_4_0	60 また は C7 (CMD)	-	-	-	-	-	-	-	-	-					4
	ERCHP_0_0	チップ消去トランザクションは、 フラッシュ メモリ アレイ全体のす べてのビットを「1」にセットし ます (すべてのバイトは FFh)。	WRENB_0_0	60 また は C7 (CMD)	-	-	-	-	-	-	-	-	Figure 8				該当な し
	EVERS_C_0	消去ステータス判定トランザク ションはアドレス指定されたセク タの前の消去動作が正常に完了 したかを確認します。	-	D0 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-					3
			-		ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-					4
	SEERC_C_0	セクタ消去カウント トランザク ションは、セクタ消去カウントレ ジスタから入力アドレスのセクタ に対する消去回数を出力します。	-	5D (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-		3			
			-		ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	4				
	一時停止 / 再開	SPEPD_0_0	消去 / プログラム / データ整合性 チェッカー一時停止トランザクシ ョンは、システムにプログラム、消 去、またはデータ整合性チェック の動作を中断させます。	-	75 (CMD)	-	-	-	-	-	-	-	-	Figure 7	166		該当な し
		SPEPA_0_0	消去 / プログラム一時停止の代替 トランザクションはシステムにプ ログラムまたは消去を中断させま す。	-	85 (CMD)	-	-	-	-	-	-	-	-				
-				B0 (CMD)	-	-	-	-	-	-	-	-					
RSEPD_0_0		消去 / プログラム / データ整合性 チェック再開トランザクション は、システムにプログラム、消 去、またはデータ整合性チェック の動作を再開させます。	-	7A (CMD)	-	-	-	-	-	-	-	-					
RSEPA_0_0		消去 / プログラム再開の代替トラ ンザクションはシステムにプログ ラム、消去、またはデータ整合性 チェックの動作を再開させます。	-	8A (CMD)	-	-	-	-	-	-	-	-					
			-	30 (CMD)	-	-	-	-	-	-	-	-					

Table 73 1-1-1 トランザクションテーブル (続き)

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1 (16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大 周波数 (MHz)	アドレ ス長	
セキュアシリ コン領域アレイ	PRSSR_C_1	セキュアシリコン領域プログラム トランザクションはデータをセ キュアシリコン領域の 1024 バイ トにプログラムします。	WRENB_0_0	42 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入力デー タ 1[7:0]	入力デー タ 2[7:0]	(続く)	-	-	Figure 10	166	3	
					ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	入力デー タ 1[7:0]	入力デー タ 2[7:0]	(続く)	-			4	
	RDSSR_C_0	セキュアシリコン領域読み出しト ランザクションは SSR からデー タを読み出します。	-	4B (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 13		3	
					ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			4	
高度セクタ保護	PRASP_0_1	ASP レジスタ書き込み	WRENB_0_0	2F (CMD)	ASP 下位 バイト [7:0]	ASP 上位 バイト [7:0]	-	-	-	-	-	-	Figure 11			該当な し
	RDDYB_C_0	ダイナミック保護ビット読み出し トランザクションは DYB アクセス レジスタの内容を読み出します。	-	FA (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 13		3	
					ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			4	
	RDDYB_4_0		-	E0 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-				
	WRDYB_C_1	ダイナミック保護ビット書き込み トランザクションは DYB アクセス レジスタに書き込みます。	WRENB_0_0	FB (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入力デー タ [7:0]	-	-	-	-	Figure 10		3	
					ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	入力デー タ [7:0]	-	-	-			4	
	WRDYB_4_1		WRENB_0_0	E1 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	入力デー タ [7:0]	-	-	-	-			
高度セクタ保護	RDPPB_C_0	持続的保護ビット読み出しトラン ザクションは PPB アクセス レジ スタの内容を読み出します。	-	FC (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 13	3		
					ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-		4		
	RDPPB_4_0		-	E2 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-				
	PRPPB_C_0	持続的保護ビット プログラムトラン ザクションはセクタ保護を有効 にするために PPB レジスタにプロ グラムします / 書き込みます。	WRENB_0_0	FD (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 8	3		
					ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-		4		
	PRPPB_4_0		WRENB_0_0	E3 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-				
	ERPPB_0_0	持続的保護ビット消去トランザク ションは、すべての持続的保護 ビットを「1」にセットします。	WRENB_0_0	E4 (CMD)	-	-	-	-	-	-	-	-	-	Figure 7	該当な し	
WRPLB_0_0	PPB 保護ロックビット書き込みト ランザクションは PPB ロックを 「0」にクリアします。	WRENB_0_0	A6 (CMD)	-	-	-	-	-	-	-	-	-				
RDPLB_0_0	プログラム持続的保護ロック ビッ ト読み出しトランザクションは 8 ビットの PPB ロック レジスタの内 容を MSb からシフトアウトしま す。	-	A7 (CMD)	-	-	-	-	-	-	-	-	-	Figure 12			

Table 73 1-1-1 トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1 (16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長		
高度セクタ保護	PGPWD_0_1	パスワード プログラム トランザクションはフラッシュ デバイスに 64 ビット パスワードをプログラムします。	WRENB_0_0	E8 (CMD)	パスワード [7:0]	パスワード [15:8]	パスワード [23:16]	パスワード [31:24]	パスワード [39:32]	パスワード [47:40]	パスワード [55:48]	パスワード [63:56]	Figure 11	166	該当なし		
	PWDUL_0_1	パスワード ロック解除トランザクションはフラッシュ デバイスに 64 ビット パスワードを送ります。与えられたパスワードがパスワード レジスタでの隠しパスワードと一致しない場合、デバイスはロックされ、ハードウェア リセットまたは POR でのみデバイスはスタンバイ状態に戻り、PWDUL_0_1 の再実行などの新しいトランザクションのために準備します。パスワード が一致の場合、PPB ロック ビットは「1」にセットされます。	-	E9 (CMD)	パスワード [7:0]	パスワード [15:8]	パスワード [23:16]	パスワード [31:24]	パスワード [39:32]	パスワード [47:40]	パスワード [55:48]	パスワード [63:56]					
リセット	SRSTE_0_0	ソフトウェアリセットイネーブル コマンドは SFRST_0_0 トランザクションの直前に必要です。	-	66 (CMD)	-	-	-	-	-	-	-	-	Figure 7				
	SFRST_0_0	ソフトウェアリセット トランザクションは不揮発性デフォルト値から揮発性レジスタへの再ロードにより、デバイスを初期電源投入状態に戻させます。	SRSTE_0_0	99 (CMD)	-	-	-	-	-	-	-	-					
	SFRSL_0_0	レガシーソフトウェアリセット トランザクションは不揮発性デフォルト値から揮発性レジスタへの再ロードにより、デバイスを初期電源投入状態に戻させます。	-	F0 (CMD)	-	-	-	-	-	-	-	-					
ディープ パワー ダウン	ENDPD_0_0	ディープ パワー ダウン モード開始 トランザクションはデバイスに最低消費電力モードに移行させます。	-	B9 (CMD)	-	-	-	-	-	-	-	-					

6.2 1-2-2 トランザクションテーブル

Table 74 1-2-2 トランザクションテーブル

機能	トランザクション名	説明	前提条件 トランザクション	バイト 1 (16 進)	バイト 2 (16 進)	バイト 3 (16 進)	バイト 4 (16 進)	バイト 5 (16 進)	バイト 6 (16 進)	バイト 7 (16 進)	バイト 8 (16 進)	バイト 9 (16 進)	トランザクション フォーマット	最大周波数 (MHz)	アドレス長
フラッシュアレイ読み出し	RDAY3_C_0	SDR デュアル I/O 読み出しトランザクションは指定された開始アドレスからメモリ内容を読み出します。	-	BB (CMD)	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-	Figure 16	166	3
			-		ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-			4
	RDAY3_4_0		-	BC (CMD)	ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-			3
	RDAY6_C_0	SDR デュアル I/O 連続読み出しトランザクションは指定された開始アドレスからメモリ内容を読み出します。	RDAY3_C_0	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-	Figure 17	3		
				ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-		-		4
	RDAY6_4_0		RDAY3_4_0	ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-		-		

6.3 1-1-4 トランザクションテーブル

Table 75 1-1-4 トランザクションテーブル

機能	トランザクション名	説明	前提条件 トランザクション	バイト 1 (16 進)	バイト 2 (16 進)	バイト 3 (16 進)	バイト 4 (16 進)	バイト 5 (16 進)	バイト 6 (16 進)	バイト 7 (16 進)	バイト 8 (16 進)	バイト 9 (16 進)	トランザクション フォーマット	最大周波数 (MHz)	アドレス長
フラッシュアレイ読み出し	RDAY4_C_0	SDR クラウド出力読み出しトランザクションは指定された開始アドレスからメモリ内容を読み出します。	-	6B (CMD)	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	-	-	-	-	-	Figure 18	166	3
			-		ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	-	-	-	-			4
	RDAY4_4_0		-	6C (CMD)	ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	-	-	-	-			4

6.4 1-4-4 トランザクションテーブル

Table 76 1-4-4 トランザクションテーブル

機能	トランザク ション名	説明	前提条件トラン ザクション	バイト 1 (16 進)	バイト 2 (16 進)	バイト 3 (16 進)	バイト 4 (16 進)	バイト 5 (16 進)	バイト 6 (16 進)	バイト 7 (16 進)	バイト 8 (16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大値 周波数 (MHz)	アドレス長	
メーカーおよ びデバイス ID 読み出し	RDQID_0_0	メーカーおよびデバイス ID クアッド読み出しト ランザクションはメーカーおよびデバイス ID を 読み出します。	-	AF (CMD)	-	-	-	-	-	-	-	-	Figure 23	166	該当なし	
	RDAY5_C_0	SDR クアッド I/O 読み出しトランザクションは指 定された開始アドレスからメモリ内容を読み出 します。	-	EB (CMD)	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-	Figure 19		3	
			-		ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-			4	
			RDAY5_4_0	-	EC (CMD)	ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-			-	4
	RDAY6_C_0	SDR クアッド I/O 連続読み出しトランザクション は指定された開始アドレスからメモリ内容を読 み出します。	RDAY5_C_0	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-	Figure 20	3			
	RDAY6_4_0			ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-		-		4	
	RDAY7_C_0	DDR クアッド I/O 読み出しトランザクションは 指定された開始アドレスからメモリ内容を読み 出します。	-	ED (CMD)	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-	Figure 21		102	3
	-		ADDR[3 1:24]		ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-				4
	RDAY7_4_0		-	EE (CMD)	ADDR[3 1:24]	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-				-
	RDAY8_C_0	DDR クアッド I/O 連続読み出しトランザクション は指定された開始アドレスからメモリ内容を読 み出します。	RDAY7_C_0	ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-	-	Figure 22			3
RDAY8_4_0	ADDR[3 1:24]			ADDR[2 3:16]	ADDR[1 5:8]	ADDR[7 :0]	モード [7:0]	-	-	-	-	4				

6.5 4-4-4 トランザクションテーブル

Table 77 4-4-4 トランザクションテーブル

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1(16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大値 周波数 (MHz)	アドレ ス長
デバイス ID 読み出し	RDIDN_0_0	メーカーとデバイス ID 読み出しトランザクションは、メーカーとデバイス ID への読み出しアクセスを提供します。	-	9F (CMD)	-	-	-	-	-	-	-	-	Figure 31	166	該当なし
	RSFDP_3_0	JEDEC シリアルフラッシュ検出可能パラメータ読み出しトランザクションは、シリアルフラッシュ検出パラメータ (SFDP) に順次アクセスします。	-	5A (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 35	50	3
	RDQID_0_0	メーカーおよびデバイス ID クアッド読み出しトランザクションはメーカーおよびデバイス ID を読み出します。	-	AF (CMD)	-	-	-	-	-	-	-	-			
	RDUID_0_0	固有 ID 読み出しはデバイスごとに固有である工場出荷時の 64 ビット番号にアクセスします。	-	4C (CMD)	-	-	-	-	-	-	-	-			
レジスタ アクセス	RDSR1_0_0	ステータスレジスタ 1 読み出しトランザクションはステータスレジスタ 1 の内容を DQ1/SO から読み出します。	-	05 (CMD)	-	-	-	-	-	-	-	-	Figure 31	166	該当なし
	RDSR2_0_0	ステータスレジスタ 2 読み出しトランザクションはステータスレジスタ 2 の内容を DQ1/SO から読み出します。	-	07 (CMD)	-	-	-	-	-	-	-	-	Figure 35		3
	RDCR1_0_0	コンフィギュレーションレジスタ 1 読み出しトランザクションはコンフィギュレーションレジスタ 1 の内容を DQ1/SO から読み出します。	-	35 (CMD)	-	-	-	-	-	-	-	-			4
	RDARG_C_0	任意レジスタ読み出しトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタを読み出す方法を提供します。	-	65 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-			Figure 35
			-		ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-				
	WRENB_0_0	書き込みイネーブルはステータスレジスタ 1 の書き込みイネーブルラッチビットを「1」にセットし、書き込み、プログラムおよび消去のトランザクションを有効にします。	-	06 (CMD)	-	-	-	-	-	-	-	-	Figure 24		
	WRENV_0_0	揮発性レジスタ書き込みイネーブルは揮発性レジスタの書き込みを有効にします。	-	50 (CMD)	-	-	-	-	-	-	-	-			
	WRDIS_0_0	書き込みディセーブルはステータスレジスタ 1 の書き込みイネーブルラッチビットを「0」にセットし、書き込み、プログラムおよび消去のトランザクションを無効にします。	-	04 (CMD)	-	-	-	-	-	-	-	-			
	WRREG_0_1	レジスタ書き込みトランザクションはステータスレジスタ 1 およびコンフィギュレーションレジスタ 1～4 を書き込む方法を提供します。	WRENB_0_0	01 (CMD)	STR1 入力データ [7:0]	CFR1 入力データ [7:0]	CFR2 入力データ [7:0]	CFR3 入力データ [7:0]	CFR4 入力データ [7:0]	-	-	-	Figure 35		
	WRARG_C_1	任意レジスタ書き込みトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタに書き込む方法を提供します。	WRENB_0_0	71 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入力データ [7:0]	-	-	-	-	Figure 35		3
ADDR[31: 24]					ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入力データ [7:0]	-	-	-	4			

Table 77 4-4-4 トランザクションテーブル (続き)

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1(16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォー マッ ト	最大値 周波数 (MHz)	アドレ ス長	
レジスタ アクセス	CLPEF_0_0	プログラムおよび消去失敗フラグ クリ アトランザクションは STR1V[5] (消去 失敗フラグ) および STR1V[6] (プログラ ム失敗フラグ) をリセットします。 注: このコマンドは無効になり、命令 値はその代わりにプログラム / 消去再 開コマンドのために使用されることが あります。82 ページの コンフィギュ レーションレジスタ 3 (CFR3x) を参照 してください。	-	30 (CMD)	-	-	-	-	-	-	-	-	Figure 24	166	該当な し	
	EN4BA_0_0	4 バイト アドレス モード開始トランザ クションはアドレス長ビット CFR2V[7] を「1」にセットします。	-	82 (CMD)	-	-	-	-	-	-	-	-				
	EX4BA_0_0	4 バイト アドレス モード終了トランザ クションはアドレス長ビット CFR2V[7] を「0」にセットします。	-	B7 (CMD)	-	-	-	-	-	-	-	-				該当な し
	RDDL_0_0	データ学習パターン レジスタ読み出し トランザクションは DLP パターンを読 み出します。	-	B8 (CMD)	-	-	-	-	-	-	-	-	Figure 31			
	PRDL_0_1	データ学習パターン プログラム トラン ザクションは不揮発性レジスタに DLP パターンをプログラムします。	WRENB_0_0	41 (CMD)	DLP 入力 データ [7:0]	-	-	-	-	-	-	-	Figure 35			
	WRDL_0_1	データ学習パターン書き込みトランザ クションは揮発性レジスタに DLP パ ターンを書き込みます。	WRENB_0_0	4A (CMD)	DLP 入力 データ [7:0]	-	-	-	-	-	-	-				
	WRAUB_0_1	オートブート レジスタ書き込みトラン ザクションはレジスタにオートブート パターンを書き込みます。	WRENB_0_0	15 (CMD)	入力デー タ 1[7:0]	入力デー タ 2[7:0]	(続く)	-	-	-	-	-				
ECC	RDECC_C_0	ECC ステータス読み出しはアドレス指 定されたデータ ユニットの ECC ステ ータスを判断するために使用されます。	-	19 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 35	166	3	
	-		ADDR[31: 24]		ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	4				
	RDECC_4_0		-	18 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-				
	CLECC_0_0	ECC ステータスレジスタクリアトラン ザクションは ECC ステータスレジスタ ビット [4] (2 ビット ECC 検出)、ECC ス テータス レジスタ ビット [3] (1 ビット ECC 訂正)、アドレストラップレジス タおよび ECC 検出カウンタをリセッ トします。	-	1B (CMD)	-	-	-	-	-	-	-	-	Figure 24		該当な し	
CRC	DCHK_4_1	データ整合性チェックトランザクシ ョンは、デバイスがユーザー定義アド レス範囲でデータ整合性チェックを実 行します。	-	5B (CMD)	開始 ADDR[31: 24]	開始 ADDR[23: 16]	開始 ADDR[15: 8]	開始 ADDR[7:0]	終了 ADDR[31: 24]	終了 ADDR[23:1 6]	終了 ADDR[15:8]	終了 ADDR[7:0]	Figure 28		4	

Table 77 4-4-4 トランザクションテーブル (続き)

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1(16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大値 周波数 (MHz)	アドレ ス長
フラッシュア レイ読み出し	RDAY5_C_0	QPI SDR 読み出しトランザクションは 指定された開始アドレスからメモリ内 容を読み出します。	-	EB (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-	-	Figure 35	166	3
	-		ADDR[31: 24]		ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-	4			
	RDAY2_4_0		-	0C (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-				-
	RDAY5_4_0		-	EC (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-				-
	RDAY6_C_0	QPI SDR 連続読み出しトランザクシ ョンは指定された開始アドレスからメモ リ内容を読み出します。	RDAY5_C_0	ADDR[2 3:16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-	-	Figure 33	3		
	ADDR[3 1:24]			ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-	-		4		
	RDAY6_4_0		RDAY5_4_0	ADDR[3 1:24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-				-
	RDAY7_C_0	QPI DDR 読み出しトランザクションは 指定された開始アドレスからメモリ内 容を読み出します。	-	ED (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-	-	Figure 35		3
	-				ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-			-
	RDAY7_4_0		-	EE (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-			
	RDAY8_C_0	QPI DDR 連続読み出しトランザクシ ョンは指定された開始アドレスからメモ リ内容を読み出します。	RDAY7_C_0	ADDR[2 3:16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]		-	-	-	-			4
	ADDR[3 1:24]			ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-	-				
RDAY8_4_0	RDAY7_4_0	ADDR[3 1:24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	モード [7:0]	-	-	-	-					
フラッシュア レイ プログラム	PRPGE_C_1	ページ プログラムは 1 つのトランザク ションで 256B または 512B のデータを メモリ アレイにプログラムします。	WRENB_0_0	02 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入カデー タ 1[7:0]	入カデー タ 2[7:0]	(続く)	-	-			3
	ADDR[31: 24]				ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入カデー タ 1[7:0]	入カデー タ 2[7:0]	(続く)	-	4			
	PRPGE_4_1		WRENB_0_0	12 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	入カデー タ 1[7:0]	入カデー タ 2[7:0]	(続く)				-

Table 77 4-4-4 トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1(16進)	バイト 2(16進)	バイト 3(16進)	バイト 4(16進)	バイト 5(16進)	バイト 6(16進)	バイト 7(16進)	バイト 8(16進)	バイト 9(16進)	トランザクションフォーマット	最大値周波数(MHz)	アドレス長	
フラッシュアレイ消去	ER004_C_0	4KB セクタ消去トランザクションは 4KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	20 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 26	166	3	
				ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	4				
	ER004_4_0	WRENB_0_0	21 (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	3				
												4				
	ER256_C_0	256KB セクタ消去トランザクションは 256KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	D8 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-	Figure 24		該当なし	
	ER256_4_0		WRENB_0_0	DC (CMD)	ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-				
フラッシュアレイ消去	ERCHP_0_0	チップ消去トランザクションは、フラッシュメモリ アレイ全体のすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	60 または C7 (CMD)	-	-	-	-	-	-	-	-	Figure 35	166	該当なし	
	EVERS_C_0	消去ステータス判定トランザクションはアドレス指定されたセクタの前の消去動作が正常に完了したかを確認します。	-	D0 (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	3				
			-		ADDR[31: 24]	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-			4	
	SEERC_C_0	セクタ消去カウント トランザクションは、セクタ消去カウントレジスタから入力アドレスのセクタに対する消去回数を出力します。	-	5D (CMD)	ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	-			3	
-			ADDR[31: 24]		ADDR[23: 16]	ADDR[15: 8]	ADDR[7:0]	-	-	-	-	4				
一時停止 / 再開	SPEPD_0_0	消去 / プログラム / データ整合性チェック一時停止トランザクションは、システムにプログラム、消去、またはデータ整合性チェックの動作を中断させます。	-	75 (CMD)	-	-	-	-	-	-	-	-	Figure 24	166	該当なし	
	SPEPA_0_0	消去 / プログラム一時停止の代替トランザクションはシステムにプログラムまたは消去を中断させます。	-	85 (CMD)	-	-	-	-	-	-	-	Figure 24				該当なし
			-	B0 (CMD)	-	-	-	-	-	-	-					
	RSEPD_0_0	消去 / プログラム / データ整合性チェック再開トランザクションは、システムにプログラム、消去、またはデータ整合性チェックの動作を再開させます。	-	7A (CMD)	-	-	-	-	-	-	-	-				Figure 24
	RSEPA_0_0	消去 / プログラム再開の代替トランザクションはシステムにプログラム、消去、またはデータ整合性チェックの動作を再開させます。	-	8A (CMD)	-	-	-	-	-	-	-	-			Figure 24	
			-	30 (CMD)	-	-	-	-	-	-	-	-				-

Table 77 4-4-4 トランザクションテーブル (続き)

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1(16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大値 周波数 (MHz)	アドレ ス長	
セキュアシリ コン 領域アレイ	PRSSR_C_1	セキュアシリコン領域プログラムトランザクションはデータをセキュアシリコン領域の 1024 バイトにプログラムします。	WRENB_0_0	42 (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ 1[7:0]	入力データ 2[7:0]	(続く)	-	-	Figure 35	166	3	
			-		ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ 1[7:0]	入力データ 2[7:0]	(続く)	-			4	
	RDSSR_C_0	セキュアシリコン領域読み出しトランザクションは SSR からデータを読み出します。	-	4B (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-			3	
			-		ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			4	
高度セクタ 保護	PRASP_0_1	ASP レジスタ書き込み	WRENB_0_0	2F (CMD)	ASP 下位 バイト [7:0]	ASP 上位 バイト [7:0]	-	-	-	-	-	-	Figure 35		166	該当なし
	RDDYB_C_0	ダイナミック保護ビット読み出しトランザクションは DYB アクセスレジスタの内容を読み出します。	-	FA (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-				3
			-		ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-				4
	RDDYB_4_0		-	E0 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-				
	WRDYB_C_1	ダイナミック保護ビット書き込みトランザクションは DYB アクセスレジスタに書き込みます。	WRENB_0_0	FB (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ [7:0]	-	-	-	-	Figure 35	3		
					ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ [7:0]	-	-	-		4		
	WRDYB_4_1		WRENB_0_0	E1 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ [7:0]	-	-	-				
	RDPPB_C_0	持続的保護ビット読み出しトランザクションは PPB アクセスレジスタの内容を読み出します。	-	FC (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	3			
			-		ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	4			
	RDPPB_4_0		-	E2 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-				
	PRPPB_C_0	持続的保護ビット プログラム トランザクションはセクタ保護を有効にするために PPB レジスタにプログラムします / 書き込みます。	WRENB_0_0	FD (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	Figure 26	3		
					ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-		4		
	PRPPB_4_0		WRENB_0_0	E3 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-				

Table 77 4-4-4 トランザクションテーブル (続き)

機能	トランザク ション名	説明	前提条件ト ランザク ション	バイト 1(16 進)	バイト 2(16 進)	バイト 3(16 進)	バイト 4(16 進)	バイト 5 (16 進)	バイト 6(16 進)	バイト 7(16 進)	バイト 8(16 進)	バイト 9 (16 進)	トランザク ション フォーマッ ト	最大値 周波数 (MHz)	アドレ ス長		
高度 セクタ 保護	ERPPB_0_0	持続的保護ビット消去トランザクシ ョンは、すべての持続的保護ビットを 「1」にセットします。	WRENB_0_0	E4 (CMD)	-	-	-	-	-	-	-	-	Figure 24	166	該当な し		
	WRPLB_0_0	PPB 保護ロック ビット書き込みトラン ザクションは PPB ロックを「0」にク リアします。	WRENB_0_0	A6 (CMD)	-	-	-	-	-	-	-	-					
	RDPLB_0_0	プログラム持続的保護ロックビット読 み出しトランザクションは 8 ビットの PPB ロック レジスタの内容を MSb から シフトアウトします。	-	A7 (CMD)	-	-	-	-	-	-	-	-	Figure 31				
	PGPWD_0_1	パスワード プログラム トランザクシ ョンはフラッシュ デバイスに 64 ビット パスワードをプログラムします。	WRENB_0_0	E8 (CMD)	パスワー ド [7:0]	パスワー ド [15:8]	パスワー ド [23:16]	パスワー ド [31:24]	パスワー ド [39:32]	パスワー ド [47:40]	パスワー ド [55:48]	パスワー ド [63:56]	Figure 35				
	PWDUL_0_1	パスワード ロック解除トランザクシ ョンはフラッシュ デバイスに 64 ビット パスワードを送ります。与えられたパス ワードがパスワード レジスタでの隠 しパスワードと一致しない場合、デバ イスはロックされ、ハードウェアリ セットまたは POR でのみデバイスはス タンバイ状態に戻り、PWDUL_0_1 の再 実行などの新しいトランザクションの ために準備します。パスワードが一致 の場合、PPB ロック ビットは「1」に セットされます。	-	E9 (CMD)	パスワー ド [7:0]	パスワー ド [15:8]	パスワー ド [23:16]	パスワー ド [31:24]	パスワー ド [39:32]	パスワー ド [47:40]	パスワー ド [55:48]	パスワー ド [63:56]					
リセット	SRSTE_0_0	ソフトウェアリセットイネーブルコマ ンドは SFRST_0_0 トランザクションの 直前に必要です。	-	66 (CMD)	-	-	-	-	-	-	-	-	Figure 24	166	該当な し		
	SFRST_0_0	ソフトウェアリセット トランザクシ ョンは不揮発性デフォルト値から揮発性 レジスタへの再ロードにより、デバイ スを初期電源投入状態に戻させます。	SRSTE_0_0	99 (CMD)	-	-	-	-	-	-	-	-					
リセット	SFRSL_0_0	レガシーソフトウェアリセットトラン ザクションは不揮発性デフォルト値か ら揮発性レジスタへの再ロードによ り、デバイスを初期電源投入状態に戻 させます。	-	F0 (CMD)	-	-	-	-	-	-	-	-	Figure 24				
ディープ パ ワーダウン	ENDPD_0_0	ディープパワー ダウン モード開始ト ランザクションはデバイスに最低消費電 力モードに移行させます。	-	B9 (CMD)	-	-	-	-	-	-	-	-					

電気的特性

7 電気的特性

7.1 絶対最大定格 [33、34、35]

プラスチックパッケージの保管温度	-65°C ~ +150°C
通電時の周囲温度	-65°C ~ +125°C
V _{CC} (HL-T).....	-0.5V ~ +4.0V
V _{CC} (HS-T).....	-0.5V ~ +2.5V
グラウンドを基準にした入力電圧 (V _{SS}).....	-0.5V ~ V _{CC} + 0.5V
出力短絡電流	100mA

7.2 動作範囲

動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

7.2.1 電源電圧

V _{CC} (HL-T デバイス).....	2.7V ~ 3.6V
V _{CC} (HS-T デバイス).....	1.7V ~ 2.0V

7.2.2 温度範囲 [36]

Table 78 温度範囲

パラメーター	記号	デバイス	仕様		単位
			Min	Max	
周囲温度	T _A	産業用 / 車載向け AEC-Q100 グレード 3	-40	+85	°C
		産業用プラス / 車載向け AEC-Q100 グレード 2		+105	
		車載向け AEC-Q100 グレード 1		+125	

注

36. 産業用プラス、車載向けグレード 2 および車載向けグレード 1 デバイスの動作および性能パラメーターはデバイス特性評価で決まり、本仕様を示す標準産業用または車載向けグレード 3 温度範囲のデバイスとは異なることがあります。

注

33. 信号遷移時に許可された最大値については 110 ページの [入力信号オーバーシュート](#) を参照してください。
 34. 複数の出力を同時にグラウンドに短絡できません。短絡時間は 1 秒を超えてはいけません。
 35. 108 ページの [絶対最大定格 \[33、34、35\]](#) に記載されたものを超えるストレスの印加は、デバイスを完全に破壊する可能性があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは本データシートの動作説明の各節に記載されている条件を超える条件におけるデバイスの機能動作は保証されません。長時間にわたってデバイスを絶対最大定格条件に放置すると、デバイスの信頼性に影響を与えます。

電気的特性

7.3 熱抵抗

Table 79 熱抵抗

パラメーター	説明	テスト条件	デバイス	24 ボール BGA	16 リード SOIC	8 接点 WSON	単位
Theta JA	熱抵抗 (接合部から周囲)	テスト条件は EIA/JESD51 による熱インピーダンスを測定するための標準的なテスト方法と手順に従います。無風時 (0m/s) の場合	256T	35.2	36.4	31	°C/W
			512T	40.4	35	32.7	
			01GT	37	28.3	-	
Theta JB	熱抵抗 (接合部から基板)		256T	19	9	17.5	°C/W
			512T	14.5	19	12.5	
			01GT	9.7	12	-	
Theta JC	熱抵抗 (接合部からケース)		256T	11	8	13.1	°C/W
			512T	8	9.9	13	
			01GT	7.5	7.6	-	

7.4 静電容量特性

Table 80 静電容量

パッケージ	入力容量		出力容量	
	Typ	Max	Typ	Max
24 ボール BGA	3.0pF	6.5pF	7.0pF	7.5pF
16 リード SOIC	4.0pF		7.5pF	8.0pF
8 接点 WSON	3.0pF		6.7pF	7.5pF

7.5 ラッチアップ仕様

Table 81 ラッチアップ仕様^[37]

説明	Min	Max	単位
すべての入力接続での、 V_{SS} を基準とした入力電圧	-1.0	$V_{CC}+1.0$	V
すべての I/O 接続での、 V_{SS} を基準とした入力電圧			
V_{CC} 電流	-100	+100	mA

注
37. 電源電圧 V_{CC} を除外します。テスト条件: $V_{CC}=1.8V/3.0V$ 、一度に 1 つの接続をテストし、テストされていないピンは V_{SS} に接続します。

7.6 DC 特性

7.6.1 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は V_{SS} と V_{CC} の電圧範囲内にある必要があります。電圧変動の間、入力または I/O は最大 20ns の間、 $V_{SS}-1.0V$ または $V_{CC}+1.0V$ にオーバーシュートする可能性があります。

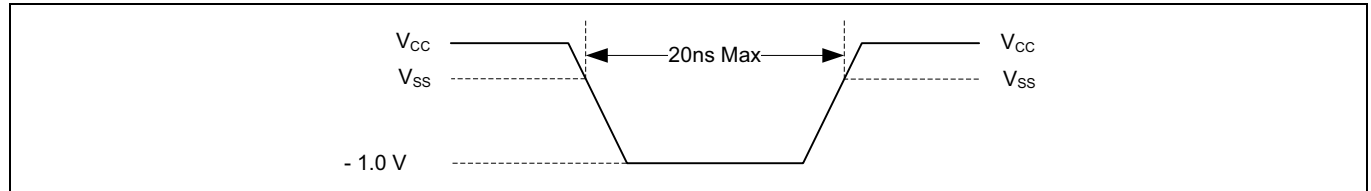


Figure 70 最大負オーバーシュート波形

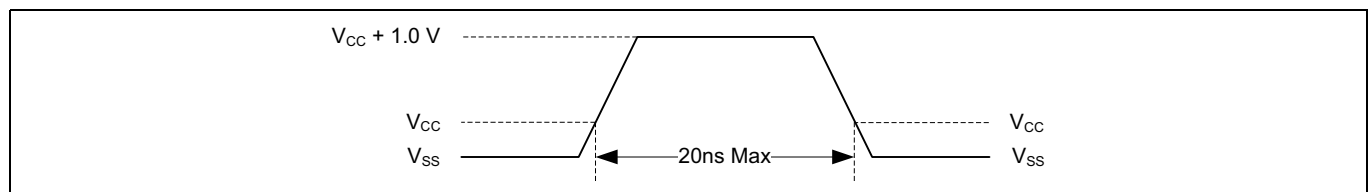


Figure 71 最大正オーバーシュート波形

電気的特性

7.6.2 DC 特性 (全温度範囲)

Table 82 DC 特性 [38, 39]

記号	パラメーター	テスト条件	最小値	標準値	最大値	単位	参照図
V_{IL}	入力 LOW 電圧 (すべての V_{CC})	—	$V_{CC} \times 0.15$	—	$V_{CC} \times 0.35$	V	
V_{IH}	入力 HIGH 電圧 (すべての V_{CC})	—	$V_{CC} \times 0.65$	—	$V_{CC} \times 1.15$		
V_{OL}	出力 LOW 電圧 (すべての V_{CC})	0.1mA 時	—	—	0.2		
V_{OH}	出力 HIGH 電圧 (すべての V_{CC})	−0.1mA 時	$V_{CC} - 0.20$	—	—		
I_{LI}	入力リーク電流	$V_{CC}=V_{CC} \text{ Max}$ 、 $V_{IN}=V_{IH}$ または V_{SS} 、 $CS\#=V_{IH}$ 、85°C	—	—	±2	μA	
		$V_{CC}=V_{CC} \text{ Max}$ 、 $V_{IN}=V_{IH}$ または V_{SS} 、 $CS\#=V_{IH}$ 、105°C	—	—	±3		
		$V_{CC}=V_{CC} \text{ Max}$ 、 $V_{IN}=V_{IH}$ または V_{SS} 、 $CS\#=V_{IH}$ 、125°C	—	—	±4		
I_{LO}	出力リーク電流	$V_{CC}=V_{CC} \text{ Max}$ 、 $V_{IN}=V_{IH}$ または V_{SS} 、 $CS\#=V_{IH}$ 、85°C	—	—	±2		
		$V_{CC}=V_{CC} \text{ Max}$ 、 $V_{IN}=V_{IH}$ または V_{SS} 、 $CS\#=V_{IH}$ 、105°C	—	—	±3		
		$V_{CC}=V_{CC} \text{ Max}$ 、 $V_{IN}=V_{IH}$ または V_{SS} 、 $CS\#=V_{IH}$ 、125°C	—	—	±4		
I_{CC1}	アクティブ供給電流 (読み出し) ^[39]	SDR@ 50MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	—	14/18 10/10 18/14	25/25 21/18 25/25	mA	—
		SDR@ 166MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	—	53 53 53	69/72 69/69 69/72		
		DDR@ 102MHz	—	50	68		
I_{CC2}	アクティブ供給電流 (ページ プログラム) (256T / 512T / 01GT)	$V_{CC}=V_{CC} \text{ Max}$ 、 $CS\#=V_{IH}$	—	50	58/58/66		
I_{CC3}	アクティブ供給電流 (レジスタ書き込みおよび任意レジスタ書き込み) (256T / 512T / 01GT)	$V_{CC}=V_{CC} \text{ Max}$ 、 $CS\#=V_{IH}$	—	50	55/55/66		
I_{CC4}	アクティブ供給電流 (セクタ消去) (256T / 512T / 01GT)	$V_{CC}=V_{CC} \text{ Max}$ 、 $CS\#=V_{IH}$	—	50	55/55/66		
I_{CC5}	アクティブ供給電流 (チップ消去) (256T / 512T / 01GT)	$V_{CC}=V_{CC} \text{ Max}$ 、 $CS\#=V_{IH}$	—	50	55/55/66		

注

38. Typ 値は $T_{AI}=25^{\circ}\text{C}$ と $V_{CC}=1.8\text{V}/3.0\text{V}$ のときです。

39. 読み出しデータが返るとき、出力は未接続です。出力スイッチング電流が含まれていません。

電气的特性

Table 82 DC 特性 [38, 39] (続き)

記号	パラメーター	テスト条件	最小値	標準値	最大値	単位	参照図
I_{SB}	スタンバイ電流 (HS256T/ HS512T/ HS01GT)	RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 85°C	–	11	160/113/160	μA	–
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 105°C	–		220/188/220		
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 125°C	–		510/340/510		
	スタンバイ電流 (HL256T/ HL512T/ HL01GT)	RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 85°C	–	14	160/126/160		
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 105°C	–		425/188/425		
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 125°C	–		560/340/560		
I_{DPD}	DPD 電流 (HS256T/ HS512T/ HS01GT)	RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 85°C	–	1.3	24/18/24	μA	
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 105°C	–		26/18/26		
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 125°C	–		56/31/56		
I_{DPD}	DPD 電流 (HL256T/ HL512T/ HL01GT)	RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 85°C	–	2.2	18/18/26		
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 105°C	–		18/18/26		
		RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS} 、 125°C	–		60/31/60		
I_{POR}	POR 電流	RESET#, CS#=V _{CC} 。すべての I/O=V _{CC} または V _{SS}	–	–	80	mA	
電源投入 / 電源切断時の電圧							
V_{CC} (min)	V _{CC} (最小動作電圧、HL-T)	–	2.7	–	–	V	Figure 66 / Figure 67
	V _{CC} (最小動作電圧、HS-T)	–	1.7	–	–		
V_{CC} (cut-off)	V _{CC} (再初期化が必要となるカットオフ電圧、HL-T)	–	2.4	–	–		Figure 67
	V _{CC} (再初期化が必要となるカットオフ電圧、HS-T)	–	1.55	–	–		
V_{CC} (Low)	V _{CC} (初期化が起こる低電圧、HL-T)	–	0.7	–	–		
	V _{CC} (初期化が起こる低電圧、HS-T)	–	0.7	–	–		

注

38. Typ 値は T_{AI}=25°C と V_{CC}=1.8V/3.0V のときです。

39. 読み出しデータが返るとき、出力は未接続です。出力スイッチング電流が含まれていません。

7.7 AC テスト条件

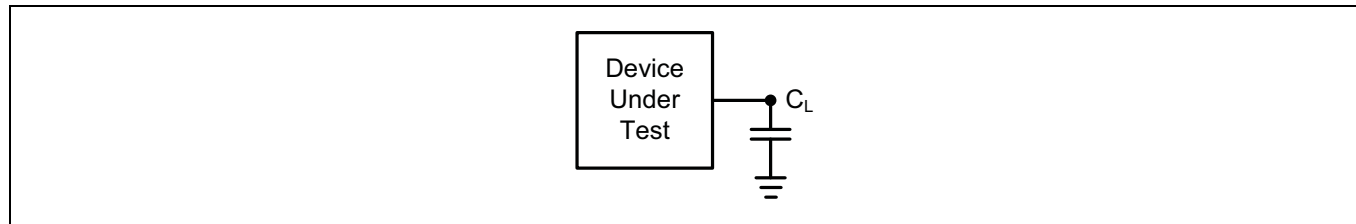


Figure 72 テストセットアップ

Table 83 AC 測定条件^[41]

パラメーター	最小値	最大値	単位	参照図
負荷静電容量 (C _L)	－	30	pF	Figure 72
入力パルス電圧	0	V _{CC}	V	－
100MHz (HL-T)での入力立ち上り (t _{CRT}) および立ち下り (t _{CFT}) スルーレート ^[40]	1.03	-	V/ns	Figure 78
133MHz (HL-T)での入力立ち上り (t _{CRT}) および立ち下り (t _{CFT}) スルーレート ^[40]	1.37	-		
166MHz (HL-T)での入力立ち上り (t _{CRT}) および立ち下り (t _{CFT}) スルーレート ^[40]	1.72	-		
100MHz (HS-T)での入力立ち上り (t _{CRT}) および立ち下り (t _{CFT}) スルーレート ^[40]	0.38	-		
133MHz (HS-T)での入力立ち上り (t _{CRT}) および立ち下り (t _{CFT}) スルーレート ^[40]	0.75	-		
166MHz (HS-T)での入力立ち上り (t _{CRT}) および立ち下り (t _{CFT}) スルーレート ^[40]	0.94	-		
V _{IL(ac)}	-0.30×V _{CC}	0.30×V _{CC}	V	－
V _{IH(ac)}	0.7×V _{CC}	1.30×V _{CC}		
V _{OH(ac)}	0.75×V _{CC}	-		
V _{OL(ac)}	－	0.25×V _{CC}		
入力タイミング参照電圧	0.5×V _{CC}			
出力タイミング参照電圧				

注

40. $V_{CC \max}$ での入力パルスの最小値～最大値で測定した入力スルーレートです。

41. AC 特性表ではクロックおよびデータ信号が同じスルーレート (スロープ) を持っていることを想定しています。

8 タイミング特性

Table 84 タイミング特性^[43]

記号	パラメーター	最小値	標準値	最大値	単位	参照図
SDR タイミング特性						
f _{CK}	クロック周波数	DC	—	166	MHz	-
P _{CK}	CK クロック周期	1/f _{CK}	—	∞		Figure 78
t _{CH}	クロック HIGH 時間	P _{CK} の 45%	—	P _{CK} の 55%		
t _{CL}	クロック LOW 時間		—			
t _{CS}	CS# HIGH 時間 (読み出しトランザクション)	10	—	—		Figure 79
	トランザクション間の CS# HIGH 時間 (リセット機能とクアッド モードの両方が有効な場合の読み出しトランザク ションと中止されたトランザクション)	20	—	—		
	CS# HIGH 時間 (プログラム / 消去トランザクション)	50	—	—		
t _{CSS}	CS# アクティブ セットアップ時間 (CK を基準とする) (f _{CK} ≤ 50MHz/f _{CK} >50MHz)	5/4	—	—		
t _{CSH0}	CS# アクティブ ホールド時間 (モード 0 で CK を基準とする)	4	—	—		
t _{CSH3}	CS# アクティブ ホールド時間 (モード 3 で CK を基準とする)	6	—	—		
t _{SU}	データ セットアップ時間 (すべての V _{CC}) (f _{CK} ≤50MHz/f _{CK} >50MHz)	5/2	—	—		
t _{HD}	データ ホールド時間 (すべての V _{CC}) (f _{CK} ≤50MHz/f _{CK} >50MHz)		—	—		
t _V ^[43]	クロック LOW から出力有効までの時間 (15pF 負荷、3.0V–3.6V、30Ω 出力インピーダンス、105°C) (HL-T) 注: 設計で保証されています。	2	-	6.5	ns	Figure 80
	クロック LOW から出力有効までの時間 (15pF 負荷) (HS-T)			6		
	クロック LOW から出力有効までの時間 (15pF 負荷) (HL-T)			8		
	クロック LOW から出力有効までの時間 (30pF 負荷) (HS-T)			9		
	クロック LOW から出力有効までの時間 (30pF 負荷) (HL-T)					
t _{HO}	出力ホールド時間	1.5	—	—		
t _{DIS} ^[42]	CS# 非アクティブから出力ディセーブルまでの時間 (HS-T)	—	—	8		
	CS# 非アクティブから出力ディセーブルまでの時間 (HL-T)	—	—	9		
	CS# 非アクティブから出力ディセーブルまでの時間 (リセット機能とクアッド モードの両方が有効な場合)	—	—	20		
t _{WPS}	WP# セットアップ時間 (STCFWR が「1」にセットされているとき、レジスタ書き込みトランザクションの制約として適用可能)	20	—	—		Figure 81
t _{WPH}	WP# ホールド時間 (STCFWR が「1」にセットされているとき、レジスタ書き込みトランザクションの制約として適用可能)	20	—	—		
t _{IO_SKEW} ^[4] _{9]}	データスキュー時間 (最初のデータビットから最後のデータビットまでの時間)	—	—	0.6		-

注

42. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
 43. すべての動作温度オプションに適用可能です。
 44. t_{PU} の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、 t_{RH} が CS# が LOW になる時点を決めます。
 45. t_{RP} と t_{RH} の和は t_{RRH} 以上でなければなりません。
 46. プログラムと消去時間の Typ 値は次の条件を想定したものです: 25°C、 $V_{CC}=1.8\text{V}$ と 3.0V、およびチェッカーボードデータパターン。
 47. 任意の OTP プログラムトランザクションのプログラム時間は t_{PP} と同じです。
 48. PRPPB_4_0 および PRPPB_C_0 トランザクションのプログラム時間は t_{PP} と同じです。ERPPB_0_0 トランザクションの消去時間は t_{SE} と同じです。
 49. 値は特性評価によって保証され、生産時に 100% テストされていません。
 50. 設計で保証されています。
 51. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基いた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュデバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

Table 84 タイミング特性^[43] (続き)

記号	パラメーター	最小値	標準値	最大値	単位	参照図
DDR タイミング特性						
f _{CK}	CK クロック周波数	DC	－	102	MHz	-
P _{CK}	CK クロック周期	1/f _{CK}	－	∞	ns	Figure 78
t _{CH}	クロック HIGH 時間	p _{CK} の 45%	－	p _{CK} の 55%		
t _{CL}	クロック LOW 時間		－			
t _{CS}	CS# HIGH 時間 (読み出しトランザクション)	10	－	－		
	トランザクション間の CS# HIGH 時間 (リセット機能とクアッド モードの両方が有効な場合の読み出しトランザクションと中止されたトランザクション)	20	－	－		
	CS# HIGH 時間 (プログラム / 消去トランザクション)	50	－	－		
t _{CSS}	CS# アクティブ セットアップ時間 (CK を基準とする) (f _{CK} ≤ 50MHz/f _{CK} >50MHz)	5/4	－	－	ns	Figure 83
t _{CSH0}	CS# アクティブ ホールド時間 (モード 0 で CK を基準とする)	4	－	－		
t _{SU}	データ セットアップ時間 (すべての V _{CC})	2	－	－		
t _{HD}	データ ホールド時間 (すべての V _{CC})	1.2	－	－		
t _V	クロック LOW から出力有効までの時間 (15pF 負荷、3.0V－3.6V、30Ω 出力インピーダンス、105℃) (HL-T)	2	-	6.5	ns	Figure 84
	クロック LOW から出力有効までの時間 (15pF 負荷) (HS-T)	2	－	6		
	クロック LOW から出力有効までの時間 (15pF 負荷) (HL-T)		－	8		
t _{HO}	出力ホールド時間	1.5	－	－		
t _{DIS}	出力ディセーブル時間 (HS-T)	－	－	8		
	出力ディセーブル時間 (HL-T)	－	－	9		
	CS# 非アクティブから出力ディセーブルまでの時間 (リセット機能とクアッド モードの両方が有効な場合)	－	－	20		
t _{IO_SKEW} ^[49]	データ スキュー時間 (最初のデータビットから最後のデータビットまでの時間)	－	－	0.6		-
電源投入 / 電源切断タイミング						
t _{PU}	V _{CC} (min) から読み出し動作までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	－	－	550/600 450/500 450/500	μs	Figure 66
t _{PD}	V _{CC} (Low) 時間	25	－	－		Figure 67
t _{VR} ^[50]	V _{CC} 電源投入時ランプレート	1	－	－	μs/V	-
t _{VF}	V _{CC} 電源切断時ランプレート	30	－	－		
ディープパワーダウンモードタイミング						
t _{ENTDPD} ^[50]	DPD モード開始までの時間	－	－	3	μs	Figure 65
t _{EXTDPD}	DPD モード終了までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	－	－	520/570 380/430 380/430		
t _{CSDPD}	DPD を終了するチップセレクトパルス幅	0.02	－	3		

注

42. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
43. すべての動作温度オプションに適用可能です。
44. t_{PU} の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、 t_{RH} が CS# が LOW になる時点を決めます。
45. t_{RP} と t_{RH} の和は t_{RRH} 以上でなければなりません。
46. プログラムと消去時間の Typ 値は次の条件を想定したものです: 25°C、 $V_{CC}=1.8\text{V}$ と 3.0V、およびチェッカーボードデータパターン。
47. 任意の OTP プログラムトランザクションのプログラム時間は t_{pp} と同じです。
48. PRPPB_4_0 および PRPPB_C_0 トランザクションのプログラム時間は t_{pp} と同じです。ERPPB_0_0 トランザクションの消去時間は t_{SE} と同じです。
49. 値は特性評価によって保証され、生産時に 100% テストされていません。
50. 設計で保証されています。
51. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基づいた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュデバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

タイミング特性

Table 84 タイミング特性^[43] (続き)

記号	パラメーター	最小値	標準値	最大値	単位	参照図	
リセット タイミング [44、45]							
t _{CSR}	DQ3_RESET# LOW までの CS# HIGH 時間	50	—	—	ns	Figure 60	
t _{RS}	リセット セットアップ時間 - CS# LOW 前の RESET# HIGH 時間	50	—	—		Figure 56	
t _{RH}	リセット パルス ホールド時間 - RESET# LOW から CS# LOW までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	550/600 450/500 450/500	—	—	μs		
t _{RP}	RESET# パルス幅	200	—	—	ns		Figure 56
t _{SR}	ソフトウェア リセット トランザクションからの内部デバイス リセット時間 (256T / 512T / 01GT)	—	—	90/83/83	μs		-
CS# シグナリング リセット タイミング							
t _{CSLW}	チップセレクト LOW 時間	500	—	—	ns	Figure 63	
t _{CSHG}	チップセレクト HIGH 時間	500	—	—			
t _{RESET}	デバイス内部リセット時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	—	—	550/600 450/500 450/500	μs		
t _{SUJ}	データ入力セットアップ時間 (CS# に対する)	50	—	—	ns		
t _{HDJ}	データ入力ホールド時間 (CS# に対する)	50	—	—			
組み込みアルゴリズム (消去、プログラム、データ整合性チェック) 性能 [46、47、48、51]							
t _W	不揮発性レジスタ書き込み時間	—	44	357.5	ms	-	
t _{PP}	256B ページ プログラム (4KB セクタ /256KB セクタ)	—	430/480	2175/1700	μs		
	512B ページ プログラム (4KB セクタ /256KB セクタ)	—	680/570	2175/1700			
t _{SE}	セクタ消去時間 (4KB 物理セクタ)	—	42	335	ms		
	セクタ消去時間 (256KB インフィニオン Endurance Flex アーキテクチャは無効)	—	773	2677			
	セクタ消去時間 (256KB インフィニオン Endurance Flex アーキテクチャは有効)	—	773	5869			
t _{BE}	チップ消去時間 (256Mb)	—	101	348	s		
	チップ消去時間 (512Mb)	—	201	696			
	チップ消去時間 (1Gb)	—	398	1381			
t _{EES}	4KB 物理セクタの消去ステータス判定時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	—	45	76/76 51/51 50/54	μs		
	256KB 物理セクタの消去ステータス判定時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	—	45				
t _{DIC_SETUP}	データ整合性チェック計算セットアップ時間 (256T / 512T / 01GT)	—	50/17/17	—	μs		
t _{DIC_RATES}	データ整合性チェック計算レート (大きいデータ ブロック (>1024 バイト) に対する計算レート)	55	65	—	MBps		

注

42. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
43. すべての動作温度オプションに適用可能です。
44. t_{PU} の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、t_{RH} が CS# が LOW になる時点を決めます。
45. t_{RP} と t_{RH} の和は t_{RRH} 以上でなければなりません。
46. プログラムと消去時間の Typ 値は次の条件を想定したものです : 25°C、V_{CC}=1.8V と 3.0V、およびチェッカーボード データ パターン。
47. 任意の OTP プログラム トランザクションのプログラム時間は t_{PP} と同じです。
48. PRPPB_4_0 および PRPPB_C_0 トランザクションのプログラム時間は t_{PP} と同じです。ERPPB_0_0 トランザクションの消去時間は t_{SE} と同じです。
49. 値は特性評価によって保証され、生産時に 100% テストされていません。
50. 設計で保証されています。
51. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基いた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュデバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

タイミング特性

Table 84 タイミング特性^[43] (続き)

記号	パラメーター	最小値	標準値	最大値	単位	参照図
t _{SEC}	セクタ消去カウント時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	－	55	87/87 63/63 63/70	μs	-
t _{BEC1}	ブランク チェック (単一 256KB セクタ)	－	13	17	ms	
t _{BEC2}	ブランク チェック (単一 4KB セクタ)	－	1	2		
t _{PASSWORD}	パスワード比較時間	80	100	120	μs	
プログラム / 消去 / データ整合性チェックの一時停止 / 再開タイミング						
t _{PEDS}	プログラム / 消去 / データ整合性チェックの一時停止時間	－	－	80	μs	-
t _{PEDRS}	プログラム / 消去 / データ整合性チェックの再開から次のプログラム / 消去 / データ整合性チェックの一時停止までの時間 (256T / 512T / 01GT)	250/- / -	100/100/100	－		

注

42. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
43. すべての動作温度オプションに適用可能です。
44. t_{PU} の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、 t_{RH} が CS# が LOW になる時点を決めます。
45. t_{RP} と t_{RH} の和は t_{RPH} 以上でなければなりません。
46. プログラムと消去時間の Typ 値は次の条件を想定したものです: 25°C、 $V_{CC}=1.8V$ と 3.0V、およびチェッカーボード データ パターン。
47. 任意の OTP プログラムトランザクションのプログラム時間は t_{PP} と同じです。
48. PRPPB_4_0 および PRPPB_C_0 トランザクションのプログラム時間は t_{PP} と同じです。ERPPB_0_0 トランザクションの消去時間は t_{SE} と同じです。
49. 値は特性評価によって保証され、生産時に 100% テストされていません。
50. 設計で保証されています。
51. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基いた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュデバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

8.1 タイミング波形

8.1.1 タイミング波形の重要な要素

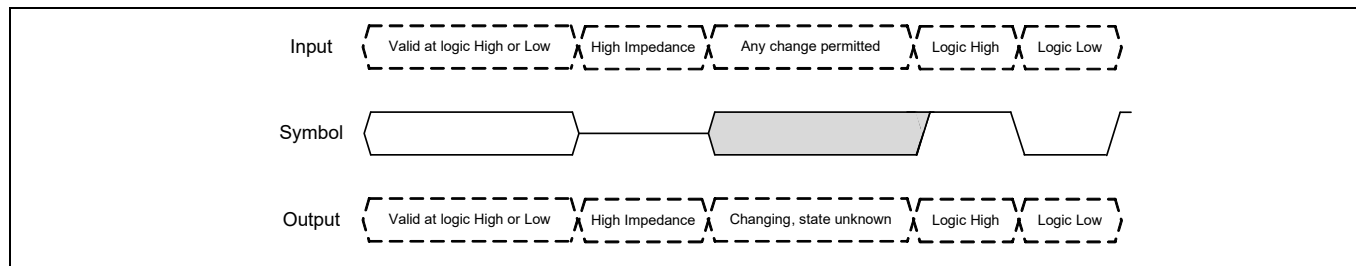


Figure 73 波形要素の意味

8.1.2 タイミング参照レベル

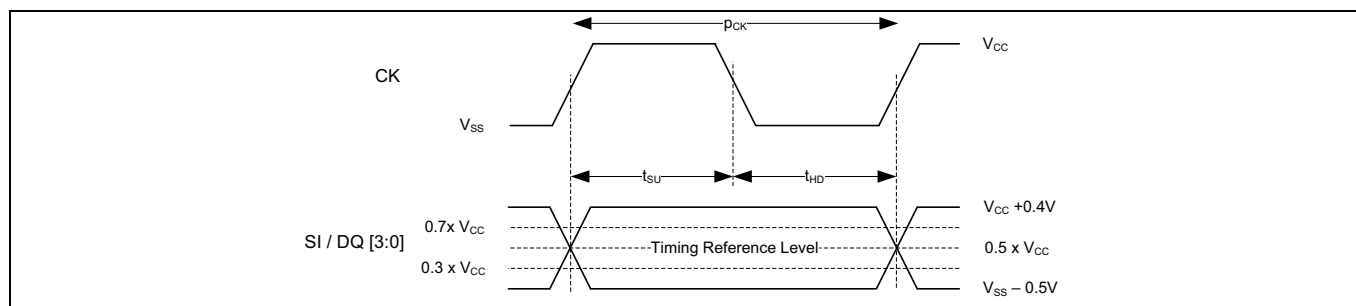


Figure 74 SDR 入力タイミング参照レベル

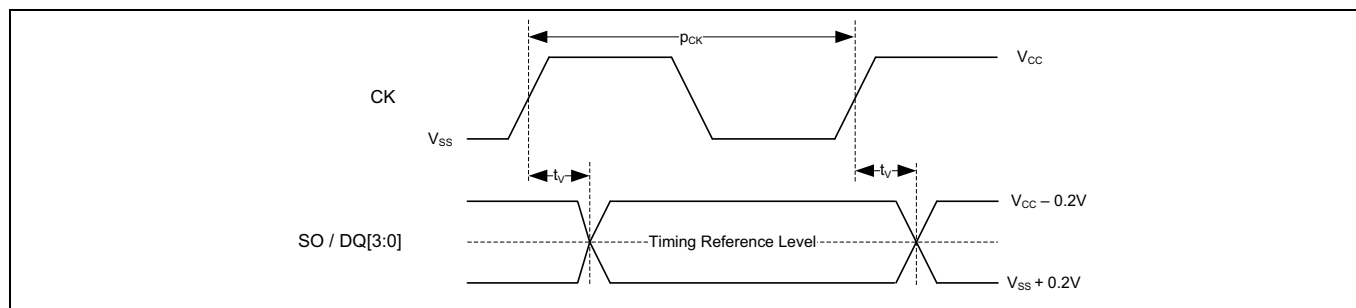


Figure 75 SDR 出力タイミング参照レベル

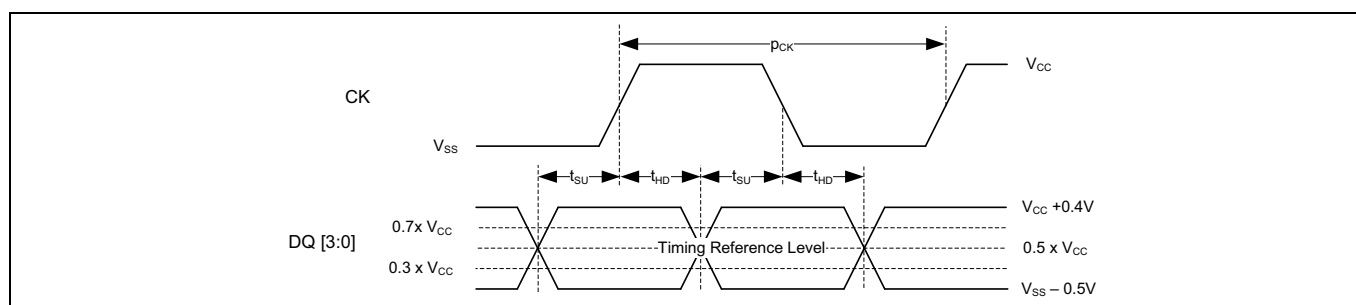


Figure 76 DDR 入力タイミング参照レベル

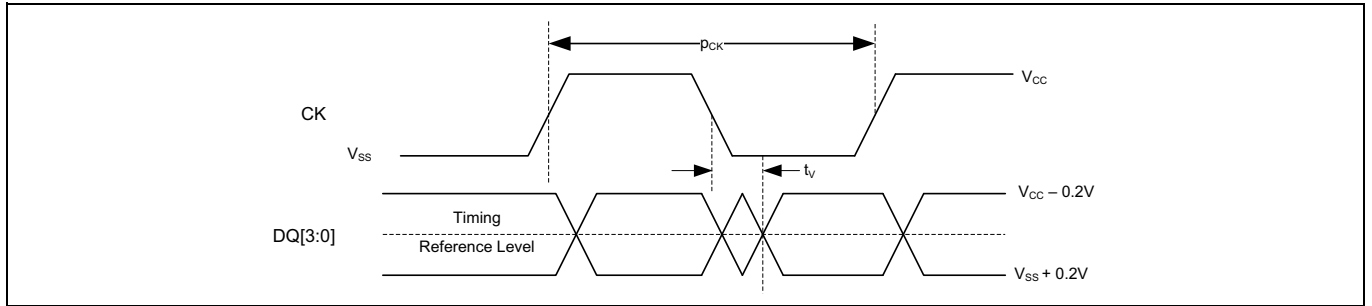


Figure 77 DDR 出力タイミング参照レベル

8.1.3 クロック タイミング

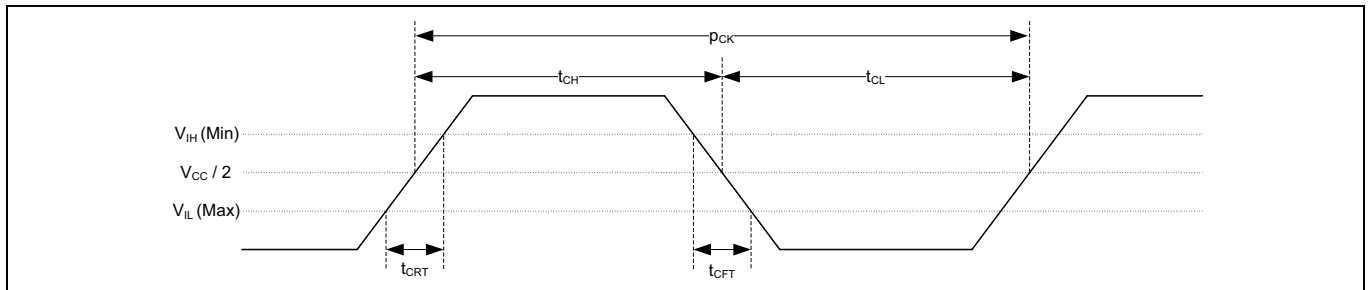


Figure 78 クロック タイミング

8.1.4 入力 / 出力タイミング

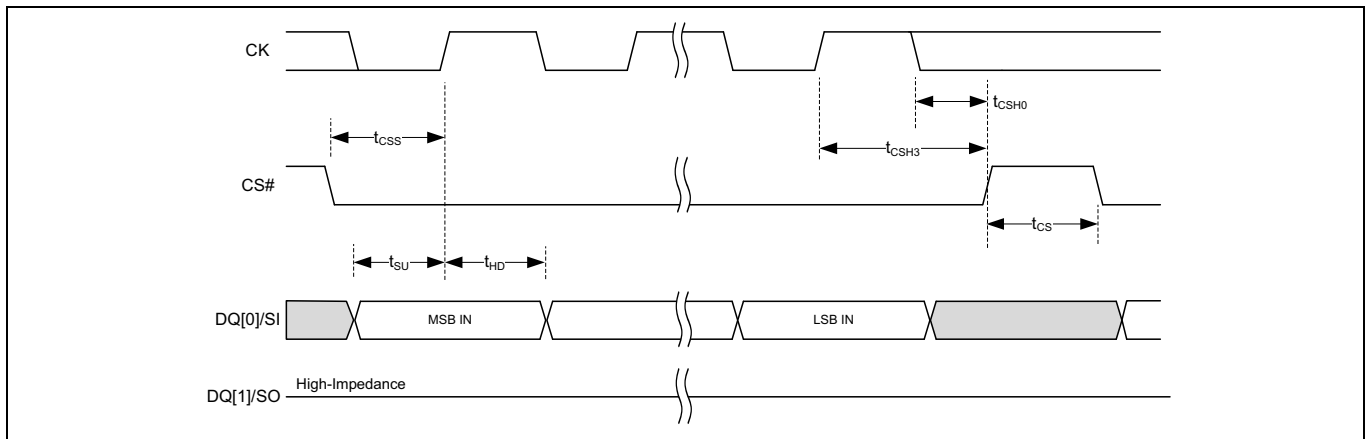


Figure 79 SPI 入力タイミング

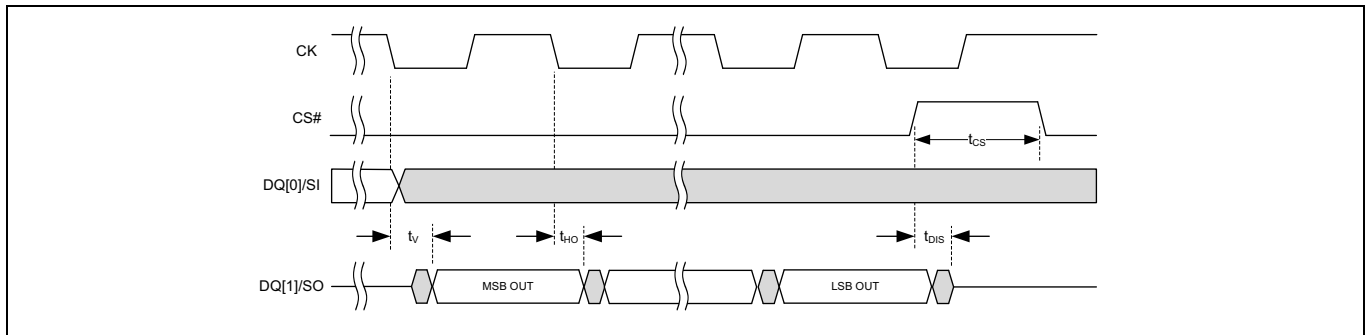


Figure 80 SPI 出力タイミング

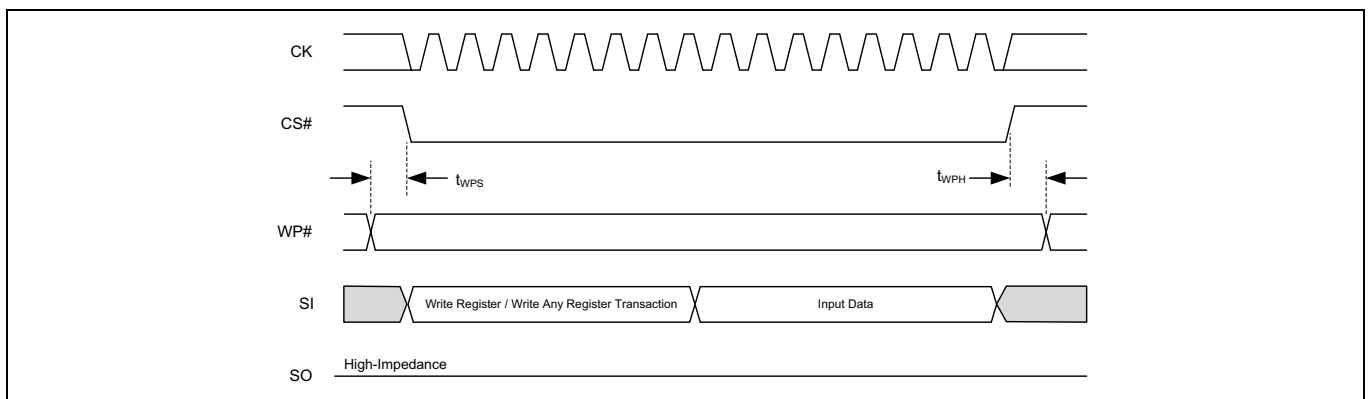


Figure 81 WP# 入力タイミング

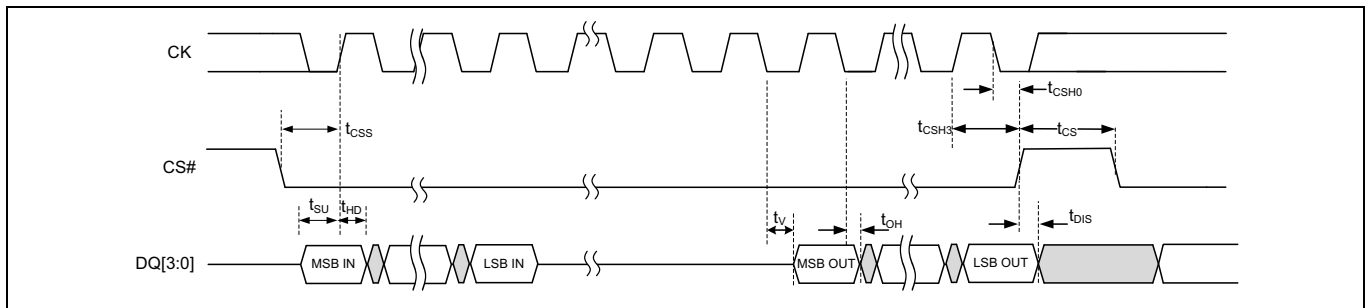


Figure 82 クアッドおよび QPI SDR 入力と出力タイミング

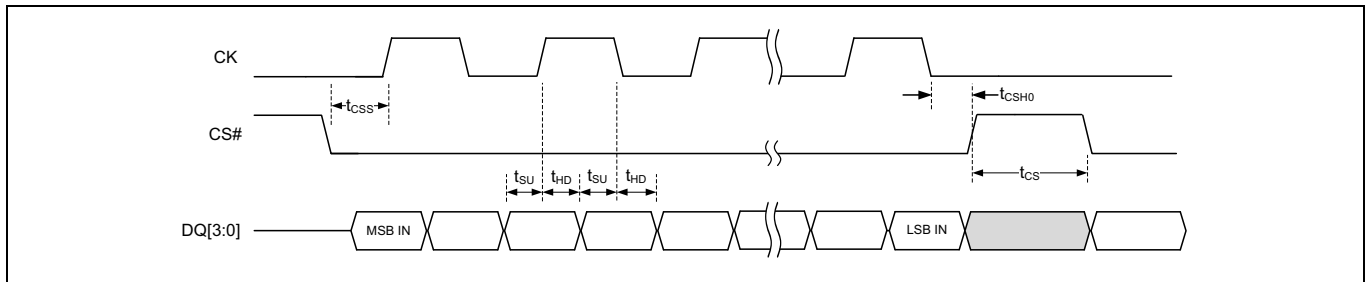


Figure 83 クアドおよび QPI DDR 入カタイミング

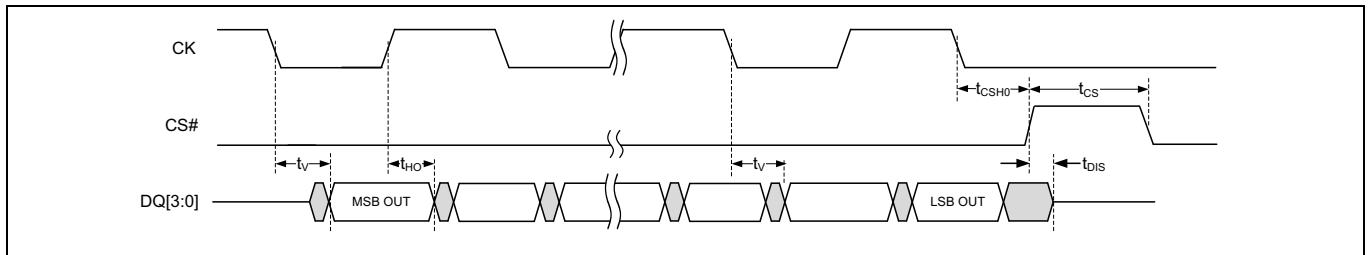


Figure 84 クアドおよび QPI DDR 出カタイミング

9 デバイス ID

9.1 JEDEC SFDP レビジョン D

9.1.1 JEDEC SFDP Rev D ヘッダ テーブル

Table 85 JEDEC SFDP Rev D ヘッダテーブル

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
00h	SFDP ヘッダ	53h	SFDP 読み出し (5Ah) コマンドのエントリ ポイントで、すなわち SFDP 空間内の位置 0 です。 ASCII「S」
01h		46h	ASCII「F」
02h		44h	ASCII「D」
03h		50h	ASCII「P」
04h		08h	SFDP マイナー レビジョン (08h=JEDEC JESD216 レビジョン D)
05h		01h	SFDP メジャー レビジョン (01h=JEDEC JESD216 レビジョン D) これはオリジナルのメジャー レビジョンです。あらゆる SFDP 読み出しおよび構文解析ソフト ウェアと互換性があります。
06h		03h	パラメーター ヘッダ数 (0 オリジン、03h=4 パラメーター)
07h		FFh	SFDP アクセス プロトコル (下位互換)
08h	第 1 パラメー ター ヘッダ	00h	パラメーター ID LSB (00h=JEDEC SFDP 基本 SPI フラッシュ パラメーター)
09h		00h	パラメーター マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
0Ah		01h	パラメーター メジャー レビジョン (01h= オリジナル メジャー レビジョン)。あらゆる SFDP ソ フトウェアはこのメジャー レビジョンと互換性があります。
0Bh		14h	パラメーター テーブル長 (14h= パラメーター テーブル長は 20 DWORD)
0Ch		00h	パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト整列) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット =0100h
0Dh		01h	パラメーター テーブル ポインタ バイト 1
0Eh		00h	パラメーター テーブル ポインタ バイト 2
0Fh		FFh	パラメーター ID の MSB (FFh=JEDEC で定義されたレガシー パラメーター ID)
10h	第 2 パラメー ター ヘッダ	84h	パラメーター ID の LSB (84h=4 バイト アドレス命令テーブル)
11h		00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
12h		01h	パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビジョン D)
13h		02h	パラメーター テーブル長 (2h= パラメーター テーブル長は 2 DWORD)
14h		50h	パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト整列) 4 バイト アドレス命令テーブル バイト オフセット =0150h アドレス
15h		01h	パラメーター テーブル ポインタ バイト 1
16h		00h	パラメーター テーブル ポインタ バイト 2
17h		FFh	パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)
18h	第 3 パラメー ター ヘッダ	81h	パラメーター ID の LSB (81h=JEDEC セクタ マップ)
19h		00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
1Ah		01h	パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビジョン D)
1Bh		16h	パラメーター テーブル長 (16h= パラメーター テーブル長は 22 DWORD)
1Ch		C8h	パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト整列) JEDEC セクタ マップ =1C8h アドレス
1Dh		01h	パラメーター テーブル ポインタ バイト 1
1Eh		00h	パラメーター テーブル ポインタ バイト 2
1Fh		FFh	パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)

Table 85 JEDEC SFDP Rev D ヘッダテーブル (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
20h	第 4 パラメータ ヘッダ	87h	パラメーター ID の LSB (87h=JEDEC ステータス、制御、コンフィギュレーションレジスタ マップ)
21h		00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
22h		01h	パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビジョン D)
23h		1Ch	パラメーター テーブル 長 (1Ch= パラメーター テーブル 長は 28 DWORD)
24h		58h	パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト 整列) JEDEC の ステータス、制御、コンフィギュレーションレジスタ マップ =158h アドレス
25h		01h	パラメーター テーブル ポインタ バイト 1
26h		00h	パラメーター テーブル ポインタ バイト 2
27h		FFh	パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)

9.1.2 JEDEC SFDP Rev D パラメーター テーブル

SFDP データ構造では、3 つの独立したパラメーター テーブルがあります。その中の 2 つは固定長であり、残りの 1 つは注文製品番号 (OPN) によって可変の構造と長さを持ちます。パラメーター テーブルは [Table 86](#) で 1 つのテーブルとして示されます。

Table 86 JEDEC SFDP Rev D パラメーター テーブル

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
100h	JEDEC 基本フ ラッシュパラ メーター DWORD 1	E7h	ビット 7:5= 未使用 =111b ビット 4=50h は揮発性ステータス レジスタ書き込み命令。ステータス レジスタはデフォルト値 =0b ビット 3= ブロック保護ビットは不揮発性 / 揮発性。不揮発性 =0b ビット 2= プログラム バッファ >64 バイト =1b ビット 1:0= ユニフォーム 4KB 消去は実行不可 =11b
101h		20h	ビット 15:8=4KB 消去オペコード =20h
102h		FAh	ビット 23= 未使用 =1b ビット 22= クアッド出力 (1-1-4) 読み出しのサポート = 有 =1b ビット 21= クアッド I/O (1-4-4) 読み出しのサポート = 有 =1b ビット 20= デュアル I/O (1-2-2) 読み出しのサポート = 有 =1b ビット 19=DDR のサポート = 有 =1b ビット 18:17= アドレス バイト数 =3 または 4 バイト =01b ビット 16= デュアル出力 (1-1-2) 読み出しのサポート = 無 =0b
103h		FFh	ビット 31:24= 未使用 =FFh
104h	JEDEC 基本フ ラッシュパラ メーター DWORD 2	FFh	ビット単位での容量, 0 オリジン, 256Mb=0FFFFFFFh ビット単位での容量, 0 オリジン, 512Mb=1FFFFFFFh ビット単位での容量, 0 オリジン, 1Gb=3FFFFFFFh
105h		FFh	
106h		FFh	
107h		0Fh (256Mb) 1Fh (512Mb) 3Fh (1Gb)	
108h	JEDEC 基本フ ラッシュパラ メーター DWORD 3	48h	ビット 7:5= クアッド I/O (1-4-4) モード サイクル数 =010b ビット 4:0= クアッド I/O ダミー サイクル数 =01000b (工場出荷初期状態)
109h		EBh	クアッド I/O 命令コード
10Ah		08h	ビット 23:21= クアッド出力 (1-1-4) モード サイクル数 =000b ビット 20:16= クアッド出力ダミー サイクル数 =01000b
10Bh		6Bh	1-1-4 クアッド出力命令コード =6Bh
10Ch	JEDEC 基本フ ラッシュパラ メーター DWORD 4	00h	ビット 7:5= デュアル出力 (1-1-2) モード サイクル数 =000b ビット 4:0= デュアル出力ダミー サイクル数 =00000b
10Dh		FFh	デュアル出力命令コード
10Eh		88h	ビット 23:21= デュアル I/O (1-2-2) モード サイクル数 =100b ビット 20:16= デュアル I/O ダミー サイクル数 =01000b (工場出荷初期状態)
10Fh		BBh	デュアル I/O 命令コード
110h	JEDEC 基本フ ラッシュパラ メーター DWORD 5	FEh	ビット 7:5 RFU=111b ビット 4=QPI のサポート = 有 =1b ビット 3:1=RFU=111b ビット 0=2-2-2 は未対応 =0b
111h		FFh	ビット 15:8=RFU=FFh
112h		FFh	ビット 23:16=RFU=FFh
113h		FFh	ビット 31:24=RFU=FFh
114h	JEDEC 基本フ ラッシュパラ メーター DWORD 6	FFh	ビット 7:0=RFU=FFh
115h		FFh	ビット 15:8=RFU=FFh
116h		00h	ビット 23:21=2-2-2 モード サイクル数 =000b ビット 20:16=2-2-2 ダミー サイクル数 =00000b
117h		FFh	2-2-2 命令コード
118h	JEDEC 基本フ ラッシュパラ メーター DWORD 7	FFh	ビット 7:0=RFU=FFh
119h		FFh	ビット 15:8=RFU=FFh
11Ah		48h	ビット 23:21=QPI モード サイクル数 =010b ビット 20:16=QPI ダミー サイクル数 =01000b
11Bh		EBh	QPI モード クアッド I/O (4-4-4) 命令コード
11Ch	JEDEC 基本フ ラッシュパラ メーター DWORD 8	0Ch	消去タイプ 1、サイズ 2^N バイト =2^12 バイト =4KB (工場出荷初期状態)
11Dh		20h	消去タイプ 1 命令
11Eh		00h	消去タイプ 2、サイズ 2^N バイト = 未対応
11Fh		FFh	消去タイプ 2 命令 = 未対応 =FFh
120h	JEDEC 基本フ ラッシュパラ メーター DWORD 9	00h	消去タイプ 3、サイズ 2^N バイト = 未対応
121h		FFh	消去タイプ 3 命令 = 未対応 =FFh
122h		12h	消去タイプ 4、サイズ 2^N バイト =2^18 バイト =256KB
123h		D8h	消去タイプ 4 命令 =D8h

Table 86 JEDEC SFDP Rev D パラメーター テーブル (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
124h	JEDEC 基本フラッシュパラメーター DWORD 10	23h	ビット 31:30= 消去タイプ 4、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s)=128s=10b
125h		FAh	ビット 29:25= 消去タイプ 4、標準時間カウント =00101b (標準消去時間 = カウント +1* 単位 =6*128ms=768ms)
126h		FFh	ビット 24:23= 消去タイプ 3、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s)=1s=11b (RFU)
127h		8Bh	ビット 22:18= 消去タイプ 3、標準時間カウント =11111b (RFU) ビット 17:16= 消去タイプ 2、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s)=1s=11b (RFU) ビット 15:11= 消去タイプ 2、標準時間カウント =11111b (RFU) ビット 10:9= 消去タイプ 1、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s)=16ms=01b ビット 8:4= 消去タイプ 1、標準時間カウント =00010b (標準消去時間 = カウント +1* 単位 =3*16ms=48ms) ビット 3:0= カウント = (最大消去時間 / (2* 標準消去時間))-1=0001b
128h	JEDEC 基本フラッシュパラメーター DWORD 11	82h	ビット 31= 予約済み =1b
129h		E7h	ビット 30:29= チップ消去標準時間単位 (00b: 16ms、01b: 256ms、10b: 4s、11b: 64s)=11b (256M、512M、1G)
12Ah		FFh	ビット 28:24= チップ消去標準時間カウント =00001b (256M)、00011b (512M)、00110b (1G)
12Bh		256M では E1h 512M では E3h 1G では E6h	ビット 23:19= バイト プログラム標準時間、追加のバイト =11111b ビット 18:14= バイト プログラム標準時間、最初のバイト =11111b ビット 13= ページ プログラム標準時間単位 (0: 8μs、1: 64μs)=64μs=1b ビット 12:8= ページ プログラム標準時間カウント =00111 (標準プログラム時間 = カウント +1* 単位 =8*64μs=512μs) ビット 7:4= ページ サイズ (256B)=2^N バイト =1000h ビット 3:0= カウント = (最大ページ プログラム時間 / (2* 標準ページ プログラム時間))-1=0010b
12Ch	JEDEC 基本フラッシュパラメーター DWORD 12	ECh	ビット 31= 一時停止および再開に対応 =0b
12Dh		23h	ビット 30:29= 消去進行中の最大一時停止レイテンシ単位 (00b: 128ns、01b: 1μs、10b: 8μs、11b: 64μs) =8 μs =10b
12Eh		19h	ビット 28:24= 消去進行中の最大一時停止レイテンシ カウント =01001b、消去の最大一時停止レイテンシ = カウント +1* 単位 =10*8μs=80μs ビット 23:20= 消去再開から一時停止までの間隔カウント =0001b、間隔 = カウント +1*64μs=2*64μs=128μs
12Fh		49h	ビット 19:18= プログラム進行中の最大一時停止レイテンシ単位 (00b: 128ns、01b: 1us、10b: 8us、11b: 64μs) =8 μs =10b ビット 17:13= プログラム進行中の最大一時停止レイテンシ カウント =01001b、消去の最大一時停止レイテンシ = カウント +1* 単位 =10*8μs=80μs ビット 12:9= プログラム再開から一時停止までの間隔カウント =0001b、間隔 = カウント +1*64μs=2*64μs=128μs ビット 8= 予約済み =1b ビット 7:4= 消去一時停止中の禁止動作 =xxx0b: どこでも新しい消去を開始できない (消去ネスティングが許可されない) +xx1xb: 消去が一時停止中のセクタ サイズ内で新しいページ プログラムを開始できない +x1xxb: 消去が一時停止中のセクタ サイズ内で新しい読み出しを開始できない +1xxxxb: ビット 5:4 の消去およびプログラム制限は十分 =1110b ビット 3:0= プログラム一時停止中の禁止動作 =xxx0b: どこでも新しい消去を開始できない (消去ネスティングが許可されない) +xx0xb: どこでも新しいページ プログラムを開始できない (プログラム ネスティングが許可されない) +x1xxb: プログラムが一時停止中のセクタ サイズ内で読み出しを開始できない +1xxxxb: ビット 1:0 の消去およびプログラム制限は十分 =1100b
130h	JEDEC 基本フラッシュパラメーター DWORD 13	8Ah	ビット 31:24= 消去一時停止命令 =75h
131h		85h	ビット 23:16= 消去再開命令 =7Ah
132h		7Ah	ビット 15:8= プログラム一時停止命令 =85h
133h		75h	ビット 7:0= プログラム再開命令 =8Ah
134h	JEDEC 基本フラッシュパラメーター DWORD 14	F7h	ビット 7:4=RFU=Fh ビット 3:2= ステータス レジスタ ポーリング デバイス ビジー =01b: レガシー ステータス ポーリングに対応 =05h 命令によるステータス レジスタの読み出しおよび WIP ビット [0] の確認 (0= レディ、1= ビジー) によりレガシー ポーリングを使用 ビット 1:0=RFU=11b
135h		66h	ビット 31=DPD のサポート = 有 =0
136h		80h	ビット 30:23=DPD 開始命令 =B9h ビット 22:15=DPD 終了命令は未対応 =00h
137h		5Ch	ビット 14:13=DPD 終了から次の動作までの遅延単位 = (00b: 128ns、01b: 1μs、10b: 8μs、11b: 64μs) =64μs=11b ビット 12:8=DPD 終了から次の動作までの遅延カウント =00110、DPD 終了から次の動作までの遅延時間 = (カウント +1)* 単位 = (6+1)*64μs=448μs

Table 86 JEDEC SFDP Rev D パラメーター テーブル (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
138h	JEDEC 基本フ ラッシュパラ メーター DWORD 15	8Ch	ビット 31:24=RFU=FFh
139h		D6h	ビット 23=HOLD または RESET ディセーブル = 対応 =1
13Ah		DDh	ビット 22:20= クアッド イネーブル要件 =101b = 101b: QE は、ステータスレジスタ 2 のビット 1 です。ステータスレジスタ 1 はステータス読み出し 命令 05h で読み出されます。ステータスレジスタ 2 の読み出しは、命令 35h を使用します。QE はス テータス書き込み命令 01h により、2 バイト目のビット 1 を 1 としたデータで設定されます。2 バイ ト目のビット 1 を 0 とした 2 バイトのデータで書き込みステータスをクリアします。
13Bh		FFh	ビット 19:16=0-4-4 モード開始方法 =xxx1b: モード ビット [7:0]=A5h。注: モードを使用する前に QE をセットする必要がある + x1xxb: モード ビット [7:0]=Axh + 1xxxb: RFU =1101b ビット 15:10=0-4-4 モード終了方法 =xx_0xx1b: モード ビット [7:0]=00h は進行中の読み出し動作の終了時にモードを終了 + xx_x1xxb: RFU + xx_1xxxb: 8 クロック サイクルの間 DQ0 ~ DQ3 上で Fh を入力 (モード ビット リセット)。これはモード を次の読み出し動作の前に終了させる + x1_0xxxb: モード ビット [7:0]=Axh + 1x_x1xxb: RFU =11_0101b ビット 9=0-4-4 モードに対応 =1b ビット 8:4=4-4-4 モード イネーブル シーケンス =x_0x1xb: 命令 38h を発行 + x_1xxxb: デバイスは読み出し - 変更 - 書き込みのシーケンスを使用: 命令 65h とそれに続くアドレス 800003h を使用するコンフィギュレーション読み出し、ビット 6 のセット、命令 71h とそれに続くア ドレス 800003h を使用するコンフィギュレーション書き込み。このコンフィギュレーションは揮発性 =01000 ビット 3:0=4-4-4 モード ディセーブル シーケンス =xxx1b: FFh 命令を発行 + xx0xb: 命令 F5h を発行 + x1xxb: デバイスは読み出し - 変更 - 書き込みのシーケンスを使用: 命令 65h とそれに続くアドレス 800003h を使用するコンフィギュレーション読み出し、ビット 6 のクリア、命令 71h とそれに続くア ドレス 800003h を使用するコンフィギュレーション書き込み。このコンフィギュレーションは揮発性 + 1xxxb: ソフト リセット 66-99 シーケンスを発行 =1100
13Ch	JEDEC 基本フ ラッシュパラ メーター DWORD 16	F9h	ビット 31:24=4 バイト アドレッシング開始
13Dh		38h	=xxxx_0xx1b: 命令 B7h を発行 (その前の書き込みイネーブルは必要ない)
13Eh		F8h	+ xx1x_0xxb: 専用の 4 バイト アドレス命令セットに対応。命令セット定義はベンダーのデータシート を参照してください
13Fh		A1h	+ 1xxx_0xxb: 予約済み =10100001b ビット 23:14=4 バイト アドレス終了 =xx_0x1x_0xxb: ハードウェア リセット + xx_x1xx_0xxb: ソフトウェア リセット (この DWORD のビット 13:8 を参照してください) + xx_1xxx_0xxb: パワー サイクル + x1_0xxx_0xxb: 予約済み + 1x_0xxx_0xxb: 予約済み =11_1110_0000b ビット 13:8= ソフト リセットおよび回復シーケンスに対応 =x1_0xxx: リセット イネーブル命令 66h に続いてリセット命令 99h を発行。リセット イネーブル - リ セット シーケンスはデバイスの動作モードに応じて 1、2、または 4 線式で発行 + 1x_0xxx: デバイスがこのモードで動作している場合、上記の他のリセット シーケンスの前に 0-4-4 モードの終了が必要 =111000b ビット 7=RFU=1 ビット 6:0= ステータス レジスタ 1 の揮発性または不揮発性レジスタおよび書き込みイネーブル命令 =xxx_0xx1b: 不揮発性ステータス レジスタ 1 は、電源投入後の値は前回書き込まれた値。命令 06h を使用 して書き込みを有効にする。 + xxx_1xxb: 不揮発性 / 揮発性ステータス レジスタ 1 は電源投入後の値は前回不揮発性ステータス レ ジスタに書き込まれた値。命令 06h を使用して不揮発性ステータス レジスタへの書き込みを有効にす る。電源投入後、揮発性ステータス レジスタは不揮発性ステータス レジスタをオーバーライドするた めにアクティブにできる。命令 50h を使用して書き込みを有効にし、揮発性ステータス レジスタをア クティブにする + xx1_0xxb: ステータス レジスタ 1 には、揮発性ビットと不揮発性ビットが混在。命令 06h を使用して レジスタへの書き込みを 有効にする。 + x1x_0xxb: 予約済み + 1xx_0xxb: 予約済み =1111001b
140h	JEDEC 基本フ ラッシュパラ メーター DWORD 17	00h	未対応
141h			
142h			
143h			

Table 86 JEDEC SFDP Rev D パラメーター テーブル (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
144h	JEDEC 基本フ ラッシュパラ メーター DWORD 18	00h	ビット 31:24=00h ビット 23=1b=JEDEC SPI プロトコル リセットを JESD252 に記載のとおり実装 ビット 22:18=01111h ビット 17:0=000h
145h		00h	
146h		BCh	
147h		00h	
148h	JEDEC 基本フ ラッシュパラ メーター DWORD 19	00h	未対応
149h			
14Ah			
14Bh			
14Ch	JEDEC 基本フ ラッシュパラ メーター DWORD 20	F7h	ビット 31:16= 未対応 =1111_1111_1111_1111b ビット 15:12=1111b=4S-4D-4D データ ストロープは未対応 ビット 11:8=0101b=100MHz 4S-4D-4D ビット 7:4=1111b=4S-4S-4S データ ストロープは未対応 ビット 0:3=0111b=166MHz 4S-4S-4S
14Dh		F5h	
14Eh		FFh	
14Fh		FFh	
150h	JEDEC 4 バイト アドレス命令パ ラメーター DWORD 1	7Bh	対応 =1、未対応 =0 ビット 31:25= 予約済み =1111_111b ビット 24=(1-8-8) ページ プログラム コマンドに対応、命令 =8Eh=0b ビット 23=(1-1-8) ページ プログラム コマンドに対応、命令 =84h=0b ビット 22=(1-8-8) DTR 読み出しコマンドに対応、命令 =FDh=0b ビット 21=(1-8-8) 高速読み出しコマンドに対応、命令 =CCh=0b ビット 20=(1-1-8) 高速読み出しコマンドに対応、命令 =7Ch=0b ビット 19= 不揮発性個別セクタ ロック書き込みコマンドに対応、命令 =E3h=1b ビット 18= 不揮発性個別セクタ ロック読み出しコマンドに対応、命令 =E2h=1b ビット 17= 揮発性個別セクタ書き込みコマンドに対応、命令 =E1h=1b ビット 16= 揮発性個別セクタ読み出しコマンドに対応、命令 =E0h=1b ビット 15=(1-4-4) DTR 読み出しコマンドに対応、命令 =EEh=1b ビット 14=(1-2-2) DTR 読み出しコマンドに対応、命令 =BEh=0b ビット 13=(1-1-1) DTR 読み出しコマンドに対応、命令 =0Eh=0b ビット 12= 消去コマンド タイプ 4 に対応 =1b ビット 11= 消去コマンド タイプ 3 に対応 =0b ビット 10= 消去コマンド タイプ 2 に対応 =0b ビット 9= 消去コマンド タイプ 1 に対応 =1b ビット 8=(1-4-4) ページ プログラム コマンドに対応、命令 =3Eh=0b ビット 7=(1-1-4) ページ プログラム コマンドに対応、命令 =34h=0b ビット 6=(1-1-1) ページ プログラム コマンドに対応、命令 =12h=1b ビット 5=(1-4-4) 高速読み出しコマンドに対応、命令 =ECh=1b ビット 4=(1-1-4) 高速読み出しコマンドに対応、命令 =6Ch=1b ビット 3=(1-2-2) 高速読み出しコマンドに対応、命令 =BCh=1b ビット 2=(1-1-2) 高速読み出しコマンドに対応、命令 =3Ch=0b ビット 1=(1-1-1) 高速読み出しコマンドに対応、命令 =0Ch=1b ビット 0=(1-1-1) 読み出しコマンドに対応、命令 =13h=1b
t151h		92h	
152h		0Fh	
153h		FEh	
154h	JEDEC 4 バイト アドレス命令パ ラメーター DWORD 2	21h	ビット 31:24=D8h/DCh= 消去タイプ 4 用命令 ビット 23:16= 消去タイプ 3 用命令 : RFU ビット 15:8= 消去タイプ 2 用命令 : RFU ビット 7:0=20h/21h= 消去タイプ 1 用命令
155h		FFh	
156h		FFh	
157h		DCh	
158h	ステータス、制 御、コンフィ ギュレーション レジスタ マップ DWORD 1	00h	ビット 31:0= 揮発性レジスタ用アドレス オフセット =00800000h
159h		00h	
15Ah		80h	
15Bh		00h	
15Ch	ステータス、制 御、コンフィ ギュレーション レジスタ マップ DWORD 2	00h	ビット 31:0= 不揮発性レジスタ用アドレス オフセット =00000000h
15Dh		00h	
15Eh		00h	
15Fh		00h	

Table 86 JEDEC SFD P Rev D パラメーター テーブル (続き)

SFD P バイト アドレス	SFD P DWORD 名	データ	説明
160h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 3	C0h	ビット 31= 一部 (またはすべての) レジスタでサポートされる汎用アドレス指定可能ステータス / 制御 レジスタ読み出しコマンド =1b
161h		FFh	ビット 30= 一部 (またはすべての) レジスタでサポートされる汎用アドレス指定可能ステータス / 制御 レジスタ書き込みコマンド =1b
162h		C3h	ビット 29:28= 汎用アドレス指定可能ステータス / 制御レジスタ読み出し / 書き込みコマンドで使用さ れるアドレス バイト数 =3 バイト (デフォルト)=10b
163h		EBh	ビット 27:26= この DWORD のビット 3:0 で定義されたビット数を使用 =10b ビット 25:22=(2S-2S-2S) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンド のダミー サイクル数は未対応 =1111b ビット 21:18=(4S-4S-4S) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンド のダミー サイクル数 =1=0000b ビット 17:14=(4S-4D-4D) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマ ンドのダミー サイクル数は未対応 =1111b ビット 13:10=(8S-8S-8S) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンド のダミー サイクル数は未対応 =1111b ビット 9:6=(8D-8D-8D) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマ ンドのダミー サイクル数は未対応 =1111b ビット 5:4= 予約済み =00b ビット 3:0=(1S-1S-1S) モードでの揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ 読み出しコマンドのダミー サイクル数 =0000b
164h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 4	C8h	ビット 31= 一部 (またはすべての) レジスタでサポートされる不揮発性レジスタ用の汎用アドレス指 定可能ステータス / 制御レジスタ読み出しコマンド =1b
165h		FFh	ビット 30= 一部 (またはすべての) レジスタでサポートされる不揮発性レジスタ用の汎用アドレス指 定可能ステータス / 制御レジスタ書き込みコマンド =1b
166h		E3h	ビット 29:28= 不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出し / 書き 込みコマンドで使用されるアドレス バイト数 =3 バイト (デフォルト)=10b
167h		EBh	ビット 27:26=(1S-1S-1S) モードでの不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レ ジスタ読み出しコマンドで使用されるダミー バイト数は未対応 =10b ビット 25:22=(2S-2S-2S) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマ ンドのダミー サイクル数は未対応 =1111b ビット 21:18=(4S-4S-4S) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマ ンドのダミー サイクル数 =1=1000b ビット 17:14=(4S-4D-4D) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマ ンドのダミー サイクル数は未対応 =1111b ビット 13:10=(8S-8S-8S) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマ ンドのダミー サイクル数は未対応 =1111b ビット 9:6=(8D-8D-8D) モードでの汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマ ンドのダミー サイクル数は未対応 =1111b ビット 5:4= 予約済み =00b ビット 3:0=(1S-1S-1S) モードでの不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジ スタ読み出しコマンドのダミー サイクル数 =1000b
168h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 5	00h	ビット 7:0= 書き込みアクセスに使用されるコマンド = 読み出し専用 =00h
169h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
16Ah		00h	ビット 23:16=WIP があるレジスタ アドレス =00h (揮発性ステータス レジスタ 1)
16Bh		90h	ビット 31= 書き込み進行中 (WIP) ビットに対応 =1b ビット 30= 書き込み進行中の極性 (WIP=1: 書き込みが進行中) =0b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの WIP ビットの位置 = ビット [0]=000b
16Ch	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 6	06h	ビット 7:0= 書き込みアクセスに使用されるコマンド =06h
16Dh		05h	ビット 15:8= 読み出しアクセスに使用されるコマンド =05h
16Eh		00h	ビット 23:16=WEL があるレジスタ アドレス =00h (揮発性ステータス レジスタ 1)
16Fh		A1h	ビット 31= 書き込みイネーブル (WEL) ビットに対応 =1b ビット 30= 書き込みイネーブルの極性 (WEL=1: 書き込みが進行中) =0b ビット 29= 書き込みコマンドは WEL ビットをセットする直接コマンド =1b ビット 28=WEL ビットをセットする直接コマンドでビットにアクセス =0b ビット 27=WEL ビットのローカル アドレスはアドレスの最後のバイトにある =0b ビット 26:24= レジスタの WEL ビットの位置 = ビット [1]=001b
170h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 7	00h	ビット 7:0= 書き込みアクセスに使用されるコマンド = 読み出し専用 =00h= 読み出し専用
171h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
172h		00h	ビット 23:16= 消去エラーがあるレジスタ アドレス =00h
173h		96h	ビット 31= プログラム エラー ビットに対応 =1b ビット 30= 正極性 (プログラム エラー =0: エラー無し、プログラム エラー =1: 前回のプログラム動作 でエラーがあった) =0b ビット 29= デバイスはプログラム エラーと消去エラーに対して別々のビットを持つ =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 予約済み =0b ビット 26:24= レジスタのプログラム エラー ビットの位置 = ビット [6]=110b

Table 86 JEDEC SDFP Rev D パラメーター テーブル (続き)

SDFP バイト アドレス	SDFP DWORD 名	データ	説明
174h	ステータス、 制御、コンフィ ギュレーション レジスタマップ DWORD 8	00h	ビット 7:0= 書き込みアクセスに使用されるコマンド = 読み出し専用 =00h= 読み出し専用
175h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
176h		00h	ビット 23:16= 消去エラーがあるレジスタ アドレス =00h
177h		95h	ビット 31= 消去エラー ビットに対応 =1b ビット 30= 正極性 (消去エラー =0: エラー無し、消去エラー =1: 前回の消去動作でエラーがあった)=0b ビット 29= デバイスはプログラム エラーと消去エラーに対して別々のビットを持つ =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 予約済み =0b ビット 26:24= レジスタの消去エラー ビットの位置 = ビット [5]=101b
178h	ステータス、 制御、コンフィ ギュレーション レジスタマップ DWORD 9	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
179h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
17Ah		03h	ウェイト ステート ビットがあるレジスタ アドレス =800003h (揮発性コンフィギュレーション レジスタ 2)
17Bh		D0h	ビット 31= 可変ダミー サイクル数に対応 =1b ビット 30:29= ウェイト ステート設定に使用される物理ビット数、4 ビット =10b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 最後のアドレスでの可変ダミー サイクル設定ビット用のローカル アドレス =0b ビット 26:24= レジスタの LSB 物理ビットの位置 = ビット [0]=000b
17Ch	ステータス、 制御、コンフィ ギュレーション レジスタマップ DWORD 10	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
17Dh		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
17Eh		03h	ウェイト ステート ビットがあるレジスタ アドレス =03h (不揮発性コンフィギュレーション レジスタ 2)
17Fh		D0h	ビット 31= 可変ダミー サイクル数に対応 =1b ビット 30:29= ウェイト ステート設定に使用される物理ビット数、4 ビット =10b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 最後のアドレスでの可変ダミー サイクル設定ビット用のローカル アドレス =0b ビット 26:24= レジスタの LSB 物理ビットの位置 = ビット [0]=000b
180h	ステータス、 制御、コンフィ ギュレーション レジスタマップ DWORD 11	00h	ビット 31=30 ダミー サイクルに対応 =0b
181h		00h	ビット 30:26=30 ダミー サイクル設定に使用されるビット パターン =00000b
182h		00h	ビット 25=28 ダミー サイクルに対応 =0b
183h		00h	ビット 24:20=28 ダミー サイクル設定に使用されるビット パターン =00000b ビット 19=26 ダミー サイクルに対応 =0b ビット 18:14=26 ダミー サイクル設定に使用されるビット パターン =00000b ビット 13=24 ダミー サイクルに対応 =0b ビット 12:8=24 ダミー サイクル設定に使用されるビット パターン =00000b ビット 7=22 ダミー サイクルに対応 =0b ビット 6:2=22 ダミー サイクル設定に使用されるビット パターン =00000b ビット 1:0= 予約済み =00b
184h	ステータス、 制御、コンフィ ギュレーション レジスタマップ DWORD 12	B0h	ビット 31=20 ダミー サイクルに対応 =0b
185h		2Eh	ビット 30:26=20 ダミー サイクル設定に使用されるビット パターン =00000b
186h		00h	ビット 25=18 ダミー サイクルに対応 =0b
187h		00h	ビット 24:20=18 ダミー サイクル設定に使用されるビット パターン =00000b ビット 19=16 ダミー サイクルに対応 =0b ビット 18:14=16 ダミー サイクル設定に使用されるビット パターン =00000b ビット 13=14 ダミー サイクルに対応 =0b ビット 12:8=14 ダミー サイクル設定に使用されるビット パターン =01110b ビット 7=12 ダミー サイクルに対応 =1b ビット 6:2=12 ダミー サイクル設定に使用されるビット パターン =01100b ビット 1:0= 予約済み =00b
188h	ステータス、 制御、コンフィ ギュレーション レジスタマップ DWORD 13	88h	ビット 31=10 ダミー サイクルに対応 =1b
189h		A4h	ビット 30:26=10 ダミー サイクル設定に使用されるビット パターン =01010b
18Ah		89h	ビット 25=8 ダミー サイクルに対応 =1b
18Bh		AAh	ビット 24:20=8 ダミー サイクル設定に使用されるビット パターン =01000b ビット 19=6 ダミー サイクルに対応 =1b ビット 18:14=6 ダミー サイクル設定に使用されるビット パターン =00110b ビット 13=4 ダミー サイクルに対応 =1b ビット 12:8=4 ダミー サイクル設定に使用されるビット パターン =00100b ビット 7=2 ダミー サイクルに対応 =1b ビット 6:2=2 ダミー サイクル設定に使用されるビット パターン =00010b ビット 1:0= 予約済み =00b
18Ch	ステータス、 制御、コンフィ ギュレーション レジスタマップ DWORD 14	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
18Dh		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
18Eh		03h	ウェイト ステート ビットがあるレジスタ アドレス =800003h (揮発性コンフィギュレーション レジスタ 2)
18Fh		96h	ビット 31= 揮発性レジスタ QPI モード イネーブルに対応 =1b ビット 30=QPI モード イネーブルビットの極性 (正の QPI モード ビット =1: 有効)=0b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 最後のアドレスでの可変ダミー サイクル設定ビット用のローカル アドレス =0b ビット 26:24= レジスタの QPI モード イネーブルビットの位置 = ビット [6]=110b

Table 86 JEDEC SFDP Rev D パラメーター テーブル (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
190h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 15	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
191h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
192h		03h	ウェイト ステート ビットがあるレジスタ アドレス =03h (不揮発性コンフィギュレーションレジスタ 2)
193h		96h	ビット 31= 不揮発性 QPI モード イネーブルに対応 =1b ビット 30=QPI モード イネーブルビットの極性 (正の QPI モード ビット =1: 有効)=0b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 最後のアドレスでの可変タミー サイクル設定ビット用のローカル アドレス =0b ビット 26:24= レジスタの QPI モード イネーブルビットの位置 =ビット [6]=110b
194h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 16	00h	未対応
195h		00h	
196h		00h	
197h		00h	
198h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 17	00h	
199h		00h	
19Ah		00h	
19Bh		00h	
19Ch	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 18	00h	
19Dh		00h	
19Eh		00h	
19Fh		00h	
1A0h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 19	00h	未対応
1A1h		00h	
1A2h		00h	
1A3h		00h	
1A4h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 20	00h	
1A5h		00h	
1A6h		00h	
1A7h		00h	
1A8h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 21	00h	
1A9h		00h	
1AAh		00h	
1ABh		00h	
1ACh	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 22	00h	
1ADh		00h	
1AEh		00h	
1AFh		00h	
1B0h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 23	00h	
1B1h		00h	
1B2h		00h	
1B3h		00h	
1B4h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 24	00h	
1B5h		00h	
1B6h		00h	
1B7h		00h	
1B8h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 25	00h	
1B9h		00h	
1BAh		00h	
1BBh		00h	

Table 86 JEDEC SFDP Rev D パラメーター テーブル (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
1BCh	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 26	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1BDh		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1BEh		05h	出力駆動強度の揮発性ビットがあるレジスタ アドレス =800005h (揮発性コンフィギュレーションレジスタ 4)
1BFh		D5h	ビット 31:30= 出力駆動強度設定に使用される物理ビット数 =3 ビット =11b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの最下位出力駆動強度ビットの位置 = ビット [5]=101b
1C0h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 27	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1C1h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1C2h		05h	出力駆動強度の揮発性ビットがあるレジスタ アドレス =05h (不揮発性コンフィギュレーションレジスタ 4)
1C3h		D5h	ビット 31:30= 出力駆動強度設定に使用される物理ビット数 =3 ビット =11b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの最下位出力駆動強度ビットの位置 = ビット [5]=101b
1C4h	ステータス、 制御、コンフィ ギュレーション レジスタ マップ DWORD 28	00h	ビット 7:0= 予約済み =00h
1C5h		00h	ビット 15:8= 予約済み =00h
1C6h		A0h	ビット 31:29= ドライバタイプ 0 に対応するためのビット パターン =45 Ω =000b ビット 28:26= ドライバタイプ 1 に対応するためのビット パターン =30 Ω =101b ビット 25:23= ドライバタイプ 2 に対応するためのビット パターン =60 Ω =011b ビット 22:20= ドライバタイプ 3 に対応するためのビット パターン =90 Ω =010b ビット 19:17= ドライバタイプ 4 に対応するためのビット パターン = 未対応 =000b ビット 16= 予約済み =0b
1C7h		15h	

セクタ マップ パラメーター テーブルの注意事項

Table 87 は、デバイス アドレス マップの設定方法を識別する手段となり、対応されている各コンフィギュレーションのセクタ マップを提供します。アドレス マップの選択に影響を与える関連コンフィギュレーションレジスタ ビットを読み出す一連のコマンドを定義することで行います。1 つ以上のコンフィギュレーションビットを読み出す必要がある場合、すべてのビットは現行のアドレス マップを選択するためのインデックス値に連結されます。

デバイスのセクタ マップ コンフィギュレーションを識別するために、以下のコンフィギュレーションビットを MSb から LSb への順で読み出してコンフィギュレーション マップインデックス値を形成します。

- CFR3V[3]: 0= ハイブリッド アーキテクチャ、1= ユニフォーム アーキテクチャ
- CFR1V[6]: 0= グループ化される 4KB パラメーター、1= 最上部と最下部の間で分割される 4KB セクタ
- CFR1V[2]: 0= 最下部にある 4KB パラメーター セクタ、1= 最上部にある 4KB セクタ
- いくつかのコンフィギュレーションビット値のためその他のコンフィギュレーションビット値が該当無し (ドント ケア) となることがあるため、インデックス値のすべてのあり得る組合せが有効なアドレス マップを定義するわけではありません。SFDP セクタ マップ パラメーター テーブルは選択されたコンフィギュレーションビット組合せのみに対応します (**Table 88** を参照してください)。SFDP パラメーター テーブルを使用してセクタ マップを定義するとき、その他の組合せはセクタ アドレス マップの設定に使用しないでください。対応されているインデックス値の組合せは次のとおりです。

Table 87 セクタ マップ パラメーター

CFR3V[3]	CFR1V[6]	CFR1V[2]	インデックス値	説明
0	0	0	00h	最下部にある 4KB セクタおよび残りの 256KB セクタ
0	0	1	01h	最上部にある 4KB セクタおよび残りの 256KB セクタ
0	1	0	02h	最上部と最下部の間で分割される 4KB セクタおよび残りの 256KB セクタ
1	0	0	04h	ユニフォーム 256KB セクタ

Table 88 JEDEC SFDP レビジョン D、セクタ マップ パラメーター テーブル

SFDP	SFDP DWORD 名	データ	説明
1C8h	JEDEC セクタ マップ パラメーター DWORD 1 コンフィ ギュレーション検 出 1	FCh	コンフィギュレーション検出 1: ユニフォーム 256KB セクタまたはハイブリッドセクタ ビット 31:24= データマスク読み出し =0000_1000b: UNHYSA 値のデータバイトのビット 3 を選択し ます。 0=4KB パラメーター セクタのあるハイブリッドマップ 1= ユニフォーム マップ ビット 23:22= コンフィギュレーション検出コマンドのアドレス長 =11b: 可変長 ビット 21:20=RFU=11b ビット 19:16= コンフィギュレーション検出コマンド レイテンシ =1111b: 可変レイテンシ ビット 15:8= コンフィギュレーション検出命令 =65h: 任意レジスタ読み出し ビット 7:2=RFU=111111b ビット 1= コマンド ディスクリプタ =0 ビット 0= 終了ディスクリプタではない =0
1C9h		65h	
1CAh		FFh	
1CBh		08h	
1CCh	JEDEC セクタ マップ パラメーター DWORD 2 コンフィ ギュレーション検 出 1	04h	ビット 31:0= コンフィギュレーションレジスタ 3 のアドレス値 (ビット 3)=00800004h
1CDh		00h	
1CEh		80h	
1CFh		00h	
1D0h	JEDEC セクタ マップ パラメーター DWORD 3 コンフィ ギュレーション検 出 2	FCh	コンフィギュレーション検出 2: 最上部と最下部の間の 4KB ハイブリッドセクタの分割 ビット 31:24= データマスク読み出し =0100_0000b: SP4KBS 値のデータバイトのビット 6 を選択しま す。 0=4KB パラメーター セクタはグループ化されます。 1=4KB パラメーター セクタは上位アドレスと下位アドレスの間に分割されます。 ビット 23:22= コンフィギュレーション検出コマンドのアドレス長 =11b: 可変長 ビット 21:20=RFU=11b ビット 19:16= コンフィギュレーション検出コマンド レイテンシ =1111b: 可変レイテンシ ビット 15:8= コンフィギュレーション検出命令 =65h: 任意レジスタ読み出し ビット 7:2=RFU=111111b ビット 1= コマンド ディスクリプタ =0 ビット 0= 終了ディスクリプタではない =0
1D1h		65h	
1D2h		FFh	
1D3h		40h	
1D4h	JEDEC セクタ マップ パラメーター DWORD 4 コンフィ ギュレーション検 出 2	02h	ビット 31:0= コンフィギュレーションレジスタ 1 のアドレス値 (ビット 6)=00800002h
1D5h		00h	
1D6h		80h	
1D7h		00h	
1D8h	JEDEC セクタ マップ パラメーター DWORD 5 コンフィ ギュレーション検 出 3	FDh	コンフィギュレーション検出 3: 最上部または最下部にある 4KB ハイブリッドセクタ ビット 31:24= データマスク読み出し =0000_0100b: TB4KBS 値のデータバイトのビット 2 を選択しま す。 0=4KB パラメーター セクタは最下部にあります。 1=4KB パラメーター セクタは最上部にあります。 ビット 23:22= コンフィギュレーション検出コマンドのアドレス長 =11b: 可変長 ビット 21:20=RFU=11b ビット 19:16= コンフィギュレーション検出コマンド レイテンシ =1111b: 可変レイテンシ ビット 15:8= コンフィギュレーション検出命令 =65h: 任意レジスタ読み出し ビット 7:2=RFU=111111b ビット 1= コマンド ディスクリプタ =0 ビット 0= 終了コマンド ディスクリプタ =1
1D9h		65h	
1DAh		FFh	
1DBh		04h	
1DCh	JEDEC セクタ マップ パラメーター DWORD 6 コンフィ ギュレーション検 出 3	02h	ビット 31:0= コンフィギュレーションレジスタ 1 のアドレス値 (ビット 2)=00800002h
1DDh		00h	
1DEh		80h	
1DFh		00h	
1E0h	JEDEC セクタ マップ パラメーター DWORD 7 コンフィ ギュレーション 0 ヘッダ	FEh	コンフィギュレーションインデックス 00h: 最下部にある 4KB セクタおよび残りの 256KB セクタ ビット 31:24=RFU=FFh ビット 23:16= 領域カウント (DWORD 数 -1)=02h: 3 つの領域 ビット 15:8= コンフィギュレーション ID=00h: 最下部にある 4KB セクタおよび残りの 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップ ディスクリプタ =1 ビット 0= 終了ディスクリプタではない =0
1E1h		00h	
1E2h		02h	
1E3h		FFh	
1E4h	JEDEC セクタ マップ パラメーター DWORD 8 コンフィ ギュレーション 0 領域 0	F1h	領域 0: 4KB セクタ ビット 31:8= 領域サイズ (32 の 4KB セクタ)=0001FFh: 256 バイト単位のカウンタ -1 としての領域サ イズ=32x4KB セクタ =128KB、カウンタ =128KB/256=512、値 = カウンタ -1=512-1=511=1FFh ビット 7:4=RFU=Fh、消去タイプは未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は 256KB 消去であり、4KB セクタ領域では未対応 です。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されま す。
1E5h		FFh	
1E6h		01h	
1E7h		00h	
1E8h	JEDEC セクタ マップ パラメーター DWORD 9 コンフィ ギュレーション 0 領域 1	F8h	領域 1: 128KB セクタ ビット 31:8= 領域サイズ =0001FFh: 256 バイト単位のカウンタ -1 としての領域サイズ =1x128KB セク タ =128KB、カウンタ =128KB/256=512、値 = カウンタ -1=512-1=511=1FFh ビット 7:4=RFU=Fh、消去タイプは未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、128KB セクタ領域で対応さ れます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域では未対応で す。
1E9h		FFh	
1EAh		01h	
1EBh		00h	

Table 88 JEDEC SFDP レビジョン D、セクタ マップ パラメーター テーブル (続き)

SFDP	SFDP DWORD 名	データ	説明
1ECh	JEDEC セクタ マップパラメーター DWORD 10 コン フィギュレーション 0 領域 2	F8h	領域 2: ユニフォーム 256KB セクタ ビット 31:8=256Mb デバイスの領域サイズ =01FBFFh: 128 バイト単位のカウント -1 としての領域サイズ =127x256KB セクタ =32,512KB、カウント =32,512 KB/256=130,048、値 = カウント -1=130,048-1=130047=01FBFFh
1EDh		FFh	ビット 31:8=512Mb デバイスの領域サイズ =03FBFFh: 256 バイト単位のカウント -1 としての領域サイズ =255x256KB セクタ =65,280KB、カウント =65,280KB/256=261,120、値 = カウント -1=261,120-1=261119=03FBFFh
1EEh		FBh	ビット 31:8=1Gb デバイスの領域サイズ =07FBFFh: 256 バイト単位のカウント -1 としての領域サイズ =511x256KB セクタ =130,816KB、カウント =130,816KB/256=523,364、値 = カウント -1=523,364-1=523263=07FBFFh
1EFh		01h (256Mb) 03h (512Mb) 07h (1Gb)	ビット 7:4=RFU=Fh、消去タイプは未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、256KB セクタ領域で対応さ れます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では未対応 です。
1F0h	JEDEC セクタ マップパラメーター DWORD 11 コン フィギュレーション 3 ヘッダ	FEh	コンフィギュレーションインデックス 01h: 最上部にある 4KB セクタおよび残りの 256KB セクタ
1F1h		01h	ビット 31:24=RFU=FFh
1F2h		02h	ビット 23:16= 領域カウント (DWORD 数 -1)=02h: 3 つの領域
1F3h		FFh	ビット 15:8= コンフィギュレーション ID=01h: 最上部にある 4KB セクタおよび残りの 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップディスクリプタ =1 ビット 0= 終了ディスクリプタではない =0
1F4h	JEDEC セクタ マップパラメーター DWORD 12 コン フィギュレーション 3 領域 0	F8h	領域 0: ユニフォーム 256KB セクタ ビット 31:8=256Mb デバイスの領域サイズ =01FBFFh: 128 バイト単位のカウント -1 としての領域サイズ =127x256KB セクタ =32,512KB、カウント =32,512 KB/256=130,048、値 = カウント -1=130,048-1=130047=01FBFFh
1F5h		FFh	ビット 31:8=512Mb デバイスの領域サイズ =03FBFFh: 256 バイト単位のカウント -1 としての領域サイズ =255x256KB セクタ =65,280KB、カウント =65,280KB/256=261,120、値 = カウント -1=261,120-1=261119=03FBFFh
1F6h		FBh	ビット 31:8=1Gb デバイスの領域サイズ =07FBFFh: 256 バイト単位のカウント -1 としての領域サイズ =511x256KB セクタ =130,816KB、カウント =130,816KB/256=523,364、値 = カウント -1=523,364-1=523263=07FBFFh
1F7h		01h (256Mb) 03h (512Mb) 07h (1Gb)	ビット 7:4=RFU=Fh、消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、256KB セクタ領域で対応さ れます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では未対応 です。
1F8h	JEDEC セクタ マップパラメーター DWORD 13 コン フィギュレーション 3 領域 1	F8h	領域 1: 128KB セクタ ビット 31:8= 領域サイズ =0001FFh: 256 バイト単位のカウント -1 としての領域サイズ =1x128KB セク タ =
1F9h		FFh	128KB、カウント =128KB/256=512、値 = カウント -1=512-1=511=1FFh
1FAh		01h	ビット 7:4=RFU=Fh、消去タイプは未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、128KB セクタ領域で対応さ れます。
1FBh		00h	ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域では未対応 です。
1FCh	JEDEC セクタ マップパラメーター DWORD 14 コン フィギュレーション 3 領域 2	F1h	領域 2: 4KB セクタ ビット 31:8= 領域サイズ (32 の 4KB セクタ)=0001FFh: 256 バイト単位のカウント -1 としての領域サ イズ =32x4KB セクタ =128KB、カウント =128KB/256=512、値 = カウント -1=512-1=511=1FFh
1FDh		FFh	ビット 7:4=RFU=Fh、消去タイプ未対応 =0/ 対応 =1
1FEh		01h	ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は 256KB 消去であり、4KB セクタ領域では未対応 です。
1FFh		00h	ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されま す。
200h	JEDEC セクタ マップパラメーター DWORD 15 コン フィギュレーション 1 ヘッダ	FEh	コンフィギュレーションインデックス 02h: 最下部と最下部の間で分割される 4KB セクタおよび残 りの 256KB セクタ
201h		02h	ビット 31:24=RFU=FFh
202h		04h	ビット 23:16= 領域カウント (DWORD 数 -1)=04h: 5 つの領域
203h		FFh	ビット 15:8= コンフィギュレーション ID=02h: 最下部と最上部の間で分割される 4KB セクタおよび 残りの 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップディスクリプタ =1 ビット 0= 終了ディスクリプタではない =0
204h	JEDEC セクタ マップパラメーター DWORD 16 コン フィギュレーション 1 領域 0	F1h	領域 0: 4KB セクタ ビット 31:8= 領域サイズ (16x4KB セクタ)=0000FFh: 256 バイト単位のカウント -1 としての領域サイ ズ =16x4KB
205h		FFh	セクタ =64KB、カウント =64KB/256=256、値 = カウント -1=256-1=255=FFh
206h		00h	ビット 7:4=RFU=Fh、消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は 256KB 消去であり、4KB セクタ領域では未対応 です。
207h		00h	ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されま す。

Table 88 JEDEC SFDP レビジョン D、セクタ マップ パラメーター テーブル (続き)

SFDP	SFDP DWORD 名	データ	説明
208h	JEDEC セクタ マップ パラメーター DWORD 17 コン フィギュレーション 1 領域 1	F8h	領域 1: 192KB セクタ
209h		FFh	ビット 31:8= 領域サイズ =0002FFh: 256 バイト単位のカウン ト -1 としての領域サイズ =1x192KB セク タ =
20Ah		02h	192KB、カウン ト =192KB/256=768、値 = カウン ト -1=768-1=767=2FFh ビット 7:4=RFU=Fh、消去タイプは未対応 =0/ 対応 =1
20Bh		00h	ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、192KB セクタ領域で対応さ れます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域では未対応で す。
20Ch	JEDEC セクタ マップ パラメーター DWORD 18 コン フィギュレーション 1 領域 2	F8h	領域 2: ユニフォーム 256KB セクタ
20Dh		FFh	ビット 31:8=256Mb デバイスの領域サイズ =01F7FFh: 128 バイト単位のカウン ト -1 としての領域サイズ =126x256KB セクタ =32,256KB、カウン ト =32,256 KB/256=129,024、値 = カウン ト -1=129,024-1=129023=01F7FFh
20Eh		F7h	ビット 31:8=512Mb デバイスの領域サイズ =03F7FFh: 256 バイト単位のカウン ト ?1 としての領域サイズ =254x256KB セクタ =65,024KB、カウン ト =65,024KB/256=260,096、値 = カウン ト -1=260,096-1= 260,095=03F7FFh
20Fh		01h (256Mb) 03h (512Mb) 07h (1Gb)	ビット 31:8=1Gb デバイスの領域サイズ =07F7FFh: 256 バイト単位のカウン ト ?1 としての領域サイズ =510x256KB セクタ =130,560KB カウン ト =130,560KB/256=522,240、値 = カウン ト -1=522,240-1=522,239=7F7FFh ビット 7:4=RFU=Fh、消去タイプは未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、256KB セクタ領域で対応さ れます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では未対応 です。
210h	JEDEC セクタ マップ パラメーター DWORD 19 コン フィギュレーション 1 領域 3	F8h	領域 3: 192KB セクタ
211h		FFh	ビット 31:8= 領域サイズ =000FFh: 256 バイト単位のカウン ト -1 としての領域サイズ =1x192KB セク タ =
212h		02h	192KB、カウン ト =192KB/256=768、値 = カウン ト -1=768-1=767=2FFh ビット 7:4=RFU=Fh、消去タイプは未対応 =0/ 対応 =1
213h		00h	ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、192KB セクタ領域で対応さ れます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域では未対応で す。
214h	JEDEC セクタ マップ パラメーター DWORD 20 コン フィギュレーション 1 領域 5	F1h	領域 5: 4KB セクタ
215h		FFh	ビット 31:8= 領域サイズ (16x4KB セクタ)=0000FFh: 256 バイト単位のカウン ト -1 としての領域サイ ズ =16x4KB
216h		00h	セクタ =64KB、カウン ト =64KB/256=256、値 = カウン ト -1=256-1=255=FFh ビット 7:4=RFU=Fh、消去タイプ未対応 =0/ 対応 =1
217h		00h	ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は未定義です。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は 256KB 消去であり、4KB セクタ領域では未対応 です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は 64KB 消去であり、未対応です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されま す。
218h	JEDEC セクタ マップ パラメーター DWORD 21 コン フィギュレーション 4 ヘッダ	FFh	コンフィギュレーション インデックス 04h: ユニフォーム 256KB セクタ
219h		04h	ビット 31:24=RFU=FFh
21Ah		00h	ビット 23:16= 領域カウン ト (DWORD 数 -1) =00h: 1 つの領域
21Bh		FFh	ビット 15:8= コンフィギュレーション ID=04h: ユニフォーム 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップディスクリプタ =1 ビット 0= 終了マップディスクリプタ =1
21Ch	JEDEC セクタ マップ パラメーター DWORD 22 コン フィギュレーション 4 領域 0	F8h	領域 0: ユニフォーム 256KB セクタ
21Dh		FFh	ビット 31:8=256Mb デバイスの領域サイズ =01FFFFh: 128 バイト単位のカウン ト -1 としての領域サイズ =128x256KB セクタ =32,768KB、カウン ト =32,768 KB/256=131,072、値 = カウン ト -1=131,072-1=131071=01FFFFh
21Eh		FFh	ビット 31:8=512Mb デバイスの領域サイズ =03FFFFh: 256 バイト単位のカウン ト -1 としての領域サイズ =256x256KB セクタ =65,536KB、カウン ト =65,536 KB/256=262,144、値 = カウン ト -1=262,144-1=262,143=3FFFFh
21Fh		01h (256Mb) 03h (512Mb) 07h (1Gb)	ビット 31:8=1Gb デバイスの領域サイズ =07FFFFh: 256 バイト単位のカウン ト -1 としての領域サイズ =512x256KB セクタ =131,072KB、カウン ト =131,072KB/256=524,288、値 = カウン ト -1=524,288-1=524,287=7FFFFh ビット 7:4=RFU=Fh、消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、256KB セクタ領域で対応さ れます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では未対応 です。

デバイス ID

9.2 メーカーおよびデバイス ID

Table 89 メーカーおよびデバイス ID

バイトアドレス	データ	説明
00h	34h	インフィニオンのメーカー ID
01h	2Ah (HL-T)/2Bh (HS-T)	デバイス ID の MSB - メモリ インターフェース タイプ
02h	19h (256Mb) / 1Ah (512Mb) / 1Bh (1Gb)	デバイス ID の LSB - 容量
03h	0Fh	ID 長 - 続くバイト数です。この値を 03h の現行位置に加えると、ID レガシー アドレス マップ の最終の有効な位置のアドレスになります。
04h	03h (デフォルト コンフィギュレーション)	物理セクタ アーキテクチャ HS/L-T family はユニフォーム セクタに加えて 4KB パラメーター セクタの有無を構成できます。 03h= ユニフォーム 256KB セクタと 32 の 4KB パラメーター セクタ
05h	90h (HL-T/HS-T ファミリ)	ファミリ ID

9.3 固有デバイス ID

Table 90 固有デバイス ID

バイトアドレス	データ	説明
00h ~ 07h	8 バイト固有デバイス ID	64 ビット固有 ID 番号

10 パッケージ図

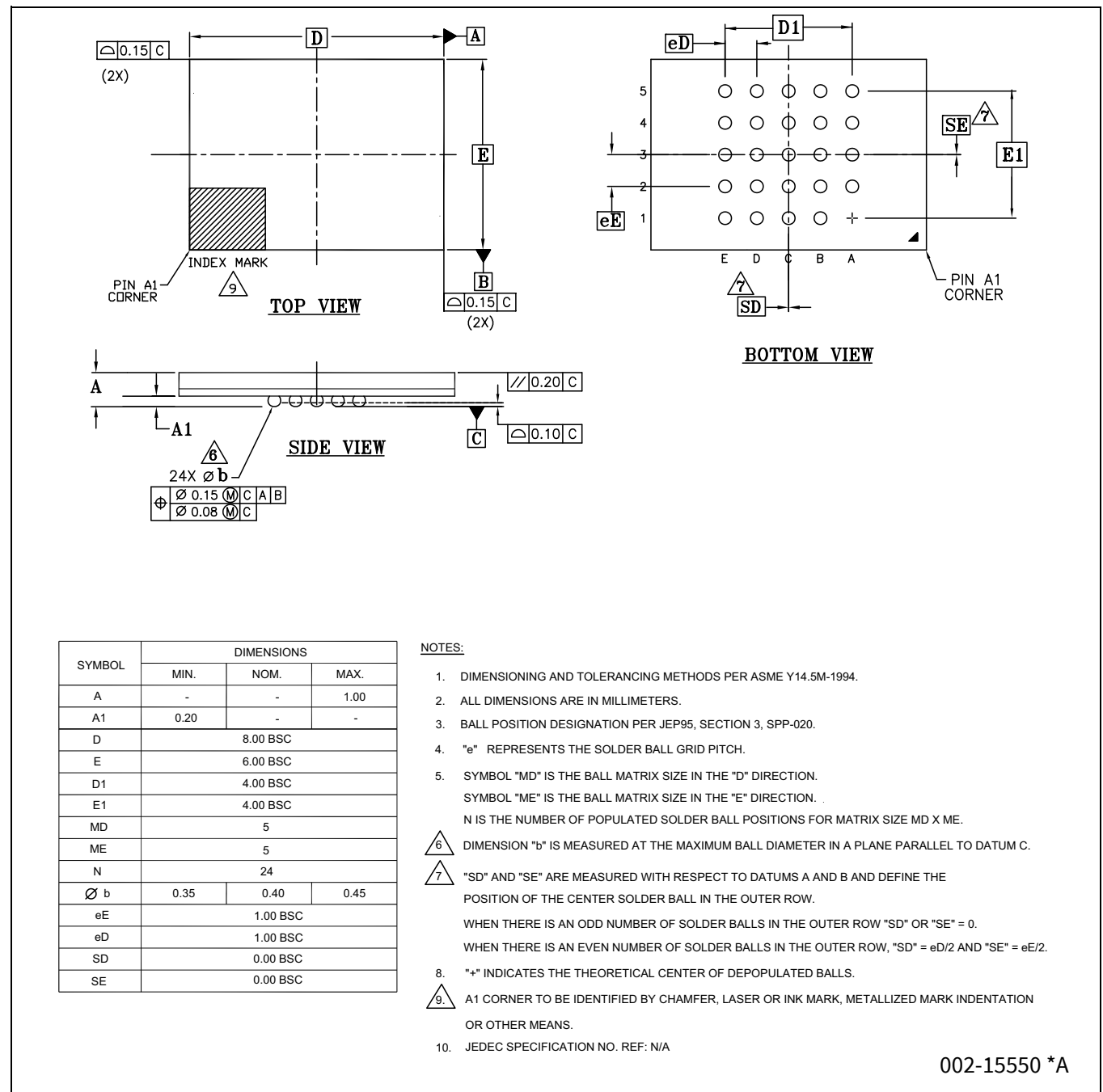
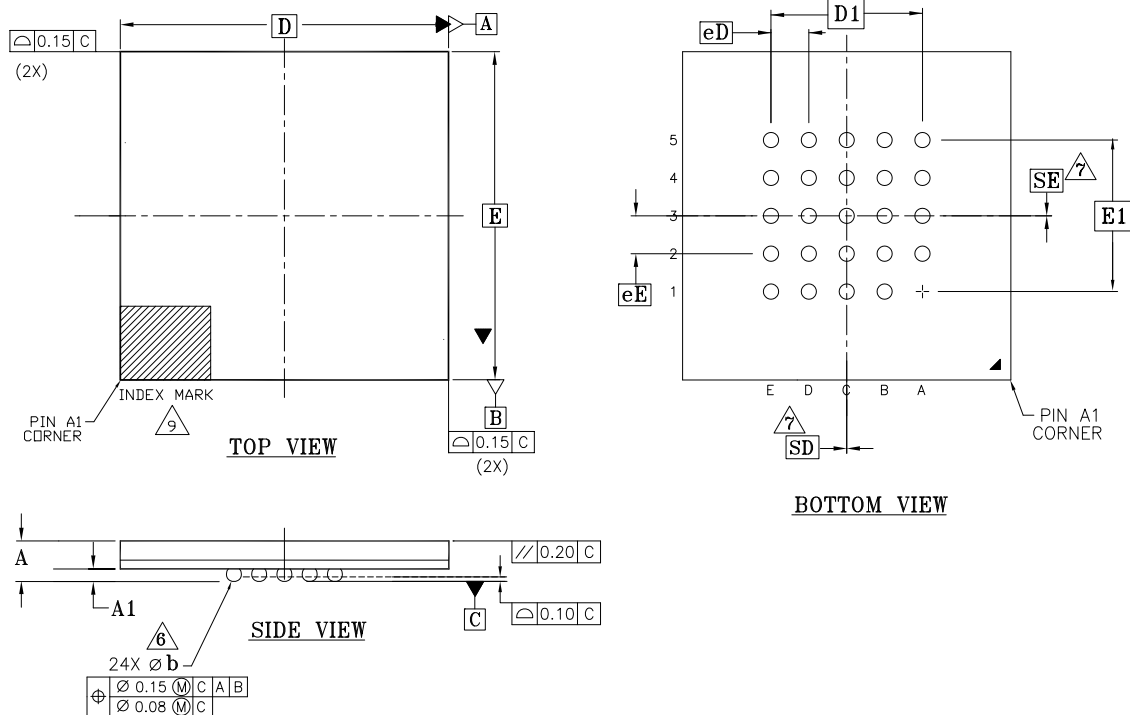


Figure 85 ボールグリッドアレイ 24 ボール 6x8mm (VAA024)



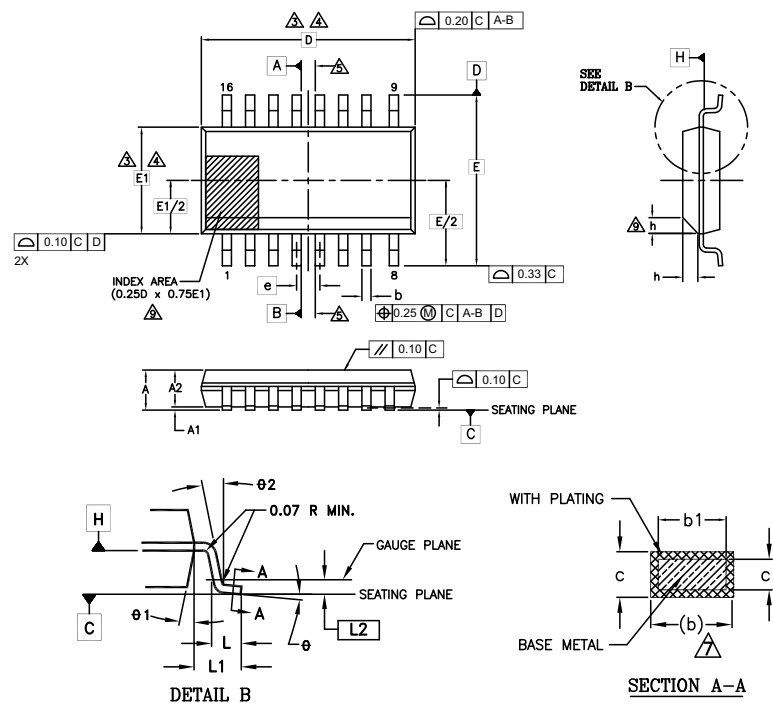
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.20	-	-
D	8.00 BSC		
E	8.00 BSC		
D1	4.00 BSC		
E1	4.00 BSC		
MD	5		
ME	5		
N	24		
Ø b	0.35	0.40	0.45
eE	1.00 BSC		
eD	1.00 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

1. DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
4. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.
10. JEDEC SPECIFICATION NO. REF: N/A

002-22282 **

Figure 86 ボールグリッドアレイ 24 ボール 8×8mm (VAC024)



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	2.35	-	2.65
A1	0.10	-	0.30
A2	2.05	-	2.55
b	0.31	-	0.51
b1	0.27	-	0.48
c	0.20	-	0.33
c1	0.20	-	0.30
D	10.30 BSC		
E	10.30 BSC		
E1	7.50 BSC		
e	1.27 BSC		
L	0.40	-	1.27
L1	1.40 REF		
L2	0.25 BSC		
N	16		
h	0.25	-	0.75
θ	0°	-	8°
θ1	5°	-	15°
θ2	0°	-	-

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A AND B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

002-15547 *A

Figure 87 16 リード、300mil 幅 SOIC (S03016)

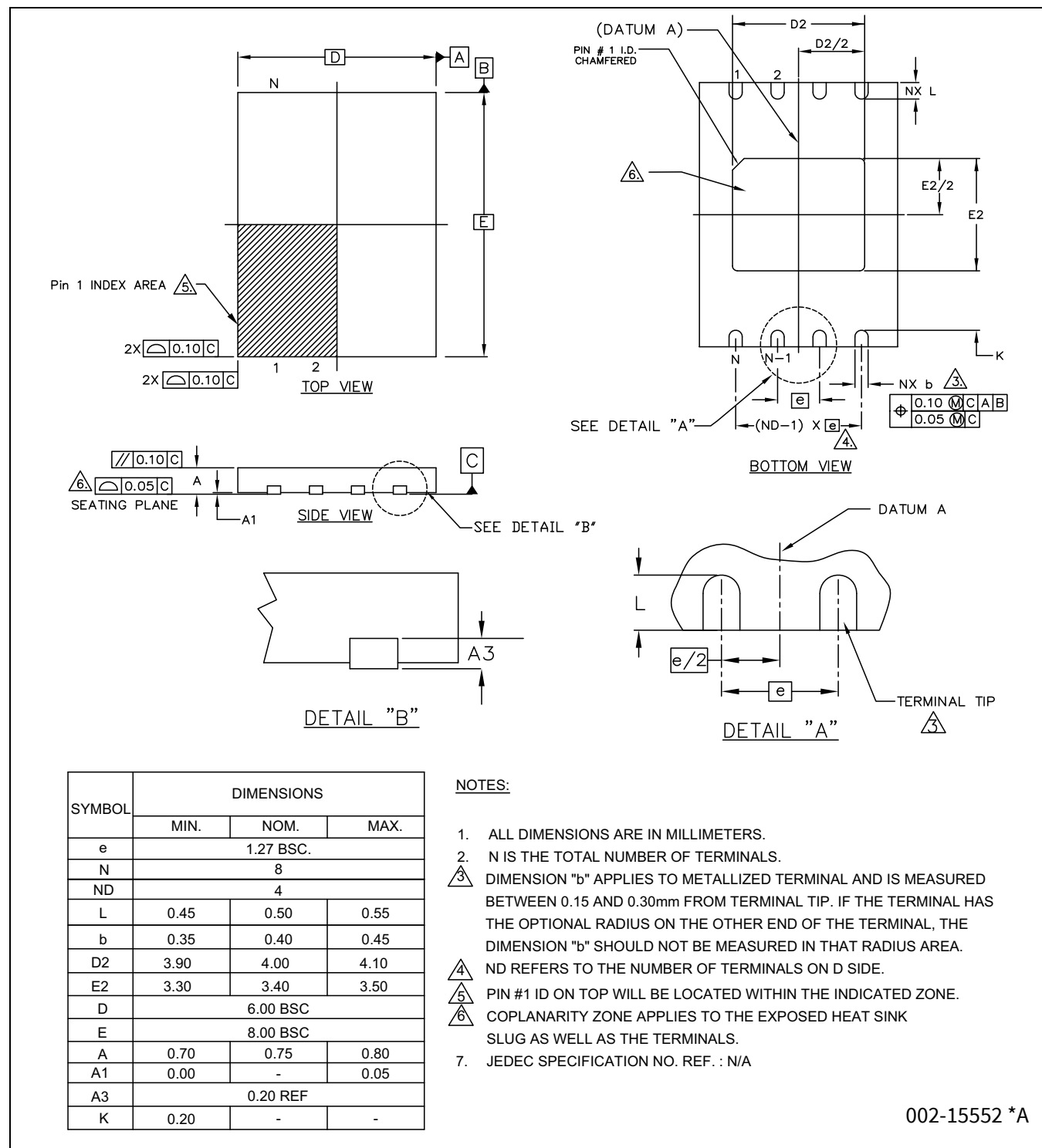
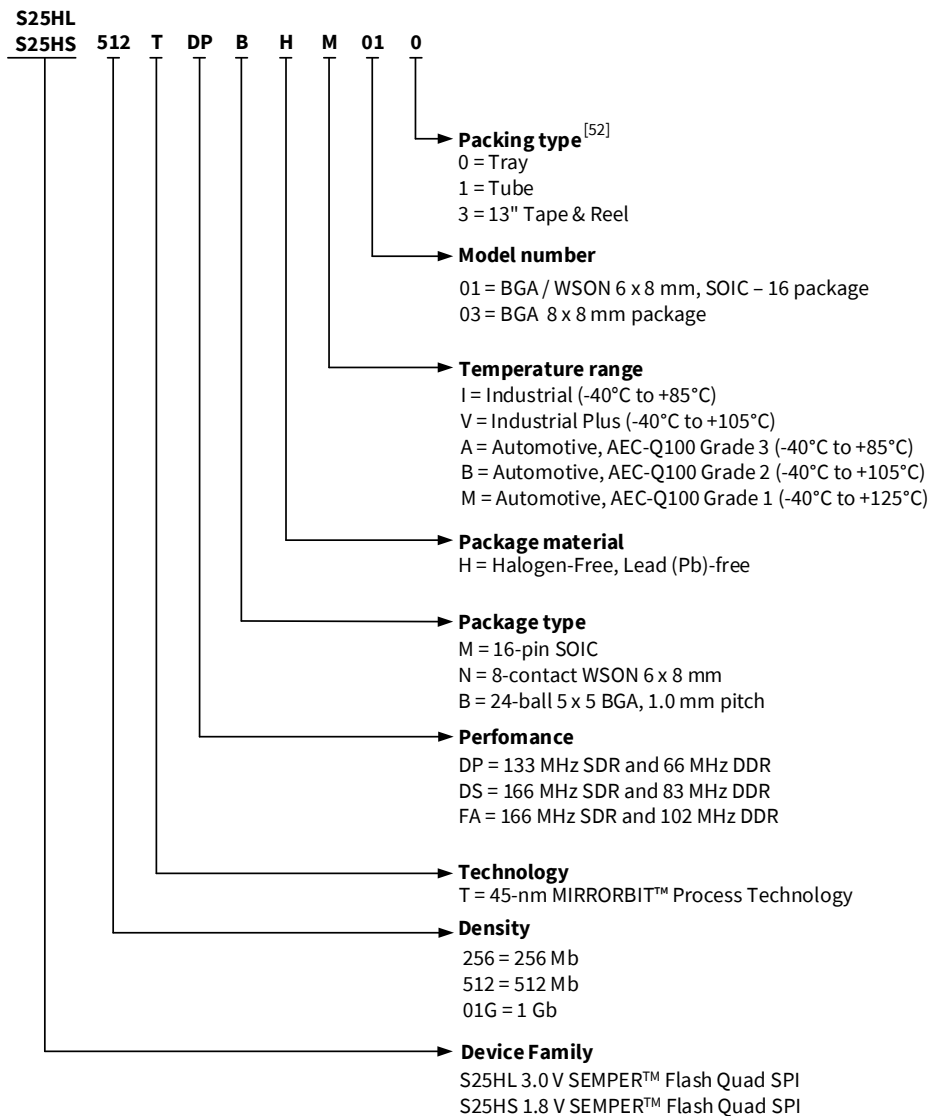


Figure 88 8接点、6x8mm、リードレス WSON パッケージ (WNH008)

11 注文情報

注文製品番号は下記の有効な組合せで構成されます。



注

52. 詳細情報については、www.cypress.com にてパッキングおよびパッケージハンドブックを参照してください。

11.1 有効な組合せ – 標準グレード

Table 91 は、量産対応が計画されているコンフィギュレーションを示します。ご使用になる組合せの有無、ならびに新たにリリースされる組合せは担当営業までお問い合わせください。

Table 91 有効な組合せ – 標準グレード

ベース注文製品番号	速度オプション	パッケージおよび材料	温度範囲	モデル番号	包装形態	注文製品番号 (x= 包装形態)	パッケージ マーク
S25HL512T	DP	BH	I、V	01	0、3	S25HL512TDPBHI01x	25HL512TPI01
						S25HL512TDPBHV01x	25HL512TPV01
		MH	I、V	01	0、1、3	S25HL512TDPMHI01x	25HL512TPI01
						S25HL512TDPMHV01x	25HL512TPV01
		NH	I、V	01	0、1、3	S25HL512TDPNHI01x	2HL512TPI01
						S25HL512TDPNHV01x	2HL512TPV01
	FA	BH	I、V	01	0、3	S25HL512TFABHI01x	25HL512TFI01
						S25HL512TFABHV01x	25HL512TFV01
		MH	I、V	01	0、1、3	S25HL512TFAMHI01x	25HL512TFI01
						S25HL512TFAMHV01x	25HL512TFV01
		NH	I、V	01	0、1、3	S25HL512TFANHI01x	2HL512TFI01
						S25HL512TFANHV01x	2HL512TFV01
S25HS512T	DP	BH	I、V	01	0、3	S25HS512TDPBHI01x	25HS512TPI01
						S25HS512TDPBHV01x	25HS512TPV01
		MH	I、V	01	0、1、3	S25HS512TDPMHI01x	25HS512TPI01
						S25HS512TDPMHV01x	25HS512TPV01
		NH	I、V	01	0、1、3	S25HS512TDPNHI01x	2HS512TPI01
						S25HS512TDPNHV01x	2HS512TPV01
	DS	BH	V	01	0、3	S25HS512TDSBHV01x	25HS512TSV01
		MH	V	01	0、3	S25HS512TDSMHV01x	25HS512TSV01
	FA	BH	I、V	01	0、3	S25HS512TFABHI01x	25HS512TFI01
						S25HS512TFABHV01x	25HS512TFV01
		MH	I、V	01	0、1、3	S25HS512TFAMHI01x	25HS512TFI01
						S25HS512TFAMHV01x	25HS512TFV01
		NH	I、V	01	0、1、3	S25HS512TFANHI01x	2HS512TFI01
						S25HS512TFANHV01x	2HS512TFV01
S25HL01GT	DP	BH	I、V	03	0、3	S25HL01GTDPBHV03x	25HL01GTPV03
						S25HL01GTDPBHI03x	25HL01GTPI03
		MH	I、V	01	0、1、3	S25HL01GTDPMHV01x	25HL01GTPV01
	FA	BH	I、V	03	0、3	S25HL01GTFAHV03x	25HL01GTFV03
						S25HL01GTFAHI03x	25HL01GTFI03
		MH	I、V	01	0、1、3	S25HL01GTFAMHI01x	25HL01GTFI01
S25HS01GT	DP	BH	I、V	03	0、3	S25HS01GTDPBHI03x	25HS01GTPI03
						S25HS01GTDPBHV03x	25HS01GTPV03
		MH	I、V	01	0、1、3	S25HS01GTDPMHI01x	25HS01GTPI01
						S25HS01GTDPMHV01x	25HS01GTPV01

Table 91 有効な組合せ – 標準グレード (続き)

ベース注文製品番号	速度オプション	パッケージおよび材料	温度範囲	モデル番号	包装形態	注文製品番号 (x= 包装形態)	パッケージ マーク
S25HS01GT	FA	BH	I、V	03	0、3	S25HS01GTFABHI03x	25HS01GTFI03
						S25HS01GTFABHV03x	25HS01GTFV03
		MH	I、V	01	0、1、3	S25HS01GTFAMHI01x	25HS01GTFI01
						S25HS01GTFAMHV01x	25HS01GTFV01

11.2 有効な組合せ – 車載向けグレード /AEC-Q100

Table 92 は、車載向けグレード /AEC-Q100 の認定がされた、量産対応が計画されているコンフィギュレーションを示します。新しい組合せがリリースされると、表は更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せは最寄りの販売代理店までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のものに提供されます。

ISO/TS-16949 準拠を必要とするエンドユースアプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければなりません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されていません。

また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユースアプリケーションにも PPAP サポートなしで提供されます。

Table 92 有効な組合せ – 車載向けグレード /AEC-Q100

ベース注文製品番号	速度オプション	パッケージと材料	温度範囲	モデル番号	包装形態	注文製品番号 (x= 包装形態)	パッケージ マーキング
S25HL512T	DP	BH	A、B、M	01	0、3	S25HL512TDPBHA01x	25HL512TPA01
						S25HL512TDPBHB01x	25HL512TPB01
						S25HL512TDPBHM01x	25HL512TPM01
		MH	A、B、M	01	0、1、3	S25HL512TDPMHA01x	25HL512TPA01
						S25HL512TDPMHB01x	25HL512TPB01
						S25HL512TDPMHM01x	25HL512TPM01
		NH	A、B、M	01	0、1、3	S25HL512TDPNHA01x	2HL512TPA01
						S25HL512TDPNHB01x	2HL512TPB01
						S25HL512TDPNHM01x	2HL512TPM01
	FA	BH	A、B、M	01	0、3	S25HL512TFABHA01x	25HL512TFA01
						S25HL512TFABHB01x	25HL512TFB01
						S25HL512TFABHM01x	25HL512TFM01
		MH	A、B、M	01	0、1、3	S25HL512TFAMHA01x	25HL512TFA01
						S25HL512TFAMHB01x	25HL512TFB01
						S25HL512TFAMHM01x	25HL512TFM01
		NH	A、B、M	01	0、1、3	S25HL512TFANHA01x	2HL512TFA01
						S25HL512TFANHB01x	2HL512TFB01
						S25HL512TFANHM01x	2HL512TFM01

Table 92 有効な組合せ – 車載向けグレード /AEC-Q100 (続き)

ベース注文 製品番号	速度オ プション	パッケージと 材料	温度範囲	モデル 番号	包装形態	注文製品番号 (x= 包装形態)	パッケージマーキン グ
S25HS512T	DP	BH	A、B、M	01	0、3	S25HS512TDPBHA01x	25HS512TPA01
						S25HS512TDPBHB01x	25HS512TPB01
						S25HS512TDPBHM01x	25HS512TPM01
		MH	A、B、M	01	0、1、3	S25HS512TDPMHA01x	25HS512TPA01
						S25HS512TDPMHB01x	25HS512TPB01
						S25HS512TDPMHM01x	25HS512TPM01
	FA	BH	A、B、M	01	0、1、3	S25HS512TDPNHA01x	2HS512TPA01
						S25HS512TDPNHB01x	2HS512TPB01
						S25HS512TDPNHM01x	2HS512TPM01
		BH	A、B、M	01	0、3	S25HS512TFABHA01x	25HS512TFA01
						S25HS512TFABHB01x	25HS512TFB01
						S25HS512TFABHM01x	25HS512TFM01
S25HS512T	FA	MH	A、B、M	01	0、1、3	S25HS512TFAMHA01x	25HS512TFA01
						S25HS512TFAMHB01x	25HS512TFB01
						S25HS512TFAMHM01x	25HS512TFM01
		NH	A、B、M	01	0、1、3	S25HS512TFANHA01x	2HS512TFA01
						S25HS512TFANHB01x	2HS512TFB01
						S25HS512TFANHM01x	2HS512TFM01
S25HL01GT	DP	BH	A、B、M	03	0、3	S25HL01GTDPBHA03x	25HL01GTPA03
						S25HL01GTDPBHB03x	25HL01GTPB03
						S25HL01GTDPBHM03x	25HL01GTPM03
		MH	A、B、M	01	0、1、3	S25HL01GTDPMHA01x	25HL01GTPA01
						S25HL01GTDPMHB01x	25HL01GTPB01
						S25HL01GTDPMHM01x	25HL01GTPM01
	FA	BH	A、B、M	03	0、3	S25HL01GTFABHA03x	25HL01GTFA03
						S25HL01GTFABHB03x	25HL01GTFB03
						S25HL01GTFABHM03x	25HL01GTFM03
		MH	A、B、M	01	0、1、3	S25HL01GTFAMHA01x	25HL01GTFA01
						S25HL01GTFAMHB01x	25HL01GTFB01
						S25HL01GTFAMHM01x	25HL01GTFM01
S25HS01GT	DP	BH	A、B、M	03	0、3	S25HS01GTDPBHA03x	25HS01GTPA03
						S25HS01GTDPBHB03x	25HS01GTPB03
						S25HS01GTDPBHM03x	25HS01GTPM03
		MH	A、B、M	01	0、1、3	S25HS01GTDPMHA01x	25HS01GTPA01
						S25HS01GTDPMHB01x	25HS01GTPB01
						S25HS01GTDPMHM01x	25HS01GTPM01
	FA	BH	A、B、M	03	0、3	S25HS01GTFABHA03x	25HS01GTFA03
						S25HS01GTFABHB03x	25HS01GTFB03
						S25HS01GTFABHM03x	25HS01GTFM03
		MH	A、B、M	01	0、1、3	S25HS01GTFAMHA01x	25HS01GTFA01
						S25HS01GTFAMHB01x	25HS01GTFB01
						S25HS01GTFAMHM01x	25HS01GTFM01

改訂履歴

改訂履歴

Document version	Date of release	Description of changes
**	2018-07-18	これは英語版 002-12345 Rev. *I を翻訳した日本語版 Rev. ** です。
*A	2019-07-10	これは英語版 002-12345 Rev. *O を翻訳した日本語版 Rev. *A です。
*B	2020-04-07	これは英語版 002-12345 Rev. *W を翻訳した日本語版 Rev. *B です。
*C	2020-05-28	これは英語版 002-12345 Rev. *X を翻訳した日本語版 Rev. *C です。
*D	2022-10-26	これは英語版 002-12345 Rev. AA を翻訳した日本語版 Rev. *D です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-10-26

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2022 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Go to www.infineon.com/support

Document reference

002-23660 Rev. *D

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記載された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないことを予めご了承ください。