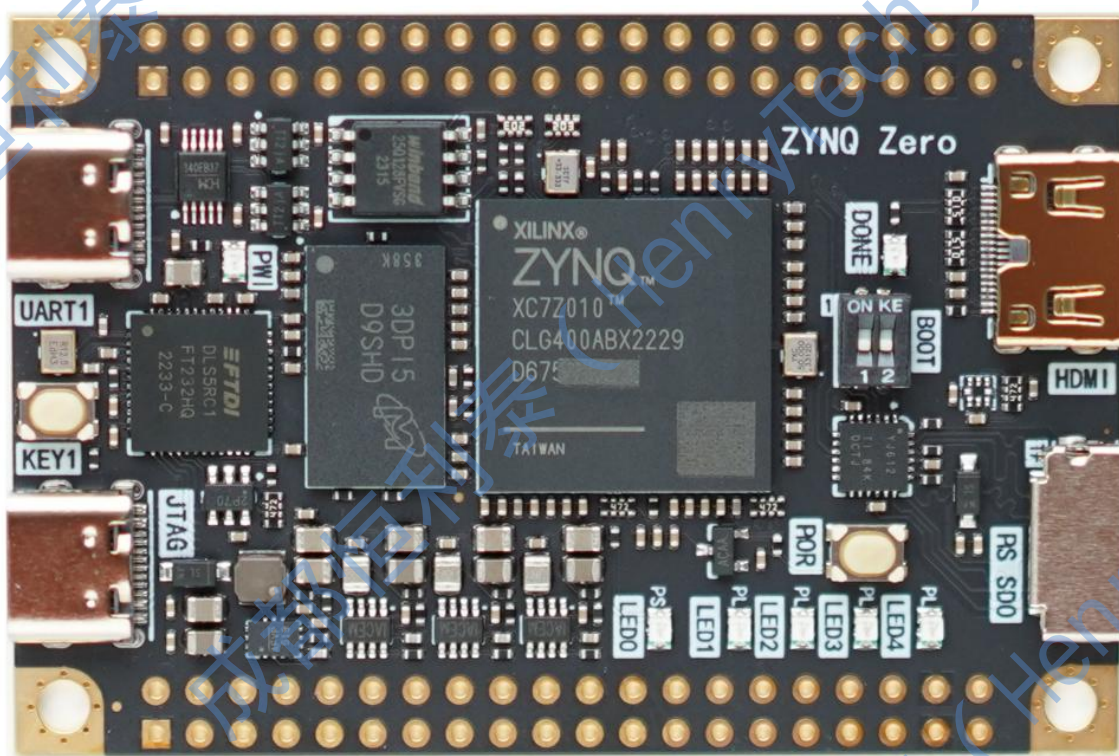


HLT-ZYNQ_ZERO 核心板硬件手册

----- 基于 ZYNQ Zero系列开发板



编写人：宋老师、李老师

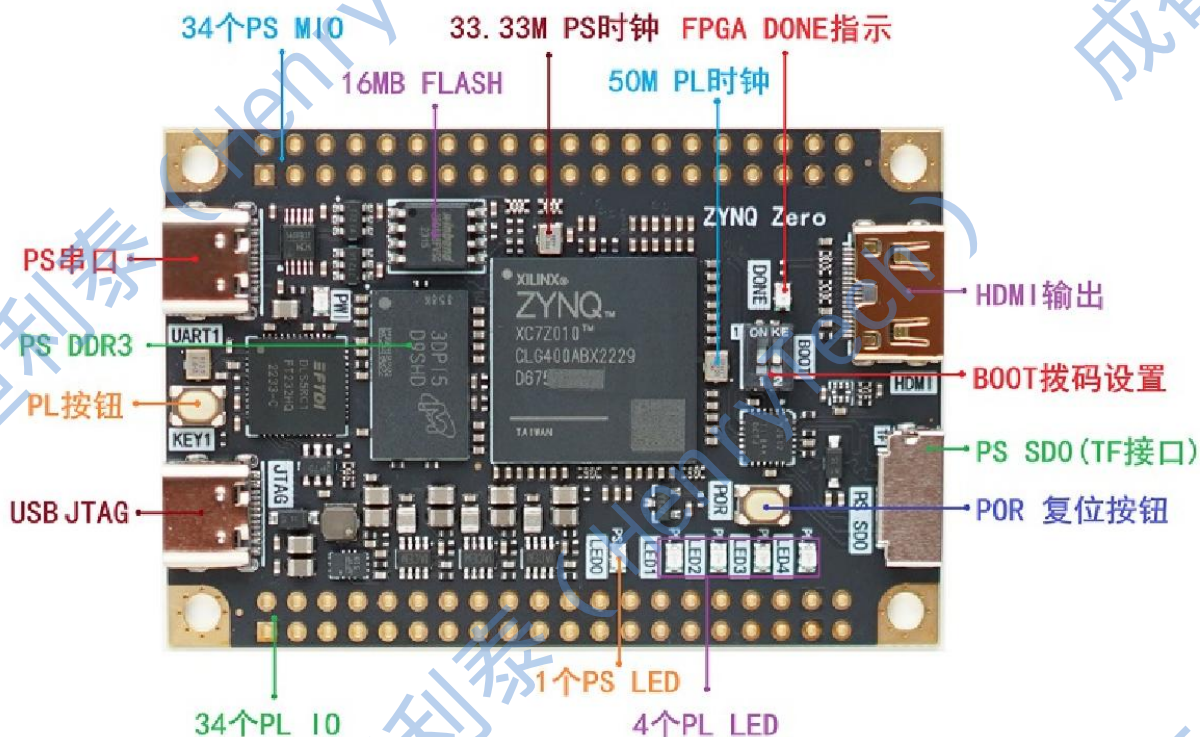
编写定稿日期：2023.09.15

目录

一、 文档简介	3
二、 电源供电部分设计	3
三、 板载JTAG调试器	6
四、 板载串口转USB	6
五、 开发板时钟	7
六、 DDR3电路	7
七、 QSPI FLASH电路	8
八、 SD(TF)卡接口电路	8
九、 HDMI输出接口	9
十、 扩展接口部分	10
十一、 其他	11
十二、 核心板尺寸和丝印	11

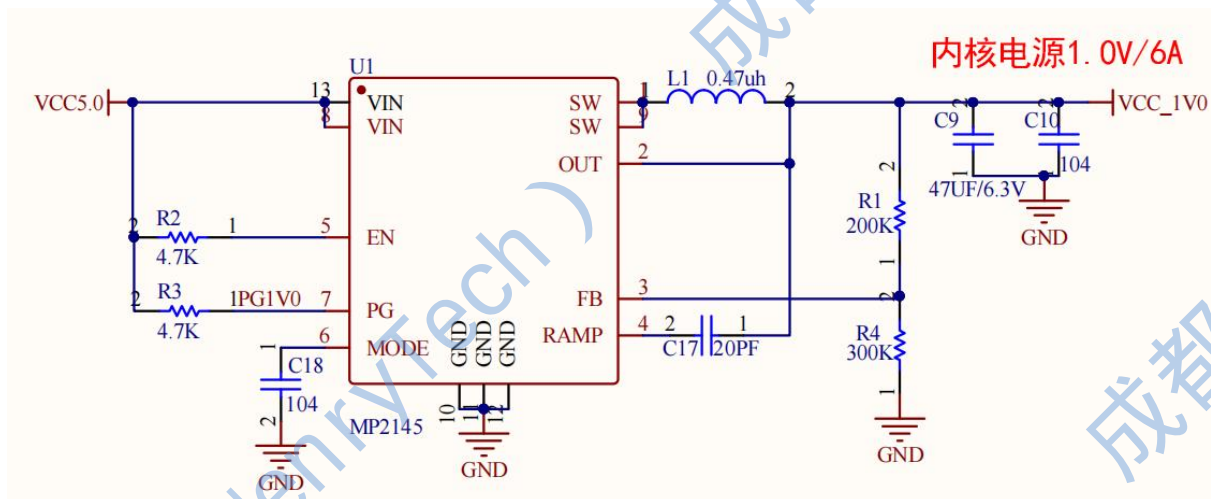
一、文档简介

本文档详细介绍说明ZYNQ PI核心板硬件设计。通过本文档，我们将说明核心板每一部分的设计。其中包括电源，ZYNQ供电引脚，PS部分，PL部分，DDR3，FLASH和扩展接口插针接口等设计。这里我们通过以下标注图来对核心板有一个整体认识：

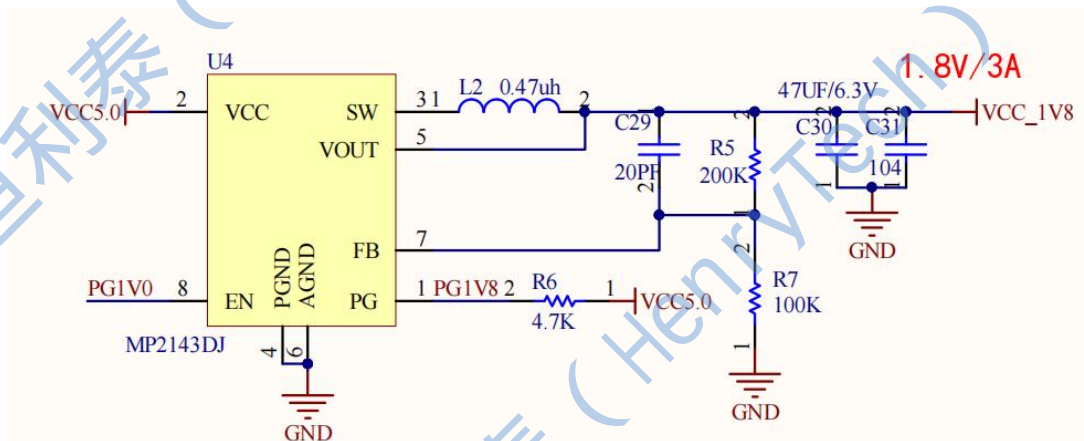


二、电源供电部分设计

原理图第一部分电源方案。我们的内核1.0V电源采用MP2145芯片，最大可输出6A。用于稳定的内核供电：

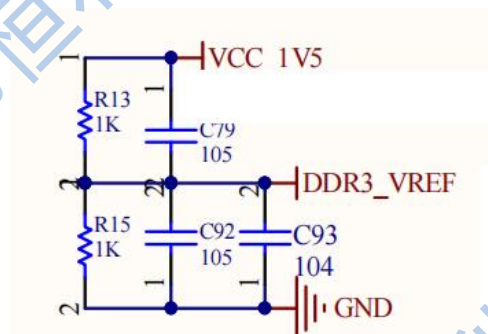


我们其余三路电源，中，1.8V，1.5V，3.3V为3A电源，采用MP2143芯片，以1.8V为例：



对于DDR3部分，由于我们只有一颗DDR3，不需要VTT电源，我们进提供VREF参考电源。

由于DDR3 VREF对电流要求很小，所以采用分压1.5V再加电容方式提供0.75V的VREF：



在这里我们ZYNQ芯片供电如下：



FPGA上电自动复位MAX809T



地址：成都市高新西区天勤东街198号

[illegible]

四、板载串口转USB

Figure 1-10 shows the pin connections for the CH340 PS UART1 module. The module is connected to the P1 header. The connections are as follows:

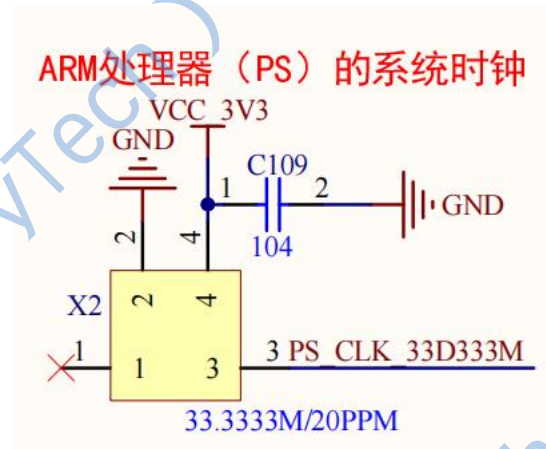
Module Pin	Header Pin	Signal
SHELL	B1A12	SHELL
VBUS	B4A9	VCC5.0
SBU2	B8	GND
DN2	B7	UART USBDM
DP2	B6	UART USBDP
CC2	B5	GND
SBU1	A8	GND
DN1	A7	UART USBDM
DP1	A6	UART USBDP
CC1	A5	GND
VBUS	A4B9	VCC5.0
GND	A1B12	GND

The module is labeled CH340 PS UART1 and TYPE-C16PIN.

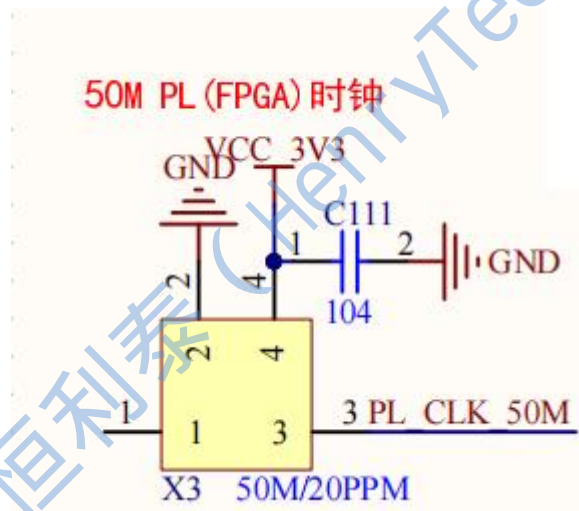
JTAG和UART两个USB可以同时供电。

五、开发板时钟

开发板原理图第四部分我们开发板PS有一个33.33M晶振用于ARM相关的处理器时钟输入：



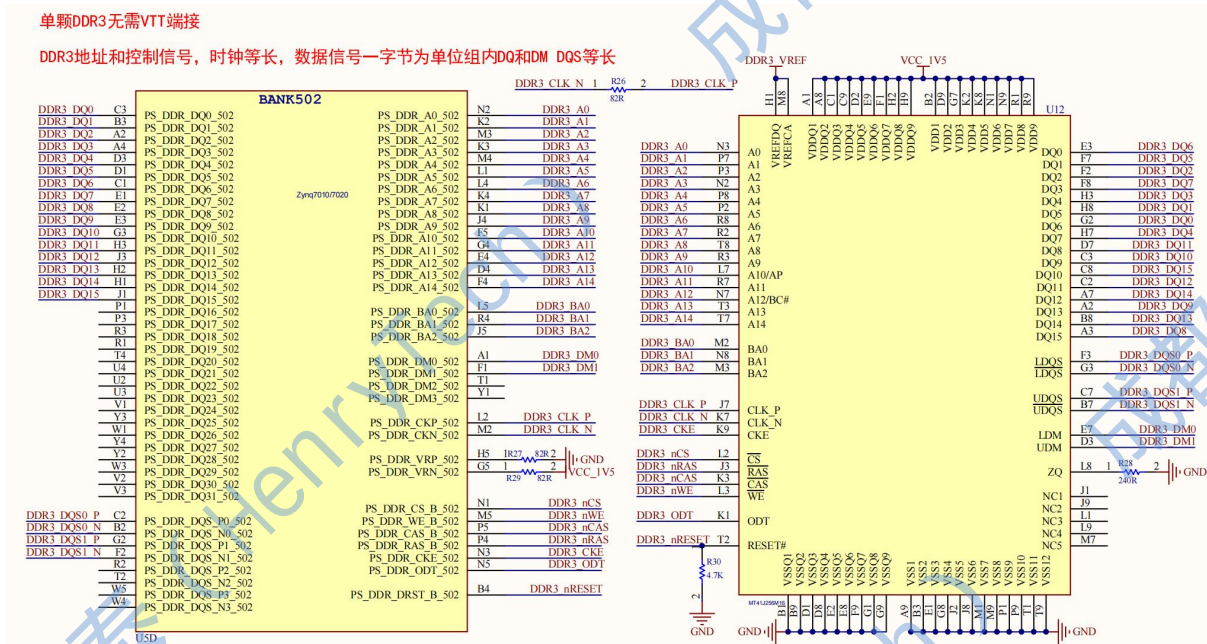
原理图第六部分中，PL时钟是50M晶振提供：



PL 50M时钟位于BANK35的K17引脚, 电压3.3V。

六、DDR3电路

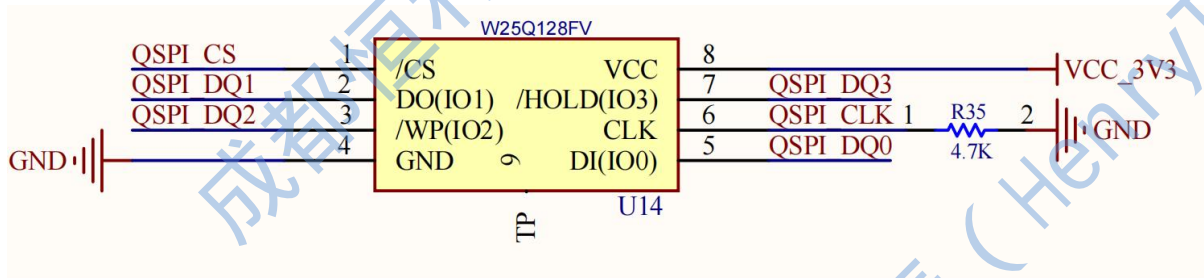
原理图第五部分，核心板包含一片DDR3，型号为MT41K256M16TW-107：



注意，由于ZYNQ中没有这个型号，最接近的是MT41K256M16RE-125。我们直接选这个型号即可，DDR3内存颗粒后缀为性能速率等级参数，值越小，可以跑到的最高速度越快，但是兼容低速配置，我们ZYNQ的DDR默认是533M时钟，1066M速率。

七、QSPI FLASH电路

原理图第七部分中，核心板包含一个16M(128Mbit)的QSPI存储器FLASH。可用于固化启动代码，启动BIT等，型号是W25Q128FVSI G:

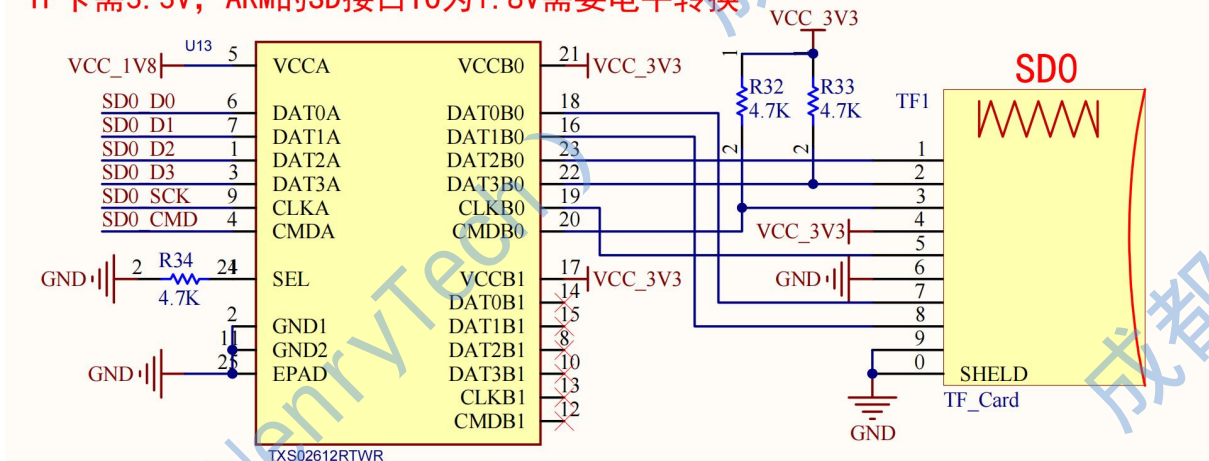


QSPI接口的FLASH位于PS的MI01-MI06。

八、SD(TF)卡接口电路

原理图第七部分中，核心板具有一个TF卡接口，采用MINI TF卡座，连接到PS的SD0，可以用于启动。由于SD卡接口是3.3V电压，而使用到的PS BANK501为1.8V，所以需要TXS02612进行电平匹配转换：

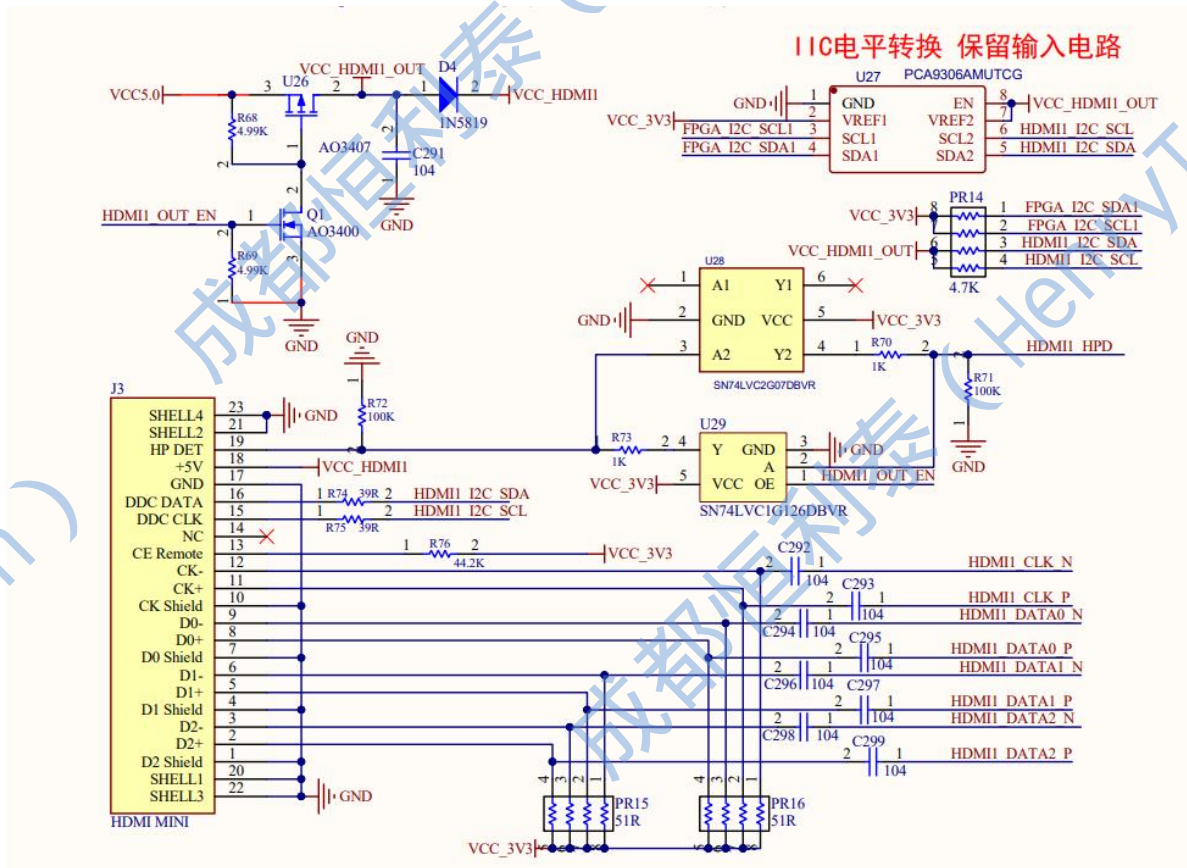
TF卡需3.3V，ARM的SD接口IO为1.8V需要电平转换



SD0接口位于PS的 MI040-45。

九、HDMI 输出接口

原理图地八部分，核心板具有一个HDMI输出接口，接口采用MINI HDMI封装，我们使用HDMI连接显示器需要HDMI MINI转标准HDMI线才可以使用。硬件电路保留HDMI作为输入接口的EDID(I2C)电平转换电路，我们核心板目前仅做输出。HDMI采用引脚差分对直接连接槽HDMI接口，没有使用到HDMI输出的PHY芯片。引脚电平为TMDS33标准，HDMI电路如下：

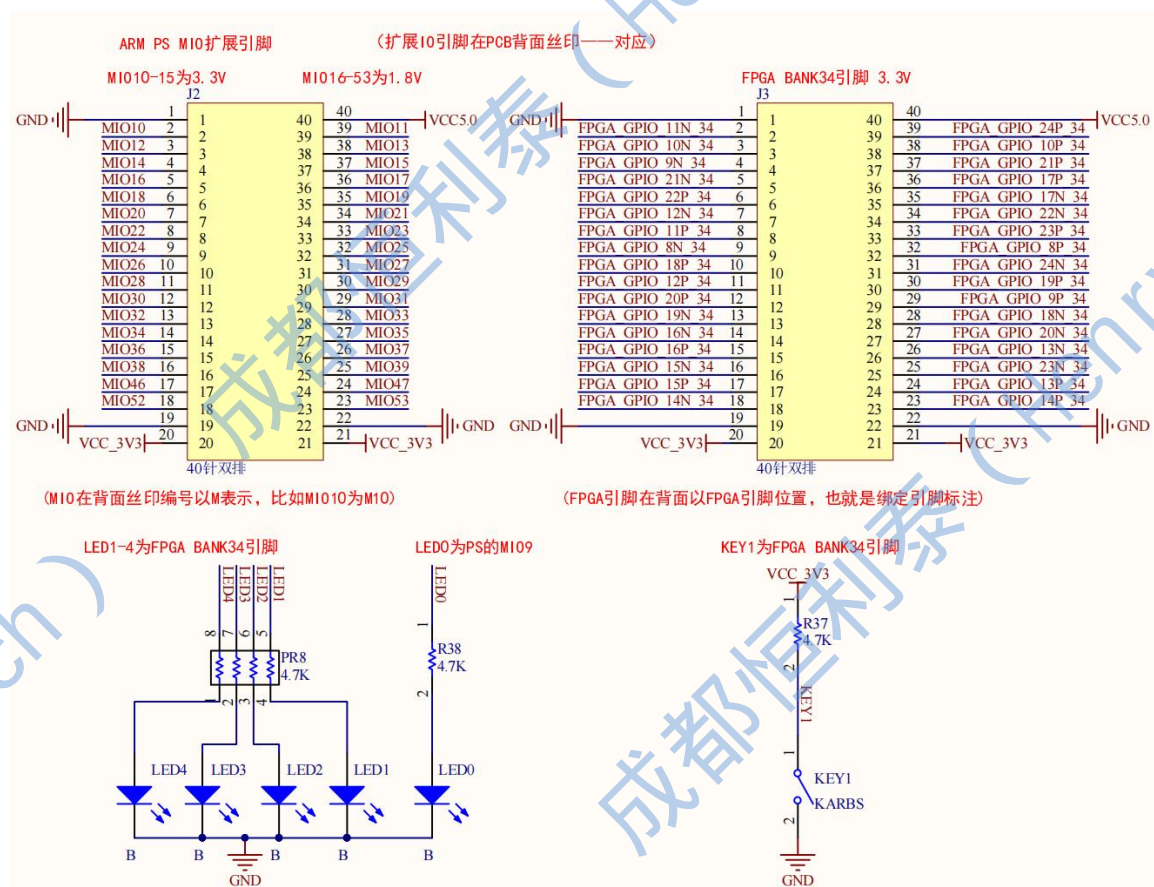


HDMI 引脚位于BANK35, 引脚如下:

- HDMI_CLK_P->H16
- HDMI_CLK_N->H17
- HDMI_DATA0_P->D19
- HDMI_DATA0_N->D20
- HDMI_DATA1_P->C20
- HDMI_DATA1_N->B20
- HDMI_DATA2_P->B19
- HDMI_DATA2_N->A20

十、扩展接口部分

原理图第九部分, 核心板对外采用两个双排针引出扩展引脚。其中, BANK34引出34个单端3.3V电压标准的引脚, 以及PS 引出34个PS的MIO, 另外核心板还有4个PL的LED, 一个PS的LED, 一个PL的按钮, 电路如下:



其中, 扩展IO的引脚中, PL的34个IO在开发板背面有引脚绑定丝印, 34个IO均为3.3V

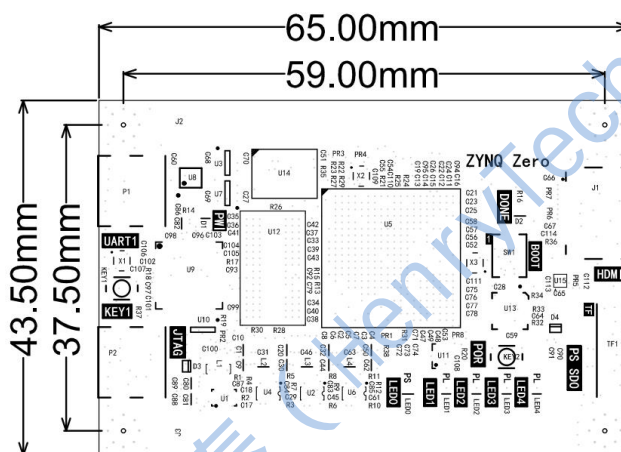
的BANK34上；PS的34个MIO钟，MI010-15为PS的BANK500, 3.3V的电压标准；MI016-53则是PS的BANK501, 1.8V电压标准。**注意使用的时候千万不能接错电压，否则可能会导致永久损坏主芯片。**

十一、其他

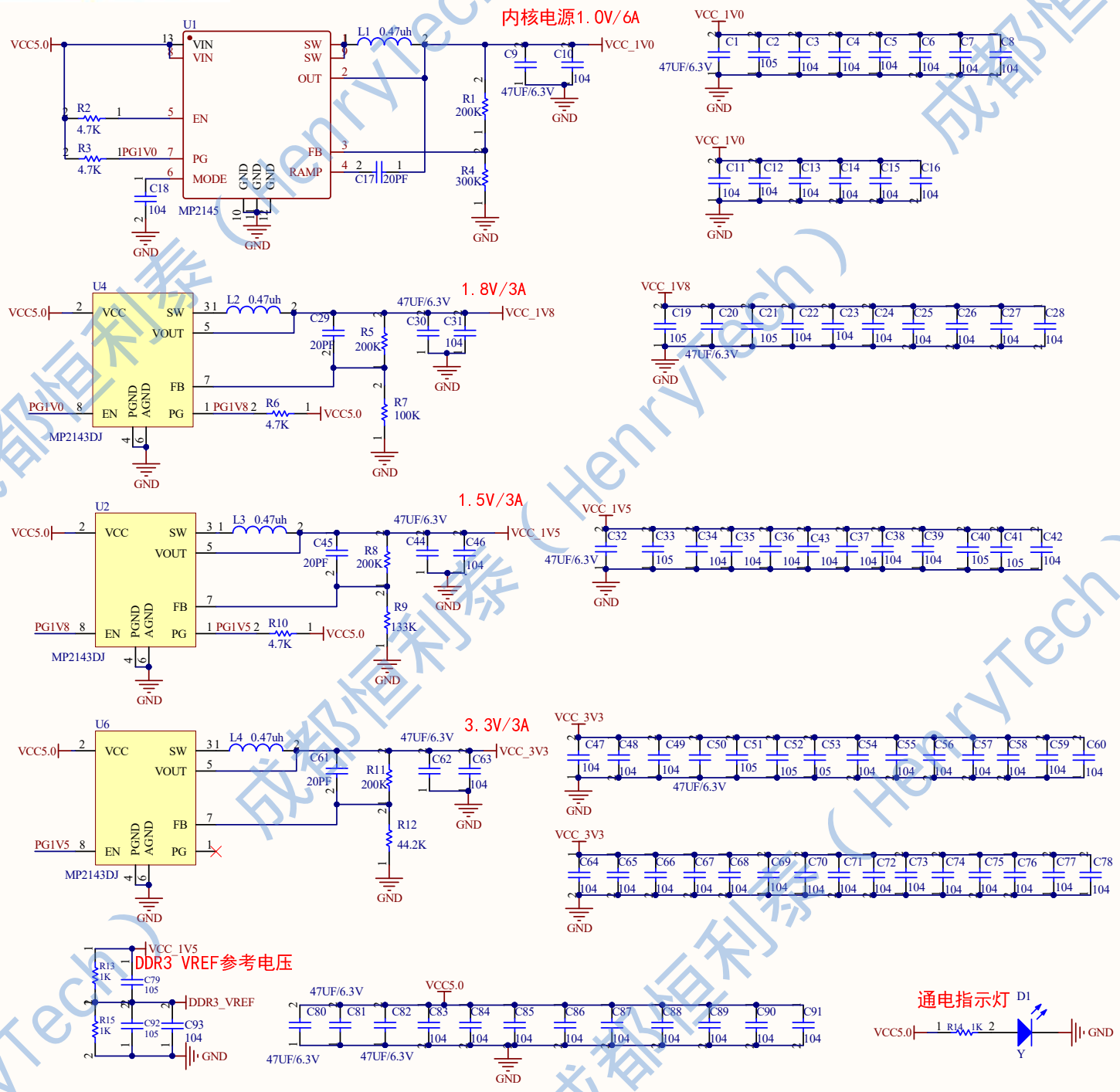
如需更详细的信息，请直接参阅核心板原理图PDF文件。

十二、核心板尺寸和丝印

核心板的尺寸标注和器件丝印图如下：



第一部分 核心板电源

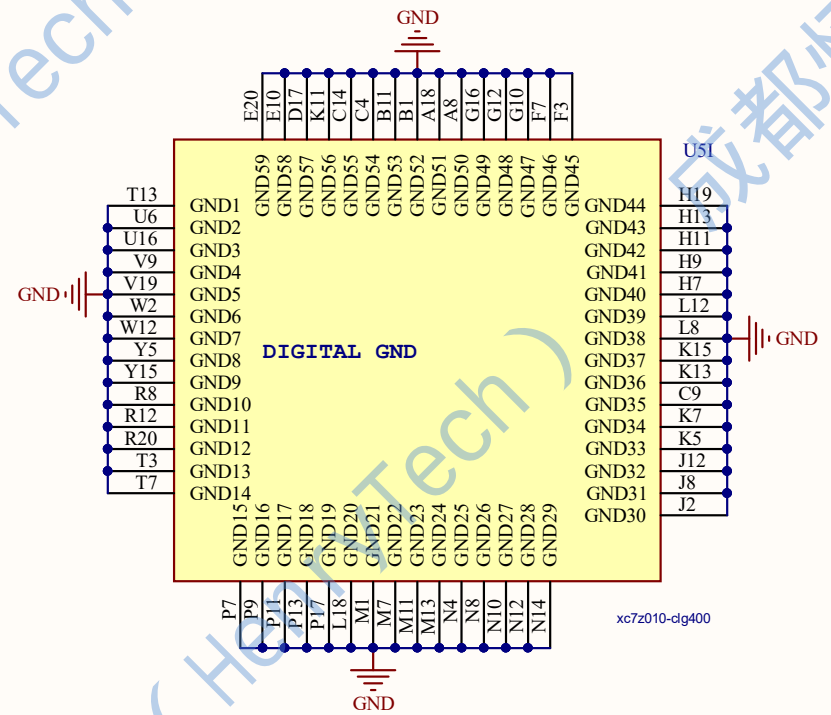
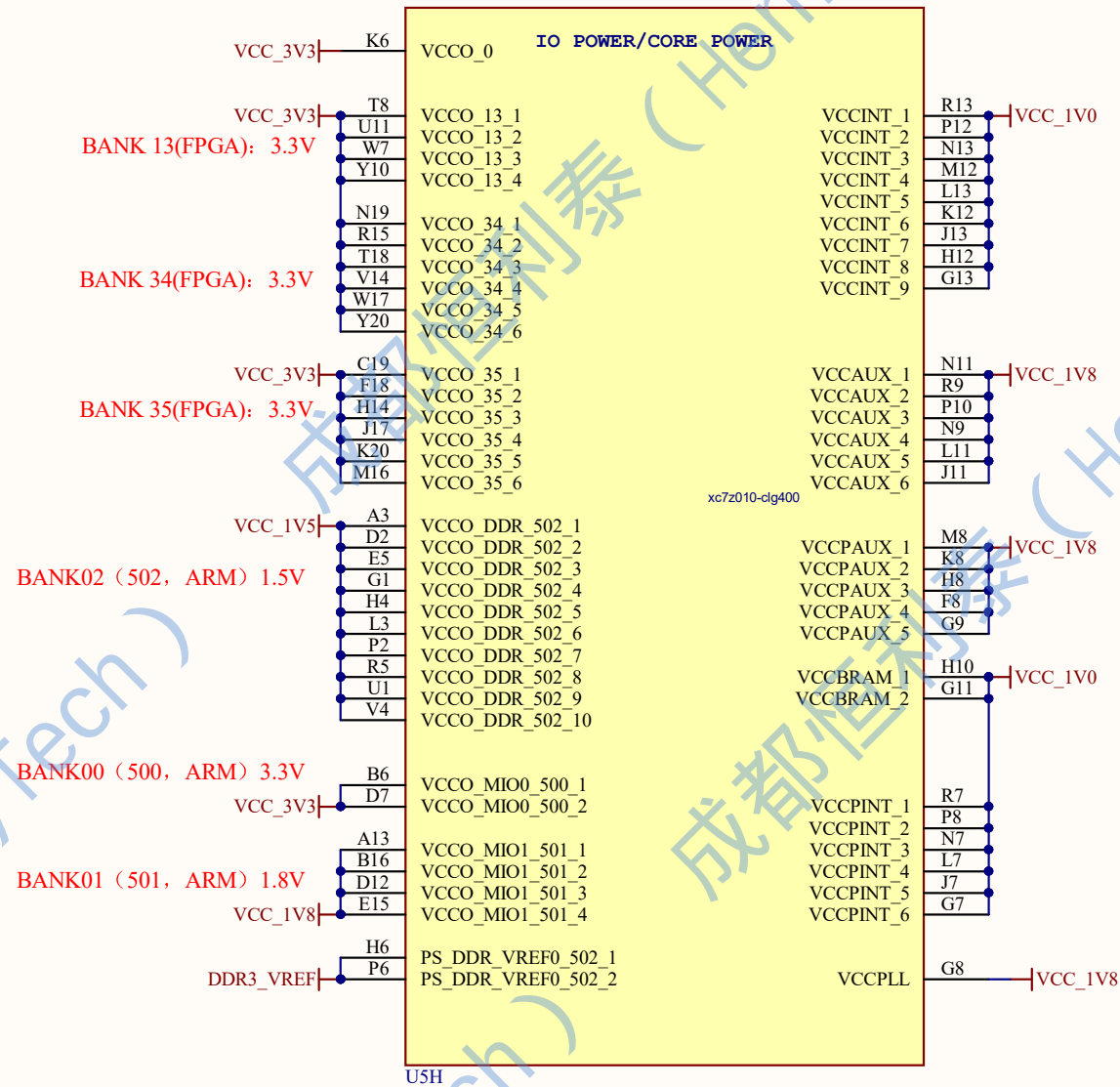




第二部分 ZYNQ芯片供电引脚

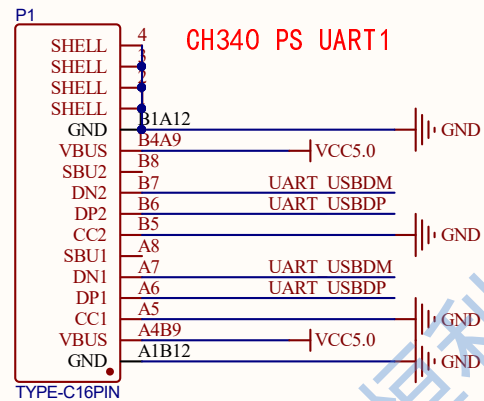
FPGA内核 BRAM ARM内核 1.0V

FPGA ARM辅助AUX 1.8V

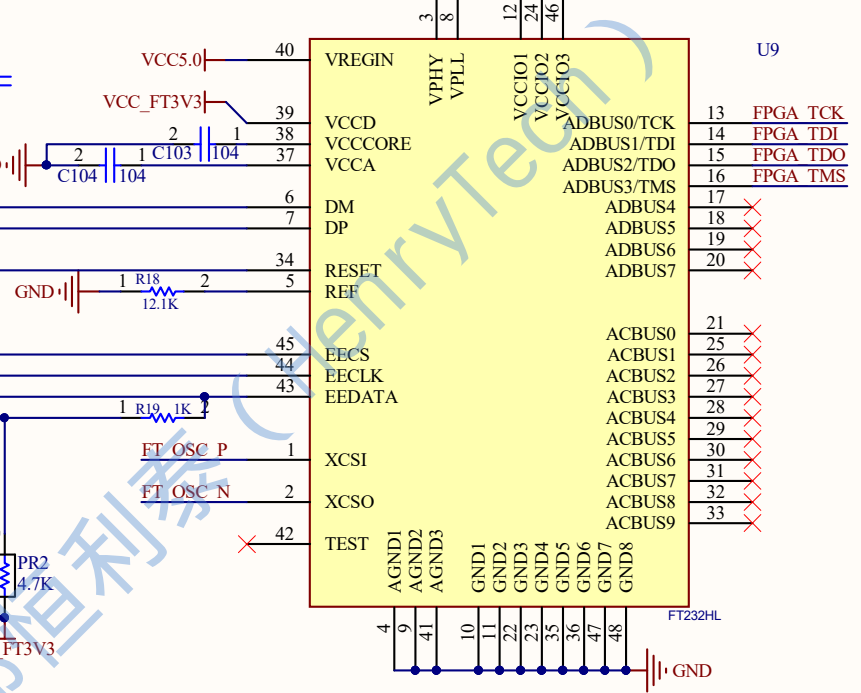
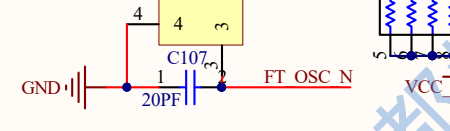
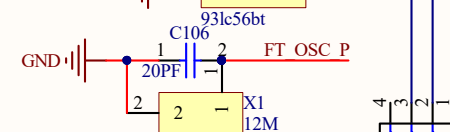
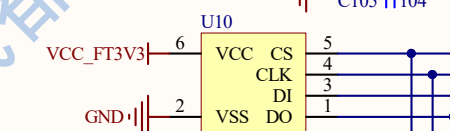
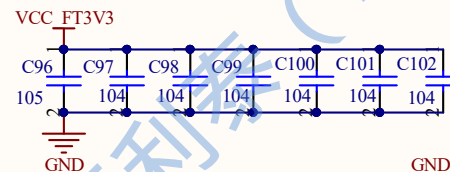
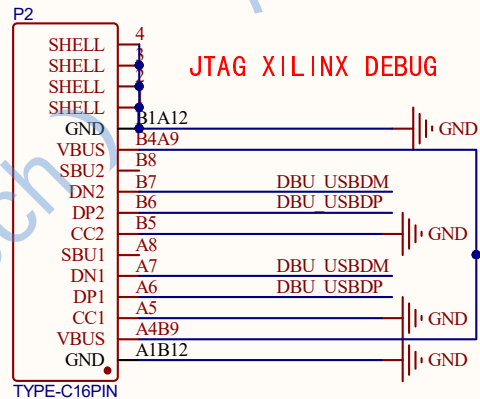
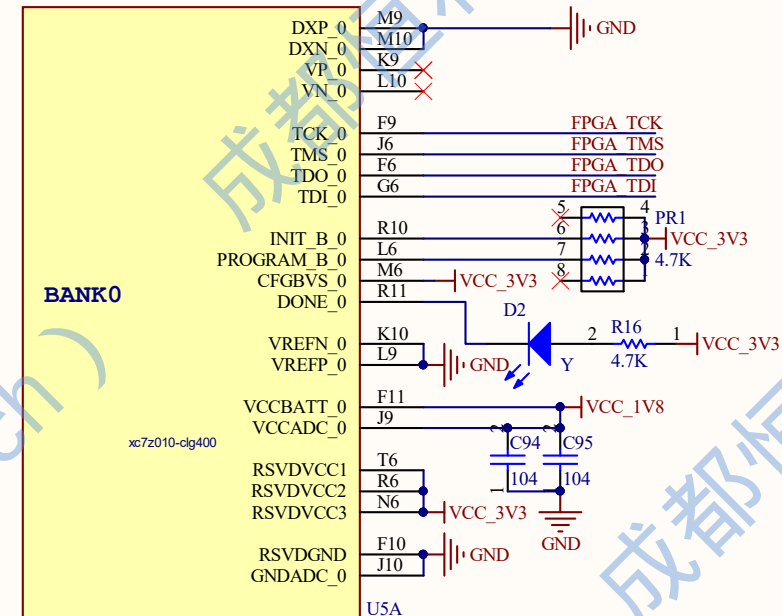
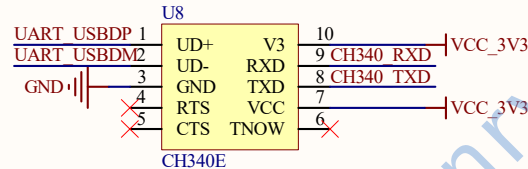
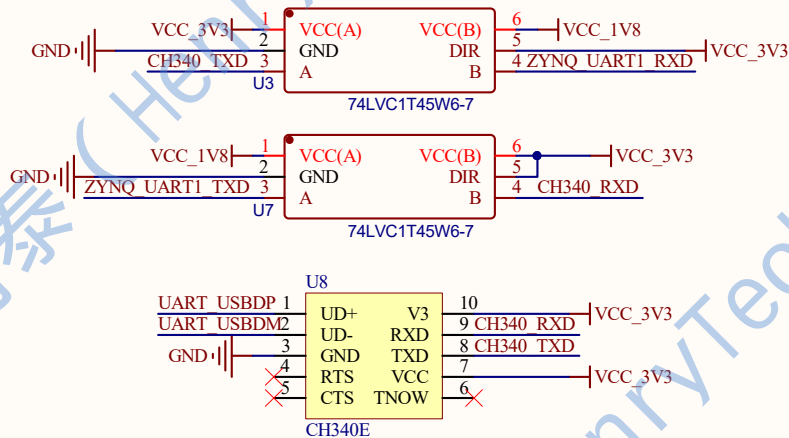




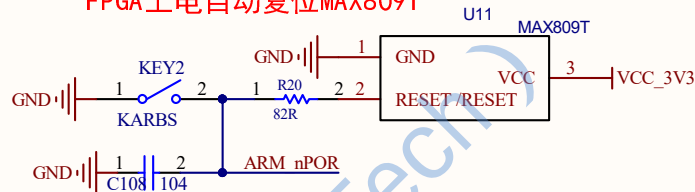
第三部分 JTAG调试和串口部分



ZYNQ串口MIO是1.8V, 需电平转换到3.3V



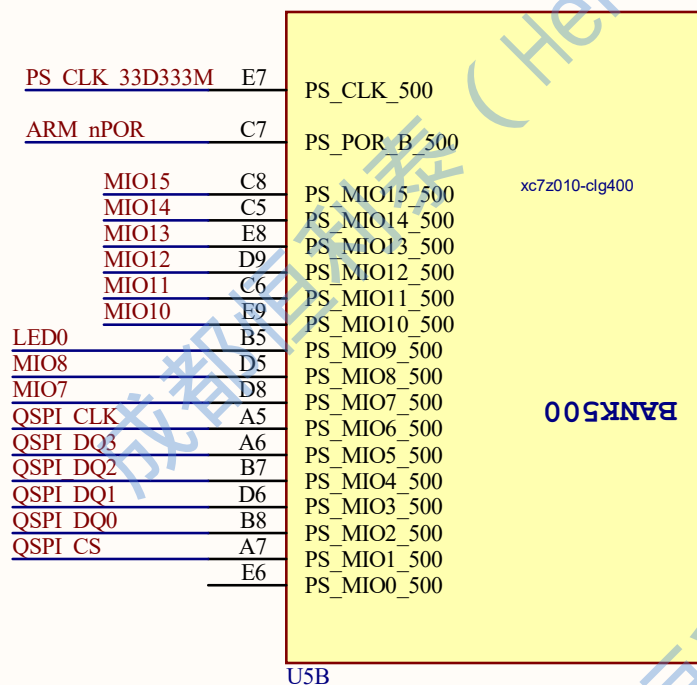
FPGA上电自动复位MAX809T



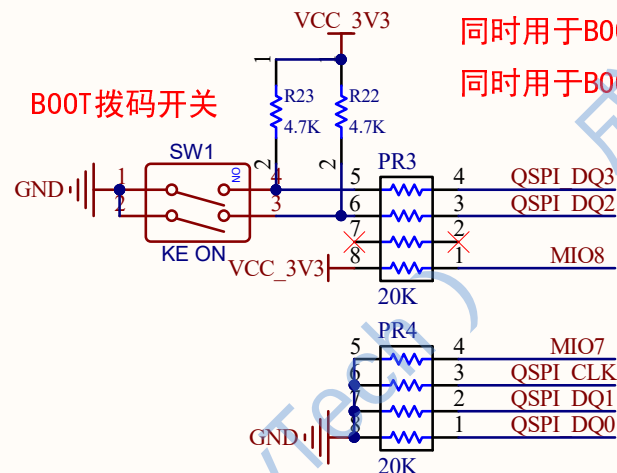


第四部分 ZYNQ PS BANK

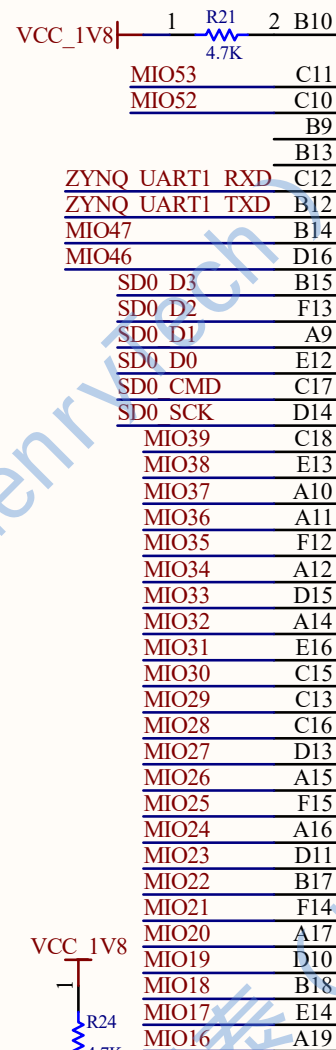
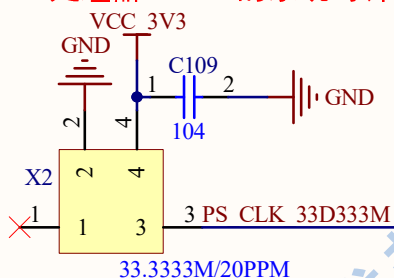
ARM的bank0 (500), 这个bank所有IO电平3.3V



USB



ARM处理器 (PS) 的系统时钟



VCC_1V8

C110

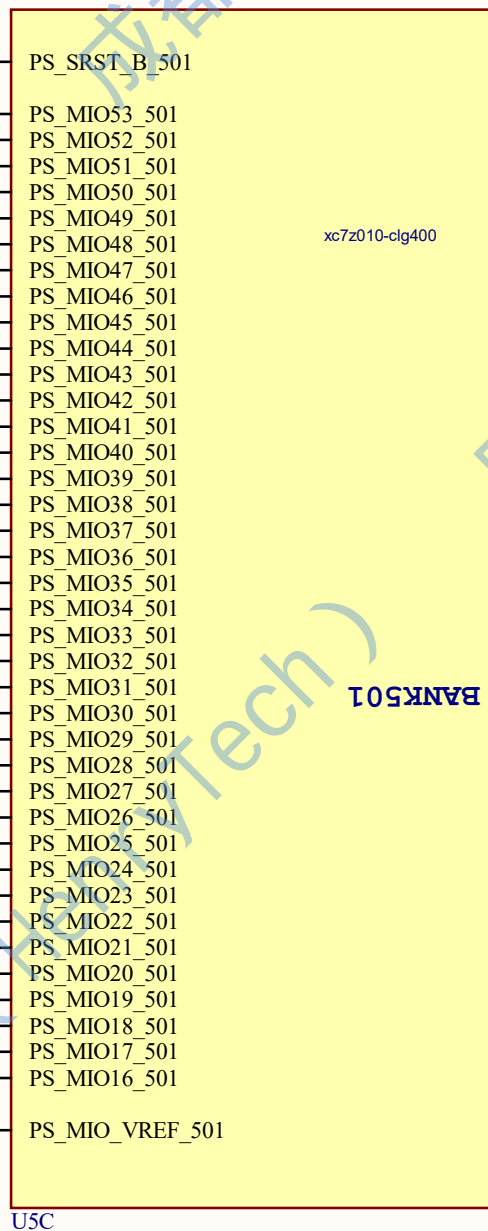
104

4.7K

GND

E11

PS_MIO_VREF_501



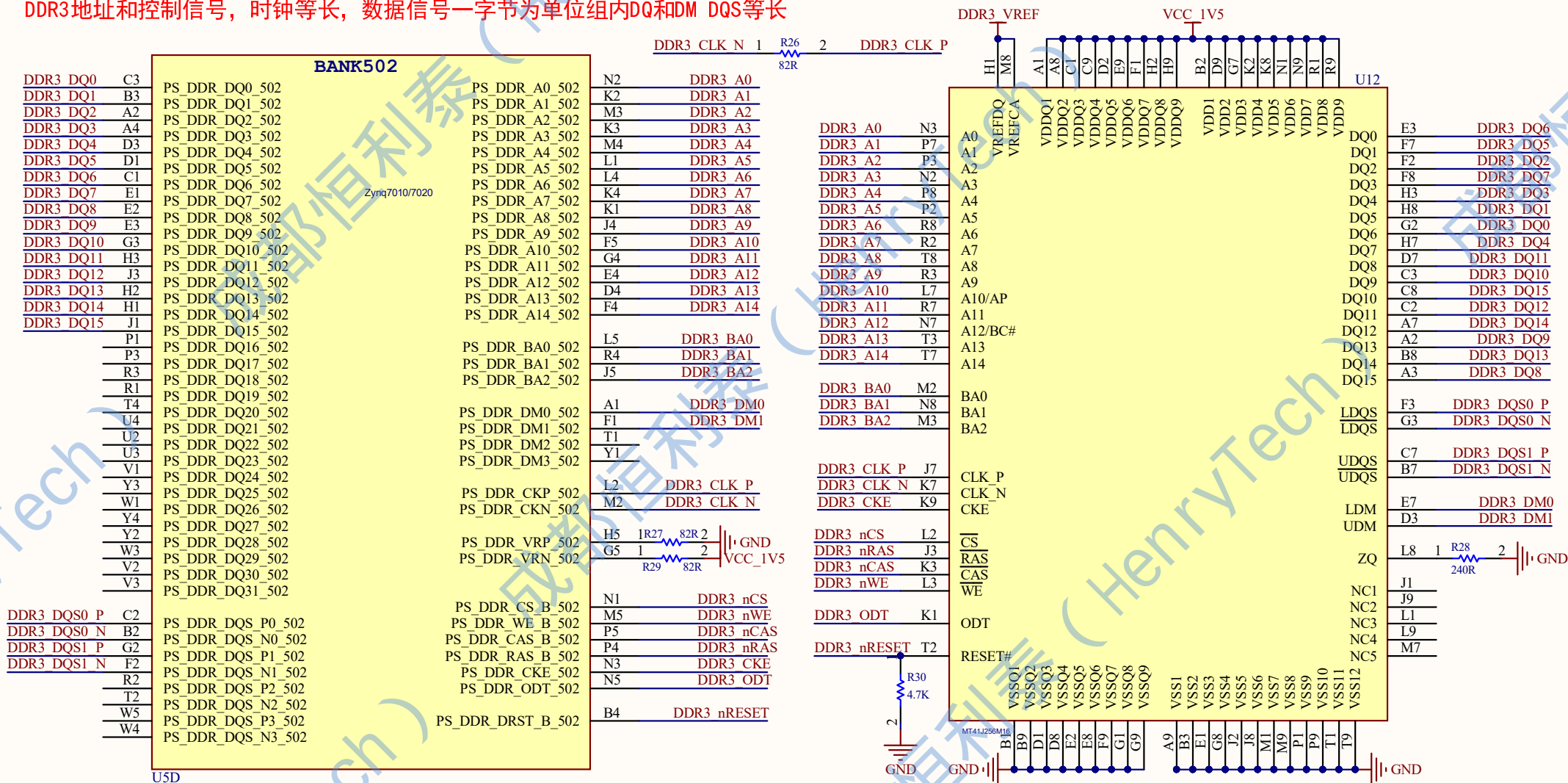
U5C



第五部分 ZYNQ DDR3部分

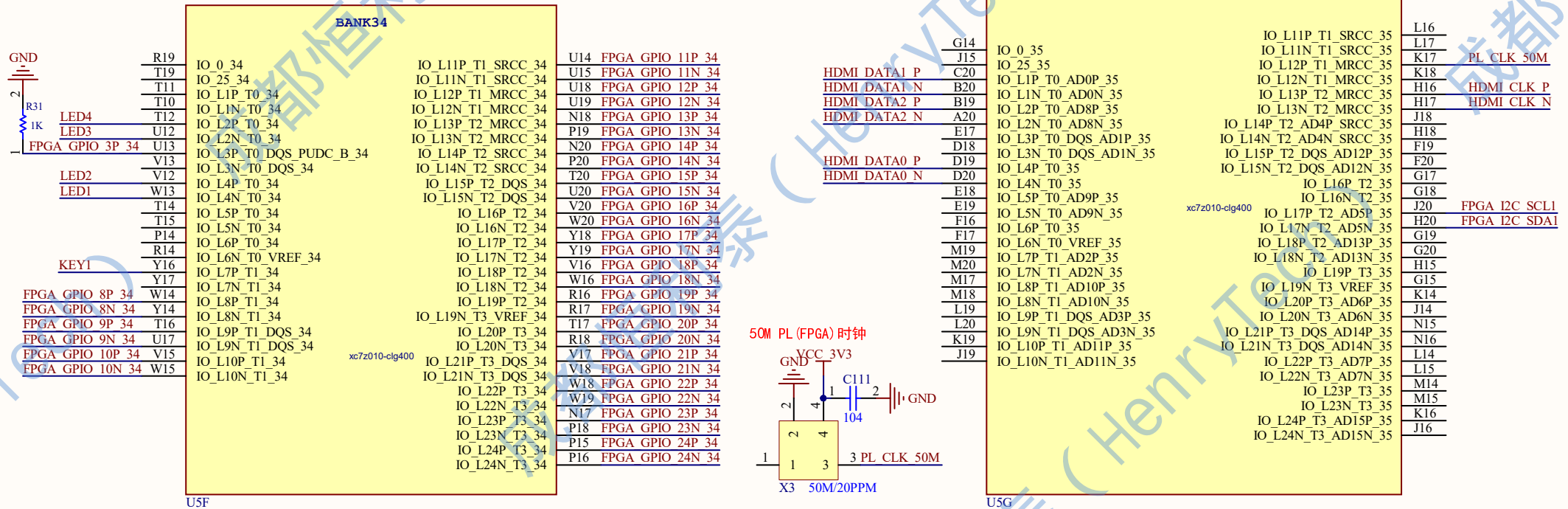
单颗DDR3无需VTT端接

DDR3地址和控制信号，时钟等长，数据信号一字节为单位组内DQ和DM DQS等长





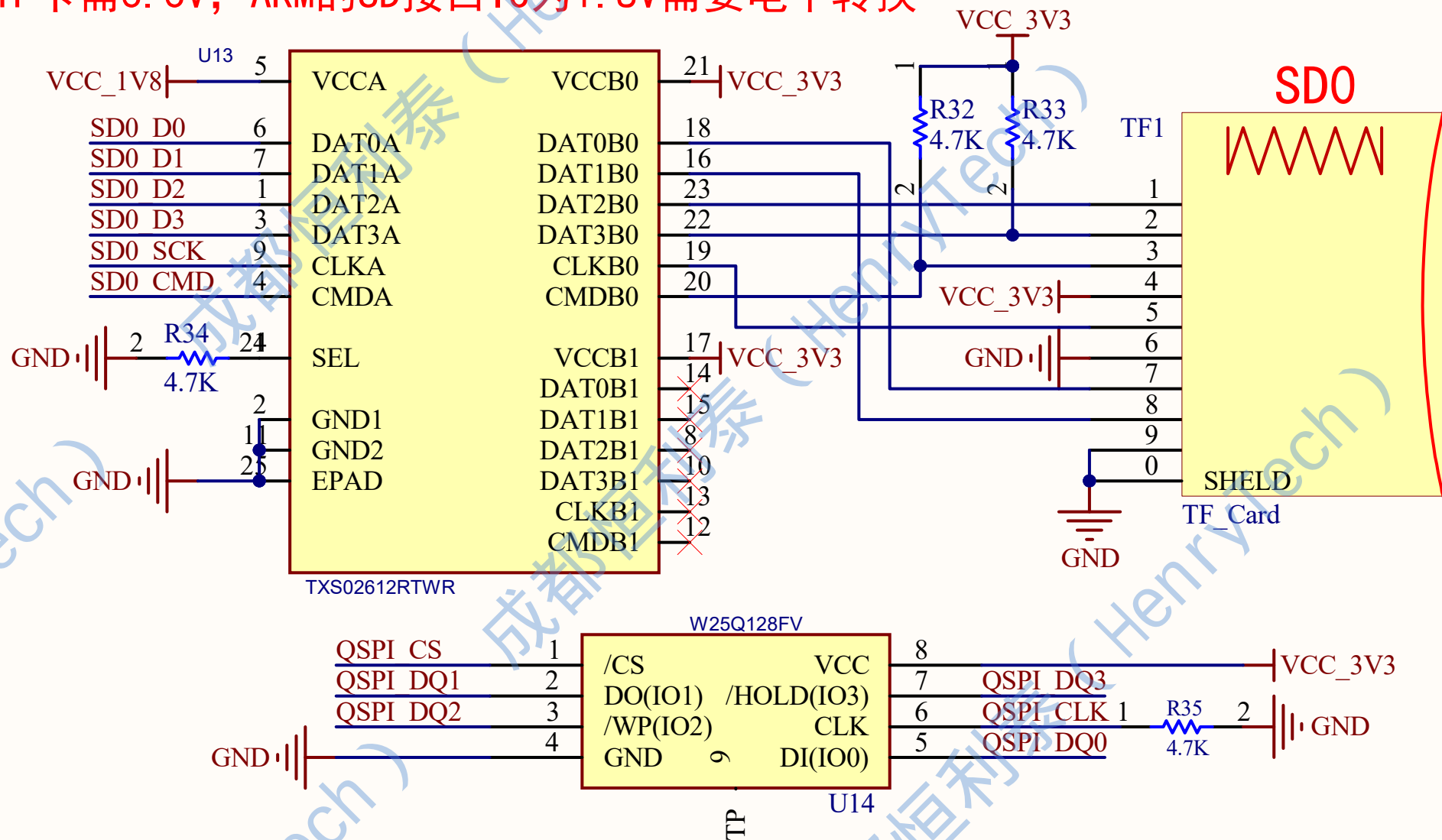
第六部分 ZYNQ PL BANK





第七部分 FLASH和SD接口

TF卡需3.3V，ARM的SD接口IO为1.8V需要电平转换

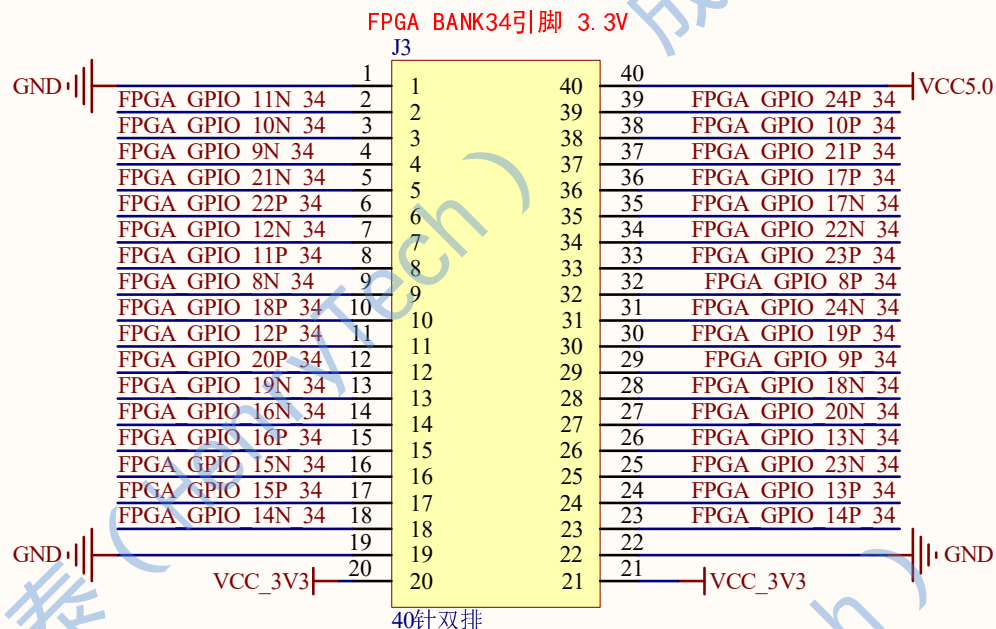
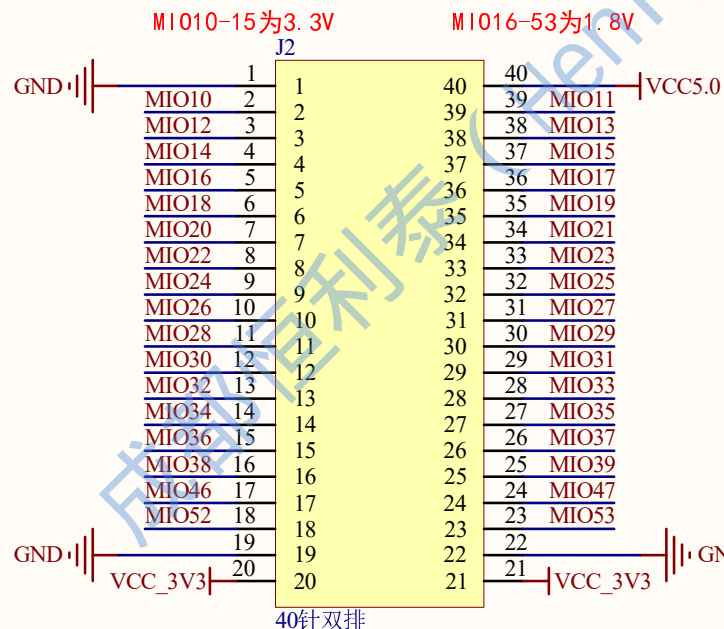




第九部分 扩展排针IO和LED及按钮

ARM PS MIO扩展引脚

(扩展IO引脚在PCB背面丝印——对应)



(MIO在背面丝印编号以M表示, 比如MIO10为M10)

(FPGA引脚在背面以FPGA引脚位置, 也就是绑定引脚标注)

LED1-4为FPGA BANK34引脚

LED0为PS的MIO9

KEY1为FPGA BANK34引脚

