

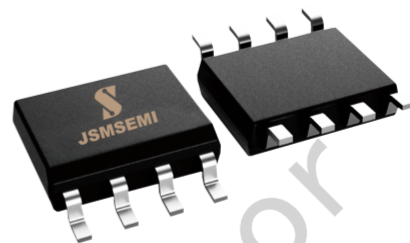
概述

JSM1040T满足或者超过 ISO11898 标准中规定的对于采用控制器局域网 (CAN) 的应用所要求的技术规范。作为 CAN 收发器, JSM1040T能够为信号传输速率高达 1Mbps 的 CAN 控制器提供差分传输和接收。

JSM1040T设计能够运行于恶劣环境中, 芯片总线引脚具有 $\pm 12\text{kV}$ ESD 保护等级, 支持总线从 -58V 至 58V 电压, 芯片还内置过温保护和短路保护电路。

STB 输入 (引脚 8) 用于在两个不同的运行模式之间做出选择, 即高速模式或低速模式。使用中可通过将 STB 引脚接地来选择高速运行模式。

如果一个逻辑高电平被加在 JSM1040T 的 STB 引脚上, 此时芯片进入低功耗总线监控待机模式。当 JSM1040T 运行在低功耗总线监控待机模式下的时候, 总线上一个大于 $5\mu\text{s}$ 的显性位由总线监控电路传递到接收器输出。然后, 当此器件需要向总线传输数据时候, 本地协议控制器可以重新激活此器件。



特性

- 速率高达 1M bps
- 显性超时功能
- 过温及短路保护
- 具有总线唤醒功能的低功耗待机模式
- 未上电节点不干扰总线
- 至少允许 110 个节点连接到总线
- 高抗电磁干扰能力
- 为串行引脚提供增强型静电(ESD)保护

HBM 人体模式: $\pm 12\text{kV}$

IEC 61000-4-2: 接触放电 $\pm 8\text{kV}$

空气放电 $\pm 12\text{kV}$

应用

- 多通道数据采集
- 压力传感器
- 动态分析仪
- 模式分析
- 工业控制
- 汽车及交通运输
- 建筑自动化
- 供热通风及空调系统

逻辑图

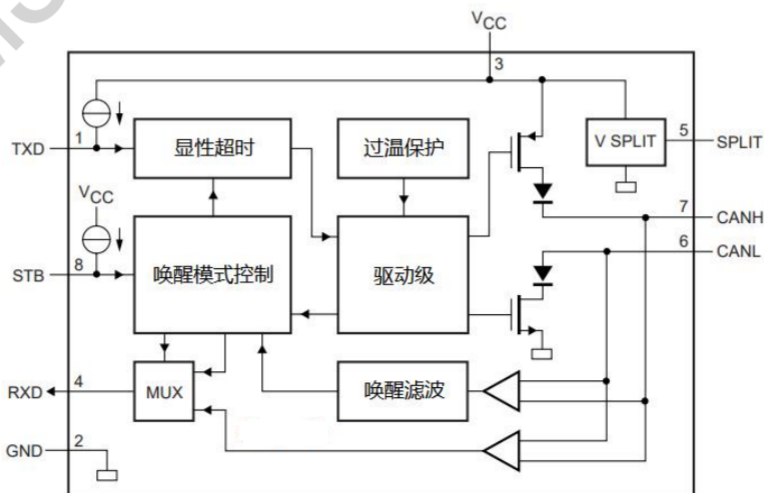


图1: JSM1040T逻辑图

引脚图

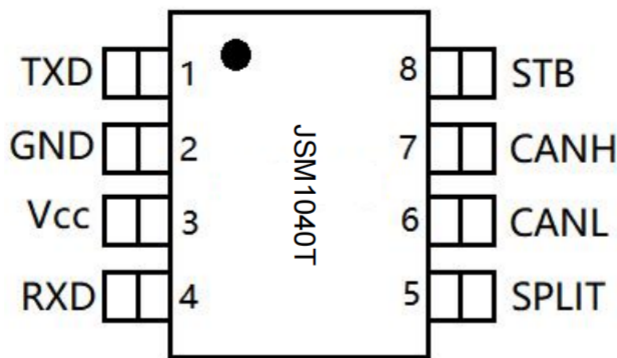


图 2: JSM1040T引脚图

引脚描述

引 脚 SOP8	名称	功 能
1	TXD	传输数据输入。TXD 为高 CAN 总线输出为隐性态，TXD 为低 CAN 总线输出为显性态。
2	GND	参考地。
3	V _{CC}	电源输入。
4	RXD	接收器数据输出。当 CAN 总线处于隐性态时候，RXD 为高电平。当 CAN 总线处于显性态时候，RXD 为低电平。
5	SPLIT	共模稳定输出端口。
6	CANL	低电平 CAN 总线端口。
7	CANH	高电平 CAN 总线端口。
8	STB	待机模式控制输入端口。

绝对最大额定值

参 数	符 号	大 小	单 位
供电电压	V_{CC}	+6	V
CANH 引脚直流电压	V_{CANH}	-58 ~ +58	V
CANL 引脚直流电压	V_{CANL}	-58 ~ +58	V
TXD 引脚直流电压	V_{TXD}	-0.3 ~ $V_{CC}+0.3$	V
RXD 引脚直流电压	V_{RXD}	-0.3 ~ $V_{CC}+0.3$	V
V_{SPLIT} 引脚直流电压	V_{SPLIT}	-50 ~ +50	V
V_{STB} 引脚直流电压	V_{STB}	-0.3 ~ $V_{CC}+0.3$	V
CANH 引脚瞬态电压	$V_{trt}(CANH)$ (注释 1)	-200 ~ +200	V
CANL 引脚瞬态电压	$V_{trt}(CANL)$ (注释 1)	-200 ~ +200	V
静电放电等级	ESD_HBM (注释 2)	12	kV
	ESD_MM (注释 3)	400	V
存储温度	T_{stg}	-55 ~ +150	°C
结温	T_{vj}	-40 ~ +150	°C
SOP8 热阻	R_{th}	145	K/W

注释 1: 应用瞬态的波形应符合“ISO 7637 第一部分”。

注释 2: ESD 人体模式: $C=100pF$, $R=1.5k\Omega$ 。

注释 3: ESD 机械模式: $C=200pF$, $R=10\Omega$, $L=0.75\mu H$ 。

推荐应用条件

参 数		条 件	最小值	典型值	最大值	单 位
供电电压		V _{CC} =5V	4.5	5	5.5	V
V _{IH} 驱动器输入高电压	TXD/S	V _{CC} =5V	2		5.5	V
V _{IL} 驱动器输入低电压			0		0.8	V
Bus 总线输入电压 V _I	CANH/CANL		-12		12	V

电气特性

(如无另外说明, $V_{CC}=4.5V$ 至 $5.5V$; $TA=-40^{\circ}C$ 至 $+125^{\circ}C$; $R_L=60\Omega$; 所有电压均是参照 GND 的电压)

参 数	符号	测 试 条 件	最小	典型	最大	单位
电 流（pinVcc）						
供应电流	Icc	待机模式	5	12	15	μA
		显性：V _{TXD} =0V	15	25	50	mA
		隐性：V _{TXD} =V _{CC}	2	3	5	mA
驱动器数据输入（pin TXD）						
高电平输入电压	V _{IH}	输出隐性	2.0	-	V _{CC} +0.3	V
低电平输入电压	V _{IL}	输出显性	-0.3	-	+0.8	V
高电平输入电流	I _{IH}	V _{TXD} =V _{CC}	-5	0	+5	μA
低电平输入电流	I _{IL}	V _{TXD} =0 V	-20	-35	-50	μA
输入电容	C _i	未测试	-	5	10	pF
模式选择输入（pin STB）						
高电平输入电压	V _{IH}		2.0	-	V _{CC} +0.3	V
低电平输入电压	V _{IL}		-0.3	-	+0.8	V
高电平输入电流	I _{IH}	V _{STB} =V _{CC}	-	0	-	μA
低电平输入电流	I _{IL}	V _S =0V	-5	-10	-15	μA
接收器数据输出（pin RXD）						
高电平输出电压	V _{OH}	待机模式：I _{RXD} =-100μA	V _{CC} -1.1	V _{CC} -0.7	V _{CC} -0.4	V
高电平输出电流	I _{OH}	正常模式：V _{RXD} =V _{CC} -0.4V	-0.1	-0.4	-1	mA
低电平输出电流	I _{OL}	V _{RXD} =0.4V	2	6	12	mA
共模稳定输出（pin SPLIT）						
输出电压	V _O	-500μA<I _O <+500μA	0.3V _{CC}	0.5V _{CC}	0.7V _{CC}	V
漏电流	I _L	-22V<V _{SPLIT} <+35V	-	0	5	μA
Bus 总线端口（pins CANH 和 CANL）						
CANH 隐性电压	V _{O(reces)} (CANH)	V _{TXD} =V _{CC} ; no load	2.0	2.5	3.0	V
CANL 隐性电压	V _{O(reces)} (CANL)	V _{TXD} =V _{CC} ; no load	2.0	2.5	3.0	V
CANH 隐性电流	I _{O(reces)} (CANH)	-27V<V _{CANH} <+32V	-2.0	-	+2.5	mA
CANL 隐性电流	I _{O(reces)} (CANL)	-27V<V _{CANH} <+32V	-2.0	-	+2.5	mA
CANH 显性电压	V _{O(dom)} (CANH)	V _{TXD} =0V，图 3 和图 4	3.0	3.4	4.25	V
CANL 显性电压	V _{O(dom)} (CANL)	V _{TXD} =0V，图 3 和图 4	0.5	1.4	1.75	V
差分电压（V _{CANH} -V _{CANL} ）	V _{i(dif)} (bus)	V _{TXD} =0V;显性 42.5 Ω <R _L <60 Ω；图 5	1.5	2.0	3.0	V
		V _{TXD} =5V; 无负载	-50	0	+50	mV
CANH 短路电流	I _{O(sc)} (CANH)	V _{CANH} =0V; V _{TXD} =0V	-45	-70	-95	mA
CANL 短路电流	I _{O(sc)} (CANL)	V _{CANL} =36V; V _{TXD} =0V	45	70	100	mA
接收器差分阈值电压	V _{i(dif)} (th)	-12V<V _{CANH} /V _{CANL} <+12V 图 7	0.5	0.7	0.9	V
接收器差分迟滞电压	V _{i(dif)} (hys)	-12V<V _{CANH} /V _{CANL} <+12V 图 7	50	70	100	mV
CANH 共模输入阻抗	R _{i(cm)} (CANH)		15	25	35	k Ω
CANL 共模输入阻抗	R _{i(cm)} (CANL)		15	25	35	k Ω
共模输入电阻匹配精度	R _{i(cm)} (m)	V _{CANH} =V _{CANL}	-3	0	+3	%
差分输入电阻	R _{i(dif)}		25	50	75	k Ω

CANH 输入漏电流	$I_{LI(CANH)}$	$V_{CC}=0V; V_{CANH}=5V$	150	200	250	μA
CANL 输入漏电流	$I_{LI(CANL)}$	$V_{CC}=0V; V_{CANL}=5V$	150	200	250	μA
热关断						
过热关断温度	$T_{j(sd)}$		155	165	180	$^{\circ}C$

转换特性

(如无另外说明, $V_{CC}=4.5V$ 至 $5.5V$; $T_A=-40^{\circ}C$ 至 $+125^{\circ}C$; $R_L=60\Omega$)

参 数	符 号	条 件	最小	典型	最大	单位
TXD 输入到 bus 有效延迟时间	$t_d(TXD-BUSon)$	$V_S=0V$ 图 6	25	55	110	ns
TXD 输入到 bus 无效延迟时间	$t_d(TXD-BUSoff)$	$V_S=0V$ 图 6	25	60	95	ns
Bus 有效到 RXD 输出延迟时间	$t_d(BUSon-RXD)$	$V_S=0V$ 图 8	20	50	110	ns
Bus 无效到 RXD 输出延迟时间	$t_d(BUSoff-RXD)$	$V_S=0V$ 图 8	45	95	155	ns
TXD 到 RXD 延迟时间	$t_{PD}(TXD-RXD)$	$V_{STB}=0V$	40	100	255	ns
TXD 显性超时时间	$t_{dom}(TXD)$	$V_{TXD}=0V$ 图 9	250	450	750	μs
显性到待机工作	t_{BUS}	待机模式	0.75	1.75	5	μs
待机模式到正常模式	$t_d(stb-norm)$	正常模式	5	7.5	10	μs

参数测试信息

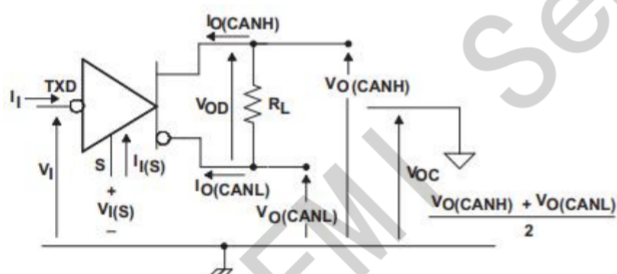


图3: 驱动电压电流测试

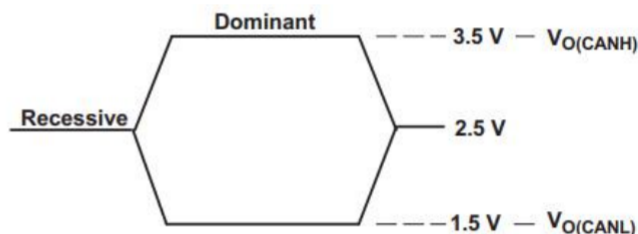


图4: 总线逻辑状态电压定义

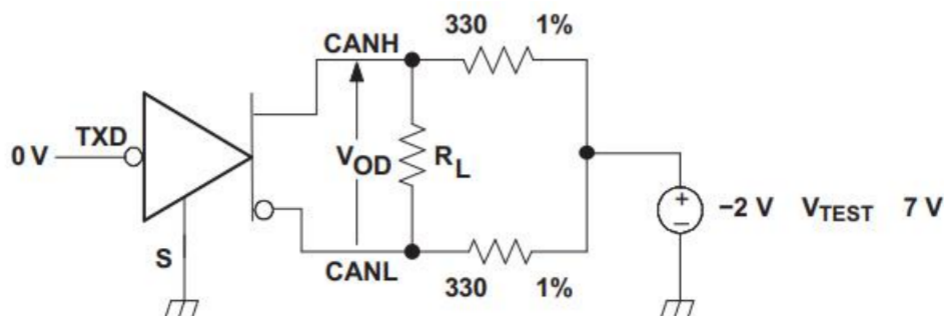


图5: 驱动 V_{OD} 测试电路

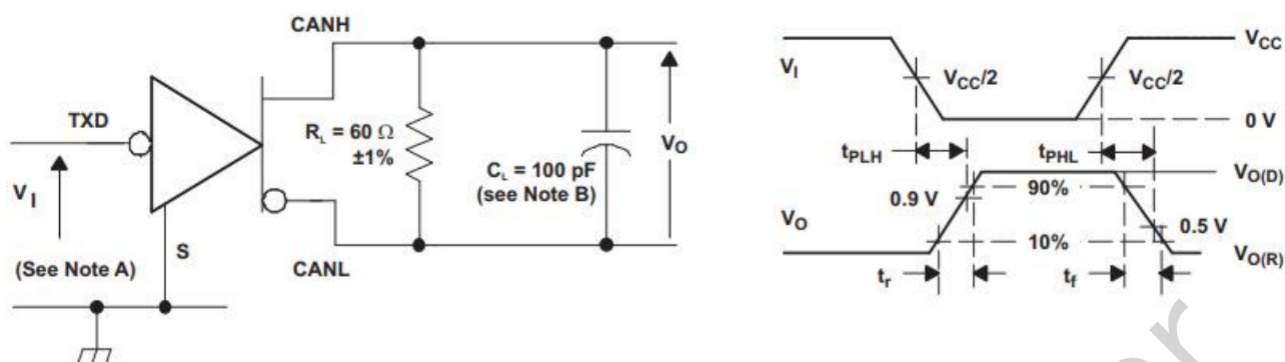


图6：驱动器测试电路和电压波形

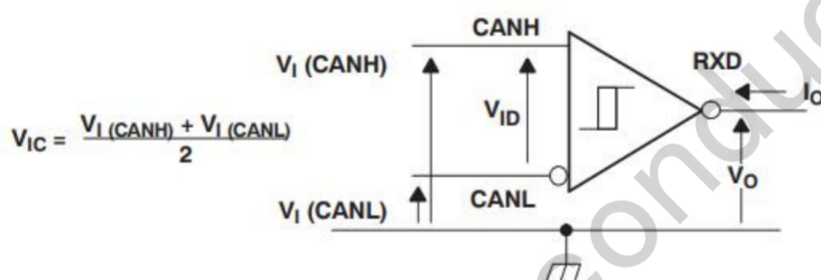


图7：接收器电压和电流定义

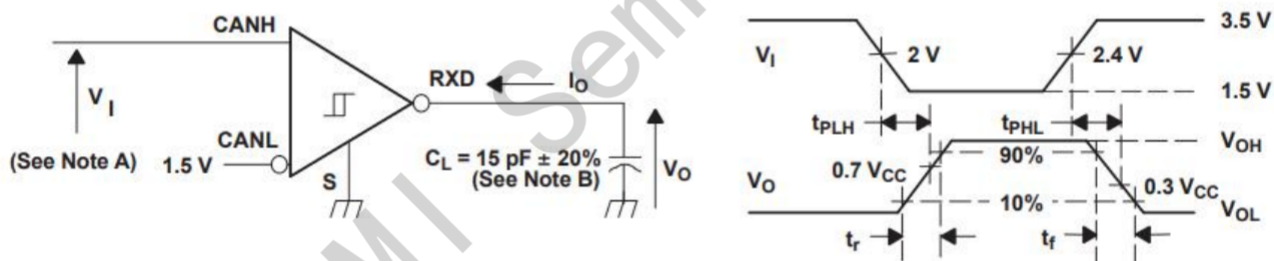


图8：接收器测试电路和电压波形

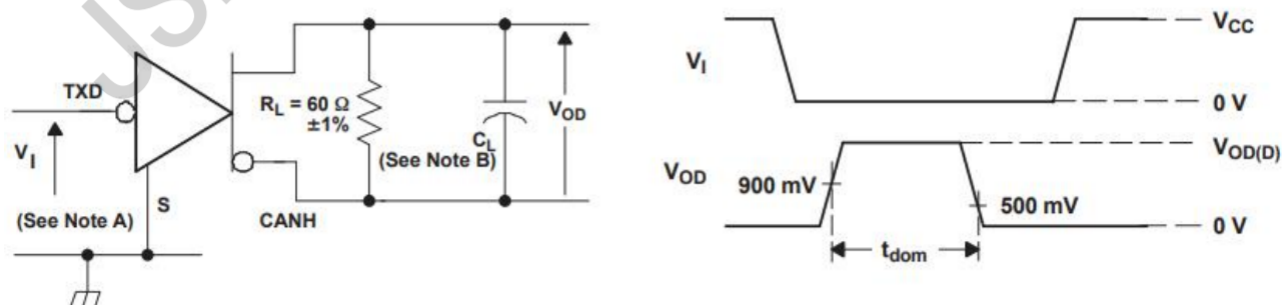


图9：显性超时测试电路和波形

详细描述

1. 概述

JSM1040T芯片作为CAN协议控制器和物理总线之间的接口使用。它主要用于波特率从60 kbps到1Mbps的高速汽车应用。它为总线提供差分传输能力，同时为CAN协议控制器提供差分接收能力。它完全符合“ISO 11898”标准。

2. 正常模式

通过将STB引脚设置为低，选择芯片的正常工作模式。CAN总线驱动器和接收器完全工作，CAN总线双向通信。驱动器将TXD引脚的数字输入信号转换为CANH和CANL引脚的差分输出电平。接收器将来自CANH和CANL引脚的差分电平转换为RXD引脚的数字输出信号。

3. 待机模式

在此模式下，驱动器和接收器关闭，低功耗差分接收器监控总线状态。引脚STB上的高电平激活低功耗接收器和唤醒滤波器，在 t_{BUS} 时间之后，CAN总线的状态会反映在引脚RXD上。VCC上的电源电流降低到最小值，以降低电磁干扰（EMI），同时对总线上唤醒标识进行辨识。在这种模式下，总线接地可将供电电流（ I_{CC} ）降至最低。

4. 唤醒

在待机模式下，芯片通过低功耗差分比较器监测总线。一旦低功耗差分比较器检测到显性总线电平超过时间 t_{BUS} ，引脚RXD将变为低电平。

5. TXD显性超时

在正常模式下，CAN驱动器有效，如果引脚TXD因硬件和/或软件应用程序故障而被强制为永久低电平，则“TXD显性超时”定时器电路可防止总线被驱动为永久显性状态（阻塞所有网络通信）。显性超时定时器由引脚TXD上的负边沿触发。如果引脚TXD上的低电平持续时间超过内部定时器值，驱动器将被禁用，从而使总线进入隐性状态。显性超时定时器通过引脚TXD上的正边沿复位。

6. 过热保护

如果结温超过约165°C，过热保护电路通过关闭驱动器电路来保护芯片免受损坏。由于驱动器电路耗散了大部分功率，通过关断驱动器电路可以降低芯片的功耗和温度。芯片的其他功能不受影响。当引脚TXD变为高电平时，驱动器电路关闭状态会复位。当总线短路发生时，特别需要过热保护电路进行保护。

7. 过流保护

限流电路可保护芯片输出级免受意外短路至正或负电源电压造成的损坏，在这种故障情况下过流保护电路会限制流过的最大电流直到短路情况解除。

8. SPLIT电路

引脚SPLIT提供0.5V_{CC}的稳定直流电压。它仅在正常模式下打开。在待机模式下，引脚SPLIT悬浮。V_{SPLIT}电路可以通过连接SPLIT引脚到输出电路共模端来稳定隐性共模电压。

9. 功能表

JSM1040T的驱动器和接收器功能表见下表 1 和表 2（H=高电平，L=低电平，Open=输入开路，Z=高阻态，?=不确定态）。

驱动器				
输入		输出		总线状态
TXD	STB	CANH	CANL	
L	L	H	L	显性
H	L	Z	Z	隐性
Open	X	Z	Z	隐性
X	H or Open	Z	Z	隐性

表 1: 驱动器逻辑功能表

接收器			
差分输入 $V_{ID}=V_{CANH}-V_{CANL}$	STB	输出RXD	总线状态
$V_{ID} \geq 0.9V$	L	L	显性
$V_{ID} \geq 1.15V$	H or Open	L	显性
$0.5V < V_{ID} < 0.9V$	X	?	?
$V_{ID} \leq 0.5V$	X	H	隐性
Open	X	H	隐性

表 2: 接收器逻辑功能表

产品应用

1.应用信息

在器件通电运行后，CAN 总线有两种状态：显性和隐性。显性总线状态是当总线被差分驱动时，对应于 TXD 和 RXD 引脚为逻辑低电平。见图 10。

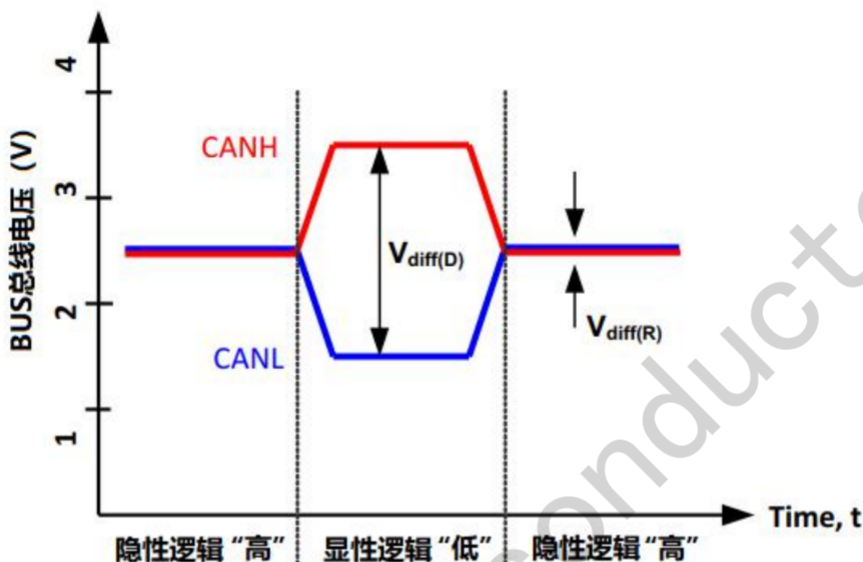


图 10. Bus 总线状态

这些 CAN 收发器通常用于具有包括 CAN 协议的链路层的主机 MCU 或 FPGA 的应用中。网络上总线两端的不同节点通常通过使用 120 Ω 阻抗特性的双绞线进行连接。

2.典型应用方案

JSM1040T典型应用方案如下图11所示：

CAN 总线大量节点需要 JSM1040T这类具有高输入阻抗和宽共模范围的收发器收发器。

ISO 11898-2规定了 60 Ω 负载（两个 120 Ω 终端电阻器并联）条件下，驱动器差分输出必须大于 1.5 V。

对于 CAN 网络设计，必须考虑系统和布线的信号损耗、寄生负载、网络不平衡、地电平的偏移、信号完整性等因素，因此实际的最大节点数需要留有足够的裕度。通过细致的系统设计和数据速率的折衷考虑，总线长度也可以超过最初的 ISO 11898 标准规定的 40 米。例如，CAN open 网络设计，通过终端电阻、布线发生变化，减少节点数少于 64 个，以及降低通信速率等设计可以实现总线长度达到 1 公里。基于对原始ISO 11898CAN 标准的各种扩展以及增加的附加标准，CAN 网络具有各种设计灵活性优势。

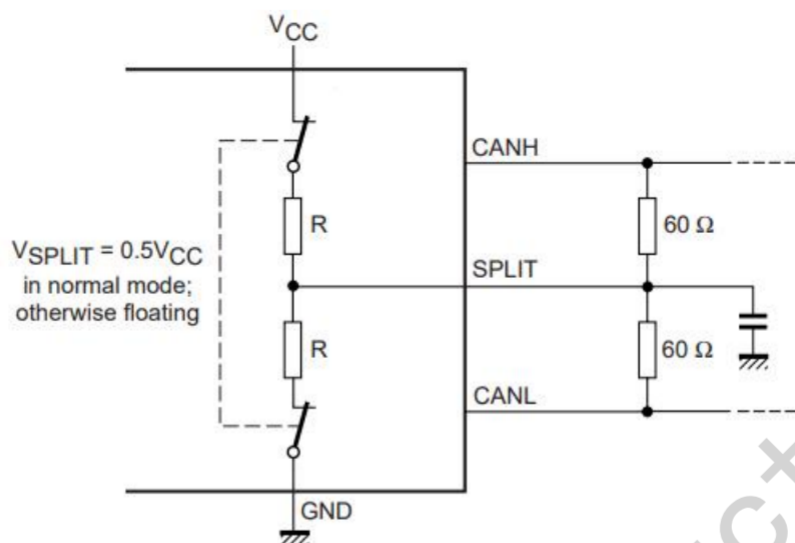


图11: SPLIT典型应用方案

3.CAN终端方案

ISO 11898标准规定互连为 120Ω 的双绞线缆（屏蔽或非屏蔽）特性阻抗（ Z_0 ）。应在线缆终端的两端使用等于线缆阻抗特性的电阻以防止信号反射。连接节点末端的接入线到总线的距离应保持尽可能短，以最小化信号反射。

总线两端的匹配终端通常是 120Ω 电阻。如果需要对总线的共模电压进行滤波和稳定，可使用拆分终端方案（见图12）。拆分终端方案使用两个 60Ω 电阻，两个电阻中间有一个电容接地。拆分终端方案可以消除信号传输开始和结束时总线共模电压的波动，从而改善总线网络的电磁辐射。

需要小心确定端接电阻的额定功率。典型最坏的故障情况是，如果系统电源和接地在终端电阻上短路，这将导致通过终端电阻的电流比CAN收发器的限流电流高得多。

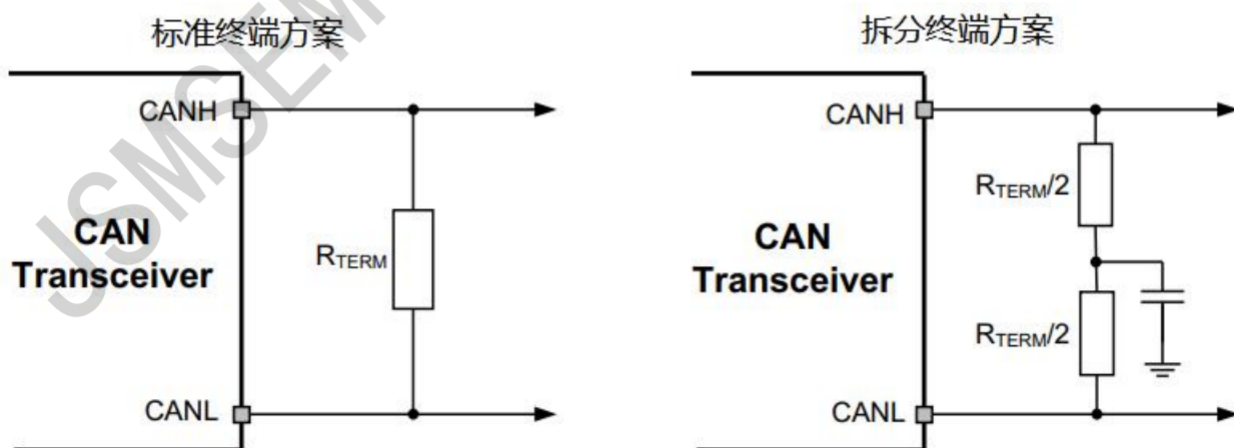


图12: CAN终端应用方案

系统介绍

1. 系统介绍

JSM1040T CAN收发器是一种5伏CAN收发器，符合或超过ISO 11898标准的规格，适用于控制器局域网的应用。

2. 差分信号

CAN是一种差分总线，互补信号通过两根导线发送，两根导线之间的电压差定义了总线的逻辑状态。差分的CAN接收器监测此电压并用单端逻辑电平的输出信号来显示总线的状态。

CAN驱动器CANH和CANL在显性状态下产生差分电压。根据ISO 11898标准的规定，JSM1040T在60 Ω 负载上的显性差分输出电压为2 V。图13显示了200kbps通信速率条件下显性状态JSM1040T的CANH、CANL和其差分波形。

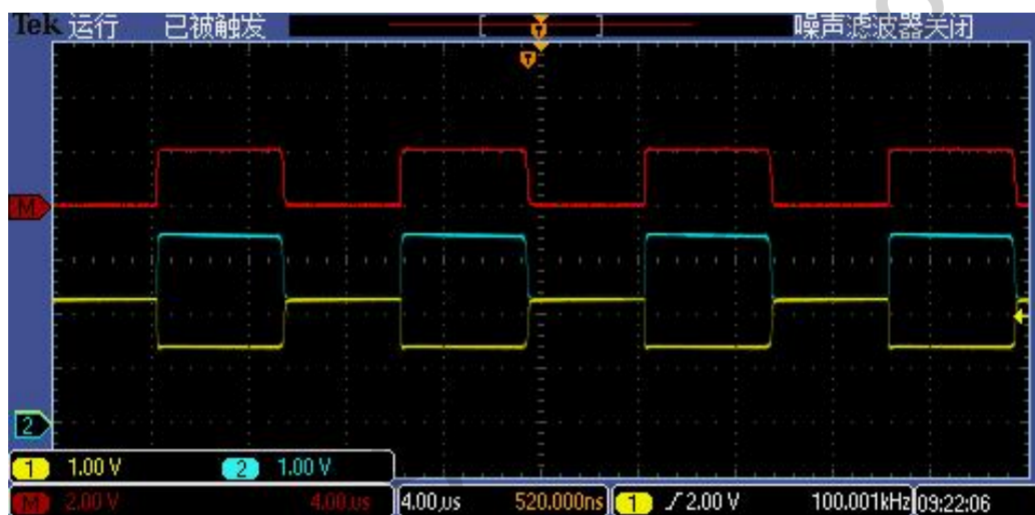


图13: CANH/CANL和差分波形

3. 共模信号

共模信号是两条差分接收信号线的平均电压。共模信号来自CAN驱动器、接地噪声和总线耦合噪声。因为偏置器件的隐性状态的电压取决于VCC，VCC的任何噪声或变化都会对总线看到的偏置电压产生影响。JSM1040T CAN收发器的隐性偏置电压设置为 $0.5 \times VCC$ ，以符合ISO 11898-2 CAN标准。

