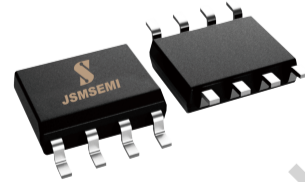


1 产品概述

M81747JFP是一款高压、高速功率 MOSFET 高低侧驱动芯片。具有独立的高侧和低侧参考输出通道。M81747JFP采用高低压兼容工艺使得高、低侧栅驱动电路可以单芯片集成，逻辑输入电平兼容低至 3.3V 的 CMOS 或 LSTTL 逻辑输出电平。M81747JFP其浮动通道可用于驱动高压侧 N 沟道功率 MOSFET，浮地通道最高工作电压可达 700V。M81747JFP采用 SOP-8 封装，可以在-40℃至 125℃温度范围内工作。



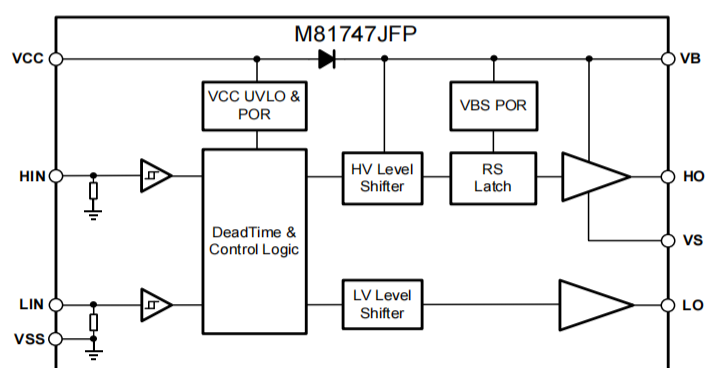
2 产品特性

- 集成自举二极管
 - 最高工作电压为+700 V
 - 兼容 3.3V, 5V 和 15V 输入逻辑
 - dV_s/dt 耐受能力可达 ± 50 V/ns
 - V_s 负偏压能力达-9V
 - 集成 VCC、VBS 欠压锁定电路
 - 欠压锁定正向阈值 8.9V
 - 欠压锁定负向阈值 8.2V
 - 芯片传输延时特性
 - 开通/关断传输延时 $T_{on}/T_{off} = 130ns/130ns$
 - 延迟匹配时间 50ns
 - 防止直通保护
 - 死区时间 100ns
 - 宽温度范围-40℃ ~125℃
 - 输出级拉电流/灌电流能力 300mA/600mA
 - 符合 RoSH 标准
- SOIC8 (S)

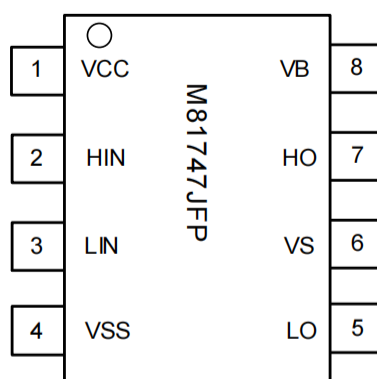
3 应用范围

- 电机控制
- 工业自动化
- 通用逆变器
- 电源转换
- 电源转换
- PWM控制系统
- 谐振电路驱动

简化示意图



4 引脚功能描述



芯片引脚描述

编号	名称	功能
1	VCC	供电电源
2	HIN	高侧信号输入
3	LIN	低侧信号输入
4	VSS	地
5	LO	低侧输出
6	VS	高侧浮动地
7	HO	高侧输出
8	VB	高侧浮动电源

5 产品规格

极限工作范围

超过极限最大额定值可能造成器件永久性损坏。所有电压参数的额定值是以 VSS 为参考的，环境温度为 25℃。

符号	定义	最小值	最大值	单位
V_B	高侧浮动电源电压	-0.3	725	V
V_S	高侧浮动地电压	$V_B - 25$	$V_B + 0.3$	
V_{HO}	高侧输出电压	$V_S - 0.3$	$V_B + 0.3$	
V_{CC}	低侧供电电压	-0.3	25	
V_{LO}	低侧输出电压	-0.3	$V_{CC} + 0.3$	
V_{IN}	逻辑输入电压	-0.3	$V_{CC} + 0.3$	
dV_S/dt	允许瞬态 VS 电压转换速率	—	50	V/ns

ESD 额定值

符号	定义	最小值	最大值	单位
ESD	人体放电模式	1500	—	V
	机器放电模式	500	—	V

额定功率

符号	定义	最小值	最大值	单位
PD1	SOIC 封装功率 ($T_A \leq 25^\circ\text{C}$)	—	625	mW

热量信息

符号	定义	最小值	最大值	单位
R_{thJA}	热阻	—	200	$^\circ\text{C/W}$
T_J	结温	—	150	
T_S	存储温度	-55	150	$^\circ\text{C}$
T_L	引脚温度	—	300	$^\circ\text{C/W}$

推荐工作范围

为了正确地操作，器件应当在以下推荐条件下使用。 V_S 和 VSS 的偏置额定值是在电源电压为 15V 时进行测量的，无特殊说明的情况下，所有电压参数的额定值是以 VSS 为参考的，环境温度为 25℃。

符号	定义	最小	最大	单位
V_B	高侧浮动电源电压	$V_S + 10$	$V_S + 20$	V
V_S	高侧浮动地电压	-9	700	
V_{HO}	高侧输出电压	V_S	V_B	
V_{CC}	低侧供电电压	10	20	
V_{LO}	低侧输出电压	0	V_{CC}	
V_{IN}	逻辑输入电压	0	V_{CC}	
T_A	环境温度	-40	125	$^\circ\text{C}$

注 1：可用于 VSS-50V 的瞬态负 VS，脉冲宽度为 50ns，由设计保证。

注 2：当输入脉冲宽度低于 1 μs 时，输入脉冲不能正常传输

电气特性

动态参数特性

无特殊说明的情况下 $T_A = 25^\circ\text{C}$, $V_{CC} = V_{BS} = 15\text{V}$, $CL = 1\text{nF}$ 。

符号	定义	最小值	典型值	最大值	单位	测试条件
t_{ON}	开通传输延时	—	130	200	ns	$V_S = 0\text{V}$
t_{OFF}	关断传输延时	—	130	200	ns	$V_S = 700\text{V}$
t_R	开启上升时间	—	75	130	ns	
t_F	关闭下降时间	—	35	70	ns	
DT	死区时间	80	100	190	ns	
MT	延迟匹配时间(t_{ON} , t_{OFF})	—	—	50	ns	
MT	延迟匹配时间(t_{ON} , t_{OFF})	—	—	60	ns	

静态参数特性

无特殊说明的情况下 $V_{CC} = V_{BS} = 15\text{V}$, $T_A = 25^\circ\text{C}$ 。 V_{IH} 、 V_{IL} 和 I_{IN} 参数参考 V_{SS} ，相应的适用于输入引脚 HIN 和 LIN。
 V_O 和 I_O 参数参考 V_{SS} ，并且相应的适用于输出引脚 HO 和 LO。

符号	定义	最小值	典型值	最大值	单位	测试条件
V_{CCUV+}	V_{CC} 欠压正向阈值	8	8.9	9.8	V	
V_{CCUV-}	V_{CC} 欠压负向阈值	7.4	8.2	9.0	V	
$V_{CCUVHYS}$	V_{CC} 迟滞电压	—	0.7	—	V	
V_{BSUV+}	V_{BS} 欠压正向阈值	8	8.9	9.8	V	
V_{BSUV-}	V_{BS} 欠压负向阈值	7.4	8.2	9.0	V	
$V_{BSUVHYS}$	V_{BS} 迟滞电压	—	0.7	—	V	
I_{LK}	高侧浮动电源泄露电流	—	—	50	μA	$V_B = V_S = 700\text{V}$
I_{QBS}	V_{BS} 静态电流	—	50	100	μA	$V_{IN} = 0\text{V}$ or 5V
I_{QCC}	V_{CC} 静态电流	—	120	240	μA	$V_{IN} = 0\text{V}$ or 5V
V_{IH}	输入逻辑高电平阈值电压	2.5	—	—	V	$V_{CC} = 10\text{V}$ to 20V
V_{IL}	输入逻辑低电平阈值电压	—	—	0.8	V	$V_{CC} = 10\text{V}$ to 20V
V_{OH}	输出高电平电压降 $V_{BIAS} - V_O$	—	—	0.1	V	$I_O = 0\text{A}$
V_{OL}	输出低电平电压降 V_O	—	—	0.1	V	$I_O = 0\text{A}$
I_{IN+}	逻辑“1”输入偏置电流	—	5	10	μA	$HIN = 5\text{V}$, $LIN = 5\text{V}$
I_{IN-}	逻辑“0”输入偏置电流	—	—	2	μA	$HIN = 0\text{V}$, $LIN = 0\text{V}$
I_{O+}	输出拉电流	200	300	—	mA	$V_O = 0\text{V}$ $PW \leq 10\mu\text{s}$
I_{O-}	输出灌电流	400	600	—	mA	$V_O = 15\text{V}$ $PW \leq 10\mu\text{s}$

6 功能描述

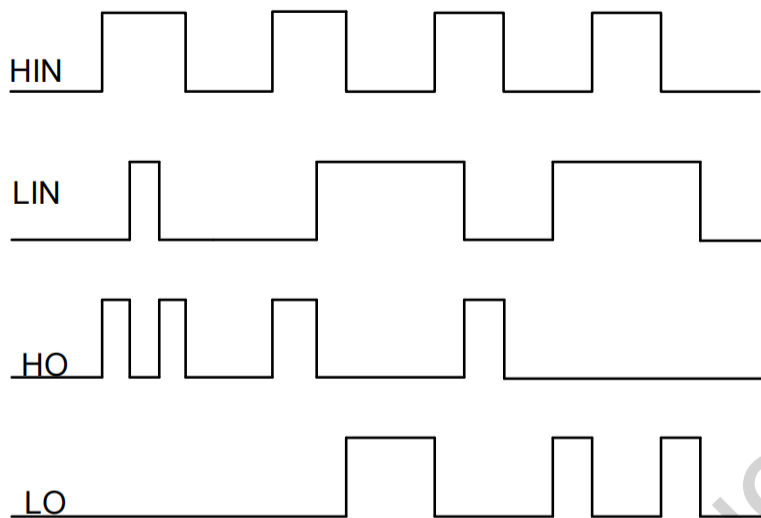


图 6-1 M81747JFP输入输出时序波形

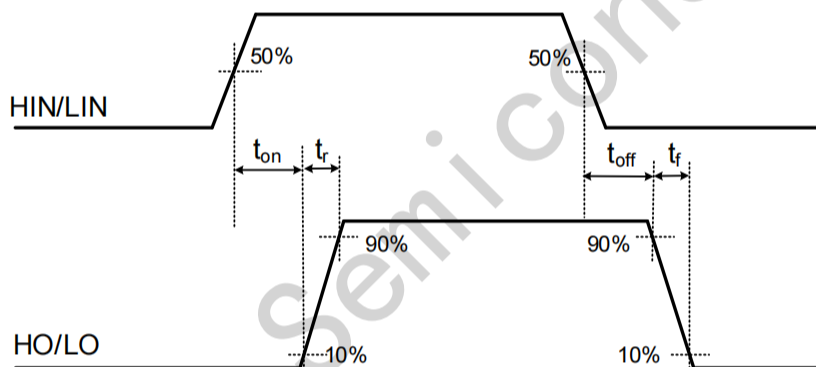


图 6-2 传输延时波形定义

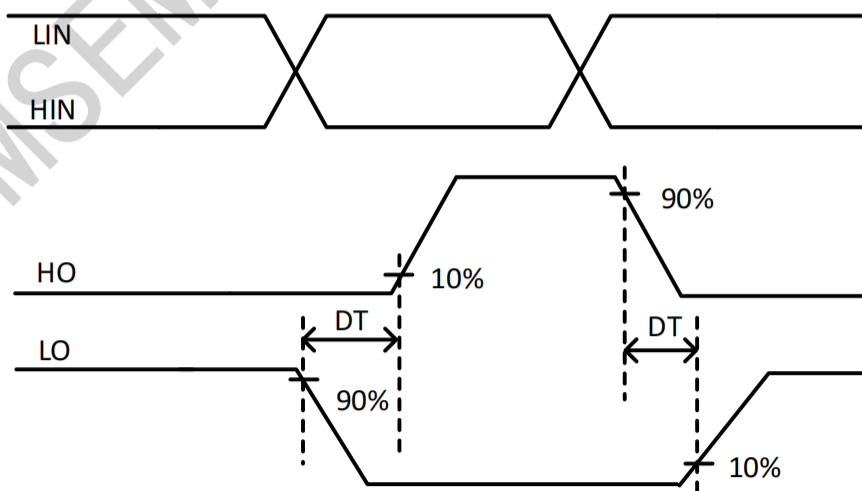


图 6-3 防直通延时波形定义

7 M81747JFP说明

功能框图

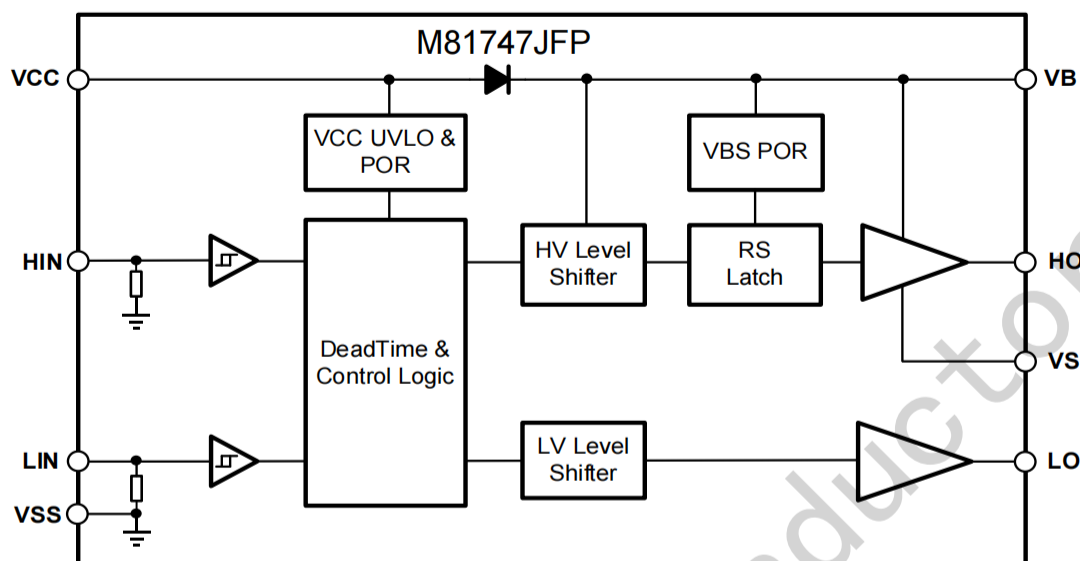


图 7-1 M81747JFP的功能框图

典型应用电路

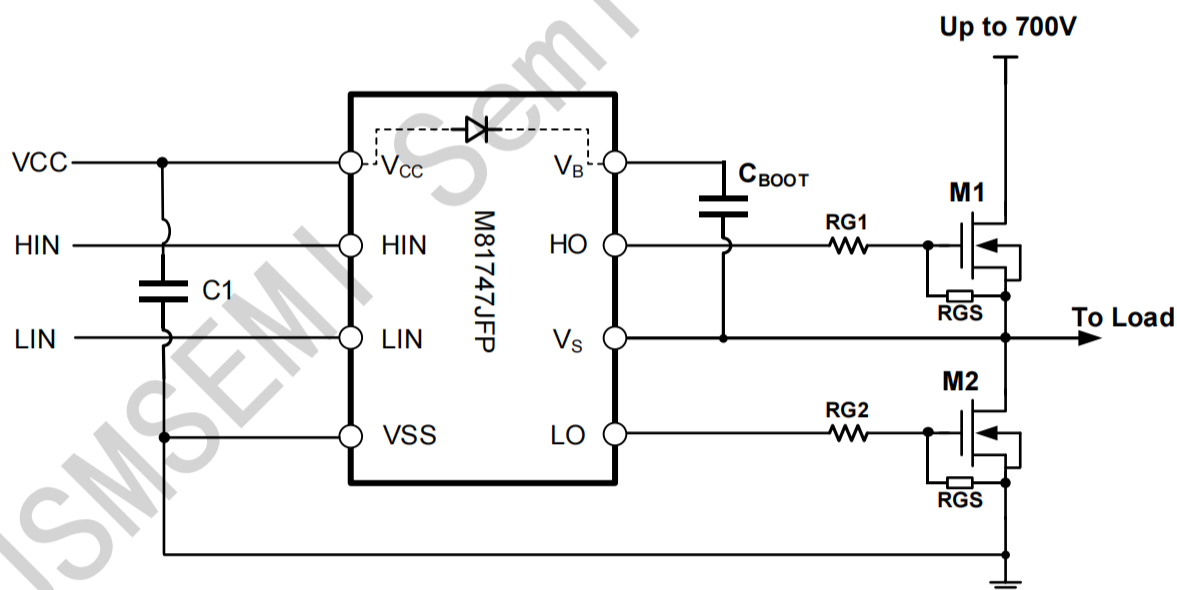


图 7-2 M81747JFP典型应用电路图

自举电路设计指南

一般半桥电路中的结构如图 7-3 所示，包含有自举电阻，自举二极管和自举电容这三部分。这种方案是当前电机驱动中最常用的且性价比最高的方案。

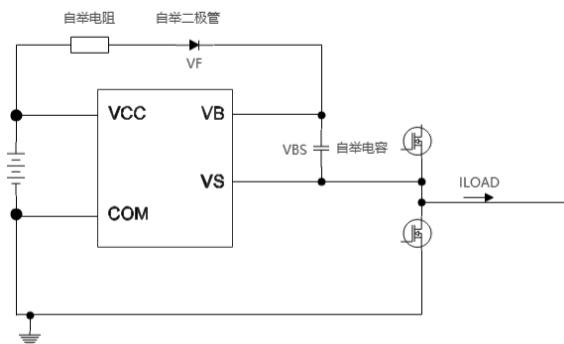


图 7-3 自举电路基本结构

自举电路电容选择

为了确定自举电容的大小，我们首先需要评估以下几点：

- MOS 开启所需要的栅极电荷 Q_G ;
- MOS 的 GS 漏电 I_{LK_GS} ;
- 驱动的静态工作电流 I_{QBS} ;
- 自举二极管的漏电 I_{LK_DIODE} ;
- 自举电容漏电 I_{LK_CAP} ;
- 上桥置高时间 T_{HON} .

当自举电容使用电解电容时 I_{LK_CAP} 才会纳入计算值，其他类型的电容均不需要考虑。这里推荐至少使用一颗低 ESR 的陶瓷电容，并联电解电容和低 ESR 陶瓷电容可以实现更好的电路工作特性。

通过计算，我们能得出一次开启所需损耗的电容值：

$$Q_{TOT} = Q_G + (I_{LK_GS} + I_{QBS} + I_{LK_DIODE} + I_{LK_CAP}) \times T_{HON}$$

在自举过程中，VBS 可以下降的范围 ΔV_{BS}

$$\Delta V_{BS} \leq V_{CC} - V_F - V_{GSmin} - V_{DSon}$$

在此过程中，需要保证：

$$V_{GSmin} > V_{BSUV-}$$

V_F MOS 的反向导管压降

V_{GSmin} 保持 MOS 管导通的最小栅极电压

V_{DSon} 下桥 MOS 的导通压降

用以上结果，可以计算得出：

$$C_{BOOTmin} = \frac{Q_{TOT}}{\Delta V_{BS}}$$

注意：此处计算自举电容的过程中，仅仅计算了一次脉冲过程所需的电荷量，没有考虑 PWM 的占空比与频率等问题。如果是使用 PWM 波控制的信号，请以上述计算方式为基础，经过一定的等效换算得到其实际所需要的自举电容大小。

自举电路的注意事项

A. 自举电阻

自举电阻会在部分自举电路中使用，并不是必须元器件。在启动时 HO 与 LO 可能会发生异常跳变，此时增加自举电阻，自举电阻会在自举电路启动时，限制从自举二极管经过的电流，能够非常有效地抑制一些不良信号，起到保护电路的功能。

B. 自举电容

在上桥臂长时间开启的电路设计中，使用电解电容作为自举电容的设计必须考虑 ESR。上桥臂长时间开启需要一个容值较大的自举电容，一般选用电解电容较多。但是电解电容有一定的内阻，会使自举电阻分压降低，无法实现其功能。此时并联一个低 ESR 的陶瓷电容，能够有效避免这种情况发生。

C. 自举二极管

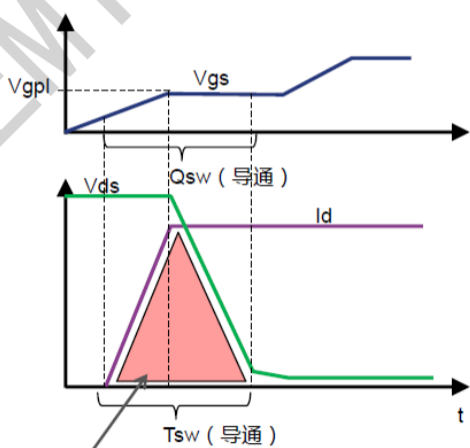
自举二极管用于维持自举电路的电压稳定，需要保证二极管的反向耐压能力大于驱动电源电压，并在此基础上尽可能地选择快恢复二极管，如肖特基二极管等。

自举电路设计指南

栅极电阻用于控制所驱动 MOS 的开关速度快慢和上升下降沿的斜率，会影响到应用上的多项性能，如损耗，可靠性等。本节会叙述如何选择驱动电阻，并对驱动电阻带来的影响进行讨论。栅极电阻的选择与所使用的驱动芯片、MOSFET 甚至电路设计息息相关，不同环境中均需要根据实际情况重新选择。

常见的工业无刷电机工作频率约 2kHz-10kHz，基于这一点，通常会选择阻值为 20Ω-120Ω 的栅极电阻。这是由以下两点所决定的：

(1) MOS 的开关损耗。MOS 的损耗一部分为开关损耗，另一部分为导通损耗，栅极电阻则主要影响了开关过程的损耗，阻值越大，开关过程越慢，电压电流的交叠区域越大，损耗也就越大。损耗过大最直接的影响就是会使芯片温度迅速上升，在高于 150℃ 的条件下则会使器件面临失效的风险。



$$P_{sw(on)} = \frac{1}{2} \times I_d \times V_{ds} \times T_{sw(on)}$$

图 7-4 阻性负载条件下的 MOS 开关损耗

(2) 可靠性。与损耗相反，栅极电阻的阻值越小，MOSFET 的开关速度就会越快。在实际应用中，功率端电流较大，对寄生参数较为敏感，过高的开关速度会增加信号的不稳定性，轻则使电机的 EMI 过大，重则使电路发生损坏。其中最常见有：

- 1) 栅极信号振铃，导致 MOS 损坏（如图 7-5 所示）；
- 2) dv/dt 过快，VS 端口承受过高或者过低的电压信号，导致驱动损坏。

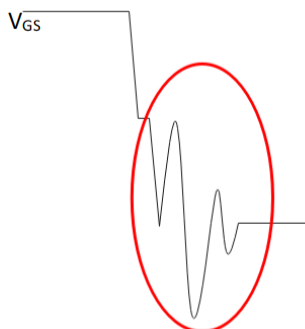


图7-5 栅极振铃现象

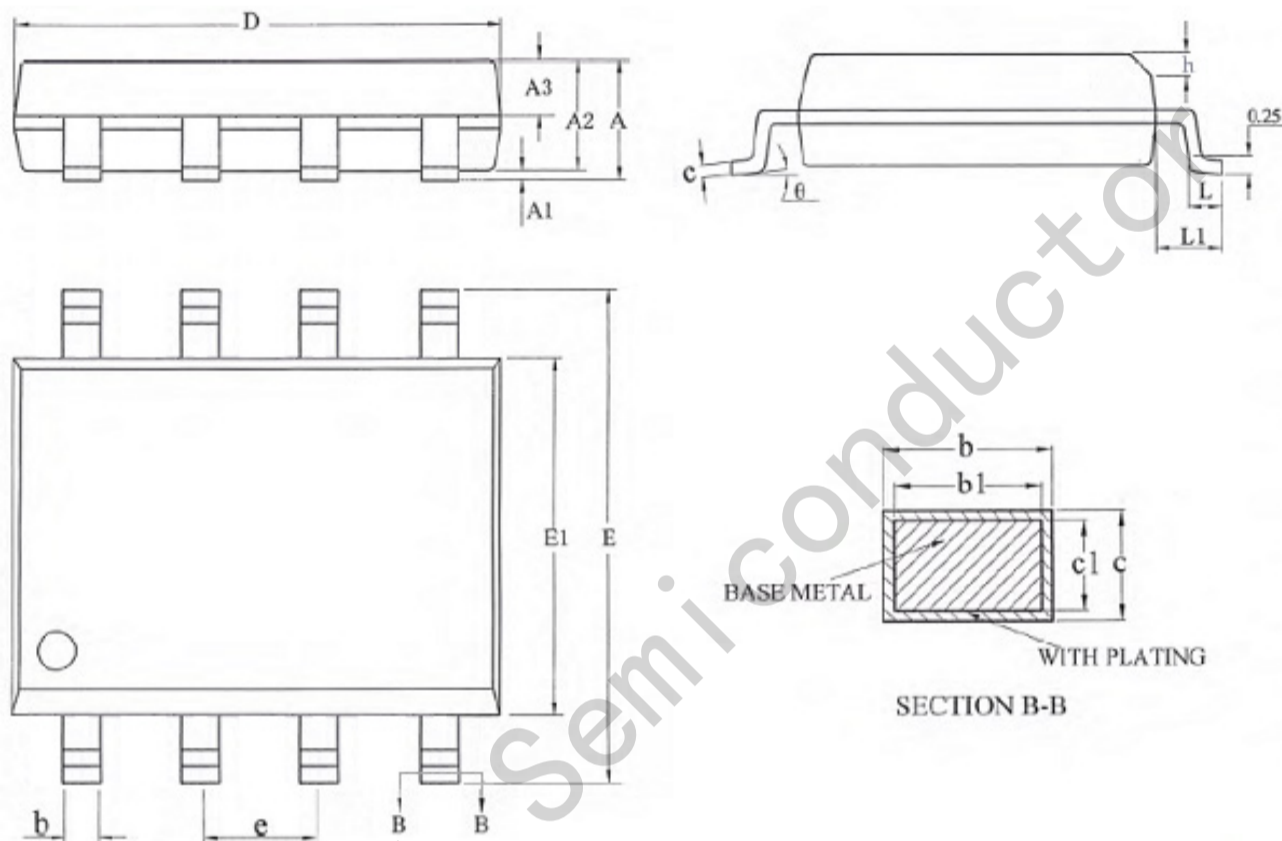
PCB 布局指南

为实现半桥栅极驱动芯片的出色性能，应遵循以下印刷电路板(PCB)布局布线指南。

- 应在靠近驱动芯片 VCC 和 COM 引脚之间，以及 VB 和 VS 引脚之间放置低 ESR/ESL 的电容，用于提供 VCC 和 VB 引脚的高峰值电流。
- 为防止高侧 MOSFET 漏极出现大的电压瞬变，必须在高侧 MOSFET 漏极和地(COM)之间连接一个低 ESR 电解电容和一个陶瓷电容。
- 为避免开关节点(VS)引脚上出现过大的电压负瞬变，必须尽可能减小高侧 MOSFET 源极和低侧 MOSFET（同步整流管）源极之间的寄生电感。
- 应尽量避免 VS 层与地(COM)层重叠，以更大程度减少 VS 层的开关噪声被耦合到接地层。
- 驱动芯片的散热焊盘应连接至大面积厚铜层，从而提高驱动芯片的散热性能。散热焊盘通常连接至与芯片 COM 等电位的接地层，建议仅将该散热焊盘连接至 COM 引脚。
- 接地注意事项：
 - 设计接地连接的首要目标是将 MOSFET 栅极充放电回路限制在尽量小的环路面积内。这种方式降低了环路电感，能够有效避免 MOSFET 栅极上的噪声问题。同时，栅极驱动芯片应尽量靠近 MOSFET。
 - 第二个考虑因素是确保自举电容充电路径的合理性，其中包括以地(COM)为基准的 VCC 旁路电容、自举二极管、自举电容、和低侧 MOSFET 体二极管。由于 VCC 旁路电容通过自举二极管逐周期对自举电容进行充电，且每次充电发生在非常短的时间内，因此该充电路径会通过峰值电流。尽可能减小 PCB 上自举电路的环路长度和面积，可以使自举电路工作在稳定的状态，这一点对于确保驱动芯片可靠运行至关重要。

8 封装信息

SOIC-8 Package Outlines



SOIC-8 Package Dimensions

Size Symbol	MIN(mm)	TYP(mm)	MAX(mm)	Size Symbol	MIN(mm)	TYP(mm)	MAX(mm)
A	-	-	1.75	D	4.70	4.90	5.10
A1	0.10	-	0.225	E	5.80	6.00	6.20
A2	1.30	1.40	1.50	E1	3.70	3.90	4.10
A3	0.60	0.65	0.70	e	1.27BSC		
b	0.39	-	0.48	h	0.25	-	0.50
b1	0.38	0.41	0.43	L	0.50		
c	0.21	-	0.26	L1	1.05BSC		
c1	0.19	0.20	0.21	θ	0	-	8°

9 修订历史

Rev.	Change	Date
V1.0	初代版本	4/25/2021
V2.0	更新自举二极管	3/25/2024

Important Notice

JSMSEMI Semiconductor (JSMSEMI) PRODUCTS ARE NEITHER DESIGNED NOR INTENDED FOR USE IN MILITARY AND/OR AEROSPACE, AUTOMOTIVE OR MEDICAL DEVICES OR SYSTEMS UNLESS THE SPECIFIC JSMSEMI PRODUCTS ARE SPECIFICALLY DESIGNATED BY JSMSEMI FOR SUCH USE. BUYERS ACKNOWLEDGE AND AGREE THAT ANY SUCH USE OF JSMSEMI PRODUCTS WHICH JSMSEMI HAS NOT DESIGNATED FOR USE IN MILITARY AND/OR AEROSPACE, AUTOMOTIVE OR MEDICAL DEVICES OR SYSTEMS IS SOLELY AT THE BUYER' S RISK.

JSMSEMI assumes no liability for application assistance or customer product design. Customers are responsible for their products and applications using JSMSEMI products.

Resale of JSMSEMI products or services with statements diferent from or beyond the parameters stated by JSMSEMI for that pr oduct or service voids all express and any implied warranties for the associated JSMSEMI product or service. JSMSEMI is not respo nsible or liable for any such statements.

JSMSEMI All Rights Reserved. Information and data in this document are owned by JSMSEMI wholly and may not be edited, reproduced, or redistributed in any way without the express written consent from JSMSEMI. For additional information please contact Kevin@jsmsemi.com or visit www.jsmsemi.com