



恒芯微电子
HCT MICRO

HCT6913 数据手册

Version:	1.1
----------	-----

目录

图片列表	iii
表格列表	iv
概述	1
主要指标	1
1. AC 与 DC 特性	- 2 -
1.1. 极限参数	- 2 -
1.2. 工作参数	- 2 -
1.3. ESD/LU 性能	- 3 -
1.4. GPIO 参数	- 3 -
1.5. ADC 性能指标	- 4 -
1.5.1 性能指标表	- 4 -
1.5.2 高功率下的 ADC 噪声和有效位	- 6 -
1.5.3 中功率下的 ADC 噪声和有效位	- 10 -
1.5.4 低功率下的 ADC 噪声和有效位	- 13 -
1.6. ADC 测试图表	- 16 -
1.6.1 高功率模式下的噪声值	- 16 -
1.6.2 中功率模式下的噪声值	- 17 -
1.6.3 低功率模式下的噪声值	- 18 -
1.6.4 增益和 Offset 的温漂	- 18 -
1.6.5 电源抑制比 (PSRR)	- 20 -
1.6.6 共模抑制比 (CMRR)	- 21 -
2. 引脚定义和封装	- 22 -
2.1. 引脚定义	- 22 -
2.2. 封装尺寸	- 24 -
3. 模块功能	- 25 -
3.1 电源管理模块	- 25 -
3.2 高频 RCH 时钟	- 25 -
3.3 BGP 电路	- 26 -
3.4 MUX 信号选择电路	- 26 -
3.5 PGA 电路	- 26 -
3.6 温度传感器	- 26 -
3.7 匹配电流源模块	- 27 -
3.8 偏置电路模块	- 27 -
3.9 Sigma-Delta ADC	- 27 -
3.10 数字滤波器	- 27 -
3.11 功耗模式	- 28 -
3.12 SPI 接口	- 28 -

4. SPI 接口协议	- 29 -
4.1. 读写帧	- 29 -
4.2. 转换帧	- 33 -
4.3. SPI CRC 校验	- 35 -
4.4. SPI 转换状态	- 38 -
4.5. SPI 接口复位	- 39 -
4.6. SPI 接口时序	- 39 -
5. 寄存器描述	- 41 -
5.1. 寄存器地址	- 41 -
5.2. OS_CHx/GAIN_CHx 寄存器	- 42 -
5.3. CONV_CONFx 寄存器	- 44 -
5.4. SYS_CONFx 寄存器	- 47 -
5.4.1. SYS_CONF0	- 47 -
5.4.2. SYS_CONF1	- 50 -
5.4.3. SYS_CONF2	- 53 -
5.4.4. SYS_CONF3	- 54 -
5.5. D_TARG 寄存器	- 57 -
5.6. CONV_DATA 寄存器	- 57 -
6. 芯片校准	- 58 -
6.1. 校准概述	- 58 -
6.2. Offset 自校准	- 58 -
6.3. Offset 系统校准	- 58 -
6.4. Gain 系统校准	- 58 -
6.5. 正常转换时的数据校准	- 59 -
7. 温度传感器	- 60 -
8. 应用信息	- 61 -
8.1. 利用热电偶测量温度	- 61 -
8.2. 利用 RTD 测量温度	- 63 -
8.2.1. 3 线 RTD 测量	- 63 -
8.2.2. 4 线 RTD 测量	- 65 -
8.2.3. 2 线 RTD 测量	- 67 -
8.3. 桥式传感器测量	- 69 -
8.4. 单端信号输入电路	- 70 -
9. 版本历史	- 71 -

图片列表

Figure 2-1	HCT6913 引脚分布图	22
Figure 2-2	HCT6913 封装尺寸	24
Figure 3-1	HCT6913 模块功能图	25
Figure 4-1	SPI 单一 32 bit 寄存器写帧时序 (不包含 CRC 校验)	31
Figure 4-2	SPI 单一 24 bit 寄存器写帧时序 (不包含 CRC 校验)	31
Figure 4-3	SPI 单一 32 bits 寄存器读帧时序 (不包含 CRC 校验)	32
Figure 4-4	SPI 单一 24 bits 寄存器读帧时序 (不包含 CRC 校验)	32
Figure 4-5	SPI 连续寄存器写帧时序 (不包含 CRC 校验)	32
Figure 4-6	SPI 连续寄存器读帧时序 (不包含 CRC 校验)	33
Figure 4-7	SPI 单一转换帧时序 (不包含 CRC 校验)	34
Figure 4-8	SPI 连续转换帧时序, 片选保持低电平 (不包含 CRC 校验)	35
Figure 4-9	SPI 连续转换帧时序, 片选可切为高电平 (不包含 CRC 校验)	35
Figure 4-10	SPI 单一寄存器写帧时序 (包含 CRC 校验)	36
Figure 4-11	SPI 单一寄存器读帧时序 (包含 CRC 校验)	36
Figure 4-12	SPI 连续寄存器写帧时序 (包含 CRC 校验)	37
Figure 4-13	SPI 连续寄存器读帧时序 (包含 CRC 校验)	37
Figure 4-14	SPI 单一转换帧时序 (包含 CRC 校验)	37
Figure 4-15	SPI 连续转换帧时序, 片选保持低电平 (包含 CRC 校验)	38
Figure 4-16	SPI 连续转换帧时序, 片选可切为高电平 (包含 CRC 校验)	38
Figure 4-17	SPI 转换状态使能时序 (不包含 CRC 校验)	38
Figure 4-18	SPI 写时序	39
Figure 4-19	SPI 读时序	39
Figure 8-1	热电偶应用	61
Figure 8-2	3 线 RTD 应用	63
Figure 8-3	4 线 RTD 应用	65
Figure 8-4	2 线 RTD 应用	67
Figure 8-5	桥式传感器应用	69
Figure 8-6	单端信号输入电路	70

表格列表

Table 1-1	极限参数表	- 2 -
Table 1-2	工作参数表	- 2 -
Table 1-3	ESD/Latch-Up 性能指标	- 3 -
Table 1-4	GPIO 参数表	- 3 -
Table 1-5	ADC 性能指标表	- 4 -
Table 1-6	等效输入 RMS 噪声 (uV)	- 6 -
Table 1-7	ENOB	- 8 -
Table 1-8	Noise Free Bits	- 9 -
Table 1-9	等效输入 RMS 噪声 (uV)	- 10 -
Table 1-10	ENOB	- 11 -
Table 1-11	Noise Free Bits	- 12 -
Table 1-12	等效输入 RMS 噪声 (uV)	- 13 -
Table 1-13	ENOB	- 14 -
Table 1-14	Noise Free Bits	- 15 -
Table 2-1	HCT6913 引脚定义	- 22 -
Table 4-1	读写命令帧结构	- 29 -
Table 4-2	读写命令帧各字节意义	- 29 -
Table 4-3	读写命令帧地址字节汇总	- 30 -
Table 4-4	转换命令帧结构	- 33 -
Table 4-5	转换命令帧各字节意义	- 33 -
Table 4-6	SPI 接口时序特性	- 40 -
Table 5-1	寄存器地址表	- 41 -
Table 5-2	OS_CHx/OS_TEMP 定义	- 42 -
Table 5-3	GAIN_CHx/GAIN_TEMP 定义	- 43 -
Table 5-4	校准值选择表	- 44 -
Table 5-5	CONV_CONFx 定义	- 44 -
Table 5-6	SYS_CONF0 定义	- 48 -
Table 5-7	SYS_CONF1 定义	- 51 -

Table 5-8	SYS_CONF2 定义	- 53 -
Table 5-9	SYS_CONF3 定义	- 55 -
Table 5-10	D_TARG 定义	- 57 -
Table 5-11	CONV_DATA 定义	- 57 -

概述

HCT6913 为一款 SPI 接口的 6 通道、24 位高精度 ADC 芯片，内置 1~128 倍可编程的低噪声仪表放大器、高精度 Sigma-Delta ADC，同时内部集成两路精准电流源、高性能温度传感器、10ppm/°C 的高精度基准电压源、偏置电压输出电路、精准内部 RC 时钟源。

ADC 实际有效精度 (ENOB) 22.5BIT@1 倍 PGA，20.8BIT@64 倍 PGA，等效输入噪声低至 $15\text{nV}/\sqrt{\text{Hz}}$ ，零漂 1 μV ，零漂温度系数低于 10nV/°C。输出码率可配置为 3.125Hz 至 6400Hz。

可用于各类高性能温度传感器、分析天平、工业过程控制、直流/交流电能测量、仪器仪表等各类需要高精度和低零漂测量的应用场合。

主要指标

- 工作电压范围: 2.8~5.5V
- 工作电流:
 - 正常工作模式: 360 μA
 - 低功耗工作模式: 260 μA
 - 睡眠模式: 1 μA
- 内置低噪声放大器，1/2/4/8/16/32/64/128 倍可灵活配置
- 6 通道信号输入，可作为 6 组单端信号输入，或 3 组差分信号输入
- 集成两路精确电流源和一路电压偏置电路，可配置到 6 个输入信号通道
- 24 位高精度低零漂 Sigma-Delta ADC
 - 支持 11 种降采样率，3.125Hz~6400Hz
 - 支持 50、60Hz 同步抑制
 - 支持 DC 偏差自校正
 - 线性度 0.001%FS，24BIT 有效位数
 - 噪声水平: $15\text{nV}/\sqrt{\text{Hz}}$ @ 128 倍 PGA
 - 零漂: 1 μV @ 64/128 倍 PGA
- 集成 2.4576MHz 内部高频 RC 时钟，批量频率偏差小于 1%，-40~85°C 范围内温漂 1%
- 可由外部引脚输入精确时钟
- 内置高精度温度传感器，-40~85°C 范围内偏差 1 度
- SPI 接口
 - 支持标准 4 线或 3 线 SPI 接口
 - 支持最高 10MHz 通信时钟
 - 支持单一寄存器读写与多寄存器连续读写
 - 支持命令帧奇偶校验保护
 - 支持写入及读取操作的 CRC 校验保护
- 系统功能
 - 支持软件全局复位
 - 支持上电自动复位
 - 支持低电压报警 (3V)
- 工作温度范围: -40~+105°C
- 存储温度范围: -40~+125°C
- 封装样式: TSSOP16

1. AC 与 DC 特性

1.1. 极限参数

当外部输入或是环境参数超过下面条件时，很可能对芯片造成损坏或是缩短其使用寿命。下表只代表会造成损坏的范围，不代表可以正常工作的范围。

Table 1-1 极限参数表

名称	参数	最小值	最大值	单位
AVDD/DVDD	电源电压	-0.3	+6	V
Vsig	信号输入信号	-0.3	+6	V
TS	存储温度	-50	+150	°C
TJ	工作温度	-40	+125	°C

1.2. 工作参数

Table 1-2 工作参数表

名称	参数	最小值	典型值	最大值	单位
AVDD/DVDD	IO 口电压	2.8	5	5.5	V
IACTIVE	正常模式工作电流		380		uA
IACTIVE_LP	低功耗模式工作电流		280		uA
IPD	休眠电流		0.6		uA
VPOR	上电复位电压	1.9	2	2.1	V
VLVD	掉电监测电压	2.8	2.9	3	V
TA	温度范围	-40	25	105	°C

1.3. ESD/LU 性能

Table 1-3 ESD/Latch-Up 性能指标

名称	参数	最小值	最大值	单位
ESD (HBM)	HBM 模型的 ESD 放电电压	-4000	4000	V
Latch-Up	Latch-Up 测试电流 (@85°C)	-200	200	mA

1.4. GPIO 参数

Table 1-4 GPIO 参数表

名称	参数	DVDD	最小值	典型值	最大值	单位
VIH	输入信号高阈值	5V	4		5.5	V
VIL	输入信号低阈值	5V	-0.3		1	V
VT+	施密特由低变高电压的阈值	5V	2.72	2.92	3.17	V
VT-	施密特由高变低电压的阈值	5V	1.85	2	2.17	V
IIH	输入高电平的电流	5V			+1	uA
IIL	输入低电平的电流	5V	-1			uA
VOL	输出低电平 (@IOL 电流条件)	5V			0.4	V
VOH	输出高电平 (@IOH 电流条件)	5V	4			V
IOL	输出低电平电流@VOL (max)	5V	4.9	8.8	13.9	mA
IOH	输出高电平电流@VOH (min)	5V	5.5	15.6	29.9	mA

1.5. ADC 性能指标

1.5.1 性能指标表

Table 1-5 ADC 性能指标表

说明:以下指标如无特别说明,都是在 AVDD=DVDD=5V, REFP2=2.5V 条件下测得。如 REFP2 选择为 5V, 则输入信号范围可大一倍, ENOB 也可提高 1 BIT。

参数	最小值	典型值	最大值	单位
精度				
线性度 (Linearity)		±0.0005	±0.001	%FS
有效位数 (ENOB)		22.9@PGA=1 21.2@PGA=64		BIT
无噪声位数 (Noise Free Bits)		20.4@PGA=1 18.7@PGA=64		BIT
等效噪声密度 (Noise Floor)		11		nV/√Hz
零漂 (Offset)		120/PGA	200/PGA	uV
零漂温漂 (Offset drift)		900@PGA=1	1200@PGA=1	nV/°C
		200/PGA @PGA=2~64	400/PGA @PGA=2~64	
		3@PGA=128	6@PGA=128	
增益误差 (Gain error)		0.08	0.16	%
增益温漂 (Gain drift)		1	2	ppm/°C
信号输入				
输入信号共模范围	AVSS		AVDD	V
输入信号幅度	$-\frac{REF}{GAIN}$		$+\frac{REF}{GAIN}$	REF= REFP2-REFN2

差分输入电流		1		nA
信号输入阻抗		>1G		Ω
输入共模抑制比 (CMRR)		140		dB
基准电压				
引脚输入基准 REFP2-REFN2	1		AVDD-AVSS	V
差分输入电流		1		nA
内置基准电压	2.5-0.2%	2.5	2.5+0.2%	V
内置基准电压温度系数		10	15	ppm/ $^{\circ}$ C
电源抑制比		90		dB
激励电流源IDAC0/IDAC1				
输出电流大小		10/50/200/ 500/1000/1500		μ A
初始绝对电流精度		1.2%		
电流源漂移		200	350	ppm/ $^{\circ}$ C
两路电流源间匹配度		0.2%		
匹配度温漂		7.5	15	ppm/ $^{\circ}$ C
偏置电压VB				
偏置电压		(AVDD-AVSS) / 2		
输出驱动电流		5		mA
启动时间		5 μ s/nF		
时钟				
ADC 转换速率 (Data Rate)	3.125		6400	Hz
引脚输入时钟频率		2.4576		MHz
内部 RC 时钟频率	2.4576	2.4576	2.4576	MHz

	-1.5%		+1.5%	
RC 时钟变化幅度		1%		-40~85 度范围
电源				
AVDD 电源范围	2.8	5	5.5	V
DVDD 电源范围	2.8	5	5.5	V
中功率模式下 ADC 功耗（开启 Sig Buffer, Ref Buffer, 不开启 2.5V REF, VBIAS 模块和 IDAC 模块）		200		uA, PGA=1
		300		uA, PGA=2~16
		360		uA, PGA=32 以上
VBIAS 功耗		25		uA
2.5V REF 功耗		80		uA
Sig Buffer 功耗		10		uA
Ref Buffer 功耗		15		uA
电源抑制比 (PSRR)		130		dB

1.5.2 高功率下的 ADC 噪声和有效位

Table 1-6 等效输入 RMS 噪声 (uV)

高功率模式下，需将 SYS_CONF1 的 IIT0/IIT1 置' 1'，同时将 ADCKSEL 配置为' 2'，此时 ADC 工作频率将提高一倍。因此 DR 寄存器里所对应的数据率，也将在 DR 所写的的数据基础上乘 2 倍。

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP2=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	噪声 (uV) @PGA (倍)							
	128	64	32	16	8	4	2	1

6.25	0.027	0.032	0.042	0.062	0.101	0.180	0.337	0.628
12.5	0.039	0.046	0.060	0.087	0.143	0.254	0.476	0.888
25	0.055	0.065	0.084	0.124	0.202	0.359	0.673	1.256
50	0.078	0.091	0.119	0.175	0.286	0.508	0.952	1.777
100	0.119	0.149	0.208	0.326	0.561	1.032	1.974	3.769
200	0.169	0.211	0.294	0.460	0.794	1.460	2.792	5.330
400	0.239	0.298	0.416	0.651	1.122	2.064	3.949	7.538
800	0.388	0.521	0.788	1.321	2.386	4.518	8.782	17.055
1600	0.548	0.737	1.114	1.868	3.375	6.390	12.420	24.120
3200	0.856	1.202	1.895	3.281	6.052	11.595	22.681	44.344
6400	1.337	1.955	3.189	5.659	10.597	20.474	40.229	79.017

Table 1-7 ENOB

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP2=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	ENOB@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	20.4	21.2	21.8	22.3	22.6	22.7	22.8	22.9
12.5	19.9	20.7	21.3	21.8	22.1	22.2	22.3	22.4
25	19.4	20.2	20.8	21.3	21.6	21.7	21.8	21.9
50	18.9	19.7	20.3	20.8	21.1	21.2	21.3	21.4
100	18.3	19.0	19.5	19.9	20.1	20.2	20.3	20.3
200	17.8	18.5	19.0	19.4	19.6	19.7	19.8	19.8
400	17.3	18.0	18.5	18.9	19.1	19.2	19.3	19.3
800	16.6	17.2	17.6	17.9	18.0	18.1	18.1	18.2
1600	16.1	16.7	17.1	17.4	17.5	17.6	17.6	17.7
3200	15.5	16.0	16.3	16.5	16.7	16.7	16.8	16.8
6400	14.8	15.3	15.6	15.8	15.8	15.9	15.9	15.9

Table 1-8 Noise Free Bits

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP2=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	Noise Free Bits@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	17.9	18.7	19.3	19.8	20.1	20.2	20.3	20.4
12.5	17.4	18.2	18.8	19.3	19.6	19.7	19.8	19.9
25	16.9	17.7	18.3	18.8	19.1	19.2	19.3	19.4
50	16.4	17.2	17.8	18.3	18.6	18.7	18.8	18.9
100	15.8	16.5	17.0	17.4	17.6	17.7	17.8	17.8
200	15.3	16.0	16.5	16.9	17.1	17.2	17.3	17.3
400	14.8	15.5	16.0	16.4	16.6	16.7	16.8	16.8
800	14.1	14.7	15.1	15.4	15.5	15.6	15.6	15.7
1600	13.6	14.2	14.6	14.9	15.0	15.1	15.1	15.2
3200	13.0	13.5	13.8	14.0	14.2	14.2	14.3	14.3
6400	12.3	12.8	13.1	13.3	13.3	13.4	13.4	13.4

1.5.3 中功率下的 ADC 噪声和有效位

Table 1-9 等效输入 RMS 噪声 (uV)

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP2=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	噪声 (uV) @PGA (倍)							
	128	64	32	16	8	4	2	1
3.125	0.026	0.030	0.040	0.058	0.095	0.169	0.317	0.592
6.25	0.037	0.043	0.056	0.082	0.135	0.239	0.449	0.838
12.5	0.052	0.061	0.079	0.116	0.190	0.339	0.635	1.184
25	0.073	0.086	0.112	0.165	0.269	0.479	0.898	1.675
50	0.103	0.122	0.159	0.233	0.381	0.677	1.269	2.369
100	0.159	0.199	0.277	0.434	0.748	1.376	2.633	5.025
200	0.225	0.281	0.392	0.614	1.058	1.946	3.723	7.106
400	0.319	0.397	0.554	0.868	1.496	2.753	5.265	10.050
800	0.517	0.695	1.050	1.761	3.182	6.025	11.710	22.741
1600	0.731	0.983	1.485	2.490	4.500	8.520	16.560	32.160
3200	1.141	1.603	2.526	4.374	8.070	15.460	30.242	59.125
6400	1.783	2.606	4.252	7.545	14.130	27.299	53.638	105.356

Table 1-10 ENOB

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP2=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	ENOB@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	20.5	21.3	21.9	22.4	22.6	22.8	22.9	23.0
6.25	20.0	20.8	21.4	21.9	22.1	22.3	22.4	22.5
12.5	19.5	20.3	20.9	21.4	21.6	21.8	21.9	22.0
25	19.0	19.8	20.4	20.9	21.1	21.3	21.4	21.5
50	18.5	19.3	19.9	20.4	20.6	20.8	20.9	21.0
100	17.9	18.6	19.1	19.5	19.7	19.8	19.9	19.9
200	17.4	18.1	18.6	19.0	19.2	19.3	19.4	19.4
400	16.9	17.6	18.1	18.5	18.7	18.8	18.9	18.9
800	16.2	16.8	17.2	17.4	17.6	17.7	17.7	17.7
1600	15.7	16.3	16.7	16.9	17.1	17.2	17.2	17.2
3200	15.1	15.6	15.9	16.1	16.2	16.3	16.3	16.4
6400	14.4	14.9	15.2	15.3	15.4	15.5	15.5	15.5

Table 1-11 Noise Free Bits

数据码率 (Hz)	Noise Free Bits@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	18.0	18.8	19.4	19.9	20.1	20.3	20.4	20.5
6.25	17.5	18.3	18.9	19.4	19.6	19.8	19.9	20.0
12.5	17.0	17.8	18.4	18.9	19.1	19.3	19.4	19.5
25	16.5	17.3	17.9	18.4	18.6	18.8	18.9	19.0
50	16.0	16.8	17.4	17.9	18.1	18.3	18.4	18.5
100	15.4	16.1	16.6	17.0	17.2	17.3	17.4	17.4
200	14.9	15.6	16.1	16.5	16.7	16.8	16.9	16.9
400	14.4	15.1	15.6	16.0	16.2	16.3	16.4	16.4
800	13.7	14.3	14.7	14.9	15.1	15.2	15.2	15.2
1600	13.2	13.8	14.2	14.4	14.6	14.7	14.7	14.7
3200	12.6	13.1	13.4	13.6	13.7	13.8	13.8	13.9
6400	11.9	12.4	12.7	12.8	12.9	13.0	13.0	13.0

1.5.4 低功率下的 ADC 噪声和有效位

低功率模式下，需将 SYS_CONF1 的 IDT 置' 1' 。

Table 1-12 等效输入 RMS 噪声 (uV)

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP2=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	噪声 (uV) @PGA (倍)							
	128	64	32	16	8	4	2	1
3.125	0.031	0.037	0.048	0.070	0.114	0.203	0.381	0.711
6.25	0.044	0.052	0.067	0.099	0.162	0.287	0.539	1.005
12.5	0.062	0.073	0.095	0.140	0.229	0.406	0.762	1.421
25	0.088	0.103	0.135	0.198	0.323	0.575	1.077	2.010
50	0.124	0.146	0.191	0.279	0.457	0.812	1.523	2.843
100	0.191	0.238	0.332	0.521	0.898	1.652	3.159	6.030
200	0.270	0.337	0.470	0.737	1.270	2.336	4.468	8.528
400	0.382	0.476	0.665	1.042	1.796	3.303	6.318	12.060
800	0.620	0.834	1.260	2.113	3.818	7.229	14.052	27.289
1600	0.878	1.179	1.782	2.988	5.400	10.224	19.872	38.592
3200	1.369	1.923	3.032	5.249	9.683	18.552	36.290	70.951
6400	2.140	3.127	5.103	9.054	16.955	32.759	64.366	126.427

Table 1-13 ENOB

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP2=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	ENOB@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	20.3	21.0	21.6	22.1	22.4	22.6	22.6	22.7
6.25	19.8	20.5	21.1	21.6	21.9	22.1	22.1	22.2
12.5	19.3	20.0	20.6	21.1	21.4	21.6	21.6	21.7
25	18.8	19.5	20.1	20.6	20.9	21.1	21.1	21.2
50	18.3	19.0	19.6	20.1	20.4	20.6	20.6	20.7
100	17.6	18.3	18.8	19.2	19.4	19.5	19.6	19.7
200	17.1	17.8	18.3	18.7	18.9	19.0	19.1	19.2
400	16.6	17.3	17.8	18.2	18.4	18.5	18.6	18.7
800	15.9	16.5	16.9	17.2	17.3	17.4	17.4	17.5
1600	15.4	16.0	16.4	16.7	16.8	16.9	16.9	17.0
3200	14.8	15.3	15.7	15.9	16.0	16.0	16.1	16.1
6400	14.2	14.6	14.9	15.1	15.2	15.2	15.2	15.3

Table 1-14 Noise Free Bits

数据码率 (Hz)	Noise Free Bits@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	17.8	18.5	19.1	19.6	19.9	20.1	20.1	20.2
6.25	17.3	18.0	18.6	19.1	19.4	19.6	19.6	19.7
12.5	16.8	17.5	18.1	18.6	18.9	19.1	19.1	19.2
25	16.3	17.0	17.6	18.1	18.4	18.6	18.6	18.7
50	15.8	16.5	17.1	17.6	17.9	18.1	18.1	18.2
100	15.1	15.8	16.3	16.7	16.9	17.0	17.1	17.2
200	14.6	15.3	15.8	16.2	16.4	16.5	16.6	16.7
400	14.1	14.8	15.3	15.7	15.9	16.0	16.1	16.2
800	13.4	14.0	14.4	14.7	14.8	14.9	14.9	15.0
1600	12.9	13.5	13.9	14.2	14.3	14.4	14.4	14.5
3200	12.3	12.8	13.2	13.4	13.5	13.5	13.6	13.6
6400	11.7	12.1	12.4	12.6	12.7	12.7	12.7	12.8

1.6. ADC 测试图表

1.6.1 高功率模式下的噪声值

测试条件:

输入 0.33mV 的直流信号, AVDD=DVDD= 5V, REFP2=2.5V, REFN2=GND, 采样率 25Hz。

PGA=1

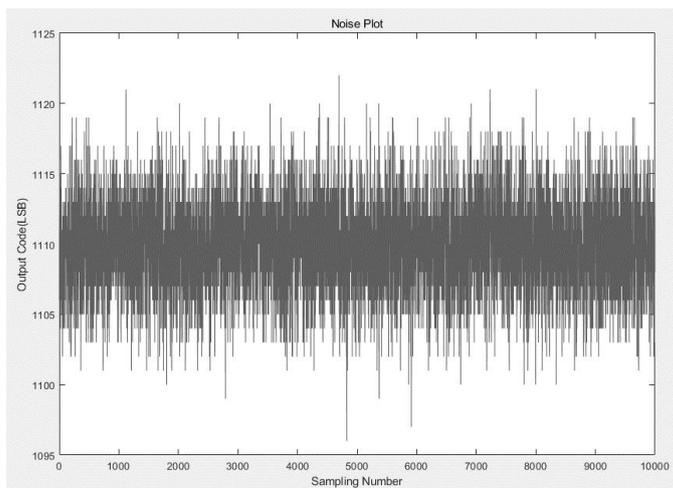


Figure 1

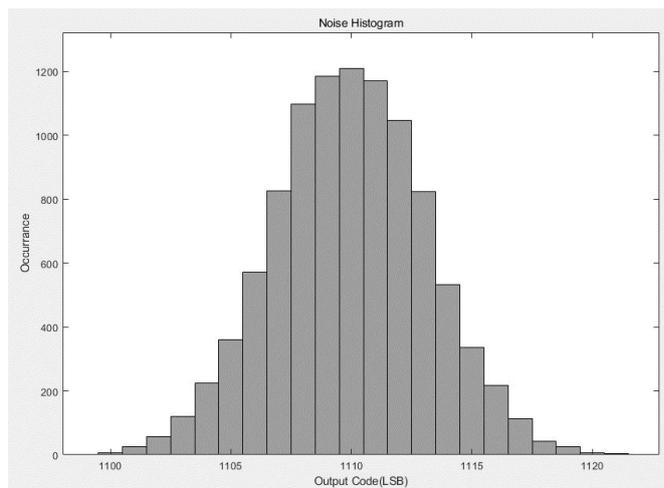


Figure 2

PGA=128

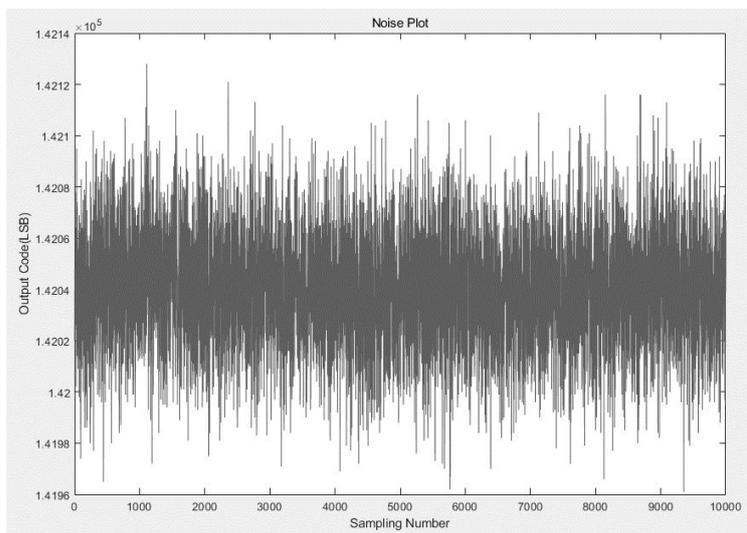


Figure 3

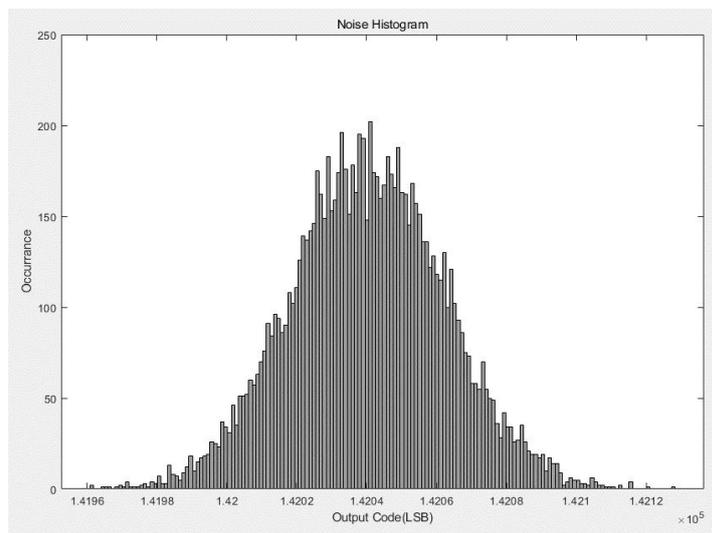


Figure 4

1.6.2 中功率模式下的噪声值

测试条件:

输入 0.33mV 的直流信号, AVDD=DVDD= 5V, REFP2=2.5V, REFN2=GND, 采样率 25Hz。

PGA=1

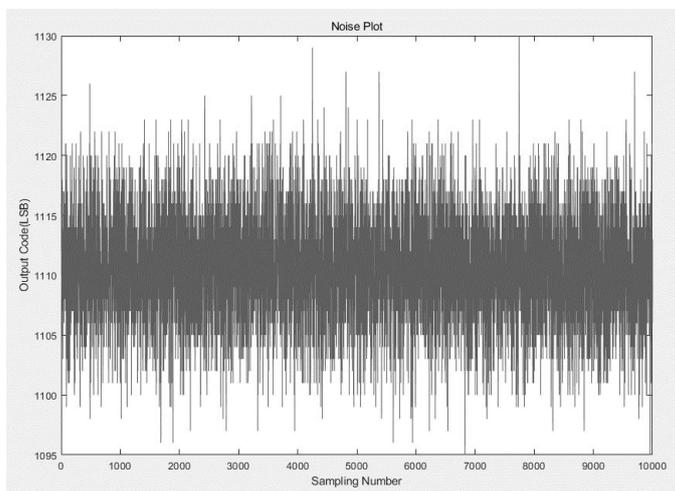


Figure 5

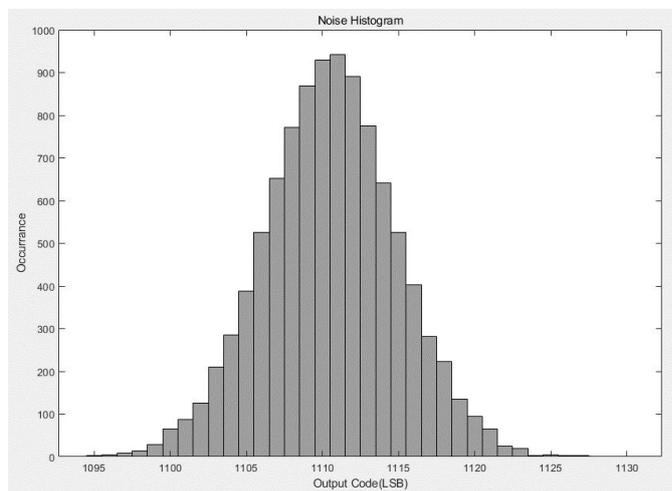


Figure 6

PGA=128

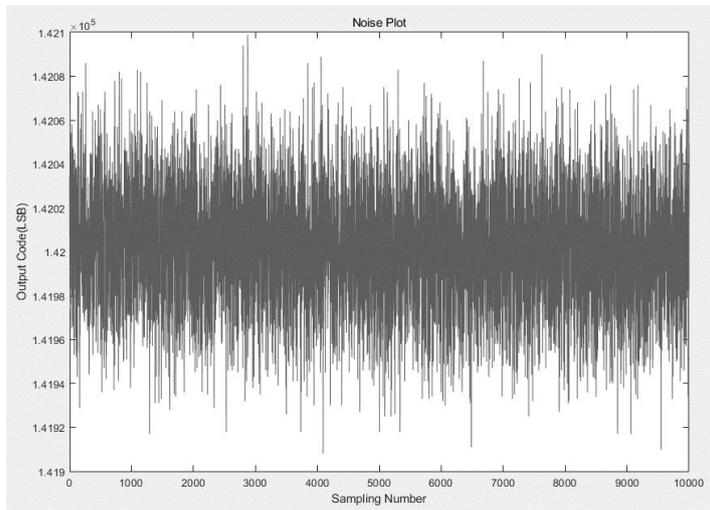


Figure 7

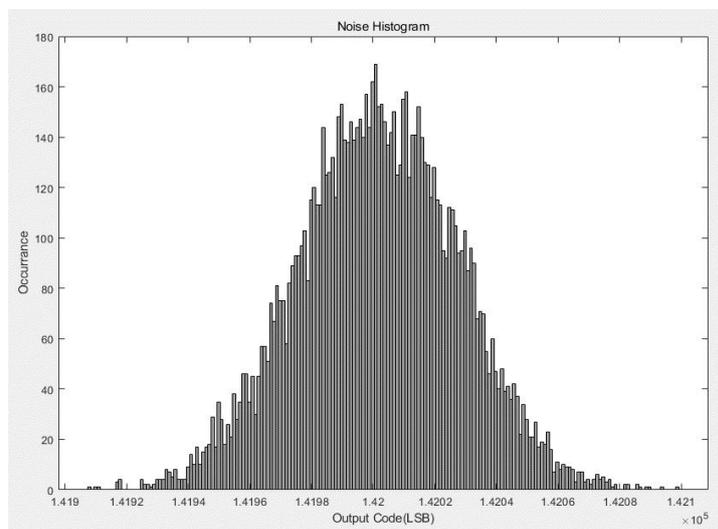


Figure 8

1.6.3 低功率模式下的噪声值

测试条件:

输入 0.33mV 的直流信号, AVDD=DVDD= 5V, REFP2=2.5V, REFN2=GND, 采样率 25Hz。

PGA=1

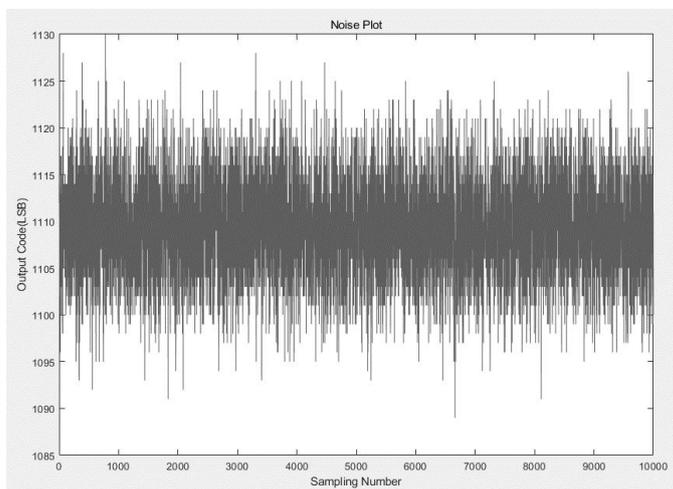


Figure 9

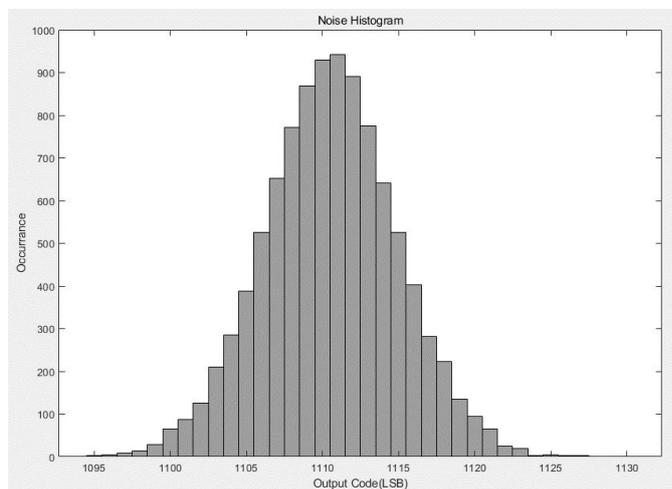


Figure 10

PGA=128

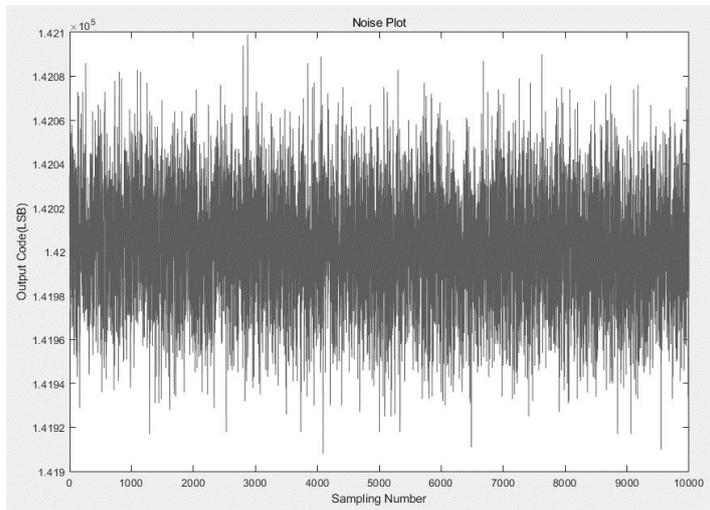


Figure 11

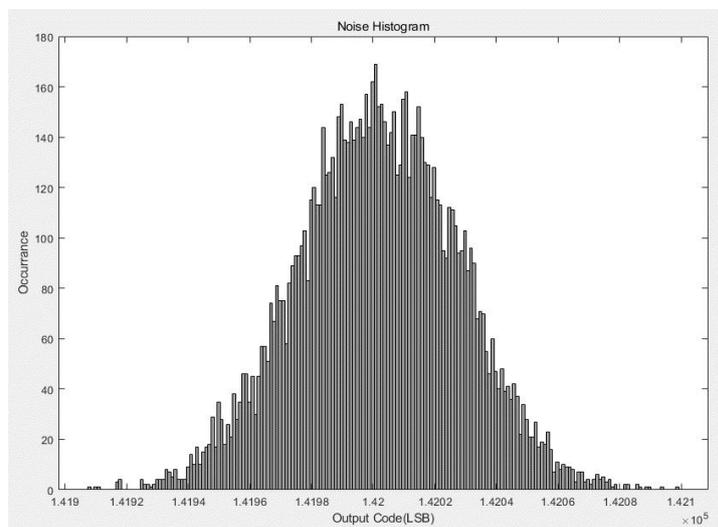


Figure 12

1.6.4 增益和 Offset 的温漂

增益温漂测试条件:

输入一半满量程的直流信号， $AVDD=DVDD=REFP2=5V$ ， $REFN2=GND$ ， $PGA=128$ ， $DR=3.125Hz$ 。测试温度范围为 $-40\sim 120$ 摄氏度。

下图为 4 颗芯片的测试数据。

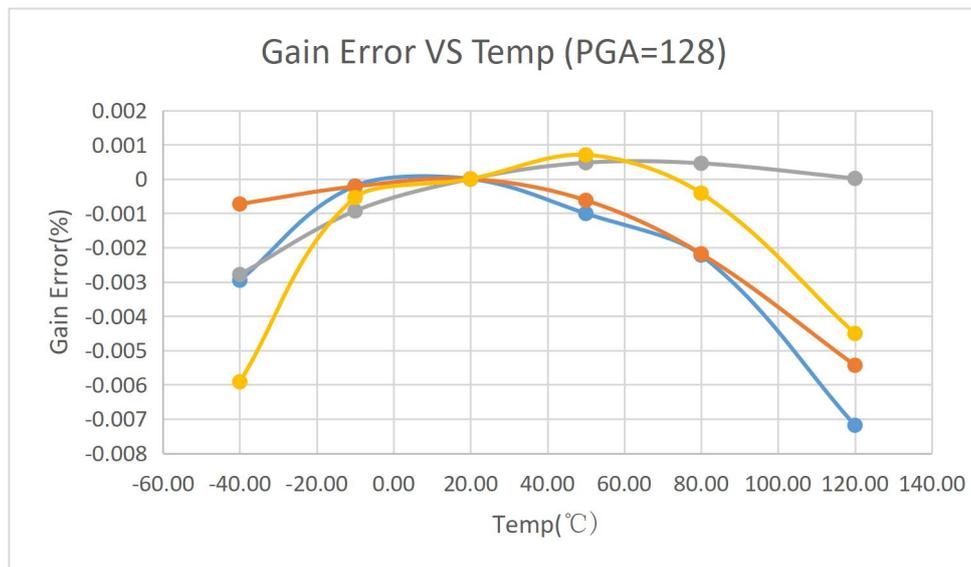


Figure 13

Offset 温漂测试条件:

选择内部 AVSS 通道， $AVDD=DVDD=5V$ ， $REFP2=2.5V$ ， $REFN2=GND$ ，增益设置为 64 倍， $DR=3.125Hz$ 。测试温度范围 $-40\sim 120$ 摄氏度。

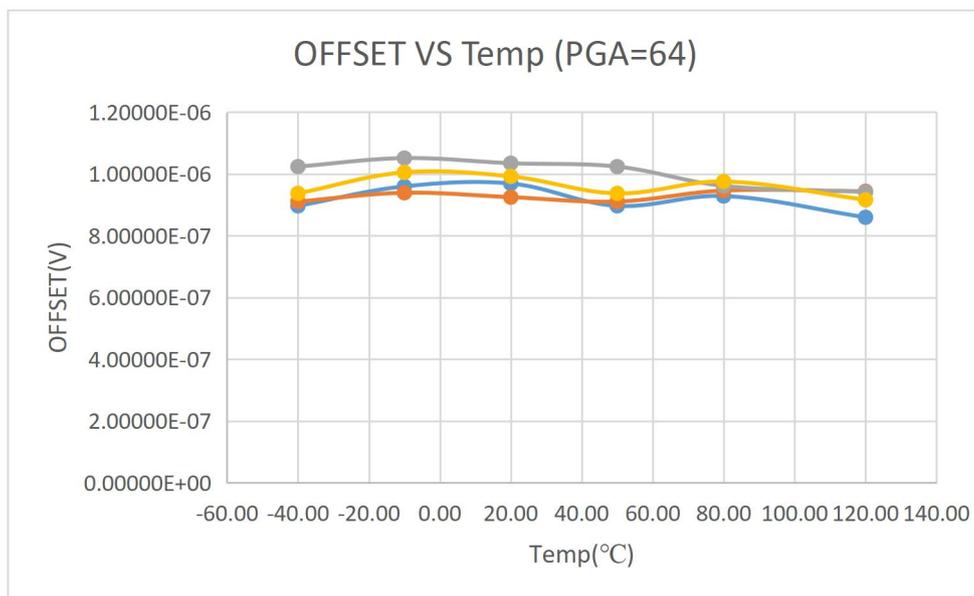


Figure 14

1.6.5 电源抑制比(PSRR)

测试条件:

电源上叠加 1V 峰峰值、12.5Hz 的正弦信号, AVDD=DVDD=4.5V(即电源在 4~5V 之间变化), REFP2=2.5V, REFN2=GND, PGA 设置为 128 倍, 采样率 50Hz。频谱图如下图所示。

电源工频干扰信号在输出数据上为-108dB, 即 4 μ V, 等效到输入端为 $4\mu\text{V} \times 2.5\text{V} / 128 = 78\text{nV}$ (其中 2.5V 为基准电压)。1V 峰峰值的输入电源干扰的有效值为, $1/2/1.414 = 0.354\text{V}$ 。

则 PSRR 计算为: $20 \times \log_{10}(0.354/78\text{n}) = 133\text{dB}$

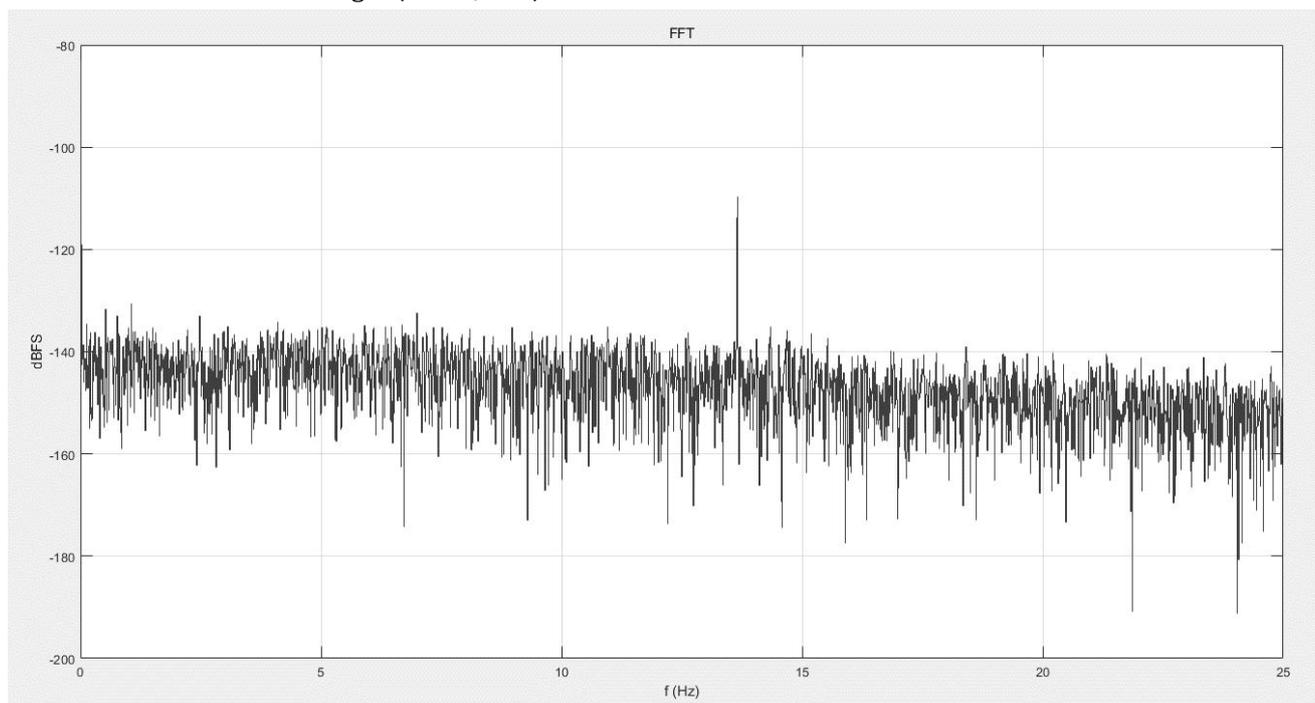


Figure 15

1.6.6 共模抑制比(CMRR)

测试条件:

在输入信号上叠加 2V 峰峰值、6.25Hz 的正弦共模信号, AVDD=DVDD= 5V, REFP2=2.5V, REFN2=GND, PGA 设置为 128 倍, 采样率 50Hz。频谱图如下图所示。

无可见共模信号出现在信号频谱上, 考虑到 PGA 为 128 倍, 则共模抑制在 150dB 以上

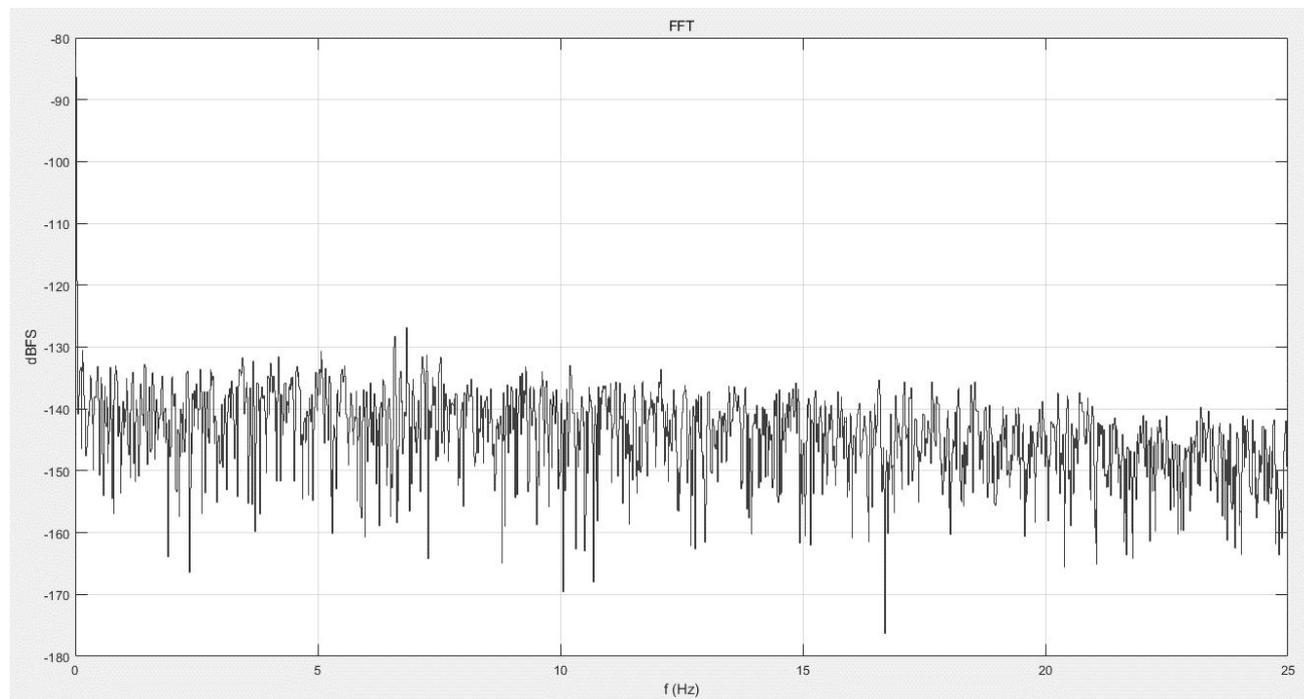


Figure 16

2. 引脚定义和封装

2.1. 引脚定义

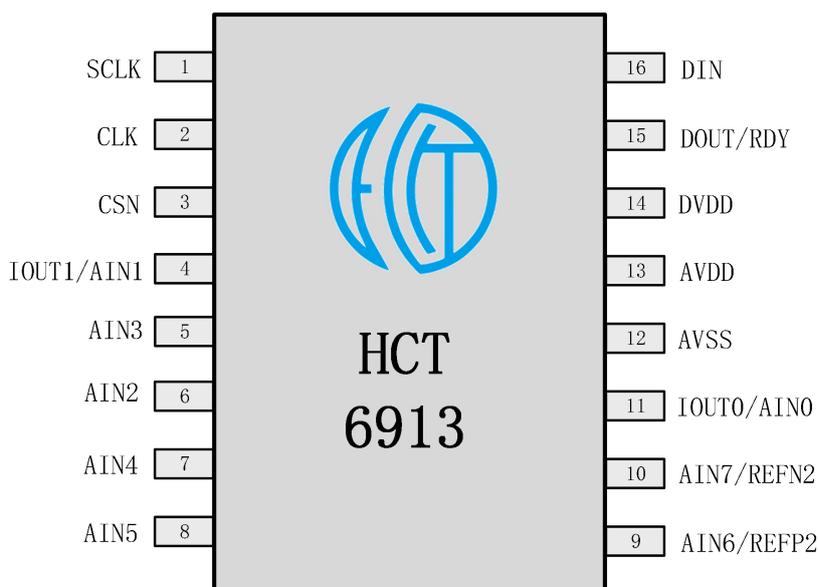


Figure 2-1 HCT6913 引脚分布图

Table 2-1 HCT6913 引脚定义

引脚	名称	类型	描述
1	SCLK	输入	SPI 时钟输入, 建议不通讯时 SCLK 输出低电平, 该引脚不加上拉/下拉电阻
2	CLK	输入/输出	外部输入的 2.4576MHz 精确时钟, 如需使用外部输入时钟, 需将 CKSRSEL<1:0>配置为'10' 使用内部 2.4576M RC 时钟时, 此引脚有两种处理方式: 1) 接地 2) 配置 CKSRSEL<1:0>=" 01", 将内部 RC 时钟从 CLK 引脚送出, 可用于测量或为其他芯片提供时钟
3	CSN	输入	SPI 片选输入, 低电平有效, 该引脚不加上拉/下拉电阻
4	IOUT1/AIN1	输入/输出	IOUT1 为电流源 1 输出/AIN1 为 ADC 输入信号通道 1.

5	AIN3	输入/输出	AIN3 为 ADC 输入信号通道 3.
6	AIN2	输入/输出	AIN2 为 ADC 输入信号通道 2
7	AIN4	输入/输出	AIN4 为 ADC 输入信号通道 4
8	AIN5	输入/输出	AIN5 为 ADC 输入信号通道 5
9	AIN6/REFP2	输入/输出	AIN6 为 ADC 输入信号通道 6 REFP2 为另一组输入基准电压源正输入端，ADC 基准源的选择由寄存器 REFSEL<1:0>决定
10	AIN7/REFN2	输入/输出	AIN7 为 ADC 输入信号通道 7 REFN2 为另一组输入基准电压源负输入端，ADC 基准源的选择由寄存器 REFSEL<1:0>决定
11	IOUT0/AIN0	输入/输出	IOUT0 为电流源 0 输出/AIN0 为 ADC 输入信号通道 0.
12	AVSS	地	模拟地
13	AVDD	电源	模拟电源，AVDD 和 AVSS 之间接一个大于等于 1uF 的瓷片电容
14	DVDD	电源	数字电源，DVDD 和 DVSS 之间接一个大于 0.1uF 的瓷片电容
15	DOUT/RDY	输出	SPI 数据输出，片外需要接 $\geq 100K\Omega$ 上拉至电源的电阻. 建议在数据率较低的工作条件下（如小于 800Hz），DOUT 上的上拉电阻用 1M Ω
16	DIN	输入	SPI 数据输入，该引脚不加上拉/下拉电阻

2.2. 封装尺寸

TSSOP16:

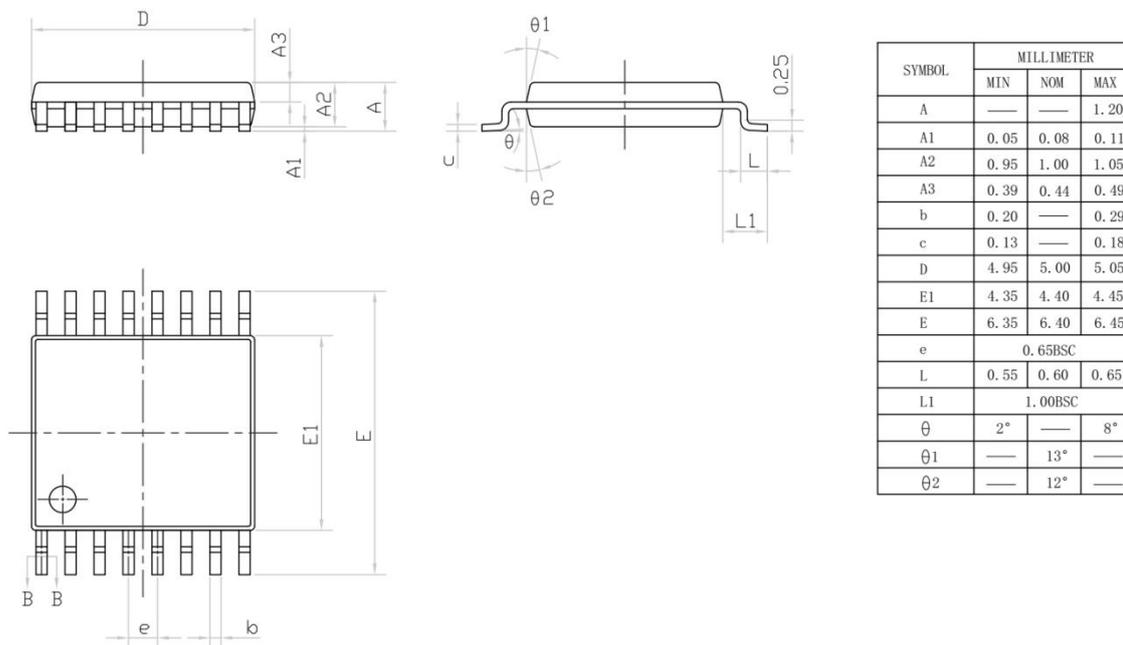


Figure 2-2 HCT6913 封装尺寸

3. 模块功能

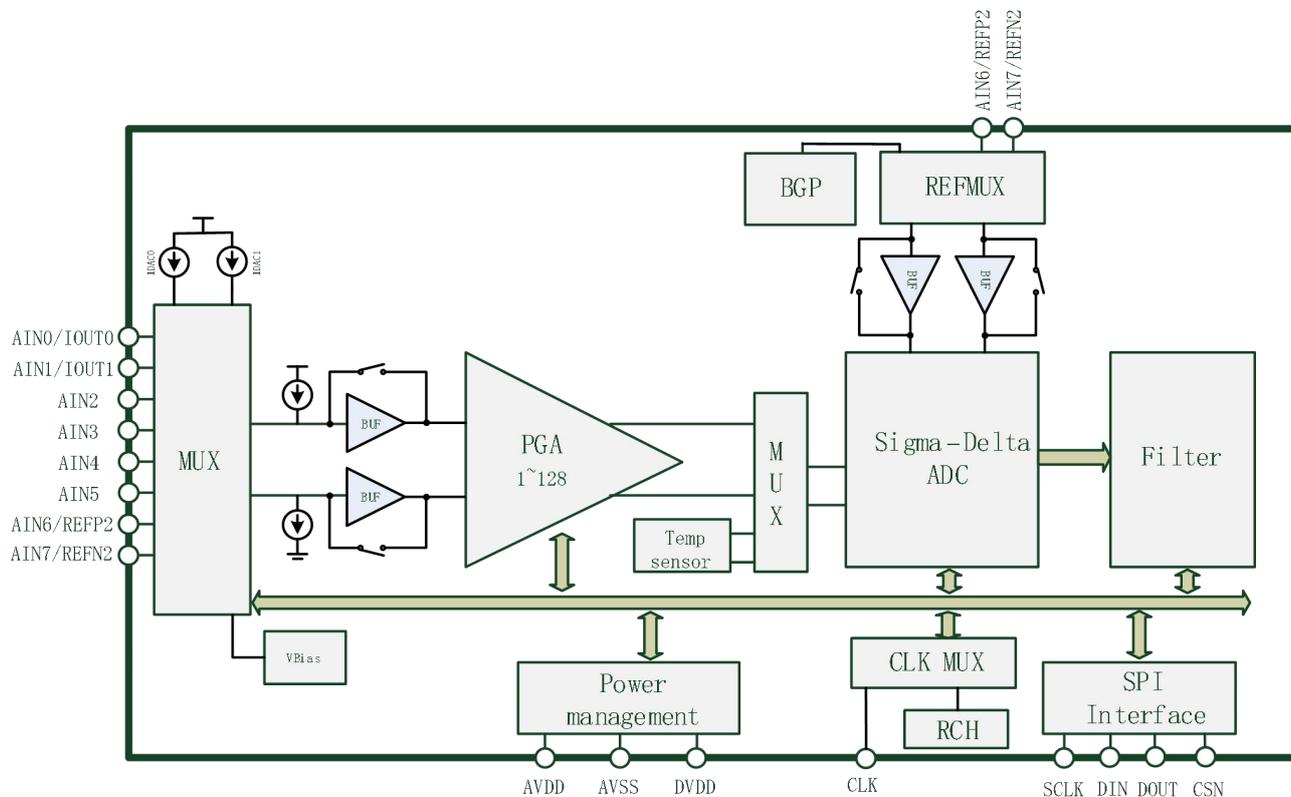


Figure 3-1 HCT6913 模块功能图

如上图所示，芯片内部包含电源管理模块、高频 RCH 时钟、内部基准源（BGP）模块、输入信号选择电路 (MUX)、匹配电流源模块、偏置电路模块、可编程增益放大器（PGA）、Sigma-Delta ADC 模块、数字滤波器模块、SPI 接口模块。

3.1 电源管理模块

芯片由 DVDD/ AVDD/AVSS 两组电源供电，正常工作的供电范围为 2.8~5.5V。DVDD 电压需与外部 MCU 供电电压相同，可与 AVDD 不同。

电源模块内置上电复位（POR）电路，在上电之初为芯片提供复位信号。

电源模块内还集成了欠压监测电路，当监测到 AVDD 电源低于 3V 时，SYS_CONF0 寄存器里的 PW_LV 将置'1'，提示有欠压发生。

3.2 高频 RCH 时钟

芯片内部集成 2.4576MHz 的高频 RCH 时钟作为主时钟。芯片也可使用 CLK 引脚输入的时钟，或者将芯

片内部的 RCH 时钟从 CLK 引脚送出，详见 CKSRSEL<1:0>寄存器说明。

芯片内部 RCH 时钟在-40~85 度范围内随温度的频率变化小于 1%，批量频率偏差小于 1%。

3.3 BGP 电路

芯片内置高精度带隙基准（BGP）电路，产生 2.5V 的基准电压。该基准电压温度系数的典型值为 10ppm/°C。

AD 除可使用内部基准外，也可使用外部引脚从 REFP2/REFN2 输入的基准电压。具体使用的基准源通过设置 CONV_CONFx 寄存器里的 REFSEL 来选择。

3.4 MUX 信号选择电路

芯片有 8 路输入信号引脚，以及一路内部温度传感器信号，ADC 可通过时分复用的方式对这些信号进行采样。8 路输入信号里，在需要使用电流源的时候，AIN0/AIN1 需作为电流源输出使用。在需要使用 REFP2/REFN2 的时候，AIN6/AIN7 需作为基准输入使用。

MUX 电路非常灵活，每一个 AINx 引脚的信号都可配置为 AD 正端信号，也可配置为 AD 负端信号。因此任意两个 AINx 都可搭配为一组 ADC 差分输入信号。每一组 CONV_CONF 转换设置寄存器里，都可设置该转换所用的信号通道选择。详见 CONV_CONFx 寄存器章节。

3.5 PGA 电路

芯片内部集成一个 1~128 倍可编程的高精度仪表放大器。每一组 CONV_CONF 转换设置寄存器里，都可通过 CONV_CONFx 寄存器里的 GA<2:0>进行增益设置。详见 CONV_CONFx 寄存器章节。

PGA 前端有 2 路信号 BUFFER 以提供更高的输入阻抗。

PGA 两个输入信号端有 2 个 Burnout 电流，用于检测输入信号线是否开路。Burnout 是否开启在 CONV_CONFx 寄存器里设置。

3.6 温度传感器

芯片内部集成 1°C 精度的温度传感器，传感器计算公式详见温度传感器章节。

测温的时候，需使用 CONV_CONF8，且设置 VPSEL 和 VNSEL 为 TEMP 选项，REFSEL 选内部基准。

3.7 匹配电流源模块

芯片内部集成 2 路精确匹配的电流源 IDAC0 和 IDAC1，匹配精度达 0.2%，绝对精度 1.2%。匹配电流源可配置到 AIN0 和 AIN1 输出，配置寄存器参看 SYS_CONF2 里的 IDAC1_CH/IDAC0_CH。电流源的电流大小通过寄存器 IDAC1/IDAC0 进行配置，如不需要电流源输出，则配置为 0uA。

3.8 偏置电路模块

芯片内置 VBIAS 偏置电路模块，可将偏置电压通过配置 SYS_CONF2 里的 VBx_EN 寄存器输出到任何一个 AINx 信号引脚上，电压大小为 $(AVDD-AVSS)/2$ ，该电压具有 5mA 的电流驱动能力。

3.9 Sigma-Delta ADC

芯片内集成一个高性能的 Sigma-Delta ADC（性能指标见 ADC 性能指标章节），ADC 转换产生的高频量化码流送给后续的数字滤波器（DSP）电路进行处理，并最终得到 24BIT ADC 数据。

3.10 数字滤波器

数字滤波器对 ADC 转换产生的高频量化码流进行处理，最终获得 24BIT ADC 数据。

滤波器类型分为三种，一阶滤波器、三阶滤波器和 50/60Hz 抑制滤波器，通过 CONV_CONFx 寄存器里的 FLIT_TYPE 进行设置。

一阶滤波器在涉及到信号通道切换的时候，数据更新的时间更快，基本上以数据率相同的速度更新。三阶滤波器在涉及到信号通道切换的时候，切换后要 3 倍时间输出第一个数据，下一个数据如果没有切换信号通道，则数据更新时间是 1 个数据周期。带来的效果是三阶滤波器对数据信号带宽外的噪声或谐波有更高的抑制率。如果不涉及通道切换，仅对一个信号通道进行连续转换，则一阶和三阶滤波器的输出速率一样。

50/60Hz 抑制滤波器仅可在 ADC 数据率选择为 25Hz 以下(含 25Hz)时使用，开启后可同时对 50Hz 和 60Hz 的干扰信号产生超过 100dB 的抑制。如果干扰信号只考虑 50Hz，则数据率设置在 50Hz 以下的三阶滤波器也有超过 100dB 的抑制效果。上述提及的 50 或 60Hz 干扰信号是指实际进入到差分信号通道里的，才需要通过滤波器进行抑制。如果干扰信号是出现在电源上，则首先通过芯片强大的电源抑制能力（PSRR）被大幅衰减。如果干扰信号是出现在信号共模电平上，则首先通过芯片强大的共模抑制能力（CMRR）被大幅衰减。

滤波器输出频率可通过 CONV_CONFx 寄存器里的 DR<3:0>配置为 3.125~6400Hz。详见 CONV_CONFx 寄存器章节。

3.11 功耗模式

芯片可通过设置 SYS_CONF1 寄存器的 POWD=1，使芯片进入低功耗模式。此模式下 PGA/ADC/晶体起振电路/BGP/RCH 等模块都会关闭，功耗小于 1 μ A。睡眠模式下，会关闭 ADC 时钟，导致无法进行寄存器复位和转换功能，需要先唤醒，再做其它操作。睡眠模式下会保持寄存器的值，唤醒后不需要再进行初始化。设置 POWD=0 可以退出睡眠模式，退出睡眠后，需要等 200 μ s 时间才能进行转换。

3.12 SPI 接口

SPI 接口部分详见 SPI 接口协议章节。

4. SPI 接口协议

SPI 接口分为两种命令帧，一种是用来读写寄存器的读写命令帧，另外一种是用来启动 ADC 转换的转换命令帧，两种命令帧使用第一个字节的第一个 Bit 来区分，若为 0，则为读写命令帧，若为 1，则为转换命令帧。

4.1. 读写帧

读写帧的第一帧为命令帧，格式如下表所示。

Table 4-1 读写命令帧结构

BIT							
7	6	5	4	3	2	1	0
0	ADDR					R/W	PC

Table 4-2 读写命令帧各字节意义

BIT	名称	描述
7	起始位	必须为 0
6:2	ADDR	请参考 Table 5-1 与 5-2 寄存器地址表
1	R/W	读写类型选择 0: 写 1: 读
0	PC	Bit7 到 Bit1 之奇校验位,当 Bit7~Bit1 有奇数个 1 时,PC 应为 0,当 Bit7~Bit1 有偶数个 1 时,PC 应为 1.若此奇校验位错误,则该命令不被执行,且 SYS_CONF0 中的 ERR_CKS 位置会被置 1

Table 4-3 读写命令帧地址字节汇总

ADDR	位宽	
0x00	24	OS_CH0
0x01	24	GAIN_CH0
0x02	24	OS_CH1
0x03	24	GAIN_CH1
0x04	24	OS_CH2
0x05	24	GAIN_CH2
0x06	24	OS_CH3
0x07	24	GAIN_CH3
0x08	24	OS_CH4
0x09	24	GAIN_CH4
0x0A	24	OS_CH5
0x0B	24	GAIN_CH5
0x0C	24	OS_CH6
0x0D	24	GAIN_CH6
0x0E	24	OS_CH7
0x0F	24	GAIN_CH7
0x10	24	D_TARG
0x11	32	CONV_CONF0
0x12	32	CONV_CONF1
0x13	32	CONV_CONF2
0x14	32	CONV_CONF3
0x15	32	CONV_CONF4

0x16	32	CONV_CONF5
0x17	32	CONV_CONF6
0x18	32	CONV_CONF7
0x19	32	CONV_CONF8
0x1A	32	CONV_CONF9
0x1B	32	SYS_CONF0
0x1C	32	SYS_CONF1
0x1D	32	SYS_CONF2
0x1E	32	SYS_CONF3
0x1F	24	CONV_DATA

下图为单一寄存器写帧在不包含 CRC 校验时的时序

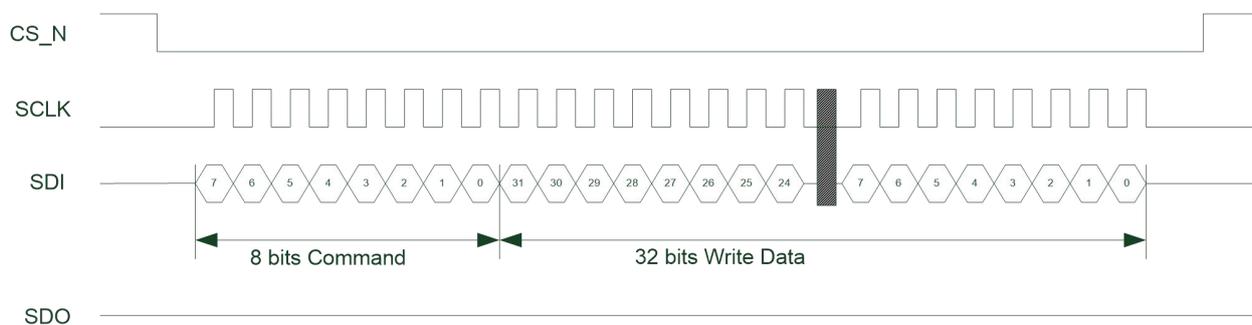


Figure 4-1 SPI 单一 32 bit 寄存器写帧时序 (不包含 CRC 校验)

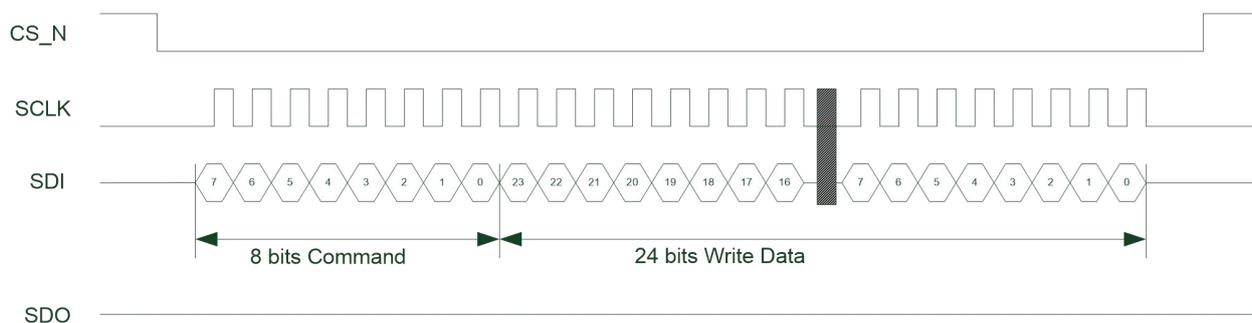


Figure 4-2 SPI 单一 24 bit 寄存器写帧时序 (不包含 CRC 校验)

下图为单一寄存器读帧在不包含 CRC 校验时的时序

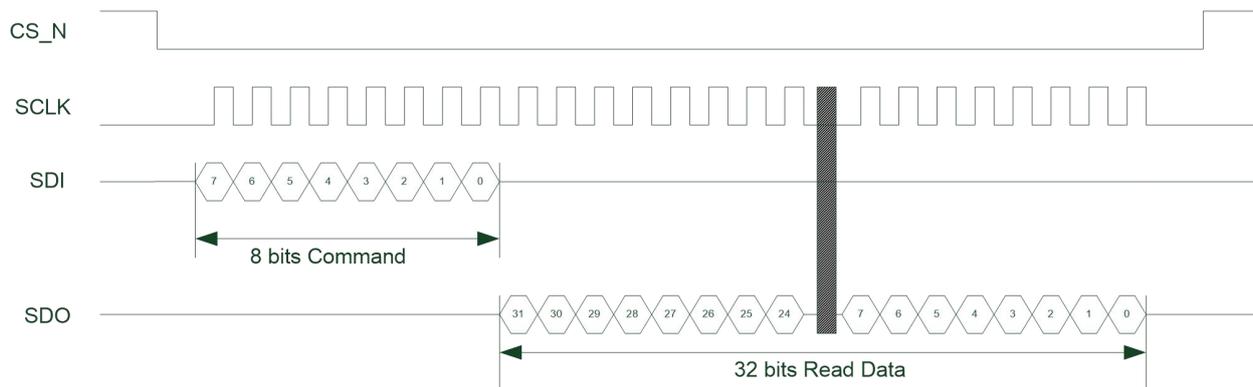


Figure 4-3 SPI 单一 32 bits 寄存器读帧时序 (不包含 CRC 校验)

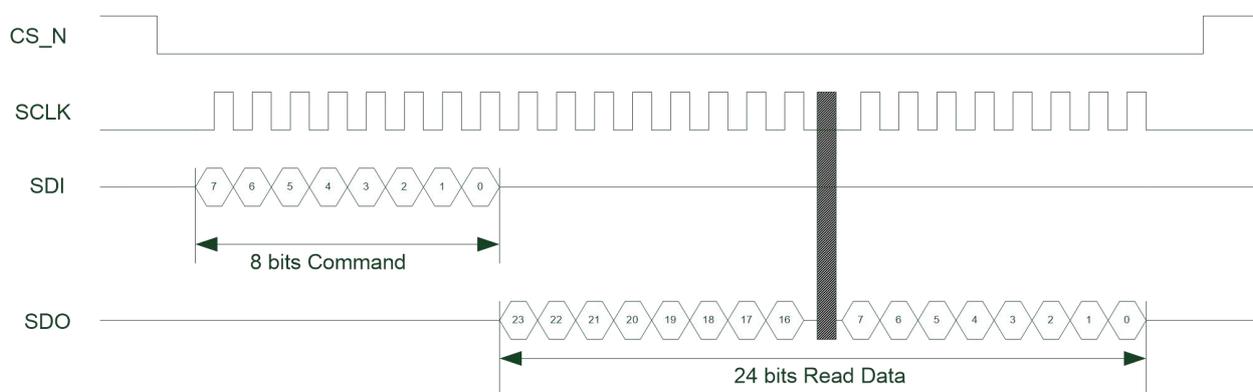


Figure 4-4 SPI 单一 24 bits 寄存器读帧时序 (不包含 CRC 校验)

下图为连续寄存器写帧在不包含 CRC 校验的时序

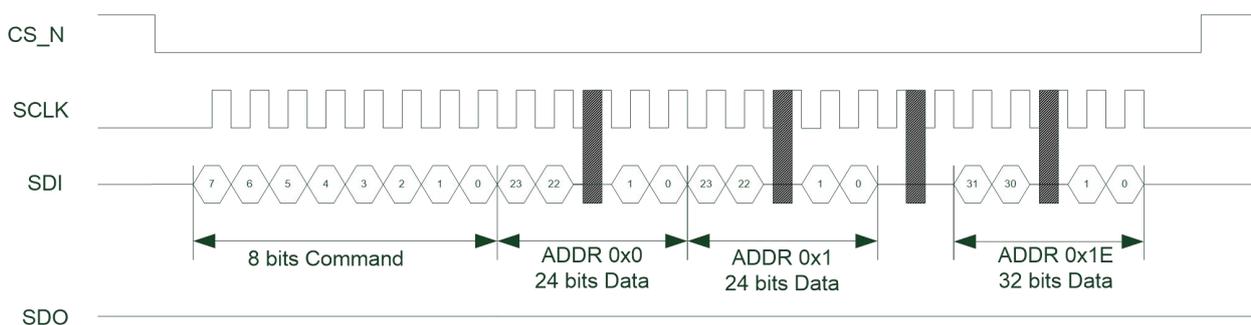


Figure 4-5 SPI 连续寄存器写帧时序 (不包含 CRC 校验)

下图为连续寄存器读帧在不包含 CRC 校验的时序

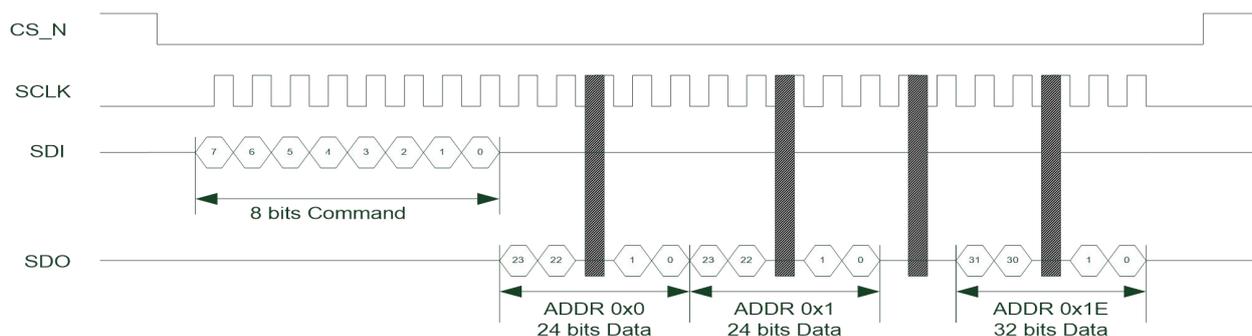


Figure 4-6 SPI 连续寄存器读帧时序 (不包含 CRC 校验)

4.2. 转换帧

转换帧的第一帧为命令帧，格式如下。

Table 4-4 转换命令帧结构

BIT							
7	6	5	4	3	2	1	0
1	0	0	0	CONV_MOD			PC

Table 4-5 转换命令帧各字节意义

Bit	名称	描述
7	起始位	必须为 1
6:4	保留位	必须为 0
3:1	CONV_MOD	转换模式选择 0x0: 单次转换模式 0x1: 连续转换模式 0x2: Offset 自校准模式 0x5: Offset 系统校准模式 0x6: Gain 系统校准模式 其他: 保留
0	PC	Bit7 到 Bit1 之奇偶校验位，当 Bit7~Bit1 有奇数个 1 时，PC 应为 0，当 Bit7~Bit1 有偶数个 1 时，PC 应为 1。若此奇校验位错误，则该命令不被执行，且 SYS_CONF0 中的 ERR_CKS

	位置会被置 1
--	---------

芯片在收到转换命令帧后：

- 1) 如命令帧里发起的是单次转换模式，则依次扫描 10 组 CONV_CONF_x 的寄存器值，只要 CONV_EN 为 1 的，就按其配置值进行转换，转换完成后通过 SDO 送出数据。等 10 个 CONV_CONF_x 都被遍历完，则芯片重新进入到命令接收阶段。
- 2) 如命令帧里发起的是连续转换模式，则依次扫描 10 组 CONV_CONF_x 的寄存器值，只要 CONV_EN 为 1 的，就按其配置值进行转换，转换完成后通过 SDO 送出数据。等 10 个 CONV_CONF_x 都被遍历完，则重新回到 CONV_CONF₀ 开始新一轮遍历。

如果 10 个 CONV_CONF_x 里，只有 1 个 CONV_CONF_x 被使能，则将对该设置寄存器所对应的信号通道进行连续采样。

转换帧时序与读时序主要差别在于转换命令发出后，需要等待芯片内 DSP 运算完成，在运算完成前，SDO 引脚会是高阻抗状态，需靠片外拉电阻拉高到 DVDD 电位，当 DSP 运算完成后，SDO 引脚会输出低电位，此时主控需打 8 bits 的转换时钟，此时 SDI 需输入 0x42，然后可以开始进行 24 bits 数据读取。

下图为单一转换帧在不包含 CRC 校验的时序

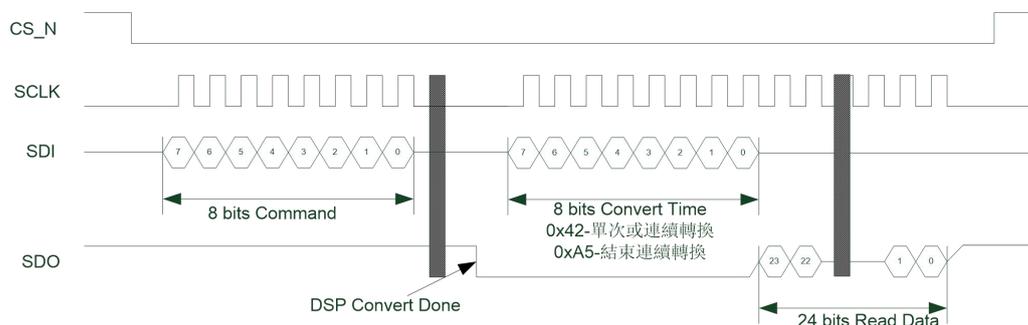


Figure 4-7 SPI 单一转换帧时序 (不包含 CRC 校验)

若选择的是连续转换模式，当 24 bits 转换数据传完之后，SDO 又会变为高阻模式，直到下次 DSP 转换完成会再把 SDO 拉到 0。若主控想要停止连续转换模式，可以将片选拉高，若是在片选接地状态，则必须在 8 bits 的转换时钟时，在 SDI 上打 (0xA5)，则在本次数据传递完成后，芯片会回到待命状态。

下图为连续转换帧在不包含 CRC 校验且片选一直保持低电平的时序，若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。

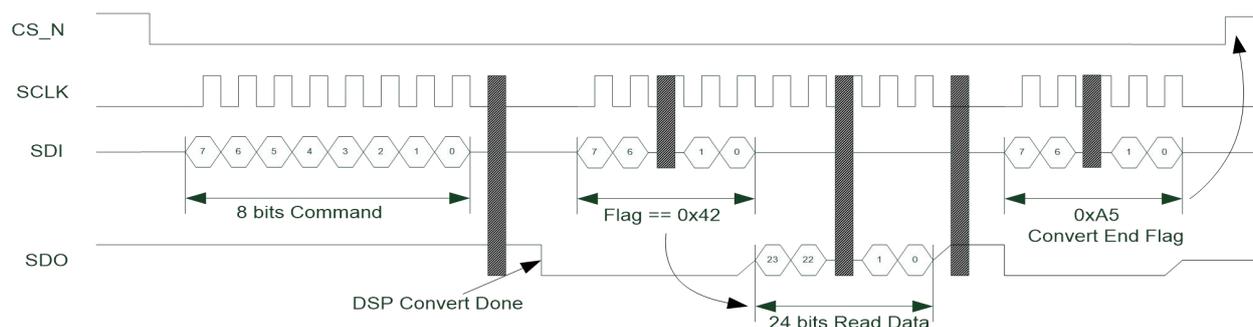


Figure 4-8 SPI 连续转换帧时序，片选保持低电平（不包含 CRC 校验）

下图为连续转换帧在不包含 CRC 校验，但是片选在转换等待时间可以切为高电平的时序（寄存器 CSHIGH_MODE 需为 1），在此模式下，片选只可在读完 24 bits 数据后举高，不可以在前面 8 bits dummy byte 或是读取数据过程中举高。若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。

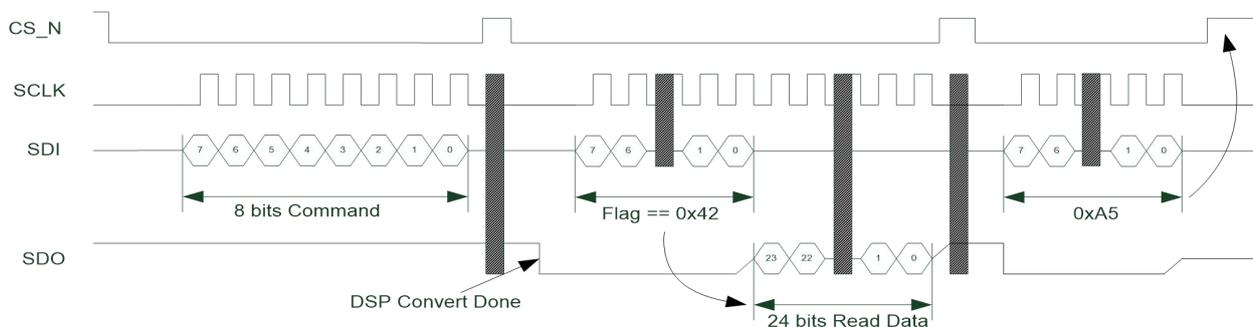


Figure 4-9 SPI 连续转换帧时序，片选可切为高电平（不包含 CRC 校验）

4.3. SPI CRC 校验

当 SYS_CONF0 的 CKS_EN 位置被设置为 1 后，SPI 接口会进入 CRC 校验模式，包含读写帧与转换帧都会包含 CRC 校验帧。CRC 校验帧是针对写入或是读出数据做保护，每个 24 或 32 bits 数据都须计算其 CRC8 的结果。CRC8 是参考下面的公式进行运算：

$$\text{CRC8} = X^8 + X^2 + X + 1$$

CRC8 的运算公式可以参考下面的范例程序

```

if (len == 24)
    shift_reg = data << 8;
else
    shift_reg = data;

crc8 = 0x0;

for (i=0; i<len; i=i+1) {
    if ( (crc8 >> 7) != (shift_reg >> 31) )
        crc8 = ( (crc8 << 1) ^ 0x07) & 0xFF;
}

```

```

else
    crc8 = (crc8<<1)&0xFF;

    shift_reg <<= 1;
}

```

举例来说，当数据为 0x654321 (24 bits) 的情况，其 CRC8 的结果会是 0x86。在每个 24 或是 32 bits 数据后端，都需要加上 CRC 校验帧，若 CRC 校验不符合，则该命令会被忽略（写帧），或是该数据为无效数据（读帧或是转换帧）。

下图为单一寄存器写帧在包含 CRC 校验的时序

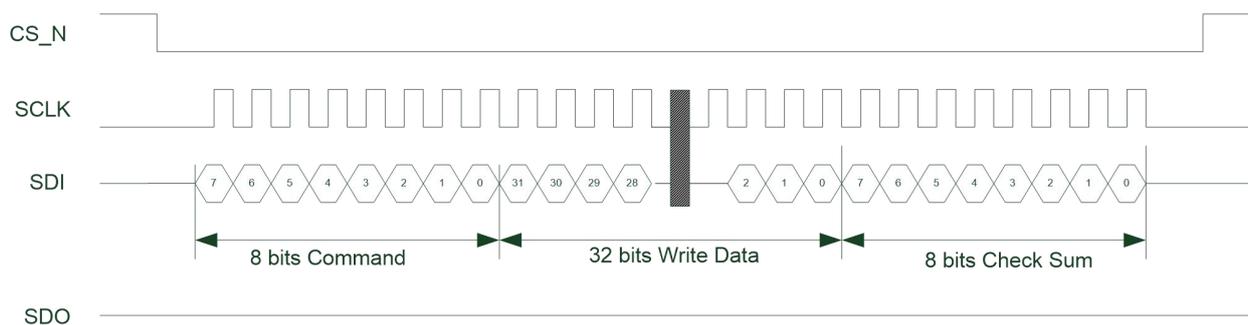


Figure 4-10 SPI 单一寄存器写帧时序（包含 CRC 校验）

下图为单一寄存器读帧在包含 CRC 校验的时序

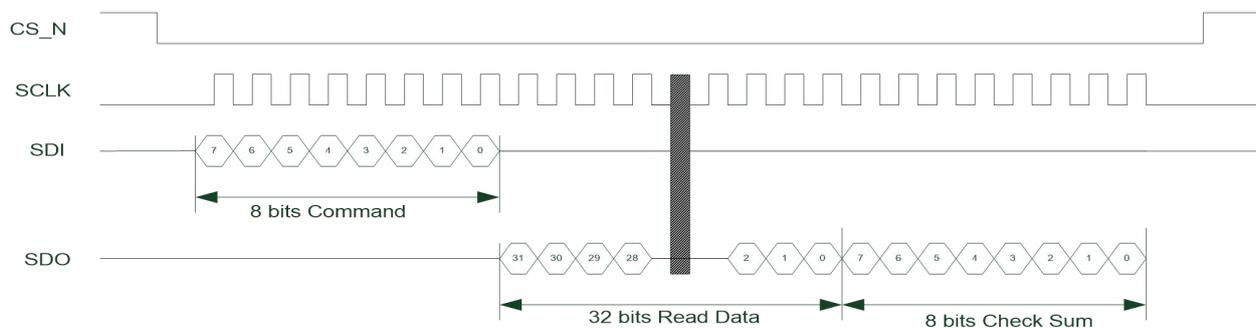


Figure 4-11 SPI 单一寄存器读帧时序（包含 CRC 校验）

下图为连续寄存器写帧在包含 CRC 校验的时序

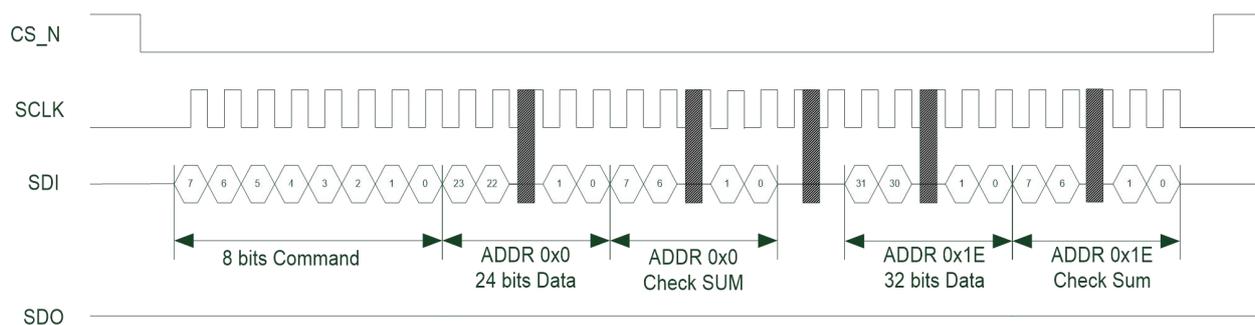


Figure 4-12 SPI 连续寄存器写帧时序 (包含 CRC 校验)

下图为连续寄存器读帧在包含 CRC 校验的时序

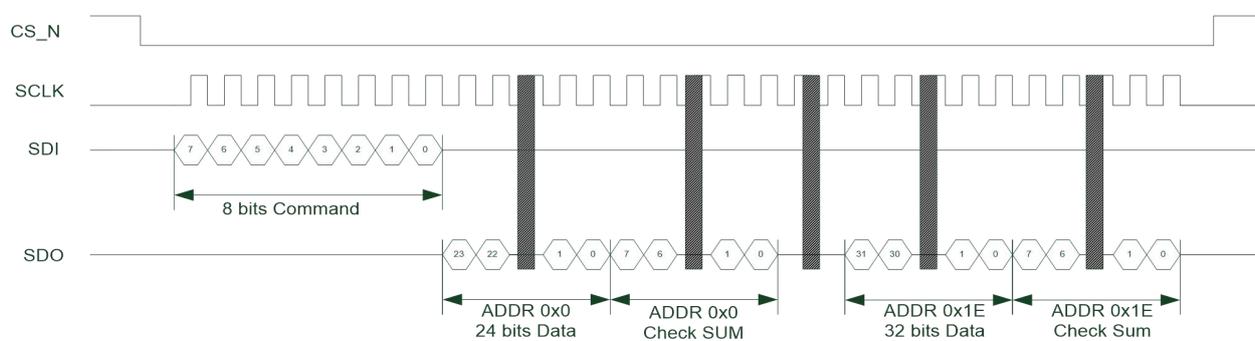


Figure 4-13 SPI 连续寄存器读帧时序 (包含 CRC 校验)

下图为单一转换帧在包含 CRC 校验的时序

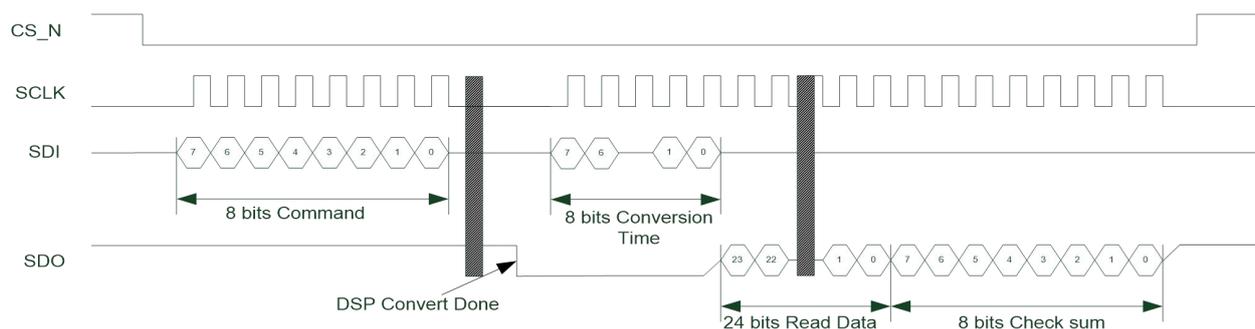


Figure 4-14 SPI 单一转换帧时序 (包含 CRC 校验)

下图为连续转换帧在包含 CRC 校验且片选一直保持低电平的时序，若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。若是出现 CRC 校验错误状况，可将片选置 1 再置 0 后继续重新等待下次 DSP 转换完成。

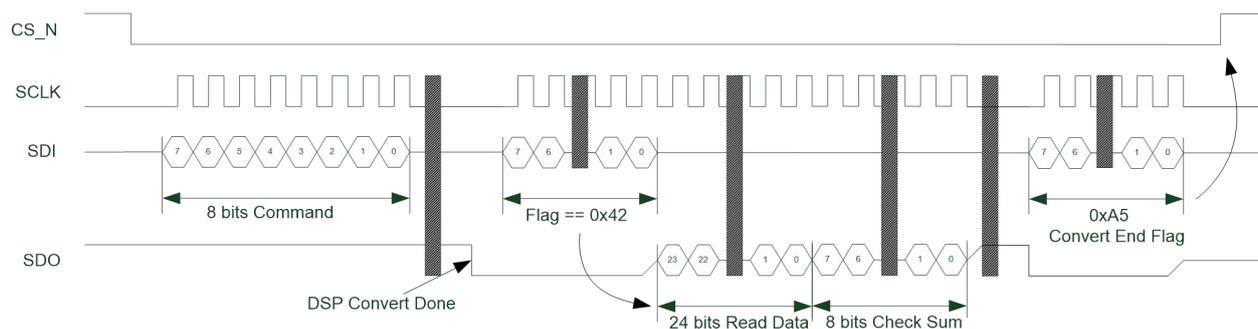


Figure 4-15 SPI 连续转换帧时序，片选保持低电平（包含 CRC 校验）

下图为连续转换帧在包含 CRC 校验但是片选在转换等待时间可以切为高电平的时序（CSHIGH_MODE 需为 1），在此模式下，片选只可在读完 8 bits CRC 校验后后举高，不可以前面 8 bits dummy byte 或是读取数据过程中举高。若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。若是出现 CRC 校验错误状况，可将片选置 1 再置 0 后继续重新等待下次 DSP 转换完成。

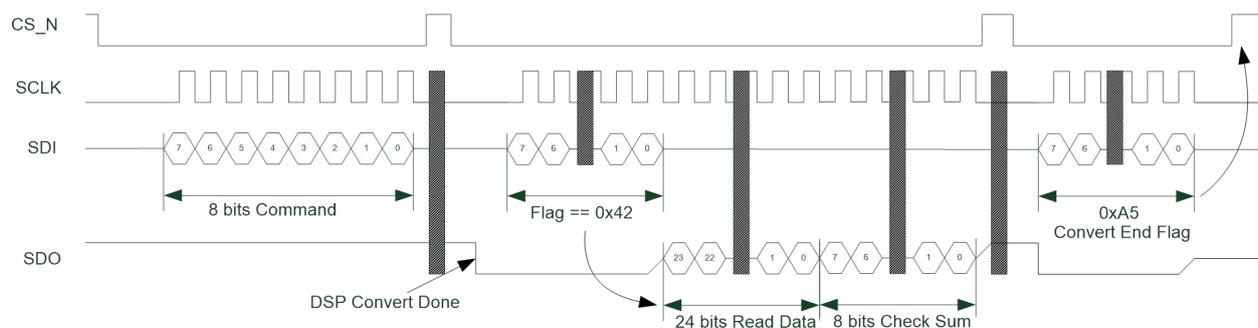


Figure 4-16 SPI 连续转换帧时序，片选可切为高电平（包含 CRC 校验）

4.4. SPI 转换状态

因为 HCT6913A1 支持每次可以选择多种转换设置，为了分辨此次输出是属于哪组设置，可以在输出数据后面加上 SYS_CONF0[7:0]，此功能可以由 STAT_EN (SYS_CONF0 bit 21) 打开，此功能可以与 CRC 校验同时开启。

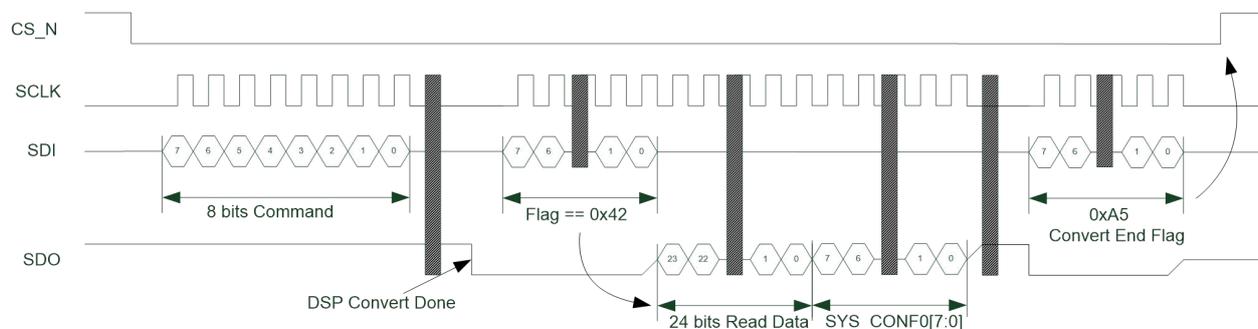


Figure 4-17 SPI 转换状态使能时序（不包含 CRC 校验）

4.5. SPI 接口复位

在四线模式下，也就是 SPI 片选是存在的状况，CSHIGH_MODE 置 0 时，芯片处在连续转换模式下，只要片选被置 1，就会退出连续转换模式；当 CSHIGH_MODE 置 1 时 (SYS_CONF0 bit 24)，则片选置 1，并不会退出连续转换模式。且片选为 1 状况下，SDO 接口会浮空，同时所有 SCLK 均会被忽略，若要跳出此模式，需等到片选置 0，且利用正常的连续转换终止指令（在 DUMMY Byte 时间于 SDI 输入 0xA5），或是利用下面提到的强制复位模式来跳出连续转换模式。

在三线模式下，SPI 片选永远接地，首先板上需要确定 SCLK 不受干扰，建议在板上对 SCLK 做 10Kohm 下拉，第一次上电完成后，原则上内部 POR 会将 SPI 接口复位，但是建议可以在 SDI 上打入 Byte 0 = 0x00, Byte 1 = 0xA5, Byte 2 = 0xFF, Byte 3 = 0x5A，连续 32 个时钟的信号强制 SPI 接口复位后开始使用。0x00A5FF5A 指令可在任何时候生效。复位完成后等待 1us 后可以重新开始操作 SPI 指令。

4.6. SPI 接口时序

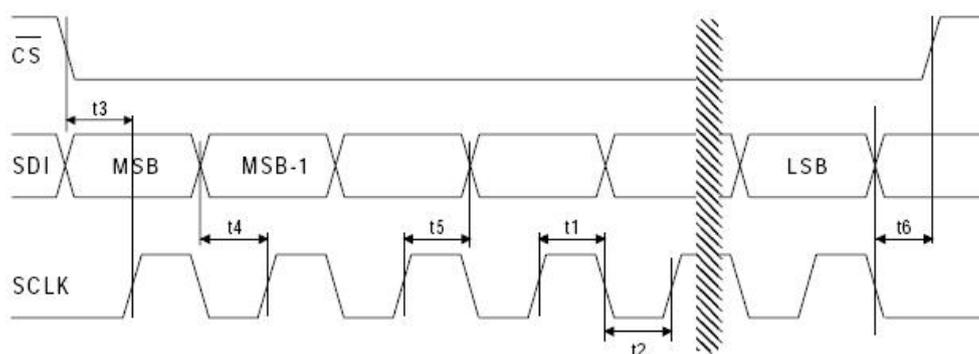


Figure 4-18 SPI 写时序

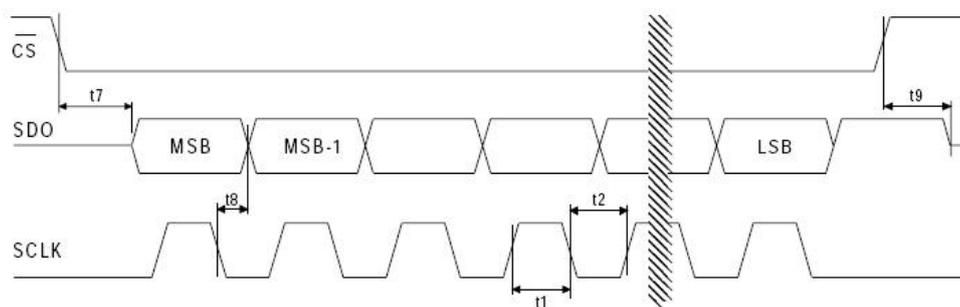


Figure 4-19 SPI 读时序

Table 4-6 SPI 接口时序特性

	标识	最小	典型	最大	单位
SPI 时序					
SPI 时钟频率	SCLK	0		10	MHz
SPI 时钟脉宽	t1(高)	50			ns
	t2(低)	50			ns
SDI 写时序					
CS_N 片选到第一个时钟延时	t3	10			ns
DATA 领先时钟上升沿的建立时间	t4	10			ns
DATA 在时钟沿后的稳定时间	t5	20			ns
时钟下降沿后到 CS_N 上升的延时	t6	20			ns
SDI 读时序					
CS_N 信号变低到有效数据	t7			30	ns
SCLK 下降沿到新数据输出延时	t8			30	ns
CS_N 信号变高到 SDO 进高阻态的延时	t9			30	ns

SPI 写入数据的时候，SDI 的数据是在 SCLK 的下降沿变化，以便在芯片写入寄存器的时候有足够的建立和保持时间。芯片内部电路在 SCLK 上升沿去读取 SDI 数据，并填入相应的内部寄存器中。

SPI 读出数据的时候，CS_N 下降之后即通过 SDO 送出数据，由 MCU 产生 SCLK 去读。SDO 的数据变化是在 SCLK 下降沿之后变化。

5. 寄存器描述

5.1. 寄存器地址

HCT6913内共有32个24或32 bits寄存器，可以通过读写帧的ADDR，来选择要读取或是写入的位置，下表列出各个寄存器对应的地址与初始值。

Table 5-1 寄存器地址表

地址	名称	类型	位宽	描述	初始值
0x00	OS_CH0	R/W	24	ADC转换设置0 Offset设置	0x000000
0x01	GAIN_CH0	R/W	24	ADC转换设置0 Gain设置	0x400000
0x02	OS_CH1	R/W	24	ADC转换设置1 Offset设置	0x000000
0x03	GAIN_CH1	R/W	24	ADC转换设置1 Gain设置	0x400000
0x04	OS_CH2	R/W	24	ADC转换设置2 Offset设置	0x000000
0x05	GAIN_CH2	R/W	24	ADC转换设置2 Gain设置	0x400000
0x06	OS_CH3	R/W	24	ADC转换设置3 Offset设置	0x000000
0x07	GAIN_CH3	R/W	24	ADC转换设置3 Gain设置	0x400000
0x08	OS_CH4	R/W	24	ADC转换设置4 Offset设置	0x000000
0x09	GAIN_CH4	R/W	24	ADC转换设置4 Gain设置	0x400000
0x0A	OS_CH5	R/W	24	ADC转换设置5 Offset设置	0x000000
0x0B	GAIN_CH5	R/W	24	ADC转换设置5 Gain设置	0x400000
0x0C	OS_CH6	R/W	24	ADC转换设置6 Offset设置	0x000000
0x0D	GAIN_CH6	R/W	24	ADC转换设置6 Gain设置	0x400000
0x0E	OS_CH7	R/W	24	ADC转换设置7 Offset设置	0x000000
0x0F	GAIN_CH7	R/W	24	ADC转换设置7 Gain设置	0x400000
0x10	D_TARG	R/W	24	增益校准目标寄存器	0x7FFFFFFF

0x11	CONV_CONF0	R/W	32	CONF0转换设置寄存器	0x00000000
0x12	CONV_CONF1	R/W	32	CONF1转换设置寄存器	0x00000000
0x13	CONV_CONF2	R/W	32	CONF2转换设置寄存器	0x00000000
0x14	CONV_CONF3	R/W	32	CONF3转换设置寄存器	0x00000000
0x15	CONV_CONF4	R/W	32	CONF4转换设置寄存器	0x00000000
0x16	CONV_CONF5	R/W	32	CONF5转换设置寄存器	0x00000000
0x17	CONV_CONF6	R/W	32	CONF6转换设置寄存器	0x00000000
0x18	CONV_CONF7	R/W	32	CONF7转换设置寄存器	0x00000000
0x19	CONV_CONF8	R/W	32	CONF8转换设置寄存器	0x00000000
0x1A	CONV_CONF9	R/W	32	CONF9转换设置寄存器	0x00000000
0x1B	SYS_CONF0	R/W	32	系统设置寄存器0	0x00008000
0x1C	SYS_CONF1	R/W	32	系统设置寄存器1	0x00000000
0x1D	SYS_CONF2	R/W	32	系统设置寄存器2	0x00000000
0x1E	SYS_CONF3	R/W	32	系统设置寄存器3	0x00000000
0x1F	CONV_DATA	R	24	转换数据寄存器	--

5.2. OS_CHx/GAIN_CHx 寄存器

OS_CHx 与 GAIN_CHx 是用来储存相对应 CONV_CONFx 转换设置 (x=0 ~ 7) 的 Offset 与 Gain 校准值。

Table 5-2 OS_CHx/OS_TEMP 定义

位置	名称	类型	描述	初始值
23:0	OS_CHx	R/W	ADC 转换设置 x(0 ~ 7) 的 Offset 校准值, 此校准值可由主控端填入或是在进行 Offset 自校准或是系统校准时由芯片自动更新, 此校准值为 24 bits 有符号数, 在进行标准模式转换完成后, 会先减掉此 Offset 值后再进行增益校准, 下面列出各种数值代表意义 0x000000: 偏差 0 0x400000: 正半量程(+0.50)	0x000000

			0x7FFFFFFF: 正满量程(+1.00)	
			0xC00000: 负半量程(-0.50)	
			0x800000: 负满量程(-1.00)	

Table 5-3 GAIN_CHx/GAIN_TEMP 定义

位置	名称	类型	描述	初始值
23:0	GAIN_CHx	R/W	ADC 转换设置 x(0 ~ 7) 的 Gain 校准值，此校准值可由主控端填入或是在进行 Gain 系统校准时由芯片自动更新，此校正值为 24 bit 无符号数，在进行标准模式转换后，会先减掉 Offset 校准值后再乘上此增益校准值，下面列出各种数值代表意义 0x200000: Gain = 0.5 0x400000: Gain = 1.00 0x600000: Gain = 1.50 0x800000: Gain = 2.00	0x400000

实际进行 ADC 转换时，每组 CONV_CONFx 会对应到不同的校准值，可以参考下表说明。

Table 5-4 校准值选择表

CONV_CONFx	使用的校准值
0	OS_CH0, GAIN_CH0
1	OS_CH1, GAIN_CH1
2	OS_CH2, GAIN_CH2
3	OS_CH3, GAIN_CH3
4	OS_CH4, GAIN_CH4
5	OS_CH5, GAIN_CH5
6	OS_CH6, GAIN_CH6
7	OS_CH7, GAIN_CH7
8	温度传感器专用通道
9	OS=0x000000, GAIN=0x400000

5.3. CONV_CONFx 寄存器

CONV_CONFx (x=0 ~ 9) 是用来储存转换设置的寄存器，芯片内共有十组转换设置可以随时调用，其中只要该组设置的使能位为 1，则该组设置会在每次单一转换或是每个连续转换的循环里被触发。举例来说，若第 1/3/5 组转换位置被使能，则每次单一转换开始时，会连续进行 1/3/5 三组设置的转换，也就是会输出三笔数据后转换才会停止。若是连续转换，则会以 1/3/5/1/3/5/1/3/5 这样的顺序连续输出数据。在每次开始转换之前，主控端需要先将相对应的转换设置寄存器设置好。下表列出 CONV_CONFx 之具体定义。

测温的时候，需使用 CONV_CONF8，且设置 VPSEL 和 VNSEL 为 TEMP 选项，REFSEL 选内部基准。

Table 5-5 CONV_CONFx 定义

位置	名称	类型	描述	初始值
31	CONV_EN	R/W	转换使能 0: 关闭该设置 1: 使能设置，每次转换命令后，该设置会被启动	0x0
30:24			保留	0x0

23:20	DR	R/W	ADC 数据输出码率选择 当 SYS_CONF1 的 FR_SEL = 0 时 (50Hz 模式)，输出频率如下表 0x0: 6400Hz 0x1: 3200Hz 0x2: 1600Hz 0x3: 800Hz 0x4: 400Hz 0x5: 200Hz 0x6: 100Hz 0x7: 50Hz 0x8: 25Hz 0x9: 12.5Hz 0xA: 6.25Hz 0xB~0xF: 3.125Hz 当 FR_SEL=1 时，输出频率为上表乘 1.2	
19:18			保留	
17:16	FLIT_TYPE	R/W	滤波器类型选择 0: 选择一阶滤波器 1: 选择三阶滤波器 2: 选择 50/60Hz 抑制滤波器 3: 保留	0x0
15:14	REFSEL	R/W	ADC 基准电压选择 0: 无 1: REFP2/REFN2 2: 内部基准 3: AVDD/AVSS; 每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x0
13	SIGBUF_ENN	R/W	输入信号 BUFFER 使能 0: 打开 1: 关闭	0x0

			每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	
12	REFBUF_ENN	R/W	基准 BUFFER 使能 0: 打开 1: 关闭 每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x0
11	BURNOUT	R/W	输入信号端开路检测 0: 关闭开路检测功能 1: 芯片内部往选中的 ADC 正端引脚流出 0.5uA 电流，往选中的 ADC 负端引脚流入 0.5uA 电流，检测输入信号源是否开路。如果开路，ADC 输入信号将变得很大 每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x0
10:8	GA	R/W	ADC 模拟增益选择 0x0: x1 0x1: x2 0x2: x4 0x3: x8 0x4: x16 0x5: x32 0x6: x64 0x7: x128 每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x0
7:4	VNSEL	R/W	ADC 负端信号来源选择 0x0: AIN0 0x1: AIN1 0x2: AIN2 0x3: AIN3 0x4: AIN4 0x5: AIN5 0x6: AIN6	0x0

			0x7: AIN7 0x8: TEMP 0x9~0xF: AVSS 每次开始转换后, 该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	
3:0	VPSEL	R/W	ADC 正端信号来源选择 0x0: AIN0 0x1: AIN1 0x2: AIN2 0x3: AIN3 0x4: AIN4 0x5: AIN5 0x6: AIN6 0x7: AIN7 0x8: TEMP 0x9: LDO 0xA: DVDD/2 0xB: AVDD/2 0xC~0xF: AVSS 每次开始转换后, 该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x0

5.4. SYS_CONFx 寄存器

SYS_CONFx (x=0~3) 为系统相关的配置寄存器, 主控端需要在开机完成后先完成正确的系统配置。

5.4.1. SYS_CONF0

D31	D30	D29	D28	D27	D26	D25	D24
RS_SYS		FILT_MODE		CALL_EN		ARRAY	CSHIGH_MODE
D23	D22	D21	D20	D19	D18	D17	D16

		STAT_EN	ADSAT_EN	SPICKCNT_EN	CKS_EN		REGCK_EN
D15	D14	D13	D12	D11	D10	D9	D8
RS_V			ADSAT_ERR	SPICKCNT_ERR	CKS_ERR		REGCK_ERR
D7	D6	D5	D4	D3	D2	D1	D0
CONV_SQ<3>	CONV_SQ<2>	CONV_SQ<1>	CONV_SQ<0>		REF_ERR	PWLV_ERR	ERR_ALL

Table 5-6 SYS_CONFO 定义

位置	名称	类型	描述	初始值
31	RS_SYS	R/W	系统全局复位（不包含 SPI 接口部分），当此位置被写入 1 之后，会进行系统全局复位，此位置会在 10ms 后自动清 0 写入 0: 无效果 写入 1: 开始全局复位 读取 0: 全局复位已完成 读取 1: 全局复位进行中	0x0
30			保留	0x0
29	FILT_MODE	R/W	仅在使用 50/60Hz 滤波器，且需多通道扫描转换的时候配置为 1	0x0
28			保留	0x0
27	CALI_EN	R/W	芯片校准命令帧使能 0: 不接收芯片校准命令帧，即使收到也不响应 1: 接收芯片校准命令帧	0x0
26			保留	0x0
25	ARRAY	R/W	寄存器存取方式选择 0: 单个地址读写 1: 全部地址连续读写（0x00~0x1E）	0x0
24	CSHIGH_MODE	R/W	SPI 片选模式选择 0: 关闭 SPI 片选可置 1 模式，当连续转换模式时，只要 SPI 片选置 1，即会退出连续转换模式 1: 开启 SPI 片选可置 1 模式，当连续转换模式时，当 SPI 片选置 1，不会退出连续转换模式，当 SPI 片选再度置 0 时，会继续之前的连续转换模式，直到收到停止连续转换模式之指令	0x0

			(0xA5@Dummy byte)	
23:22			保留	
21	STAT_EN	R/W	ADC 数据状态输出使能 0: 不使能 1: 每次转换完数据后，在 24 bits ADC 数据后，会再输出 SYS_CONF0 bit[7:0]，此时若有开启 CRC 校验功能，会再根据前面 32 bits 输出 CRC 校验	0x0
20	ADSAT_EN	R/W	ADC 数据饱和检测使能 0: 不使能 1: 当 ADC 输出连续 30 个点为 0 或 1 时，ADSAT_ERR 置 1	0x0
19	SPICKCNT_EN	R/W	SPI 时钟数目检测使能 0: 不使能 1: 在 SPI 通讯时对 SCLK 进行计数，若每轮通讯结束后总时钟数不是 8 的倍数，则 SPICKCNT_ERR 置 1。此检测只能在 SPI 4 线模式（有 CSN）状况下作用	0x0
18	CKS_EN	R/W	SPI 接口 CRC 校验使能 0: 关闭 SPI 接口 CRC 校验 1: 开启 SPI 接口 CRC 校验	0x0
17			保留	0x0
16	REGCK_EN	R/W	寄存器 CRC 校正使能 0: 不使能 1: 使能内部寄存器 CRC 校正，每次单一转换完成后或是连续转换停止时，会对寄存器 0x00~0x1D 进行 CRC 检测，当 CRC 检测错误时，会将 REGCK_ERR 置 1	0x0
15	RS_V	R	复位有效标志 0: 上次复位失败，主控需要重新进行全局复位 1: 上次复位成功	0x1
14:13			保留	
12	ADSAT_ERR	R	ADC 饱和错误，此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: ADC 饱和错误	0x0

11	SPICKCNT_ERR	R	SPI 时钟数目检测错误, 此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: SPI 时钟数目错误	0x0
10	CKS_ERR	R	SPI 奇校验或 CRC 校验错误, 此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: 表示最后一次接收到的命令奇校验错误或是数据的 CRC 校验错误	0x0
9			保留	0x0
8	REGCK_ERR	R	寄存器自校验错误, 此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: 寄存器自校验错误	0x0
7:4	CONV_SQ	R	当前转换的转换设置寄存器序号 0: 对应 CONV_CONF0 1: 对应 CONV_CONF1 ... 9: 对应 CONV_CONF9	0x0
3			保留	0x0
2	REF_ERR	R	基准源电压过低 0: 基准源电压正常 1: 基准源电压过低	0x0
1	PW_LV	R	芯片电源欠压检测 0: 芯片电源在 3V 以上 1: 芯片电源已掉到 3V 以下	0x0
0	ERR_ALL	R	上述状态寄存器里, 若 RS_V=0 或是其他错误状态任一为 1, 则此位置 1	0x0

5.4.2. SYS_CONF1

D31	D30	D29	D28	D27	D26	D25	D24
-----	-----	-----	-----	-----	-----	-----	-----

CKSRSEL<1>	CKSRSEL<0>						
D23	D22	D21	D20	D19	D18	D17	D16
ADCKSEL<0>	ADCKSEL<1>	FR_SEL		REFDET_EN			
D15	D14	D13	D12	D11	D10	D9	D8
POWD	IIT1	IIT0					
D7	D6	D5	D4	D3	D2	D1	D0
REF2P5_EN	ADCPDN	PWRDET	IDT				

Table 5-7 SYS_CONF1 定义

位置	名称	类型	描述	初始值
31:30	CKSRSEL	R/W	时钟源选择 0: 选择内部 RC, 且 RC 时钟不从 CLK 引脚送出 1: 选择内部 RC, 且 RC 时钟从 CLK 引脚送出 2: 选择外部 CLK 引脚输入的时钟 3: 禁止配置	0x0
29:24			保留	0x0
23:22	ADCKSEL	R/W	ADC 工作频率选择, DR 寄存器所对应的输出 0: 默认频率 1: 工作频率除 2, 此时 DR 寄存器所对应的数据率也相应除 2 2: 工作频率乘 2, 此时 DR 寄存器所对应的数据率也相应乘 2 3: 保留	0x0
21	FR_SEL	R/W	频率模式选择 0: 50Hz 模式 1: 60Hz 模式, 此时 DR 寄存器对应频率都乘 1.2	0x0
20			保留	0x0
19	REFDET_EN	R/W	REF 检测使能 0: 不使能 1: 使能, 当正使用的 REF 低于 0.6V 时, REF_ERR 置 1	0x0

18:16			保留	0x0
15	POWD	R/W	睡眠模式选择 0: 正常工作模式 1: 睡眠模式 (无法进行转换)	0x0
14	IIT1	R/W	增加 PGA 电流, 用于高功率模式 0:默认 1:增加约 80uA	0x0
13	IIT0	R/W	增加 ADC 电流, 用于高功率模式 0:默认 1:增加约 60uA	0x0
12:8			保留	0x0
7	REF2P5_EN	R/W	内部 2.5V 基准源使能 0: 不使能 1: 使能	0x0
6	ADCPDN	R/W	ADC 模拟模块使能, 此寄存器会在开始转换时自动开关 ADC, 但是主控端也可以强制打开 ADC 读取 0: ADC 已关闭 读取 1: ADC 已使能 写入 0: 无作用 写入 1: 强制使能 ADC (测试用)	0x0
5	PWRDET	R/W	电源欠压检测使能 0: 不使能 1: 使能	0x0
4	IDT	R/W	偏置电流调节, 用于低功率模式 0: 默认; 1: 降低约 100uA;	0x0
3:0			保留	0x0

5.4.3. SYS_CONF2

D31	D30	D29	D28	D27	D26	D25	D24
D23	D22	D21	D20	D19	D18	D17	D16
VB7_EN	VB6_EN	VB5_EN	VB4_EN	VB3_EN	VB2_EN	VB1_EN	VB0_EN
D15	D14	D13	D12	D11	D10	D9	D8
	IDAC1_CH<2>	IDAC1_CH<1>	IDAC1_CH<0>		IDAC0_CH<2>	IDAC0_CH<1>	IDAC0_CH<0>
D7	D6	D5	D4	D3	D2	D1	D0
SHI	IDAC1<2>	IDAC1<1>	IDAC1<0>		IDAC0<2>	IDAC0<1>	IDAC0<0>

Table 5-8 SYS_CONF2 定义

位置	名称	类型	描述	初始值
31:24			保留	0x0
23:16	VBx_EN	R/W	VBIAS (为 $(AVDD-AVSS)/2$) 输出使能, 对应到 AIN7~AIN0 0: 不使能 1: 将 VBIAS 偏置电压输出到 AINx	0x0
15			保留	
14:12	IDAC1_CH	R/W	电流源 IDAC1 输出信号通道选择, 需配置为 1	0x0
11			保留	
10:8	IDAC0_CH	R/W	电流源 IDAC0 输出信号通道选择, 需配置为 0	0x0
7	SHI	R/W	ADC 输入内部短路, 此寄存器会在进行 Offset 校准时自动置 1, 校准完成后会回复原本设定值, 软件设置此寄存器为 1 后会强制使能短路功能 0: 不使能 1: 使能	0x0
6:4	IDAC1	R/W	电流源 IDAC1 电流大小选择 0: 0uA	0x0

			1: 10uA 2: 50uA 3: 200uA 4: 500uA 5: 1000uA 6: 1500uA 7: 1500uA	
3			保留	
2:0	IDAC0	R/W	电流源 IDAC0 电流大小选择 0: 0uA 1: 10uA 2: 50uA 3: 200uA 4: 500uA 5: 1000uA 6: 1500uA 7: 1500uA	

5.4.4. SYS_CONF3

D31	D30	D29	D28	D27	D26	D25	D24
D23	D22	D21	D20	D19	D18	D17	D16
		PHA<5>	PHA<4>	PHA<3>	PHA<2>	PHA<1>	PHA<0>
D15	D14	D13	D12	D11	D10	D9	D8
REFSEL<1>	REFSEL<0>	SIGBUF_ENN	REFBUF_ENN	BURNOUT	GA<2>	GA<1>	GA<0>
D7	D6	D5	D4	D3	D2	D1	D0
VNSEL<3>	VNSEL<2>	VNSEL<1>	VNSEL<0>	VPSEL<3>	VPSEL<2>	VPSEL<1>	VPSEL<0>

Table 5-9 SYS_CONF3 定义

位置	名称	类型	描述	初始值
31:22			保留	
21:16	PHA	R/W	ADC 码流相位延时，对 ADC 码流信号进行延时 0: 不延时 1: 延后 1 个 ADC 时钟 2: 延后 2 个 ADC 时钟 ... 63: 延后 63 个 ADC 时钟	0x0
15:14	REFSEL	R	ADC 基准电压选择，此寄存器的值会由当前选择的转换配置寄存器赋值过来 0: REFP2/REFN2 1: REFP2/REFN2 2: 内部基准 3: AVDD/AVSS	0x0
13	SIGBUF_ENN	R	信号 BUFFER 使能，此寄存器的值会由当前选择的转换配置寄存器赋值过来 0: 打开 1: 关闭	0x0
12	REFBUF_ENN	R	基准 BUFFER 使能，此寄存器的值会由当前选择的转换配置寄存器赋值过来 0: 打开 1: 关闭	0x0
11	BURNOUT	R	输入信号端开路检测，此寄存器的值会由当前选择的转换配置寄存器赋值过来 0: 关闭开路检测功能 1: 芯片内部往选中的 ADC 正端引脚流出 0.5uA 电流，往选中的 ADC 负端引脚流入 0.5uA 电流，检测输入信号源是否开路。如果开路，ADC 输入信号将变得很大	0x0
10:8	GA	R	ADC 模拟增益选择，此寄存器的值会由当前选择的转换配置寄存器赋值过来 0x0: x1	0x0

			0x1: x2 0x2: x4 0x3: x8 0x4: x16 0x5: x32 0x6: x64 0x7: x128	
7:4	VNSEL	R	ADC 信号负端选择，此寄存器的值会由当前选择的转换配置寄存器赋值过来 0x0: AIN0 0x1: AIN1 0x2: AIN2 0x3: AIN3 0x4: AIN4 0x5: AIN5 0x6: AIN6 0x7: AIN7 0x8: TEMP 0x9~0xF: AVSS	0x0
3:0	VPSEL	R	ADC 信号正端选择，此寄存器的值会由当前选择的转换配置寄存器赋值过来 0x0: AIN0 0x1: AIN1 0x2: AIN2 0x3: AIN3 0x4: AIN4 0x5: AIN5 0x6: AIN6 0x7: AIN7 0x8: TEMP 0x9: LDO 0xA: DVDD/2	0x0

			0xB: AVDD/2 0xC~0xF: AVSS	
--	--	--	------------------------------	--

5.5. D_TARG 寄存器

D_TARG 寄存器为 GAIN 校准时需要用到的寄存器，详情请见校准单元。

Table 5-10 D_TARG 定义

位置	名称	类型	描述	初始值
23:0	D_TARG	R/W	系统 Gain 校准之 ADC 期望值 0x400000: 正半量程(+0.50) 0x7FFFFFFF: 正满量程(+1.00)	0x7FFFFFFF

5.6. CONV_DATA 寄存器

CONV_DATA 寄存器为转换完成后数据储存的寄存器，详情请见校准单元。

Table 5-11 CONV_DATA 定义

位置	名称	类型	描述	初始值
23:0	DATA	R	ADC 转换结果 0x000000: 0 0x400000: 正半量程(+0.50) 0x7FFFFFFF: 正满量程(+1.00) 0xC00000: 负半量程(+0.50) 0x800000: 负满量程(-1.00)	--

AD 值为 24 位数据，最高位为符号位，电压转换公式为：

电压=AD 值/增益/2²³*基准电压

负数需要做补码处理：data = -(0xFFFFFFFF-data+1)，然后按照公式计算（data 为原始 AD 值）。

6. 芯片校准

6.1. 校准概述

芯片的校准分为两个部分，offset 校准和 gain 校准。

同时又分为自校准和系统校准两类，不管是自校准还是系统校准，用户都需先校准 offset，后校准 gain。

校准时也沿用 CONV_CONFx 寄存器里的 DR (Data Rate) 设置，如果时间允许客户应尽可能使用更低的数据率来进行 offset 校准和 gain 校准，以便得到更精确的校准值。如果期望校准值再精确（如 24BIT 以上的无噪声精度），可以由主控端多发起几次校准，每次校准后都将校准值读出，再取平均值，写入校准寄存器中。

在发送转换命令帧配置芯片进入校准模式之前，还需要将 SYS_CONF0 中的 CALI_EN 寄存器置'1'。

6.2. Offset 自校准

上位机通过转换命令帧配置芯片进入 offset 自校准模式后，芯片会自动将 SYS_CONF2 中的 SHI 寄存器置'1'，芯片将在内部将选中通道的输入端短路，此时 ADC 输入的信号为 0 信号，然后以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值，所测得的 ADC 转换值即为芯片自身所具有的 offset，芯片将自动将该 offset 值填入相应通道的 offset 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

校准完成芯片会将系统寄存器中的 SHI 寄存器置'0'。

6.3. Offset 系统校准

上位机通过转换命令帧配置芯片进入 offset 系统校准模式后，芯片将以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值。在此之前，用户需保证芯片外部所加信号为 0，此时所测得的值即为系统 offset，芯片将自动将该 offset 值填入相应通道的 offset 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

6.4. Gain 系统校准

上位机通过转换命令帧配置芯片进入 gain 系统校准模式后，芯片将以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值。在此之前，用户需保证芯片外部所加信号幅度达到满量程的 10% 以上（最好为 20%~50% 之间）。同时用户将该输入信号下所期望的理想 ADC 值填入 ADC 目标寄存器 D_{targ} 中。

ADC 转换完成后，ADC 经滤波器得到的值为 D_{ori} ，首先将减掉对应通道中的 offset 寄存器值（校准时先校准 offset，此时该通道的 offset 值已经是准确值）， $D_{out} = D_{ori} - OS_CHx$ 。然后计算 $GAIN_CHx = (D_{targ} / D_{out}) * 2^{22}$ ，并自动将 GAIN_CHx 填入相应通道的 gain 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

6.5. 正常转换时的数据校准

正常转换时，假设 ADC 经滤波器得到的值为 D_{ori} ，根据转换设置寄存器里的配置，该次转换对应选择的 offset 和 gain 校准寄存器值分别为 OS_CHx 和 GAIN_CHx，则芯片将自动计算值，并将其填入转换数据寄存器。

7. 温度传感器

10 组 CONV_CONF_x 寄存器里，第 9 组(序号 x=8)是温度传感器专用通道，CONV_CONF8 的寄存器里，需开启转换使能，设置 VPSEL 和 VNSEL 为 TEMP 选项，REFSEL 选内部基准，DR 根据实际需要选择合适的数据率，其余设置保持默认即可。

根据读到的 CONV_CONF8 所对应的 ADC 转换数据 D_{temp} 即可计算温度值，公式为：

$$\text{Temp} = D_{temp} / 2^{12} \text{ (}^{\circ}\text{C)}$$

8. 应用信息

8.1. 利用热电偶测量温度

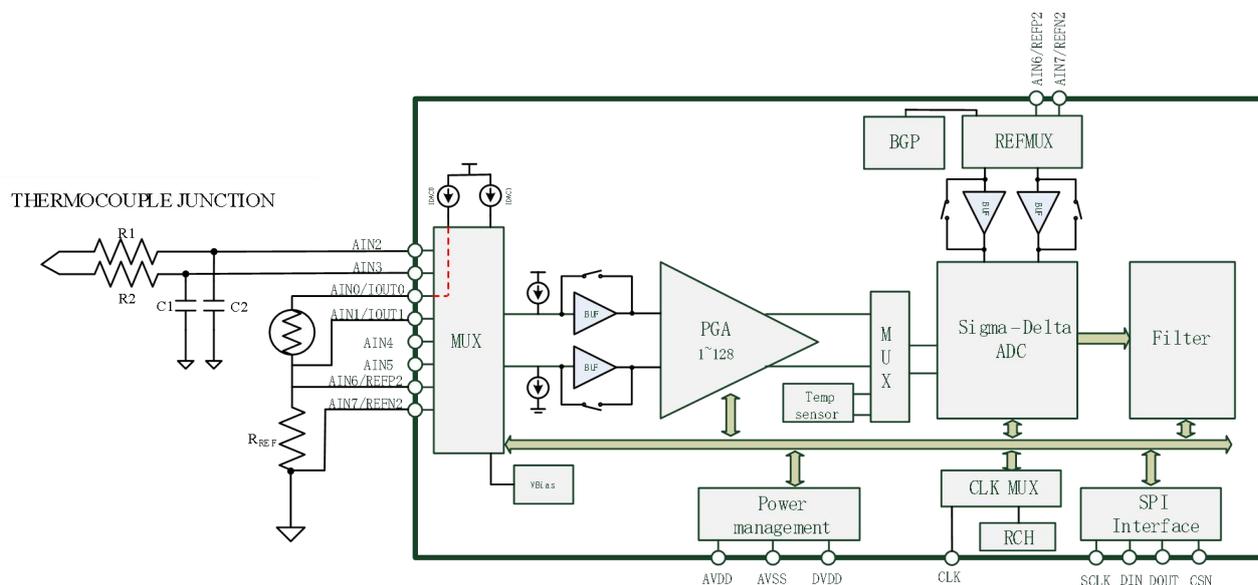


Figure 8-1 热电偶应用

图 8-1 是热电偶应用的示意图。

热电偶产生的信号为绝对电压信号量，因此应使用芯片内部精确基准电压用于该信号的转换。同时热电偶测温需要做冷结补偿，冷结测量的信号则与两个电阻的比值有关，因此需使用外部基准电压源用于该信号转换。

热电偶输出的信号较小，一般在 50mV 之内，因此可合理利用芯片内置的 1~128 倍 PGA，保证输入信号 V_{sig} 乘以 PGA 倍数，小于该次转换所使用的基准电压即可，即 $V_{sig} * PGA < \text{内部基准} (2.5V)$

芯片内部集成偏置电压发生器，可提供 $(AVDD - AVSS) / 2$ 的共模偏置电压，用来对热电偶信号进行偏置。对于以地为中心的热电偶电压，芯片也可以对其进行采样。

冷结补偿利用图 8-1 中的热敏电阻实现。芯片内输出一个偏置电流到热敏电阻，热敏电阻的下方还串联一个精密电阻。偏置电流将在热敏电阻和精密电阻上产生电压，分别为 $I * R$ 和 $I * R_{ref}$ 。将精密电阻两端连到 REFP2/REFN2 管脚，并将 REFP2/REFN2 设为热敏信号转换所用基准电压，则 ADC 采样值为 $I * R * Gain / (I * R_{ref}) * 2^{23} = R * Gain / R_{ref} * 2^{23}$ ，因此采样值只与两个电阻的比值有关，而与偏置电流的大小无关。

工作流程如下：

- 1) 上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。

- 2) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为热电偶信号通道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选内部基准）、增益（应选 64/128）、信号通道选择（正端选 AIN2，负端选 AIN3）等。信号 BUFFER 和基准 BUFFER 默认打开。

通过读写命令帧，配置另一个 CONV_CONFx 寄存器，将其作为热敏电阻信号通道的配置寄存器。暂时先不将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2 作为基准）、增益（根据实际信号选择）、信号通道选择（正端选 AIN0，负端选 AIN1）等。信号 BUFFER 和基准 BUFFER 默认打开。

- 3) 通过读写命令帧，配置 SYS_CONF2，将 VBIAS 输出到 AIN2 上。以及选择 1 个激励电流的大小，将该激励电流输出到 AIN0 引脚。
- 4) 通过发送转换命令帧（可以连续转换，也可以单次转换），此时 CONV_CONFx 里只使能了热电偶那路通道，因此 ADC 只对这路进行转换。转换完成后 RDY 变低，上位机读取数据。
- 5) 根据需要读取多个热电偶数据
- 6) 该应用需要隔段时间测试热敏电阻的数据，此时可将热电偶对应通道的 CONV_CONFx 使能位关闭，并打开热敏电阻对应 CONV_CONFx 的使能位。
- 7) 通过发送转换命令帧（单次转换即可），读取热敏信号的数据。读取完成后，再关闭热敏电阻通道 CONV_CONFx 的使能位，打开热电偶通道 CONV_CONFx 的使能位。
- 8) 重复上述 4~7 流程。
- 9) 再利用热电偶的线性化公式处理热电偶电压和热敏电阻电压，计算被测物体的实际温度。

图中省去了外部抗混叠滤波器，实际应用中建议加上，滤波器的 RC 器件应靠近芯片引脚，且布线采用差分方式。

- 10) 利用 HCT6913 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.2. 利用 RTD 测量温度

8.2.1. 3 线 RTD 测量

下图为 3 线 RTD 测量电路：

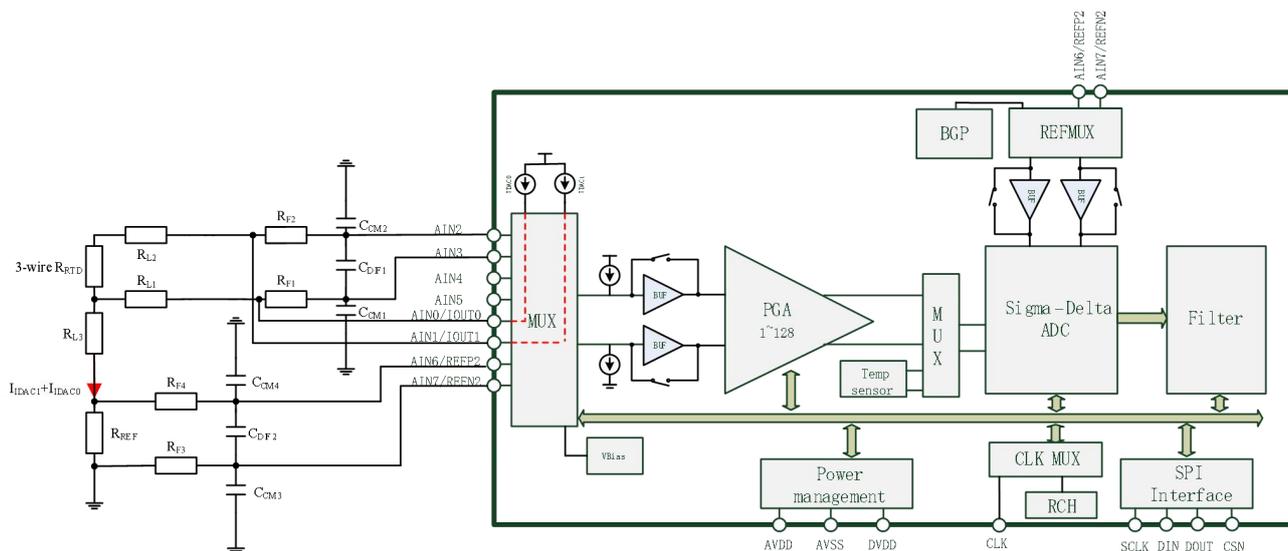


Figure 8-2 3 线 RTD 应用

图 8-2 是一种常用的 3 线 RTD 配置，同上文热电偶应用里的热敏电阻类似，其中 Rref 为参考的精密电阻。RL1 和 RL2 为寄生的走线电阻。AIN0 和 AIN1 里各输出一路电流源，为 IDAC0 和 IDAC1。IDAC0 流经 RL2 和 RTD，IDAC1 流经 RL1，IDAC0+IDAC1 流经 RL3 和 Rref。RTD 信号连至 AIN2/AIN3 进行测量。Rref 上的压降作为基准电压源连至 REFP2/REFN2。

PT100 测量的温度范围是 $-200^{\circ}\text{C}\sim+800^{\circ}\text{C}$ ， 0°C 时的电阻典型值为 100Ω ， 800°C 时约为 384.9Ω 。当激励电流设置为 $500\mu\text{A}$ 时，RTD 信号为：

$$500\mu\text{A} \times 384.9\Omega = 192.5\text{mV}$$

增益可设为 8，信号放大到 1.54V ，此时电阻 Rref 上产生的基准电压建议大于 $1.54*1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$1.54\text{V} * 1.1 / (2 * 500\mu\text{A}) = 1693.5\Omega$$

假设使用 $1.7\text{k}\Omega$ 电阻，则产生的基准电压为：

$$1.7\text{k}\Omega \times 2 \times 500\mu\text{A} = 1.7\text{V}$$

如果芯片是 5V 供电，则增益设置可设为 16 倍，信号放大到 3.08V ，此时电阻 Rref 上产生的基准电压建议大于 $3.08*1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$3.08\text{V} * 1.1 / (2 * 500\mu\text{A}) = 3387.5\Omega$$

假设使用 $3.4\text{k}\Omega$ 电阻，则产生的基准电压为：

$$3.4\text{k}\Omega \times 2 \times 500\mu\text{A} = 3.4\text{V}$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN0 上输出的 IDAC0 电压最高，为 $(RL3+R_{ref}) \cdot (IDAC0+IDAC1) + (RTD+RL1) \cdot IDAC0$ ，约为 3.6V，在 5V 供电下满足比电源低 0.8V 的要求。

工作流程如下：

- 1) 上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。
- 2) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为 RTD 信号通道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2）、增益、信号通道选择（正端选 AIN2，负端选 AIN3）等。信号 BUFFER 和基准 BUFFER 默认打开。
- 3) 通过读写命令帧，配置 SYS_CONF2，将激励电流 IDAC0 输出到 AIN0 引脚，IDAC1 输出到 AIN1 引脚，同时设置两个电流源的大小。
- 4) 通过发送转换命令帧（可以连续转换，也可以单次转换），转换完成后 RDY 变低，上位机读取数据。
- 5) 重复上述数据读取部分流程。

在处理器中实现 PT100 的线性化计算。

上图 $R_{F1}/R_{F2}/C_{CM1}/C_{CM2}/C_{DIF1}$ 组成输入信号端的抗混叠滤波器。滤波器电阻、电容应放置在靠近 AIN2/AIN3 引脚，且滤波电容的接地端与芯片地引脚之间要有充分可靠的连接。基准源端的抗混叠滤波器也是一样处理。

利用 HCT6913 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

三线 RTD 里第一个结构更推荐：结构 1 里，流过 RTD 和基准电阻的电流是完全一样的；结构 2 里，基准电阻的电流是 2 个电流源之和。虽然 2 个电流源匹配性还不错，但也有 0.1~0.2% 的偏差，理论上结构 1 更好。

8.2.2. 4 线 RTD 测量

下图为一种 4 线 RTD 测量电路：

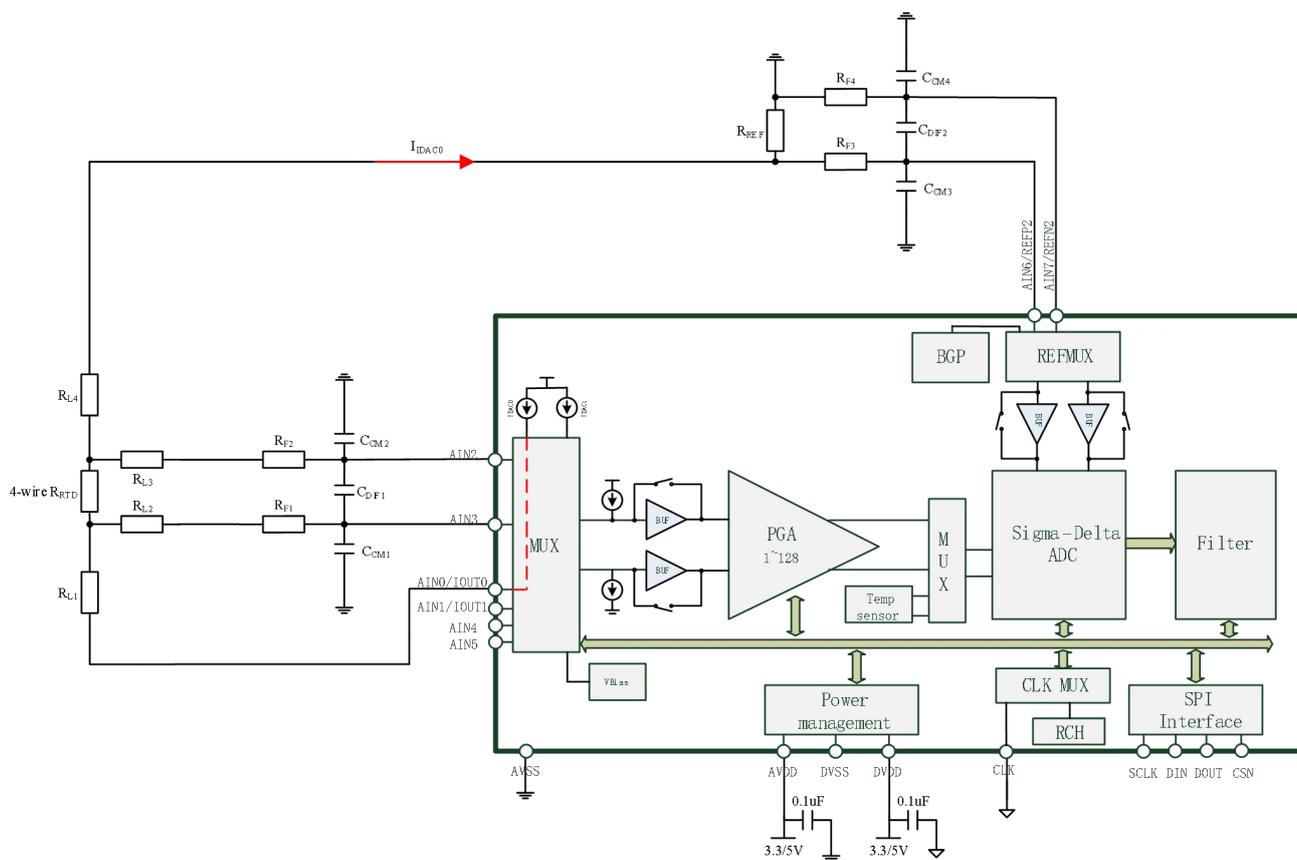


Figure 8-3 4 线 RTD 应用

图 8-3 是一种常用的 4 线 RTD 配置，其中 Rref 为参考的精密电阻。RL1、RL2、RL3 和 RL4 为寄生的走线电阻。AIN0 里输出一路电流源 IDAC0。IDAC0 流经 RL1、RL4、RTD 和 Ref。RTD 信号连至 AIN2/AIN3 进行测量。Rref 上的压降作为基准电压源连至 REFP2/REFN2。

PT100 测量的温度范围是 $-200^{\circ}\text{C} \sim +800^{\circ}\text{C}$ ， 0°C 时的电阻典型值为 100Ω ， 800°C 时约为 384.9Ω 。当激励电流设置为 $500\mu\text{A}$ 时，RTD 信号为：

$$500\mu\text{A} \times 384.9\Omega = 192.5\text{mV}$$

增益可设为 8，信号放大到 1.54V ，此时电阻 Rref 上产生的基准电压建议大于 $1.54 \times 1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$1.54\text{V} \times 1.1 / 500\mu\text{A} = 3387\Omega$$

假设使用 $3.5\text{k}\Omega$ 电阻，则产生的基准电压为：

$$3.5\text{k}\Omega \times 500\mu\text{A} = 1.75\text{V}$$

如果芯片是 5V 供电，则增益设置可设为 16 倍，信号放大到 3.08V ，此时电阻 Rref 上产生的基准电压建议大于 $3.08 \times 1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$3.08V \times 1.1 / 500\mu A = 6775\Omega$$

假设使用 6.8kΩ 电阻，则产生的基准电压为：

$$6.8k\Omega \times 500\mu A = 3.4V$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN0 上输出的 IDACx 电压最高，为 $(RTD+RL1+RL4+Rref) \times IDAC0$ ，约为 3.6V，在 5V 供电下满足比电源低 0.8V 的要求。

工作流程如下：

上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。

- 1) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为 RTD 信号通道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2）、增益、信号通道选择（正端选 AIN2，负端选 AIN3）等。信号 BUFFER 和基准 BUFFER 默认打开。
- 2) 通过读写命令帧，配置 SYS_CONF2，将激励电流 IDAC0 输出到 AIN0 引脚，同时设置电流源的大小。
- 3) 通过发送转换命令帧（可以连续转换，也可以单次转换），转换完成后 RDY 变低，上位机读取数据。
- 4) 重复上述数据读取部分流程。

在处理器中实现 PT100 的线性化计算。

上图 $R_{F1}/R_{F2}/C_{CM1}/C_{CM2}/C_{DIF1}$ 组成输入信号端的抗混叠滤波器。滤波器电阻、电容应放置在靠近 AIN2/AIN3 引脚，且滤波电容的接地端与芯片地引脚之间要有充分可靠的连接。基准源端的抗混叠滤波器也是一样处理。

利用 HCT6913 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.2.3. 2 线 RTD 测量

下图为一种 2 线 RTD 测量电路：

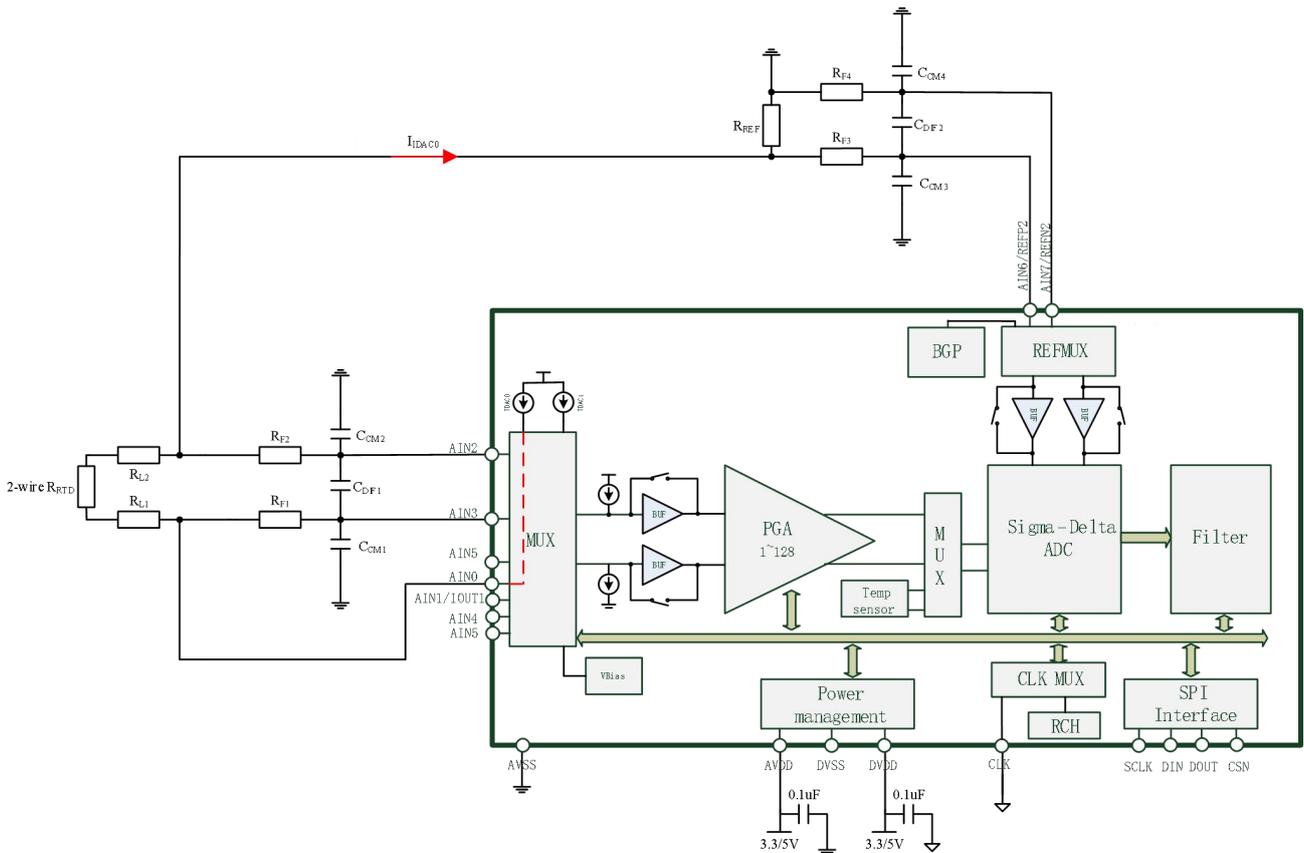


Figure 8-4 2 线 RTD 应用

图 8-4 是一种常用的 2 线 RTD 配置，其中 Rref 为参考的精密电阻。RL1、RL2 为寄生的走线电阻。AIN0 里输出一路电流源 IDAC0。IDAC0 流经 RL1、RL2、RTD 和 Ref。RTD 信号连至 AIN2/AIN3 进行测量。Rref 上的压降作为基准电压源连至 REFP2/REFN2。

PT100 测量的温度范围是 -200°C ~ +800°C，0°C 时的电阻典型值为 100Ω，800°C 时约为 384.9Ω。当激励电流设置为 500μA 时，RTD 信号为：

$$500\mu\text{A} \times 384.9\Omega = 192.5\text{mV}$$

增益可设为 8，信号放大到 1.54V，此时电阻 Rref 上产生的基准电压建议大于 1.54*1.1V（推荐留有 10% 的冗余度）。

$$1.54\text{V} * 1.1 / 500\mu\text{A} = 3387\Omega$$

假设使用 3.5kΩ 电阻，则产生的基准电压为：

$$3.5\text{k}\Omega \times 500\mu\text{A} = 1.75\text{V}$$

如果芯片是 5V 供电，则增益设置可设为 16 倍，信号放大到 3.08V，此时电阻 Rref 上产生的基准电压建议大于 3.08*1.1V（推荐留有 10% 的冗余度）。

$$3.08\text{V} * 1.1 / 500\mu\text{A} = 6775\Omega$$

假设使用 6.8kΩ电阻，则产生的基准电压为：

$$6.8\text{k}\Omega \times 500\mu\text{A} = 3.4\text{V}$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN0 上输出的 IDAC0 电压最高，为 $(\text{RTD} + \text{RL1} + \text{RL2} + \text{Rref}) * \text{IDAC0}$ ，约为 3.6V，在 5V 供电下满足比电源低 0.8V 的要求。

工作流程如下：

上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。

- 1) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为 RTD 信号通道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2）、增益、信号通道选择（正端选 AIN2，负端选 AIN3）等。信号 BUFFER 和基准 BUFFER 默认打开。
- 2) 通过读写命令帧，配置 SYS_CONF2，将激励电流 IDAC0 输出到 AIN0 引脚，同时设置电流源的大小。
- 3) 通过发送转换命令帧（可以连续转换，也可以单次转换），转换完成后 RDY 变低，上位机读取数据。
- 4) 重复上述数据读取部分流程。

在处理器中实现 PT100 的线性化计算。

上图 $R_{F1}/R_{F2}/C_{CM1}/C_{CM2}/C_{DIF1}$ 组成输入信号端的抗混叠滤波器。滤波器电阻、电容应放置在靠近 AIN2/AIN3 引脚，且滤波电容的接地端与芯片地引脚之间要有充分可靠的连接。基准源端的抗混叠滤波器也是一样处理。

利用 HCT6913 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.4. 单端信号输入电路

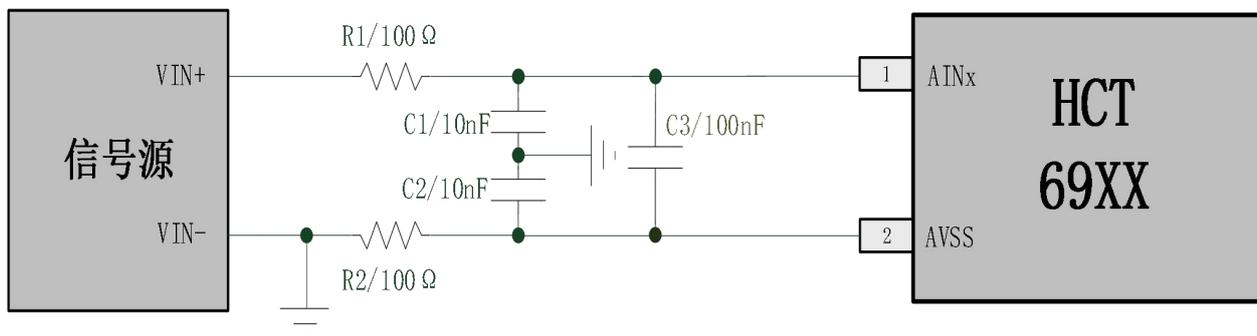


Figure 8-6 单端信号输入电路

在单端信号输入电路中，若信号源输出信号质量好，则芯片信号输入端不需要进行滤波处理，电路上负端 AVSS 接地，正端 AINx 连信号输出即可。若信号源输出质量差，则芯片信号输入端需要进行滤波处理，电路上负端 AVSS 可以通过一个电阻到地，正端 AINx 通过电阻连到信号源输出，两个电阻阻值相同。如果输入信号有共模干扰，则需要在芯片信号输入端增加两个共模滤波电容到地，容值一般选差模滤波电容的 1/10，如上图所示。

9. 版本历史

日期	版本号	描述
2022.10.20	1.0	初版
2023.11.24	1.1	增加单端信号输入电路