



恒芯微电子
HCT MICRO

HCT6961-x 数据手册

Version:	1.1
----------	-----

目录

图片列表	iii
表格列表	v
概述	1
主要指标	1
1. 性能指标	- 2 -
1.1. 极限参数	- 2 -
1.2. 工作参数	- 2 -
1.3. ESD/LU 性能	- 3 -
1.4. GPIO 参数	- 3 -
1.5. ADC 性能指标	- 4 -
1.5.1. 性能指标表	- 4 -
1.5.2. 高功率下的 ADC 噪声和有效位	- 7 -
1.5.3. 中功率下的 ADC 噪声和有效位	- 10 -
1.5.4. 低功率下的 ADC 噪声和有效位	- 13 -
1.6. ADC 测试图表	- 16 -
1.6.1. 高功率模式下的噪声值	- 16 -
1.6.2. 中功率模式下的噪声值	- 17 -
1.6.3. 低功率模式下的噪声值	- 18 -
1.6.4. 增益和 Offset 的温漂	- 19 -
1.6.5. 电源抑制比(PSRR)	- 20 -
1.6.6. 共模抑制比(CMRR)	- 21 -
2. 引脚定义和封装	- 22 -
2.1. 引脚定义	- 22 -
2.2. 封装尺寸	- 28 -
2.3. 命名规则	- 29 -
3. 模块功能	- 30 -
3.1 电源管理模块	- 30 -
3.2 高频 RCH 时钟	- 30 -
3.3 BGP 电路	- 31 -
3.4 MUX 信号选择电路	- 31 -
3.5 PGA 电路	- 31 -
3.6 温度传感器	- 31 -
3.7 匹配电流源模块	- 31 -
3.8 偏置电路模块	- 32 -
3.9 GPIO 控制模块	- 32 -
3.10 Sigma-Delta ADC	- 32 -
3.11 数字滤波器	- 32 -

3.12 功耗模式	- 34 -
3.13 SPI 接口	- 34 -
4. SPI 接口协议	- 35 -
4.1. 读写帧	- 35 -
4.2. 转换帧	- 41 -
4.3. SPI CRC 校验	- 43 -
4.4. SPI 转换状态	- 45 -
4.5. SPI 接口复位	- 46 -
4.6. SPI 接口时序	- 46 -
5. 寄存器描述	- 49 -
5.1. 寄存器地址	- 49 -
5.2. OS_CHx/GAIN_CHx 寄存器	- 52 -
5.3. CONV_CONFx 寄存器	- 53 -
5.4. SYS_CONFx 寄存器	- 58 -
5.4.1. SYS_CONF0	- 58 -
5.4.2. SYS_CONF1	- 62 -
5.4.3. SYS_CONF2	- 64 -
5.4.4. SYS_CONF3	- 65 -
5.4.5. SYS_CONF4	- 67 -
5.4.6. SYS_CONF5	- 68 -
5.4.7. SYS_CONF6	- 69 -
5.5. D_TARG 寄存器	- 70 -
5.6. CONV_DATA 寄存器	- 70 -
6. 芯片校准	- 71 -
6.1. 校准概述	- 71 -
6.2. Offset 自校准	- 71 -
6.3. Offset 系统校准	- 71 -
6.4. Gain 系统校准	- 71 -
6.5. 正常转换时的数据校准	- 72 -
7. 温度传感器	- 73 -
8. 应用信息	- 74 -
8.1. 利用热电偶测量温度	- 74 -
8.2. 利用 RTD 测量温度	- 76 -
8.2.1 3 线 RTD 测量一	- 76 -
8.2.2 3 线 RTD 测量二	- 78 -
8.2.3 4 线 RTD 测量	- 80 -
8.2.4 2 线 RTD 测量	- 82 -
8.3. 流量计	- 84 -
版本历史	- 86 -

图片列表

Figure 2-1	HCT6961-8 引脚分布图	22
Figure 2-2	HCT6961-4 引脚分布图	25
Figure 2-3	HCT6961-x 封装尺寸	28
Figure 2-4	HCT6961 命名规则	29
Figure 3-1	HCT6961-8 模块功能图	30
Figure 4-1	SPI 单一 32 bit 寄存器写帧时序 (不包含 CRC 校验)	40
Figure 4-2	SPI 单一 24 bit 寄存器写帧时序 (不包含 CRC 校验)	40
Figure 4-3	SPI 单一 32 bits 寄存器读帧时序 (不包含 CRC 校验)	40
Figure 4-4	SPI 单一 24 bits 寄存器读帧时序 (不包含 CRC 校验)	40
Figure 4-5	SPI 连续寄存器写帧时序 (不包含 CRC 校验)	40
Figure 4-6	SPI 连续寄存器读帧时序 (不包含 CRC 校验)	40
Figure 4-7	SPI 单一转换帧时序 (不包含 CRC 校验)	42
Figure 4-8	SPI 连续转换帧时序, 片选保持低电平 (不包含 CRC 校验)	42
Figure 4-9	SPI 连续转换帧时序, 片选可切为高电平 (不包含 CRC 校验)	43
Figure 4-10	SPI 单一寄存器写帧时序 (包含 CRC 校验)	44
Figure 4-11	SPI 单一寄存器读帧时序 (包含 CRC 校验)	44
Figure 4-12	SPI 连续寄存器写帧时序 (包含 CRC 校验)	44
Figure 4-13	SPI 连续寄存器读帧时序 (包含 CRC 校验)	44
Figure 4-14	SPI 单一转换帧时序 (包含 CRC 校验)	44
Figure 4-15	SPI 连续转换帧时序, 片选保持低电平 (包含 CRC 校验)	45
Figure 4-16	SPI 连续转换帧时序, 片选可切为高电平 (包含 CRC 校验)	45
Figure 4-17	SPI 转换状态使能时序 (不包含 CRC 校验)	46
Figure 4-18	SPI 写时序	46
Figure 4-19	SPI 读时序	47
Figure 8-1	热电偶应用	74
Figure 8-2	3 线 RTD 应用	76
Figure 8-3	3 线 RTD 应用	78

Figure 8-4	4 线 RTD 应用	- 80 -
Figure 8-5	2 线 RTD 应用	- 82 -
Figure 8-6	流量计应用	- 84 -

表格列表

Table 1-1	极限参数表	- 2 -
Table 1-2	工作参数表	- 2 -
Table 1-3	ESD/Latch-Up 性能指标	- 3 -
Table 1-4	GPIO 参数表	- 3 -
Table 1-5	ADC 性能指标表	- 4 -
Table 1-6	等效输入 RMS 噪声(uV)	- 7 -
Table 1-7	ENOB	- 8 -
Table 1-8	Noise Free Bits	- 9 -
Table 1-9	等效输入 RMS 噪声(uV)	- 10 -
Table 1-10	ENOB	- 11 -
Table 1-11	Noise Free Bits	- 12 -
Table 1-12	等效输入 RMS 噪声(uV)	- 13 -
Table 1-13	ENOB	- 14 -
Table 1-14	Noise Free Bits	- 15 -
Table 2-1	HCT6961-8 引脚定义	- 22 -
Table 2-2	HCT6961-4 引脚定义	- 25 -
Table 4-1	读命令帧结构	- 35 -
Table 4-2	写命令帧结构	- 35 -
Table 4-3	读写命令帧各字节意义	- 35 -
Table 4-4	地址命令帧结构	- 36 -
Table 4-5	地址命令帧各字节意义	- 36 -
Table 4-6	读写命令帧地址字节汇总	- 37 -
Table 4-7	转换命令帧结构	- 41 -
Table 4-8	转换命令帧各字节意义	- 41 -
Table 4-9	SPI 接口时序特性	- 48 -
Table 5-1	寄存器地址表	- 49 -
Table 5-2	OS_CHx/OS_TEMP 定义	- 52 -
Table 5-3	GAIN_CHx 定义	- 52 -

Table 5-4	校准值选择表	- 53 -
Table 5-5	CONV_CONFx 定义	- 54 -
Table 5-6	SYS_CONF0 定义	- 59 -
Table 5-7	SYS_CONF1 定义	- 62 -
Table 5-8	SYS_CONF2 定义	- 64 -
Table 5-9	SYS_CONF3 定义	- 66 -
Table 5-10	SYS_CONF4 定义	- 67 -
Table 5-11	SYS_CONF5 定义	- 68 -
Table 5-12	SYS_CONF6 定义	- 69 -
Table 5-13	D_TARG 定义	- 70 -
Table 5-14	CONV_DATA 定义	- 70 -

概述

HCT6961-x 为一款 SPI 接口的 16/8 通道、24 位高精度 ADC 芯片，内置 1~128 倍可编程的低噪声仪表放大器、高精度 Sigma-Delta ADC，同时内部集成两路精准电流源、高性能温度传感器、5ppm/°C 的高精度基准电压源、偏置电压输出电路、精准内部 RC 时钟源。

ADC 实际有效精度 (ENOB) 23.3BIT@1 倍 PGA, 21.8BIT@64 倍 PGA, 等效输入噪声低至 $8\text{nV}/\sqrt{\text{Hz}}$, 零漂 1uV, 零漂温度系数低于 $10\text{nV}/^\circ\text{C}$ 。输出码率可配置为 3.125Hz 至 6400Hz, 高功率、倍频模式下可配置为 6.25Hz 至 12800Hz。

可用于各类高性能温度传感器（热电偶、2~4 线 RTD 电阻等）、分析天平、工业过程控制、直流/交流电能测量、仪器仪表等各类需要高精度和低零漂测量的应用场合。

主要指标

- 工作电压范围：2.3~5.5V
- 工作电流：
 - 正常工作模式：380uA
 - 低功耗工作模式：280uA
 - 睡眠模式：1uA
- 内置低噪声放大器，1/2/4/8/16/32/64/128 倍可灵活配置
- 16/8 通道信号输入，可作为 16/8 组单端信号输入，或 8/4 组差分信号输入
- 集成两路精确电流源和一路电压偏置电路，可配置到 16/8 个输入信号通道
- 集成 5ppm/°C、2.5V 的高精度基准参考电压源，负载变化率小于 60uV/mA
- 24 位高精度低零漂 Sigma-Delta ADC
 - 支持 11 种降采样率，3.125Hz~6400Hz
 - 高功率、倍频模式下数据率为 6.25Hz 至 12800Hz
 - 支持 50、60Hz 同步抑制
 - 支持 DC 偏差自校正
 - 线性度 0.0005%FS, 24BIT 有效位数
 - 噪声水平： $8\text{nV}/\sqrt{\text{Hz}}$ @ 128 倍 PGA
- 零漂：1uV @ 64/128 倍 PGA
- 集成 2.4576MHz 内部高频 RC 时钟，批量频率偏差小于 1%，-40~85°C 范围内温漂 1%
- 可由外部引脚输入精确时钟
- 内置低阻接地开关
- 内置高精度温度传感器，-40~85°C 范围内偏差 1 度
- SPI 接口
 - 支持标准 4 线或 3 线 SPI 接口
 - 支持最高 10MHz 通信时钟
 - 支持单一寄存器读写与多寄存器连续读写
 - 支持命令帧奇偶校验保护
 - 支持写入及读取操作的 CRC 校验保护
- 系统功能
 - 支持软件全局复位
 - 支持上电自动复位
 - 支持低电压报警 (3V)
- 工作温度范围：-40~+105°C
- 存储温度范围：-40~+125°C
- 封装样式：QFN32L

1. 性能指标

1.1. 极限参数

当外部输入或是环境参数超过下面条件时，很可能对芯片造成损坏或是缩短其使用寿命。下表只代表会造成损坏的范围，不代表可以正常工作的范围。

Table 1-1 极限参数表

名称	参数	最小值	最大值	单位
AVDD/DVDD	电源电压	-0.3	+6	V
Vsig	信号输入信号	-0.3	+6	V
TS	存储温度	-50	+150	°C
TJ	工作温度	-40	+125	°C

1.2. 工作参数

Table 1-2 工作参数表

名称	参数	最小值	典型值	最大值	单位
AVDD/DVDD	IO 口电压	2.3	5	5.5	V
IACTIVE	正常模式工作电流		380		uA
IACTIVE_HP	高功耗模式工作电流		950		uA
IACTIVE_LP	低功耗模式工作电流		280		uA
IPD	休眠电流		1		uA
VPOR	上电复位电压	1.9	2	2.1	V
VLVD	掉电监测电压	2.8	2.9	3	V
TA	温度范围	-40	25	105	°C

1.3. ESD/LU 性能

Table 1-3 ESD/Latch-Up 性能指标

名称	参数	最小值	最大值	单位
ESD (HBM)	HBM 模型的 ESD 放电电压	-4000	4000	V
Latch-Up	Latch-Up 测试电流 (@85°C)	-200	200	mA

1.4. GPIO 参数

Table 1-4 GPIO 参数表

名称	参数	DVDD	最小值	典型值	最大值	单位
VIH	输入信号高阈值	5V	4		5.5	V
VIL	输入信号低阈值	5V	-0.3		1	V
VT+	施密特由低变高电压的阈值	5V	2.72	2.92	3.17	V
VT-	施密特由高变低电压的阈值	5V	1.85	2	2.17	V
I _{IH}	输入高电平的电流	5V			+1	uA
I _{IL}	输入低电平的电流	5V	-1			uA
VOL	输出低电平 (@IOL 电流条件)	5V			0.4	V
VOH	输出高电平 (@IOH 电流条件)	5V	4			V
IOL	输出低电平电流@VOL (max)	5V	4.9	8.8	13.9	mA
IOH	输出高电平电流@VOH (min)	5V	5.5	15.6	29.9	mA

1.5. ADC 性能指标

1.5.1. 性能指标表

Table 1-5 ADC 性能指标表

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V 条件下测得。如 REFP 选择为 5V，则输入信号范围可大一倍，ENOB 也可提高 1 BIT。

参数	最小值	典型值	最大值	单位
精度				
线性度 (Linearity)		±0.0005	±0.001	%FS
有效位数 (ENOB)		23.3@PGA=1 21.8@PGA=64		BIT
无噪声位数 (Noise Free Bits)		20.8@PGA=1 19.3@PGA=64		BIT
等效噪声密度 (Noise Floor)		8		nV/√Hz@高功率模式
零漂 (Offset)		80/PGA	200/PGA	uV
零漂温漂 (Offset drift)		100@PGA=1	200@PGA=1	nV/°C
		100/PGA @PGA=2~64	200/PGA @PGA=2~64	
		3@PGA=128	6@PGA=128	
增益误差 (Gain error)		0.08	0.16	%@校正之前
增益温漂 (Gain drift)		1	2	ppm/°C
信号输入				
输入信号共模范围	AVSS		AVDD	V
输入信号幅度	$-\frac{REF}{GAIN}$		$+\frac{REF}{GAIN}$	REF=

				REFP1-REFN1
差分输入电流		1		nA
信号输入阻抗		>1G		Ω
输入共模抑制比 (CMRR)		140		dB
基准电压				
引脚输入基准 REFP1-REFN1	1		AVDD-AVSS	V
差分输入电流		1		nA
内置基准电压	2.5-0.1%	2.5	2.5+0.1%	V
内置基准电压温度系数		5	15	ppm/ $^{\circ}$ C
内置基准电流负载调整率		60		μ V/mA
内置基准最大输出电流	-10		10	mA
电源抑制比		90		dB
激励电流源IDAC0/IDAC1				
输出电流大小		10/50/200/ 500/1000/1500		μ A
初始绝对电流精度		1.2%		
两路电流源间匹配度		0.2%		
偏置电压VB				
偏置电压		(AVDD-AVSS)/2		
输出驱动电流		5		mA
启动时间		5 μ s/nF		
时钟				
ADC 转换速率 (Data Rate)	3.125		12800	Hz
引脚输入时钟频率		2.4576		MHz

内部 RC 时钟频率	2.4576 -1.5%	2.4576	2.4576 +1.5%	MHz
RC 时钟变化幅度		1%		-40~85 度范围
电源				
AVDD 电源范围	2.3	5	5.5	V
DVDD 电源范围	2.3	5	5.5	V
中功率模式下 ADC 功耗（开启 Sig Buffer, Ref Buffer, 不开启 2.5V REF, VBIAS 模块和 IDAC 模块）		210		uA, PGA=1
		320		uA, PGA=2~16
		380		uA, PGA=32 以上
高功率模式下 ADC 功耗（开启 Sig Buffer, Ref Buffer, 不开启 2.5V REF, VBIAS 模块和 IDAC 模块）		950		uA, PGA=32 以上
VBIAS 功耗		25		uA
2.5V REF 功耗		120		uA
Sig Buffer 功耗		10		uA
Ref Buffer 功耗		15		uA
电源抑制比 (PSRR)		130		dB

1.5.2. 高功率下的 ADC 噪声和有效位

Table 1-6 等效输入 RMS 噪声(uV)

高功率模式下，需将 ADCKSEL 配置为'2'，此时 ADC 工作频率将提高一倍。因此 DR 寄存器里所对应的数据率，也将在 DR 所写的的数据基础上乘 2 倍。

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	噪声(uV)@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	0.021	0.022	0.025	0.036	0.062	0.119	0.235	0.468
12.5	0.030	0.031	0.036	0.051	0.088	0.168	0.332	0.662
25	0.042	0.044	0.051	0.072	0.124	0.237	0.469	0.936
50	0.059	0.062	0.071	0.101	0.175	0.336	0.664	1.324
100	0.084	0.088	0.101	0.143	0.248	0.475	0.939	1.872
200	0.119	0.126	0.152	0.227	0.406	0.787	1.560	3.113
400	0.169	0.179	0.215	0.321	0.574	1.112	2.206	4.403
800	0.238	0.253	0.304	0.454	0.812	1.573	3.120	6.227
1600	0.348	0.397	0.550	0.940	1.791	3.535	7.048	14.084
3200	0.492	0.561	0.778	1.329	2.532	5.000	9.967	19.918
6400	0.720	0.877	1.330	2.402	4.667	9.264	18.492	36.966
12800	1.155	1.650	2.878	5.524	10.929	21.799	43.568	87.121

Table 1-7 ENOB

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	ENOB@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	20.8	21.8	22.6	23.1	23.3	23.3	23.3	23.3
12.5	20.3	21.3	22.1	22.6	22.8	22.8	22.8	22.8
25	19.8	20.8	21.6	22.1	22.3	22.3	22.3	22.3
50	19.3	20.3	21.1	21.6	21.8	21.8	21.8	21.8
100	18.8	19.8	20.6	21.1	21.3	21.3	21.3	21.3
200	18.3	19.2	20.0	20.4	20.6	20.6	20.6	20.6
400	17.8	18.7	19.5	19.9	20.1	20.1	20.1	20.1
800	17.3	18.2	19.0	19.4	19.6	19.6	19.6	19.6
1600	16.8	17.6	18.1	18.3	18.4	18.4	18.4	18.4
3200	16.3	17.1	17.6	17.8	17.9	17.9	17.9	17.9
6400	15.7	16.4	16.8	17.0	17.0	17.0	17.0	17.0
12800	15.0	15.5	15.7	15.8	15.8	15.8	15.8	15.8

Table 1-8 Noise Free Bits

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	Noise Free Bits@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	18.3	19.3	20.1	20.6	20.8	20.8	20.8	20.8
12.5	17.8	18.8	19.6	20.1	20.3	20.3	20.3	20.3
25	17.3	18.3	19.1	19.6	19.8	19.8	19.8	19.8
50	16.8	17.8	18.6	19.1	19.3	19.3	19.3	19.3
100	16.3	17.3	18.1	18.6	18.8	18.8	18.8	18.8
200	15.8	16.7	17.5	17.9	18.1	18.1	18.1	18.1
400	15.3	16.2	17.0	17.4	17.6	17.6	17.6	17.6
800	14.8	15.7	16.5	16.9	17.1	17.1	17.1	17.1
1600	14.3	15.1	15.6	15.8	15.9	15.9	15.9	15.9
3200	13.8	14.6	15.1	15.3	15.4	15.4	15.4	15.4
6400	13.2	13.9	14.3	14.5	14.5	14.5	14.5	14.5
12800	12.5	13.0	13.2	13.3	13.3	13.3	13.3	13.3

1.5.3. 中功率下的 ADC 噪声和有效位

Table 1-9 等效输入 RMS 噪声(uV)

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	噪声(uV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	0.026	0.027	0.031	0.044	0.077	0.148	0.293	0.584
6.25	0.036	0.038	0.044	0.063	0.109	0.209	0.414	0.826
12.5	0.051	0.054	0.062	0.089	0.154	0.296	0.586	1.168
25	0.073	0.076	0.088	0.125	0.218	0.419	0.828	1.652
50	0.103	0.107	0.125	0.177	0.309	0.592	1.171	2.336
100	0.146	0.154	0.183	0.268	0.476	0.919	1.821	3.633
200	0.206	0.218	0.258	0.379	0.673	1.299	2.575	5.138
400	0.292	0.308	0.365	0.536	0.952	1.837	3.641	7.266
800	0.419	0.460	0.596	0.964	1.796	3.523	7.012	14.007
1600	0.593	0.650	0.843	1.363	2.540	4.983	9.917	19.808
3200	0.848	0.954	1.295	2.178	4.125	8.130	16.199	32.367
6400	1.356	1.853	3.131	5.941	11.716	23.348	46.654	93.287

Table 1-10 ENOB

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	ENOB@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	20.5	21.5	22.3	22.7	22.9	23.0	23.0	23.0
6.25	20.0	21.0	21.8	22.2	22.4	22.5	22.5	22.5
12.5	19.5	20.5	21.3	21.7	21.9	22.0	22.0	22.0
25	19.0	20.0	20.8	21.2	21.4	21.5	21.5	21.5
50	18.5	19.5	20.3	20.7	20.9	21.0	21.0	21.0
100	18.0	19.0	19.7	20.2	20.3	20.4	20.4	20.4
200	17.5	18.5	19.2	19.7	19.8	19.9	19.9	19.9
400	17.0	18.0	18.7	19.2	19.3	19.4	19.4	19.4
800	16.5	17.4	18.0	18.3	18.4	18.4	18.4	18.4
1600	16.0	16.9	17.5	17.8	17.9	17.9	17.9	17.9
3200	15.5	16.3	16.9	17.1	17.2	17.2	17.2	17.2
6400	14.8	15.4	15.6	15.7	15.7	15.7	15.7	15.7

Table 1-11 Noise Free Bits

数据码率 (Hz)	Noise Free Bits@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	18.0	19.0	19.8	20.2	20.4	20.5	20.5	20.5
6.25	17.5	18.5	19.3	19.7	19.9	20.0	20.0	20.0
12.5	17.0	18.0	18.8	19.2	19.4	19.5	19.5	19.5
25	16.5	17.5	18.3	18.7	18.9	19.0	19.0	19.0
50	16.0	17.0	17.8	18.2	18.4	18.5	18.5	18.5
100	15.5	16.5	17.2	17.7	17.8	17.9	17.9	17.9
200	15.0	16.0	16.7	17.2	17.3	17.4	17.4	17.4
400	14.5	15.5	16.2	16.7	16.8	16.9	16.9	16.9
800	14.0	14.9	15.5	15.8	15.9	15.9	15.9	15.9
1600	13.5	14.4	15.0	15.3	15.4	15.4	15.4	15.4
3200	13.0	13.8	14.4	14.6	14.7	14.7	14.7	14.7
6400	12.3	12.9	13.1	13.2	13.2	13.2	13.2	13.2

1.5.4. 低功率下的 ADC 噪声和有效位

Table 1-12 等效输入 RMS 噪声(uV)

低功率模式下，需将 ADCKSEL 配置为‘1’，此时 ADC 工作频率将降低一倍。因此 DR 寄存器里所对应的数据率，也将在 DR 所写的的数据基础上除 2 倍。

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	噪声(uV)@PGA(倍)							
	128	64	32	16	8	4	2	1
1.5625	0.027	0.028	0.033	0.047	0.082	0.157	0.310	0.619
3.125	0.038	0.040	0.046	0.066	0.116	0.222	0.439	0.876
6.25	0.054	0.056	0.065	0.094	0.163	0.314	0.621	1.239
12.5	0.076	0.080	0.093	0.132	0.231	0.444	0.878	1.752
25	0.107	0.112	0.131	0.187	0.327	0.628	1.242	2.477
50	0.153	0.162	0.194	0.289	0.518	1.003	1.989	3.970
100	0.216	0.229	0.274	0.409	0.732	1.418	2.813	5.614
200	0.305	0.323	0.388	0.579	1.036	2.006	3.978	7.939
400	0.436	0.476	0.610	0.976	1.810	3.545	7.053	14.086
800	0.617	0.674	0.863	1.380	2.560	5.014	9.974	19.921
1600	0.888	1.008	1.387	2.357	4.480	8.840	17.620	35.210
3200	1.400	1.885	3.152	5.955	11.728	23.365	46.684	93.346

Table 1-13 ENOB

说明：以下指标如无特别说明，都是在 AVDD=DVDD=5V，REFP1=2.5V，FILT_TYPE 三阶滤波器条件下测得。

数据码率 (Hz)	ENOB@PGA(倍)							
	128	64	32	16	8	4	2	1
1.5625	20.5	21.4	22.2	22.7	22.9	22.9	22.9	22.9
3.125	20.0	20.9	21.7	22.2	22.4	22.4	22.4	22.4
6.25	19.5	20.4	21.2	21.7	21.9	21.9	21.9	21.9
12.5	19.0	19.9	20.7	21.2	21.4	21.4	21.4	21.4
25	18.5	19.4	20.2	20.7	20.9	20.9	20.9	20.9
50	18.0	18.9	19.6	20.0	20.2	20.2	20.3	20.3
100	17.5	18.4	19.1	19.5	19.7	19.7	19.8	19.8
200	17.0	17.9	18.6	19.0	19.2	19.2	19.3	19.3
400	16.4	17.3	18.0	18.3	18.4	18.4	18.4	18.4
800	15.9	16.8	17.5	17.8	17.9	17.9	17.9	17.9
1600	15.4	16.2	16.8	17.0	17.1	17.1	17.1	17.1
3200	14.8	15.3	15.6	15.7	15.7	15.7	15.7	15.7

Table 1-14 Noise Free Bits

数据码率 (Hz)	Noise Free Bits@PGA(倍)							
	128	64	32	16	8	4	2	1
1.5625	18.0	18.9	19.7	20.2	20.4	20.4	20.4	20.4
3.125	17.5	18.4	19.2	19.7	19.9	19.9	19.9	19.9
6.25	17.0	17.9	18.7	19.2	19.4	19.4	19.4	19.4
12.5	16.5	17.4	18.2	18.7	18.9	18.9	18.9	18.9
25	16.0	16.9	17.7	18.2	18.4	18.4	18.4	18.4
50	15.5	16.4	17.1	17.5	17.7	17.7	17.8	17.8
100	15.0	15.9	16.6	17.0	17.2	17.2	17.3	17.3
200	14.5	15.4	16.1	16.5	16.7	16.7	16.8	16.8
400	13.9	14.8	15.5	15.8	15.9	15.9	15.9	15.9
800	13.4	14.3	15.0	15.3	15.4	15.4	15.4	15.4
1600	12.9	13.7	14.3	14.5	14.6	14.6	14.6	14.6
3200	12.3	12.8	13.1	13.2	13.2	13.2	13.2	13.2

1.6. ADC 测试图表

1.6.1. 高功率模式下的噪声值

测试条件:

输入 0.25mV 的直流信号, AVDD=DVDD= 5V, REFP1=2.5V, REFN1=GND, 采样率 25Hz。

PGA=1

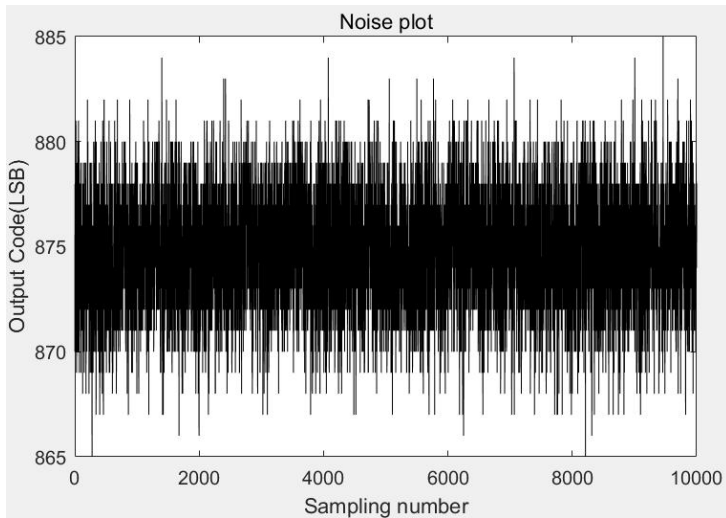


Figure 1

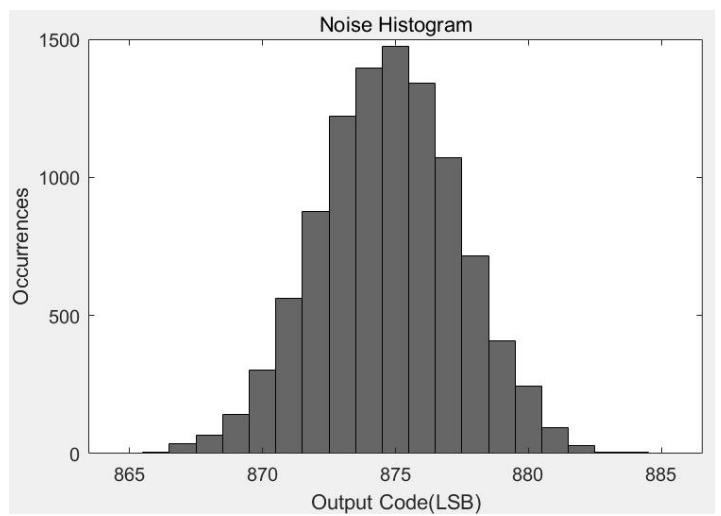


Figure 2

PGA=128

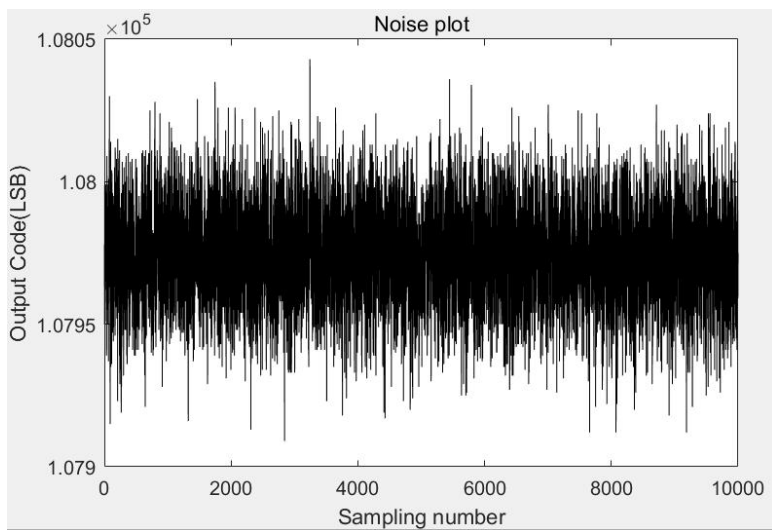


Figure 3

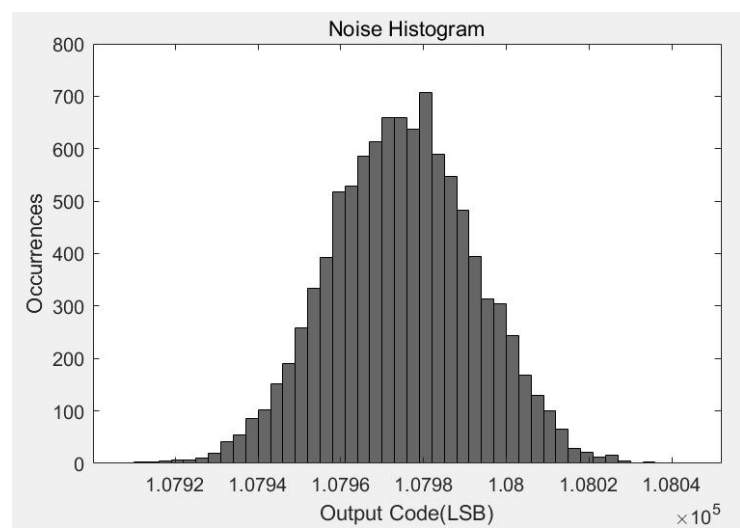


Figure 4

1.6.2. 中功率模式下的噪声值

测试条件:

输入 0.25mV 的直流信号, AVDD=DVDD= 5V, REFP1=2.5V, REFN1=GND, 采样率 25Hz。

PGA=1

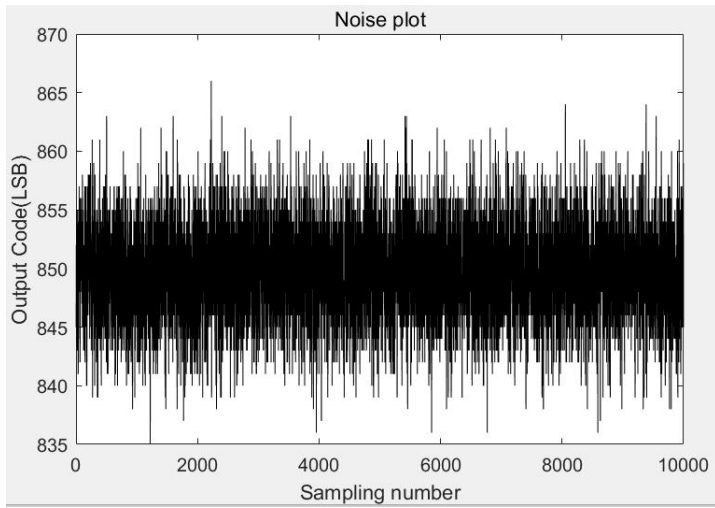


Figure 5

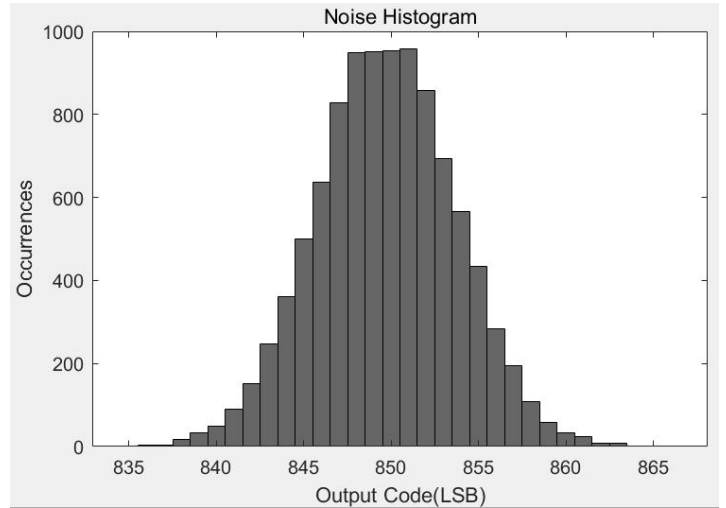


Figure 6

PGA=128

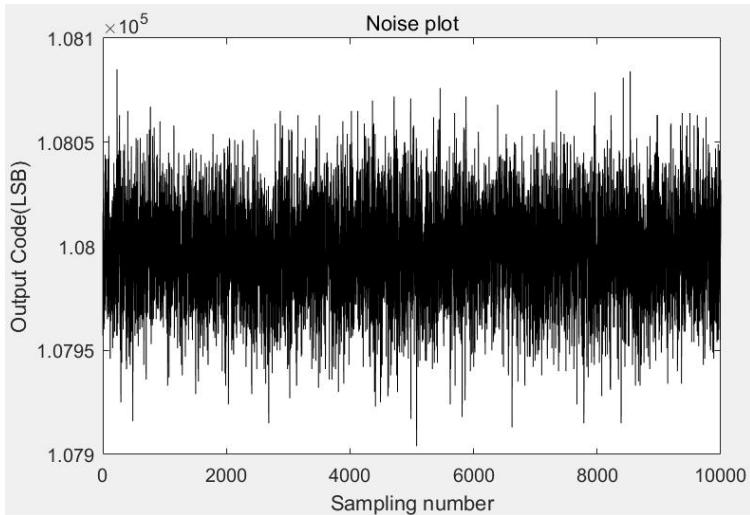


Figure 7

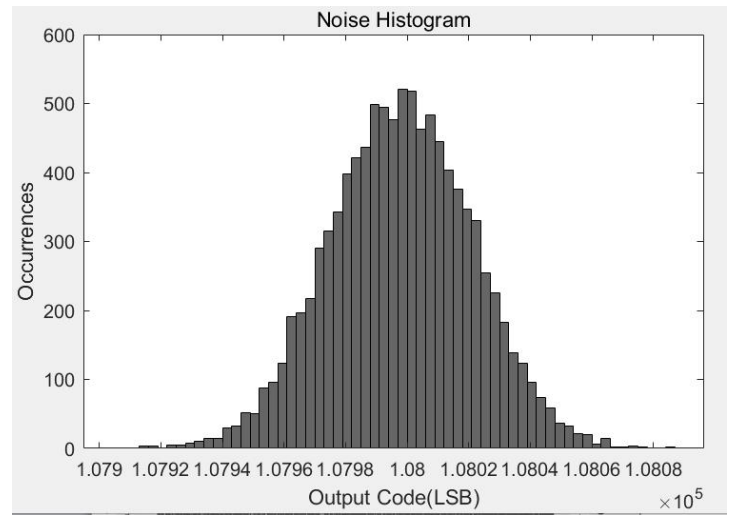


Figure 8

1.6.3. 低功率模式下的噪声值

测试条件:

输入 0.25mV 的直流信号, AVDD=DVDD= 5V, REFP1=2.5V, REFN1=GND, 采样率 25Hz。

PGA=1

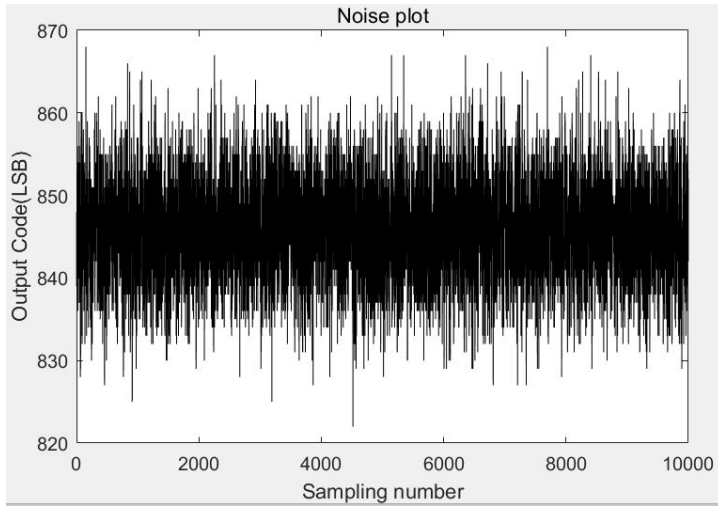


Figure 9

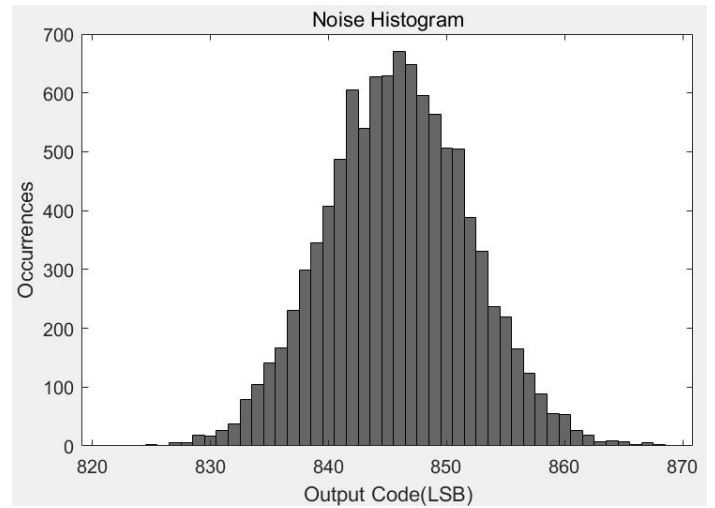


Figure 10

PGA=128

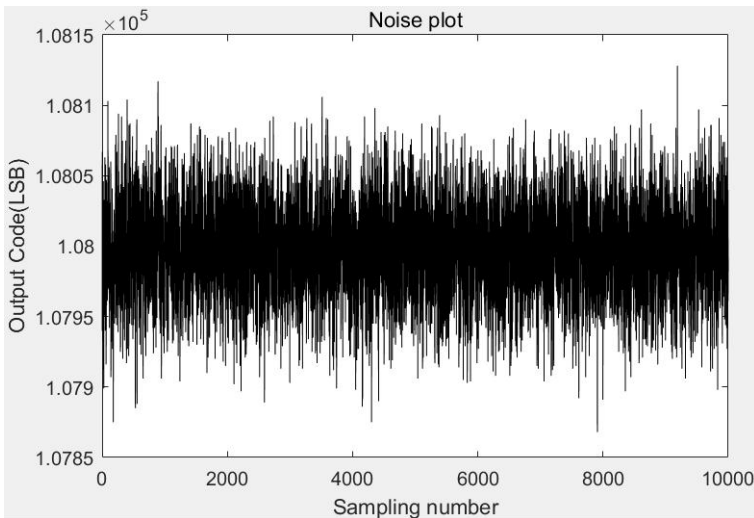


Figure 11

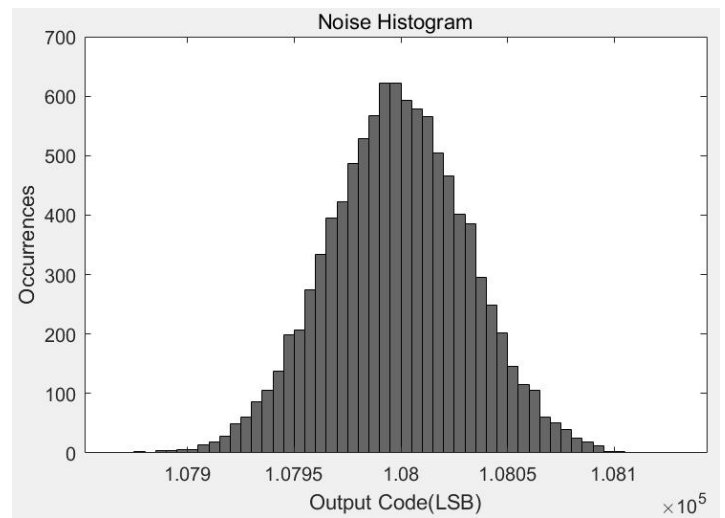


Figure 12

1.6.4. 增益和 Offset 的温漂

增益温漂测试条件:

输入一半满量程的直流信号, $AVDD=DVDD=REFP1=5V$, $REFN1=GND$, $PGA=128$, $DR=3.125Hz$ 。测试温度范围为 $-40\sim 120$ 摄氏度。

下图为 4 颗芯片的测试数据。

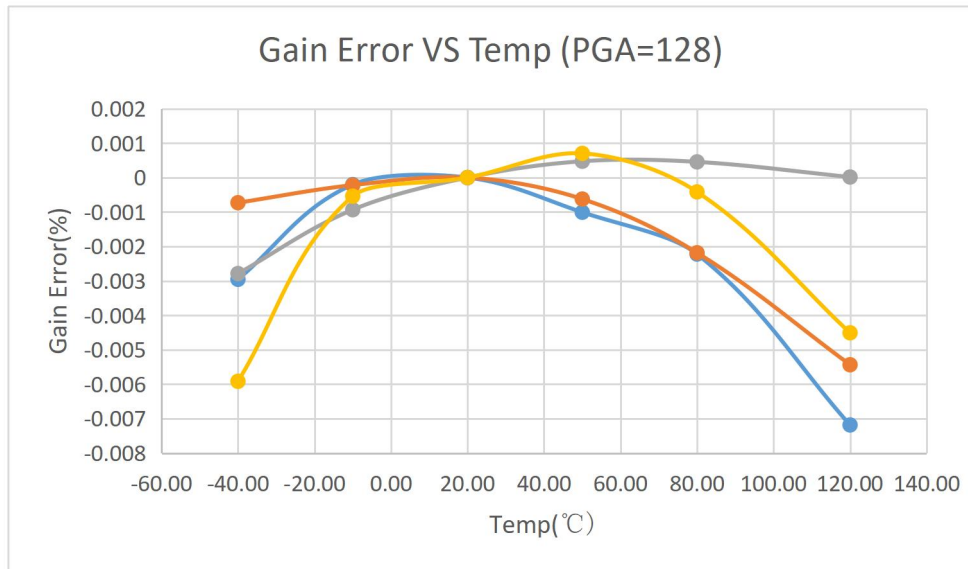


Figure 13

Offset 温漂测试条件:

选择内部 AVSS 通道, $AVDD=DVDD=5V$, $REFP1=2.5V$, $REFN1=GND$, 增益设置为 64 倍, $DR=3.125Hz$ 。测试温度范围 $-40\sim 120$ 摄氏度。

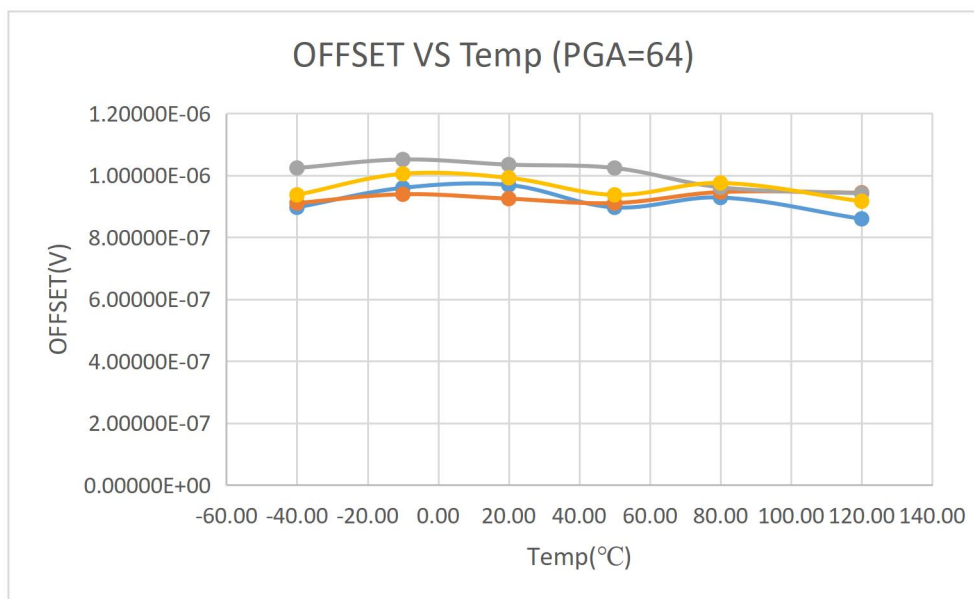


Figure 14

1.6.5. 电源抑制比(PSRR)

测试条件:

电源上叠加 1V 峰峰值、12.5Hz 的正弦信号，AVDD=DVDD=4.5V（即电源在 4~5V 之间变化），REFP1=2.5V，REFN1=GND，PGA 设置为 128 倍，采样率 50Hz。频谱图如下图所示。

电源工频干扰信号在输出数据上为-104dB，即 6.3uV，等效到输入端为 $6.3\mu\text{V} * 2.5\text{V} / 128 = 123\text{nV}$ （其中 2.5V 为基准电压）。1V 峰峰值的输入电源干扰的有效值为， $1/2/1.414 = 0.354\text{V}$ 。

则 PSRR 计算为： $20 * \log_{10}(0.354 / 123\text{n}) = 129\text{dB}$

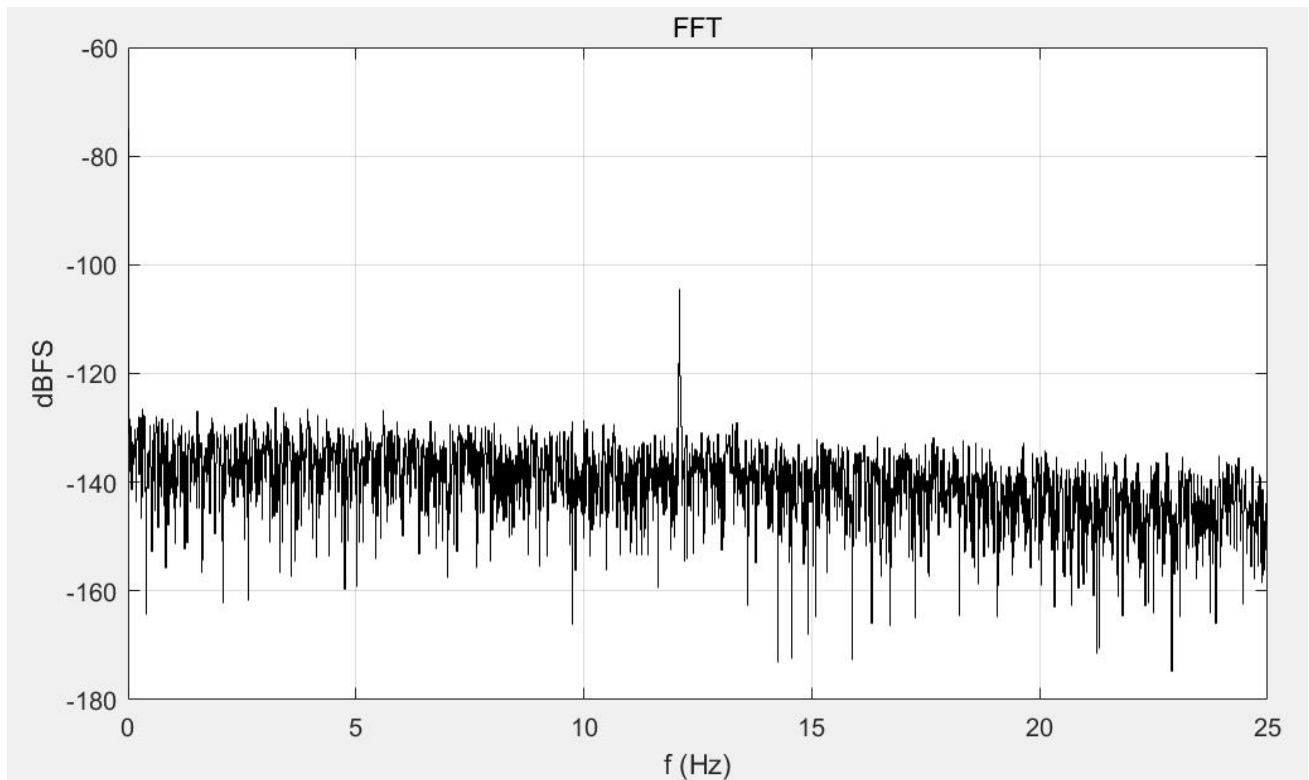


Figure 15

1.6.6. 共模抑制比(CMRR)

测试条件:

在输入信号上叠加 2V 峰峰值、12.5Hz 的正弦共模信号, $AVDD=DVDD=5V$, $REFP1=2.5V$, $REFN1=GND$, PGA 设置为 128 倍, 采样率 50Hz。频谱图如下图所示。

共模信号干扰体现在输出数据上为 -118dB, 即 1.26 μ V, 等效到输入端为 $1.26\mu V \times 2.5V / 128 = 25nV$ (其中 2.5V 为基准电压)。2V 峰峰值的输入电源干扰的有效值为, $2/2/1.414 = 0.707V$ 。

则 CMRR 计算为: $20 \times \log_{10}(0.707/25n) = 149dB$

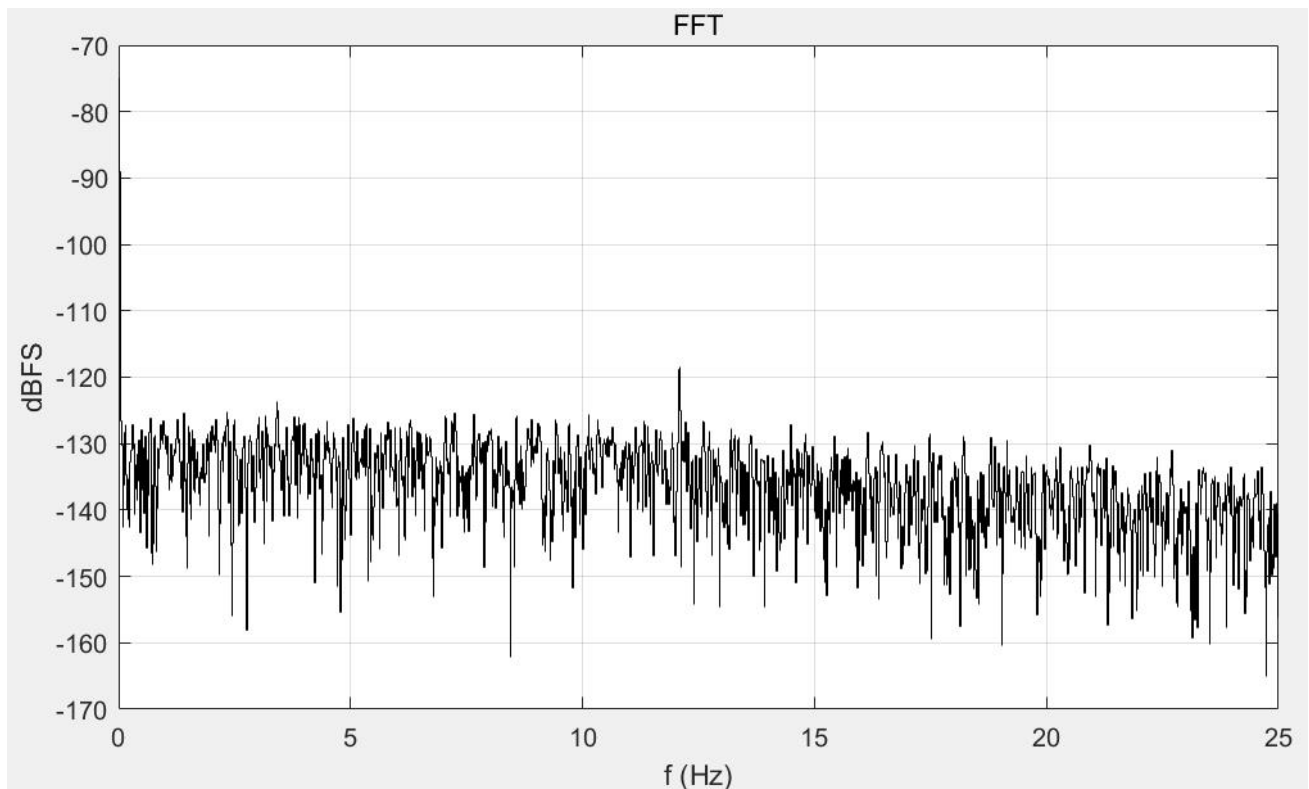


Figure 16

2. 引脚定义和封装

2.1. 引脚定义

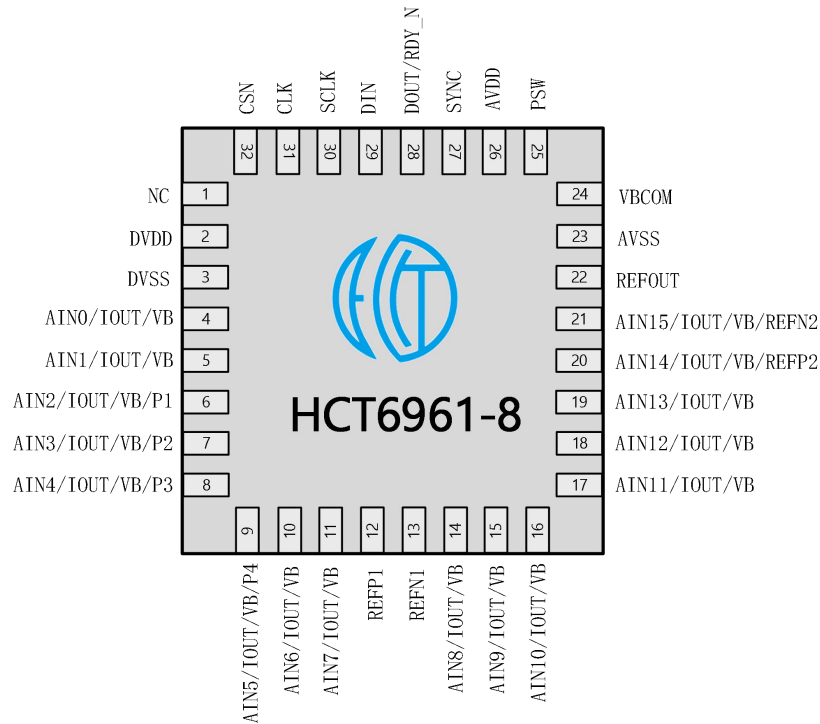


Figure 2-1 HCT6961-8 引脚分布图

Table 2-1 HCT6961-8 引脚定义

编号	名称	类型	描述
1	NC	无	无连接
2	DVDD	电源	数字电源，DVDD 和 DVSS 之间接一个大于 0.1uF 的瓷片电容
3	DVSS	地	数字地
4	AIN0/IOUT/VB	输入/输出	AIN0 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
5	AIN1/IOUT/VB	输入/输出	AIN1 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出

6	AIN2/IOUT/VB/P1	输入/输出	AIN2 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 P1 为输入/输出 IO 信号，由 SYS_CONF4 相关寄存器设置
7	AIN3/IOUT/VB/P2	输入/输出	AIN3 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 P2 为输入/输出 IO 信号，由 SYS_CONF4 相关寄存器设置
8	AIN4/IOUT/VB/P3	输入/输出	AIN4 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 P3 为输入/输出 IO 信号，由 SYS_CONF4 相关寄存器设置
9	AIN5/IOUT/VB/P4	输入/输出	AIN5 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 P4 为输入/输出 IO 信号，由 SYS_CONF4 相关寄存器设置
10	AIN6/IOUT/VB	输入/输出	AIN6 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
11	AIN7/IOUT/VB	输入/输出	AIN7 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
12	REFP1	输入/输出	基准电压源正输入端，REFP1 和 REFN1 之间接一个大于等于 1uF 的瓷片电容
13	REFN1	输入/输出	基准电压源负输入端，一般情况接 AVSS
14	AIN8/IOUT/VB	输入/输出	AIN8 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
15	AIN9/IOUT/VB	输入/输出	AIN9 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
16	AIN10/IOUT/VB	输入/输出	AIN10 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
17	AIN11/IOUT/VB	输入/输出	AIN11 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
18	AIN12/IOUT/VB	输入/输出	AIN12 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
19	AIN13/IOUT/VB	输入/输出	AIN13 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
20	AIN14/IOUT/VB/REFP2	输入/输出	AIN14 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出

			REFP2 为另一组输入基准电压源正输入端,ADC 基准源的选择由寄存器 REFSEL<1:0>决定
21	AIN15/IOUT/VB/REFN2	输入/输出	AIN15 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 REFN2 为另一组输入基准电压源负输入端, ADC 基准源的选择由寄存器 REFSEL<1:0>决定
22	REFOUT	输出	芯片 2.5V 内部基准源输出, 需接一个 1uF 的瓷片电容。在使用此基准源的时候, 也可将其连至外围其他芯片作为基准源使用。如不使用此基准源, 该引脚必须浮空或者接地处理, 不可将其上拉至电源。
23	AVSS	地	模拟地
24	VBCOM	输出	VBCOM 为偏置电压专用输出引脚, 可接 0.1uF 滤波电容到地, 然后从 PCB 上连到需要提供偏置的信号节点。
25	PSW	输入/输出	接地开关, 开关阻抗 8 欧姆, 通过设置寄存器的 SWT_SIG 寄存器打开, 开关可通过 20mA 以下的电流。
26	AVDD	电源	模拟电源, AVDD 和 AVSS 之间接一个大于等于 1uF 的瓷片电容
27	SYNC	输入	ADC 同步信号输入, 为' 0' 时, 芯片内部不开启工作, 为' 1' 后启动, 用于同步多颗芯片之间的转换时序
28	DOUT/RDY_N	输出	SPI 数据输出, 片外需要接 $\geq 100\text{K}\Omega$ 上拉至电源的电阻。建议在数据率较低的工作条件下 (如小于 800Hz), DOUT 上的上拉电阻用 1M Ω
29	DIN	输入	SPI 数据输入, 该引脚不加上拉/下拉电阻
30	SCLK	输入	SPI 时钟输入, 建议不通讯时 SCLK 输出低电平, 该引脚不加上拉/下拉电阻
31	CLK	输入/输出	外部输入的 2.4576MHz 精确时钟, 如需使用外部输入时钟, 需将 CKSRSEL<1:0>配置为'10'或'11' 使用内部 2.4576M RC 时钟时, 此引脚有两种处理方式: 1) 接地 2) 配置 CKSRSEL<1:0>=" 01", 将内部 RC 时钟从 CLK 引脚送出, 可用于测量或为其他芯片提供时钟
32	CSN	输入	SPI 片选输入, 低电平有效, 该引脚不加上拉/下拉电阻

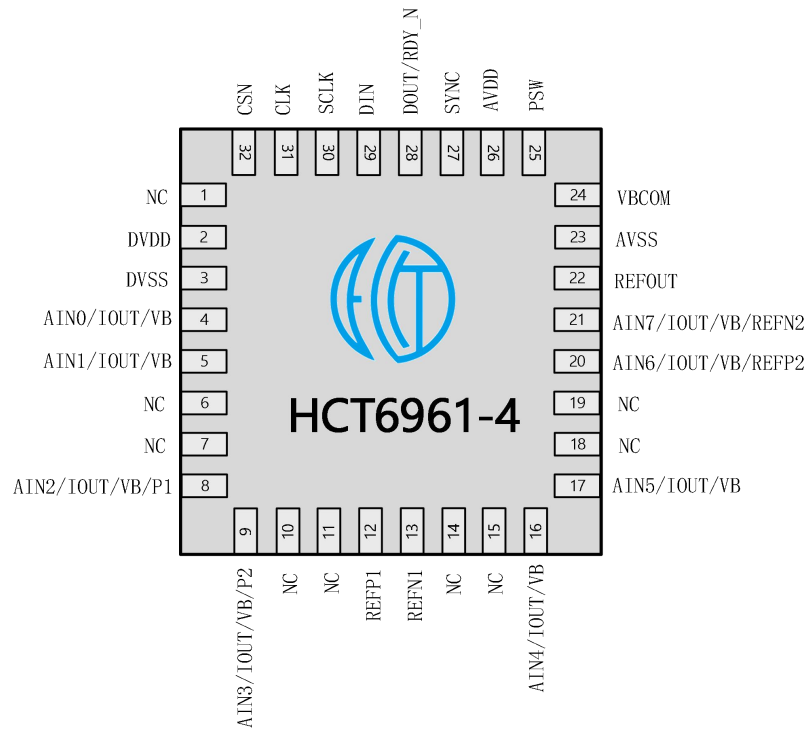


Figure 2-2 HCT6961-4 引脚分布图

Table 2-2 HCT6961-4 引脚定义

编号	名称	类型	描述
1	NC	无	无连接
2	DVDD	电源	数字电源, DVDD 和 DVSS 之间接一个大于 0.1uF 的瓷片电容
3	DVSS	地	数字地
4	AIN0/IOUT/VB	输入/输出	AIN0 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
5	AIN1/IOUT/VB	输入/输出	AIN1 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
6	NC	无	无连接
7	NC	无	无连接
8	AIN2/IOUT/VB /P1	输入/输出	AIN2 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出

			P1 为输入/输出 IO 信号，由 SYS_CONF4 相关寄存器设置
9	AIN3/IOUT/VB /P2	输入/输出	AIN3 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 P2 为输入/输出 IO 信号，由 SYS_CONF4 相关寄存器设置
10	NC	无	无连接
11	NC	无	无连接
12	REFP1	输入/输出	基准电压源正输入端，REFP1 和 REFN1 之间接一个大于等于 1uF 的瓷片电容
13	REFN1	输入/输出	基准电压源负输入端，一般情况接 AVSS
14	NC	无	无连接
15	NC	无	无连接
16	AIN4/IOUT/VB	输入/输出	AIN4 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
17	AIN5/IOUT/VB	输入/输出	AIN5 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出
18	NC	无	无连接
19	NC	无	无连接
20	AIN6/IOUT/VB/REF P2	输入/输出	AIN6 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 REFP2 为另一组输入基准电压源正输入端，ADC 基准源的选择由寄存器 REFSEL<1:0>决定
21	AIN7/IOUT/VB/REF N2	输入/输出	AIN7 为 ADC 输入信号通道/IOUT 为电流源输出/VB 为偏置电压输出 REFN2 为另一组输入基准电压源负输入端，ADC 基准源的选择由寄存器 REFSEL<1:0>决定
22	REFOUT	输出	芯片 2.5V 内部基准源输出，需接一个 1uF 的瓷片电容。在使用此基准源的时候，也可将其连至外围其他芯片作为基准源使用。如不使用此基准源，该引脚必须浮空或者接地处理，不可将其上拉至电源。

23	AVSS	地	模拟地
24	VBCOM	输出	VBCOM 为偏置电压专用输出引脚, 可接 0.1uF 滤波电容到地, 然后从 PCB 上连到需要提供偏置的信号节点。
25	PSW	输入/输出	接地开关, 开关阻抗 8 欧姆, 通过设置寄存器的 SWT_SIG 寄存器打开, 开关可通过 20mA 以下的电流。
26	AVDD	电源	模拟电源, AVDD 和 AVSS 之间接一个大于等于 1uF 的瓷片电容
27	SYNC	输入	ADC 同步信号输入, 为 '0' 时, 芯片内部不开启工作, 为 '1' 后启动, 用于同步多颗芯片之间的转换时序
28	DOUT/RDY_N	输出	SPI 数据输出, 片外需要接 $\geq 100\text{K}\Omega$ 上拉至电源的电阻. 建议在数据率较低的工作条件下 (如小于 800Hz), DOUT 上的上拉电阻用 1M Ω
29	DIN	输入	SPI 数据输入, 该引脚不加上拉/下拉电阻
30	SCLK	输入	SPI 时钟输入, 建议不通讯时 SCLK 输出低电平, 该引脚不加上拉/下拉电阻
31	CLK	输入/输出	外部输入的 2.4576MHz 精确时钟, 如需使用外部输入时钟, 需将 CKSRSEL<1:0>配置为 '10' 或 '11' 使用内部 2.4576M RC 时钟时, 此引脚有两种处理方式: 1) 接地 2) 配置 CKSRSEL<1:0>="01", 将内部 RC 时钟从 CLK 引脚送出, 可用于测量或为其他芯片提供时钟
32	CSN	输入	SPI 片选输入, 低电平有效, 该引脚不加上拉/下拉电阻

2.2. 封装尺寸

QFN32:

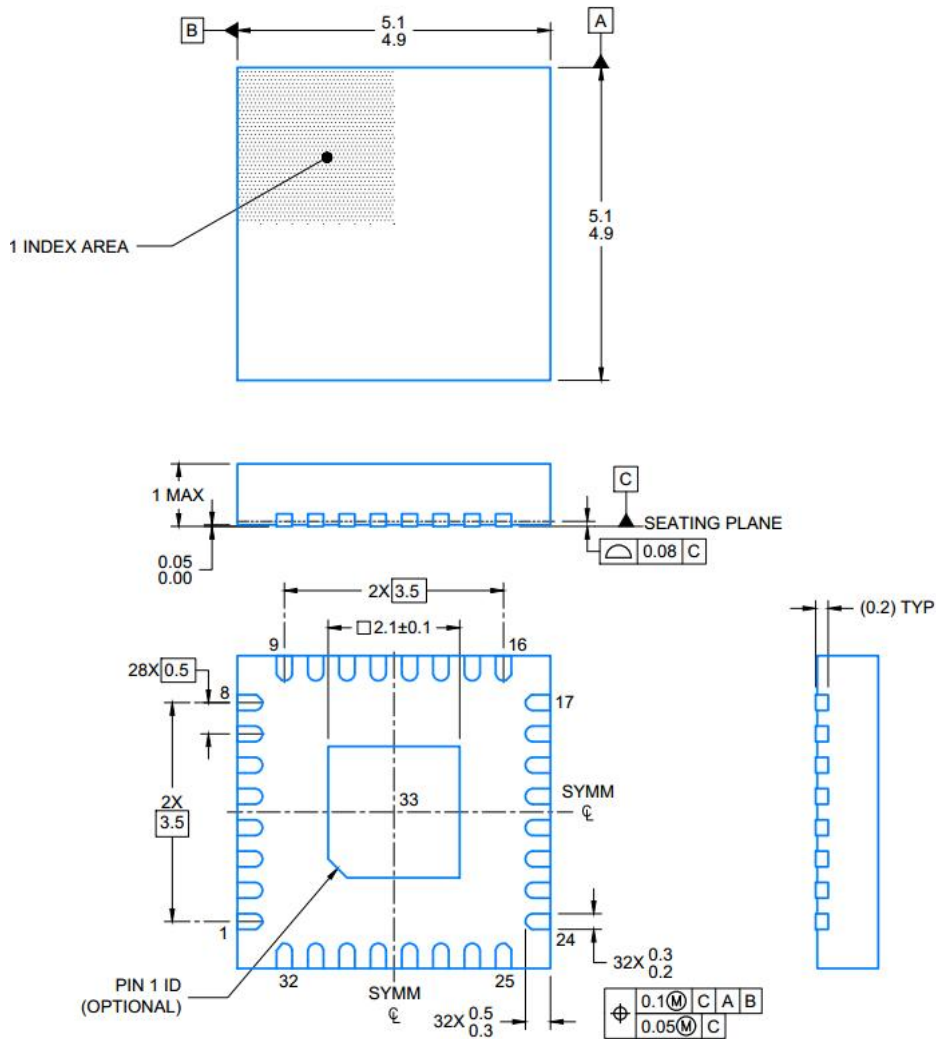


Figure 2-3 HCT6961-x 封装尺寸

2.3. 命名规则

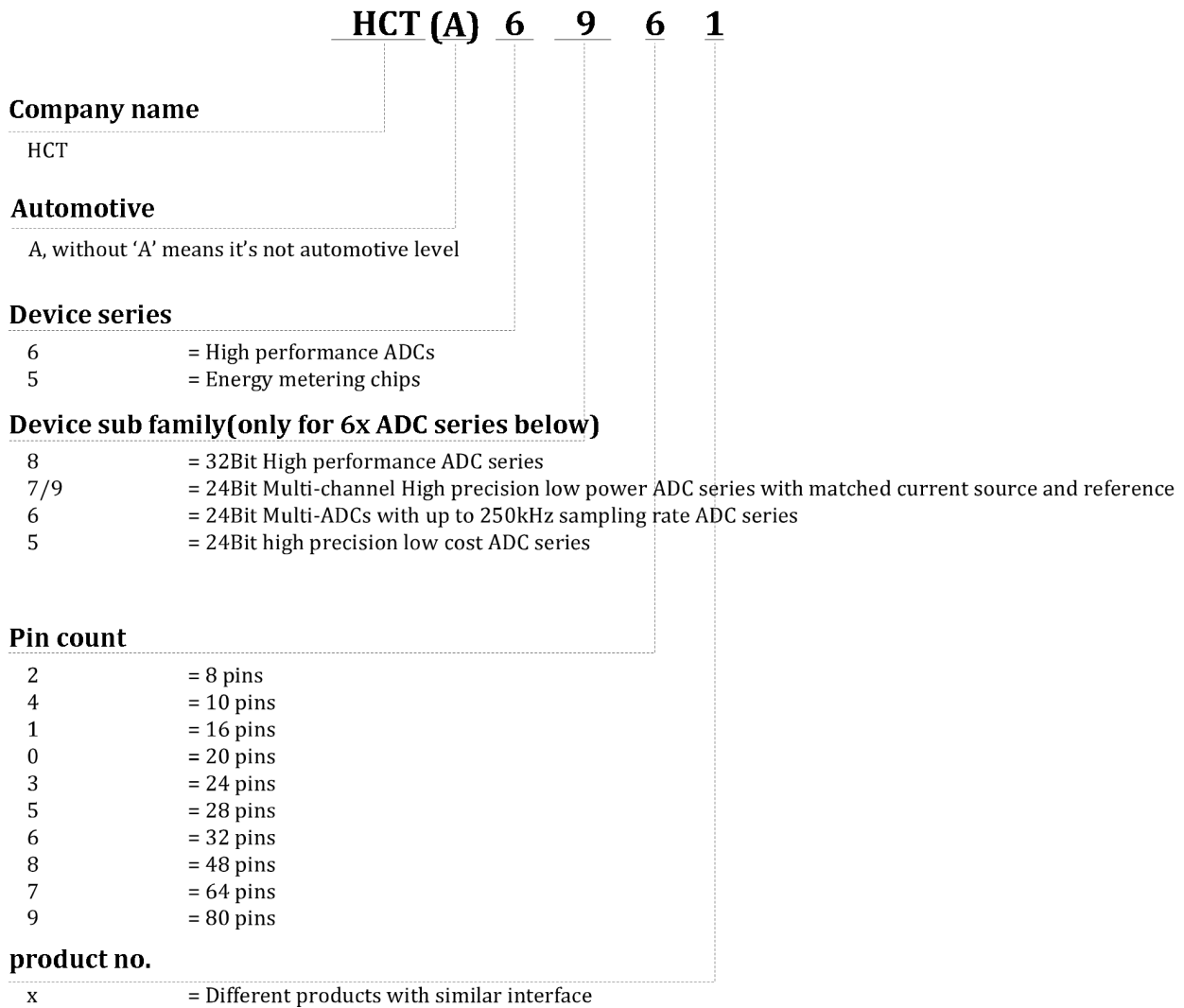


Figure 2-4 HCT6961 命名规则

3. 模块功能

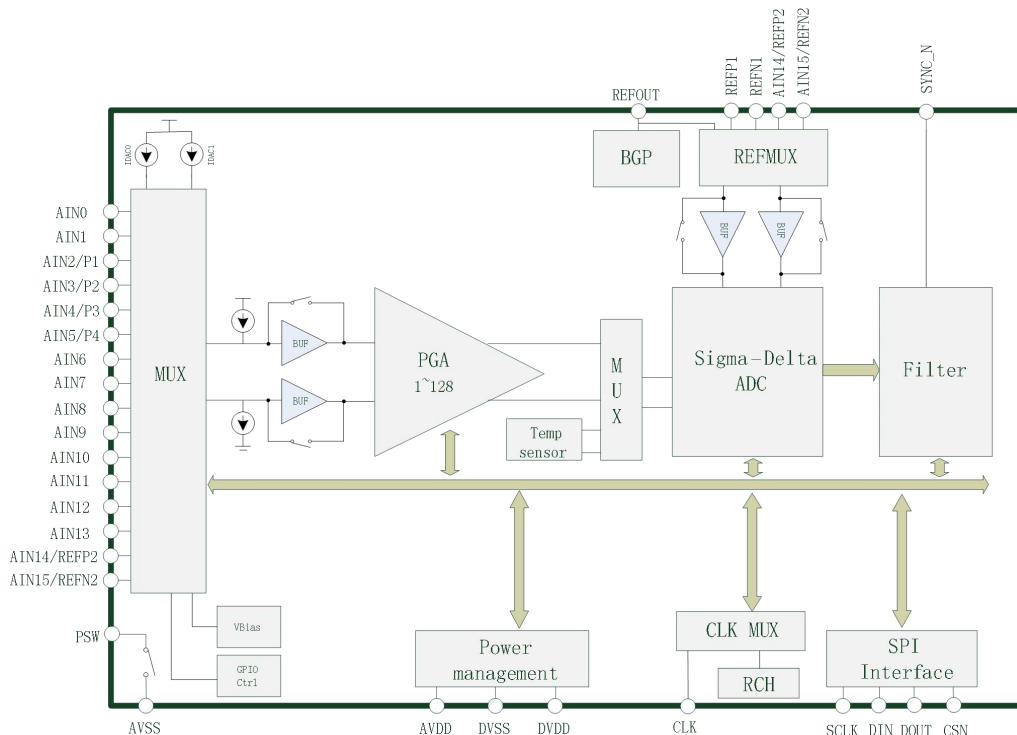


Figure 3-1 HCT6961-8 模块功能图

如上图所示，芯片内部包含电源管理模块、高频 RCH 时钟、内部基准源（BGP）模块、输入信号选择电路(MUX)、匹配电流源模块、偏置电路模块、GPIO 控制模块、可编程增益放大器（PGA）、Sigma-Delta ADC 模块、数字滤波器模块、SPI 接口模块。

3.1 电源管理模块

芯片由 DVDD/DVSS/AVDD/AVSS 两组电源供电，正常工作的供电范围为 2.8~5.5V。DVDD 电压需与外部 MCU 供电电压相同，可与 AVDD 不同。

电源模块内置上电复位（POR）电路，在上电之初为芯片提供复位信号。

电源模块内还集成了欠压监测电路，当监测到 AVDD 电源低于 3V 时，SYS_CONF0 寄存器里的 PW_LV 将置‘1’，提示有欠压发生。

3.2 高频 RCH 时钟

芯片内部集成 2.4576MHz 的高频 RCH 时钟作为主时钟。芯片也可使用 CLK 引脚输入的时钟，或者将芯片内部的 RCH 时钟从 CLK 引脚送出，详见 CKSRSEL<1:0>寄存器说明。

芯片内部 RCH 时钟在-40~105 度范围内随温度的频率变化小于 1%，批量频率偏差小于 1%。

3.3 BGP 电路

芯片内置高精度带隙基准(BGP)电路,产生 2.5V 的基准电压。该基准电压温度系数的典型值为 5ppm/°C。该基准源可对外提供 +/-10mA 的驱动电流,且电流负载调节率只有 60uV/mA。

AD 除可使用内部基准外,也可使用外部引脚从 REFP1/REFN1、REFP2/REFN2 输入的基准电压。具体使用的基准源通过设置 CONV_CONFx 寄存器里的 REFSEL 来选择。

3.4 MUX 信号选择电路

芯片有 16 路输入信号引脚,以及一路内部温度传感器信号,ADC 可通过时分复用的方式对这些信号进行采样。

MUX 电路非常灵活,每一个 AINx 引脚的信号都可配置为 AD 正端信号,也可配置为 AD 负端信号。因此任意两个 AINx 都可搭配为一组 ADC 差分输入信号。每一组 CONV_CONF 转换设置寄存器里,都可设置该转换所用的信号通道选择。详见 CONV_CONFx 寄存器章节。

3.5 PGA 电路

芯片内部集成一个 1~128 倍可编程的高精度仪表放大器。每一组 CONV_CONF 转换设置寄存器里,都可通过 CONV_CONFx 寄存器里的 GA<2:0>进行增益设置。详见 CONV_CONFx 寄存器章节。

PGA 前端有 2 路信号 BUFFER 以提供更高的输入阻抗。

PGA 两个输入信号端有 2 个 Burnout 电流,用于检测输入信号线是否开路。Burnout 是否开启、以及电流大小在 CONV_CONFx 寄存器里设置。

3.6 温度传感器

芯片内部集成 1°C 精度的温度传感器,传感器计算公式详见温度传感器章节。

测温的时候,需使用 CONV_CONF16,且设置 VPSEL 和 VNSEL 为 TEMP 选项,REFSEL 选内部基准。

3.7 匹配电流源模块

芯片内部集成 2 路精确匹配的电流源 IDAC0 和 IDAC1,匹配精度达 0.15%,绝对精度 1%。匹配电流源可灵活配置到任意一个 AINx 输出,配置寄存器参看 SYS_CONF2 里的 IDAC1_CH/IDAC0_CH。电流源的电流大小通过寄存器 IDAC1/IDAC0 进行配置,如不需要电流源输出,则配置为 0uA。

3.8 偏置电路模块

芯片内置 VBIAS 偏置电路模块，可将偏置电压通过配置 SYS_CONF2 里的 VBx_EN 寄存器输出到任何一个 AINx 信号引脚上，电压大小为 $(AVDD-AVSS)/2$ ，该电压具有 5mA 的电流驱动能力。也可通过配置 SYS_CONF3 里的 VBCOM_EN 寄存器将其输出到 VBCOM 引脚上。

3.9 GPIO 控制模块

AINx 信号引脚还可通过配置 SYS_CONF4 里的 GPIOx_EN 作为数字控制信号输入/输出使用，数据方向通过 GPIOx_DIR 设置，输出的值通过 GPIOx_DAT 设置，输入的值通过 GPIO0_STS 寄存器的值。

作为 GPIO 输入输出使用时，不可作为 ADC 输入口使用，也不可将电流源、偏置电压送至该 GPIO 输出脚。

3.10 Sigma-Delta ADC

芯片内集成一个高性能的 Sigma-Delta ADC（性能指标见 ADC 性能指标章节），ADC 转换产生的高频量化码流送给后续的数字滤波器（DSP）电路进行处理，并最终得到 24BIT ADC 数据。

3.11 数字滤波器

数字滤波器对 ADC 转换产生的高频量化码流进行处理，最终获得 24BIT ADC 数据。

滤波器类型分为三种，一阶滤波器、三阶滤波器和 50/60Hz 抑制滤波器，通过 CONV_CONFx 寄存器里的 FLIT_TYPE 进行设置。

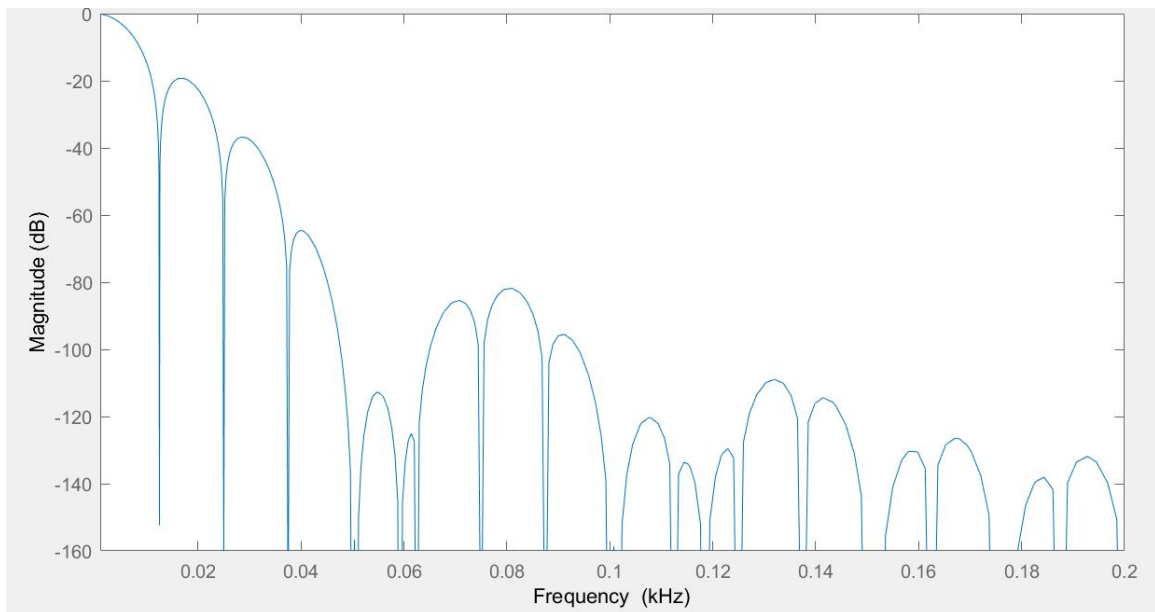
一阶滤波器在涉及到信号通道切换的时候，数据更新的时间更快，基本上以数据率相同的速度更新。三阶滤波器在涉及到信号通道切换的时候，切换后要 3 倍时间输出第一个数据，下一个数据如果没有切换信号通道，则数据更新时间是 1 个数据周期。带来的效果是三阶滤波器对数据信号带宽外的噪声或谐波有更高的抑制率。如果不涉及通道切换，仅对一个信号通道进行连续转换，则一阶和三阶滤波器的输出速率一样。

50/60Hz 抑制滤波器仅可在 ADC 数据率选择为 50Hz 以下(含 50Hz)时使用，开启后可同时对 50Hz 和 60Hz 的干扰信号产生超过 100dB 的抑制。如果干扰信号只考虑 50Hz，则数据率设置在 50Hz 以下的三阶滤波器也有超过 100dB 的抑制效果。

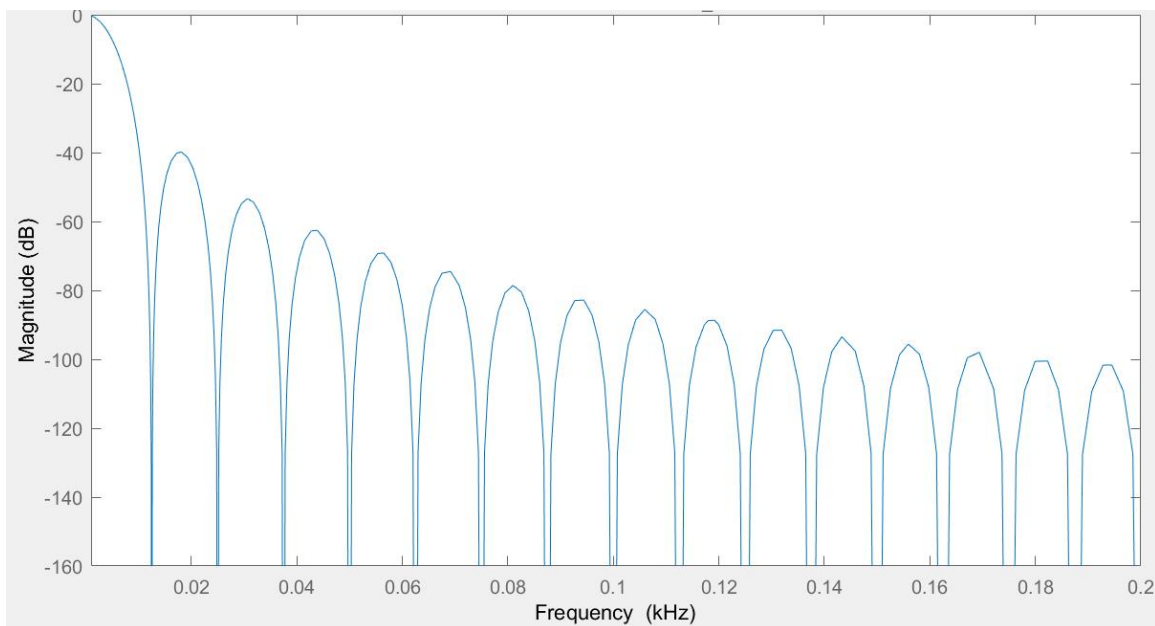
上述提及的 50 或 60Hz 干扰信号是指实际进入到差分信号通道里的，才需要通过滤波器进行抑制。如果干扰信号是出现在电源上，则首先通过芯片强大的电源抑制能力（PSRR）被大幅衰减。如果干扰信号是出现在信号共模电平上，则首先通过芯片强大的共模抑制能力（CMRR）被大幅衰减。

滤波器输出频率可通过 CONV_CONFx 寄存器里的 DR<3:0>配置为 3.125~6400Hz 或 6.25~12800Hz。详见 CONV_CONFx 寄存器章节。

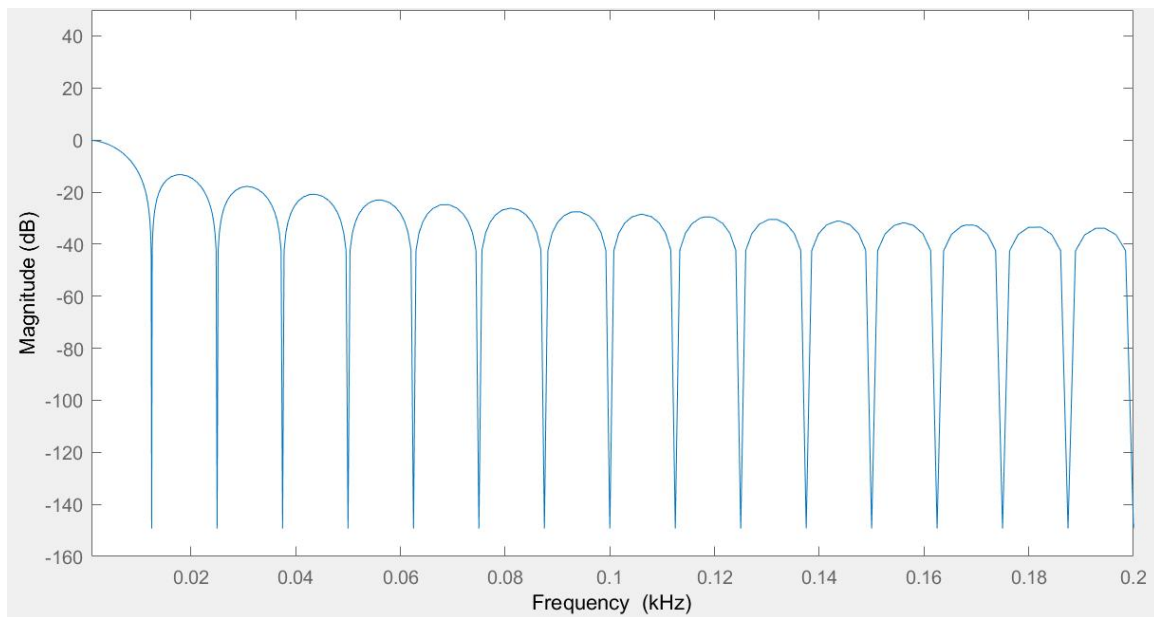
下图是设置为 50/60Hz 抑制滤波器、数据率 12.5Hz 时的滤波器幅频曲线, 50Hz \pm 1Hz 和 60Hz \pm 1Hz 处的抑制率在-120dB 以上。



下图是设置为三阶滤波器、数据率 12.5Hz 时的滤波器幅频曲线, 50Hz 处抑制-120dB 以上, 49/51Hz 处抑制-105dB。60Hz \pm 1Hz 处抑制-80dB 以上。



下图是设置为一阶滤波器、数据率 12.5Hz 时的滤波器幅频曲线, 50Hz 处抑制-120dB 以上, -49/51Hz 抑制-33dB。60Hz \pm 1Hz 处抑制-30dB。



3.12 功耗模式

芯片可通过设置 `SYS_CONF1` 寄存器的 `POWD=1`，使芯片进入低功耗模式。此模式下 `PGA/ADC/BGP/RCH` 等模块都会关闭，功耗小于 `1uA`。

3.13 SPI 接口

SPI 接口部分详见 SPI 接口协议章节。

4. SPI 接口协议

SPI 接口分为两种命令帧，一种是用来读写寄存器的读写命令帧，另外一种是用来启动 ADC 转换的转换命令帧，两种命令帧使用第一个字节的第一个 Bit 来区分，若为 0，则为读写命令帧，若为 1，则为转换命令帧。

4.1. 读写帧

读写帧的第一帧为命令帧，格式如下表所示。

Table 4-1 读命令帧结构

BIT							
7	6	5	4	3	2	1	0
0	0	ADDR[6:4]			1	ARRAY	PC

Table 4-2 写命令帧结构

BIT							
7	6	5	4	3	2	1	0
0	0	ADDR[6:4]			0	ARRAY	PC

Table 4-3 读写命令帧各字节意义

BIT	名称	描述
7	起始位	必须为 0
6	保留位	必须为 0
5:3	ADDR	地址[6:4]
2	R/W	读写类型选择 0: 写 1: 读
1	ARRAY	连续读写控制 0: 单一读写 1: 连续读写，由地址 0x00 开始至地址 0x33 结束

0	PC	Bit 7 到 Bit 1 之奇校验位,当 Bit 7~Bit 1 有奇数个 1 时,PC 应为 0,当 B7~B1 有偶数个 1 时,PC 应为 1.若此奇校验位错误,则该命令不被执行,且 SYS_CONF0 中的 ERR_CKS 位置会被置 1
---	----	--

读写真的第二帧为地址帧,用来指定单一读写时的地址,连续读写时仍然需要输入此帧且 PC 须为正确值,但是地址值会被忽略

Table 4-4 地址命令帧结构

BIT							
7	6	5	4	3	2	1	0
ADDR[3:0]				CRC4			

Table 4-5 地址命令帧各字节意义

BIT	名称	描述
7:4	ADDR	寄存器地址[3:0]
3:0	CRC4	整个命令帧的 CRC4 校验位

其中 CRC4 是由读写命令帧 [7:0]与地址命令帧[7:4]组合为 12 bits 后,经由下列 CRC4 公式运算出来

$$CRC4 = X^4 + X + 1$$

CRC4 的运算公式可以参考下面的范例程序

```

shift_reg = (cmd<<24) + ((addr&0x0F)<<20);

crc4 = 0xF;

for (i=0;i<12;i=i+1) {
    if ( (crc4>>3) != (shift_reg>>31))
        crc4 = ( (crc4<<1)^0x03)&0xF;
    else
        crc4 = (crc4<<1)&0xF;

    shift_reg <<= 1;
}

```

Table 4-6 读写命令帧地址字节汇总

ADDR	位宽		
0x00	24	OS_CH0	
0x01	24	GAIN_CH0	
0x02	24	OS_CH1	
0x03	24	GAIN_CH1	
0x04	24	OS_CH2	
0x05	24	GAIN_CH2	
0x06	24	OS_CH3	
0x07	24	GAIN_CH3	
0x08	24	OS_CH4	
0x09	24	GAIN_CH4	
0x0A	24	OS_CH5	
0x0B	24	GAIN_CH5	
0x0C	24	OS_CH6	
0x0D	24	GAIN_CH6	
0x0E	24	OS_CH7	
0x0F	24	GAIN_CH7	
0x10	24	OS_CH8	
0x11	24	GAIN_CH8	
0x12	24	OS_CH9	
0x13	24	GAIN_CH9	
0x14	24	OS_CH10	
0x15	24	GAIN_CH10	

0x16	24	OS_CH11	
0x17	24	GAIN_CH11	
0x18	24	OS_CH12	
0x19	24	GAIN_CH12	
0x1A	24	OS_CH13	
0x1B	24	GAIN_CH13	
0x1C	24	OS_CH14	
0x1D	24	GAIN_CH14	
0x1E	24	OS_CH15	
0x1F	24	GAIN_CH15	
0x20~0x27		保留	
0x28	24	OS_TEMP	
0x29	24	GAIN_TEMP	
0x2A	24	保留	
0x2B	24	保留	
0x2C	24	ANA_TRIM	
0x2D	24	OTP_CTRL	
0x2E	24	OTP_DATA	
0x2F	24	D_TARG	
0x30	32	CONV_CONF0	
0x31	32	CONV_CONF1	
0x32	32	CONV_CONF2	
0x33	32	CONV_CONF3	

0x34	32	CONV_CONF4	
0x35	32	CONV_CONF5	
0x36	32	CONV_CONF6	
0x37	32	CONV_CONF7	
0x38	32	CONV_CONF8	
0x39	32	CONV_CONF9	
0x3A	32	CONV_CONF10	
0x3B	32	CONV_CONF11	
0x3C	32	CONV_CONF12	
0x3D	32	CONV_CONF13	
0x3E	32	CONV_CONF14	
0x3F	32	CONV_CONF15	
0x40	32	CONV_CONF16	
0x41	32	CONV_CONF17	
0x42~0x47	32	保留	
0x48	32	SYS_CONF0	
0x49	32	SYS_CONF1	
0x4A	32	SYS_CONF2	
0x4B	32	SYS_CONF3	
0x4C	32	SYS_CONF4	
0x4D	32	SYS_CONF5	
0x4E	32	SYS_CONF6	
0x4F	24	CONV_DATA	

下图为单一寄存器写帧在不包含 CRC 校验时的时序

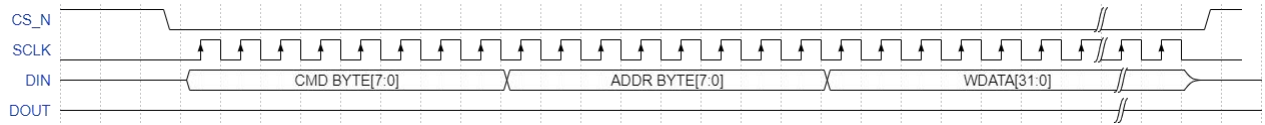


Figure 4-1 SPI 单一 32 bit 寄存器写帧时序 (不包含 CRC 校验)

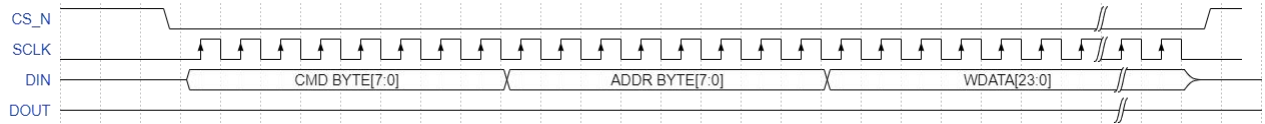


Figure 4-2 SPI 单一 24 bit 寄存器写帧时序 (不包含 CRC 校验)

下图为单一寄存器读帧在不包含 CRC 校验时的时序

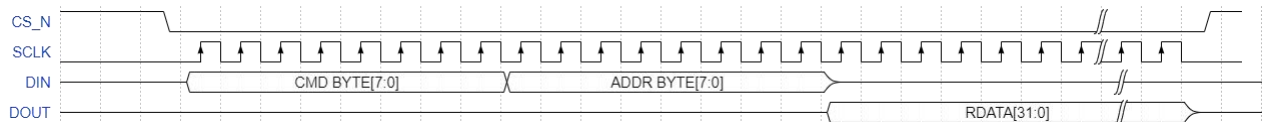


Figure 4-3 SPI 单一 32 bits 寄存器读帧时序 (不包含 CRC 校验)

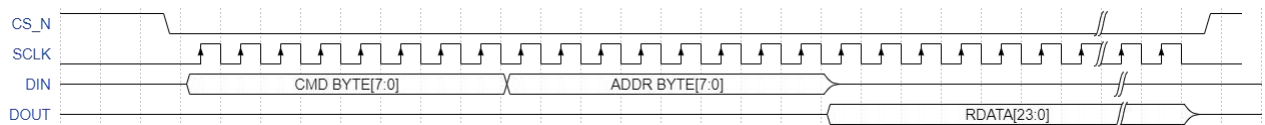


Figure 4-4 SPI 单一 24 bits 寄存器读帧时序 (不包含 CRC 校验)

下图为连续寄存器写帧在不包含 CRC 校验的时序

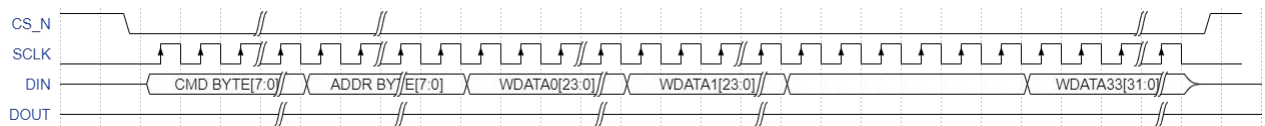


Figure 4-5 SPI 连续寄存器写帧时序 (不包含 CRC 校验)

下图为连续寄存器读帧在不包含 CRC 校验的时序

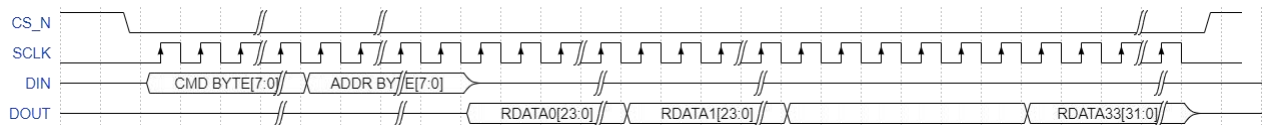


Figure 4-6 SPI 连续寄存器读帧时序 (不包含 CRC 校验)

4.2. 转换帧

转换帧的第一帧为命令帧，格式如下。

Table 4-7 转换命令帧结构

BIT							
7	6	5	4	3	2	1	0
1	0	0	0	CONV_MOD			PC

Table 4-8 转换命令帧各字节意义

Bit	名称	描述
7	起始位	必须为 1
6:4	保留位	必须为 0
3:1	CONV_MOD	转换模式选择 0x0: 单次转换模式 0x1: 连续转换模式 0x2: Offset 自校准模式 0x5: Offset 系统校准模式 0x6: Gain 系统校准模式 其他: 保留
0	PC	Bit7 到 Bit1 之奇偶校验位，当 Bit7~Bit1 有奇数个 1 时，PC 应为 0，当 Bit7~Bit1 有偶数个 1 时，PC 应为 1。若此奇校验位错误，则该命令不被执行，且 SYS_CONF0 中的 ERR_CKS 位置会被置 1

芯片在收到转换命令帧后：

- 1) 如命令帧里发起的是单次转换模式，则依次扫描 18 组 CONV_CONFx 的寄存器值，只要 CONV_EN 为 1 的，就按其配置值进行转换，转换完成后通过 SDO 送出数据。等 18 个 CONV_CONFx 都被遍历完，则芯片重新进入到命令接收阶段。
- 2) 如命令帧里发起的是连续转换模式，则依次扫描 18 组 CONV_CONFx 的寄存器值，只要 CONV_EN 为 1 的，就按其配置值进行转换，转换完成后通过 SDO 送出数据。等 18 个 CONV_CONFx 都被遍历完，则重新回到 CONV_CONF0 开始新一轮遍历。

如果 18 个 CONV_CONFx 里，只有 1 个 CONV_CONFx 被使能，则将对该设置寄存器所对应的信号通道进行连续采样。

转换帧时序与读时序主要差别在于转换命令发出后，需要等待芯片内 DSP 运算完成，在运算完成前，SDO 引脚会是高阻抗状态，需靠片外拉电阻拉高到 DVDD 电位，当 DSP 运算完成后，SDO 引脚会输出低电位，此时主控需打 8 bits 的转换时钟，此时 SDI 需输入 0x42，然后可以开始进行 24 bits 数据读取。

下图为单一转换帧在不包含 CRC 校验的时序

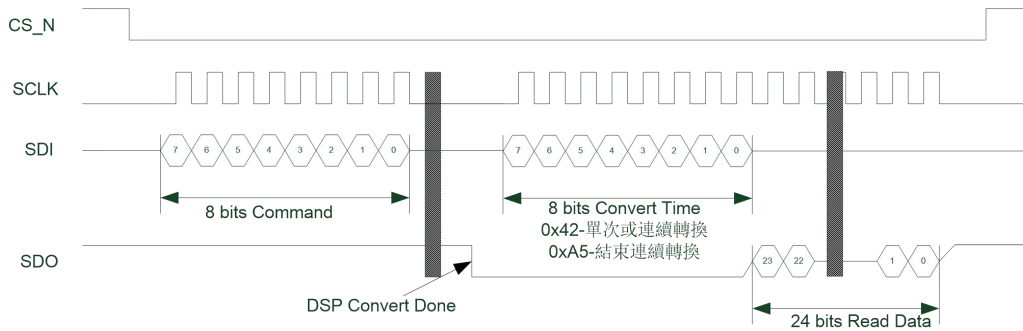


Figure 4-7 SPI 单一转换帧时序 (不包含 CRC 校验)

若选择的是连续转换模式，当 24 bits 转换数据传完之后，SDO 又会变为高阻模式，直到下次 DSP 转换完成会再把 SDO 拉到 0。若主控想要停止连续转换模式，可以将片选拉高，若是在片选接地状态，则必须在 8 bits 的转换时钟时，在 SDI 上打(0xA5)，则在本次数据传递完成后，芯片会回到待命状态。

下图为连续转换帧在不包含 CRC 校验且片选一直保持低电平的时序，若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。

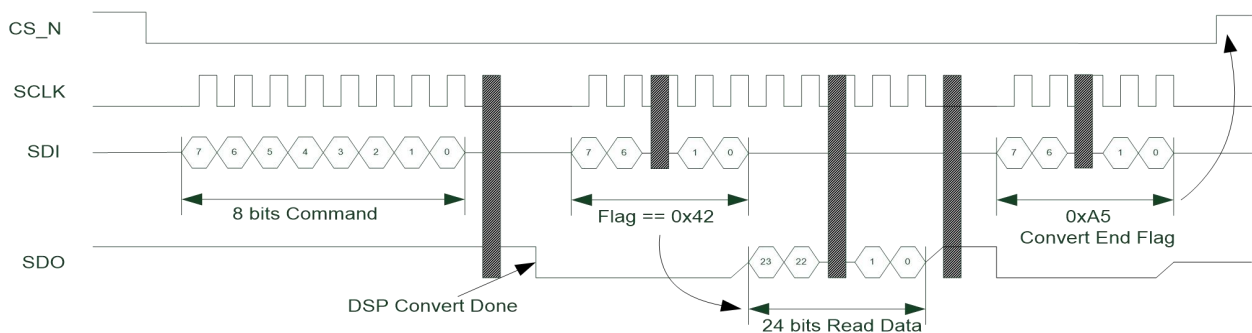


Figure 4-8 SPI 连续转换帧时序，片选保持低电平 (不包含 CRC 校验)

下图为连续转换帧在不包含 CRC 校验，但是片选在转换等待时间可以切为高电平的时序（寄存器 CSHIGH_MODE 需为 1），在此模式下，片选只可在读完 24 bits 数据后举高，不可以在前面 8 bits dummy byte 或是读取数据过程中举高。若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。

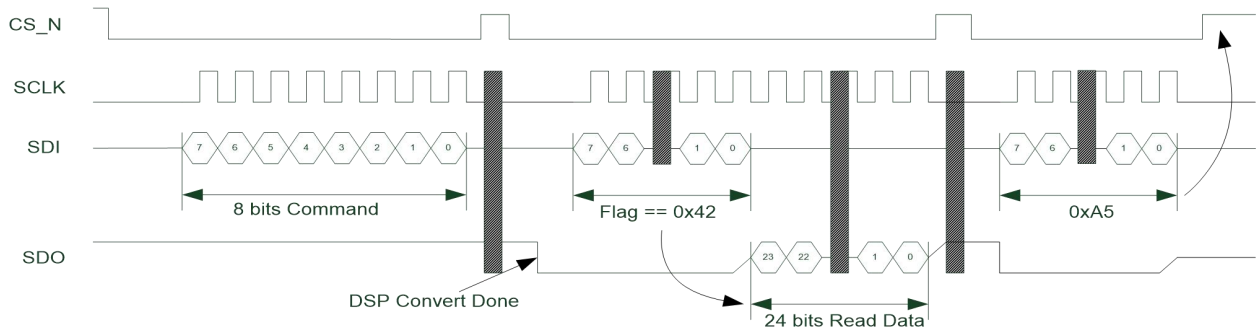


Figure 4-9 SPI 连续转换帧时序，片选可切为高电平（不包含 CRC 校验）

4.3. SPI CRC 校验

当 SYS_CONF0 的 CKS_EN 位置被设置为 1 后，SPI 接口会进入 CRC 校验模式，包含读写帧与转换帧都会包含 CRC 校验帧。CRC 校验帧是针对写入或是读出数据做保护，每个 24 或 32 bits 数据都须计算其 CRC8 的结果。CRC8 是参考下面的公式进行运算：

$$\text{CRC8} = X^8 + X^2 + X + 1$$

CRC8 的运算公式可以参考下面的范例程序

```

if (len == 24)
    shift_reg = data << 8;
else
    shift_reg = data;

crc8 = 0x0;

for (i=0; i<len; i=i+1) {
    if ((crc8 >> 7) != (shift_reg >> 31))
        crc8 = ((crc8 << 1) ^ 0x07) & 0xFF;
    else
        crc8 = (crc8 << 1) & 0xFF;

    shift_reg <<= 1;
}

```

举例来说，当数据为 0x654321 (24 bits) 的情况，其 CRC8 的结果会是 0x86。在每个 24 或是 32 bits 数据后端，都需要加上 CRC 校验帧，若 CRC 校验不符合，则该命令会被忽略（写帧），或是该数据为无效数据（读帧或是转换帧）。

下图为单一寄存器写帧在包含 CRC 校验的时序

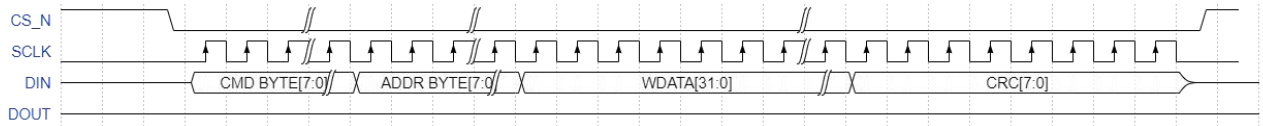


Figure 4-10 SPI 单一寄存器写帧时序 (包含 CRC 校验)

下图为单一寄存器读帧在包含 CRC 校验的时序

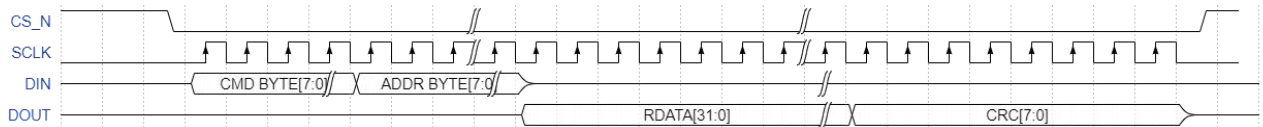


Figure 4-11 SPI 单一寄存器读帧时序 (包含 CRC 校验)

下图为连续寄存器写帧在包含 CRC 校验的时序



Figure 4-12 SPI 连续寄存器写帧时序 (包含 CRC 校验)

下图为连续寄存器读帧在包含 CRC 校验的时序

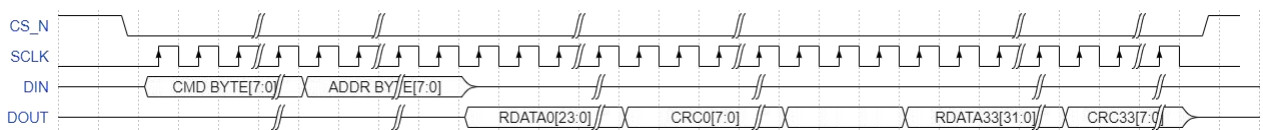


Figure 4-13 SPI 连续寄存器读帧时序 (包含 CRC 校验)

下图为单一转换帧在包含 CRC 校验的时序

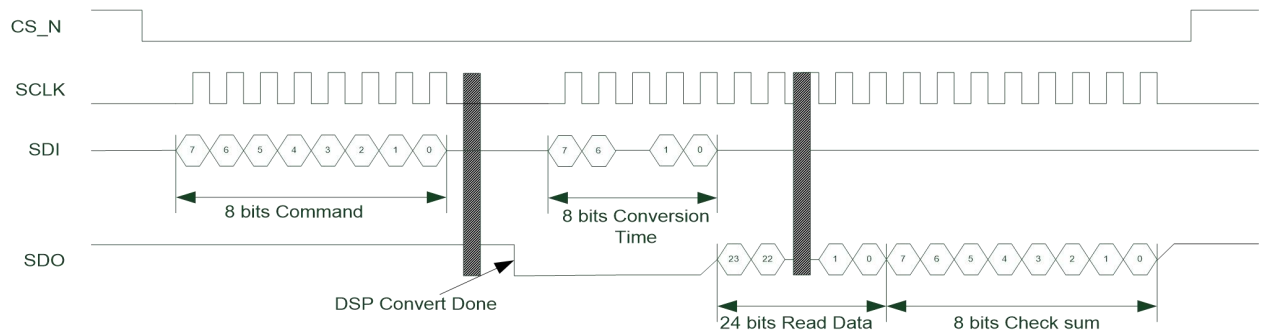


Figure 4-14 SPI 单一转换帧时序 (包含 CRC 校验)

下图为连续转换帧在包含 CRC 校验且片选一直保持低电平的时序，若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。若是出现 CRC 校验错误状况，可以重新在 SDI 输入 0x42 后即可重新读取上次转换。

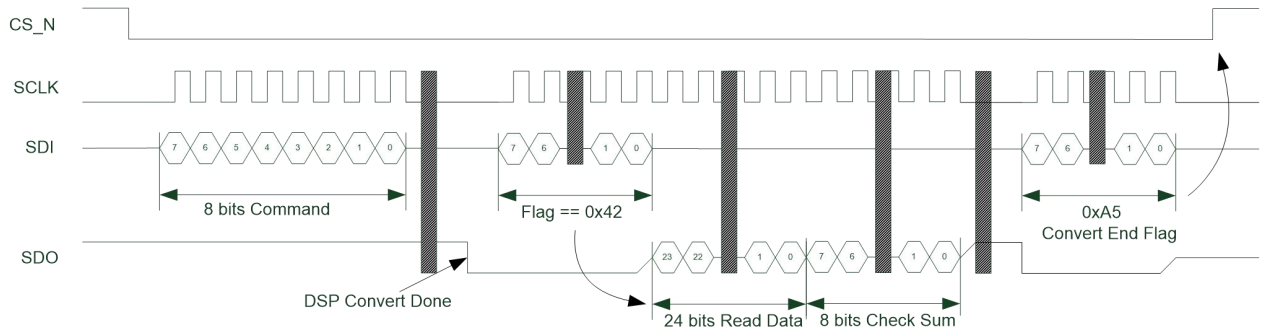


Figure 4-15 SPI 连续转换帧时序，片选保持低电平 (包含 CRC 校验)

下图为连续转换帧在包含 CRC 校验但是片选在转换等待时间可以切为高电平的时序 (CSHIGH_MODE 需为 1)，在此模式下，片选只可在读完 8 bits CRC 校验后后举高，不可以在前面 8 bits dummy byte 或是读取数据过程中举高。若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。若是出现 CRC 校验错误状况，可将片选置 1 再置 0 后继续重新等待下次 DSP 转换完成或是重新在 SDI 输入 0x42 后即可重新读取上次转换。

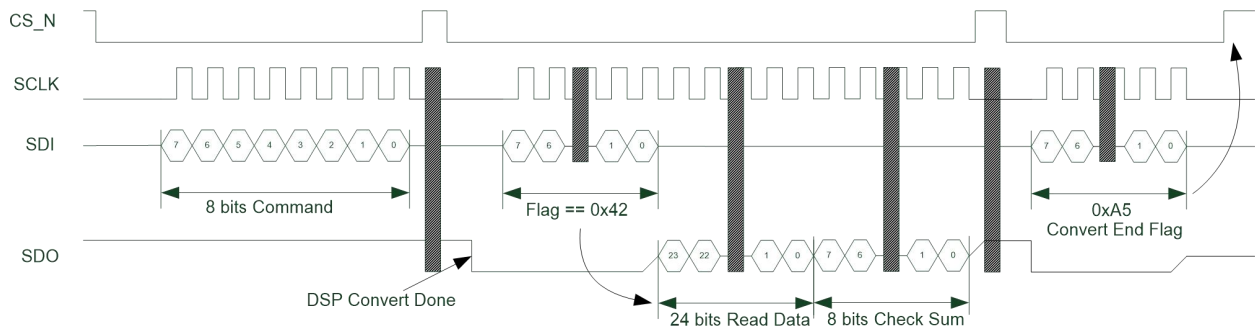


Figure 4-16 SPI 连续转换帧时序，片选可切为高电平 (包含 CRC 校验)

4.4. SPI 转换状态

因为 HCT696x 支持每次可以选择多种转换设置，为了分辨此次输出是属于哪组设置，可以在输出数据后面加上 SYS_CONF0[7:0]，此功能可以由 STAT_EN (SYS_CONF0 bit 21) 打开，此功能可以与 CRC 校验同时开启。

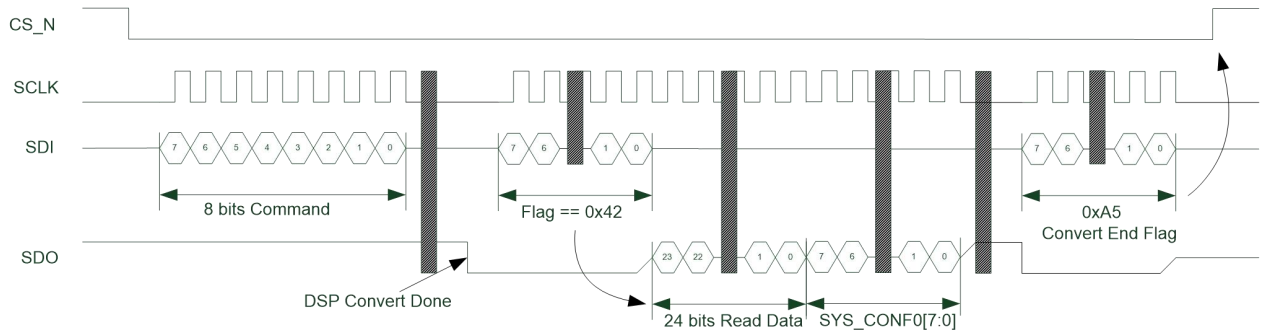


Figure 4-17 SPI 转换状态使能时序 (不包含 CRC 校验)

4.5. SPI 接口复位

在四线模式下，也就是 SPI 片选是存在的状况，只要片选被置 1，SPI 接口就会立即被复位，回到可接收指令状态，所以不需特殊指令来做 SPI 接口复位。但当 CSHIGH_MODE 置 1 时(SYS_CONF0 bit 24)，若进入连续转换模式，则当片选置 1 状况，并不会复位 SPI 接口，且片选为 1 状况下，SDO 接口会浮空，同时所有 SCLK 均会被忽略，若要跳出此模式，需等到片选置 0，且利用正常的连续转换终止指令（在 DUMMY Byte 时间于 SDI 输入 0xA5），或是利用下面提到的强制复位模式来跳出连续转换模式。

在三线模式下，SPI 片选永远接地，首先板上需要确定 SCLK 不受干扰，建议在板上对 SCLK 做 10Kohm 下拉，第一次上电完成后，原则上内部 POR 会将 SPI 接口复位，但是建议可以在 SDI 上打入 Byte 0 = 0x00，Byte 1 = 0xA5，Byte 2 = 0xFF，Byte 3 = 0x5A，连续 32 个时钟的信号强制 SPI 接口复位后开始使用。0x00A5FF5A 指令可在任何时候生效。复位完成后等待 1us 后可以重新开始操作 SPI 指令。

4.6. SPI 接口时序

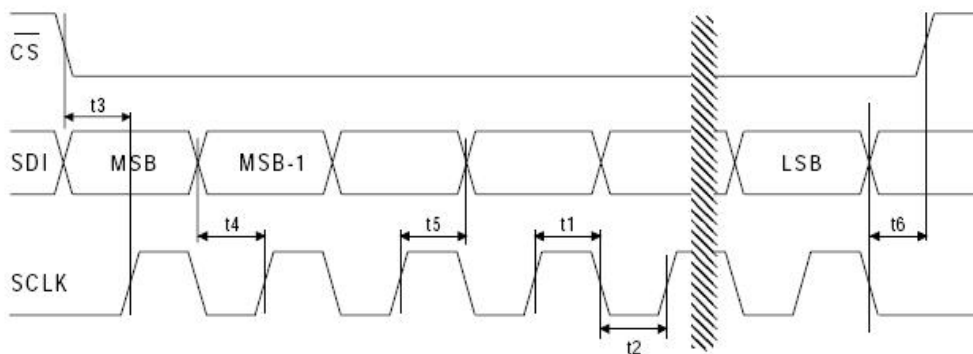


Figure 4-18 SPI 写时序

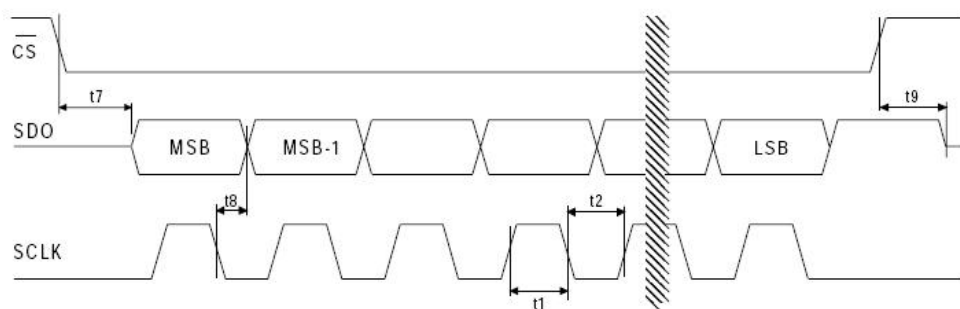


Figure 4-19 SPI 读时序

Table 4-9 SPI 接口时序特性

	标识	最小	典型	最大	单位
SPI 时序					
SPI 时钟频率	SCLK	0		10	MHz
SPI 时钟脉宽	t1(高)	50			ns
	t2(低)	50			ns
SDI 写时序					
CS_N 片选到第一个时钟延时	t3	10			ns
DATA 领先时钟上升沿的建立时间	t4	10			ns
DATA 在时钟沿后的稳定时间	t5	20			ns
时钟下降沿后到 CS_N 上升的延时	t6	20			ns
SDI 读时序					
CS_N 信号变低到有效数据	t7			30	ns
SCLK 下降沿到新数据输出延时	t8			30	ns
CS_N 信号变高到 SDO 进高阻态的延时	t9			30	ns

SPI 写入数据的时候，SDI 的数据是在 SCLK 的下降沿变化，以便在芯片写入寄存器的时候有足够的建立和保持时间。芯片内部电路在 SCLK 上升沿去读取 SDI 数据，并填入相应的内部寄存器中。

SPI 读出数据的时候，CS_N 下降之后即通过 SDO 送出数据，由 MCU 产生 SCLK 去读。SDO 的数据变化是在 SCLK 下降沿之后变化。

5. 寄存器描述

5.1. 寄存器地址

HCT696x内共有53个24或32 bits寄存器，可以通过读写帧的ADDR，来选择要读取或是写入的位置，下表列出各个寄存器对应的地址与初始值。

Table 5-1 寄存器地址表

地址	名称	类型	位宽	描述	初始值
0x00	OS_CH0	R/W	24	ADC转换设置0 Offset设置	0x000000
0x01	GAIN_CH0	R/W	24	ADC转换设置0 Gain设置	0x400000
0x02	OS_CH1	R/W	24	ADC转换设置1 Offset设置	0x000000
0x03	GAIN_CH1	R/W	24	ADC转换设置1 Gain设置	0x400000
0x04	OS_CH2	R/W	24	ADC转换设置2 Offset设置	0x000000
0x05	GAIN_CH2	R/W	24	ADC转换设置2 Gain设置	0x400000
0x06	OS_CH3	R/W	24	ADC转换设置3 Offset设置	0x000000
0x07	GAIN_CH3	R/W	24	ADC转换设置3 Gain设置	0x400000
0x08	OS_CH4	R/W	24	ADC转换设置4 Offset设置	0x000000
0x09	GAIN_CH4	R/W	24	ADC转换设置4 Gain设置	0x400000
0x0A	OS_CH5	R/W	24	ADC转换设置5 Offset设置	0x000000
0x0B	GAIN_CH5	R/W	24	ADC转换设置5 Gain设置	0x400000
0x0C	OS_CH6	R/W	24	ADC转换设置6 Offset设置	0x000000
0x0D	GAIN_CH6	R/W	24	ADC转换设置6 Gain设置	0x400000
0x0E	OS_CH7	R/W	24	ADC转换设置7 Offset设置	0x000000
0x0F	GAIN_CH7	R/W	24	ADC转换设置7 Gain设置	0x400000
0x10	OS_CH8	R/W	24	ADC转换设置8 Offset设置	0x000000

0x11	GAIN_CH8	R/W	24	ADC转换设置8 Gain设置	0x400000
0x12	OS_CH9	R/W	24	ADC转换设置9 Offset设置	0x000000
0x13	GAIN_CH9	R/W	24	ADC转换设置9 Gain设置	0x400000
0x14	OS_CH10	R/W	24	ADC转换设置10 Offset设置	0x000000
0x15	GAIN_CH10	R/W	24	ADC转换设置10 Gain设置	0x400000
0x16	OS_CH11	R/W	24	ADC转换设置11 Offset设置	0x000000
0x17	GAIN_CH11	R/W	24	ADC转换设置11 Gain设置	0x400000
0x18	OS_CH12	R/W	24	ADC转换设置12 Offset设置	0x000000
0x19	GAIN_CH12	R/W	24	ADC转换设置12 Gain设置	0x400000
0x1A	OS_CH13	R/W	24	ADC转换设置13 Offset设置	0x000000
0x1B	GAIN_CH13	R/W	24	ADC转换设置13 Gain设置	0x400000
0x1C	OS_CH14	R/W	24	ADC转换设置14 Offset设置	0x000000
0x1D	GAIN_CH14	R/W	24	ADC转换设置14 Gain设置	0x400000
0x1E	OS_CH15	R/W	24	ADC转换设置15 Offset设置	0x000000
0x1F	GAIN_CH15	R/W	24	ADC转换设置15 Gain设置	0x400000
0x20~0x27	保留	R	24		
0x28	OS_TEMP	R/W	24	ADC转换温度 Offset设置	0x000000
0x29	GAIN_TEMP	R/W	24	ADC转换温度 Gain设置	0x400000
0x2A~0x2E	保留	R	24		
0x2F	D_TARG	R/W	24	增益校准目标寄存器	0x7FFFFFF
0x30	CONV_CONF0	R/W	32	CONF0转换设置寄存器	0x00000000
0x31	CONV_CONF1	R/W	32	CONF1转换设置寄存器	0x00000000
0x32	CONV_CONF2	R/W	32	CONF2转换设置寄存器	0x00000000

0x33	CONV_CONF3	R/W	32	CONF3转换设置寄存器	0x00000000
0x34	CONV_CONF4	R/W	32	CONF4转换设置寄存器	0x00000000
0x35	CONV_CONF5	R/W	32	CONF5转换设置寄存器	0x00000000
0x36	CONV_CONF6	R/W	32	CONF6转换设置寄存器	0x00000000
0x37	CONV_CONF7	R/W	32	CONF7转换设置寄存器	0x00000000
0x38	CONV_CONF8	R/W	32	CONF8转换设置寄存器	0x00000000
0x39	CONV_CONF9	R/W	32	CONF9转换设置寄存器	0x00000000
0x3A	CONV_CONF10	R/W	32	CONF10转换设置寄存器	0x00000000
0x3B	CONV_CONF11	R/W	32	CONF11转换设置寄存器	0x00000000
0x3C	CONV_CONF12	R/W	32	CONF12转换设置寄存器	0x00000000
0x3D	CONV_CONF13	R/W	32	CONF13转换设置寄存器	0x00000000
0x3E	CONV_CONF14	R/W	32	CONF14转换设置寄存器	0x00000000
0x3F	CONV_CONF15	R/W	32	CONF15转换设置寄存器	0x00000000
0x40	CONV_CONF16	R/W	32	CONF16转换设置寄存器	0x00000000
0x41	CONV_CONF17	R/W	32	CONF17转换设置寄存器	0x00000000
0x42~0x47	保留	R	32		
0x48	SYS_CONF0	R/W	32	系统设置寄存器0	0x00008000
0x49	SYS_CONF1	R/W	32	系统设置寄存器1	0x00000000
0x4A	SYS_CONF2	R/W	32	系统设置寄存器2	0x00000000
0x4B	SYS_CONF3	R/W	32	系统设置寄存器3	0x00000000
0x4C	SYS_CONF4	R/W	32	系统设置寄存器4	0x00000000
0x4D	SYS_CONF5	R/W	32	系统设置寄存器5	0x00000000
0x4E	SYS_CONF6	R/W	32	系统设置寄存器6	0x00000000

0x4F	CONV_DATA	R	24	转换数据寄存器	--
------	-----------	---	----	---------	----

5.2. OS_CHx/GAIN_CHx 寄存器

OS_CHx 与 GAIN_CHx 是用来储存相对应 CONV_CONFx 通道(x=0 ~ 15)的 Offset 与 Gain 校准值。

Table 5-2 OS_CHx/OS_TEMP 定义

位置	名称	类型	描述	初始值
23:0	OS_CHx	R/W	<p>ADC 通道 x(0 ~ 15)的 Offset 校准值,此校准值可由主控端填入或是在进行 Offset 自校准或是系统校准时由芯片自动更新,此校准值为 24 bits 有符号数,在进行标准模式转换完成后,会先减掉此 Offset 值后再进行增益校准,下面列出各种数值代表意义</p> <p>0x000000: 偏差 0</p> <p>0x400000: 正半量程(+0.50)</p> <p>0x7FFFFFFF: 正满量程(+1.00)</p> <p>0xC00000: 负半量程(-0.50)</p> <p>0x800000: 负满量程(-1.00)</p>	0x000000

Table 5-3 GAIN_CHx 定义

位置	名称	类型	描述	初始值
23:0	GAIN_CHx	R/W	<p>ADC 通道 x(0 ~ 15)的 Gain 校准值,此校准值可由主控端填入或是在进行 Gain 系统校准时由芯片自动更新,此校正值为 24 bit 无符号数,在进行标准模式转换后,会先减掉 Offset 校准值后再乘上此增益校准值,下面列出各种数值代表意义</p> <p>0x200000: Gain = 0.5</p> <p>0x400000: Gain = 1.00</p> <p>0x600000: Gain = 1.50</p> <p>0x800000: Gain = 2.00</p>	0x400000

实际进行 ADC 转换时,每组 CONV_CONFx 会对应到不同的校准值,可以参考下表说明。

Table 5-4 校准值选择表

CONV_CONFx	使用的校准值
0	OS_CH0, GAIN_CH0
1	OS_CH1, GAIN_CH1
2	OS_CH2, GAIN_CH2
3	OS_CH3, GAIN_CH3
4	OS_CH4, GAIN_CH4
5	OS_CH5, GAIN_CH5
6	OS_CH6, GAIN_CH6
7	OS_CH7, GAIN_CH7
8	OS_CH8, GAIN_CH8
9	OS_CH9, GAIN_CH9
10	OS_CH10, GAIN_CH10
11	OS_CH11, GAIN_CH11
12	OS_CH12, GAIN_CH12
13	OS_CH13, GAIN_CH13
14	OS_CH14, GAIN_CH14
15	OS_CH15, GAIN_CH15
16	温度传感器专用通道
17	OS=0x000000, GAIN=0x400000

5.3. CONV_CONFx 寄存器

CONV_CONFx (x=0 ~ 17)是用来储存转换设置的寄存器，芯片内共有 18 组转换设置可以随时调用，其中只要该组设置的使能位为 1，则该组设置会在每次单一转换或是每个连续转换的循环里被触发。举例来说，若第 1/3/5 组转换位置被使能，则每次单一转换开始时，会连续进行 1/3/5 三组设置的转换，也就是会输

出三笔数据后转换才会停止。若是连续转换，则会以 1/3/5/1/3/5/1/3/5 这样的顺序连续输出数据。在每次开始转换之前，主控端需要先将相对应的转换设置寄存器设置好。下表列出 CONV_CONFx 之具体定义。

测温的时候，需使用 CONV_CONF16，且设置 VPSEL 和 VNSEL 为 TEMP 选项，REFSEL 选内部基准。

D31	D30	D29	D28	D27	D26	D25	D24
CONV_EN			VNSEL<4>	VNSEL<3>	VNSEL<2>	VNSEL<1>	VNSEL<0>
D23	D22	D21	D20	D19	D18	D17	D16
FILTYPE<1>	FILTYPE<0>		VPSEL<4>	VPSEL<3>	VPSEL<2>	VPSEL<1>	VPSEL<0>
D15	D14	D13	D12	D11	D10	D9	D8
REFSEL<1>	REFSEL<0>	SIGBUF_ENN	REFBUF_ENN	BURNOUT	GA<2>	GA<1>	GA<0>
D7	D6	D5	D4	D3	D2	D1	D0
DR<3>	DR<2>	DR<1>	DR<0>		DLY<2>	DLY<1>	DLY<0>

Table 5-5 CONV_CONFx 定义

位置	名称	类型	描述	初始值
31	CONV_EN	R/W	转换使能 0: 关闭该设置 1: 使能设置，每次转换命令后，该设置会被启动	0x0
30:29		R	保留	0x0
28:24	VNSEL	R/W	ADC 负端信号来源选择 00000: AIN0; 00001: AIN1; 00010: AIN2; 00011: AIN3; 00100: AIN4; 00101: AIN5; 00110: AIN6; 00111: AIN7; 01000: AIN8; 01001: AIN9; 01010: AIN10; 01011: AIN11; 01100: AIN12; 01101: AIN13; 01110: AIN14; 01111: AIN15; 10000: TEMP; 10001: AVSS; 10010: AVSS; 10011: AVSS; 每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x0

23:22	FLIT_TYPE	R/W	<p>滤波器类型选择</p> <p>0: 选择一阶滤波器</p> <p>1: 选择三阶滤波器</p> <p>2: 选择 50/60Hz 抑制滤波器</p> <p>3: 保留</p>	0x0
21		R/W	保留	0x0
20:16	VPSEL	R/W	<p>ADC 正端信号来源选择</p> <p>00000: AIN0; 00001: AIN1; 00010: AIN2; 00011: AIN3; 00100: AIN4; 00101: AIN5; 00110: AIN6; 00111: AIN7; 01000: AIN8; 01001: AIN9; 01010: AIN10; 01011: AIN11; 01100: AIN12; 01101: AIN13; 01110: AIN14; 01111: AIN15; 10000: TEMP; 10001: (REFPx-REFNx)/2; REFPx-REFNx 为通过 REFSEL 选定的基准源, 但选择这一组作为 AD 输入信号时, 实际 AD 转换时用的基准源将自动切换为 2.5V 内部基准源, REFSEL 选定的只作为信号而不作为基准。同时 CONV_CONFx 里的 VNSEL 必须选 AVSS。增益自动固定为 1 倍。用于检测选中的基准源电压是否正常。</p> <p>10010: DVDD/2 VPSEL 选这组时, CONV_CONFx 里的 VNSEL 必须选 AVSS, 增益自动固定为 1 倍;</p> <p>10011: AVDD/2 VPSEL 选这组时, CONV_CONFx 里的 VNSEL 必须选 AVSS, 增益自动固定为 1 倍</p> <p>每次开始转换后, VPSEL 寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上</p>	0x0
15:14	REFSEL	R/W	<p>ADC 基准电压选择</p> <p>0: REFP1/REFN1</p> <p>1: REFP2/REFN2</p> <p>2: 内部基准</p> <p>3: AVDD/AVSS;</p> <p>每次开始转换后, 该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上</p>	0x0

13	SIGBUF_ENN	R/W	<p>输入信号 BUFFER 使能</p> <p>0: 打开</p> <p>1: 关闭</p> <p>每次开始转换后, 该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上</p>	0x0
12	REFBUF_ENN	R/W	<p>基准 BUFFER 使能</p> <p>0: 打开</p> <p>1: 关闭</p> <p>每次开始转换后, 该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上</p>	0x0
11	BURNOUT	R/W	<p>输入信号端开路检测</p> <p>0: 关闭开路检测功能</p> <p>1: 芯片内部往选中的 ADC 正端引脚流出电流, 往选中的 ADC 负端引脚流入电流, 检测输入信号源是否开路。如果开路, ADC 输入信号将变得很大。检测电流的大小可通过 BOUT_SEL 进行设置。</p> <p>每次开始转换后, 该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上</p>	0x0
10:8	GA	R/W	<p>ADC 模拟增益选择</p> <p>0x0: x1</p> <p>0x1: x2</p> <p>0x2: x4</p> <p>0x3: x8</p> <p>0x4: x16</p> <p>0x5: x32</p> <p>0x6: x64</p> <p>0x7: x128</p> <p>每次开始转换后, 该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上</p>	0x0
7:4	DR	R/W	<p>ADC 数据输出码率选择。</p> <p>当 SYS_CONF1 的 FR_SEL = 0 时(即 50Hz 模式。FR_SEL=1 时, 下述输出频率都需乘 1.2), 输出频率如下表:</p> <p>0x0: 6400Hz</p> <p>0x1: 3200Hz</p>	0x0

		<p>0x2: 1600Hz</p> <p>0x3: 800Hz</p> <p>0x4: 400Hz</p> <p>0x5: 200Hz</p> <p>0x6: 100Hz</p> <p>0x7: 50Hz</p> <p>0x8: 25Hz</p> <p>0x9: 12.5Hz</p> <p>0xA: 6.25Hz</p> <p>0xB~0xF: 3.125Hz</p> <p>当芯片配置为高功率模式（ADCKSEL 配置为'2'）时：</p> <p>0x0: 12800Hz</p> <p>0x1: 6400Hz</p> <p>0x2: 3200Hz</p> <p>0x3: 1600Hz</p> <p>0x4: 800Hz</p> <p>0x5: 400Hz</p> <p>0x6: 200Hz</p> <p>0x7: 100Hz</p> <p>0x8: 50Hz</p> <p>0x9: 25Hz</p> <p>0xA: 12.5Hz</p> <p>0xB~0xF: 6.25Hz</p> <p>当芯片配置为低功率模式（ADCKSEL 配置为'1'）时：</p> <p>0x0: 3200Hz</p> <p>0x1: 1600Hz</p> <p>0x2: 800Hz</p> <p>0x3: 400Hz</p> <p>0x4: 200Hz</p> <p>0x5: 100Hz</p> <p>0x6: 50Hz</p>	
--	--	--	--

			0x7: 25Hz 0x8: 12.5Hz 0x9: 6.25Hz 0xA: 3.125Hz 0xB~0xF: 1.5625Hz	
3		R/W	保留	0x0
2:0	DLY	R/W	该次启动转换后的等待时间长度，这里的等待是指 ADC 时钟（中功率模式下是 204.8kHz or 245.76kHz(60Hz 模式)，高功率模式下频率 x2，低功率模式下频率除 2)的 clock 个数，等待期间的模拟输出的 AD 码流数据会被忽略即可。 0x0: 8 0x1: 32 0x2: 64 0x3: 256 0x4: 1024 0x5: 2048 0x6: 4096 0x7: 1	0x0

5.4. SYS_CONF_x 寄存器

SYS_CONF_x (x=0~6)为系统相关的配置寄存器，主控端需要在开机完成后先完成正确的系统配置。寄存器表里的保留位在配置时需写 0，或不配置保持默认值。

5.4.1. SYS_CONF0

D31	D30	D29	D28	D27	D26	D25	D24
RS_SYS		FILT_MODE		CALI_EN	TEST_BIT		CSHIGH_MODE
D23	D22	D21	D20	D19	D18	D17	D16
	DRF_MODE	STAT_EN	ADSAT_EN	SPICKCNT_EN	CKS_EN		REGCK_EN

D15	D14	D13	D12	D11	D10	D9	D8
RS_V			ADSAT_ERR	SPICKCNT_ERR	CKS_ERR		REGCK_ERR
D7	D6	D5	D4	D3	D2	D1	D0
CONV_SQ<4>	CONV_SQ<3>	CONV_SQ<2>	CONV_SQ<1>	CONV_SQ<0>	REF_ERR	PWLV_ERR	ERR_ALL

Table 5-6 SYS_CONF0 定义

位置	名称	类型	描述	初始值
31	RS_SYS	R/W	系统全局复位 (不包含 SPI 接口部分), 当此位置被写入 1 之后, 会进行系统全局复位, 此位置会在 10ms 后自动清 0 写入 0: 无效果 写入 1: 开始全局复位 读取 0: 全局复位已完成 读取 1: 全局复位进行中	0x0
30			保留	0x0
29			保留	0x0
28			保留	0x0
27	CALI_EN	R/W	芯片校准命令帧使能 0: 不接收芯片校准命令帧, 即使收到也不响应 1: 接收芯片校准命令帧	0x0
26	TEST_BIT		必须写 0	0x0
25			保留	0x0
24	CSHIGH_MODE	R/W	SPI 片选模式选择 0: 关闭 SPI 片选可置 1 模式, 当连续转换模式时, 只要 SPI 片选置 1, 即会退出连续转换模式 1: 开启 SPI 片选可置 1 模式, 当连续转换模式时, 当 SPI 片选置 1, 不会退出连续转换模式, 当 SPI 片选再度置 0 时, 会继续之前的连续转换模式, 直到收到停止连续转换模式之指令 (0xA5@Dummy byte)	0x0
23			保留	

22	DRF_MODE	R/W	<p>数据更新模式</p> <p>0: 转换数据 ready 之后, DOUT 与 RDYN 引脚拉低通知 MCU 读取。如果在第二个转换数据 ready 之后, MCU 未能读取完上一个数据, 则 DOUT 引脚仍是上个数据的值。</p> <p>1: 每次转换完数据后, 不管上一个数据 MCU 是否读完, 都更新为当前的最新数据, 同时会把 DOUT 与 RDYN 引脚拉高再拉低, 通知 MCU 新的数据 ready。这一模式要求 MCU 必须在每个数据周期内读完数据。</p>	0x0
21	STAT_EN	R/W	<p>ADC 数据状态输出使能</p> <p>0: 不使能</p> <p>1: 每次转换完数据后, 在 24 bits ADC 数据后, 会再输出 SYS_CONF0 bit[7:0], 此时若有开启 CRC 校验功能, 会再根据前面 32 bits 输出 CRC 校验</p>	0x0
20	ADSAT_EN	R/W	<p>ADC 数据饱和检测使能</p> <p>0: 不使能</p> <p>1: 当 ADC 输出连续 30 个点是 0 或 1 时, ADSAT_ERR 置 1</p>	0x0
19	SPICKCNT_EN	R/W	<p>SPI 时钟数目检测使能</p> <p>0: 不使能</p> <p>1: 在 SPI 通讯时对 SCLK 进行计数, 若每轮通讯结束后总时钟数不是 8 的倍数, 则 SPICKCNT_ERR 置 1。此检测只能在 SPI 4 线模式 (有 CSN) 状况下作用</p>	0x0
18	CKS_EN	R/W	<p>SPI 接口 CRC 校验使能</p> <p>0: 关闭 SPI 接口 CRC 校验</p> <p>1: 开启 SPI 接口 CRC 校验</p>	0x0
17			保留	0x0
16	REGCK_EN	R/W	<p>寄存器 CRC 校正使能</p> <p>0: 不使能</p> <p>1: 使能内部寄存器 CRC 校正, 每次单一转换完成后或是连续转换停止时, 会对寄存器 0x00~0x4C 进行 CRC 检测, 当 CRC 检测错误时, 会将 REGCK_ERR 置 1</p>	0x0
15	RS_V	R	<p>复位有效标志</p> <p>0: 上次复位失败, 主控需要重新进行全局复位</p> <p>1: 上次复位成功</p>	0x1

14:13			保留	
12	ADSAT_ERR	R	ADC 饱和错误, 此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: ADC 饱和错误	0x0
11	SPICKCNT_ERR	R	SPI 时钟数目检测错误, 此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: SPI 时钟数目错误	0x0
10	CKS_ERR	R	SPI 奇校验或 CRC 校验错误, 此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: 表示最后一次接收到的命令帧奇校验错误或是数据的 CRC 校验错误	0x0
9			保留	0x0
8	REGCK_ERR	R	寄存器自校验错误, 此寄存器会在主控读取此寄存器后自动清 0 0: 未发生错误 1: 寄存器自校验错误	0x0
7:3	CONV_SQ	R	当前转换的转换设置寄存器序号 0: 对应 CONV_CONF0 1: 对应 CONV_CONF1 ... 17: 对应 CONV_CONF17	0x0
2	REF_ERR	R	基准源电压过低 0: 基准源电压正常 1: 基准源电压过低	0x0
1	PW_LV	R	芯片电源欠压检测 0: 芯片电源在 3V 以上 1: 芯片电源已掉到 3V 以下	0x0
0	ERR_ALL	R	上述状态寄存器里, 若 RS_V=0 或是其他错误状态任一为 1, 则此位置 1	0x0

5.4.2. SYS_CONF1

D31	D30	D29	D28	D27	D26	D25	D24
CKSRSEL<1>	CKSRSEL<0>				SWT_SIG		
D23	D22	D21	D20	D19	D18	D17	D16
ADCKSEL<1>	ADCKSEL<0>	FR_SEL		REFDET_EN			
D15	D14	D13	D12	D11	D10	D9	D8
POWD	IIT1	IIT0					
D7	D6	D5	D4	D3	D2	D1	D0
REF2P5_EN	ADCPDN	PWRDET	IDT				

Table 5-7 SYS_CONF1 定义

位置	名称	类型	描述	初始值
31:30	CKSRSEL	R/W	时钟源选择 0: 选择内部 RC, 且 RC 时钟不从 CLK 引脚送出 1: 选择内部 RC, 且 RC 时钟从 CLK 引脚送出 2~3: 选择外部 CLK 引脚输入的时钟	0x0
29:27		保留		0x0
26	SWT_SIG	R/W	REFNO 引脚到 AVSS_SW 引脚的内部开关使能 0: 开关断开 1: 开关导通	0x0
25		保留		0x0
24		保留		0x0
23:22	ADCKSEL	R/W	ADC 工作频率选择, DR 寄存器所对应的输出 0: 默认频率 1: 工作频率除 2, 此时 DR 寄存器所对应的数据率也相应除 2 2: 工作频率乘 2, 此时 DR 寄存器所对应的数据率也相应乘 2 3: 保留	0x0

21	FR_SEL	R/W	频率模式选择 0: 50Hz 模式 1: 60Hz 模式, 此时 DR 寄存器对应频率都乘 1.2	0x0
20		保留		0x0
19	REFDET_EN	R/W	REF 检测使能 0: 不使能 1: 使能, 当正使用的 REF 低于 0.6V 时, REF_ERR 置 1	0x0
18:16		保留		0x0
15	POWD	R/W	睡眠模式选择 0: 正常工作模式 1: 睡眠模式 (无法进行转换)	0x0
14	IIT1	R/W	增加 PGA 电流, 用于高功率模式 0: 默认 1: 增加约 80uA	0x0
13	IIT0	R/W	增加 ADC 电流, 用于高功率模式 0: 默认 1: 增加约 60uA	0x0
12:8		保留		0x0
7	REF2P5_EN	R/W	内部 2.5V 基准源使能 0: 不使能 1: 使能	0x0
6	ADCPDN	R/W	ADC 模拟模块使能, 此寄存器会在开始转换时自动开关 ADC, 但是主控端也可以强制打开 ADC 读取 0: ADC 已关闭 读取 1: ADC 已使能 写入 0: 无作用 写入 1: 强制使能 ADC (测试用)	0x0
5	PWRDET	R/W	电源欠压检测使能 0: 不使能 1: 使能	0x0

4	IDT	R/W	偏置电流调节，用于低功率模式 0: 默认; 1: 降低约 100uA;	0x0
3:0			保留	0x0

5.4.3. SYS_CONF2

D31	D30	D29	D28	D27	D26	D25	D24
VB15_EN	VB14_EN	VB13_EN	VB12_EN	VB11_EN	VB10_EN	VB9_EN	VB8_EN
D23	D22	D21	D20	D19	D18	D17	D16
VB7_EN	VB6_EN	VB5_EN	VB4_EN	VB3_EN	VB2_EN	VB1_EN	VB0_EN
D15	D14	D13	D12	D11	D10	D9	D8
IDAC1_CH<3>	IDAC1_CH<2>	IDAC1_CH<1>	IDAC1_CH<0>	IDAC0_CH<3>	IDAC0_CH<2>	IDAC0_CH<1>	IDAC0_CH<0>
D7	D6	D5	D4	D3	D2	D1	D0
SHI	IDAC1<2>	IDAC1<1>	IDAC1<0>		IDAC0<2>	IDAC0<1>	IDAC0<0>

Table 5-8 SYS_CONF2 定义

位置	名称	类型	描述	初始值
31:16	VBx_EN	R/W	为 VBIAS 电压(AVDD-AVSS)/2 的输出使能，对应到 AIN15~AIN0 0: 不使能 1: 将 VBIAS 偏置电压输出到 AINx	0x0
15:12	IDAC1_CH	R/W	电流源 IDAC1 输出信号通道选择 0000~1111: IDAC1 输出到 AIN0~AIN15	0x0
11:8	IDAC0_CH	R/W	电流源 IDAC0 输出信号通道选择 0000~1111: IDAC0 输出到 AIN0~AIN15	0x0
7	SHI	R/W	ADC 输入内部短路，此寄存器会在进行 Offset 校准时自动置 1，校准完成后会回复原本设定值，软件设置此寄存器为 1 后会强制使能短路功能 0: 不使能 1: 使能	0x0

6:4	IDAC1	R/W	电流源 IDAC1 电流大小选择 0: 0uA 1: 10uA 2: 50uA 3: 200uA 4: 500uA 5: 1000uA 6: 1500uA 7: 1500uA	0x0
3			保留	
2:0	IDAC0	R/W	电流源 IDAC0 电流大小选择 0: 0uA 1: 10uA 2: 50uA 3: 200uA 4: 500uA 5: 1000uA 6: 1500uA 7: 1500uA	

5.4.4. SYS_CONF3

D31	D30	D29	D28	D27	D26	D25	D24
D23	D22	D21	D20	D19	D18	D17	D16
		PHA<5>	PHA<4>	PHA<3>	PHA<2>	PHA<1>	PHA<0>
D15	D14	D13	D12	D11	D10	D9	D8
REFSEL<1>	REFSEL<0>	SIGBUF_ENN	REFBUF_ENN	BURNOUT	GA<2>	GA<1>	GA<0>
D7	D6	D5	D4	D3	D2	D1	D0

VBCOM_EN			REF2V_EN			BOUT_SEL<1>	BOUT_SEL<0>
----------	--	--	----------	--	--	-------------	-------------

Table 5-9 SYS_CONF3 定义

位置	名称	类型	描述	初始值
31:22			保留	
21:16	PHA	R/W	ADC 码流相位延时，对 ADC 码流信号进行延时 0: 不延时 1: 延后 1 个 ADC 时钟 2: 延后 2 个 ADC 时钟 ... 63: 延后 63 个 ADC 时钟	0x0
15:14	REFSEL	R	ADC 基准电压选择，此寄存器的值会由当前选中的 CONV_CONFx 寄存器里赋值过来	0x0
13	SIGBUF_ENN	R	信号 BUFFER 使能，此寄存器的值会由当前选中的 CONV_CONFx 寄存器里赋值过来	0x0
12	REFBUF_ENN	R	基准 BUFFER 使能，此寄存器的值会由当前选中的 CONV_CONFx 寄存器里赋值过来	0x0
11	BURNOUT	R	输入信号端开路检测，此寄存器的值会由当前选中的 CONV_CONFx 寄存器里赋值过来	0x0
10:8	GA	R	ADC 模拟增益选择，此寄存器的值会由当前选中的 CONV_CONFx 寄存器里赋值过来	0x0
7	VBCOM_EN	R/W	将内部 VBIAS 电压输出到 VBCOM 引脚	
6:5			保留	0x0
4	REF2V_EN	R/W	2V REF 使能，配置后 REF 输出电压改为 2.048V。需要最低 2.2V 电源下工作，且使用内部基准源的应用场合，应将此 BIT 配置为 1，以便基准电压在低压下也可保持稳定。	0x0
3:2			保留	0x0
1:0	BOUT_SEL	R/W	Burnout 电流选择 0: 0.5uA 1: 1uA 2~3: 10uA	0x0

5.4.5. SYS_CONF4

D31	D30	D29	D28	D27	D26	D25	D24
			VNSEL<4>	VNSEL<3>	VNSEL<2>	VNSEL<1>	VNSEL<0>
D23	D22	D21	D20	D19	D18	D17	D16
			VPSEL<4>	VPSEL<3>	VPSEL<2>	VPSEL<1>	VPSEL<0>
D15	D14	D13	D12	D11	D10	D9	D8
GPIO4_STS	GPIO3_STS	GPIO2_STS	GPIO1_STS	GPIO4_DAT	GPIO3_DAT	GPIO2_DAT	GPIO1_DAT
D7	D6	D5	D4	D3	D2	D1	D0
GPIO4_DIR	GPIO3_DIR	GPIO2_DIR	GPIO1_DIR	GPIO4_EN	GPIO3_EN	GPIO2_EN	GPIO1_EN

Table 5-10 SYS_CONF4 定义

位置	名称	类型	描述	初始值
31:29			保留	0x0
28:24	VNSEL<4:0>	R	ADC 信号负端选择，此寄存器的值会由当前选中的 CONV_CONFx 寄存器里赋值过来	0x0
23:21			保留	0x0
20:16	VPSEL<4:0>	R	ADC 信号正端选择，此寄存器的值会由当前选中的 CONV_CONFx 寄存器里赋值过来	0x0
15:12	GPIOx_STS	R	GPIOx 状态，对应到引脚 P4~P1 (x=4~1) 0: 引脚 P4~P1 当前状态为 0 1: 引脚 P4~P1 当前状态为 1	0x0
11:8	GPIOx_DAT	R/W	GPIOx 输出数据，对应到引脚 P4~P1 (x=4~1)，只在对应 GPIOx_EN 为 1 时有效 0: 输出 0 1: 输出 1	0x0
7:4	GPIOx_DIR	R/W	GPIOx 方向控制，对应到引脚 P4~P1 (x=4~1) 0: 该 GPIOx 作为数据输出使用，数据由 SYS_CONF4 寄存器里的 GPIOx_DAT 确定 1: 该 GPIOx 作为数据输入使用，输入的数据在 SYS_CONF4 寄存器	0x0

			里的 GPIOx_STS	
3:0	GPIOx_EN	R/W	GPIOx 使能，对应到引脚 P4~P1 (x=4~1) 0: 将引脚 P4~P1 当作 ADC 输入信号口使用 1: 将引脚 P4~P1 作为输入输出口使用，输入或输出由 GPIOx_DIR 决定	0x0

5.4.6. SYS_CONF5

SYS_CONF5 和 SYS_CONF6 寄存器保存的是出厂校正时各个 PGA 下的增益校正。一般应用领域里，会进行系统级(ADC+前端传感器/信号源)的增益校正，此时不需使用该寄存器里的校正值。如果某些应用领域，传感器/信号源的增益不需校正，则可使用该寄存器里的校正值。

使用方式为：根据 CONV_CONFx 里所设置的 PGA，读取相应 PGA 的 7bit 校正值，将这 7 个 BIT 的最高位往上扩展 7 个 BIT，最低位往下扩展 10 个 0，总长 24BIT，该数为补码，最高 bit=1 代表负数，名字假设叫 GAIN。然后计算 $0x400000 + \text{GAIN}$ ，按补码规则计算，然后将结果填到该 CONV_CONFx 寄存器所对应的 GAIN_CHx 寄存器里。

D31	D30	D29	D28	D27	D26	D25	D24
GAIN_PGA8							
D23	D22	D21	D20	D19	D18	D17	D16
GAIN_PGA4							
D15	D14	D13	D12	D11	D10	D9	D8
GAIN_PGA2							
D7	D6	D5	D4	D3	D2	D1	D0
GAIN_PGA1							

Table 5-11 SYS_CONF5 定义

位置	名称	类型	描述	初始值
31		R	保留	
30:24	GAIN_PGA8	R	PGA 8 倍下的增益校正系数，从 OTP 加载上来	--

23			保留	
22:16	GAIN_PGA4	R	PGA 4 倍下的增益校正系数，从 OTP 加载上来	--
15			保留	
14:8	GAIN_PGA2	R	PGA 2 倍下的增益校正系数，从 OTP 加载上来	--
7			保留	
6:0	GAIN_PGA1	R	PGA 1 倍下的增益校正系数，从 OTP 加载上来	--

5.4.7. SYS_CONF6

D31	D30	D29	D28	D27	D26	D25	D24
GAIN_PGA128							
D23	D22	D21	D20	D19	D18	D17	D16
GAIN_PGA64							
D15	D14	D13	D12	D11	D10	D9	D8
GAIN_PGA32							
D7	D6	D5	D4	D3	D2	D1	D0
GAIN_PGA16							

Table 5-12 SYS_CONF6 定义

位置	名称	类型	描述	初始值
31		R	保留	
30:24	GAIN_PGA128	R	PGA 128 倍下的增益校正系数，从 OTP 加载上来	--
23			保留	
22:16	GAIN_PGA64	R	PGA 64 倍下的增益校正系数，从 OTP 加载上来	--

15			保留	
14:8	GAIN_PGA32	R	PGA 32 倍下的增益校正系数，从 OTP 加载上来	--
7			保留	
6:0	GAIN_PGA16	R	PGA 16 倍下的增益校正系数，从 OTP 加载上来	--

5.5. D_TARG 寄存器

D_TARG 寄存器为系统 GAIN 校准时需要用到的寄存器，详情请见校准单元。

Table 5-13 D_TARG 定义

位置	名称	类型	描述	初始值
23:0	D_TARG	R/W	系统 Gain 校准之 ADC 期望值 0x400000: 正半量程(+0.50) 0x7FFFFFFF: 正满量程(+1.00)	0x7FFFFFFF

5.6. CONV_DATA 寄存器

CONV_DATA 寄存器为转换完成后数据储存的寄存器，详情请见校准单元。

Table 5-14 CONV_DATA 定义

位置	名称	类型	描述	初始值
23:0	DATA	R	ADC 转换结果 0x400000: 正半量程(+0.50) 0x7FFFFFFF: 正满量程(+1.00) 0xC00000: 负半量程(+0.50) 0x800000: 负满量程(-1.00)	--

AD 值为 24 位数据，最高位为符号位，电压转换公式为：

电压=AD 值/增益/2²³*基准电压

负数需要做补码处理：data = -(0xFFFFFFFF-data+1)，然后按照公式计算（data 为原始 AD 值）。

6. 芯片校准

6.1. 校准概述

芯片的校准分为两个部分，offset 校准和 gain 校准。

同时又分为自校准和系统校准两类，不管是自校准还是系统校准，用户都需先校准 offset，后校准 gain。

校准时也沿用 CONV_CONFx 寄存器里的 DR (Data Rate) 设置，如果时间允许客户应尽可能使用更低的数据率来进行 offset 校准和 gain 校准，以便得到更精确的校准值。如果期望校准值再精确（如 24BIT 以上的无噪声精度），可以由主控端多发起几次校准，每次校准后都将校准值读出，再取平均值，写入校准寄存器中。

在发送转换命令帧配置芯片进入校准模式之前，还需要将 SYS_CONF0 中的 CALI_EN 寄存器置'1'。

6.2. Offset 自校准

上位机通过转换命令帧配置芯片进入 offset 自校准模式后，芯片会自动将 SYS_CONF2 中的 SHI 寄存器置'1'，芯片将在内部将选中通道的输入端短路，此时 ADC 输入的信号为 0 信号，然后以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值，所测得的 ADC 转换值即为芯片自身所具有的 offset，芯片将自动将该 offset 值填入相应通道的 offset 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

校准完成芯片会将系统寄存器中的 SHI 寄存器置'0'。

6.3. Offset 系统校准

上位机通过转换命令帧配置芯片进入 offset 系统校准模式后，芯片将以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值。在此之前，用户需保证芯片外部所加信号为 0，此时所测得的值即为系统 offset，芯片将自动将该 offset 值填入相应通道的 offset 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

6.4. Gain 系统校准

上位机通过转换命令帧配置芯片进入 gain 系统校准模式后，芯片将以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值。在此之前，用户需保证芯片外部所加信号幅度达到量程的 10% 以上（最好为 20%~50% 之间）。同时用户将该输入信号下所期望的理想 ADC 值填入 ADC 目标寄存器 D_{targ} 中。

ADC 转换完成后，ADC 经滤波器得到的值为 D_{ori} ，首先将减掉对应通道中的 offset 寄存器值（校准时先校准 offset，此时该通道的 offset 值已经是准确值）， $D_{out} = D_{ori} - OS_CHx$ ，然后计算 $GAIN_CHx = (D_{targ} / D_{out}) * 2^{22}$ ，并自动将 GAIN_CHx 填入相应通道的 gain 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

6.5. 正常转换时的数据校准

正常转换时，假设 ADC 经滤波器得到的值为 D_{ori} ，根据转换设置寄存器里的配置，该次转换对应选择的 offset 和 gain 校准寄存器值分别为 OS_CHx 和 GAIN_CHx，则芯片将自动计算值，并将其填入转换数据寄存器。

7. 温度传感器

18 组 CONV_CONF x 寄存器里，第 17 组(序号 $x=16$)是温度传感器专用通道，CONV_CONF16 的寄存器里，需开启转换使能，设置 VPSEL 和 VNSEL 为 TEMP 选项，REFSEL 选内部基准，DR 根据实际需要选择合适的数据率，其余设置保持默认即可。

根据读到的 CONV_CONF16 所对应的 ADC 转换数据 D_{temp} 即可计算温度值，公式为：

$$\text{Temp} = D_{temp} / 2^{12}$$

8. 应用信息

8.1. 利用热电偶测量温度

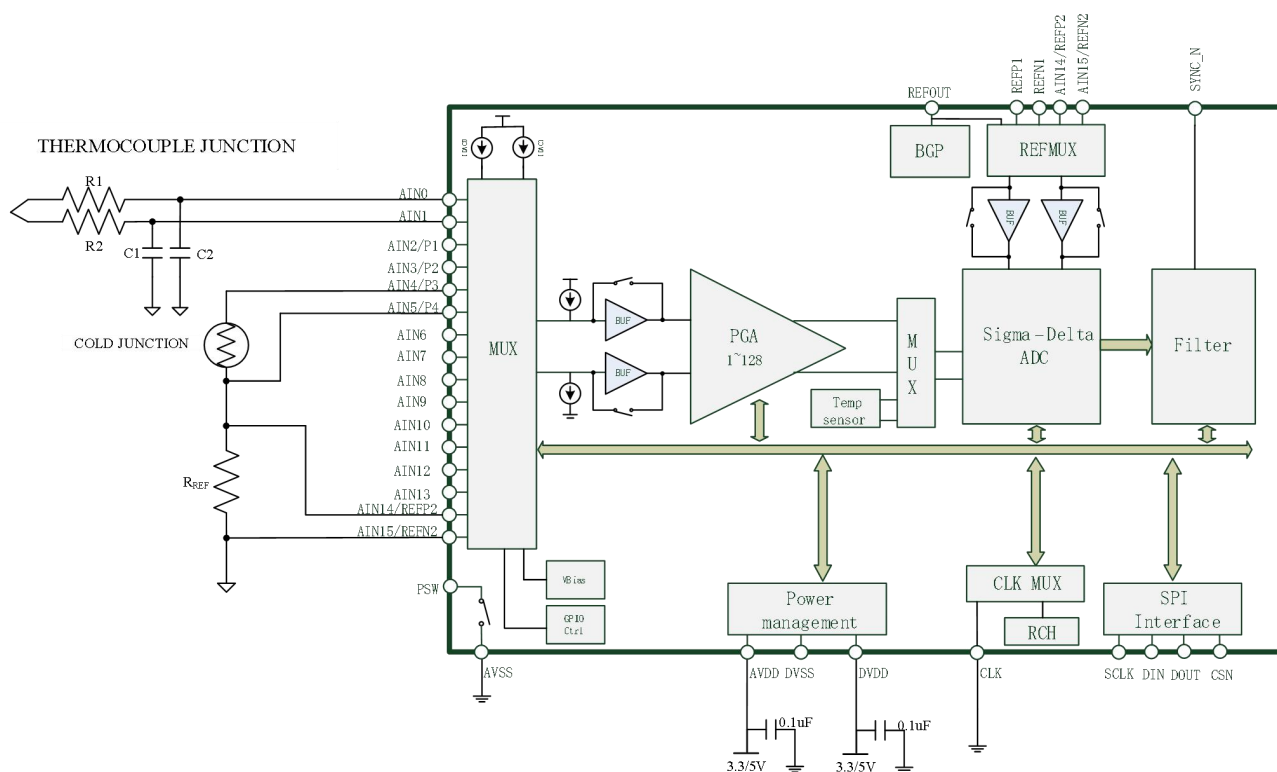


Figure 8-1 热电偶应用

图 8-1 是热电偶应用的示意图。

热电偶产生的信号为绝对电压信号量，因此应使用芯片内部精确基准电压用于该信号的转换。同时热电偶测温需要做冷结补偿，冷结测量的信号则与两个电阻的比值有关，因此需使用外部基准电压源用于该信号转换。

热电偶输出的信号较小，一般在 50mV 之内，因此可合理利用芯片内置的 1~128 倍 PGA，保证输入信号 V_{sig} 乘以 PGA 倍数，小于该次转换所使用的基准电压即可，即 $V_{sig} * PGA < \text{内部基准}(2.5V)$

芯片内部集成偏置电压发生器，可提供 $(AVDD - AVSS) / 2$ 的共模偏置电压，用来对热电偶信号进行偏置。对于以地为中心的热电偶电压，芯片也可以对其进行采样。

冷结补偿利用图 8-1 中的热敏电阻实现。芯片内输出一个偏置电流到热敏电阻，热敏电阻的下方还串联一个精密电阻。偏置电流将在热敏电阻和精密电阻上产生电压，分别为 $I * R$ 和 $I * R_{ref}$ 。将精密电阻两端连接到 REFP2/REFN2 管脚，并将 REFP2/REFN2 设为热敏信号转换所用基准电压，则 ADC 采样值为 $I * R / (I * R_{ref}) = R / R_{ref}$ ，因此采样值只与两个电阻的比值有关，而与偏置电流的大小无关。

工作流程如下：

- 1) 上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。
- 2) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为热电偶信号信道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选内部基准）、增益（应选 64/128）、信号通道选择（正端选 AIN0，负端选 AIN1）等。信号 BUFFER 和基准 BUFFER 默认打开。

通过读写命令帧，配置另一个 CONV_CONFx 寄存器，将其作为热敏电阻信号信道的配置寄存器。暂时先不将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2 作为基准）、增益（根据实际信号选择）、信号通道选择（正端选 AIN4，负端选 AIN5）等。信号 BUFFER 和基准 BUFFER 默认打开。

- 3) 通过读写命令帧，配置 SYS_CONF2，将 VBIAS 输出到 AIN0 上。以及选择 1 个激励电流的大小，将该激励电流输出到 AIN4 引脚。
- 4) 通过发送转换命令帧（可以连续转换，也可以单次转换），此时 CONV_CONFx 里只使能了热电偶那路通道，因此 ADC 只对这路进行转换。转换完成后 RDY 变低，上位机读取数据。
- 5) 根据需要读取多个热电偶数据
- 6) 该应用需要隔段时间测试热敏电阻的数据，此时可将热电偶对应通道的 CONV_CONFx 使能位关闭，并打开热敏电阻对应 CONV_CONFx 的使能位。
- 7) 通过发送转换命令帧（单次转换即可），读取热敏信号的数据。读取完成后，再关闭热敏电阻通道 CONV_CONFx 的使能位，打开热电偶通道 CONV_CONFx 的使能位。
- 8) 重复上述 4~7 流程。
再利用热电偶的线性化公式处理热电偶电压和热敏电阻电压，计算被测物体的实际温度。

图中省去了外部抗混叠滤波器，实际应用中建议加上，滤波器的 RC 器件应靠近芯片引脚，且布线采用差分方式。

利用 HCT696x 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.2. 利用 RTD 测量温度

8.2.1 3 线 RTD 测量一

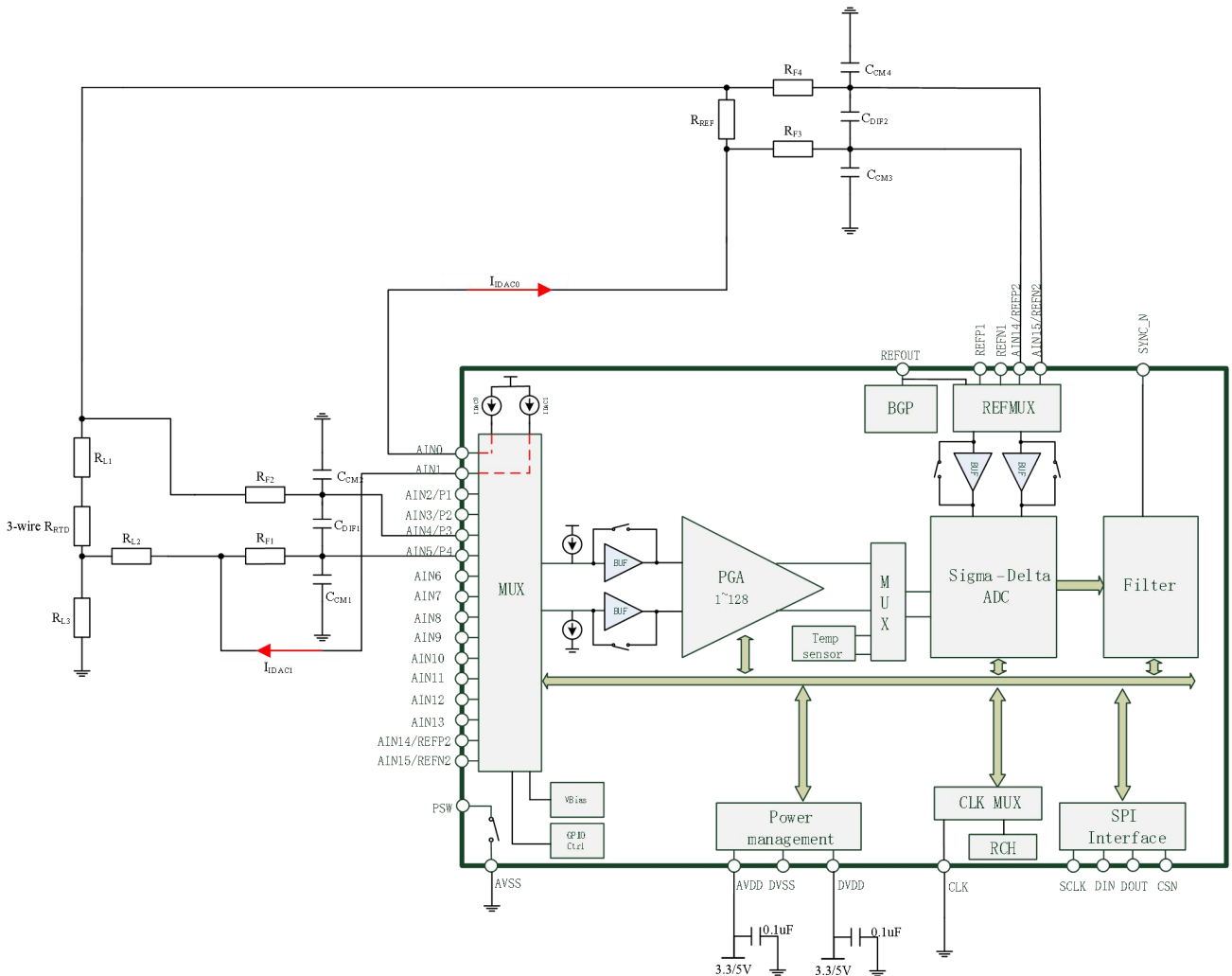


Figure 8-2 3 线 RTD 应用

图 8-2 是一种常用的 3 线 RTD 配置，同上文热电偶应用里的热敏电阻类似，其中 Rref 为参考的精密电阻。RL1 和 RL2 为寄生的走线电阻。AIN0 里输出一路电流源 IDAC0，流经 Rref，RL1 和 RTD。RTD 信号连至 AIN4/AIN5 进行测量。Rref 上的压降作为基准电压源连至 REFP2/REFN2。显然 RL1 上的压降将影响 RTD 信号的测量精度，因此需要在 AIN1 上送出一个和 AIN0 同样大小的电流源 IDAC1，使得 RL2 上的压降与 RL1 上压降相等，从而相互抵消。

PT100 测量的温度范围是 $-200^{\circ}\text{C} \sim +800^{\circ}\text{C}$ ， 0°C 时的电阻典型值为 100Ω ， 800°C 时约为 384.9Ω 。当激励电流设置为 $500\mu\text{A}$ 时，RTD 信号为：

$$500\mu\text{A} \times 384.9\Omega = 192.5\text{mV}$$

增益可设为 8，信号放大到 1.54V ，此时电阻 Rref 上产生的基准电压建议大于 $1.54 \times 1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$1.54V \times 1.1 / 500\mu A = 3387\Omega$$

假设使用 3.5k Ω 电阻，则产生的基准电压为：

$$3.5k\Omega \times 500\mu A = 1.75V$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN0 上输出的 IDACx 电压最高，为 $RL3 \times (IDAC0 + IDAC1) + (RTD + RL1 + Rref) \times IDAC0$ ，约为 1.95V，在 3.3V 供电下满足比电源低 0.8V 的要求。

如果芯片是 5V 供电，则增益设置可设为 16 倍，信号放大到 3.08V，此时电阻 Rref 上产生的基准电压建议大于 $3.08 \times 1.1V$ （推荐留有 10% 的冗余度）。

$$3.08V \times 1.1 / 500\mu A = 6775\Omega$$

假设使用 6.8k Ω 电阻，则产生的基准电压为：

$$6.8k\Omega \times 500\mu A = 3.4V$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN0 上输出的 IDACx 电压最高，为 $RL3 \times (IDAC0 + IDAC1) + (RTD + RL1 + Rref) \times IDAC0$ ，约为 3.6V，在 5V 供电下满足比电源低 0.8V 的要求。

工作流程如下：

- 1) 上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。
- 2) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为 RTD 信号信道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2）、增益、信号通道选择（正端选 AIN4，负端选 AIN5）等。信号 BUFFER 和基准 BUFFER 默认打开。
- 3) 通过读写命令帧，配置 SYS_CONF2，将激励电流 IDAC0 输出到 AIN0 引脚，IDAC1 输出到 AIN1 引脚，同时设置两个电流源的大小。
- 4) 通过发送转换命令帧（可以连续转换，也可以单次转换），转换完成后 RDY 变低，上位机读取数据。
- 5) 重复上述数据读取部分流程。

在处理器中实现 PT100 的线性化计算。

实际应用中为减小 EMI 等其他干扰，需要在信号通路上增加抗混叠滤波器，上图中信号通道和 REFP2/REFN2 通道上加了滤波器。为避免滤波器上两个电阻不匹配带来的电压差，应将滤波器电阻/电容放置在靠近 AIN4/AIN5 引脚，且 AIN0/AIN1 输出的电流源不会流经的位置，同时滤波器阻值不用选取太大。

利用 HCT696x 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.2.2 3 线 RTD 测量二

下图为另一种 3 线 RTD 测量电路：

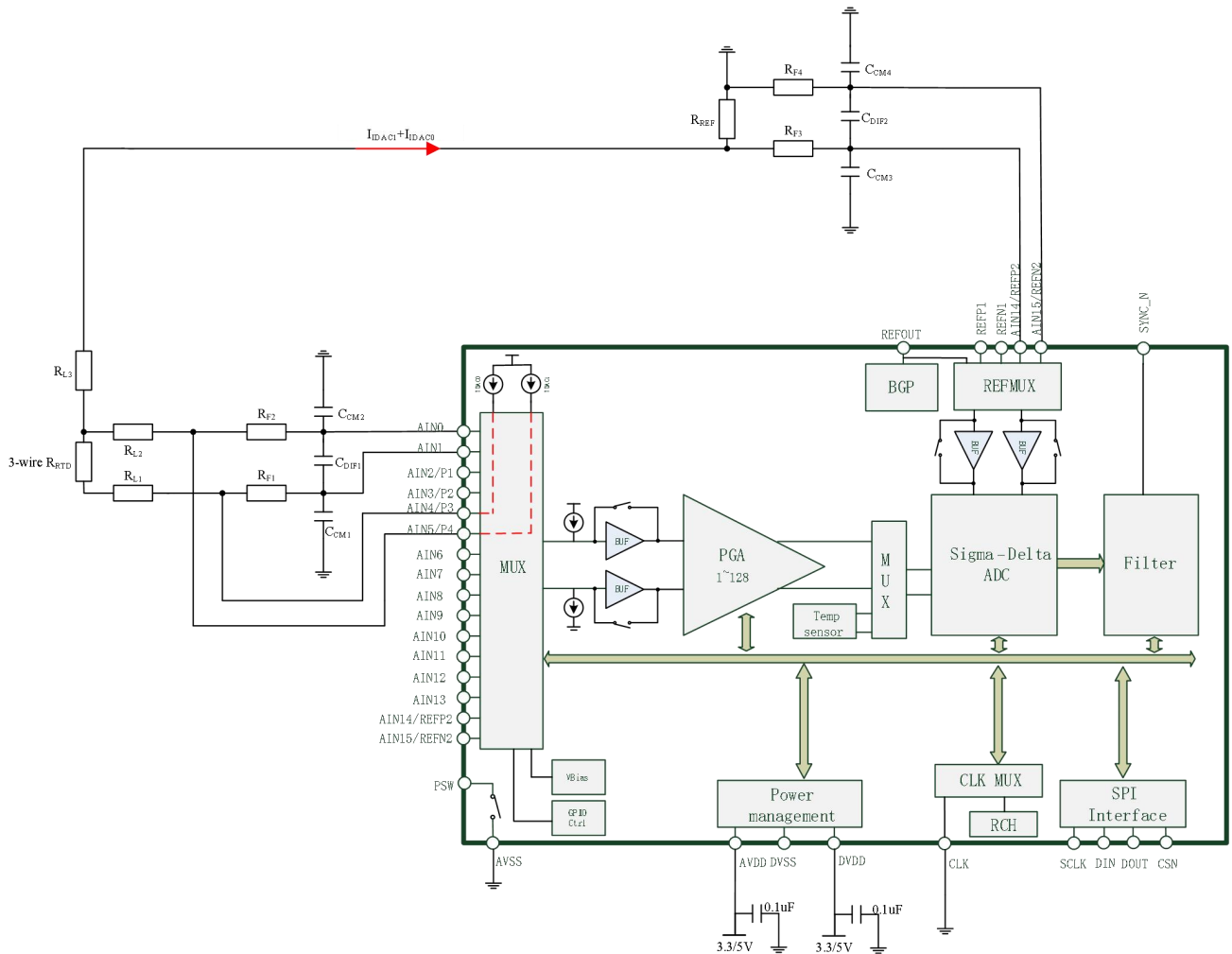


Figure 8-3 3 线 RTD 应用

图 8-3 是一种常用的 3 线 RTD 配置，同上文热电偶应用里的热敏电阻类似，其中 Rref 为参考的精密电阻。RL1 和 RL2 为寄生的走线电阻。AIN4 和 AIN5 里各输出一路电流源，为 IDAC0 和 IDAC1。IDAC0 流经 RL1 和 RTD，IDAC1 流经 RL2，IDAC0+IDAC1 流经 RL3 和 Rref。RTD 信号连至 AIN1/AIN0 进行测量。Rref 上的压降作为基准电压源连至 REFP2/REFN2。

PT100 测量的温度范围是 $-200^{\circ}\text{C} \sim +800^{\circ}\text{C}$ ， 0°C 时的电阻典型值为 100Ω ， 800°C 时约为 384.9Ω 。当激励电流设置为 $500\mu\text{A}$ 时，RTD 信号为：

$$500\mu\text{A} \times 384.9\Omega = 192.5\text{mV}$$

增益可设为 8，信号放大到 1.54V ，此时电阻 Rref 上产生的基准电压建议大于 $1.54 \times 1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$1.54\text{V} \times 1.1 / (2 \times 500\mu\text{A}) = 1693.5\Omega$$

假设使用 1.7kΩ电阻，则产生的基准电压为：

$$1.7\text{k}\Omega \times 2 \times 500\mu\text{A} = 1.7\text{V}$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN4 上输出的 IDACx 电压最高，为 $(\text{RL3}+\text{Rref}) \times (\text{IDAC0}+\text{IDAC1})+(\text{RTD}+\text{RL1}) \times \text{IDAC0}$ ，约为 1.9V，在 3.3V 供电下满足比电源低 0.8V 的要求。

如果芯片是 5V 供电，则增益设置可设为 16 倍，信号放大到 3.08V，此时电阻 Rref 上产生的基准电压建议大于 $3.08 \times 1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$3.08\text{V} \times 1.1 / (2 \times 500\mu\text{A}) = 3387.5\Omega$$

假设使用 3.4kΩ电阻，则产生的基准电压为：

$$3.4\text{k}\Omega \times 2 \times 500\mu\text{A} = 3.4\text{V}$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN4 上输出的 IDACx 电压最高，为 $(\text{RL3}+\text{Rref}) \times (\text{IDAC0}+\text{IDAC1})+(\text{RTD}+\text{RL1}) \times \text{IDAC0}$ ，约为 3.6V，在 5V 供电下满足比电源低 0.8V 的要求。

工作流程如下：

上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。

- 1) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为 RTD 信号信道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2）、增益、信号通道选择（正端选 AIN1，负端选 AIN0）等。信号 BUFFER 和基准 BUFFER 默认打开。
- 2) 通过读写命令帧，配置 SYS_CONF2，将激励电流 IDAC0 输出到 AIN4 引脚，IDAC1 输出到 AIN5 引脚，同时设置两个电流源的大小。
- 3) 通过发送转换命令帧（可以连续转换，也可以单次转换），转换完成后 RDY 变低，上位机读取数据。
- 4) 重复上述数据读取部分流程。

在处理器中实现 PT100 的线性化计算。

上图 $R_{F1}/R_{F2}/C_{CM1}/C_{CM2}/C_{DIF1}$ 组成输入信号端的抗混叠滤波器。滤波器电阻、电容应放置在靠近 AIN1/AIN0 引脚，且滤波电容的接地端与芯片地引脚之间要有充分可靠的连接。基准源端的抗混叠滤波器也是一样处理。

利用 HCT696x 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.2.3 4 线 RTD 测量

下图为一种 4 线 RTD 测量电路：

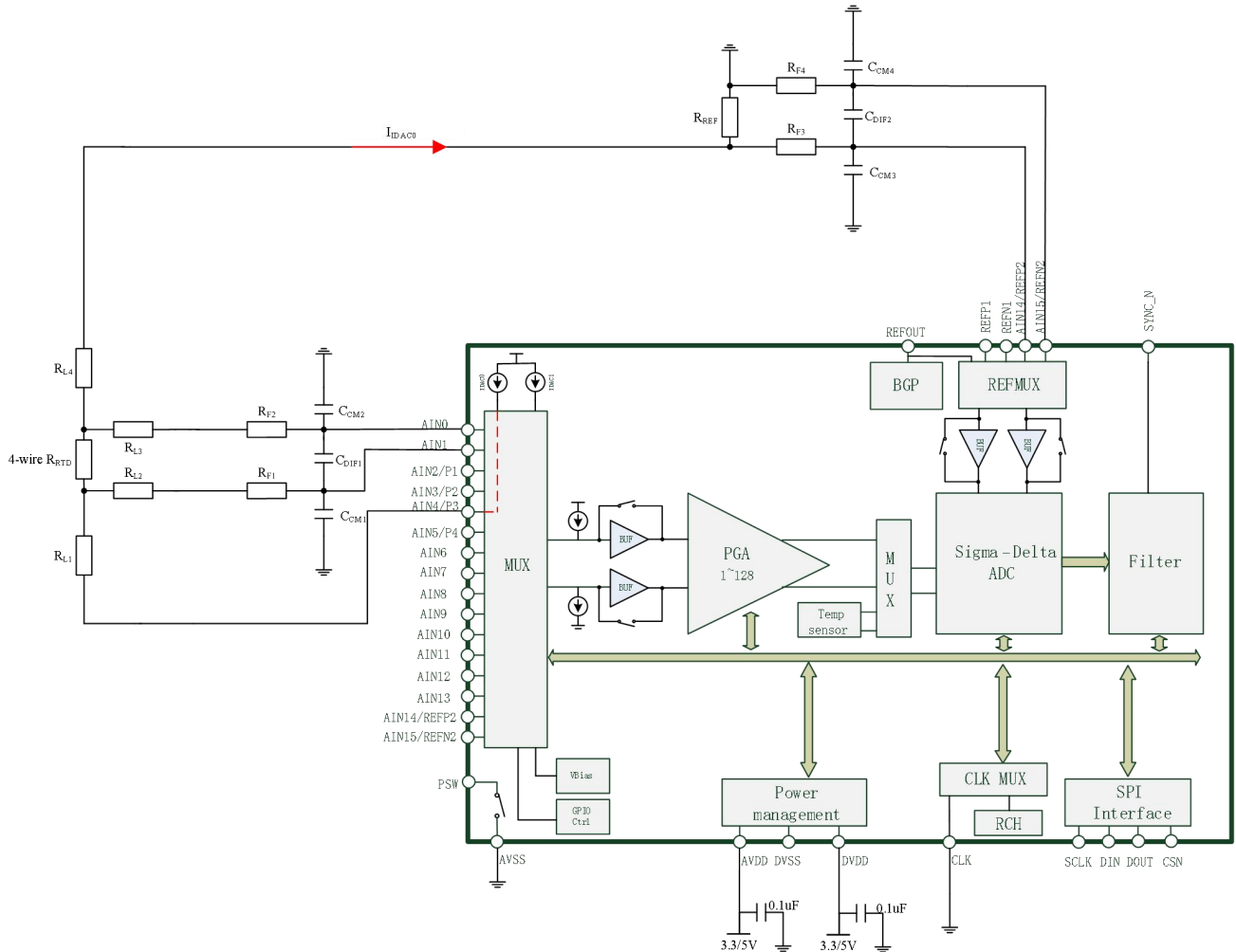


Figure 8-4 4 线 RTD 应用

图 8-4 是一种常用的 4 线 RTD 配置，同上文热电偶应用里的热敏电阻类似，其中 Rref 为参考的精密电阻。RL1、RL2、RL3 和 RL4 为寄生的走线电阻。AIN4 里输出一路电流源 IDAC0。IDAC0 流经 RL1、RL4、RTD 和 Ref。RTD 信号连至 AIN1/AIN0 进行测量。Rref 上的压降作为基准电压源连至 REF2/REFN2。

PT100 测量的温度范围是 $-200^{\circ}\text{C} \sim +800^{\circ}\text{C}$ ， 0°C 时的电阻典型值为 100Ω ， 800°C 时约为 384.9Ω 。当激励电流设置为 $500\mu\text{A}$ 时，RTD 信号为：

$$500\mu\text{A} \times 384.9\Omega = 192.5\text{mV}$$

增益可设为 8，信号放大到 1.54V ，此时电阻 Rref 上产生的基准电压建议大于 $1.54 \times 1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$1.54\text{V} \times 1.1 / 500\mu\text{A} = 3387\Omega$$

假设使用 $3.5\text{k}\Omega$ 电阻，则产生的基准电压为：

$$3.5\text{k}\Omega \times 500\mu\text{A} = 1.75\text{V}$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN4 上输出的 IDACx 电压最高，为 $(RTD+RL1+RL4+Rref)*IDAC0$ ，约为 1.95V，在 3.3V 供电下满足比电源低 0.8V 的要求。

如果芯片是 5V 供电，则增益设置可设为 16 倍，信号放大到 3.08V，此时电阻 Rref 上产生的基准电压建议大于 $3.08*1.1V$ （推荐留有 10%的冗余度）。

$$3.08V*1.1/500\mu A = 6775\Omega$$

假设使用 6.8kΩ电阻，则产生的基准电压为：

$$6.8k\Omega \times 500\mu A = 3.4V$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN4 上输出的 IDACx 电压最高，为 $(RTD+RL1+RL4+Rref)*IDAC0$ ，约为 3.6V，在 5V 供电下满足比电源低 0.8V 的要求。

工作流程如下：

上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。

- 1) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为 RTD 信号信道的配置寄存器。将该 CONV_CONFx 的'CONV_EN'使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2）、增益、信号通道选择（正端选 AIN1，负端选 AIN0）等。信号 BUFFER 和基准 BUFFER 默认打开。
- 2) 通过读写命令帧，配置 SYS_CONF2，将激励电流 IDAC0 输出到 AIN4 引脚，同时设置电流源的大小。
- 3) 通过发送转换命令帧（可以连续转换，也可以单次转换），转换完成后 RDY 变低，上位机读取数据。
- 4) 重复上述数据读取部分流程。

在处理器中实现 PT100 的线性化计算。

上图 $R_{F1}/R_{F2}/C_{CM1}/C_{CM2}/C_{DIF1}$ 组成输入信号端的抗混叠滤波器。滤波器电阻、电容应放置在靠近 AIN1/AIN0 引脚，且滤波电容的接地端与芯片地引脚之间要有充分可靠的连接。基准源端的抗混叠滤波器也是一样处理。

利用 HCT696x 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.2.4 2 线 RTD 测量

下图为一种 2 线 RTD 测量电路：

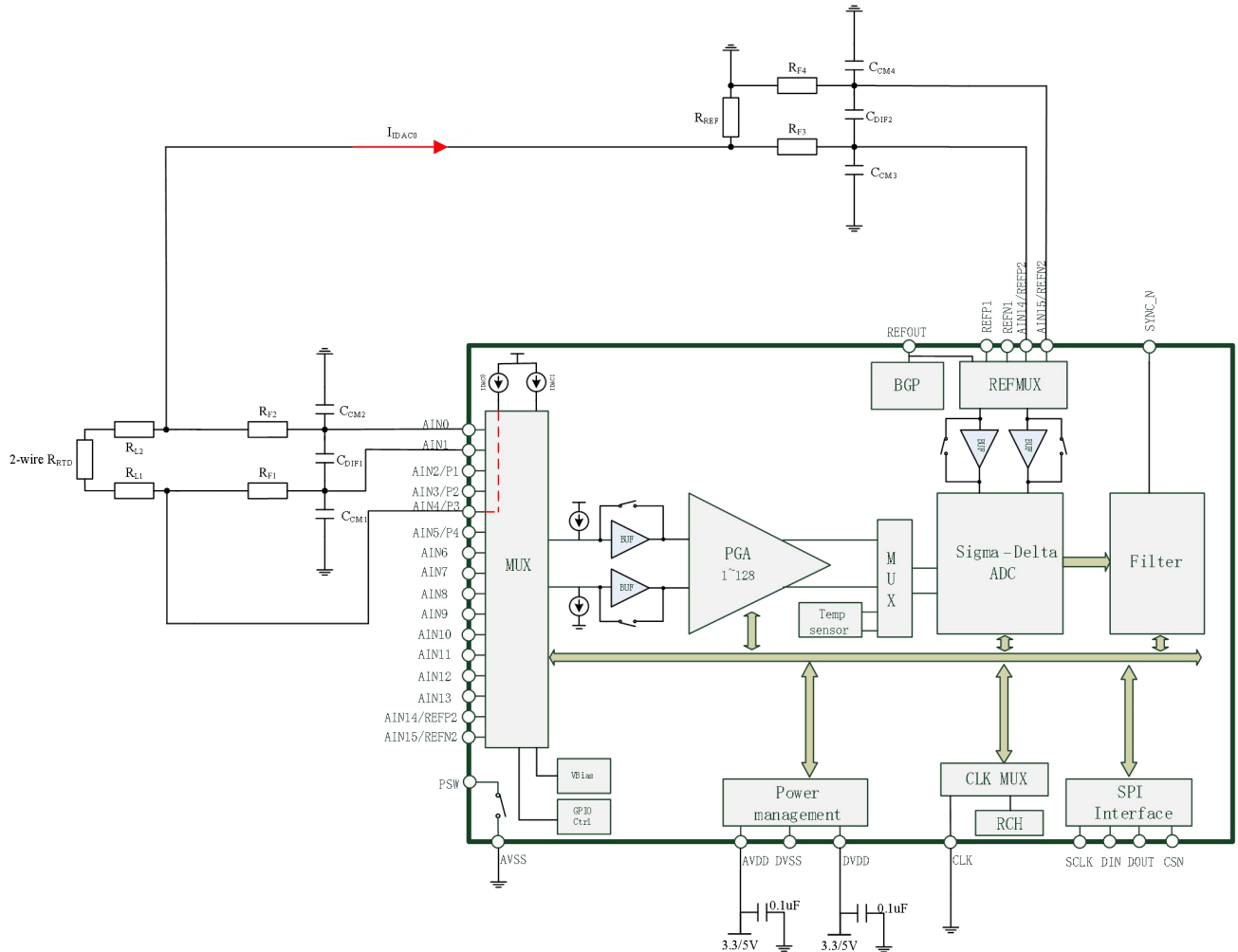


Figure 8-5 2 线 RTD 应用

图 8-5 是一种常用的 2 线 RTD 配置，同上文热电偶应用里的热敏电阻类似，其中 Rref 为参考的精密电阻。RL1、RL2 为寄生的走线电阻。AIN4 里输出一路电流源 IDAC0。IDAC0 流经 RL1、RL2、RTD 和 Ref。RTD 信号连至 AIN1/AIN0 进行测量。Rref 上的压降作为基准电压源连至 REFP2/REFN2。

PT100 测量的温度范围是 $-200^{\circ}\text{C} \sim +800^{\circ}\text{C}$ ， 0°C 时的电阻典型值为 100Ω ， 800°C 时约为 384.9Ω 。当激励电流设置为 $500\mu\text{A}$ 时，RTD 信号为：

$$500\mu\text{A} \times 384.9\Omega = 192.5\text{mV}$$

增益可设为 8，信号放大到 1.54V ，此时电阻 Rref 上产生的基准电压建议大于 $1.54 \times 1.1\text{V}$ （推荐留有 10% 的冗余度）。

$$1.54\text{V} \times 1.1 / 500\mu\text{A} = 3387\Omega$$

假设使用 $3.5\text{k}\Omega$ 电阻，则产生的基准电压为：

$$3.5\text{k}\Omega \times 500\mu\text{A} = 1.75\text{V}$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN4 上输出的 IDACx 电压最高，为 $(RTD+RL1+RL2+Rref)*IDAC0$ ，约为 1.95V，在 3.3V 供电下满足比电源低 0.8V 的要求。

如果芯片是 5V 供电，则增益设置可设为 16 倍，信号放大到 3.08V，此时电阻 Rref 上产生的基准电压建议大于 $3.08*1.1V$ （推荐留有 10%的冗余度）。

$$3.08V*1.1/500\mu A = 6775\Omega$$

假设使用 6.8kΩ电阻，则产生的基准电压为：

$$6.8k\Omega \times 500\mu A = 3.4V$$

为保证电流源输出精度，要求电源电压高于电流源输出端 0.8V。经验证，AIN4 上输出的 IDACx 电压最高，为 $(RTD+RL1+RL2+Rref)*IDAC0$ ，约为 3.6V，在 5V 供电下满足比电源低 0.8V 的要求。

工作流程如下：

上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。

- 1) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为 RTD 信号信道的配置寄存器。将该 CONV_CONFx 的'CONV_EN'使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP2/REFN2）、增益、信号通道选择（正端选 AIN1，负端选 AIN0）等。信号 BUFFER 和基准 BUFFER 默认打开。
- 2) 通过读写命令帧，配置 SYS_CONF2，将激励电流 IDAC0 输出到 AIN4 引脚，同时设置电流源的大小。
- 3) 通过发送转换命令帧（可以连续转换，也可以单次转换），转换完成后 RDY 变低，上位机读取数据。
- 4) 重复上述数据读取部分流程。

在处理器中实现 PT100 的线性化计算。

上图 $R_{F1}/R_{F2}/C_{CM1}/C_{CM2}/C_{DIF1}$ 组成输入信号端的抗混叠滤波器。滤波器电阻、电容应放置在靠近 AIN1/AIN0 引脚，且滤波电容的接地端与芯片地引脚之间要有充分可靠的连接。基准源端的抗混叠滤波器也是一样处理。

利用 HCT696x 片内监测功能，可以监控信号引脚连接是否开路，电源欠压，基准电压异常，检查所有 ADC 数据是否饱和，监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中，建议将 CRC 校验功能开启，以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

8.3. 流量计

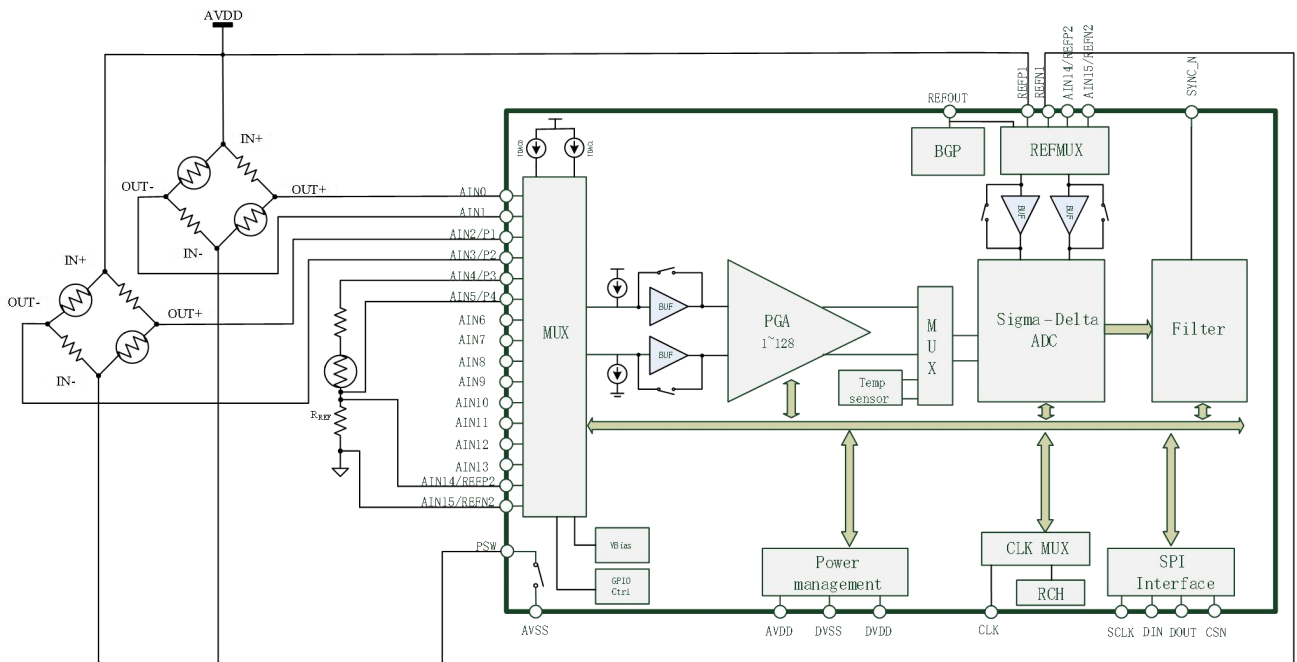


Figure 8-6 流量计应用

图 8-6 为 HCT696x 在流量计中的应用，该流量计由两个压力传感器组成，流量等于压力差。压力传感器为桥式传感器，OUT+/OUT-之间为传感器信号。桥式传感器的信号大小除与压力成比例，还与激励电压成正比，因此需要以激励电压作为传感器信号的基准电压。

HCT696x 芯片内置 PSW 开关，可将传感器的下端连到 PSW 引脚。在传感器不工作时，通过配置 SYS_CONF1 的 SWT_SIG 为 0，来关闭传感器电流通路，以节省功耗。在需要工作时，提前打开开关（提前时间的长短可能与传感器的特性有关），等传感器信号稳定后配置 ADC 进行测量和读取。

如需进行温度补偿，则通过热敏电阻来执行。连接方式与上文热电偶章节相似。

工作流程如下：

- 1) 上电后，通过读写命令帧配置 SYS_CONF0 里的 BIT31 来复位芯片。
- 2) 通过读写命令帧，配置其中一个 CONV_CONFx 寄存器，将其作为电桥信号 0 信道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP1/REFN1）、增益（根据信号大小，应选 64/128）、信号通道选择（正端选 AIN0，负端选 AIN1）等。信号 BUFFER 和基准 BUFFER 默认打开。

通过读写命令帧，配置另一个 CONV_CONFx 寄存器，将其作为电桥信号 1 信道的配置寄存器。将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选 REFP1/REFN1）、增益（根据信号大小，应选 64/128）、信号通道选择（正端选 AIN2，负端选 AIN3）等。信号 BUFFER 和基准 BUFFER 默认打开。

通过读写命令帧，配置第三个 CONV_CONFx 寄存器，将其作为热敏电阻信号信道的配置寄存器。暂时先不将该 CONV_CONFx 的 'CONV_EN' 使能，同时设置 ADC 数据率、基准源（此信号通道应选

REFP2/REFN2 作为基准)、增益(根据实际信号选择)、信号通道选择(正端选 AIN4, 负端选 AIN5)等。信号 BUFFER 和基准 BUFFER 默认打开。

通过读写命令帧, 打开 PSW 开关(如果为节省电流, 闲置时关闭传感器通路的话)

- 3) 通过读写命令帧, 配置 SYS_CONF2, 选择 1 个激励电流的大小, 并将该激励电流输出到 AIN4 引脚。
- 4) 通过发送转换命令帧(可以连续转换, 也可以单次转换), 此时 CONV_CONFx 里使能了两路电桥信号通道, 因此 ADC 依次对这两路进行转换。转换完成后 RDY 变低, 上位机读取数据。
- 5) 根据需要多次读取电桥数据
- 6) 隔段时间测试热敏电阻数据, 此时可将电桥对应通道的 CONV_CONFx 使能位关闭, 并打开热敏电阻对应 CONV_CONFx 的使能位。
- 7) 通过发送转换命令帧(单次转换即可), 读取热敏信号的数据。读取完成后, 再关闭热敏电阻通道 CONV_CONFx 的使能位, 打开电桥对应通道 CONV_CONFx 的使能位。
- 8) 重复上述 4~7 流程。

上位机根据两个电桥数据计算流量。如有需要, 根据热敏电阻的测试数据进行温度补偿。

图中省去了外部抗混叠滤波器, 实际应用中建议加上, 滤波器的 RC 器件应靠近芯片引脚, 且布线采用差分方式。

利用 HCT696x 片内监测功能, 可以监控信号引脚连接是否开路, 电源欠压, 基准电压异常, 检查所有 ADC 数据是否饱和, 监控所有读写操作是否正确等。各类监测功能详见 SYS_CONF0 说明。在通讯过程中, 建议将 CRC 校验功能开启, 以便保证在存在电磁干扰等恶劣环境下的芯片配置、数据读写的正确。

版本历史

日期	版本号	描述
2024.2.1	1.0	初始版
2024.3.6	1.1	更新性能指标